**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM**

**KHOA ĐIỆN ĐIỆN TỬ**

**BỘ MÔN KỸ THUẬT MÁY TÍNH - VIỄN THÔNG**

****

**BÁO CÁO TIỂU LUẬN**

**MÔN HỌC:** **THIẾT KẾ VI MẠCH VLSI**

**NGÀNH CÔNG NGHỆ KỸ THUẬT MÁY TÍNH**

**NHÓM SINH VIÊN THỰC HIỆN MSSV**

**1. LÊ MINH HẢI ĐĂNG 20119217**

**2. PHẠM QUỐC VIỆT 20119307**

**HỌC KỲ: 1 (2022-2023)**

TP. HCM 12/2022

**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HCM**

**KHOA ĐIỆN ĐIỆN TỬ**

**BỘ MÔN KỸ THUẬT MÁY TÍNH - VIỄN THÔNG**

****

**BÁO CÁO TIỂU LUẬN**

**MÔN HỌC: THIẾT KẾ VI MẠCH VLSI**

**NGÀNH CÔNG NGHỆ KỸ THUẬT MÁY TÍNH**

**NHÓM SINH VIÊN THỰC HIỆN MSSV**

**1. LÊ MINH HẢI ĐĂNG 20119217**

**2. PHẠM QUỐC VIỆT 20119307**

**GVHD: PGS.TS. Trương Ngọc Sơn**

**HỌC KỲ: 1 (2022-2023)**

TP. HCM 12/2022

## BẢNG PHÂN CÔNG

|  |  |  |
| --- | --- | --- |
| Stt | Nội dung thực hiện | Người thực hiện |
| 1 | Mô phỏng đặc tuyến I-V của nMOS và pMOS | Đăng |
| 2 | Mô phỏng đặc tính DC của một bộ Inverter | Đăng |
| 3 | Thiết kế và mô phỏng logic của cổng AND 2 ngõ vào | Việt |
| 4 | Thiết kế và mô phỏng logic cổng OR 2 ngõ vào | Việt |
| 5 | Thiết kế và mô phỏng logic cổng XOR 2 ngõ vào | Việt |
| 6 | Thiết kế, mô phỏng, tính công suất tiêu thụ của các mạch số | Việt |
| 7 | Tổng hợp báo cáo | Đăng |

Phiếu chấm điểm

|  |  |  |
| --- | --- | --- |
| Bài | Lê Minh Hải Đăng | Phạm Quốc Việt |
| 1 |  |  |
| 2 |  |  |
| 3 |  |  |
| 4.1 |  |  |
| 4.2 |  |  |
| 4.3 |  |  |

## MỤC LỤC

[BẢNG PHÂN CÔNG 1](#_Toc120961308)

[MỤC LỤC 2](#_Toc120961309)

[BÀI 1. MÔ PHỎNG ĐẶC TUYẾN I-V CMOS 4](#_Toc120961310)

[1.1. MỤC TIÊU 4](#_Toc120961311)

[1.2. ĐẶC TUYẾN I-V NMOS 4](#_Toc120961312)

[1.3. ĐẶC TUYẾN I-V PMOS 7](#_Toc120961313)

[1.4. KẾT LUẬN 9](#_Toc120961314)

[BÀI 2. MÔ PHỎNG ĐẶC TÍNH DC CỦA MỘT BỘ INVERTER 10](#_Toc120961315)

[2.1 MỤC TIÊU 10](#_Toc120961319)

[2.2 ĐẶC TÍNH DC CỦA MỘT BỘ INVERTER 10](#_Toc120961320)

[2.3 KẾT LUẬN 16](#_Toc120961321)

[BÀI 3. THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC 17](#_Toc120961322)

[3.1 MỤC TIÊU 17](#_Toc120961327)

[3.2 THIẾT KẾ CỔNG LOGIC 17](#_Toc120961328)

[3.2.1 Cổng OR 2 ngõ vào 17](#_Toc120961329)

[3.2.2 Cổng AND 2 ngõ vào 22](#_Toc120961330)

[3.2.3 Cổng XOR 2 ngõ vào 27](#_Toc120961331)

[3.3 KẾT LUẬN 31](#_Toc120961332)

[BÀI 4. THIẾT KẾ, MÔ PHỎNG, TÍNH CÔNG SUẤT TIÊU THỤ CỦA CÁC MẠCH SỐ 32](#_Toc120961333)

[4.1. MỤC TIÊU 32](#_Toc120961338)

[4.2. THIẾT KẾ CÁC MẠCH SỐ 32](#_Toc120961339)

[4.2.1. Mạch cộng 8 bit từ các mạch cộng 1 bit toàn phần 32](#_Toc120961340)

[4.2.2. Mạch trừ 8 bit 42](#_Toc120961341)

[4.2.3. Mạch nhân 4 bit 51](#_Toc120961342)

[4.3. MÔ PHỎNG CỦA CÁC MẠCH SỐ 58](#_Toc120961343)

[4.3.1. Mạch cộng 8 bit từ các mạch cộng 1 bit toàn phần 58](#_Toc120961344)

[4.3.2. Mạch trừ 8 bit 60](#_Toc120961345)

[4.3.3. Mạch nhân 4 bit 62](#_Toc120961346)

[4.4. TÍNH CÔNG SUẤT TIÊU THỤ CỦA CÁC MẠCH SỐ 63](#_Toc120961347)

[4.4.1. Mạch cộng 8 bit từ các mạch cộng 1 bit toàn phần 63](#_Toc120961348)

[4.4.2. Mạch trừ 8 bit 65](#_Toc120961349)

[4.4.3. Mạch nhân 4 bit 66](#_Toc120961350)

[4.5. KẾT LUẬN 67](#_Toc120961351)

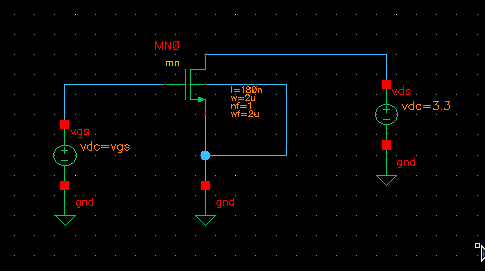
BÀI 1. MÔ PHỎNG ĐẶC TUYẾN I-V CMOS

## MỤC TIÊU

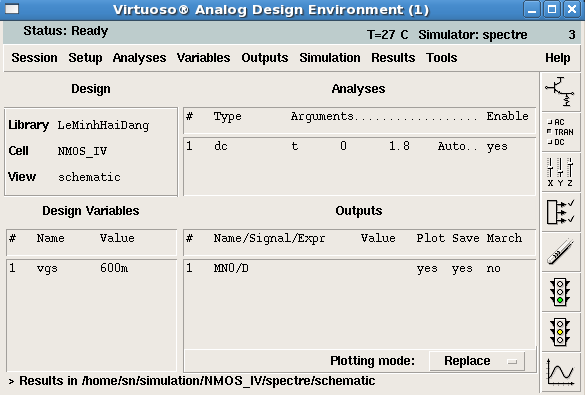
* Thiết kế được mạch nguyên lý mô phỏng và vẽ đặc tuyến I-V của nMOS và pMOS
* Vẽ được đặc tuyến của nMOS trên cùng một đồ thị với mức điện áp Vgs = 0.6V, Vgs = 0.8V, Vgs = 1.0V.
* Vẽ được đặc tuyến của pMOS trên cùng một đồ thị với mức điện áp Vgs = –0.6V, Vgs = –0.8V, Vgs = –1.0V.

## ĐẶC TUYẾN I-V NMOS

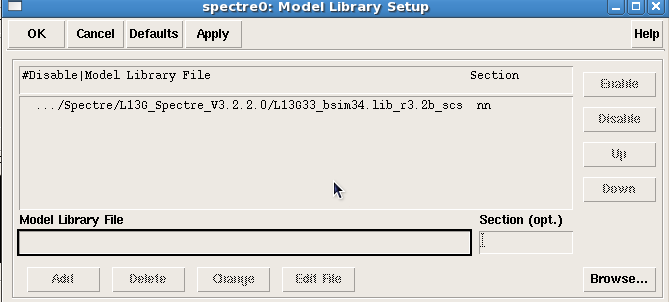
1.2.1. Sơ đồ nguyên lý



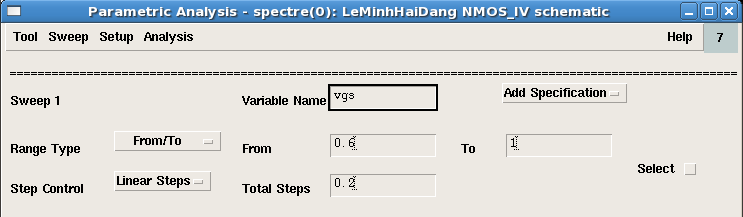
**Hình 1.2.1. Sơ đồ nguyên lý của đặc tuyến I-V NMOS**



**Hình 1.2.2. Cài đặt thông số môi trường mô phỏng, Vds từ 0V đến 1.8V, Vgs ban đầu bằng 0.6V**



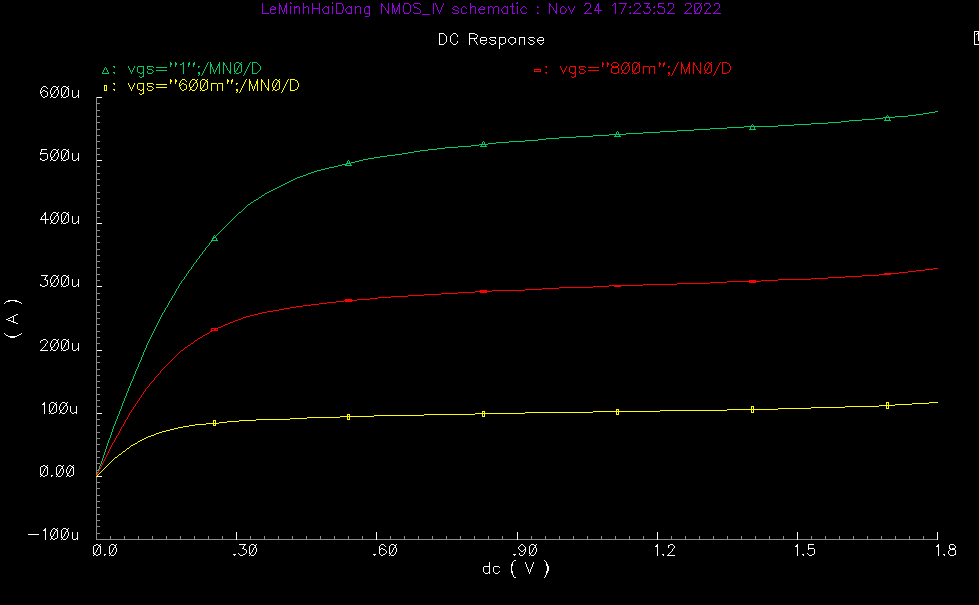
**Hình 1.2.3. Cài đặt thư viện**



**Hình 1.2.4. Cài đặt giá trị biến Vgs lần lượt là Vgs = 0.6V, Vgs = 0.8V,**

**Vgs = 1.0V**

1.2.2. Kết quả mô phỏng



**Hình 1.2.5. Kết quả mô phỏng đặc tuyến I-V của NMOS**

Phân tích kết quả mô phỏng:

Đặc tuyến của nMOS trên cùng một đồ thị với các mức điện áp:

- Vgs = 0.6V (đường line màu vàng) bão hoà từ 0.27 V đến 1.7 V

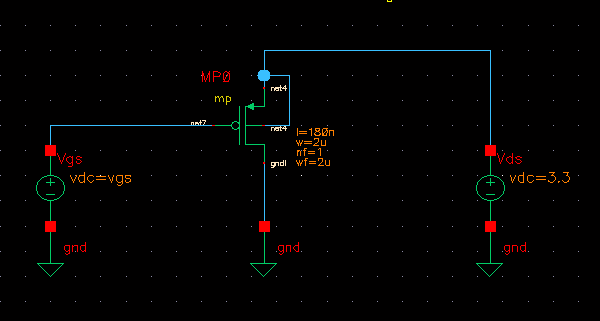
- Vgs = 0.8V (đường line màu đỏ) bão hoà từ 0.54 V đến 1.7 V

- Vgs = 1.0V (dường line màu xanh) bão hoà từ 0.84 V đến 1.7 V

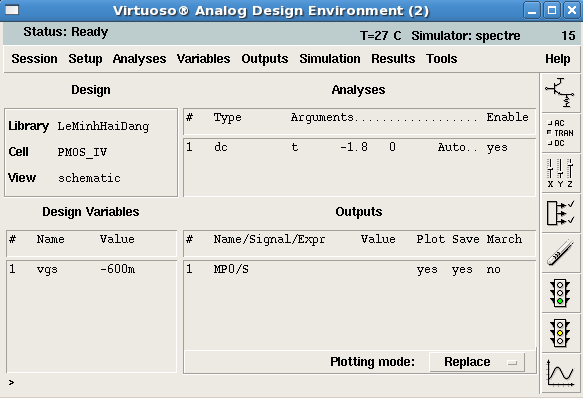
## ĐẶC TUYẾN I-V PMOS

1.3.1. Sơ đồ nguyên lý

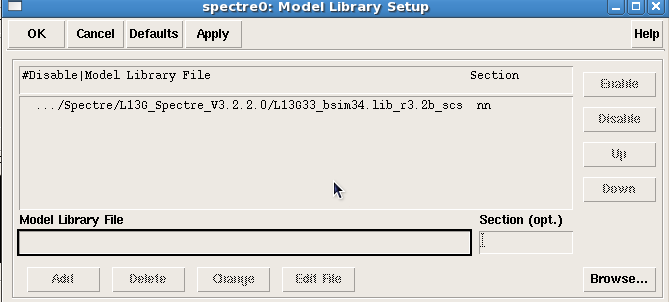
Trình bày sơ đồ nguyên lý, các thông số cài đặt cho quá trình mô phỏng



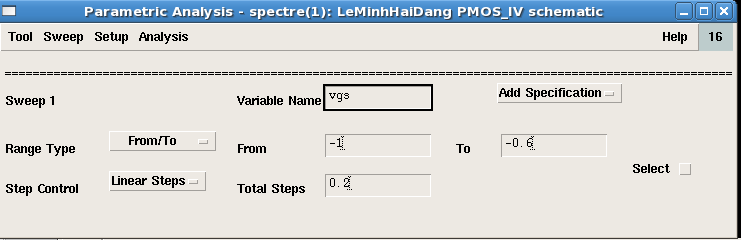
**Hình 1.3.1. Sơ đồ nguyên lý của đặc tuyến I-V của PMOS**



**Hình 1.3.2. Cài đặt thông số môi trường mô phỏng, Vds từ -1.8V đến 0V, vgs ban đầu bằng -0.6V**



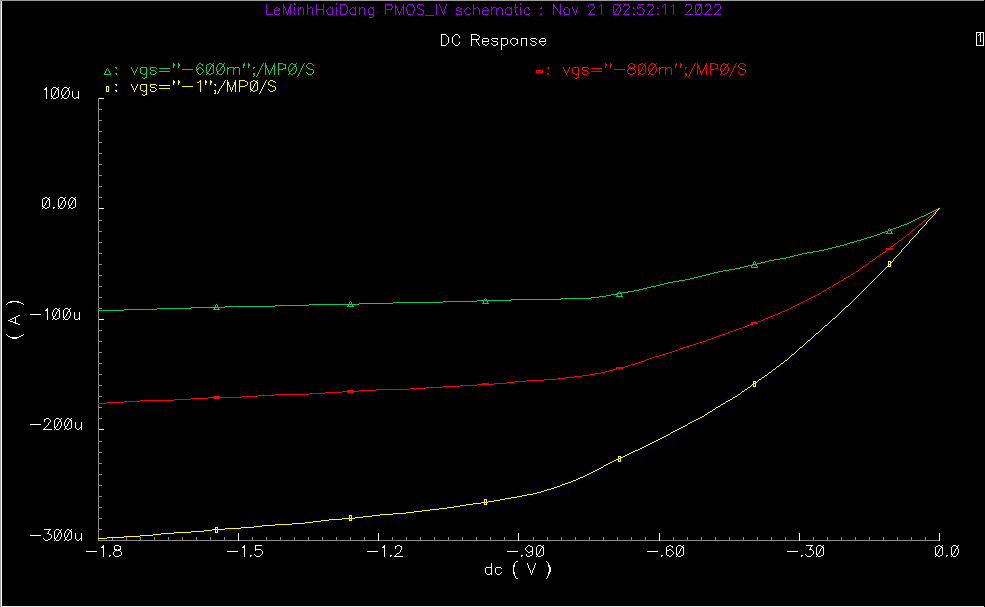
**Hình 1.3.3. Cài đặt thư viện**



**Hình 1.3.4. Cài đặt giá trị biến Vgs lần lượt là Vgs = –0.6V, Vgs = –0.8V,**

**Vgs = –1.0V**

1.3.2. Kết quả mô phỏng



**Hình 1.3.5. Kết quả mô phỏng đặc tuyến I-V của PMOS**

Phân tích kết quả mô phỏng:

Đặc tuyến của nMOS trên cùng một đồ thị với các mức điện áp:

- Vgs = -0.6V (đường line màu xanh)

- Vgs = -0.8V (đường line màu đỏ)

- Vgs = -1.0V (dường line màu vàng)

## KẾT LUẬN

* Mạch nguyên lý mô phỏng đặc tuyến I-V của nMOS và pMOS vận hành ổn định.
* Đặc tuyến của nMOS hiển thị rõ trên cùng một đồ thị với mức điện áp Vgs = 0.6V, Vgs = 0.8V, Vgs = 1.0V.
* Đặc tuyến của pMOS hiển thị rõ trên cùng một đồ thị với mức điện áp Vgs = –0.6V, Vgs = –0.8V, Vgs = –1.0V.

BÀI 2. MÔ PHỎNG ĐẶC TÍNH DC CỦA MỘT BỘ INVERTER



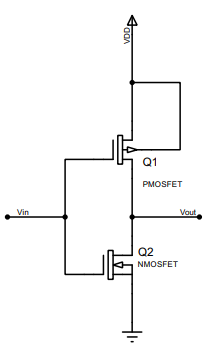
## MỤC TIÊU

Mô phỏng đặc tính DC của một bộ Inverter để tìm độ biến thiên của điện áp đầu ra Vout với những thay đổi trong điện áp đầu vào Vin

## ĐẶC TÍNH DC CỦA MỘT BỘ INVERTER

* + 1. Sơ đồ nguyên lý

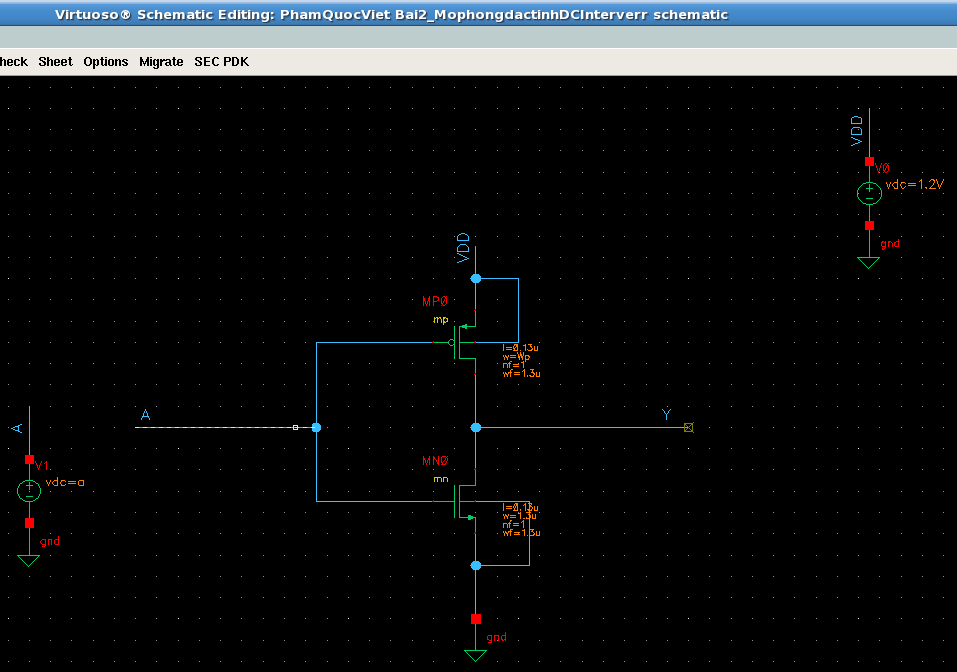
Theo lý thuyết:



***Hình 2.2.1: CMOS Inverter***

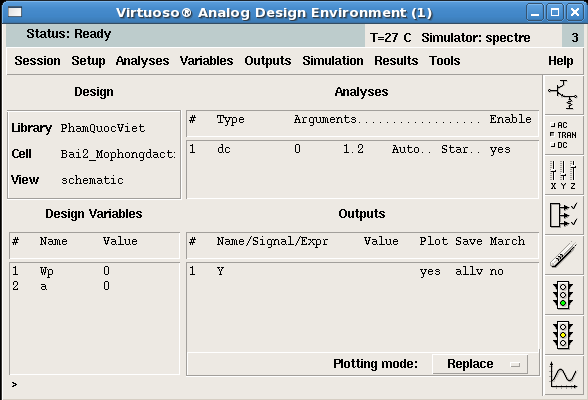
Trong bộ CMOS Inverter bao gồm 1 P-mos và 1 N-mos, khi mức điện áp mức cao +V (mức logic 1) vào đầu vào Vin, thì Transistor Q2 sẽ được kích hoạt hay “bật”, Q1 được “tắt”. Trong điều kiện đó, điện áp đầu ra (Vout) sẽ gần bằng 0V (mức logic 0) và ngược lại.

Trong phần mềm Cadence:

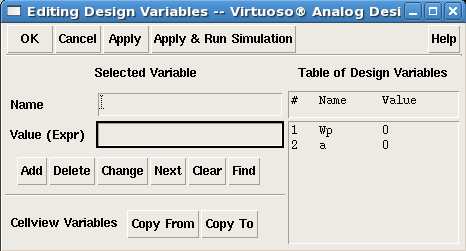


***Hình 2.2.2: Sơ đồ nguyên lý của bộ CMOS Inverter***

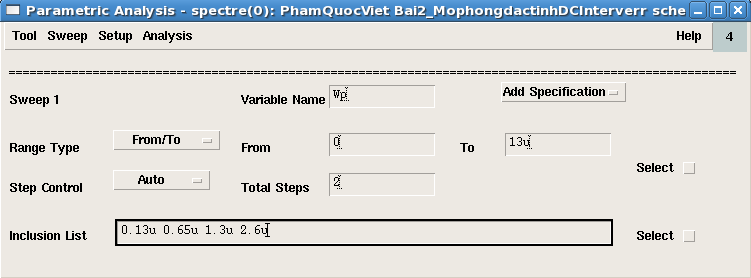
* **Thông số:**
  + Thông số transistor nMos: l = 0.13 µm, w = wf = 1.3 µm, nf = 1
  + Thông số transistor pMos: l = 0.13 µm, w = wf = Wp µm, nf = 1
  + Vdc = a V



***Hình 2.2.3: Thông số khi mô phỏng đặc tính DC Inverter với độ rộng Pmos và nguồn DC ban đầu là 0***



***Hình 2.2.4: Thông số độ rộng Pmos và nguồn DC ban đầu là 0***



***Hình 2.2.5: Cài thông số cho nhiều giá trị Wp (Độ rộng Pmos khác nhau) là 0u, 0.13u, 0.65u, 1.3u, 2.6u và 13u***

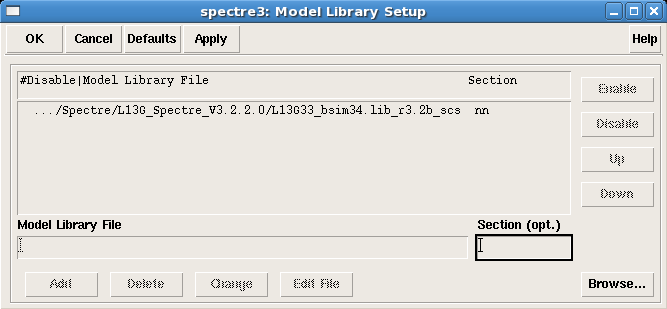
Giải thích các giá trị của độ rộng pMOS:

βn = µ.Cox.Wn/Ln;

βp = µ.Cox.Wp/Lp;

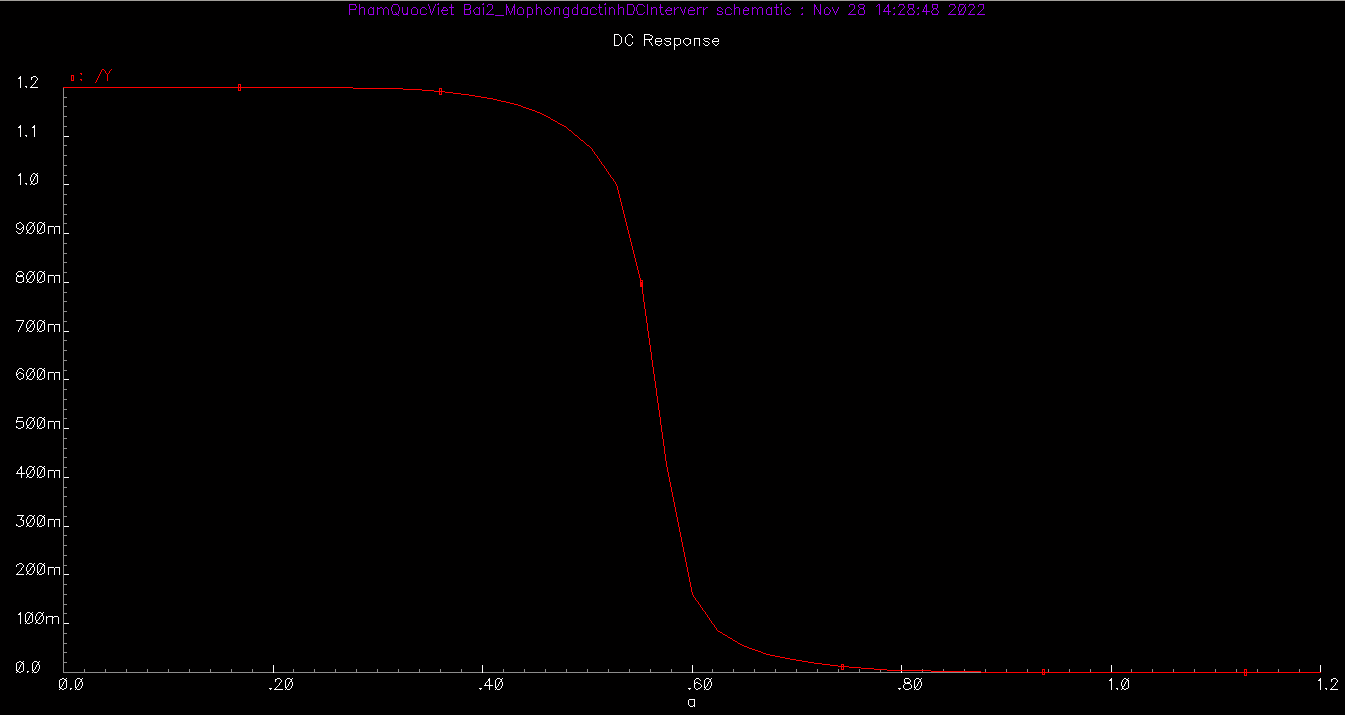
Do Ln = Lp = 0.15u

🡺 Tỉ số βp/βn =Wp/Wn



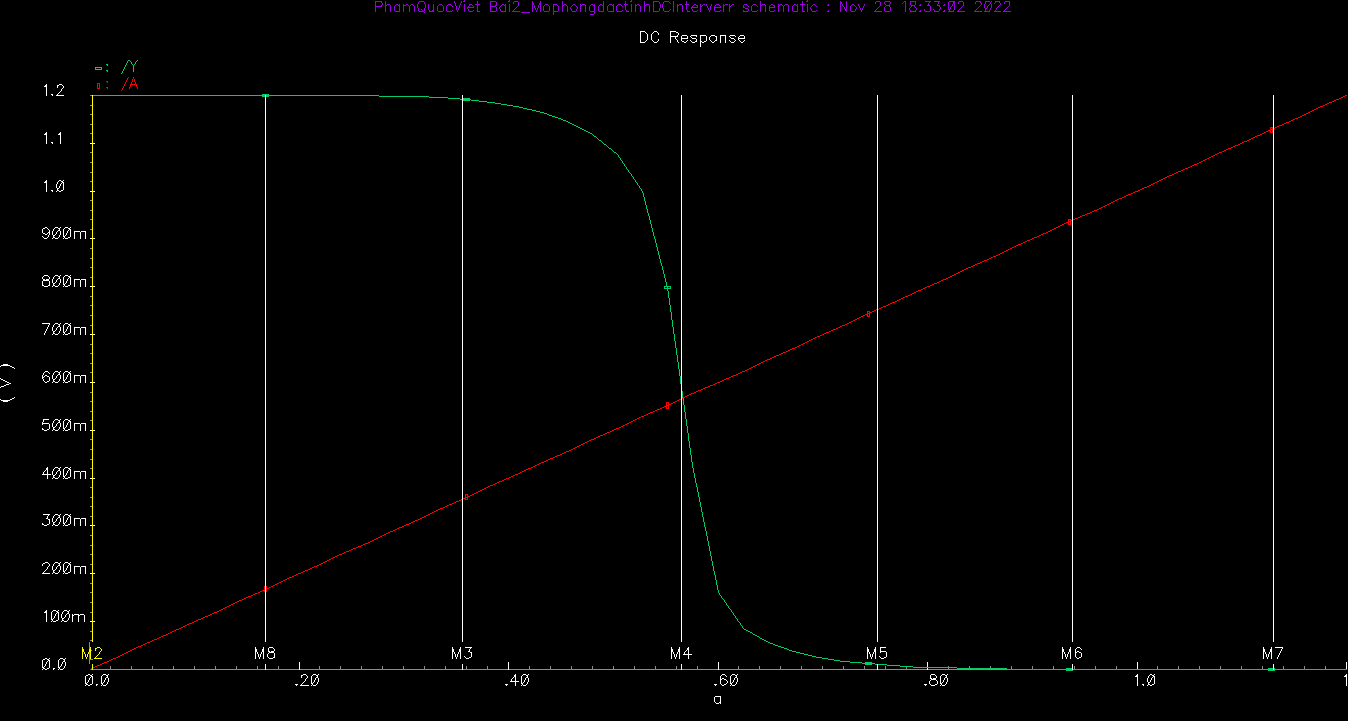
***Hình 2.2.6: Cài thư viện Model Libraries***

* + 1. Kết quả mô phỏng



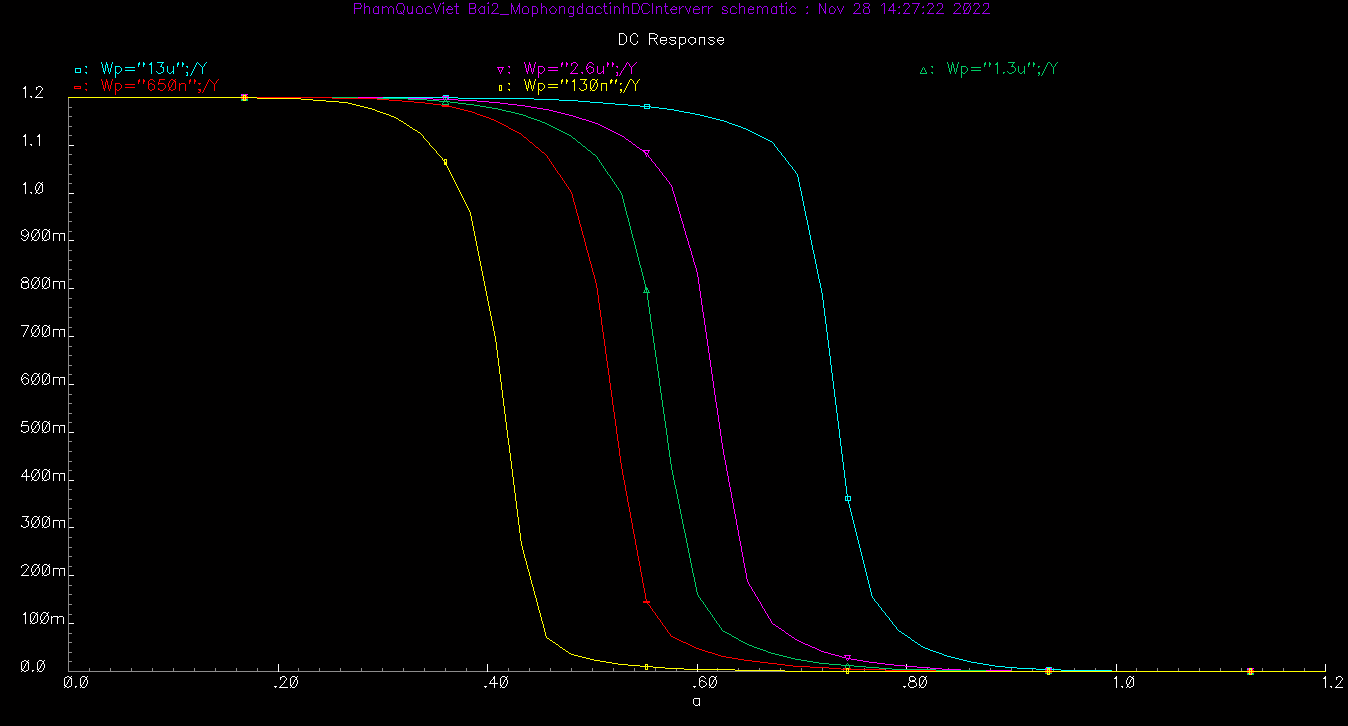
***Hình 2.3.1: Đặc tuyến DC của inverter khi mô phỏng với βp/βn = 1***

***Phân tích kết quả:***

******

***Hình 2.3.2: Chia vùng nMOS và pMOS***

|  |  |  |
| --- | --- | --- |
| **Vùng (Region)** | ***nMOS*** | ***pMOS*** |
| ***M2 🡺 M8; M8🡺M3*** | Ngắt (Cutoff) | Tuyến tính (Linear) |
| ***M3 🡺 M4*** | Bão hòa (Saturation) | Tuyến tính (Linear) |
| ***M4*** | Bão hòa (Saturation) | Bão hòa (Saturation) |
| ***M4 🡺 M5*** | Tuyến tính (Linear) | Bão hòa (Saturation) |
| ***M5 🡺 M6 ; M6🡺 M7*** | Tuyến tính (Linear) | Ngắt (Cutoff) |



***Hình 2.4: Khi mô phỏng với nhiều giá trị khác nhau của tỷ số β lần lượt là: β = 0.1(vàng), β = 0.5(đỏ), β = 1(xanh), β = 2(tím), β = 10(xanh trời)***

## KẾT LUẬN

Sau khi mô phỏng xong, ta rút ra kết luận:

* Tỉ số beta sẽ phụ thuộc vào tỉ số giữa độ rộng pMOS và nMOS(βp/βn =Wp/Wn)
* Điện áp đầu vào bằng 0, (pMOS dẫn, nMOS ngắt), đầu ra bằng 1 (đầu ra kéo lên VDD). Khi điện áp đầu vào bằng 1 (pMOS ngắt, nMOS dẫn), đầu ra bằng 0 (Kéo xuống GND) 🡺 Bộ inverter là cổng đảo
* Tỉ số ***β*** tăng dần lên thì vùng Ngắt của nMos và vùng Tuyến tính của pMos cũng tăng theo ; ngược lại, vùng Ngắt của pMos, vùng tuyến tính của nMos thì giảm dần

BÀI 3. THIẾT KẾ VÀ MÔ PHỎNG CỔNG LOGIC



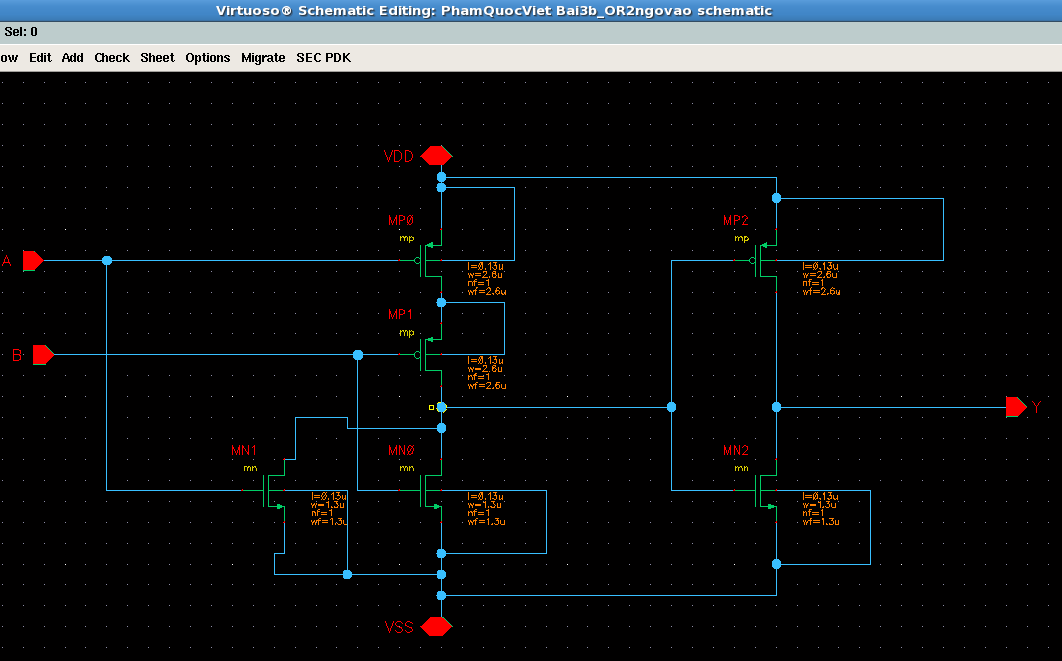
## MỤC TIÊU

Ở trong bài 3 này, ta sẽ đi thiết kế và mô phỏng mức logic ngõ ra bằng cách cho ngõ vào mức logic ‘0’ hoặc ‘1’ để cho kết quả ngõ ra. Sau đó ta sẽ so kết quả mô phỏng với bảng chân trị của OR, AND và XOR 2 ngõ vào

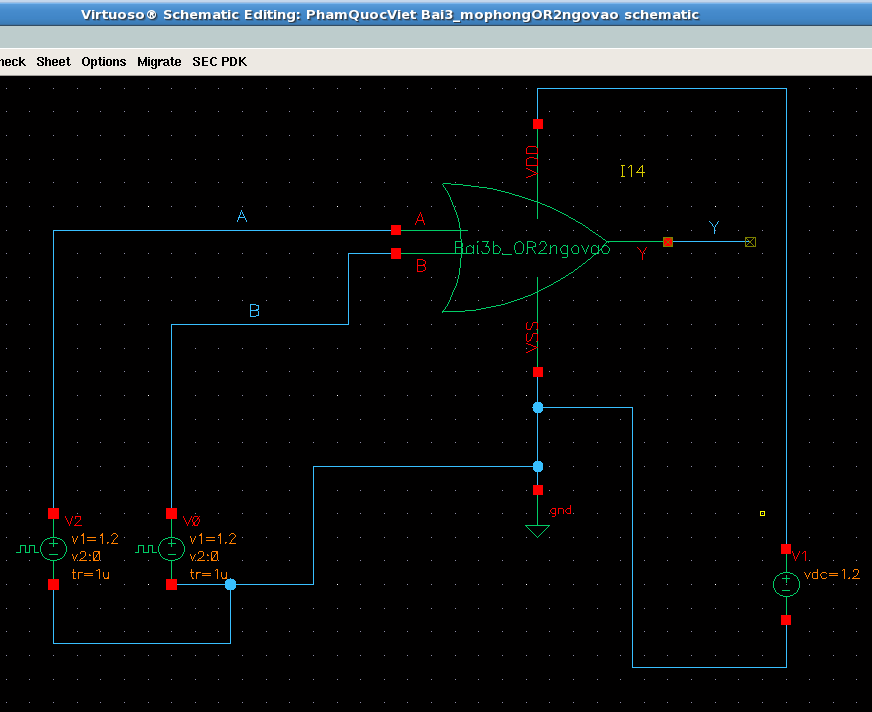
## THIẾT KẾ CỔNG LOGIC

### 3.2.1 Cổng OR 2 ngõ vào

* **Sơ đồ nguyên lý**

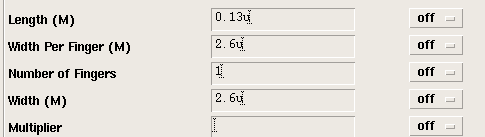


**Hình 3.2.1.1: Sơ đồ nguyên lý của cổng OR 2 ngõ vào**

******

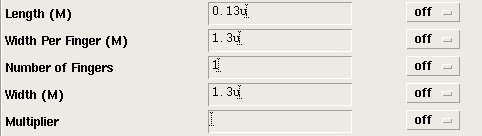
**Hình 3.2.1.2: Sơ đồ mô phỏng của cổng OR 2 ngõ vào**

* **Thông số cài đặt**

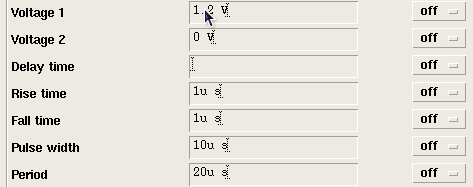
****

**Hình 3.2.1.3: Thông số pMOS**

Để W/L xấp xỉ 10 tới 20 lần



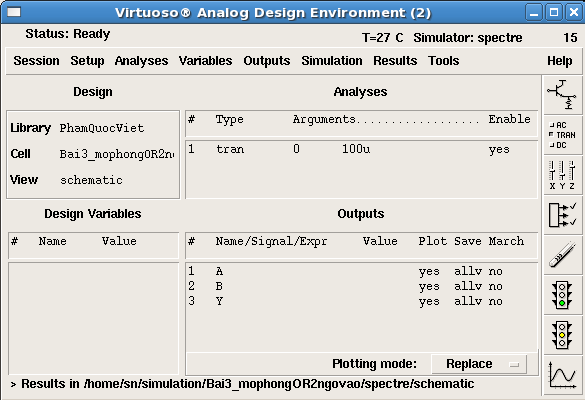
**Hình 3.2.1.4: Thông số nMOS**

******

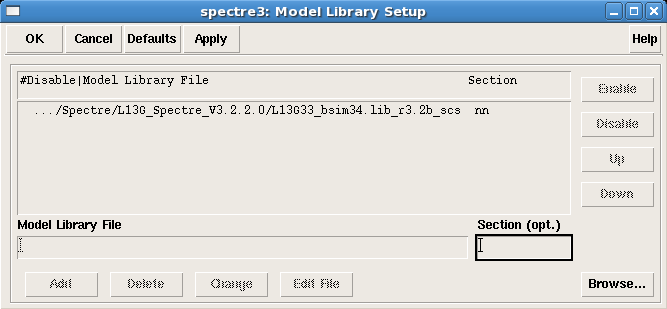
**Hình 3.2.1.5: Thông số ngõ vào A của cổng OR 2 ngõ vào**

******

**Hình 3.2.1.6: Thông số ngõ vào B của cổng OR 2 ngõ vào**

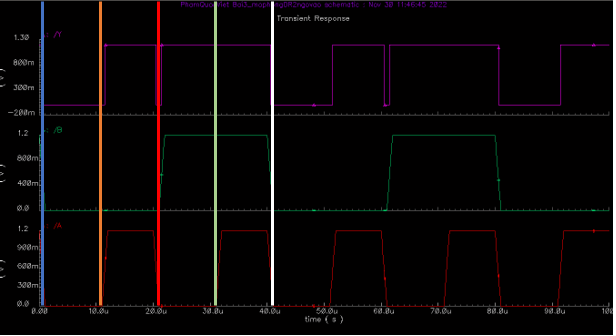
******

**Hình 3.2.1.7: Bảng thông số tổng cho cổng OR 2 ngõ vào**

******

**Hình 3.2.1.8: Bảng thông số tổng cho cổng OR 2 ngõ vào**

* **Kết quả mô phỏng:**



**Hình 3.2.1.9: Mô phỏng mức logic ngõ vào và ngõ ra của cổng OR**

Giải thích:

* Trong 10u(s) đầu (xanh dương – cam), ngõ vào A = 0V, B = 0V

🡺 Y=A OR B = 0V.

* Từ 12u(s) tới 20u(s) (cam– đỏ), ngõ vào A = 1,2V, B = 0V

🡺 Y=A OR B = 1.2V.

* Từ 22u(s) tới 30u(s) (đỏ – xanh lá), ngõ vào A = 0V, B = 1,2V

🡺 Y=A OR B = 1.2V.

* Từ 32u(s) tới 40u(s) (xanh lá – trắng), ngõ vào A = 1,2V, B = 1,2V

🡺Y=A OR B = 1.2V.

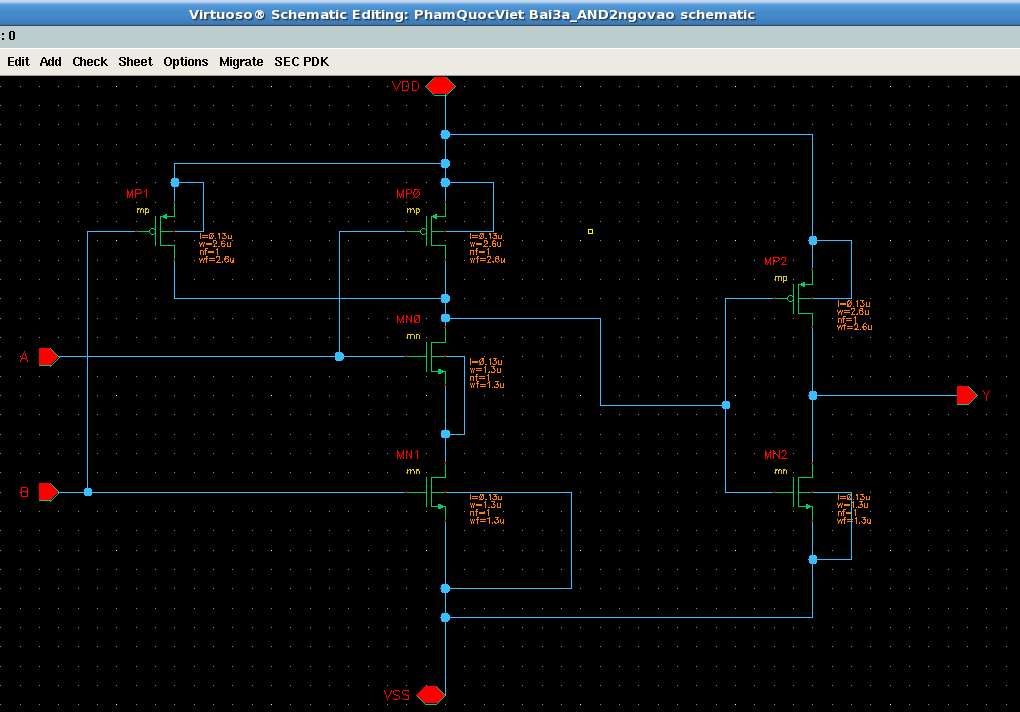
**Bảng trạng thái cổng OR:**

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

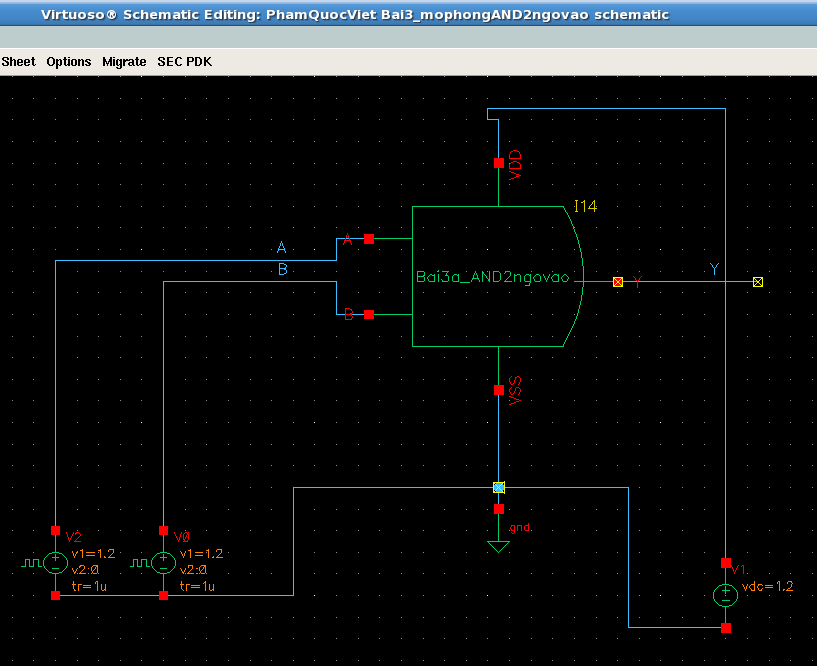
* Nhận xét: Kết quả ra đúng với bảng trạng thái.

### Cổng AND 2 ngõ vào

* **Sơ đồ nguyên lý**

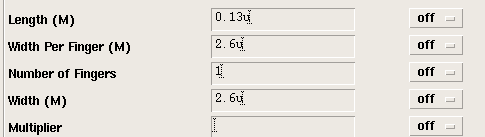
****

**Hình 3.2.2.1: Sơ đồ nguyên lý của cổng AND 2 ngõ vào**

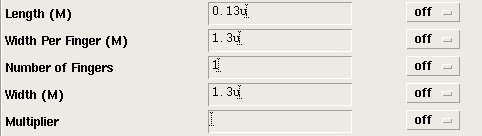
******

**Hình 3.2.2.2: Sơ đồ mô phỏng của cổng AND 2 ngõ vào**

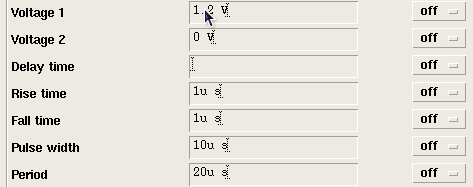
**• Thông số cài đặt:**

****

**Hình 3.2.2.3: Thông số pMOS**

****

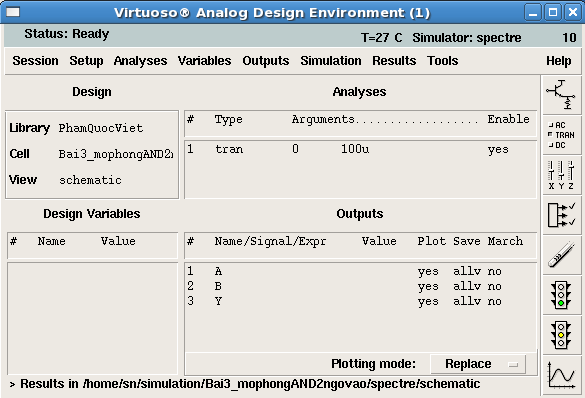
**Hình 3.2.2.4: Thông số nMOS**

******

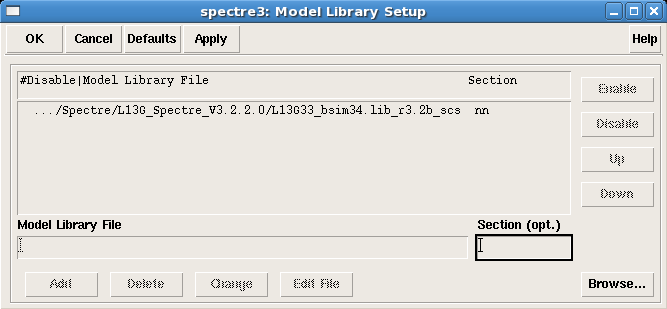
**Hình 3.2.2.5: Thông số ngõ vào A của cổng AND 2 ngõ vào**

******

**Hình 3.2.2.6: Thông số ngõ vào B của cổng AND 2 ngõ vào**

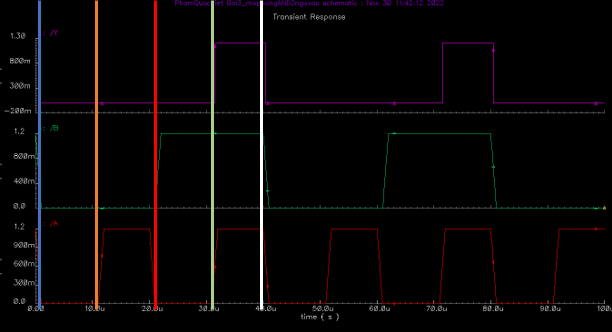
******

**Hình 3.2.2.7: Bảng thông số tổng cho cổng AND 2 ngõ vào**

******

**Hình 3.2.2.8: Cài thư viện cho mô phỏng của cổng AND 2 ngõ vào**

* **Kết quả mô phỏng:**



***Hình 3.2.2.9: Mô phỏng mức logic ngõ vào và ngõ ra của cổng AND***

Giải thích:

* Trong 10u(s) đầu (xanh dương – cam), ngõ vào A = 0V, B = 0V

🡺 Y=A AND B = 0V.

* Từ 12u(s) tới 20u(s) (cam– đỏ), ngõ vào A = 1,2V, B = 0V

🡺Y=A AND B = 0V

* Từ 22u(s) tới 30u(s) (đỏ – xanh lá), ngõ vào A = 0V , B = 1,2V

🡺Y=A AND B = 0V

* Từ 32u(s) tới 40u(s) (xanh lá – trắng), ngõ vào A = 1,2V, B = 1,2V

🡺Y=A AND B = 1.2V

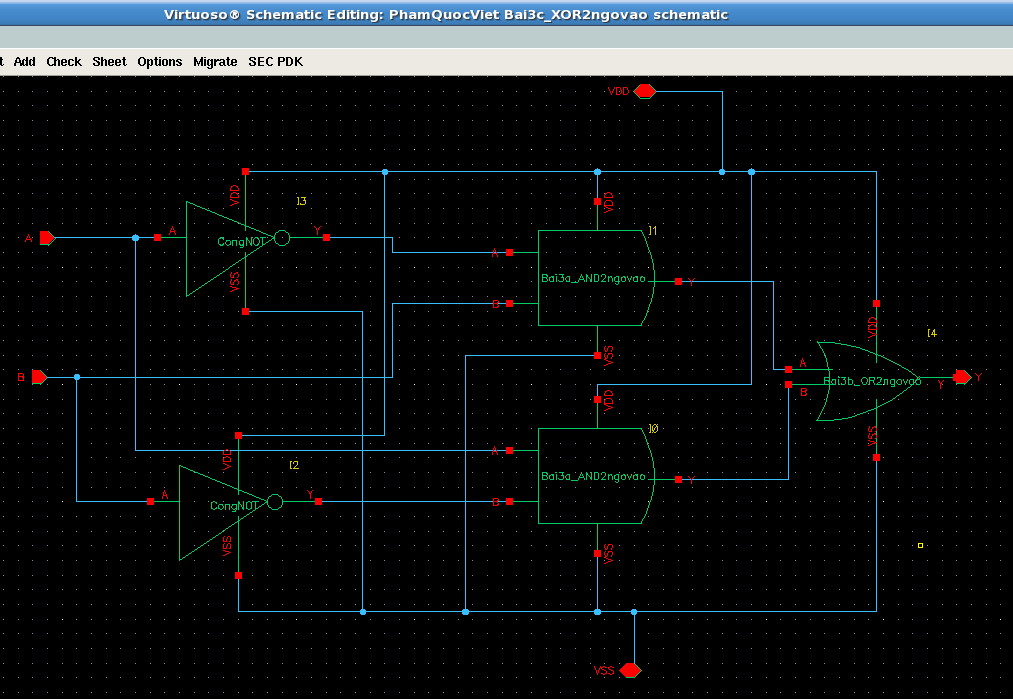
**Bảng trạng thái cổng AND:**

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

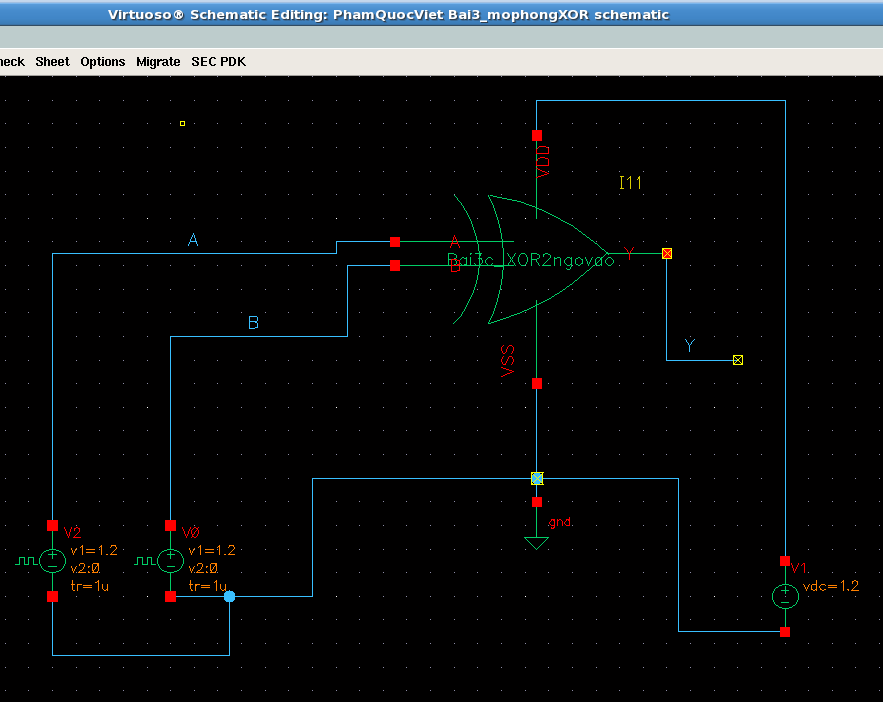
* Nhận xét: Kết quả ra đúng với bảng trạng thái

### 3.2.3 Cổng XOR 2 ngõ vào

* **Sơ đồ nguyên lý**

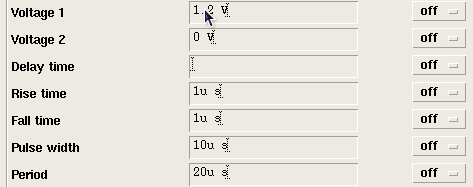


**Hình 3.2.3.1: Sơ đồ nguyên lý của cổng XOR 2 ngõ vào**

******

**Hình 3.2.3.2: Sơ đồ mô phỏng của cổng XOR 2 ngõ vào**

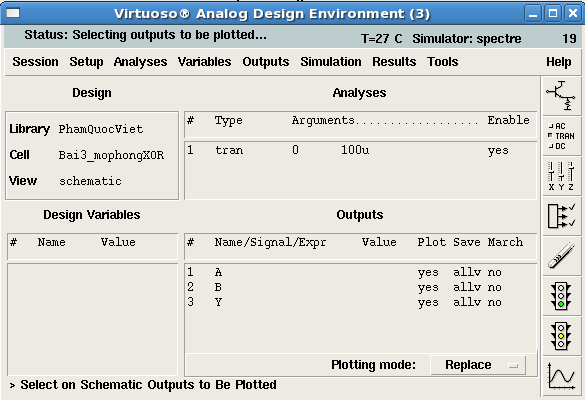
**• Thông số cài đặt:**

******

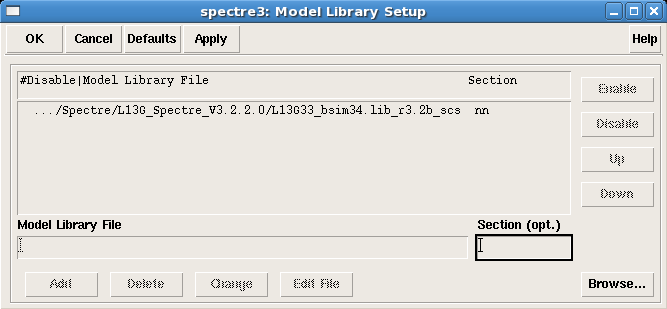
**Hình 3.2.3.3: Thông số ngõ vào A của cổng XOR 2 ngõ vào**

******

**Hình 3.2.3.4: Thông số ngõ vào B của cổng XOR 2 ngõ vào**

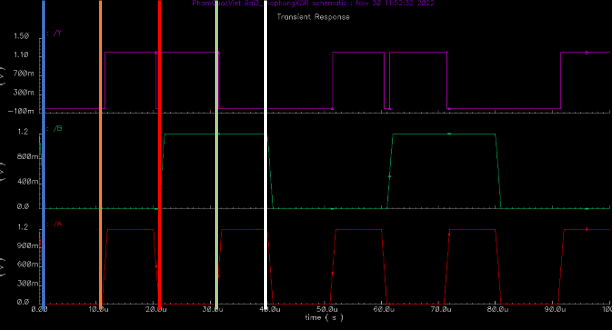
******

**Hình 3.2.3.5: Bảng thông số tổng cho cổng XOR 2 ngõ vào**

******

**Hình 3.2.3.6: Cài thư viện cho mô phỏng của cổng XOR 2 ngõ vào**

* **Kết quả mô phỏng:**



***Hình 3.2.3.7: Mô phỏng mức logic ngõ vào và ngõ ra của cổng XOR***

Giải thích:

* Trong 10u(s) đầu (xanh dương – cam), ngõ vào A = 0V, B = 0V

🡺 Y=A XOR B = 0V.

* Từ 12u(s) tới 20u(s) (cam– đỏ), ngõ vào A = 1,2V, B = 0V

🡺 Y=A XOR B = 1.2V

* Từ 22u(s) tới 30u(s) (đỏ – xanh lá), ngõ vào A = 0V , B = 1,2V

🡺 Y=A XOR B = 1.2V

* Từ 32u(s) tới 40u(s) (xanh lá – trắng), ngõ vào A = 1,2V, B = 1,2V

🡺 Y=A XOR B = 0V

**Bảng trạng thái cổng XOR:**

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

* Nhận xét: Kết quả ra đúng với bảng trạng thái

## KẾT LUẬN

* Kết quả mô phỏng hoàn toàn đúng với bảng trạng thái của các cổng logic AND, OR, XOR.
* Ngõ ra cổng OR chỉ ở mức thấp khi tất cả các ngõ vào xuống mức thấp. Khi có một ngõ vào bằng 1, ngõ ra bằng 1 bất chấp các ngõ vào còn lại bằng 0 hay 1.
* Ngõ ra cổng AND chỉ ở mức cao khi tất cả các ngõ vào lên mức cao. Khi có một ngõ vào bằng 0, ngõ ra bằng 0 bất chấp các ngõ vào còn lại bằng 0 hay 1.
* Ngõ ra của cổng XOR bằng 0 khi 2 ngõ vào có mức logic bằng nhau. Ngõ ra của cổng XOR bằng 1 khi 2 ngõ vào có mức logic khác nhau.

BÀI 4. THIẾT KẾ, MÔ PHỎNG, TÍNH CÔNG SUẤT TIÊU THỤ CỦA CÁC MẠCH SỐ



## MỤC TIÊU

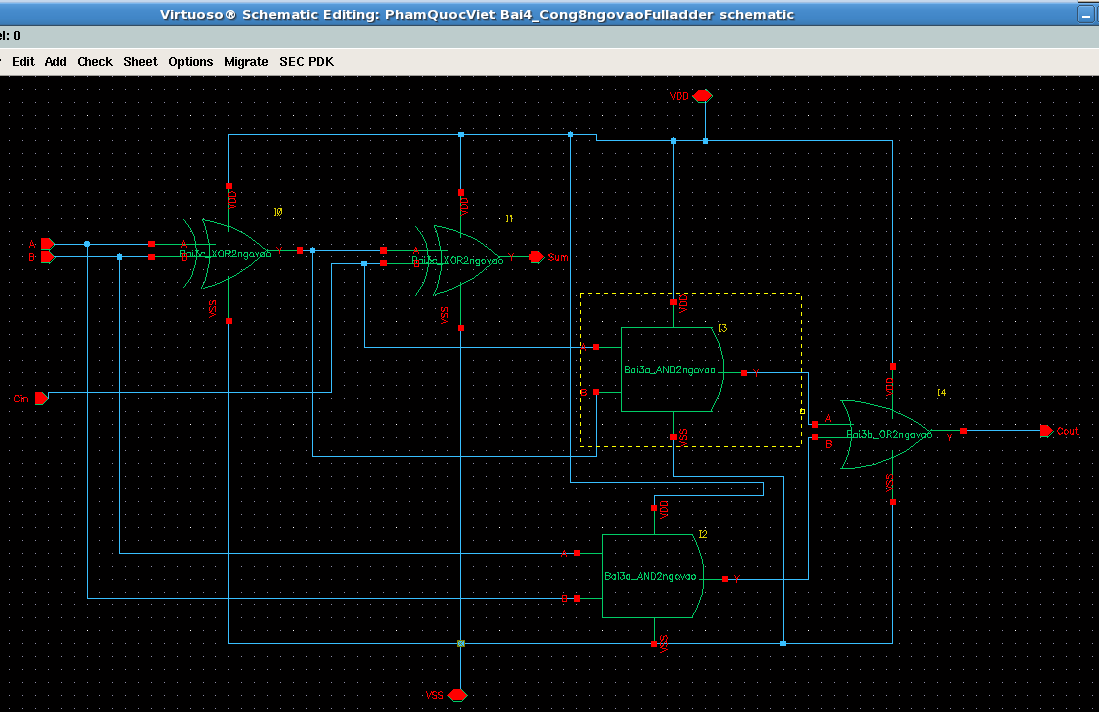
Mỗi mạch số có những công dụng khác nhau. Ví dụ như mạch cộng 8 bit sẽ có chức năng cộng 2 số chuỗi nhị phân 8bit sẽ cho ra tổng có chuỗi nhị phân 8bit.

Mục tiêu của bài là thiết kế được mạch cộng 8bit sau đó sử dụng mạch cộng 8bit để thiết kế mạch trừ 8bit, trong đó mạch cộng 8 bit được thiết kế từ các mạch cộng toàn phần 1 bit, thiết kế mạch nhân 4bit. Sau đó ta sẽ mô phỏng kết quả đầu vào và đầu ra. Tính công suất tiêu thụ trên các mạch số đã thiết kế

## THIẾT KẾ CÁC MẠCH SỐ

### Mạch cộng 8 bit từ các mạch cộng 1 bit toàn phần

* **Sơ đồ nguyên lý**

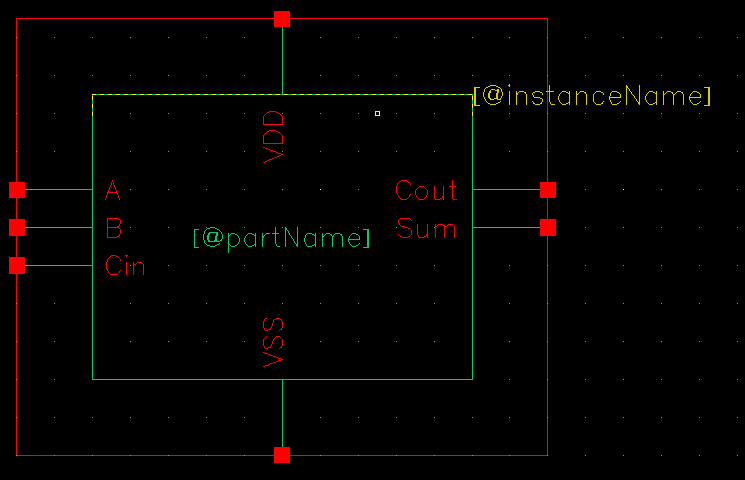


***Hình 4.2.1.1: Sơ đồ nguyên lý của mạch cộng 1 bit toàn phần***

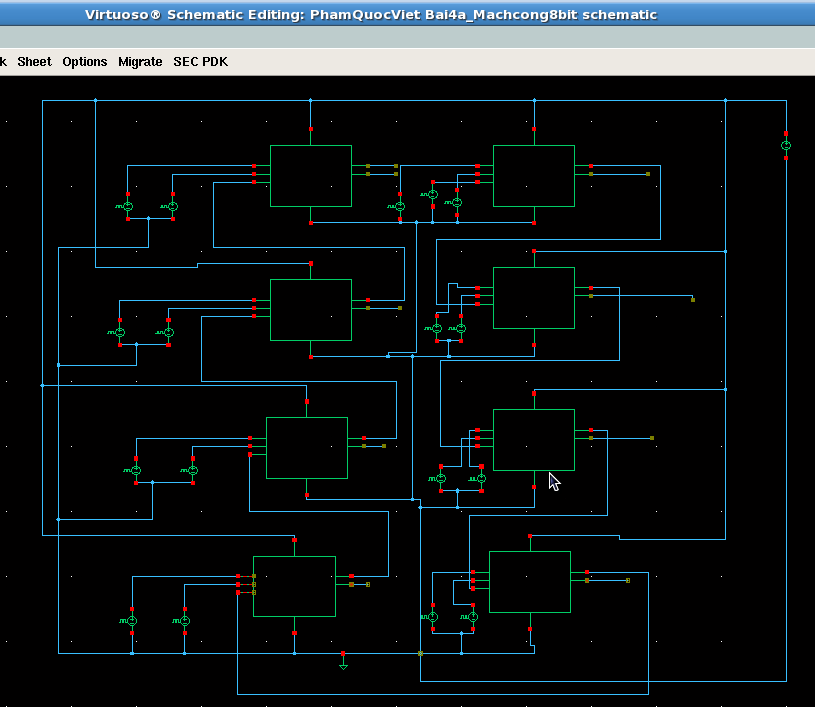
Để làm ra bộ mạch cộng 8 bit thì ta sẽ làm bộ cộng 1 bit toàn phần với 2 ngõ vào A và B và bộ nhớ khởi tạo là Cin, ngõ ra là Sum và biến nhớ đầu ra. Sau đó ta sẽ ghép 8 bộ cộng 1 bit toàn phần với nhau.

**Bảng trạng thái FullAdder 1bit**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Ngõ vào (Input)** | | | **Ngõ ra (Output)** | |
| **A** | **B** | **Cin** | **Sum** | **Cout** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

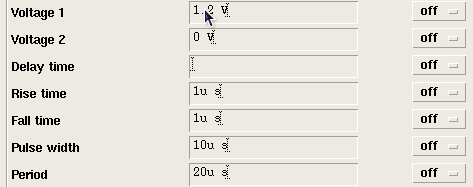


***Hình 4.2.1.2: Sơ đồ mạch cộng 1 bit toàn phần sau khi đóng gói***



***Hình 4.2.1.3: Sơ đồ nguyên lý của mạch cộng 8 bit từ các mạch cộng 1 bit toàn phần***

* **Thông số cài đặt**

****

***Hình 4.2.1.4: Thông số ngõ vào A0***

****

***Hình 4.2.1.5: Thông số ngõ vào A1***

****

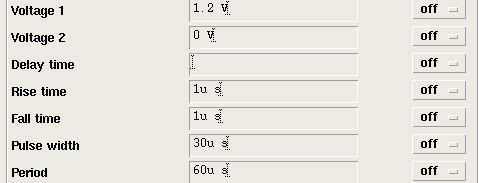
***Hình 4.2.1.6: Thông số ngõ vào A2***

****

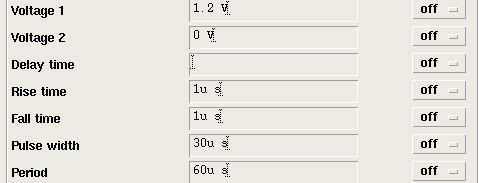
***Hình 4.2.1.7: Thông số ngõ vào A3***

****

***Hình 4.2.1.8: Thông số ngõ vào A4***

****

***Hình 4.2.1.9: Thông số ngõ vào A5***

****

***Hình 4.2.1.10: Thông số ngõ vào A6***

****

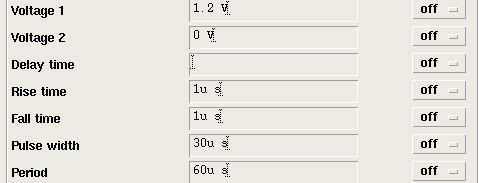
***Hình 4.2.1.11: Thông số ngõ vào A7***

******

***Hình 4.2.1.12: Thông số ngõ vào B0***

******

***Hình 4.2.1.13: Thông số ngõ vào B1***

******

***Hình 4.2.1.14: Thông số ngõ vào B2***

******

***Hình 4.2.1.15: Thông số ngõ vào B3***

******

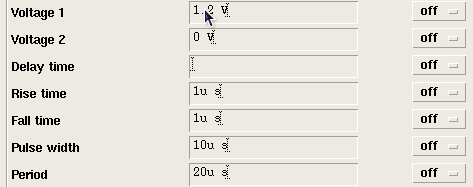
***Hình 4.2.1.16: Thông số ngõ vào B4***

******

***Hình 4.2.1.17: Thông số ngõ vào B5***

******

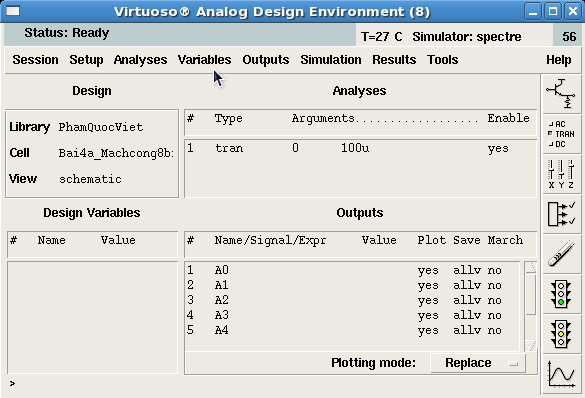
***Hình 4.2.1.18: Thông số ngõ vào B6***

******

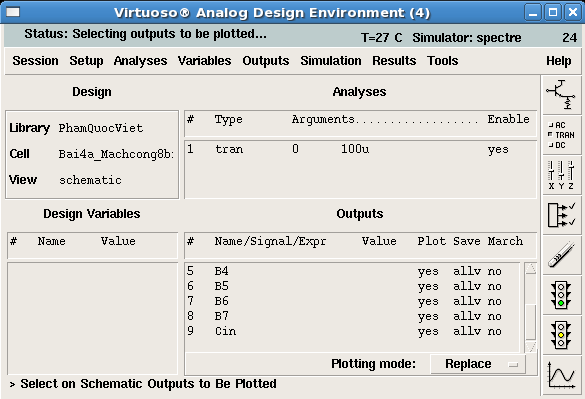
***Hình 4.2.1.19: Thông số ngõ vào B7***

******

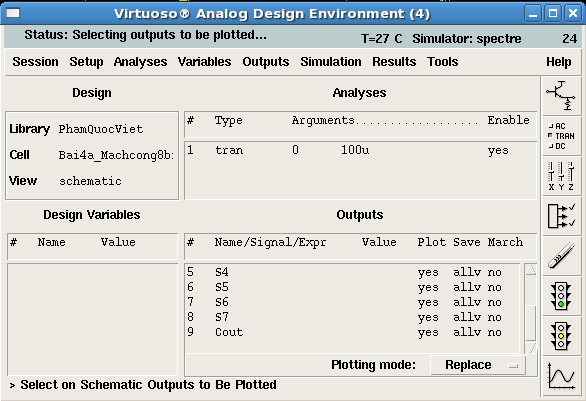
***Hình 4.2.1.20: Thông số ngõ vào Cin***

******

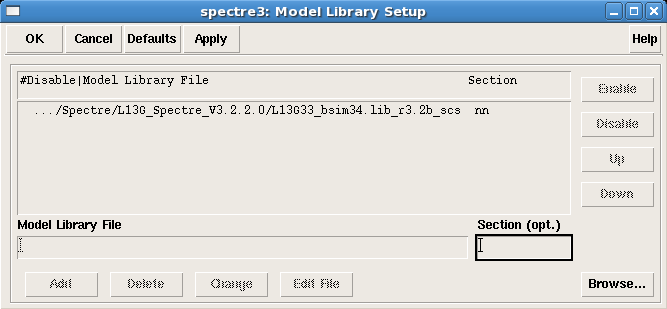
***Hình 4.2.1.21: Mô phỏng Output ngõ vào A***

******

***Hình 4.2.1.22: Mô phỏng Output ngõ vào B và Cin***

******

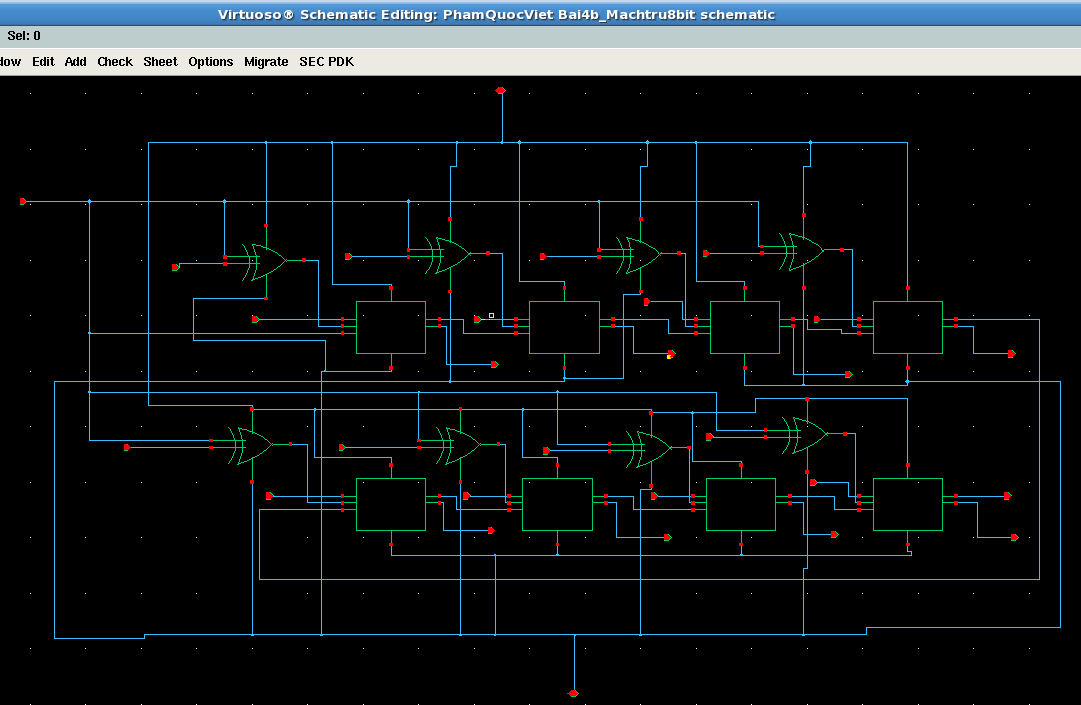
***Hình 4.2.1.23: Output ngõ ra S va Cout***

******

***Hình 4.2.1.24: Cài thư viện cho mô phỏng***

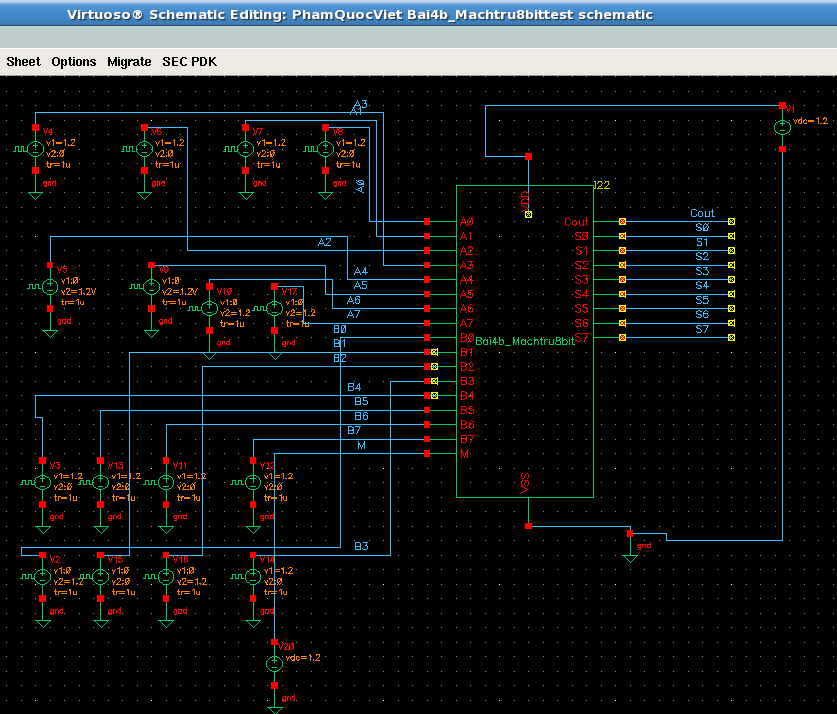
### Mạch trừ 8 bit

* **Sơ đồ nguyên lý**



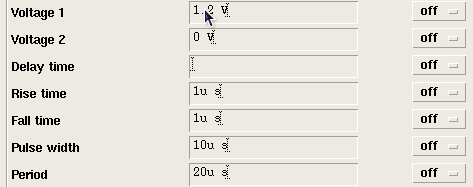
***Hình 4.2.2.1: Sơ đồ nguyên lý của mạch trừ 8 bit***

Mạch trừ 8 bit có 2 ngõ vào là A và B, trong đó ngõ vào B qua cổng XOR và B XOR 1 thì sẽ ra B đảo, và biến nhớ ban đầu Cin = 1. A – B = A+(-B)

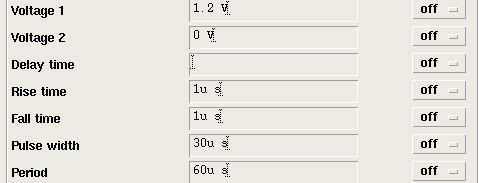


***Hình 4.2.2.2: Sơ đồ mạch trừ 8 bit sau khi đóng gói***

* **Thông số cài đặt**

****

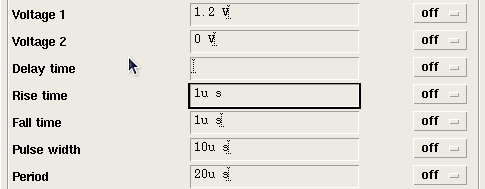
***Hình 4.2.2.3: Thông số ngõ vào A0***



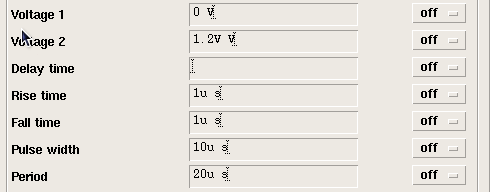
***Hình 4.2.2.4: Thông số ngõ vào A1***



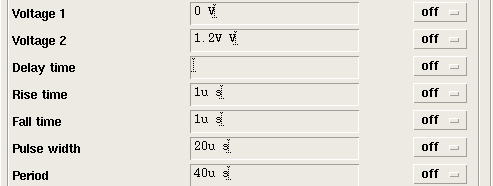
***Hình 4.2.2.5: Thông số ngõ vào A2***



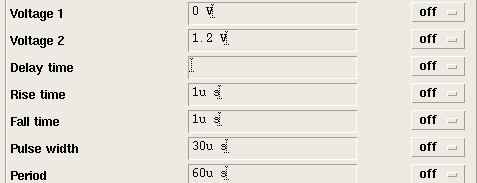
***Hình 4.2.2.6: Thông số ngõ vào A3***



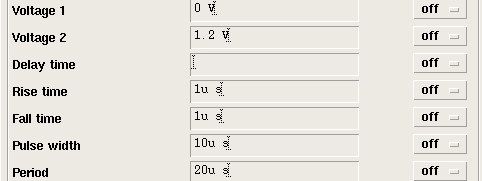
***Hình 4.2.2.7: Thông số ngõ vào A4***



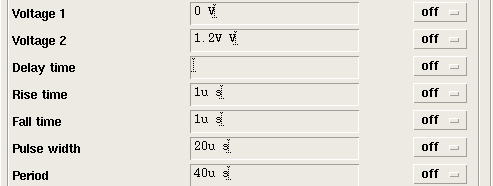
***Hình 4.2.2.8: Thông số ngõ vào A5***



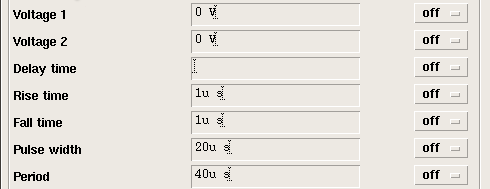
***Hình 4.2.2.9: Thông số ngõ vào A6***



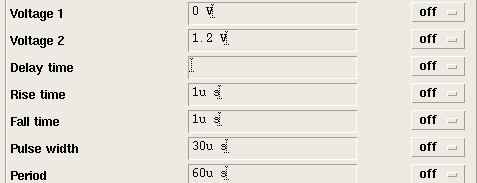
***Hình 4.2.2.10: Thông số ngõ vào A7***

******

***Hình 4.2.2.11: Thông số ngõ vào B0***

******

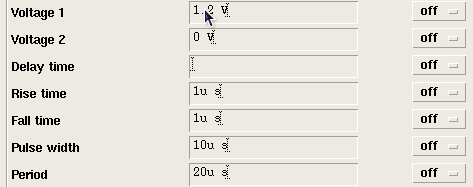
***Hình 4.2.2.12: Thông số ngõ vào B1***

******

***Hình 4.2.2.13: Thông số ngõ vào B2***

******

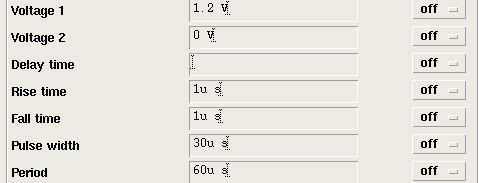
***Hình 4.2.2.14: Thông số ngõ vào B3***

******

***Hình 4.2.2.15: Thông số ngõ vào B4***

******

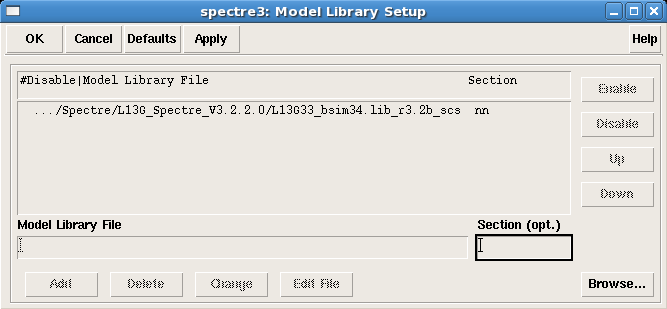
***Hình 4.2.2.16: Thông số ngõ vào B5***



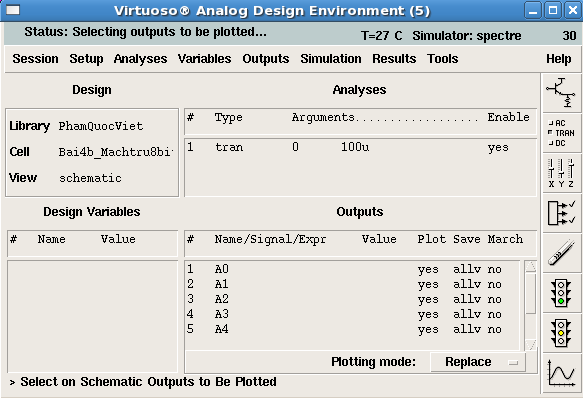
***Hình 4.2.2.17: Thông số ngõ vào B6***



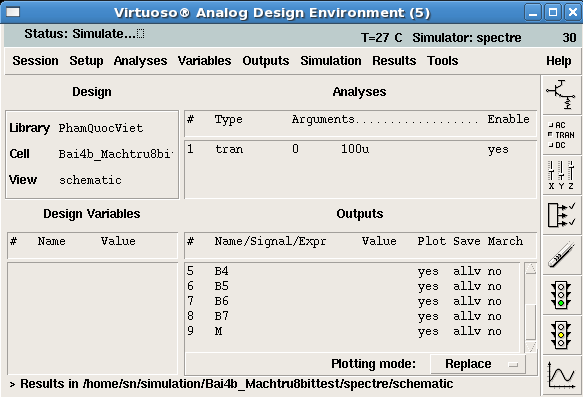
***Hình 4.2.2.18: Thông số ngõ vào B7***

******

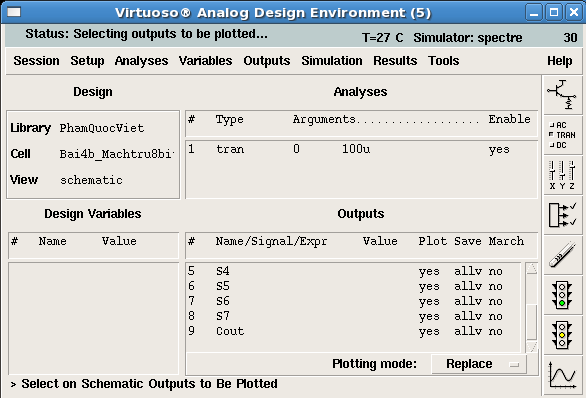
***Hình 4.2.2.19: Cài thư viên cho mô phỏng***

******

***Hình 4.2.2.20: Chọn output ngõ vào A***

******

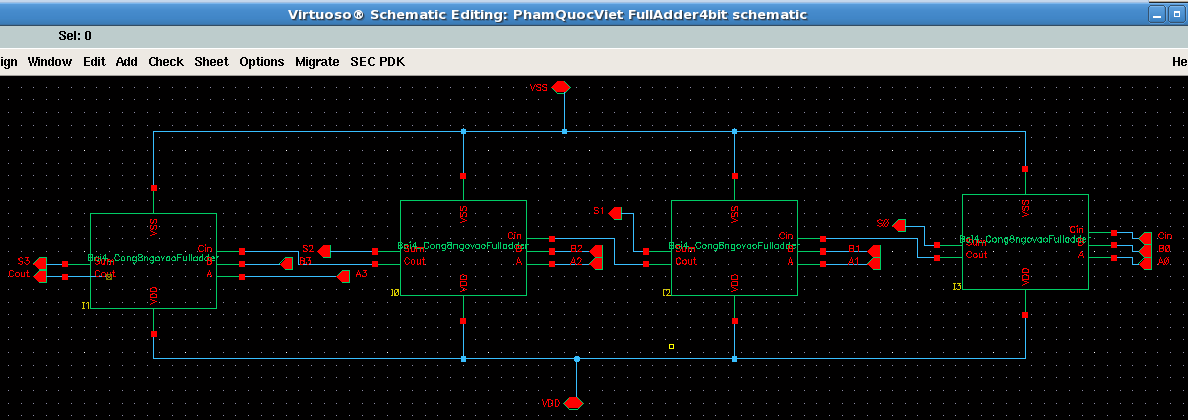
***Hình 4.2.2.21: Chọn output ngõ vào B va Cin***

******

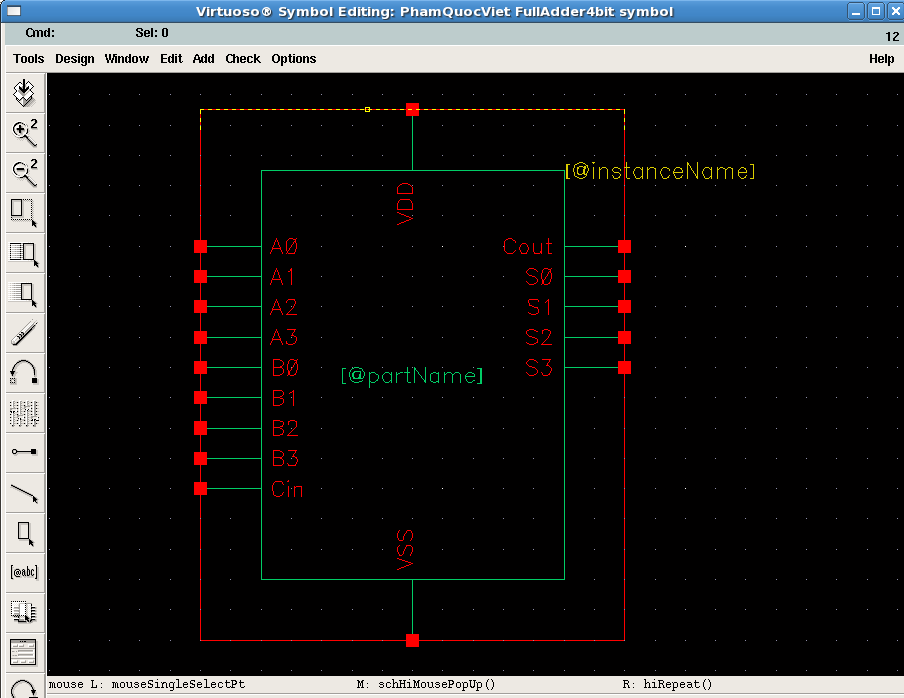
***Hình 4.2.2.22: Chọn output ngõ ra S, Cout***

### Mạch nhân 4 bit

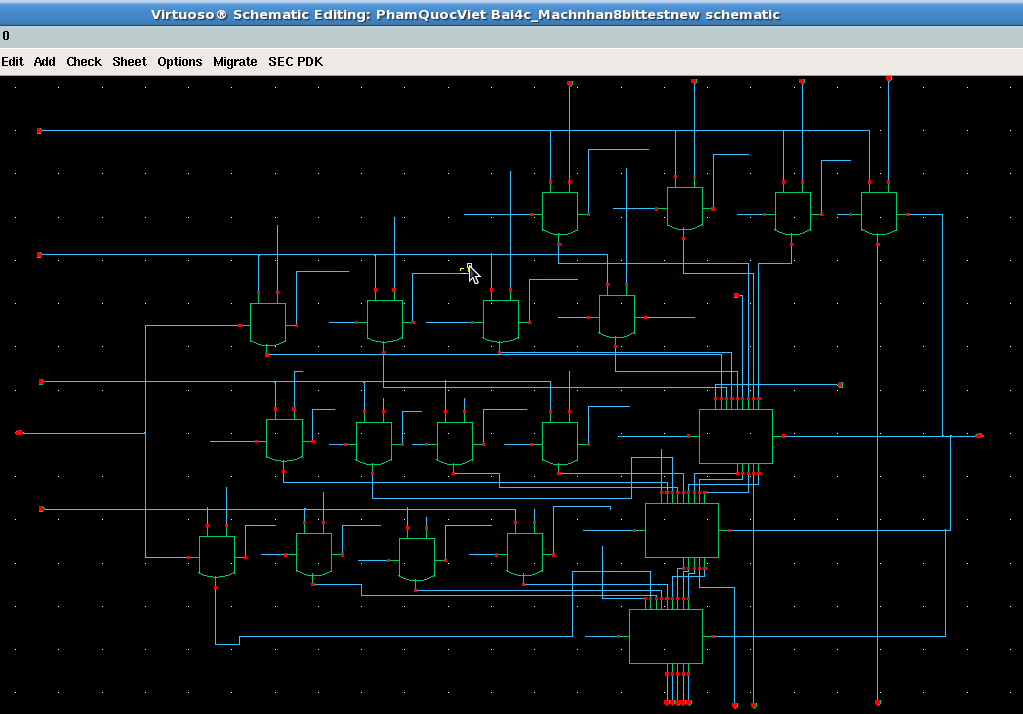
* **Sơ đồ nguyên lý**



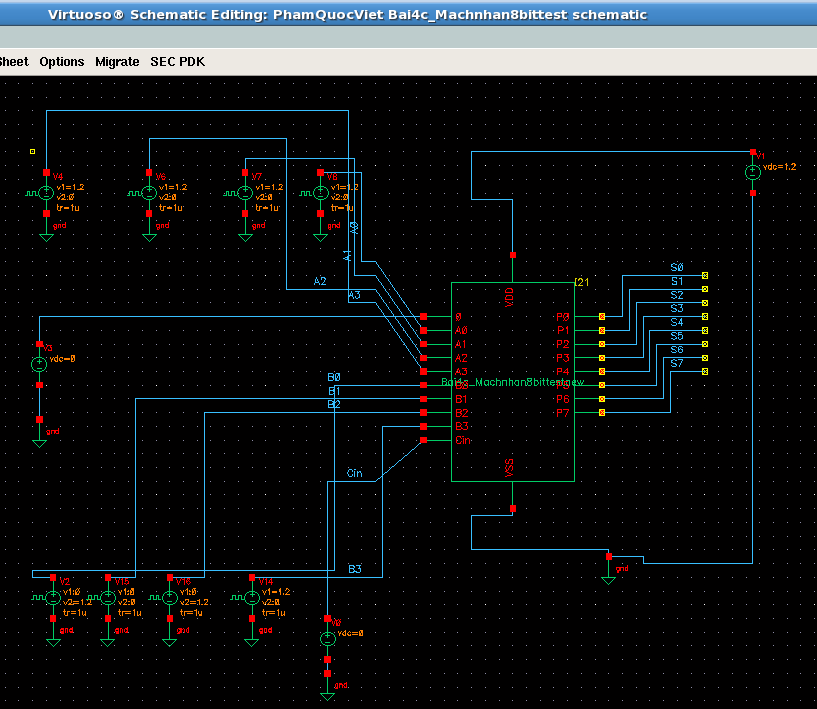
***Hình 4.2.3.1: Sơ đồ nguyên lý bộ FullAdder 4bit***

******

***Hình 4.2.3.2: Bộ FullAdder 4bit sau khi đóng gói***

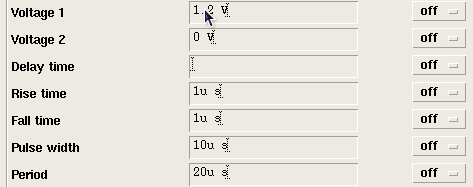
******

***Hình 4.2.3.3: Sơ đồ nguyên lý của mạch nhân 4 bit***

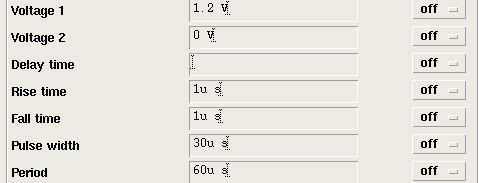
******

***Hình 4.2.3.4: Mạch nhân 4 bit sau khi đóng gói***

***• Thông số cài đặt***

******

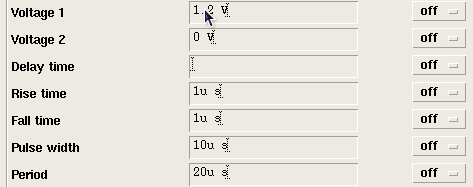
***Hình 4.2.3.5: Thông số ngõ vào A0***

******

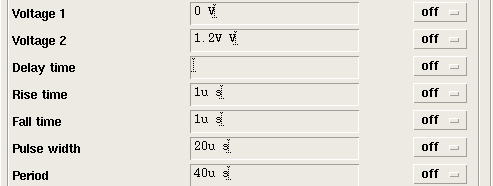
***Hình 4.2.3.6: Thông số ngõ vào A1***

******

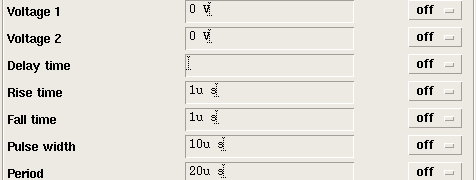
***Hình 4.2.3.7: Thông số ngõ vào A2***

******

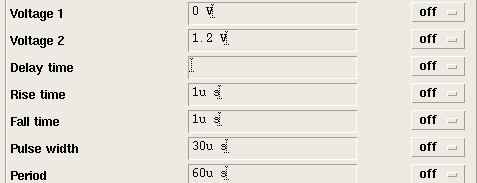
***Hình 4.2.3.8: Thông số ngõ vào A3***

******

***Hình 4.2.3.9: Thông số ngõ vào B0***

******

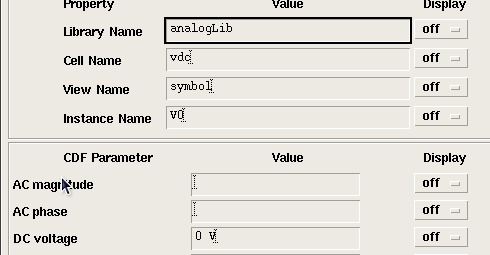
***Hình 4.2.3.10: Thông số ngõ vào B1***



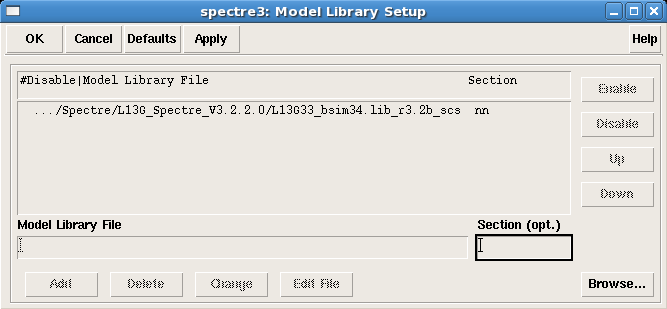
***Hình 4.2.3.11: Thông số ngõ vào B2***



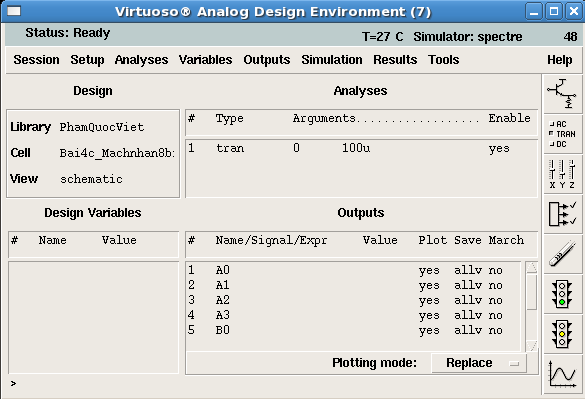
***Hình 4.2.3.12: Thông số ngõ vào B3***



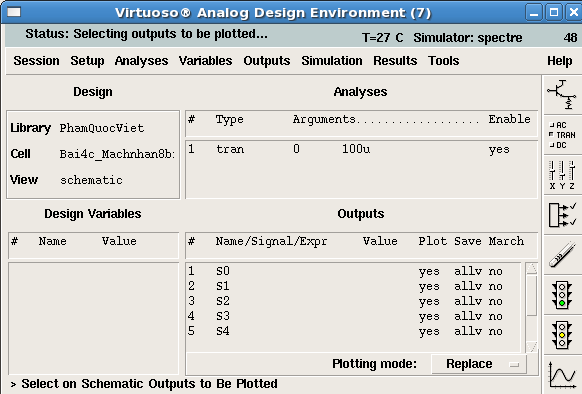
***Hình 4.2.3.13: Thông số ngõ vào Cin***

******

***Hình 4.2.3.14: Cài thư viện cho mô phỏng***



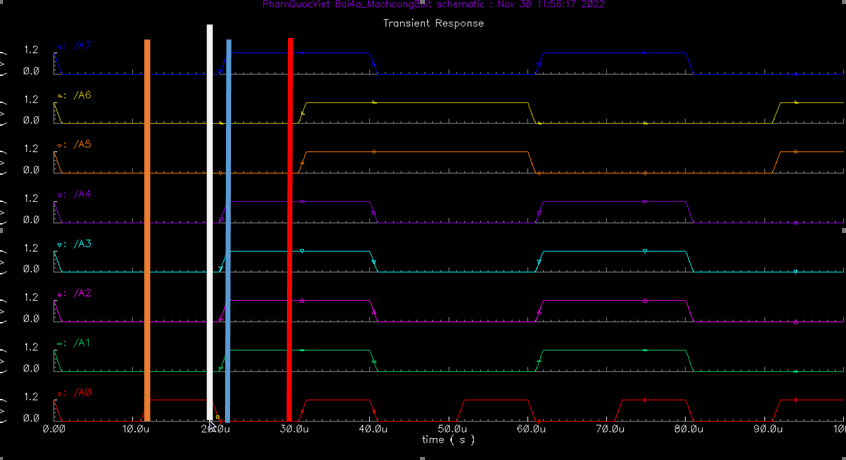
***Hình 4.2.3.15: Cài output cho ngõ vào A và B và Cin***



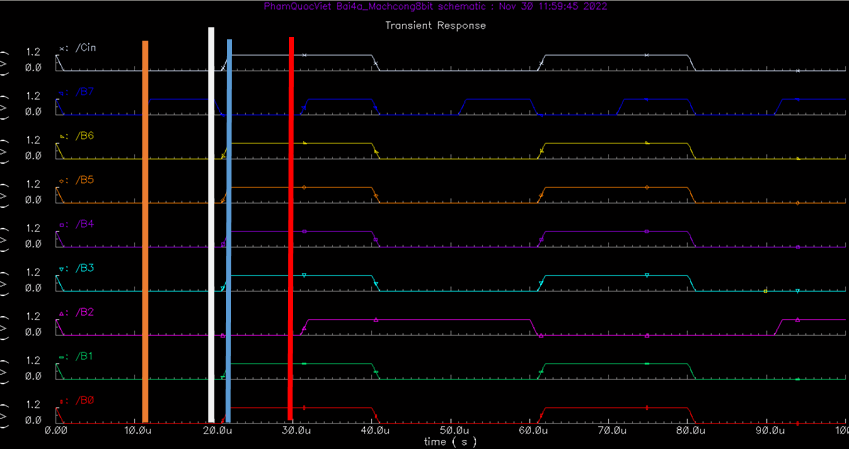
***Hình 4.2.3.16: Cài output cho ngõ vào S***

## MÔ PHỎNG CỦA CÁC MẠCH SỐ

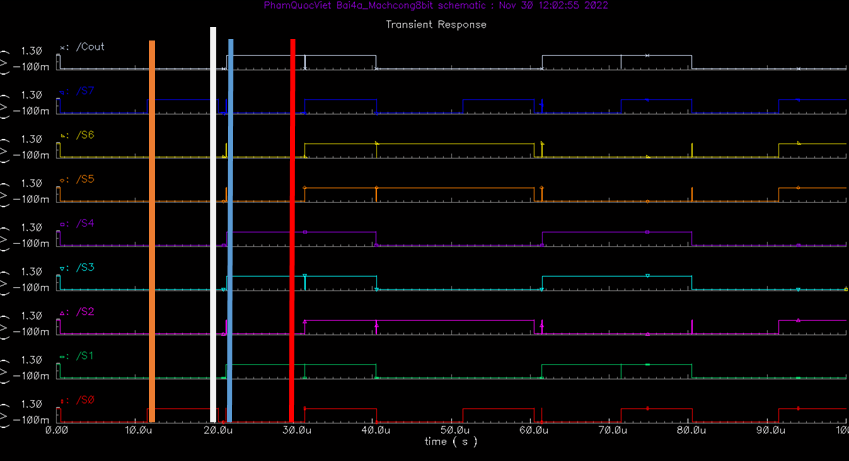
### Mạch cộng 8 bit từ các mạch cộng 1 bit toàn phần



***Hình 4.3.1.1: Mô phỏng ngõ vào A của mạch cộng 8 bit***

******

***Hình 4.3.1.2: Mô phỏng ngõ vào B và Cin của mạch cộng 8 bit***

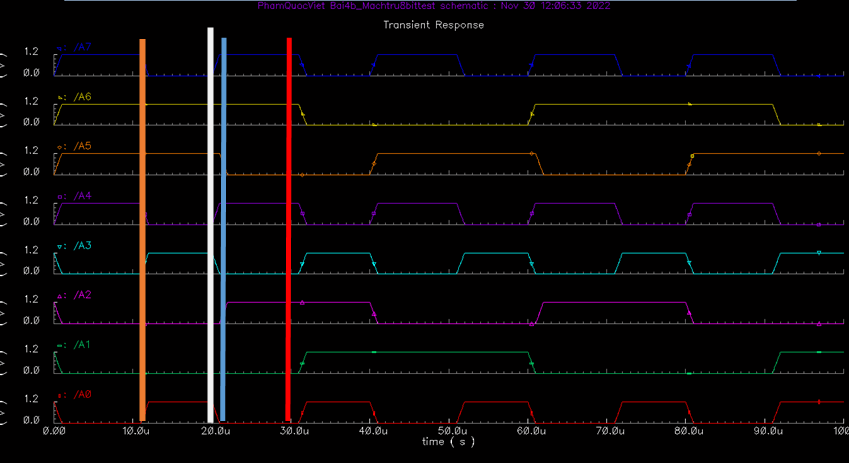


***Hình 4.3.1.3: Mô phỏng ngõ ra S và Cout của mạch cộng 8 bit***

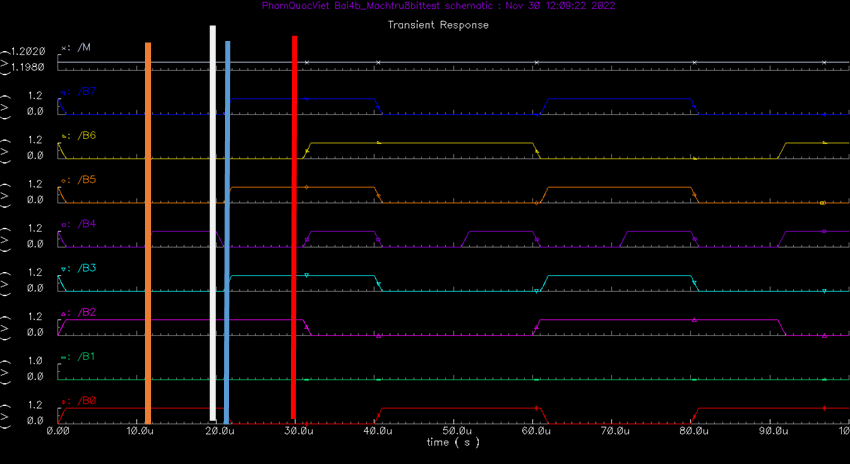
Phân tích:

* Từ đường màu cam tới màu trắng , ngõ vào A = 000000012 (110), B = 100000002 (12810) và Cin = 0
* Khi A+B+Cin thì ngõ ra S = 100000012 (12910) và Cout = 0.
* Từ đường màu xanh trời tới màu đỏ, ngõ vào A = 100111102 (15810), B = 011110112 (12310) và Cin = 1
* Khi A+B+Cin thì ngõ ra S = 000110102 và Cout = 1 (28210).

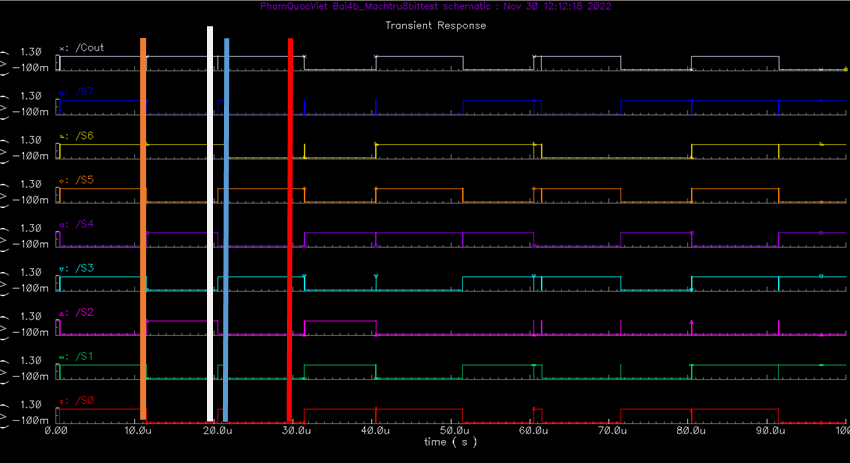
### Mạch trừ 8 bit



***Hình 4.3.2.1: Mô phỏng ngõ vào A của mạch trừ 8 bit***

******

***Hình 4.3.2.2: Mô phỏng ngõ vào B và M(Cin) của mạch trừ 8 bit***

******

***Hình 4.3.2.3: Mô phỏng ngõ ra S và Cout của mạch trừ 8 bit***

Phân tích:

* Từ đường màu cam tới màu trắng, ngõ vào A = A7A6A5A4A3A2A1A0 = 011010012 (10510)

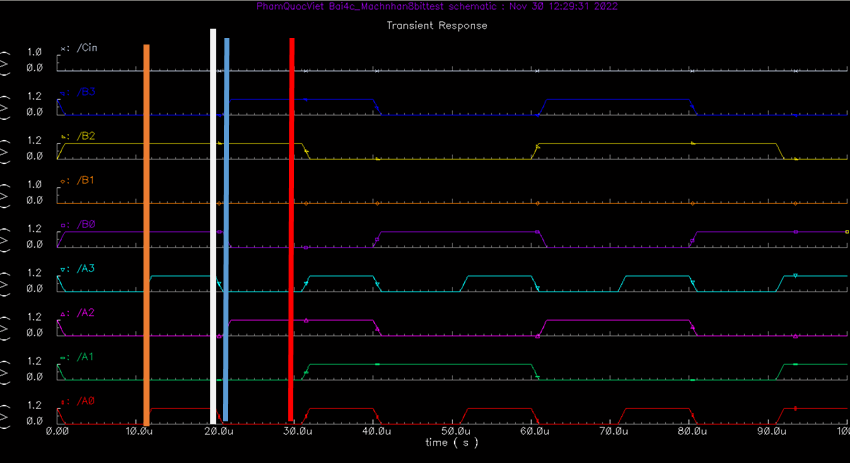
B = B7B6B5B4B3B2B1B0 = 000101012 (2110)

* Khi A-B=S thì ngõ ra S = 010101002 (8410).
* Từ đường màu xanh trời tới màu đỏ, ngõ vào A = A7A6A5A4A3A2A1A0 = 110101002 (21210)

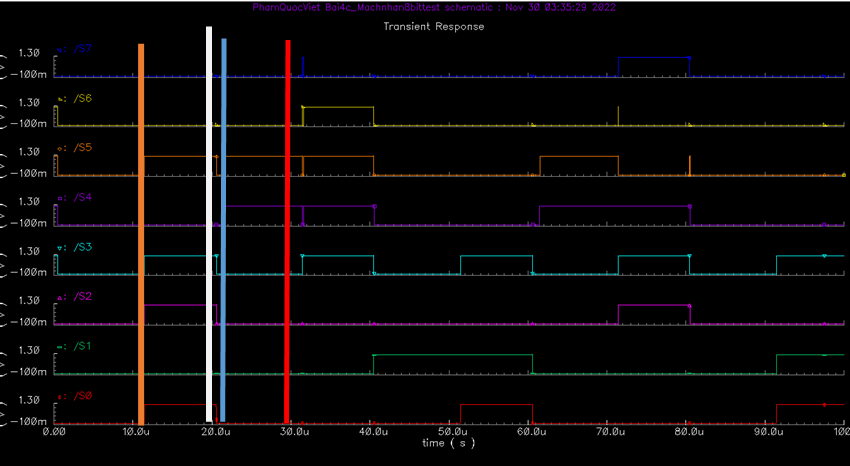
B = B7B6B5B4B3B2B1B0 = 101011002 (17210)

* Khi A-B thì ngõ ra S = 001010002 (4010).

### Mạch nhân 4 bit



***Hình 4.3.3.1: Mô phỏng ngõ vào A, B và Cin của mạch nhân 4 bit***

******

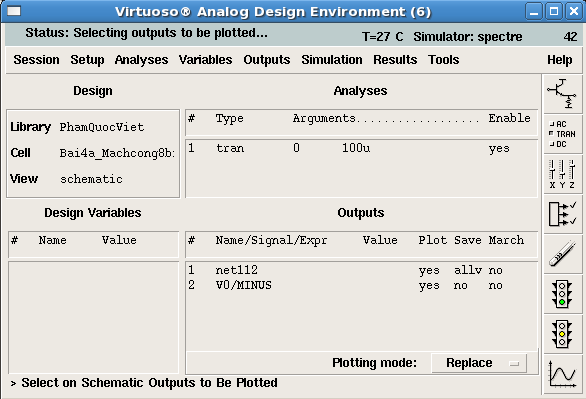
***Hình 4.3.3.2: Mô phỏng ngõ ra S của mạch nhân 4 bit***

Phân tích:

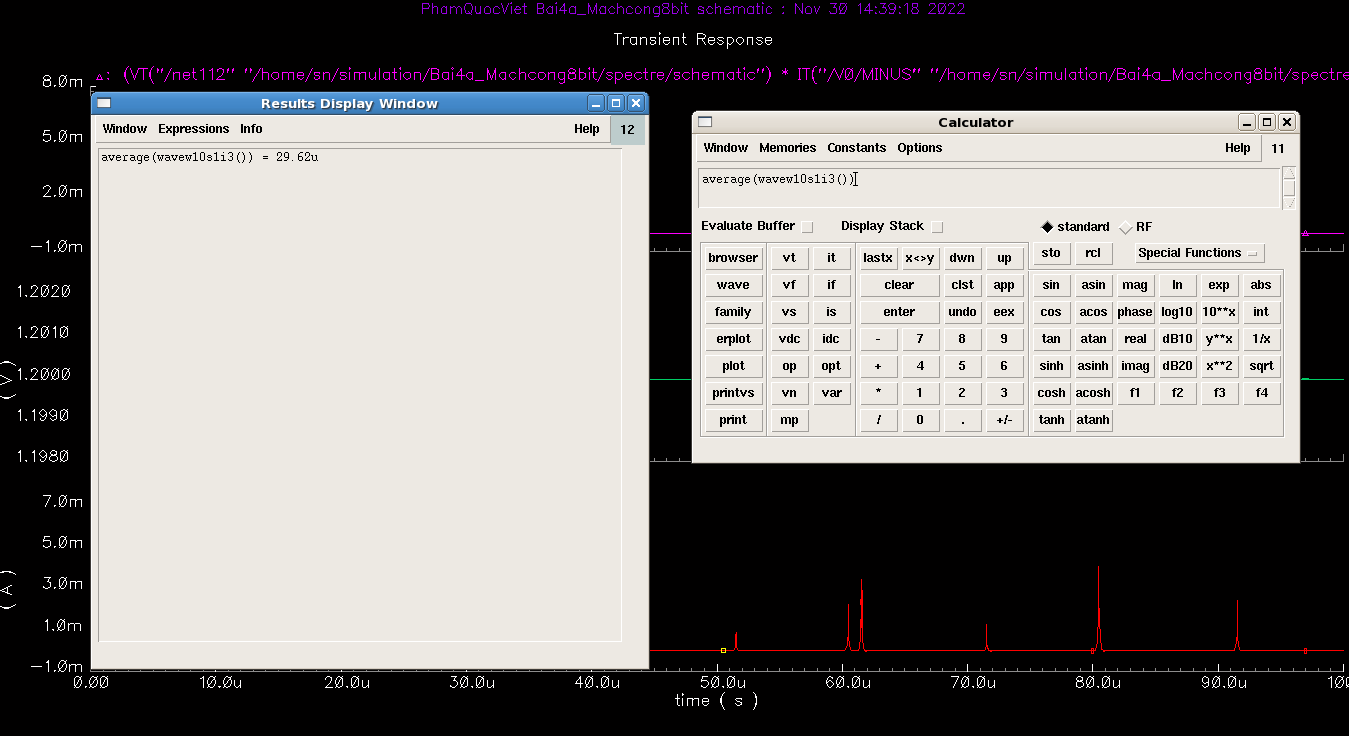
* Từ đường màu cam tới màu trắng, ngõ vào A =10012 (910), B = 01012 (510)
* Khi AxB thì ngõ ra S = 001011012 (4510).
* Từ đường màu xanh trời tới màu đỏ, ngõ vào A = 01002 (410), B = 11002 (1210)
* Khi AxB thì ngõ ra S = 001100002 (4810).

## TÍNH CÔNG SUẤT TIÊU THỤ CỦA CÁC MẠCH SỐ

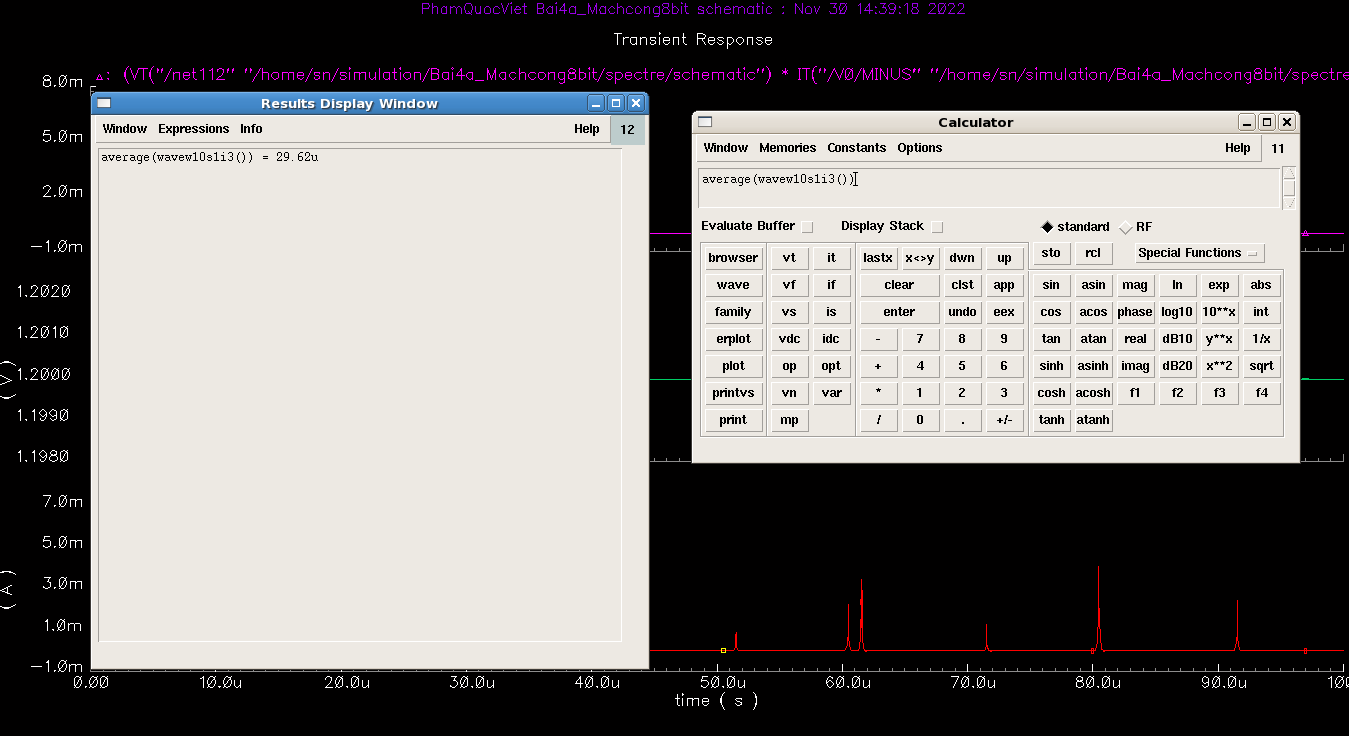
### Mạch cộng 8 bit từ các mạch cộng 1 bit toàn phần



***Hình 4.4.1.1: Thiết lập output điện áp Vdd và dòng để tính công suất***

******

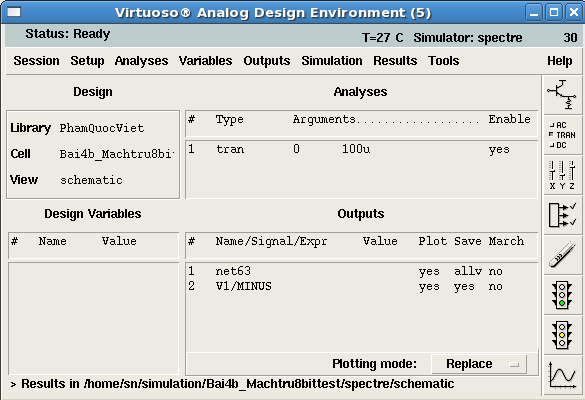
***Hình 4.4.1.2: Kết quả mô phỏng công suất tiêu thụ***

******

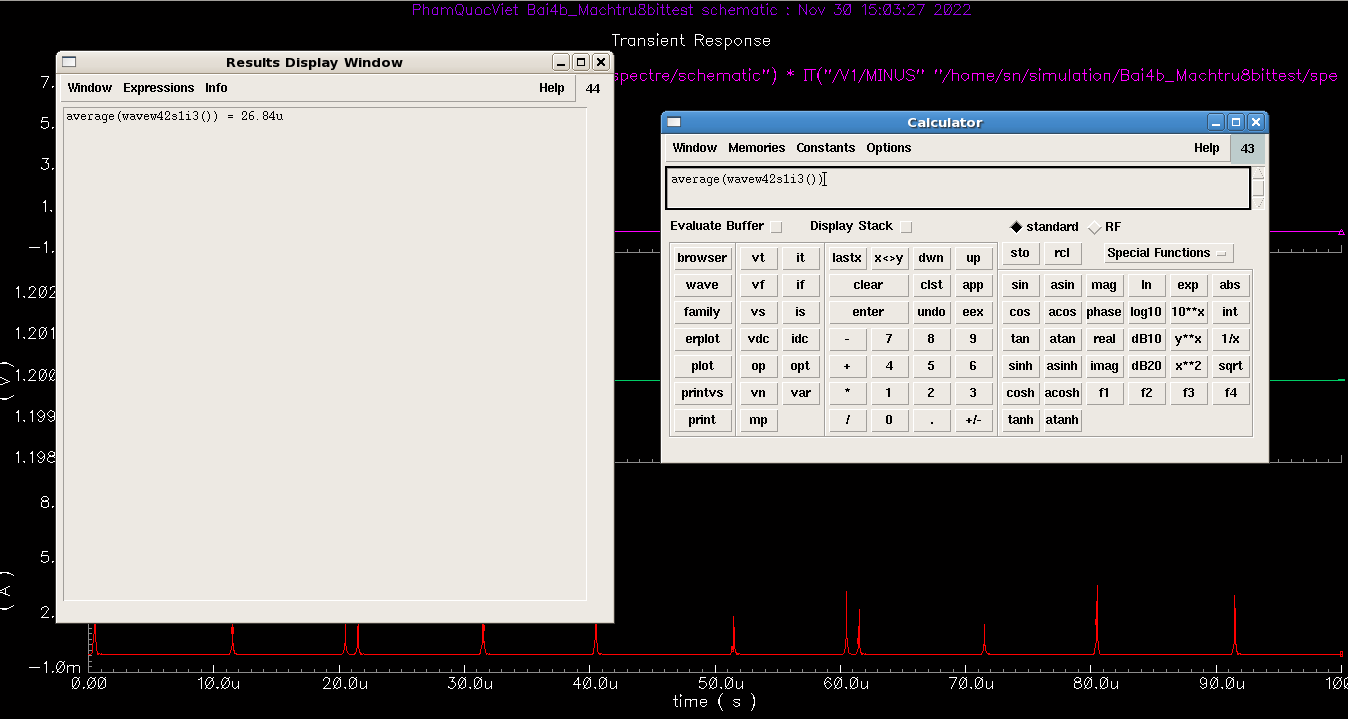
***Hình 4.4.1.3: Kết quả mô phỏng công suất tiêu thụ***

* Công suất tiêu thụ = 29,62uW

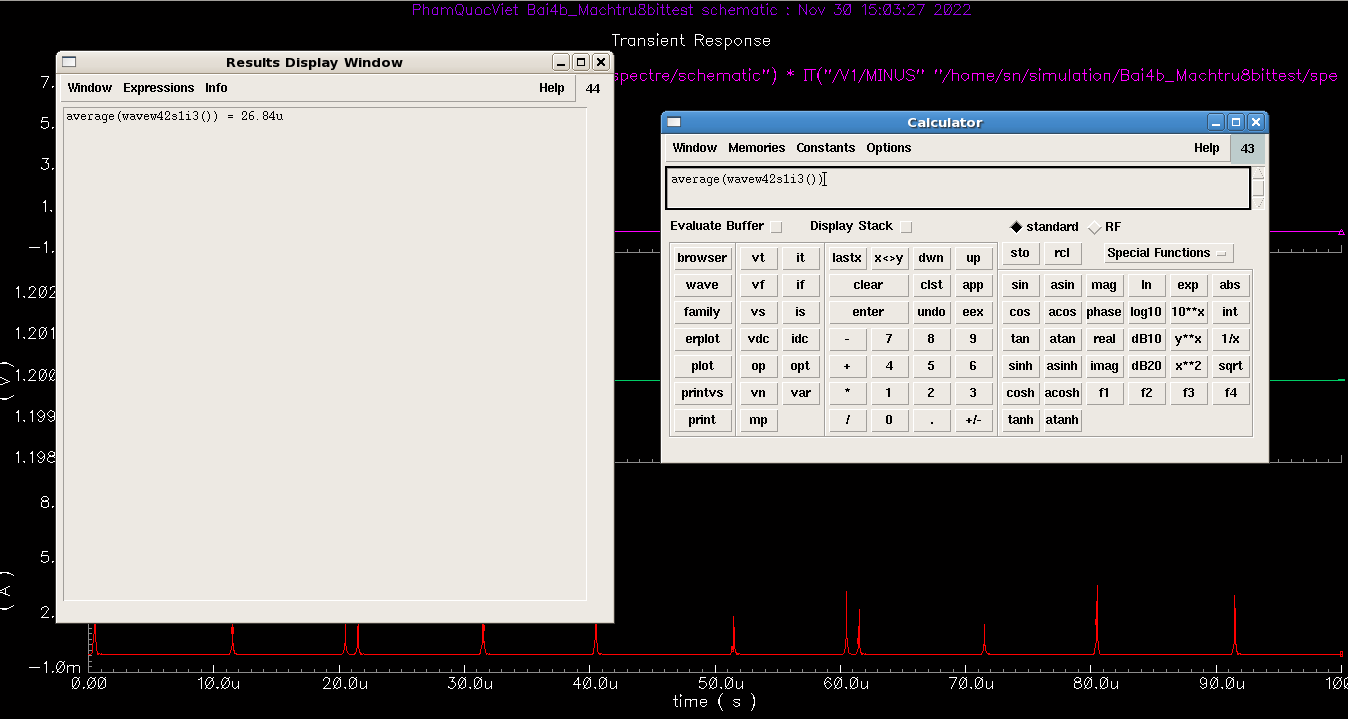
### Mạch trừ 8 bit



***Hình 4.4.2.1: Thiết lập output điện áp Vdd và dòng để tính công suất***

******

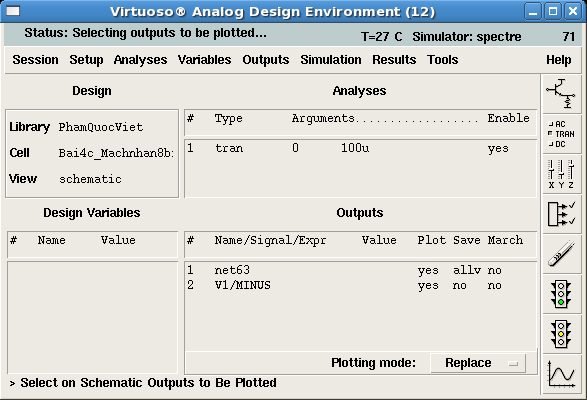
***Hình 4.4.2.2: Kết quả mô phỏng công suất tiêu thụ***

******

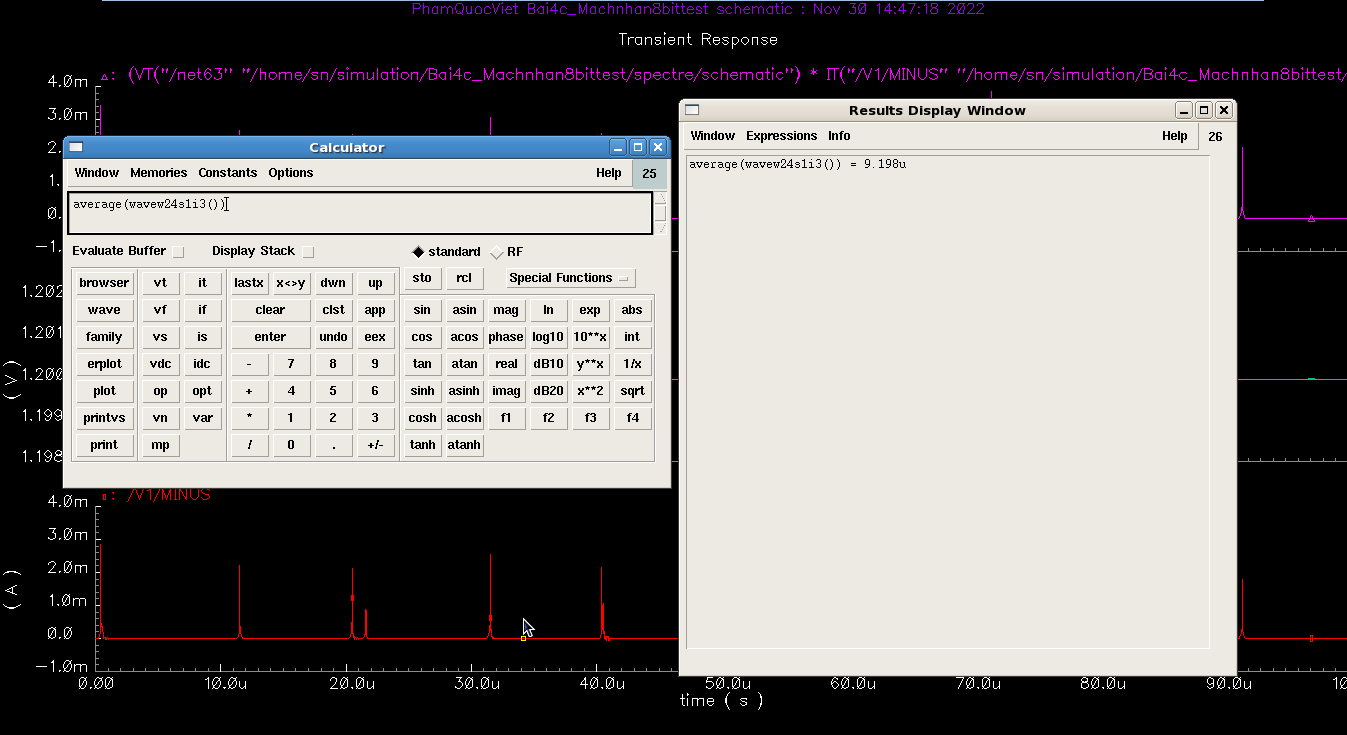
***Hình 4.4.2.3: Kết quả mô phỏng công suất tiêu thụ***

* Công suất tiêu thụ = 26,84uW

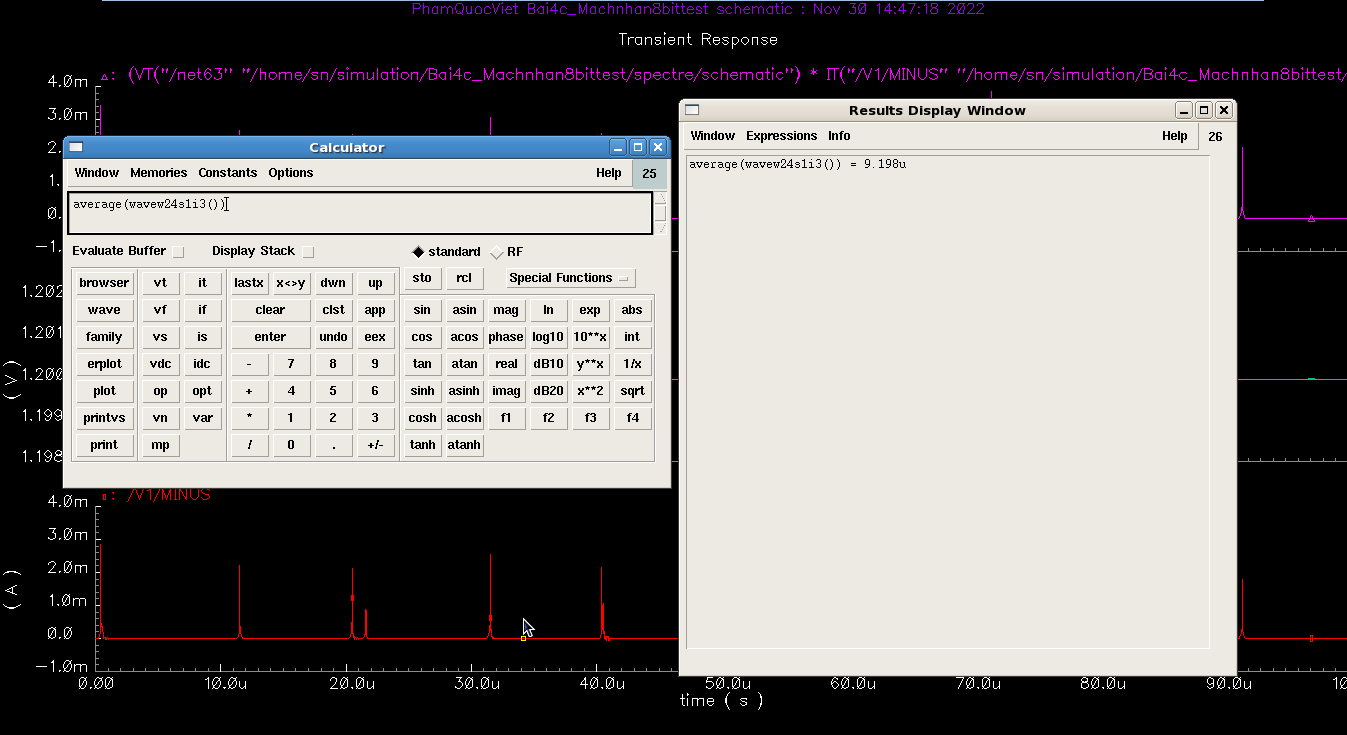
### Mạch nhân 4 bit



***Hình 4.4.3.1: Thiết lập output điện áp Vdd và dòng để tính công suất***

******

***Hình 4.4.3.2: Kết quả mô phỏng công suất tiêu thụ***

******

***Hình 4.4.3.3: Kết quả mô phỏng công suất tiêu thụ***

* Công suất tiêu thụ = 9,198uW

## KẾT LUẬN

Sau khi mô phỏng ta có thể thấy rằng các mạch mô phỏng chạy, vận hảnh đúng so với lý thuyết, đúng với yêu cầu đề bài đưa ra, tính được các công suất tiêu thụ của các mạch số.

HẾT