

Práctica 2

Sumador de 4 bits y Sumador BCD

.....

Nombre y Apellidos	
Nombre y Apellidos	

Numero de grupo de laboratorio	
--------------------------------	--

Preguntas

Las 2 siguientes preguntas se refieren al sumador de 4 bits con propagación serie del acarreo descrito ("Esquema de un circuito sumador de 4 bits" en la página 57).

- Suponga que antes del instante de tiempo t_0 todas las señales del sumador son estables y que en este instante solo cambia una las 9 señales de entrada. Suponga también que la última señal de salida que se estabiliza es s_2 en el instante t_1 . Indique el retardo del circuito (caso peor), los valores de las entradas antes del instante t_0 y en el instante t_0 . Modifique el programa de prueba (prueba_S4bits.vhd) añadiendo un proceso que genere las señales de entrada correspondientes ("Generación de señales de estímulo mediante el constructor "process"." en la página 92). Considere $t_0=200$ ns. Compruebe el resultado con el simulador. Tenga en cuenta que los parámetros asociados a los retardos de las puertas se establecen al instanciar el componente S4bits en el programa de prueba ("Modelos parametrizados" en la página 63).

Entradas ($t < t_0$)			Entradas ($t = t_0$)			retardo ($t_1 - t_0$)
A	B	c_{en}	A	B	c_{en}	ret1 (ns)

Muestre el código del proceso de generación de los estímulos.

Proceso de generación de las señales de estímulos (pruebaS4bits.vhd)

estimulos: **process**
begin

- 2** Considere el sumador de 4 bits especificado en VHDL mediante sentencias genere (página 83). Tenga en cuenta que, en este diseño, los parámetros asociados a los retardos de las puertas se establecen al instanciar los componentes s1bits en el fichero snbits.vhd. Modifique el programa de pruebas (prueba_snbits_reloj.vhd) para que imprima el primer valor de las entradas en el que se observa el retardo máximo y el mínimo (página 97).

vectores de bits					retardo mínimo	Justificación
A						
B						
c _{en}						
vectores de bits					retardo máximo	Justificación
A						
B						
c _{en}						

- 3 Considere el circuito para sumar 2 dígitos BCD (“Esquema de un sumador de dígitos representados en BCD.” en la página 103). Deduzca una expresión lógica para calcular el acarreo de salida del módulo mayor9.

csal	
------	--

Muestre el cuerpo de la arquitectura del módulo sumador de 2 dígitos BCD.

Módulo sumador de un dígito BCD (s1bcd.vhd)	
architecture compor of s1bcd is	
--senyales	
begin	
end compor;	

- 4 Considere la suma algebraica de números enteros BCD (“Suma de números enteros” en la página 109). Sean \bar{x} = veinticinco e \bar{y} = menos ocho. Deduzca los valores explícitos y los vectores de bits (9 bits).

	valor explícito	vector de bits
x	xe= 25 mod =	X = (0,)
y	ye= -8 mod =	Y = (1,)

Calcule el valor explícito de la resta $\bar{s} = \bar{x} - \bar{y}$. Indique el vector de bits del resultado y si es representable.

	vector de bits
xe	X =
ye	\bar{Y} =
se	S =
representable	

- 5 Considere el sumador de enteros BCD (página 111). Deduzca una expresión para evaluar el retardo de un sumador de enteros representados con 1 bit y n dígitos BCD. Utilice la nomenclatura de los retardos indicados en el package retardos_bcd_pkg.

retardo (ns)

- 6 Considere la suma algebraica de números enteros (página 115). Deduzca las expresiones lógicas de las señales de salida del módulo compl9.

z(3)	
z(2)	
z(1)	
z(0)	

- 7 Especifique en VHDL el diseño estructural del módulo sumador algebraico de números enteros codificados en BCD (página 116). Suponga que los vectores son de 9 bits. Adjunte la elaboración RTL efectuada por Quartus.

- 8 Compruebe el funcionamiento lógico del sumador algebraico de enteros mediante el programa de prueba asociado al proyecto.

Posteriormente, modifique el programa de prueba para medir los retardos máximo y mínimo. Suponga que el retardo de las puertas lógicas es nulo. Indique el primer valor de los vectores de entrada y de la senyal de control sumres en el que se observa el retardo máximo o mínimo.

vectores de bits										retardo máximo	Justificación
A											
B											
sumres											
vectores de bits										retardo mínimo	Justificación
A											
B											
sumres											