

# DRAM 简易调试手册

V0.1

2014-04-08

CONFIDENTIAL

## Revision History

Version	Date	Changes compared to previous issue
0.1	2014-04-08	Initial Version

CONFIDENTIAL

## 目录

目录.....	3
1. 概述.....	4
2. A20 平台 DRAM 调试.....	4
2.1 A20 dram pin 分布.....	4
2.2 常用硬件调试手段.....	4
2.3 常用软件调试手段.....	5
2.4 常见现象分析.....	5
3. 版本更新说明.....	9
4. Declaration .....	10

CONFIDENTIAL

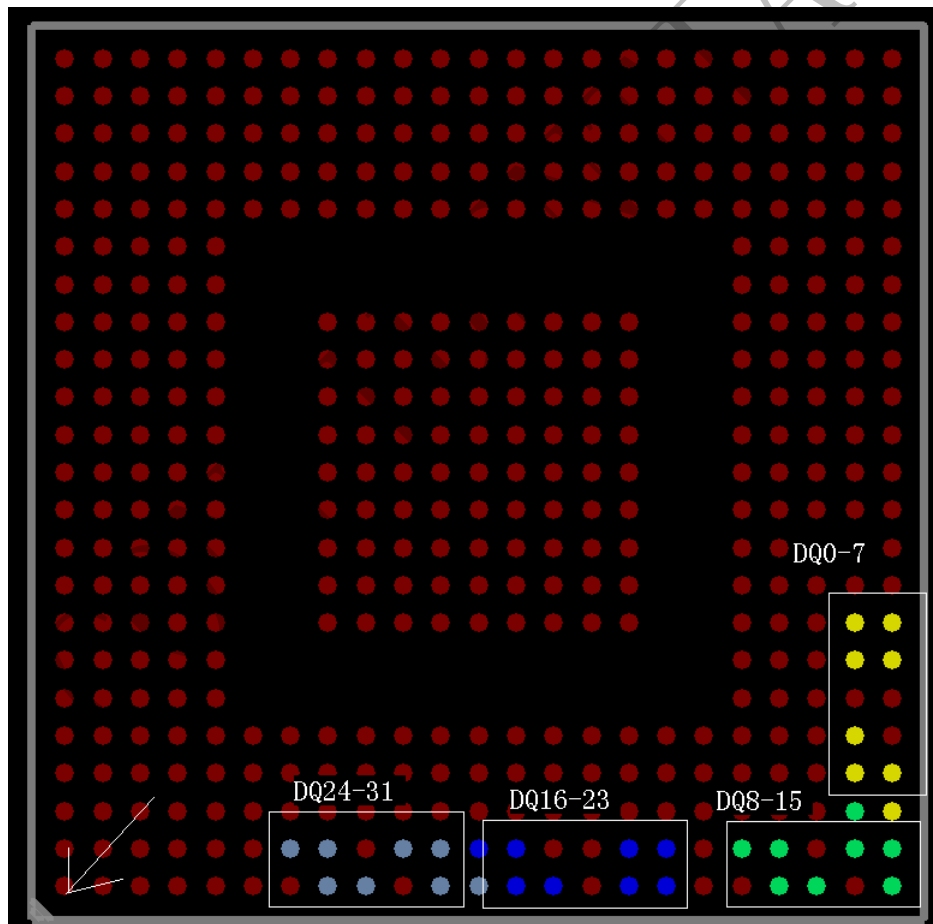
## 1. 概述

本手册基于全志 A20 IC 平台，提供一些简易的 DRAM 调试经验总结，方便工程师在 debug 时能对 DRAM 问题进行快速定位和解决。

## 2. A20 平台 DRAM 调试

### 2.1 A20 dram pin 分布

如下图所示，左下角为 PIN A1，A20 dram 控制器 bus width 为 32bit，分布如下：



### 2.2 常用硬件调试手段

1. 测量 DRAM-VCC 和 DRAM-VREF 电压是否正常，DRAM-VREF 电压一般为 DRAM-VCC 的一半。（DDR3 的 DRAM-VCC 约为 1.5V ~ 1.6V）
2. 测量主控端和 DRAM 端的 ZQ 电阻是否为 240 ohm （1%精度）

3. DRAM clk 是否工作。可简单用万用表点主控端与 dram 端 CLK 和 CLK#串接的电阻对地电压，约为 0.75V – 0.8V。
4. 检查原理图连接是否有误。例如，有的品牌 DDR 颗粒 BALL VDD 是内部互连的，VSS 也是，但某些品牌的 DDR 颗粒同样的 VSS 网络，可能颗粒内部不一定互连，这时需要保证原理图上所有的 VDD 和 VSS 均正确连接。

## 2.3 常用软件调试手段

A20 固件 sysconfig 配置脚本上 dram 的配置参数如下：

```
dram_baseaddr      = 0x40000000
dram_clk           = 432      （默认 432MHz，也可以根据实际而定）
dram_type          = 3
dram_rank_num      = 0xffffffff
dram_chip_density  = 0xffffffff
dram_io_width      = 0xffffffff
dram_bus_width     = 0xffffffff
dram_cas           = 9
dram_zq            = 0x7b     （使用 2 颗 16bit DRAM 使用 0x7b, 使用 4 颗 8bit DRAM 使用 0x7f）
dram_odt_en        = 0
dram_size          = 0xffffffff
dram_tpr0          = 0x38d48893
dram_tpr1          = 0xa0a0
dram_tpr2          = 0x22a00
dram_tpr3          = 0x0
dram_tpr4          = 0x0
dram_tpr5          = 0x0
dram_emr1          = 0x4
dram_emr2          = 0x10
dram_emr3          = 0x0
```

其中可调整的参数为 dram\_clk, dram\_zq, dram\_emr1, 其余参数不建议改动（Dram 驱动自动适应 A20 32-bit 或 16-bit, 自动扫描容量，无须配置位宽，容量等参数）

Dram\_clk 单位为 MHz, 24M 一档。

Dram\_zq 释义如下：

默认 dram\_tpr4 为 0, dram\_zq CA[command clk 和地址线]和 DQ 使用相同的阻抗[dram\_zq[bit 3:0]], 此时 ODT 阻抗[默认为 7]不起作用]

当 dram\_tpr4 为 1 时, 表示 CA[command clk 和地址线]和 DQ 使用不同的阻抗[CA 用 dram\_zq[ bit 7:4 ] DQ 用 dram\_zq[bit 3:0 ]

计算公式为  $(240 * 2) / (N + 1)$ 。240 为 SOC 端的 ZQ pin 外接的电阻值，一般不建议修改，默认为 240 ohm。N 为配置的 ZQ 值 bit4 – 7。N 值从 0 – 0xF 一共 16 挡可调，一般默认为 7。

Bit0 – 3 为 SOC 端的 DQ & CA 输出阻抗，计算公式同 ODT 阻抗。N 值从 0 – 0xF 一共 16 挡可调，一般默认为 0xB。若驱动力较弱时，可调整为 0xF，在这种情况下，可能会引起信号的幅度过冲，可辅以 dram\_emr1 = 0x4 (Rtt\_Nom = RZQ/4 = 60 ohm) 来改善。

dram\_tpr4 释义如下：

bit0 为配置 2T 和 1T 模式相关，bit1 为配置 DQ CA 阻抗相关。

Bit0 置 1 时为 1T 模式，清 0 时为 2T 模式。（开启 2T 模式对 PCB 走线的 address，command 噪声抑制更佳）

Bit1 见上文解析。

## 2.4 常见现象分析

### 2.4.1 不弹出烧写窗口

无法弹出烧写窗口为 DRAM 初始化失败，可能情况为：

个别 DRAM 颗粒坏掉，这种情况可通过 DDR 检测工具识别，具体使用方法说明可参见工具说明文档。

CLK 在 DRAM 颗粒端有勾头，不单调，此种情况可在 CK 和 CK#串接 24 ohm 电阻情况下，在 DRAM 端 CK 和 CK#跨接 10pF 或者 5pF 电容，消除勾头。或者将阻抗改为 0x7F，将勾头调至远离中心采样位置。或者可尝试 CK 和 CK#串接 0 ohm 电阻，跨接 100 ohm 电阻。

### 2.4.2 固件烧写失败

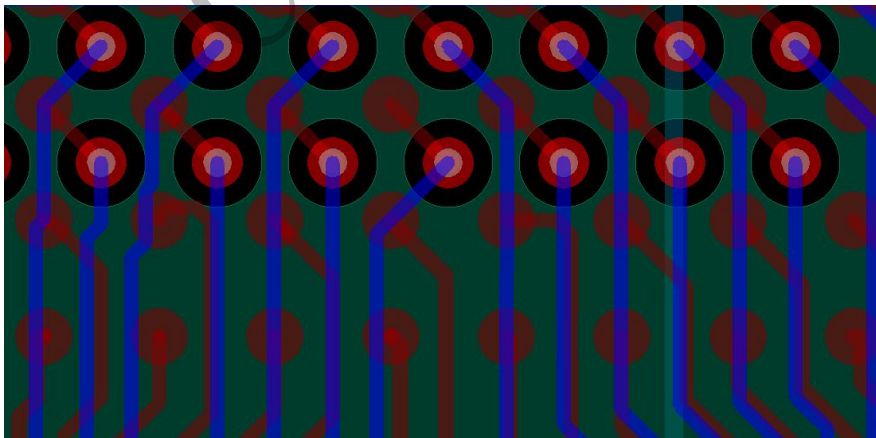
此种情况表明 dram 虽能初始化成功，但大批量读写数据会有错，可能情况为：

CLK 在 DRAM 颗粒端有勾头，不单调，造成不稳定因素，此种情况可在 CK 和 CK#串接 24 ohm 电阻情况下，在 DRAM 端 CK 和 CK#跨接 10pF 或者 5pF 电容，消除勾头。或者将阻抗改为 0x7F，将勾头调至远离中心采样位置。或者可尝试 CK 和 CK#串接 0 ohm 电阻，跨接 100 ohm 电阻。

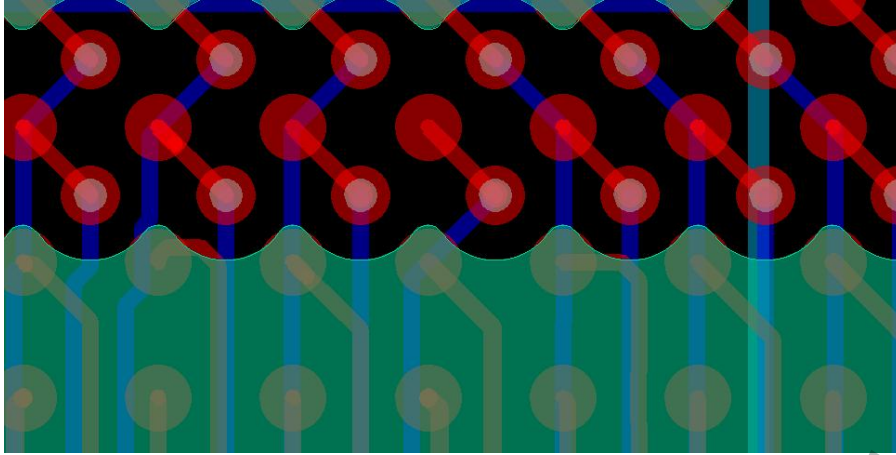
DRAM-VCC 电源层作为 CA 或者 DQ 的回流路径不连续，比如

对于 SOC 底下通过过孔扇出的信号必须保证回流路径不被反焊盘打断。

正确图如下：

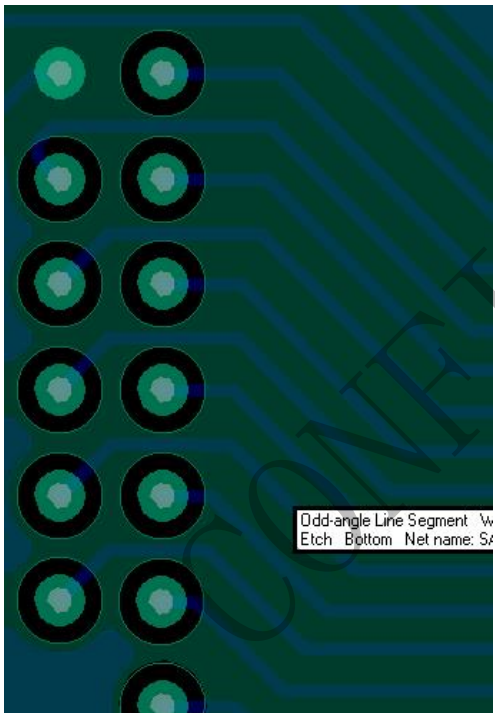


错误图如下：

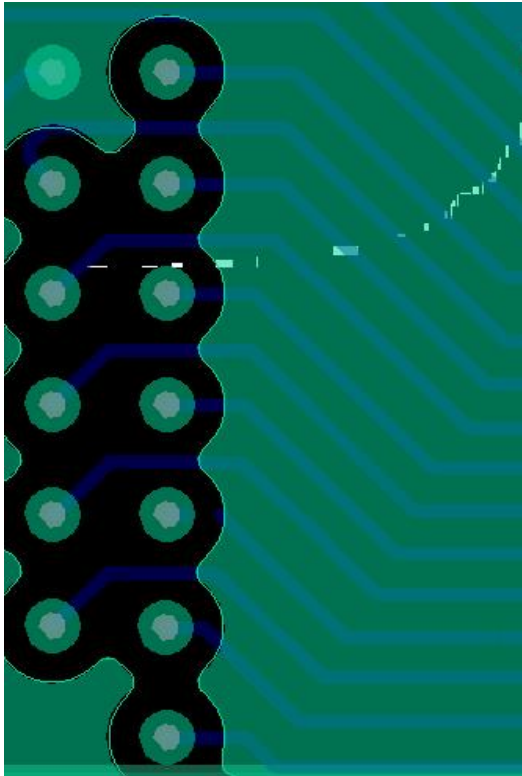


Dram 端 layout 的走线必须保证回流路径不能被过孔反焊盘打断。

正确图如下：



错误图如下：



对于以上情况，可适当改变 CADQ 的阻抗系数，比如将 dram\_zq 的值从 0x7b 改为 0x79，并将 dram\_emr1 改为 0x4。

一个好的信号完整性设计，需要保证信号在传输的过程中，尽可能避免阻抗突变的发生。要避免阻抗突变，就需要尽量避免参考平面被破坏，出现了参考平面被破坏时，必须修改 pcb 保证参考平面的完整。

### 2.4.3 只识别一半 DRAM 容量

此种情况可能为，系统只识别到低 16 位 bus，高 16 位识别有错。可能情况为高 16 位 bus 的 dram 颗粒虚焊或者短路导致识别错误，可尝试更换高 16 位 DRAM（配合 DDR 检测工具）。

或者高 16 位 DRAM 颗粒端时钟波形不平滑导致，可尝试用上文讲述的方法修正。



### 3. 版本更新说明

CONFIDENTIAL

## 4. Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This datasheet neither states nor implies warranty of any kind, including fitness for any particular application.

CONFIDENTIAL