

SISTEMA DIGITALAK DISEINATZEKO OINARRIAK

4. PRAKTIKA

ZIRKUITU SEKUENTZIALAK: ERLOJU-KONTAGAILUA

EPM7128SLC84-7 zirkuitu integratuaren bidez, 4 biteko kontagailu bat diseinatu, bere irteera UP2 txartelako display-an agertuko dena. Kontagailuen erloju seinalea bi aukerako bat izango da: txartelako pultsadore bat edo 4 Hz-ko seinale bat, hauxe UP2 txartelako 25MHz-ko erloju seinaleren bidez sortuta.

Diseinua gauzatzeko, VHDL-n adierazitako hurrengo lau zirkuituak erabiliko ditugu, Quartus II programa erabiliz:

Maiztasun zatitzailea:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_UNSIGNED.all;

ENTITY DIV_sim IS
    GENERIC (
        N:          INTEGER:=25;
        NUMERO :    INTEGER:=10#6250000#);
    PORT(
        Clk:    in std_logic;
        Sal:    out std_logic);
END DIV_sim;

ARCHITECTURE a OF DIV_sim IS

    CONSTANT    FINAL: INTEGER:= NUMERO;
    SIGNAL        CUENTA: STD_LOGIC_VECTOR (N-1 DOWNTO 0);

    BEGIN

        PROCESS (Clk)
        BEGIN
            IF Clk'EVENT AND Clk='1' THEN
                CUENTA<= CUENTA + 1;

                IF CUENTA = FINAL THEN CUENTA<= (OTHERS => '0');
                END IF;
            END IF;
        END PROCESS;

        Sal <='1' WHEN CUENTA=FINAL ELSE '0';

    END a;
```

Kontagailua:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_unsigned.all;

ENTITY conta_sim IS PORT (
    CLK: IN std_logic;
    K: IN std_logic;
    S: OUT std_logic_vector (3 DOWNTO 0));
END conta_sim;

ARCHITECTURE a OF conta_sim IS
    SIGNAL B: std_logic_vector (3 DOWNTO 0);

BEGIN
    PROCESS (K, CLK)
    BEGIN
        IF K = '1' THEN
            B <= B;
        ELSIF (CLK'EVENT AND CLK = '1') THEN
            B <= B+1;
        END IF;
    END PROCESS;

    S <= B;

END a;
```

Bi erloju seinalearen multiplexadorea:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY mux2to1 IS
    PORT( s: IN STD_LOGIC;
           e0: IN STD_LOGIC;
           e1: IN STD_LOGIC;
           o: OUT STD_LOGIC );
END mux2to1 ;

ARCHITECTURE a OF mux2to1 IS
    BEGIN
        WITH s SELECT
            o <= E0 WHEN '0',
                E1 WHEN OTHERS;
    END a ;
```

Pultsadoreen errebotea kentzeko biegonkor sinkronoa:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

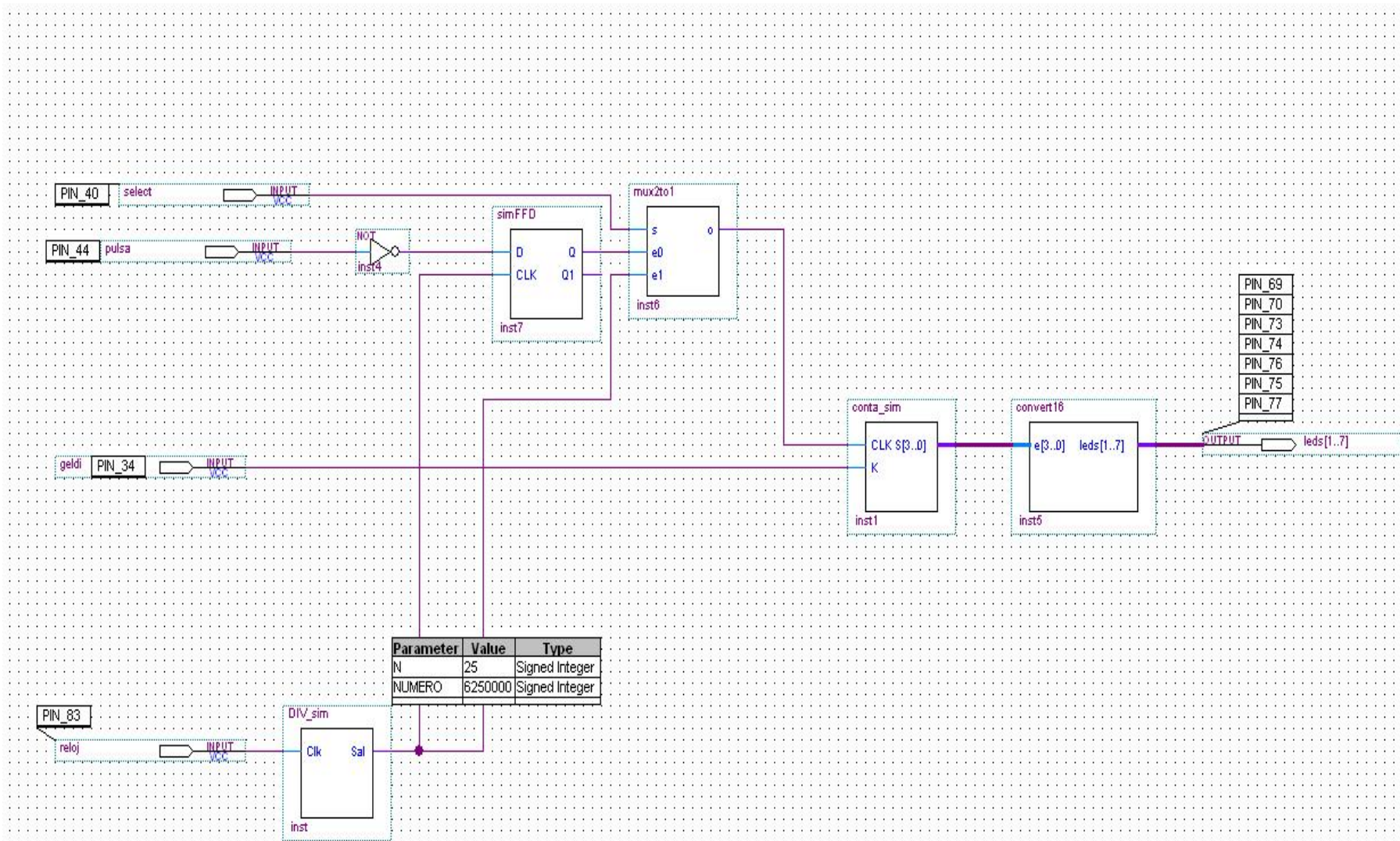
ENTITY simFFD IS
    PORT ( D, CLK: IN STD_LOGIC;
           Q, Q1: OUT STD_LOGIC);
END simFFD;

ARCHITECTURE a OF simFFD IS
    BEGIN
        PROCESS (D, CLK)
        BEGIN
            IF CLK'EVENT AND CLK='1' THEN
                Q <= D;
                Q1 <= NOT D;
            END IF;
        END PROCESS;

    END a;
```

Display-en led-ak aktibatzeko, 3. praktikan diseinatutako kodetzailea erabiliko dugu, kontuan hartuta kontagailuren irteerako balioak kode bitar naturalean daudela. Kodetzailearen diseinua aldatu egin behar dugu, beraz.

Diseinu osoa burutzeko, Quartus II-ren aplikazio grafikoa erabiliko dugu, hurrengo bloke-diagramari jarraituz:



4 biteko erloju-kontagailu baten bloke-diagrama