

기초 전자회로

ingyer ks

2021년 3월 21일

차례

1 이 문서에 대해	7
1.1 문서 작성 경위와 목표	7
1.2 추천 도서 및 문서	7
1.3 피드백	8
1.4 도움을 주신 분들	8
1.5 지식재산권 관련	8
2 기초 반도체공학	11
2.1 기본 이론	11
2.1.1 반도체 재료	11
2.1.2 에너지 밴드	12
2.1.3 페르미 준위	15
2.2 도핑	15
2.3 반도체 내에서의 캐리어 움직임	18
2.3.1 드리프트	19
2.3.2 확산	19
2.3.3 아인슈타인 관계식	21
3 다이오드	23
3.1 평형 상태의 다이오드	23
3.1.1 내부 전위 장벽	25
3.1.2 공핍층	26
3.2 역방향 바이어스	26
3.2.1 역방향 바이어스에서의 전류	26

3.2.2	접합 커패시턴스	26
3.3	순방향 바이어스	27
3.4	다이오드의 전압-전류 관계와 모델	27
3.4.1	지수함수 모델	27
3.4.2	일정 전압 모델	27
3.4.3	다이내믹 저항	28
4	다이오드 응용 회로	31
4.1	논리 게이트	31
4.2	정류기	31
4.2.1	반파 정류기	31
4.2.2	전파 정류기	31
4.3	리미터	31
4.4	전압 체배기	31
4.5	전압 이동기	31
5	MOSFET	33
5.1	MOSFET의 구조	33
5.2	채널	34
5.3	전압과 전류의 관계	35
5.3.1	게이트 전압과 전류의 관계	35
5.3.2	산화막과 전류 관계	36
5.3.3	핀치 오프	36
5.3.4	전류의 정량적 분석	38
5.3.5	MOS의 출력 저항	39
5.3.6	전달 컨덕턴스(Transconductance)	39
5.3.7	소신호 해석	41
5.4	PMOS	41
6	MOSFET 회로	43
6.1	임피던스	43
6.1.1	게이트의 입력 임피던스	43
6.1.2	드레인의 출력 임피던스	43
6.1.3	소스의 입력 임피던스	44

차 례	5
6.2 증폭기	45
6.2.1 공통 소스 구성	45
6.2.2 공통 게이트 구성	48
6.2.3 소스 폴로워 구성	50
6.2.4 중간 정리	52
6.2.5 CMOS	52
6.2.6 바이어싱과 AC 커플링	56
6.2.7 캐스코드	56
6.2.8 주파수 응답	56
6.2.9 피드백	56
7 BJT	57
8 BJT 회로	59
9 JFET과 다른 소자들	61
10 OPAMP	63
11 각종 응용 회로들	65

제 1 장

이 문서에 대해

1.1 문서 작성 경위와 목표

기초 통신 이론만 쓰다 보니 다른 것도 잠깐씩 해보고 싶었다. 결국 전자기학, 전자 회로/회로이론, 통신을 모두 다루는 게 목표이니까. 전자회로는 사실 어렵지 않다. 라자비나 세드라 같은 두꺼운 책의 절반도 안 되는 분량만 공부하면, 내 생각에 7 급 문제는 다 풀 수 있다. 최근 5개년 정도의 기출문제를 분석해 보았을 때 내린 결론이다. 따라서 원래 이 시리즈를 쓰는 목적에 맞게 실용적인 수험에 도움 되는 글이 되고자 하여 소자들의 기본 원리를 간단히 다루고, 응용 회로에 대해서 간단히만 분석해볼 것이다. 어려운 피드백, 주파수 응답은 제외할 생각이다. 나부터 잘 모르니까. 그리고 미리 고지하지만 필자는 반도체 잘 모른다. 그래서 원리에 틀린 게 많을 터이니 이 글을 보시는 분들은 주의 바란다. 한편, 보통 BJT 다음에 MOS를 배우는 경우가 많은 것 같은데 나는 MOS 먼저 배웠다. Razavi 책도 BJT->MOS 순서와 MOS->BJT 순서 두 개가 있어서 책 양이 거의 두 배가 된 것이다. 내 경험상 MOS 먼저 하는 게 트랜지스터 모델 이해에 도움이 더 되는 것 같아서 나도 MOS 먼저 소개하려고 한다.

1.2 추천 도서 및 문서

더 자세하고 정확한 내용을 원한다면 아래 문서와 책들을 참고하면 좋겠다.

- Floyd. (2019). 전자회로: Electronic Devices (손상희, 강문상, 김남훈,

김민회, 류근관, 정연호, 채용웅, 최채형, 황석승 역). 퍼스트북. (원서출판 2018)

- 이 글의 목적에 가장 가까운 교재이다. 난 본 적이 없는 책이지만 쉽게 설명되어 있다고 들었다. 또한 라자비, 세드라에는 없는 전원회로나 사이리스터 등의 다른 소자도 다루고 있다. 가장 7급에 적합한 책이라 생각한다.

- Razavi. (2015). 마이크로전자회로 (김철우, 김남수, 김종선, 박상규, 백흥기, 이강운, 정성욱 옮김). 한티미디어. (원서출판 2012)
- 내가 학교에서 공부할 때 교재이다. 세드라 대비 적절한 두께와 설명이라고 생각되지만, 그래도 7급 시험용으로는 불필요한 부분이 많다.

1.3 피드백

잘못된 내용을 발견하였거나 무엇이든 제안할 거리가 있다면 아래 경로로 알려주세요.

- ingyer.ks@gmail.com
- [github 레포지토리](https://github.com/ingyer-ks/Book) (<https://github.com/ingyer-ks/Book>)

1.4 도움을 주신 분들

크고작은 도움을 주시는 모든 분들을 지속적으로 여기에 기록해나가고자 한다.

1.5 지식재산권 관련

주로 내가 학교에서 배우며 정리한 노트를 중심으로 내용을 채워갔으니 지식재산권 침해 문제는 없을 것이다.(없길 바란다 $\pi\pi$) 그림들이나 그래프들은 내가 직접 그리거나, 크리에이티브 커먼즈 라이선스 등 사용 조건에 맞는 것들을 찾아서 사용하였다. 가끔 소개할 문제들은 [인사혁신처 사이버국가고시센터](#)와 [서울시인턴넷원서접수센터](#)에 공개되어 있는 문제들이다. 인사혁신처 담당자로부터 비상업적 목적으로 사용하는 것은 문제가 없음을 구두로 확인받았다. 이 문서의 내용 중 내게 권리가 있는 콘텐츠에는 [크리에이티브 커먼즈 저작자표시-비영리 4.0 국제 라이선스](#)

스(CC BY-NC 4.0)가 적용된다.



제 2 장

기초 반도체공학

2.1 기본 이론

2.1.1 반도체 재료

반도체에 사용되는 원소들을 주기율표에서 살펴보면 아래와 같다. 이들의 특징은

12	13	14	15	16	17	18
						2 He
	5 B	6 C	7 N	8 O	9 F	10 Ne
	13 Al	14 Si	15 P	16 S	17 Cl	18 Ar
30 Zn	31 Ga	32 Ge	33 As	34 Se	35 Br	36 Kr
48 Cd	49 In	50 Sn	51 Sb	52 Te	53 I	54 Xe

그림 2.1: 주기율표 상의 반도체 재료들

원자가전자(가장 바깥에 노출되어 있는 전자의 수)가 3 ~ 5개라는 것이다. 가운데 규소(Si)의 경우에는 4개가 있고, 그 왼편의 붕소(B)는 3개, 오른편의 인(P)는 5개가 있다.

한편, 옥텟 규칙이라는 것이 있다. 많은 원소들이 가장 바깥의 전자 수가 8개가

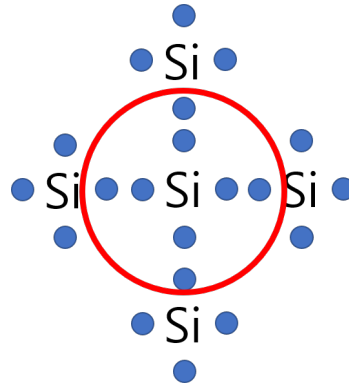


그림 2.2: 규소 결정

되면 좋아라 하는 것이다. 그래서 이름이 옥텟(8) 규칙이다. 규소들 가지고 이 규칙을 만족시킬 수 있을까? 그림 2.2와 같이 규소 한 원자가 이웃들과 전자를 공유하면 어떨까? (파란 동그라미가 전자다.) 가운데 빨간 동그라미 내의 규소를 보면 전자가 8개임을 알 수 있다. 이런 배열이 아주 길게 늘어진다면, (거의) 모든 규소 원자들은 옆의 규소 원자들과 전자를 공유하면서 각자 자신의 최외각 전자 수를 8개로 만들 수 있다. 그리고 각자가 이 상태를 너무나 좋아하기 때문에 서로 떨어지려 하지 않는다. 이렇게 결합되는 것을 공유 결합이라 한다.

2.1.2 에너지 밴드

이러한 공유 결합으로 나타나는 효과를 생각해보자. 양자역학에서 원자핵에 붙들린 전자는 그림 2.3과 같이 우물 속에 있는 것과 비슷하다. 원자핵 하나에 의한 전위는 $V = k\frac{q}{r}$ 형태이다. 가운데 동그라미 원자핵 좌우의 곡선이 이 전위(에너지)를 나타낸다. 어려운 얘기를 생략하자면, 양자역학에서 전자가 가질 수 있는 에너지는 띄엄띄엄 있다. 가운데 빨간색 줄이 그 에너지들을 의미한다. 좌우 간격이 좁을수록 가질 수 있는 에너지 간의 간격이 넓어지고, 간격이 넓어지면 에너지 간격은 줄어든다. 그런데, 규소 결정과 같이 원자들이 늘어서게 되면 어떻게 될까? 다음 그림 2.4를 보자. 양 끝의 전위 곡선 사이의 간격은 멀어졌고, 중간에 전위 곡선들은 옆의 원자핵의 전위 곡선들과 중첩됨에 따라 \cap 형태가 되어 낮아졌다. 이에 따라 에너지 간격이 작아졌고, 결국에는 빨간 상자처럼 에너지들이 연속적인 것처럼 촘촘히 늘어서게 되었다. 이렇게 에너지가 연속적으로 늘어서게 된 것을 에너지 밴드라고 한다. 우리는 반도체 결정을 다루므로 앞으로는 에너지 밴드 개념을 사용할 것이다.

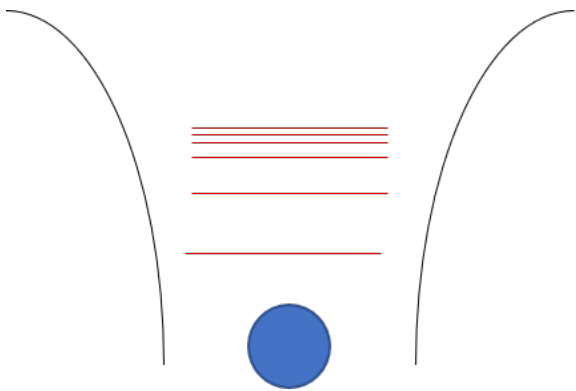


그림 2.3: 원자핵에 의한 에너지 우물

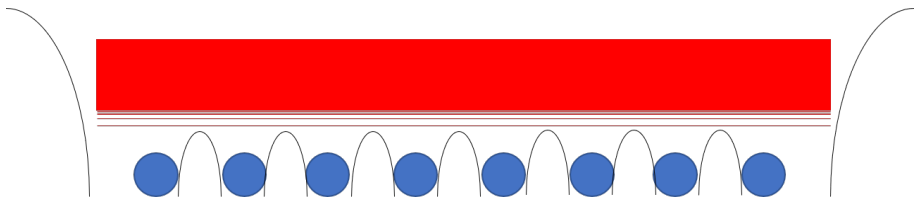


그림 2.4: 규소 결정의 에너지 밴드

한편, 외부의 열에 의해서 전자가 에너지를 충분히 가지면 원자핵의 전기력을 이겨내고 결정 내를 자유롭게 돌아다닐 수 있게 된다. 그림으로 그리면 그림 2.5와 같다.

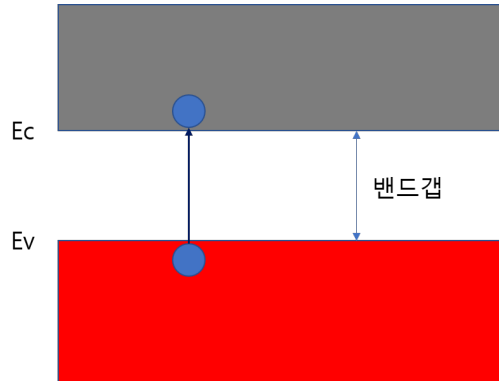


그림 2.5: 에너지 밴드

그림 2.5에서 E_v 는 가전자대역 (Valence Band)라 하고, E_c 는 전도대역 (Conduction Band)라 한다. 전자가 올라가서 자유롭게 움직임에 따라 전기를 흘릴 수 있는 대역이란 뜻이다. 그리고 이 두 대역 사이의 빈 에너지 공간을 금지대역 (Forbidden Band)이라 하고, 이 높이를 밴드갭이라고 한다. 외부 온도가 높아지면 전자가 더 많은 열을 받아서 더 쉽게 이 밴드갭을 뛰어넘을 수 있으므로 온도가 올라가면 자유 전자들이 많아진다.

도체, 반도체, 부도체는 이 밴드갭이 얼마냐에 따라 달라진다. 도체의 경우는 밴드갭이 없거나 작아서 아주 쉽게 전자들이 전도대역으로 올라갈 수 있으므로 전기가 잘 통하는 것이고, 부도체는 이 밴드갭이 너무나 커서 전자가 거의 올라가지 못해서 전기가 흐르지 않는다. 반도체는 그 중간이다.

한편, 기본적으로 물질들은 전기적으로 중성이다. 따라서 가전자대역에 있던 전자가 전도대역으로 올라가면, 그 자리에는 빈 공간이 생길 것이다. 이를 양공 (일본식으로는 정공, 영어로는 hole)이라 한다. 결국 전자가 전도대역으로 올라간다는 것은 전자-양공 쌍 (Electron-Hole Pair)가 생긴다는 뜻이다. 상온(섭씨 25도 정도, 약 300K)에서 전도대역에 있는 전자의 농도는 음 (negative에서 따와서) n_i 라 쓰고, 그 값은 약 10^{10} 개/ cm^3 이다. 반대로 양공은(잘 쓰이지 않지만) 전하가 부족한 상태, 즉 0에서 -가 빠진 상태인 +이므로 positive에서 따와서 p_i 라고 할 수 있겠다. 또한 정공 입장에서의 전도대역은 전자 입장에서의 가전자대역 (E_v)가 될 것이다. 그리고 반도체의 특이한 점 중 하나는 전자와 양공 농도의 관계가 다음과



그림 2.6: 진성 반도체의 페르미 준위

같다는 것이다.

$$n_i p_i = n_i^2 \quad (2.1)$$

전자와 양공 농도의 합이 아니라 곱이 일정하다! 이는 다음에 나올 도핑 상태에서도 마찬가지로 성립한다.

2.1.3 페르미 준위

반도체에서 가장 중요한 개념 중 하나가 페르미 준위이다. 이탈리아의 물리학자 엔리코 페르미가 만든 페르미 준위는 전자가 있을 확률이 0.5가 되는 에너지 레벨을 의미하고, E_F 라 쓴다. 지금까지 우리는 도핑되지 않은 순수한 규소로 된 반도체를 다루었는데, 이를 진성 반도체 (intrinsic semiconductor) 라 한다. 진성 반도체의 페르미 준위는 E_i 라 표기하고, 위치는 금지대역의 가운데 즉 E_c 와 E_v 의 평균이다. 이 페르미 준위로부터 반도체의 많은 성질들이 설명된다. 페르미 준위가 어떤 역할을 하는지 차차 살펴보자.

2.2 도핑

도핑이란 진성 반도체에 뭔가를 넣는다는 뜻이다. 운동선수들이 약을 몸에 넣는 불법행위를 하면 도핑한다고 하는 것을 떠올려보자.

N타입 도핑

먼저 인(P)을 규소 결정에 집어넣어 보자. 인은 규소의 오른쪽에 있으므로 전자가 하나 더 많다. 따라서 그림 2.7과 같이 될 것이다. 전자는 음의 전기(Negative)를 띠므로 이 반도체를 N 타입 반도체라고 한다. 또한 전자를 제공한다는 의미에서 인을 도너(Donor)라고 한다. 보라색 잉여 전자가 하나 생겼다.

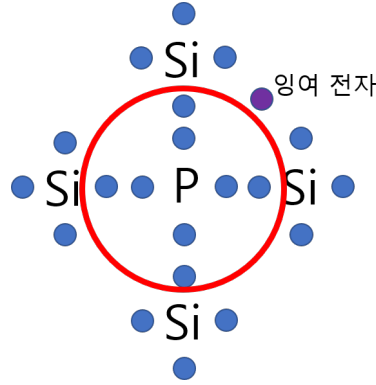


그림 2.7: 인으로 도핑된 반도체

이 잉여 전자는 자유롭게 결정 내를 돌아다닐 수 있다. 즉 전도대역에 있는 전자가 많아지는 것이다. 이를 수학적으로 표현하는 방법이 바로 페르미 준위이다. 진성 반도체에서는 전자의 존재 확률이 0.5인 지점이 가운데 있었는데, 전도대역에 전자가 더 많이 존재하므로 전자의 존재 확률이 0.5가 되는 지점은 더 위에 있을 것이다. 즉 페르미 준위가 위로 올라가는 것이다. 그림으로 그리면 그림 2.8과 같다. N 타입 반도체에서는 진성 상태보다 전자의 수가 양공보다 많을 것이다. 이렇게 도핑된 반도체에서 더 많은 쪽을 다수 캐리어(Majority carrier)라 하고, 더 적은 쪽을 소수 캐리어(Minority carrier)라고 한다. 도너의 도핑 농도를 N_D 라 하고, N 타입에서의 전도대역 전자 농도를 n_n , 양공 농도를 p_n 이라고 하자. 이 때 $n_n \cong N_D$ 가 성립한다(즉 도핑한 농도만큼 전도대역 전자 농도가 된다). 그러면 이와 더불어 식 2.1에 의해 다음과 같은 수식이 성립한다.

$$n_n p_n = n_i^2 \Rightarrow p_n = \frac{n_i^2}{N_D} \quad (2.2)$$

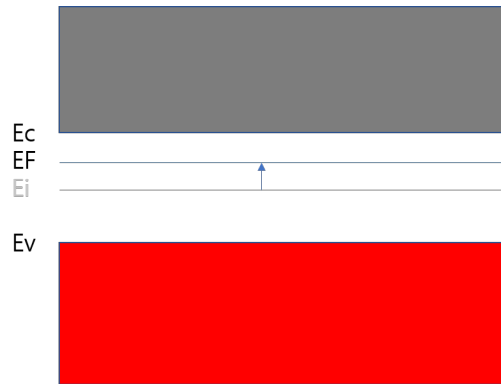


그림 2.8: N 타입 반도체의 페르미 준위

P타입 도핑

이번에는 붕소(B)를 집어넣어 보자. 붕소는 규소의 왼쪽에 있으므로 전자가 하나 부족하다. 즉 전자를 받아들일 수 있는 것이다. 그런 의미에서 이 때의 붕소를 억셉터(Acceptor)라고 한다. 그리고 이 반도체를 positive에서 따와서 P 타입 반도체라고 한다. 그림으로 그리면 그림 2.9와 같다.

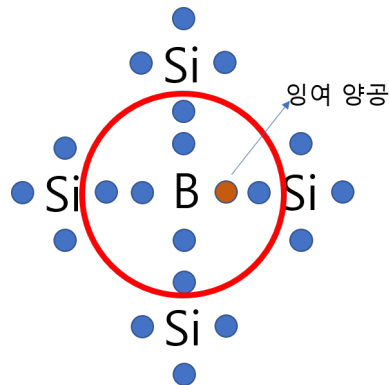


그림 2.9: 붕소로 도핑된 반도체

이 양공은 전자를 받아들일 수 있는데, 그 전자는 어딘가에서 온 것이므로 전자를 받아들이면 그 전자가 출발한 곳에 또 전자가 하나 부족하게 된다. 이를 반대로 해석하면 양공이 전자와 반대 방향으로 옮겨다니는 것으로 해석할 수 있다. 즉 양공 입장에서 전도대역(전자 입장에서 가전자대역)에 양공이 많아지는 것이다. 페르미 준위는 전자 존재 확률이 1/2인 곳이라 했는데, 이는 양공 존재 확률도 1/2라는



그림 2.10: P 타입 반도체의 페르미 준위

뜻이므로, 양공이 E_v 에 더 많이 존재하게 된 지금 페르미 준위는 E_v 에 더 가까워질 것이다. 그림으로 그리면 그림 2.10과 같다. P 타입 반도체에서 전자 농도를 n_p , 양공 농도를 p_p 라 하자. 또한, N 타입에서와 마찬가지로 도핑된 억셉터 농도 N_A 와 가전자대역에 있는 정공 농도는 거의 같다($p_p \cong N_A$). 따라서 다음 수식이 성립한다.

$$n_p p_p = n_i^2 \Rightarrow n_p = \frac{n_i^2}{N_A} \quad (2.3)$$

2.3 반도체 내에서의 캐리어 움직임

카x라이더란 게임을 해 보았다면 드리프트란 이름이 익숙할 것이다. 미끄러지는 것이 바로 드리프트 아닌가? 마찬가지로 전자나 양공도 드리프트를 할 수 있다. 드리프트만 하는 것이 아니다. 캐리어들이 서로 부딪치다 보면 결국엔 농도가 높은 곳에서 낮은 곳으로 움직이게 되는데, 이를 확산이라 한다. 이 두 메커니즘을 살펴보자.

2.3.1 드리프트

먼저 자유 공간에서의 전자 움직임을 생각해보자. 힘이 일정하게 주어질 때 다음 수식이 성립한다.

$$\begin{aligned}\vec{F} &= -q\vec{E} \\ \vec{a} &= \frac{\vec{F}}{m_e} = -\frac{q\vec{e}}{m_e} \\ \vec{v} &= \vec{a}t + \vec{v}_0 \\ &= -\frac{q\vec{E}}{m_e}t + \vec{v}_0\end{aligned}$$

그런데, 반도체 내에서는 전자가 자유롭게 움직이지 못한다. 규소나 도핑된 원자핵에 부딪히기도 하고, 서로간에 부딪히기도 한다. 따라서 마치 마찰력이 있는 상황 처럼 된다. 이 때의 캐리어의 속도는 다음과 같이 전기장에 비례한다.

$$\vec{v}_{drift} = \mu\vec{E} \quad (2.4)$$

위에서 μ 는 이동도(mobility)라고 한다.

한편 전류란 것은 단위시간당 어떤 면을 통과하는 전하량이므로, 캐리어가 많을수록, 캐리어가 빨리 이동할수록 전류는 커진다. 그리고 전류를 단위면적으로 나눠서 생각한 전류밀도는 결국 캐리어의 농도와 속도와 단위 전하량의 곱이 될 것이다. 그리고 전자는 음전기를 띠므로 전기장의 반대 방향으로, 양공은 양전기를 띠므로 전기장 방향으로 움직인다. 수식으로 정리하면 전자의 전류 밀도 $J_{n,drift}$ 과 양공에 의한 전류 밀도 $J_{p,drift}$ 는 다음과 같이 쓸 수 있다.

$$\begin{aligned}J_{n,drift} &= n(-\mu_n E)(-q) = n(\mu_n E)q \\ J_{p,drift} &= p(\mu_p E)q \\ J_{total,drift} &= q(\mu_n n + \mu_p p)E\end{aligned}$$

2.3.2 확산

두 번째 캐리어의 움직임은 확산이다. 캐리어들은 무작위로 움직이며 서로 부딪히는데, 만약 위치에 따른 농도차가 있다면 전체적인 움직임은 농도가 높은 곳에서 낮은 곳으로 향하여 결국 평형 상태에선 농도가 고르게 되려 할 것이다. 그림으로 생각해보자. 그림 2.11에서 왼쪽 상자 내의 입자들 농도를 n_1 이라 하고, 오른쪽 상자 내의 입자들 농도를 n_2 라 하자. 상자의 높이는 농도를 의미한다. 즉 $n_1 > n_2$

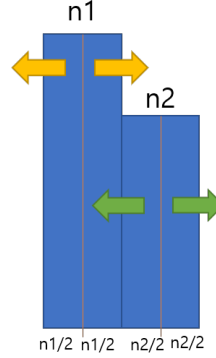


그림 2.11: 농도차가 있는 상태에서 입자의 움직임

인 상황이다. 이 때, 무작위로 움직인다고 했으니 각 상자의 절반은 각자 왼쪽과 오른쪽으로 움직인다. 왼쪽 상자의 왼쪽 절반인 $n_1/2$ 는 왼쪽으로, 오른쪽 절반인 $n_1/2$ 는 오른쪽으로 간다. 오른쪽 상자도 마찬가지로 왼쪽 절반인 $n_2/2$ 는 왼쪽으로, 오른쪽 절반인 $n_2/2$ 는 오른쪽으로 움직인다. 이 때, 두 상자 가운데 지점에서의 순수 입자 이동량을 생각해보면 오른쪽으로 $(n_1 - n_2)/2$ 가 될 것이다. 이로써 입자들은 농도가 높은 쪽에서 농도가 낮은 쪽으로 이동함을 설명할 수 있다. 또한, 농도 차이가 급격할수록 (단위 길이당 농도차가 클수록) 더 많은 입자들이 움직이게 될 것이다.

1차원(x방향)에서 단위 길이당 전자의 농도차는 $\frac{dn}{dx}$ 이고 단위 길이당 양공의 농도차는 $\frac{dp}{dx}$ 이다. 그리고 농도차의 반대 방향으로 움직이므로 움직임의 부호는 이들 농도차에 -가 붙어야 할 것이다. 그리고 농도차에 대한 전자와 양공 각각의 비례 상수인 확산 계수 D_n, D_p 가 있을 것이다. 여기에 전하량을 곱해주면 전류밀도가 된다. 수식으로 정리하면 다음과 같다.

$$J_{n,diff} = -(-q)D_n \frac{dn}{dx}$$

$$J_{p,diff} = -qD_p \frac{dp}{dx}$$

$$J_{total,diff} = q(D_n \frac{dn}{dx} - D_p \frac{dp}{dx})$$

2.3.3 아인슈타인 관계식

언뜻 보면 드리프트와 확산은 서로 상관이 없을 것 같다. 하지만 아인슈타인은 그렇지 않음을 증명했다. 다음과 같은 관계식이 성립한다.

$$\frac{D}{\mu} = \frac{kT}{q}$$

즉 같은 온도에서는 드리프트의 비례상수(이동도)와 확산의 비례상수(확산 계수)가 같은 비율로 움직인다는 뜻이다. 반도체 책에서는 이 수식을 유도하지만, 여기서는 증명하지 않고 넘어가겠다.

제 3 장

다이오드

다이오드란 P타입 반도체와 N타입 반도체를 붙여서 PN 접합을 만든 소자를 의미한다. 다이오드의 원리를 살펴보자.

3.1 평형 상태의 다이오드

P타입 반도체와 N타입 반도체를 붙이면 처음에는 자유 전자와 양공이 상대방 영역으로 넘어가서 상쇄된다. 그러다 보면 전자를 내주고 +가 된 도너 이온이나, 양공을 만들고 전자를 받아 -가 된 억셉터 이온들에 의한 전기장이 이 움직임을 방해한다. 최종적으로는 겉으로 보기에는 움직임이 멈추게 되는데, 이를 평형 상태라고 한다. 그림 3.1을 보자.

그림 3.1에서 동그라미는 움직일 수 있는 전자나 양공 캐리어, 네모는 움직일 수 없는 도너나 억셉터 이온을 의미한다. 양공 기준으로 움직임을 설명해보자. 전자는 반대 방향의 움직임으로 생각하면 되니까. 파란 화살표는 양공의 움직임(확산), 노란 화살표는 이온에 의한 전기력을 의미한다. 처음에는 농도차로 인해 양공은 오른쪽에서 왼쪽으로 이동한다. 그러다 보면 사라진 캐리어들로 인해 중화되지 않은 상태로 남은 이온들 간의 반대 방향 전기장이 점점 커지고, 이에 따라 양공은 왼쪽에서 오른쪽으로 드리프트하는 영향을 받는다. 결국에는 양공의 확산과 드리프트의 영향이 같아져서 겉으로 보기에는 양공의 움직임이 없는 것처럼 보이는, 즉 실질적인 전류가 없는 평형 상태에 도달한다. 전자 입장에서든 마찬가지이다. 이

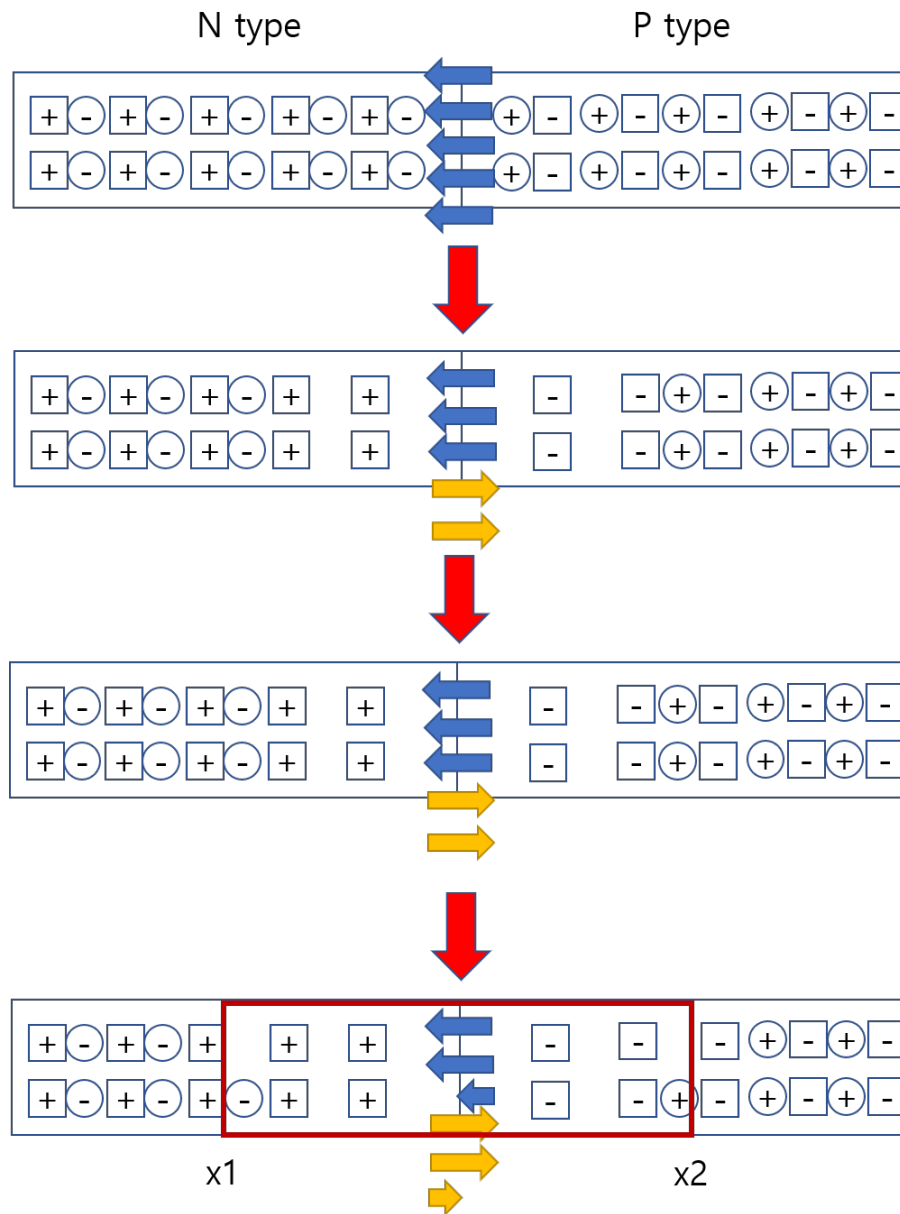


그림 3.1: 평형 상태에서의 PJ 접합

상황을 수식으로 전개하면 다음과 같다.

$$\begin{aligned}
 -qD_p \frac{dp}{dx} &= q\mu_p p E = q\mu_p p \left(-\frac{dV}{dx}\right) \\
 \mu_p \frac{dV}{dx} &= D_p \frac{1}{p} \frac{dp}{dx} \\
 \mu_p \int_{x_1}^{x_2} \frac{dV}{dx} dx &= D_p \int_{x_1}^{x_2} \frac{1}{p} \frac{dp}{dx} dx \\
 \mu_p (V(x_2) - V(x_1)) &= D_p \ln \frac{p(x_2)}{p(x_1)} \\
 V(x_2) - V(x_1) &= \frac{D_p}{\mu_p} \ln \frac{p(x_2)}{p(x_1)}
 \end{aligned}$$

두 지점 간의 전압 차이를 V_{bi} 라 하자. 아인슈타인 관계식 $\frac{D_p}{\mu_p} = \frac{kT}{q}$ 을 적용하고, x_1 에서의 양공 농도는 $p_n = \frac{n_i^2}{N_d}$, x_2 에서의 양공 농도는 $p_p = N_A$ 임을 이용하면 V_{bi} 는 다음과 같이 정리된다.

$$\begin{aligned}
 V_{bi} &= \frac{kT}{q} \ln \frac{p_p}{p_n} \\
 &= \frac{kT}{q} \ln \frac{N_A}{\frac{n_i^2}{N_d}} \\
 &= \frac{kT}{q} \ln \frac{N_A N_D}{n_i^2}
 \end{aligned} \tag{3.1}$$

3.1.1 내부 전위 장벽

위에서 구한 이 V_{bi} 를 내부 전위 장벽(Built In Potential)이라 한다. 에너지 밴드를 그림으로 그려보면 다음과 같다. 뒤에서 다루겠지만, 다이오드에 0.7 V를 건다고

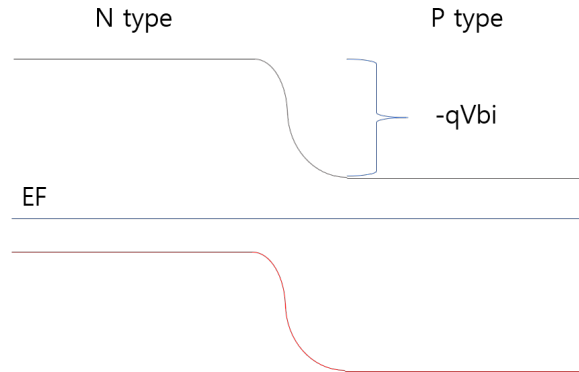


그림 3.2: 평형 상태의 PN 접합 에너지 다이어그램

하는데 그 전압의 정체가 바로 이 내부 전위 장벽의 크기이다. 0.7 V를 걸어서 이 전위 장벽을 눌러서 평평하게 만드는 것이다.

3.1.2 공핍층

그림 3.1에서 빨간 상자 구간에는 캐리어가 없다. 즉 캐리어 공핍 상태이다. 그래서 이 구간을 공핍층이라 부른다.

3.2 역방향 바이어스

3.2.1 역방향 바이어스에서의 전류

역방향 전압을 건다는 것은 N타입에 P타입보다 높은 전압을 건다는 뜻이다. 그렇게 되면 N타입 내의 자유 전자들이 외부 전압원의 +쪽으로 끌려가고, P타입 내의 양공들도 외부 전압원의 -쪽으로 끌려간다. 결국 공핍층은 넓어지며, 내부 전위 장벽은 외부 전압원의 크기만큼 더 높아지게 된다. 따라서 오른쪽에서 왼쪽으로의 전류는 없는 것과 마찬가지 상황이 된다. 하지만, 왼쪽에서 오른쪽으로 굴러 떨어지는 전자와 오른쪽에서 왼쪽으로 굴러 떨어지는(양공 입장에서선 위아래가 뒤집힌다. 왜일까?) 양공에 의한 드리프트 전류는 존재한다. 언뜻 생각하면 이 드리프트 전류는 외부 전압원이 커지면 더 커질 것 같지만 그렇지 않다. 왜냐면, 전류는 움직이는 전하의 양과 속도에 비례하는데, 움직일 수 있는 전하의 양은 캐리어 농도로 제한되어 있고, 속도는 이미 충분히 빨라서 전기장이 커진다고 해서 빨라지는 효과가 크지 않기 때문이다. 쉽게 생각해서, 거의 수직에 가까운 절벽에서 돌이 굴러 떨어질 때, 기울기가 더 수직에 가까워진다고 해서 속도에 큰 영향이 갈까? 그렇지 않을 것이다. 돌이 얼마나 자주 굴러 떨어지느냐가 전체적인 돌들의 시간당 움직임에 영향을 주게 될 것이다. 따라서, 역방향 바이어스를 걸어 주면 N타입에서 P타입으로 드리프트 전류가 외부 전압원에 대해 상관없이 일정 크기로 존재하게 된다. 이 N에서 P로 가는 방향을 역방향이라고 한다.

3.2.2 접합 커패시턴스

역방향 바이어스를 걸어주면 공핍층이 늘어난다고 했다. 그리고 공핍층 내에는 중화되지 않은 이온들이 들어 있다. 결국 역방향 바이어스를 걸어주게 되면 커패시터처럼 양쪽에 전하가 쌓이게 되므로, 역방향 바이어스 상태의 다이오드는 어떤

커패시터로 생각할 수 있다. 그런데, 일반적인 커패시터와는 달리, 역방향 전압이 얼마가 걸리냐에 따라 커패시턴스가 달라지는 가변 커패시터(variable capacitor-varactor)가 된다. 자세히 유도하진 않겠으나, 이 가변 커패시터는 역방향 전압 V_r 에 대해 다음 관계를 갖는다.

$$C \propto \frac{1}{\sqrt{V_r}} \quad (3.2)$$

3.3 순방향 바이어스

순방향 바이어스에서의 전류 순방향 바이어스 상태에서는 공핍층이 반대로 줄어들고, 전위 장벽이 낮아짐에 따라 P에서 N 방향으로 전류가 잘 흐를 수 있게 된다. 이 전류는 지수함수적으로 늘어나서, 0.7 V 정도의 순방향 바이어스가 걸리게 되면 도선과 마찬가지로 전류가 매우 크게 흐르게 된다.

3.4 다이오드의 전압-전류 관계와 모델

3.4.1 지수함수 모델

유도하진 않겠지만, 다이오드의 전압-전류 관계를 풀어보면 다음과 같이 정리된다.

$$I_D = I_s(e^{V_D/V_T} - 1) \quad (3.3)$$

식 3.3에서 전압 $V_D = 0$ 이면 전류 I_D 는 0이다. 즉 이 상태에서 드리프트 전류와 확산 전류의 크기가 같음을 보여준다. 만약 V_D 가 점점 커지다가 어느 정도에 이르면 지수함수의 기울기는 거의 수직할 정도로 아주 크게 된다. 따라서 그 전압을 넘어서서 전압을 가하는 것은 거의 불가능하다. 엄청난 전류가 흘러야 할 테니까. 반대로 V_D 가 음수이면서 크기가 충분히 크다면 지수함수 항은 거의 0이고, 남은 것은 $I_D = -I_s$ 가 된다. 즉 역방향 드리프트 전류만 남음을 알 수 있다. 그래프를 그려보면 그림 3.3과 같다.

3.4.2 일정 전압 모델

위 지수함수 모델을 근사해서, 어떤 문턱 전압 전까지는 전류가 흐르지 않다가(I_s 는 보통 매우 작다), 이 전압에 다다르면 전압원과 도선이 연결된 것처럼 모델링할

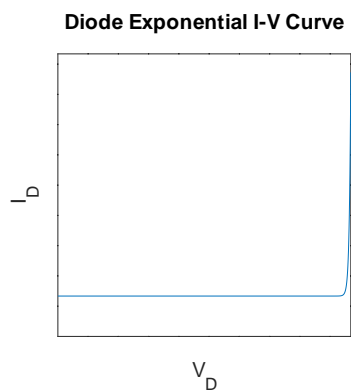


그림 3.3: 다이오드의 지수함수 모델

수 있다. 이를 일정 전압 모델이라고 한다. 여기서 문턱전압이 우리가 흔히 쓰는 0.7 V인 것이다. 그래프로 그려보면 그림 3.4와 같다.

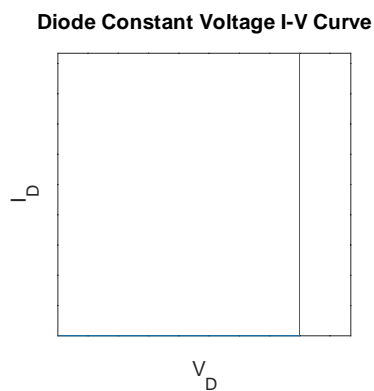


그림 3.4: 다이오드의 일정 전압 모델

3.4.3 다이내믹 저항

옴의 법칙에서 저항은 $R = V/I$ 이다. 이를 좀 더 확장하여 저항을 미분 형태로 정의해보자.

$$r = \frac{dv}{di} \quad (3.4)$$

이 저항을 다이내믹 저항이라고 하자. 이를 활용하여 그림 3.4를 분석해보면 문턱 전압에서 더 이상 전압이 변하지 않으므로 $dv = 0$ 이다. 따라서 다이내믹 저항의

분자가 0이 되어 $r = 0$ 이 된다. 즉 저항이 없고 전압원만 있는 것처럼 보인다는 것이다. 하지만, 지수함수 모델을 보면 기울기가 무한대가 아니다. 아주 클 뿐. 이때의 다이내믹 저항을 구해보자.

$$\begin{aligned}
 I_D &= I_s(e^{V_D/V_T} - 1) \\
 \frac{dI_D}{dV_D} &= \frac{1}{V_T} I_s(e^{V_D/V_T} - 1) \\
 &= \frac{I_D}{V_T} \\
 \therefore r &= \frac{dV_D}{dI_D} = \frac{V_T}{I_D}
 \end{aligned} \tag{3.5}$$

따라서 어떤 DC 전류/전압이 있는 상황에서 다이오드는 전압원과 작은 저항이 있는 것으로 모델링할 수 있다.

이 다이내믹 저항 개념은 뒤의 MOS나 BJT에서도 다뤄질 것이다.

제 4 장

다이오드 응용 회로

4.1 논리 게이트

4.2 정류기

4.2.1 반파 정류기

4.2.2 전파 정류기

4.3 리미터

4.4 전압 체배기

4.5 전압 이동기

제 5 장

MOSFET

MOSFET은 Metal-Oxide-Semiconductor Field-Effect-Transistor의 줄임말이다. 릴리엔필드가 제안했고, 강대원 박사가 실현했다.

5.1 MOSFET의 구조

N타입 MOSFET(NMOS)의 구조는 그림 5.1과 같다. 가운데 초록색 부분은 금속이고, 좌우 n+ 영역은 각각 소스와 드레인이다.(단순한 MOS는 좌우 대칭형으로 만들 수 있기 때문에, 회로 구성에 따라 소스와 드레인이 서로 바뀔 수도 있다.) 소스란 이름은 여기서 캐리어가 공급되기 때문에 붙었고, 드레인이란 이름은 여기로 캐리어들이 하수구로 물 내려가듯이 빨려가기 때문에 붙었다. 이 n+ 영역은 기본적으로 P타입 기판에 도핑을 해서 만들어지는데, 이 P타입 기판을 substrate

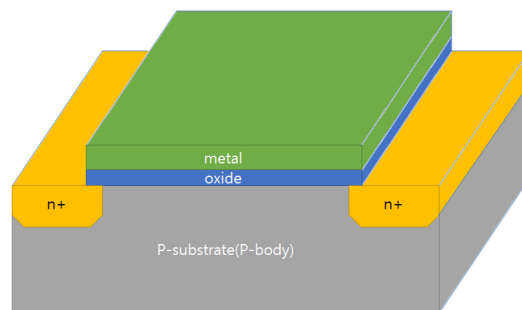


그림 5.1: MOSFET의 구조

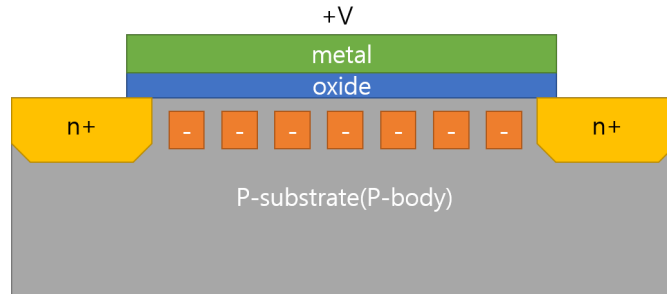


그림 5.2: 캐리어가 밀려나고 산화막 아래에 억셉터 이온만 남은 상태

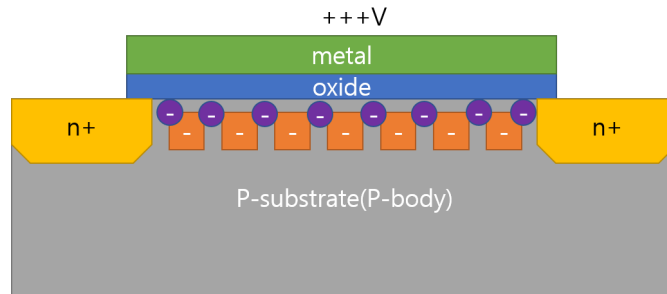


그림 5.3: 전자까지 끌려온 상태

혹은 바디라고 부른다. 위 MOSFET을 NMOS라고 부르는 이유는 사용되는 캐리어의 종류가 전자(negative)이기 때문이다. N타입 MOSFET이 있으면 P타입 MOSFET(PMOS)도 존재한다. 그저 n과 p 타입을 바꾸면 된다. 당연히 사용되는 캐리어는 정공이 된다. 초록색 금속 아래의 파란 부분은 산화막으로, 전류의 흐름을 막는 역할을 한다. 이 산화막 때문에 DC전류가 흐르지 않고, 그래서 전력을 적게 쓰는 것이다.

5.2 채널

채널이란 캐리어가 이동할 수 있는 통로를 말한다. 게이트에 전압을 걸어서 바디에 있는 캐리어들을 뒤쪽으로 밀어내면 그 곳에는 도너나 억셉터 이온들만 남게 된다. 즉 공핍 영역이 된다(그림 5.2). 게이트에 전압을 더 크게 걸게 되면 소수 캐리어들이 그 극성에 이끌려서 산화막 아래에 고이게 된다(그림 5.3). 이 캐리어가 고이는 영역이 바로 채널이다. 두 그림은 모두 NMOS 기준이다.

5.3 전압과 전류의 관계

MOS는 3극 소자이므로, 소스 단을 기준으로 하면 전압은 게이트-소스 간, 드레인-소스 간 두 개가 존재한다. 따라서 각 전압과 전류의 관계를 분석하기 위해서는 하나를 고정하고 다른 하나를 바꾸면서 생각해봐야 한다.

5.3.1 게이트 전압과 전류의 관계

NMOS에 대해서 생각하자. 같은 드레인 전압에 대해서 게이트 전압이 전류에 끼치는 영향이 어떤지 조사할 것이다. 게이트 전압이 어느 정도 지점까지는 P타입 바디에서 양공을 밀어내는 데 쓰이므로 채널이 형성되지 않는다. 그러다가 특정 전압을 넘어서면 그 때부터는 전자가 고이기 시작하고, 그 이후로 가해지는 전압은 전자를 당기는 데에만 쓰인다. 이 전압을 문턱 전압(Threshold voltage, V_{th})라고 부른다. 문턱 전압보다 전압이 크다면, 캐리어가 다니는 길이 위아래로 넓어지는 효과가 나므로 저항이 줄어드는 것과 마찬가지이다.(그림 5.4) 따라서 전류량은 커지게 된다.

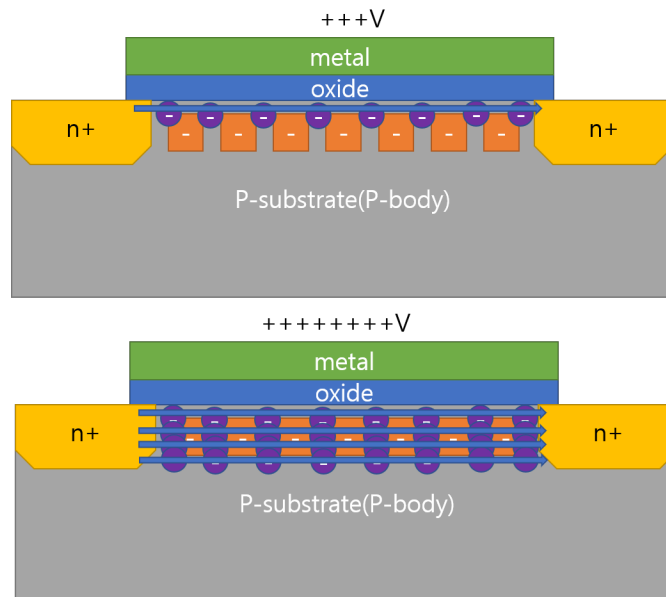


그림 5.4: 게이트 전압이 전류에 끼치는 영향

5.3.2 산화막과 전류 관계

산화막이 길다면 캐리어가 이동하는 길이가 늘어나므로 저항이 길어지는 것과 마찬가지로이다. 따라서 산화막이 길어지면 전류는 줄어든다. 산화막의 두께도 영향을 미친다. 산화막이 두껍다면 전압을 걸어도 그로부터 형성되는 전계가 약해져서 효과적으로 다수 캐리어를 밀어내기 어려울 것이다. 그에 따라 같은 전류를 얻기 위해서는 더 많은 전압을 가해야만 한다. 산화막이 넓다면 저항의 단면적이 넓어지는 효과가 발생하므로 전류량은 늘어난다.

5.3.3 핀치 오프

지금까지는 드레인 전압을 딱히 생각하지 않았다. 이제 NMOS에서 드레인의 전압을 올려보자. 그러면 전압 분포는 대충 그림 5.5와 같이 될 것이다. 만약, $V_D - V_G = V_{th}$

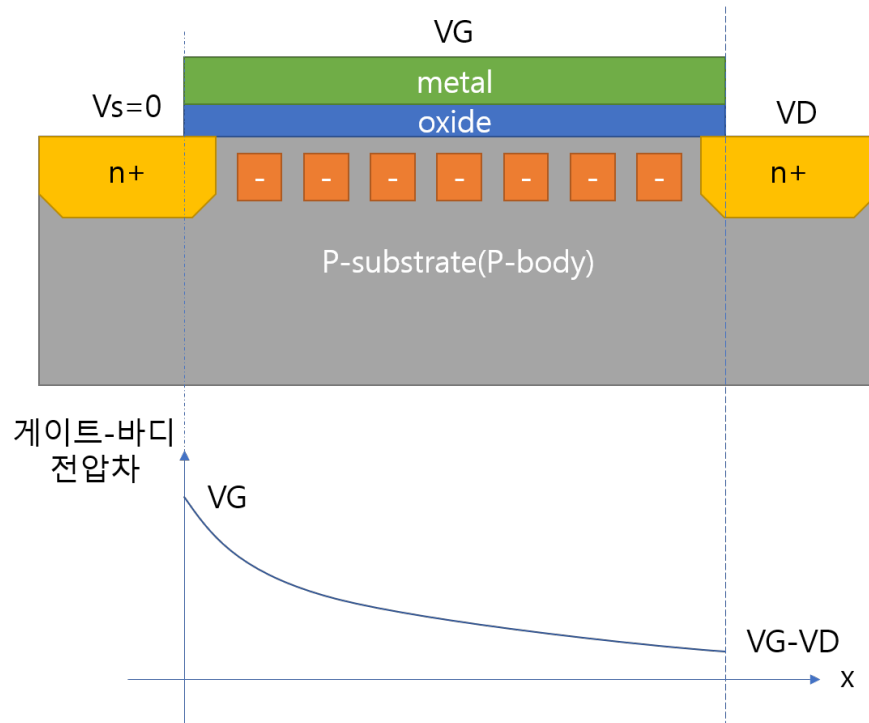


그림 5.5: 게이트 전압과 드레인 전압이 존재할 때 채널 각 위치에서의 전위차

가 될 때까지 드레인 전압이 커진다면, 채널의 드레인 쪽 끝은 채널 두께가 0이 되어 버린다. 이러면 전류가 못 흐르게 되지 않을까?하고 생각할 수 있으나, 그렇지가

않다. 다이오드에서 역방향 바이어스를 걸었던 상황을 기억하는가? N타입쪽에 P타입보다 높은 전압이 걸리게 되면 N에서 P로 드리프트 전류가 흘렀다. 그리고 이 때 캐리어 이동 속도가 충분히 빠르다고 했고, 그에 따라 전류량은 결국 캐리어 농도에만 의존한다고 했다. 여기서도 마찬가지로 상황이 발생한다. P타입 바디와 N타입 드레인 사이에 역전압이 걸리고, 이 공핍층쪽으로 들어온 전자는 강한 전기장에 의해 빠르게 이동한다. 결국 드레인 전압보다는 채널로부터 바디-드레인 간의 공핍층에 얼마나 자주 전자가 들어오느냐가 전자를 지배하게 되는 것이다. 정리하면 드레인 전압이 어느 정도까지 커질 때까지는 저항에 전압이 많이 걸리는 것과 같은 효과가 나지만, 어느 시점부터는 점점 드레인 전압이 커지더라도 전류가 커지지 않게 되고, 결국 전류는 일정하게, 즉 포화되게 한다. 그래서 이렇게 전류가 일정하게 되는 영역의 이름을 포화 영역이라 한다.(나중에 나올 BJT의 포화 영역과 의미가 다르다) 그래프로 그리면 그림 5.6과 같다.

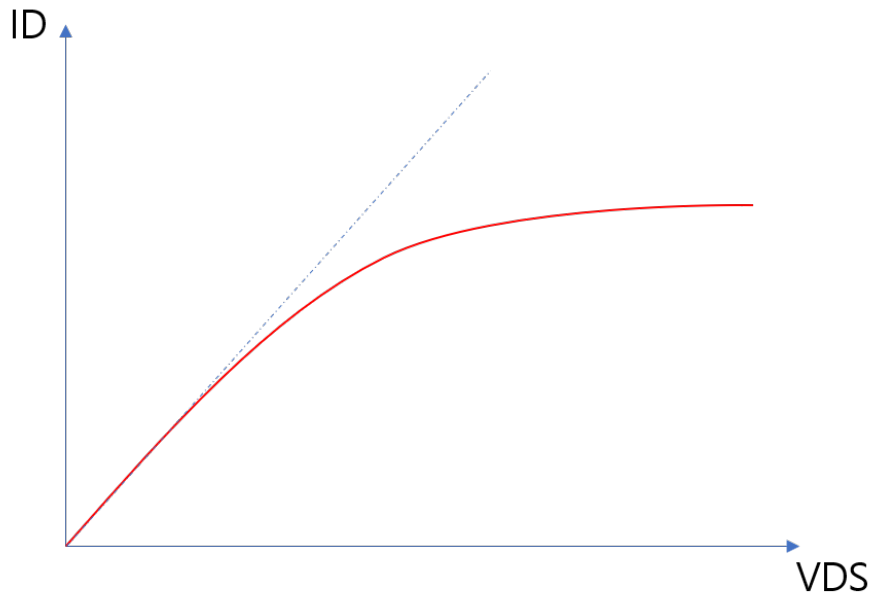


그림 5.6: 드레인 전압과 전류 사이의 관계

5.3.4 전류의 정량적 분석

MOSFET의 전류는 산화막에 의한 커패시터로 인해 쌓이는 전하가 소스-드레인 간 전압에 의해 움직이는 것이라고 볼 수 있다. 따라서 먼저 게이트 산화막에 걸리는 전압에 의해 전하가 얼마나 쌓이는지를 분석해봐야 한다. 먼저 드레인에 전압이 걸리지 않을 때인 다음 식을 보자.

$$Q = WC_{ox}(V_{GS} - V_{th}) \quad (5.1)$$

위 식에서 Q 는 채널에 쌓이는 전하이고, W 는 산화막의 너비이다. C_{ox} 는 산화막의 단위너비당 커패시턴스이다. $Q = CV$ 와 유사하지만 전압이 $V_{GS} - V_{th}$ 로 주어지는 것에 유의하자. 문턱전압과 게이트 전압의 차이만이 전류에 기여하는 캐리어 전하를 끌어오게 되기 때문에 이렇게 된다. 다음으로, 드레인에 전압이 걸리는 경우를 생각해보자. 각 위치 x 에서의 전압을 $V(x)$ 라 하면 산화막 양단에 걸리면서 문턱 전압을 제외한 전압은 $V_{GS} - V(x) - V_{th}$ 이므로, 각 위치 x 에서의 미소전하량은 다음과 같이 될 것이다.

$$Q(x) = WC_{ox}[V_{GS} - V(x) - V_{th}] \quad (5.2)$$

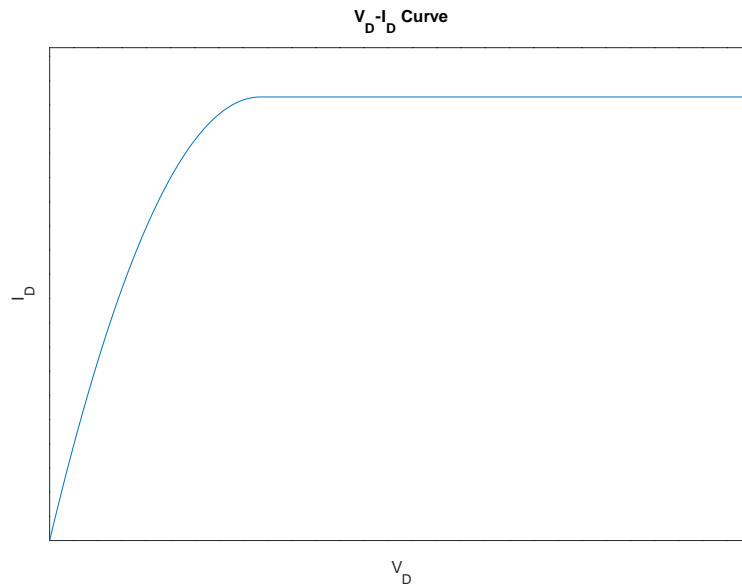
다음으로, 전류란 것은 어떤 전하들이 단위시간당 움직이는 양이므로, 각 미소전하 $Q(x)$ 들이 각 위치에서 받는 전기장에 의한 속도를 곱한 것이 각 위치에서의 전류가 될 것이다.

$$\begin{aligned} I_D &= Q(x)v(x) \\ &= WC_{ox}[V_{GS} - V(x) - V_{th}]\mu_n \frac{dV(x)}{dx} \\ \int_0^L I_D dx &= \int_0^{V_{DS}} WC_{ox}[V_{GS} - V(x) - V_{th}]\mu_n dV \\ I_D L &= \mu_n C_{ox} W ((V_{GS} - V_{th})V_{DS} - (1/2)V_{DS}^2) \\ I_D &= \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (2(V_{GS} - V_{th})V_{DS} - V_{DS}^2) \end{aligned} \quad (5.3)$$

그런데, 이 이차함수는 위로 볼록하므로 꼭지점인 $V_{DS} = V_{GS} - V_{th}$ 를 지나게 되면 전류가 감소한다. 근데 그럴 리가 있는가? 전압이 커지는데 전류가 늘진 못할망정 줄어드는 건 말이 안 된다. 따라서 이 지점 이후로는 그냥 이 전류가 유지될 것이다. 따라서 이 지점 이후로 전류는 다음과 같이 된다.

$$I_D = \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (5.4)$$

그래프를 그려보면 그림 5.7과 같다.

그림 5.7: V_{DS} - I_D 곡선

5.3.5 MOS의 출력 저항

앞서 식 3.5에서 다이내믹 저항을 구하는 법을 알아보았다. MOS의 경우, 이상적이 라면 드레인 쪽에서 바라본 출력 저항은 무한대여야 한다(=그림 5.7의 포화 영역에서 기울기가 평평해야 한다). 하지만, 드레인 전압이 올라가면 핀치 오프에 의해 채널 길이가 짧아지는 효과가 나타나고, 이는 저항의 길이가 짧아지는 효과가 난다. 즉 저항이 무한대보다 작아지고, 드레인 전압이 올라가면 전류도 증가하게 된다. 이를 채널 길이 변조(Channel Length Modulation)라 하고, r_o 로 표기한다.

5.3.6 전달 컨덕턴스(Transconductance)

전달 컨덕턴스는 게이트-소스 간에 작은 교류 전압을 걸었을 때 드레인에 얼마나 전류가 흐르는지 나타내는 비율이다. 일반적인 저항은 전압을 거는 단자와 전류가 흐르는 단자가 같지만, MOS에서는 둘이 서로 다르다. 따라서 전압 신호를 전달 하여서 전류가 흐르게 한다는 의미로 전달 컨덕턴스라는 용어를 사용한다. 포화

영역에서 전달 컨덕턴스는 수식으로 쓰면 다음과 같다.

$$\begin{aligned}
 I_D &= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \\
 g_m &= \frac{\partial I_D}{\partial V_D} \\
 &= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})
 \end{aligned} \tag{5.5}$$

이 식은 위 계수들 중에 어떤 것이 변하고 어떤 것이 고정이나에 따라 다양하게 표현된다. 직접 해보시라. 위 식의 의미를 그래프로 그리면 다음과 같다.

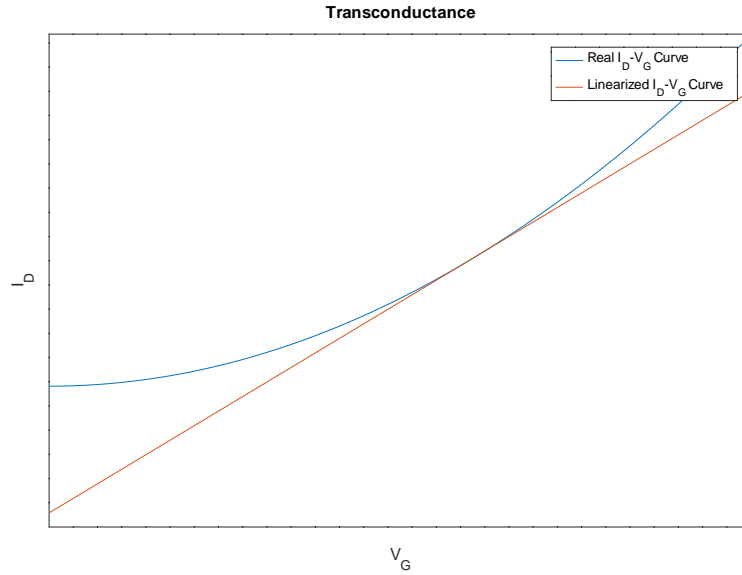


그림 5.8: 실제 $I_D - V_G$ 곡선과 전달 컨덕턴스로 선형화된 $I_D - V_G$ 직선

위 그래프에서 특정 DC 지점에서의 전달 컨덕턴스(기울기)를 이용하여 접선을 그렸다. 이 DC 지점을 바이어스 포인트(동작점)이라고 한다. 당연히 전달 컨덕턴스는 동작점이 어디냐에 따라 달라질 것이다. 동작점 근처에서 원래 곡선과 접선간의 차이를 무시할 수 있을 만큼 작은 교류 전압을 가하면 그 교류 출력은 입력 교류 전압과 전달 컨덕턴스의 곱으로 나타난다. 결국 이는 수학에서 말하는 테일러 1차 근사(선형 근사)일 뿐이다. 이렇게 근사를 하면 선형성에 의해서 문제를 쉽게 풀 수 있기 때문에 작은 신호에 대해서는 원래의 이차함수를 사용하지 않아도 된다.

5.3.7 소신호 해석

소신호 해석이란 MOS에 가해지는 신호가 DC 성분과 작은 AC 성분으로 나뉘진다면, 먼저 DC 성분에 대해서 전압, 전류, 전달 컨덕턴스 등을 구한 후 이들을 바탕으로 교류 입력 신호에 대해서 출력을 해석하는 것을 말한다. 이를 위해서는 MOS를 아래와 같이 등가 소신호 모델로 바꿔야 한다.

π 모델 π 모델이란 등가 회로의 모양이 π 형태라서 붙은 모델을 말한다. 다음 그림 5.9를 보자.

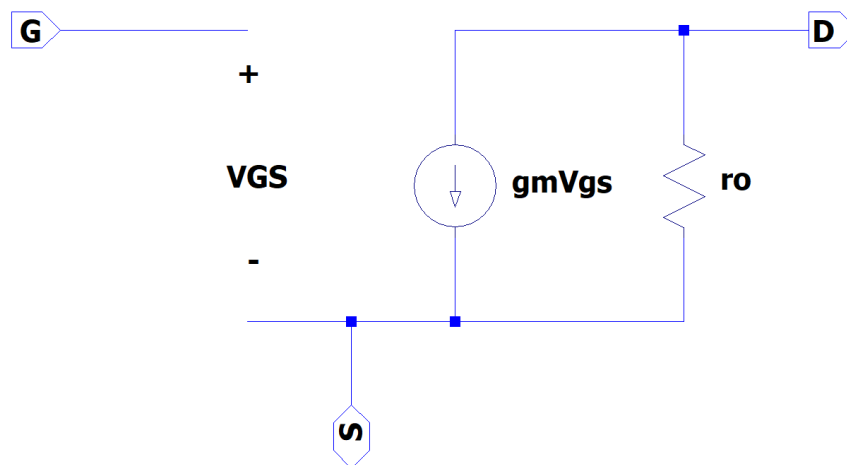


그림 5.9: MOSFET의 π 소신호 모델

T 모델 T 모델은 이와 달리 형태가 T처럼 생긴 모델을 말한다. 다음 그림 5.10을 보자. π 모델에선 끊어져 있던 게이트가 연결되어 있어서 전류가 흐를 것 같지만 실제로 그렇지 않을 것이다. 왜 그럴까?

5.4 PMOS

PMOS의 경우는 지금까지 나온 전압들 간의 관계를 뒤집으면 된다. 소스보다 게이트 전압이 낮아야 작동하고, 게이트 전압보다 드레인 전압이 어느 정도 이상 내려

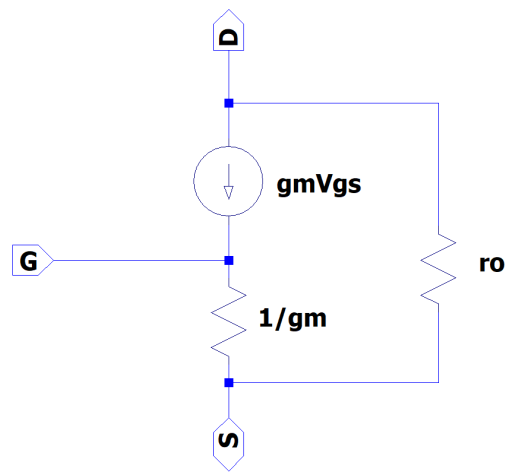


그림 5.10: MOSFET의 T 소신호 모델

가게 되면 포화 영역에서 작동하게 된다.

제 6 장

MOSFET 회로

앞서 배운 MOSFET을 이용한 회로들을 해석하는 방법을 알아보자.

6.1 임피던스

MOSFET의 각 단자의 임피던스를 알아보자. 관심있는 단에 테스트 전압을 걸어서 흘러 들어가는 전류의 비율을 구할 것이다. 그리고 다른 단은 모두 접지에 연결해서 영향이 없게 해야 한다.

6.1.1 게이트의 입력 임피던스

그림 5.9를 보자. 게이트는 어디에도 연결되어 있지 않다. 따라서 들어가는 전류가 0이니 임피던스는 무한대이다. 한편, 그림 5.10에선 어떨까? 게이트가 다른 곳과 연결되어 있는 것 같다. 하지만 역시 들어가는 전류는 0이다. 왜 그럴지 생각해보자.

6.1.2 드레인의 출력 임피던스

드레인은 출력을 뽑는 단이기 때문에 출력 임피던스라 한다. 게이트와 소스를 접지해보자. 그림 6.1에서 $V_{GS} = 0 - 0 = 0$ 이므로 $g_m V_{GS} = 0$ 이다. 따라서 남는 것은 r_o 이므로 드레인 출력 임피던스는 r_o 이다.

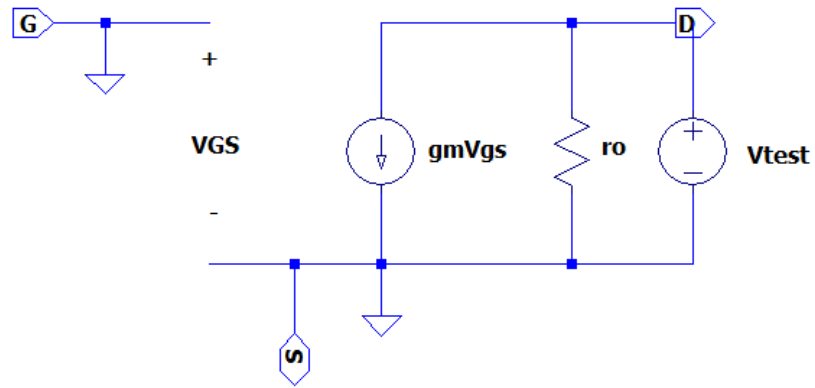


그림 6.1: 드레인 출력 임피던스

6.1.3 소스의 입력 임피던스

소스 단에서 들여다본 임피던스를 구해 보자. 드레인을 접지하고 소스에 테스트 전압을 걸어 보자. 그림 6.2에서 $V_{GS} = 0 - V_{test} = -V_{test}$ 이다. 따라서 종

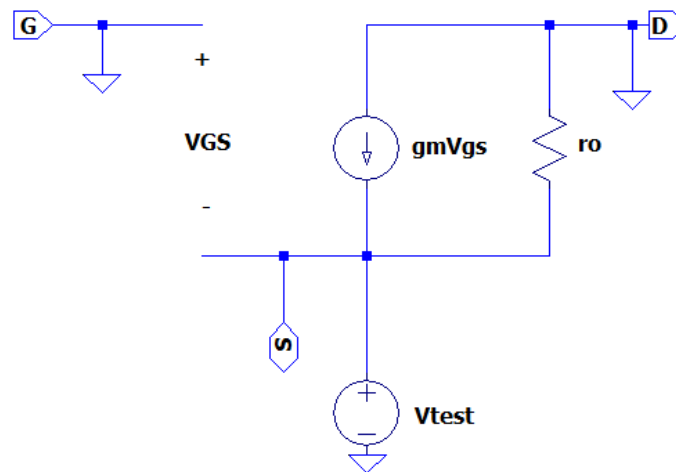


그림 6.2: 소스 입력 임피던스

속 전류원은 위쪽으로 $g_m V_{test}$ 만큼의 전류를 흘린다. 이와 병렬로 드레인 출력 임피던스 r_o 가 있으므로 이를 통해서 V_{test}/r_o 가 흐른다. 따라서 흘러 들어가는 총 전류는 $g_m V_{test} + V_{test}/r_o = V_{test}(g_m + 1/r_o)$ 이다. 그러므로 총 임피던스는 $\frac{V_{test}}{V_{test}(g_m + 1/r_o)} = \frac{1}{(g_m + 1/r_o)} = \frac{r_o}{r_o + 1/g_m} = r_o \parallel \frac{1}{g_m}$ 이다.

6.2 증폭기

MOS를 활용하면 입력 교류 전압보다 큰 출력 교류 전압을 만들어낼 수 있다. 그래서 증폭기라고 한다. (작게도 만들 수 있다.) 가능한 세 가지 증폭기 회로 구성을 알아보자.

6.2.1 공통 소스 구성

공통 소스 구성이란 게이트로 신호를 입력하고 드레인에서 출력을 뽑는 구성이다. 소스는 게이트와 드레인의 공통 기준 전압 역할을 하기 때문에 공통 소스 구성이라고 한다. 그림 6.3을 보자.

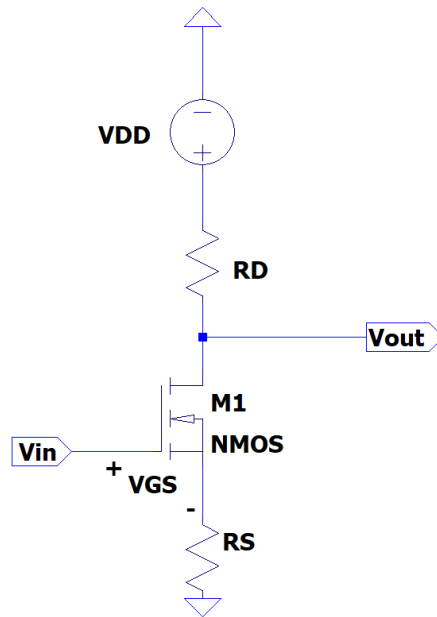


그림 6.3: 일반적인 공통 소스 회로

전압 이득 이 회로에서 V_{GS} 는 얼마일까? V_{in} 이 게이트와 R_S 에 나눠 걸린다. 소신호 회로로 바뀌서 생각해보자(그림 6.4). 소신호는 교류만을 다루므로 DC 전압, 전류원은 0으로 처리한다. 또한 r_o 는 매우 크다고 가정하자. 그림 6.4에서

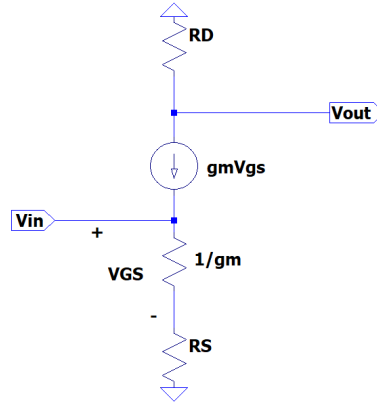


그림 6.4: 공통 소스 소신호 회로

$V_{GS} = V_{in} \frac{1/g_m}{1/g_m + R_S}$ 임을 알 수 있다. 이 전압에 의해서 $g_m V_{gs}$ 전류원이 전류를 제일 위의 AC 그라운드에서 R_D 를 통해서 전류를 끌어온다. 그리고 그로 인한 전압 강하인 $0 - g_m V_{GS} R_D = -g_m V_{GS} R_D$ 가 V_{out} 이 된다. 전압이득을 A_v 라 하고 정리하면 다음과 같다.

$$\begin{aligned} A_v &= \frac{V_{out}}{V_{in}} = \frac{-g_m V_{in} \frac{1/g_m}{1/g_m + R_S} R_D}{V_{in}} \\ &= -\frac{R_D}{1/g_m + R_S} \end{aligned} \quad (6.1)$$

이다.

이 수식을 다른 관점에서 해석해보자. 어차피 $R_D, 1/g_m, R_S$ 에는 모두 같은 어떤 전류 I 가 흐른다. 그림 6.4에서 V_{in} 은 $(1/g_m + R_S)I$ 이다. 한편 출력 전압은 $V_{out} - 0 = V_{out} = -R_D I$ 이다. 따라서 전압이득은 $A_v = \frac{-R_D I}{(1/g_m + R_S)I} = \frac{-R_D}{1/g_m + R_S}$ 임을 바로 알 수 있다. 이를 풀어서 쓰면 다음과 같다.

$$(\text{전압이득}) = -\frac{\text{위쪽임피던스}}{\text{아래쪽임피던스}} \quad (6.2)$$

입출력 임피던스 이 회로의 입력 임피던스는 게이트 임피던스이므로 무한대이고, 출력 임피던스는 r_o 를 무시하면 R_D 이다. 무시하지 않으면 어려워지므로 넘어가

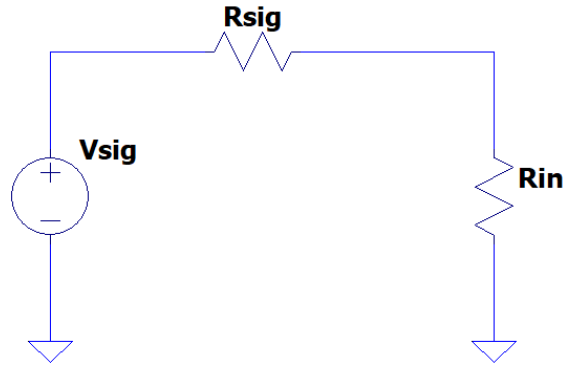


그림 6.5: 외부 신호원에 연결된 공통 소스 회로

겠다. 입력 임피던스가 큼으로 생기는 장점은 무엇일까? 그림 6.5에서 외부 입력 신호원에 어떤 저항 R_{sig} 가 있다고 하자. 이게 일반적인 경우일 것이다. 여기서 공통 소스 회로의 입력 임피던스 R_{in} 이 크다면 신호원의 신호 V_{sig} 는 R_{in} 에 많이 분배될 것이다. 따라서 전압을 감지하려면 입력 임피던스가 큰 것이 유리하다. 이것이 연산 증폭기 같은 전압 감지 회로에서 입력 임피던스가 커야 하는 이유이다.

소스 디제너레이션 저항과 바이패스 커패시터 그런데, R_S 는 왜 있는 것일까? 이 때문에 전압 이득이 작아지지 않는가? 그 이유는 R_S 가 네거티브 피드백을 함으로써 안정성을 좋게 하기 때문이다. 가령, DC로서 일정해야 할 바이어스 포인트가 흔들린다고 해보자. 그럼 출력 또한 흔들리게 될 것이다. 그런데 R_S 가 존재하면 입력 바이어스 포인트의 흔들림이 분배되어서 V_{GS} 의 흔들림은 입력의 흔들림보다는 작아진다. 따라서 더 안정적인 동작을 할 수 있다. 그렇다면, 이 작아지는 전압 이득을 보상할 방법은 없는가? 그림 6.6을 보자. R_S 옆에 C_S 를 달았다. 커패시터가 충분히 커서 우리가 원하는 주파수 ω 에 대해 커패시터의 임피던스 $\frac{1}{j\omega C_S}$ 가 충분히 작다면, 커패시터는 그라운드와 소스를 도통시키는 도선 역할을 하게 된다. 따라서 교류 영역에서는 R_S 가 없는 것과 마찬가지로 되어서 전압 이득이 R_S 가 없는 $g_m R_D$ 로 커지게 된다.

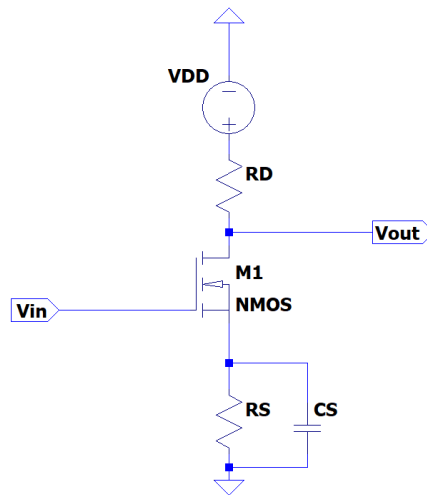


그림 6.6: 바이패스 커패시터가 있는 공통 소스 회로

6.2.2 공통 게이트 구성

공통 게이트 구성이란 게이트 단이 소스와 드레인의 공통 기준 전압이 되고, 소스로 전압 신호를 입력하는 구성을 말한다. 그림 6.7을 보자.

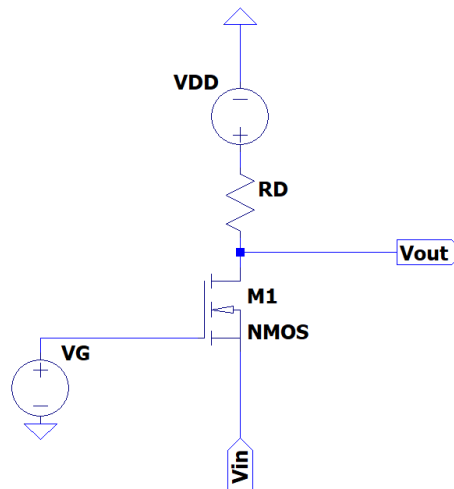


그림 6.7: 공통 게이트 구성

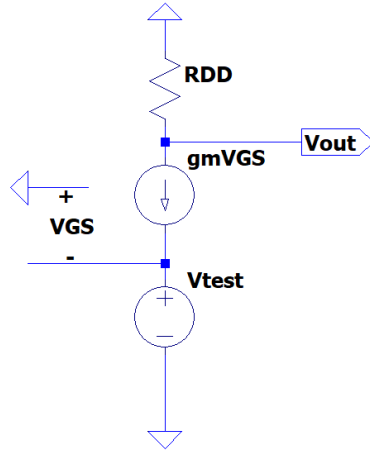


그림 6.8: 공통 게이트 구성의 입력 임피던스를 구하기 위한 회로

전압 이득 이 회로에서 V_{GS} 는 $-V_{in}$ 이므로 종속전류원 $g_m V_{GS}$ 는 위쪽으로 $g_m V_{in}$ 의 전류를 흘릴 것이다. 따라서 V_{out} 의 전압은 $g_m V_{in} R_D - 0 = g_m V_{in} R_D$ 이 되므로 전압 이득은 최종적으로 다음과 같다.

$$A_v = \frac{V_{out}}{V_{in}} = \frac{g_m V_{in} R_D}{V_{in}} = g_m R_D \quad (6.3)$$

이 식을 보면 공통 소스 구성과 크기는 같고 위상(부호)이 반대임을 알 수 있다. 이는 당연한 결과로, 그저 V_{GS} 가 반대가 되니까 그런 것이다.

입출력 임피던스 입출력 임피던스를 살펴보자. 먼저 출력 임피던스는 R_D 로 공통 소스 구성과 동일할 것이다. 입력 임피던스는 어떨까? 공통 소스 구성에서 입력 임피던스는 무한대였다. 공통 게이트 구성에서는 어떻게 될지 그림 6.8를 보며 생각해보자. V_{test} 가 공급하는 전류는 얼마일까? 바로 종속 전류원이 위쪽으로 흘리게 되는 전류인 $g_m(-V_{GS}) = -g_m(0 - V_{test}) = g_m V_{test}$ 이다. 따라서 입력 임피던스는 $V_{test}/(g_m V_{test}) = 1/g_m$ 이다. 이 값은 보통 작다. 실제로 수십 옴 정도였던 것 같다. 왜 이렇게 작은 입력 임피던스가 필요할까? 전기자기학에서 전송선로 쪽을 공부해본 적이 있다면 알 것이다. 보통 전송선로의 임피던스는 50Ω 혹은 70Ω 이다. 따라서 이러한 전송선로에 임피던스 매칭을 위해서는(임피던스 매칭을 하지 않으면 반사파가 생겨서 신호 전달이 잘 되지 않는다) 끝에 작은 임피던스가 달려야 한다. 이럴 경우, 공통 소스 구성보다는 공통 게이트 구성이 유리한 것이다.

6.2.3 소스 폴로워 구성

마지막 구성인 소스 폴로워 구성을 살펴보자. 그림 6.9를 보자.

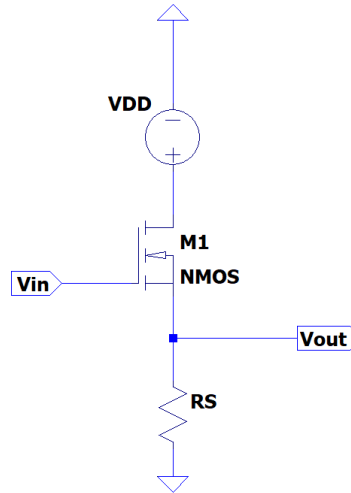


그림 6.9: 소스 폴로워 구성

전압 이득 이 회로의 전압 이득은 어떻게 될까? T 모델을 적용해서 생각해보자. 그림 6.10에서 V_{out} 은 어떻게 구할 수 있을까? 바로 V_{in} 이 $1/g_m$ 과 R_S 에 분배될 때 R_S 가 가져가는 전압이 V_{out} 임을 알 수 있다. 따라서 전압 이득 A_v 을 수식으로 쓰면 다음과 같다.

$$A_v = \frac{V_{out}}{V_{in}} = \frac{\frac{R_S}{1/g_m + R_S} V_{in}}{V_{in}} = \frac{R_S}{1/g_m + R_S} \quad (6.4)$$

이 값은 증폭기란 이름이 어울리지 않기도 1보다 항상 작다. R_S 가 커지면 1에 가까이 갈 뿐이다(다만 부호가 +라서 입력과 출력 위상이 동일하기 때문에 소스를 따라간단 의미에서 소스 폴로워란 이름이 붙었다). 그럼 왜 이런 회로를 쓰는 걸까?

입출력 임피던스 입출력 임피던스를 생각해보자. 입력 임피던스는 게이트에 전류가 흐르지 않음에 따라 무한대이다. 출력 임피던스는 그림 6.10에서 볼 수 있는 것처럼 위쪽으로 $1/g_m$, 아래쪽으로 R_S 가 있으므로 이 둘의 병렬인데, 보통 $1/g_m$ 이 훨씬 작으므로 출력 임피던스는 $1/g_m$ 에 가까운, 그러나 더 작은 값이다. 이 작은 출력 임피던스는 V_{out} 을 받아가는 부하에 전압 신호를 전달하기 유리하다. 다음

그림을 보자. 그림 6.11에서 소스 폴로워의 출력 전압 V_{out} 이 부하 R_L 에 잘 전달 되려면 R_{out} 은 어때야 할까? 0에 가까우면 가까울수록 R_{out} 의 전압 강하가 작아져서 부하에 더 전압이 잘 전달될 것이다. 만약 공통 소스 구성이었다면 어땠을까? 출력 임피던스가 크므로 출력 전압의 상당 부분이 자체 출력 임피던스에서 강하가 일어나버릴 것이다. 이것이 연산 증폭기 같은 전압 출력 회로에서 출력 임피던스가

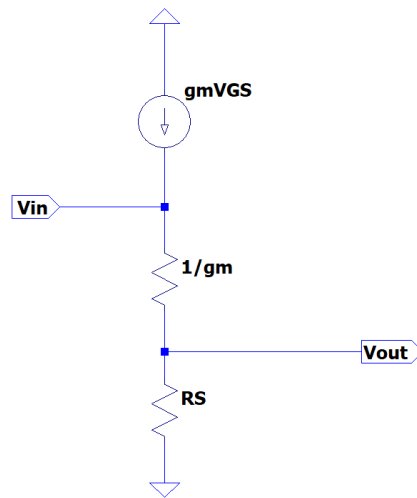


그림 6.10: 소스 폴로워의 T 모델 소신호 등가회로

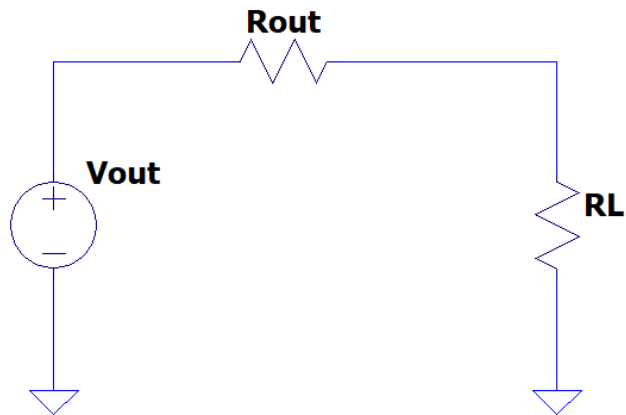


그림 6.11: 부하 저항이 달린 소스 폴로워 테브닌 등가 회로

작아야 하는 이유이다.

6.2.4 중간 정리

위 내용을 정리하면 다음과 같다.

- 공통 게이트 회로: 입력 임피던스 작음, 출력 임피던스 큼, 입출력 전압 위상 같음, 전압 이득 큼
- 공통 소스 회로: 입력 임피던스 큼, 출력 임피던스 큼, 입출력 전압 위상 반대, 전압 이득 큼
- 소스 폴로워 회로: 입력 임피던스 큼, 출력 임피던스 작음, 입출력 전압 위상 같음, 전압 이득 작음

6.2.5 CMOS

집적 회로에서는 면적이 중요하다. 같은 면적 내에서 더 많은 소자를 집어넣어야 한다. 그런데 회로이론에서 흔히 쓴 저항은 이 점에서 매우 불리하다. 면적이 넓기 때문이다. 따라서 크기 대비 큰 저항값을 갖는 무언가가 필요하다. 바로 트랜지스터가 이 역할을 해줄 수 있다. 어떻게 할까? 큰 출력 임피던스인 r_o 를 이용하는 것이다. 바로 다음 그림처럼 말이다. 그림 6.12에서 NMOS 위쪽에 PMOS가 붙어 있다. PMOS는 다루지 않았었으나 전압 관계가 반대로 된다는 것만 기억하면 된다. 이렇게 구성하면 NMOS에서 느끼는 출력 임피던스는 지금까지 무시해왔던 r_o 를 고려하면 NMOS와 PMOS의 출력 임피던스의 병렬인 $r_{on} || r_{op}$ 가 된다. 따라서 작은 면적 대비 큰 임피던스를 만듦으로써 전압 이득도 크게 할 수 있다.

이처럼 한쪽엔 NMOS, 다른 쪽에 PMOS를 이용하는 회로를 상보적 MOS (Complementary MOS) 회로라고 한다. 컴퓨터에서 얘기하는 CMOS가 바로 이런 것이다. 디지털회로에서의 얘기가지만, 플립플롭을 이루는 게이트가 CMOS로 구성되기 때문이다.

전류원으로서의 MOS 한편, 여기서 PMOS에는 일정한 V_{SG} (PMOS라서 소스보다 그라운드 전압이 낮아야 한다)가 공급되고 있으므로, 포화 영역에서 작동한다고 가정하면 독립 전류원이 된다. 만약 이 전류원의 내부 임피던스(여기서는 PMOS의 출력 임피던스 r_{op})가 작다면 어떨까? 자기가 공급하는 전류의 많은 부

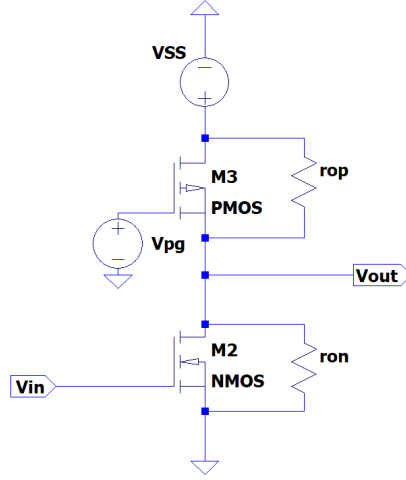


그림 6.12: CMOS 회로

분이 외부로 공급되지 못하고 자기의 내부 임피던스를 타고 버려지게 될 것이다 (노턴 등가회로를 생각해보자). 이것이 이상적인 전류원의 임피던스가 무한대인 이유이다.

캐스코드 만약 MOS의 출력 임피던스 r_o 의 크기가 그래도 부족하다면 어떻게 해야 할까? 다음 회로를 보자. r_o 를 고려한 이 회로에서 R_{out} 은 어떻게 될까? 소 신호 등가 회로로 바뀌서 생각해보자. T 모델을 이용하겠다. 테스트 전류 I_{test} 를 가했을 때 걸리는 전압의 비율을 이용하여 R_{out} 을 구할 것이다. 먼저 이 테스트 전류는 r_o 와 $1/g_m$ 으로 나뉘져 흐르다가 R_S 에서 다시 모일 것이므로 $V_S = R_S I_{test}$ 이다. 다음으로 $1/g_m$ 을 흐르는 전류는 $-g_m R_S I_{test}$ 가 될 것이다. 한편 r_o 를 흐르는 전류는 $I_{ro} = I_{test} - (-g_m R_S I_{test}) = I_{test} + g_m R_S I_{test}$ 이다. 따라서 r_o 의 위쪽인 동시에 I_{test} 의 위쪽 전압 V_{test} 는 다음과 같을 것이다.

$$V_{test} = V_S + r_o I_{ro} = R_S I_{test} + r_o (I_{test} + g_m R_S I_{test})$$

따라서 $R_{out} = \frac{V_{test}}{I_{test}}$ 에서 $R_{out} = R_S + r_o (1 + g_m R_S) = R_S + r_o + g_m R_S r_o$ 가 된다. 즉, R_S 하나, r_o 하나, 그리고 R_S 와 r_o 의 곱은 저항의 제곱 단위이니 저항의 역수인 g_m 을 곱해서 다 더한다고 생각하면 된다. 그런데, 보통 R_S 와 r_o 보다 $g_m R_S r_o$ 가 훨씬 크기 때문에, 근사적으로 $R_{out} \cong g_m R_S r_o$ 이다.

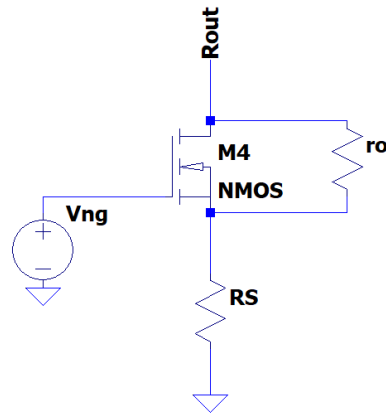


그림 6.13: 소스에 임피던스가 있는 NMOS

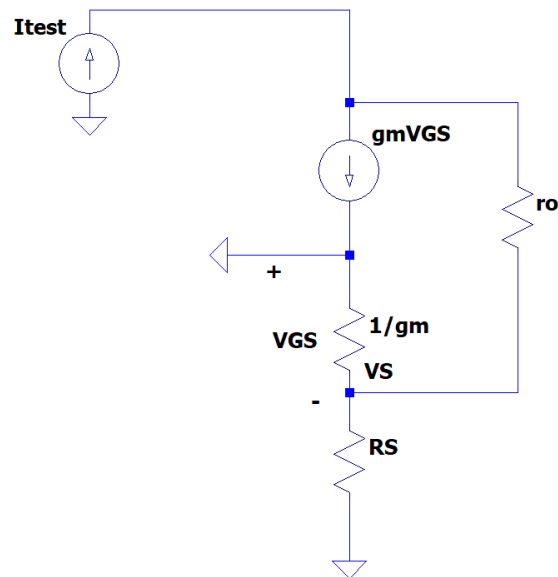


그림 6.14: 그림 6.13의 소신호 등가 회로

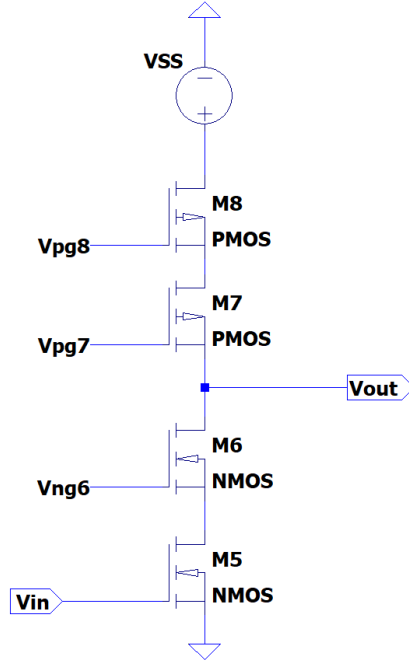


그림 6.15: 캐스코드 회로

이를 이용하여 큰 전압 이득을 갖는 회로를 CMOS로 구성하면 그림 6.15와 같다. 위 회로에서 전달 컨덕턴스는 M5의 전달 컨덕턴스인 g_{m5} 이다. 출력 임피던스는 NMOS쪽의 출력 임피던스인 $r_{on} = g_{m6}r_{o6}r_{o5}$ 과 PMOS쪽의 (근사적인) 출력 임피던스 $r_{op} = g_{m7}r_{o7}r_{o8}$ 의 병렬이다. 따라서

$$R_{out} = r_{on} \parallel r_{op} = g_{m6}r_{o6}r_{o5} \parallel g_{m7}r_{o7}r_{o8}$$

이다.

MOS의 다이오드형 연결 만약 MOS로 작은 임피던스를 만들고 싶다면 어떻게 하면 될까? 그림 6.16을 보자. 이 그림에서 R_{out} 은 어떻게 될 것인가? R_{out} 자리에 테스트 전압 V_{test} 을 가한다고 하자. 그러면 이 테스트 전압에 의해 $V_{GS} = V_{test}$ 가 될 것이고, MOS에 흐르는 전류는 $I_{DS} = g_m V_{test}$ 가 될 것이다. 그리고 게이트를 통해 흐르는 전류는 없으니 테스트 전압이 공급하는 전류는 이 I_D 가 전부이다(r_o 는 무시했다). 따라서 출력 저항 $R_{out} = \frac{V_{test}}{I_D} = \frac{V_{test}}{g_m V_{test}} = 1/g_m$ 이 된다. 이 값은 보통 수십 옴 정도이니 원하는대로 작은 임피던스가 만들어졌다.

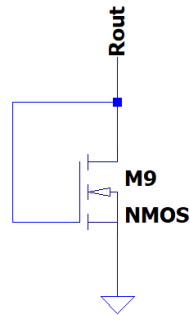


그림 6.16: 다이오드형 연결된 MOS

약간 바뀐 회로인 그림 6.17에 대해 생각해보자. 이 회로의 출력 임피던스는 얼마일까?

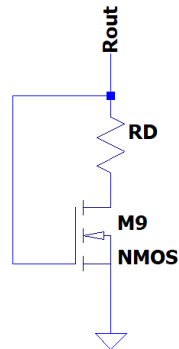


그림 6.17: 변형된 다이오드형 연결된 MOS

6.2.6 바이어싱과 AC 커플링

6.2.7 캐스코드

6.2.8 주파수 응답

6.2.9 피드백

제 7 장

BJT

제 8 장

BJT 회로

제 9 장

JFET과 다른 소자들

제 10 장

OPAMP

제 11 장

각종 응용 회로들