

Lab 2

Exercise 1

Tabella delle latenze per le istruzioni usate in `program_1.s` con la seguente configurazione per la pipeline:

```
INTEGER_ALU_LATENCY = 1
INTEGER_MUL_LATENCY = 1
INTEGER_DIV_LATENCY = 1
FLOAT_ALU_LATENCY = 8
FLOAT_MUL_LATENCY = 24
FLOAT_DIV_LATENCY = 42
```

Istruzione	Latenza	Note
<code>add</code> , <code>addi</code> , <code>slli</code>	1	Integer ALU.
<code>blt</code> , <code>j</code>	1	Vengono ignorati penalty di salto/mispredict. <code>j</code> = <code>jal x0, label</code> .
<code>li</code>	1	Tutti gli immediati sono contenuti in 12 bit ⇒ <code>addi</code> .
<code>la</code>	2	Pseudoistruzione: <code>auipc</code> + <code>addi</code> ⇒ 1 + 1.
<code>lw</code>	1	Hit in L1 (possibile grazie al cache warm up).
<code>f lw</code>	1	Hit in L1 (possibile grazie al cache warm up).
<code>fsw</code>	1	Hit in L1 (possibile grazie al cache warm up).
<code>fsub.s</code>	8	<code>FLOAT_ALU_LATENCY = 8</code>
<code>fmul.s</code>	24	<code>FLOAT_MUL_LATENCY = 24</code>
<code>fdiv.s</code>	42	<code>FLOAT_DIV_LATENCY = 42</code>

Istruzione	Latenza	Note
<code>ecall</code>	n.d.	Trap al sistema; il costo dipende dall'ambiente, tipicamente escluso

Setup fuori dal loop

Istruzione	Cicli
<code>la x1, v1 ... v6 (6x)</code>	2 ciascuna
<code>flw fs0, 0(x1) (6x)</code>	1 ciascuna
<code>la x1, T0</code>	2
<code>lw x2, 0(x1)</code>	1

Totale = 21 cicli

Setup prima del loop

Istruzione	Cicli
<code>li x10, 31</code>	1
<code>li x11, -1</code>	1
<code>la x12 ... x17, v1 ... v6 (6x)</code>	2 ciascuna

Totale = 14 cicli

Corpo del loop (per iterazione; il loop gira 32 volte, `blt` viene eseguita 33 volte)

Istruzione	Cicli
<code>blt x10, x0, End</code>	1
<code>slli x18, x10, 2</code>	1
<code>add x19 ... x24, x12 ... x17, x18 (6x)</code>	1 ciascuna
<code>flw fs1, 0(x19)</code>	1
<code>flw fs2, 0(x20)</code>	1

Istruzione	Cicli
flw fs3, 0(x21)	1
fmul.s fs4, fs1, fs1	24
fsub.s fs4, fs1, fs2	8
fsw fs4, 0(x22)	1
fdiv.s fs5, fs4, fs3	42
fsub.s fs5, fs5, fs2	8
fsw fs5, 0(x23)	1
fsub.s fs6, fs4, fs1	8
fmul.s fs6, fs6, fs5	24
fsw fs6, 0(x24)	1
addi x10, x10, -1	1
j loop	1

Totale = 4161 cicli

Epilogo

Istruzione	Cicli
li a0, 0	1
li a7, 93	1
ecall	n.d.

Totale = 2 cicli

Totale = 4198 cicli

fmul.s passa da 24 → 8 cicli

- Costo per iterazione del loop: 130 → 98 cicli.
- Totale cicli (stesse assunzioni di prima, `ecall` esclusa): 4198 → 3174.
- CPU time a 15 MHz: 0.2799 ms → 0.2116 ms. Speedup ≈ 1.32x.

Corpo del loop - righe da aggiornare

Istruzione	Cicli
fmul.s fs4, fs1, fs1	8
fmul.s fs6, fs6, fs5	8
Totale per iterazione	98

fdiv.s passa da 42 → 14 cicli

- Costo per iterazione del loop: 130 → 102 cicli.
- Totale cicli (stesse assunzioni di prima, `ecall` esclusa): 4198 → 3302.
- CPU time a 15 MHz: 0.2799 ms → 0.2201 ms. Speedup ≈ 1.27x.

Corpo del loop - righe da aggiornare

Istruzione	Cicli
fdiv.s fs5, fs4, fs3	14
Totale per iterazione	102

CPU time by hand

- a. Initial CPU time = $\frac{4198 \text{ cicli}}{15 \text{ MHz}} = 0.2799 \text{ ms}$
- b. CPU time (MUL speeded up) = $\frac{3174 \text{ cicli}}{15 \text{ MHz}} = 0.2116 \text{ ms}$
- c. CPU time(DIV speeded up) = $\frac{3302 \text{ cicli}}{15 \text{ MHz}} = 0.2201 \text{ ms}$

CPU time using the simulator

- a. Initial CPU time = $\frac{3987 \text{ cicli}}{15 \text{ MHz}} = 0.2658 \text{ ms}$
- b. CPU time (MUL speeded up) = $\frac{2963 \text{ cicli}}{15 \text{ MHz}} = 0.1975 \text{ ms}$
- c. CPU time(DIV speeded up) = $\frac{3091 \text{ cicli}}{15 \text{ MHz}} = 0.2061 \text{ ms}$

Exercise 2

$$\text{speedup}_{\text{overall}} = \frac{\text{execution time}_{\text{old}}}{\text{execution time}_{\text{new}}} = \frac{1}{(1 - \text{fraction}_{\text{enhanced}}) + \frac{\text{fraction}_{\text{enhanced}}}{\text{speedup}_{\text{enhanced}}}}$$

By hand

$$\text{execution time}_{\text{old}} = \frac{4198 \text{ cicli}}{15 \text{ MHz}} = 0.2799 \text{ ms}$$

Initial configuration

$$\text{execution time}_{\text{new}} = 0.2799 \text{ ms}$$

$$\text{speedup}_{\text{overall}} = \frac{0.2799 \text{ ms}}{0.2799 \text{ ms}} = 1$$

Configuration 1

- `fsub.s` passa da 8 → 6 cicli.
- `fmul.s` passa da 24 → 20 cicli.
- `fdiv.s` passa da 42 → 38 cicli.
- Totale cicli (stesse assunzioni di prima, `ecall` esclusa): 4198 → 3622.

$$\text{execution time}_{\text{new}} = \frac{3622 \text{ cicli}}{15 \text{ MHz}} = 0.2415 \text{ ms}$$

$$\text{speedup}_{\text{overall}} = \frac{0.2799 \text{ ms}}{0.2415 \text{ ms}} = 1.159$$

Configuration 2

- `fsub.s` passa da 8 → 4 cicli.
- `fmul.s` passa da 24 → 16 cicli.
- `fdiv.s` passa da 42 → 30 cicli.
- Totale cicli (stesse assunzioni di prima, `ecall` esclusa): 4198 → 2918.

$$\text{execution time}_{\text{new}} = \frac{2918 \text{ cicli}}{15 \text{ MHz}} = 0.1945 \text{ ms}$$

$$\text{speedup}_{\text{overall}} = \frac{0.2799 \text{ ms}}{0.1945 \text{ ms}} = 1.439$$

Configuration 3

- `fsub.s` passa da 8 → 2 cicli.
- `fmul.s` passa da 24 → 4 cicli.
- `fdiv.s` passa da 42 → 8 cicli.
- Totale cicli (stesse assunzioni di prima, `ecall` esclusa): 4198 → 1254.

$$\text{execution time}_{\text{new}} = \frac{1254 \text{ cicli}}{15 \text{ MHz}} = 0.0836 \text{ ms}$$

$$\text{speedup}_{\text{overall}} = \frac{0.2799 \text{ ms}}{0.0836 \text{ ms}} = 3.348$$

By simulation

$$\text{execution time}_{\text{old}} = \frac{3987 \text{ cicli}}{15 \text{ MHz}} = 0.2658 \text{ ms}$$

Initial configuration

Totale cicli: 3987.

$$\text{execution time}_{\text{new}} = \frac{3987 \text{ cicli}}{15 \text{ MHz}} = 0.2658 \text{ ms}$$

$$\text{speedup}_{\text{overall}} = \frac{0.2658 \text{ ms}}{0.2658 \text{ ms}} = 1$$

Configuration 1

Totale cicli: 3987 → 3475.

$$\text{execution time}_{\text{new}} = \frac{3475 \text{ cicli}}{15 \text{ MHz}} = 0.2317 \text{ ms}$$

$$\text{speedup}_{\text{overall}} = \frac{0.2658 \text{ ms}}{0.2317 \text{ ms}} = 1.147$$

Configuration 2

Totale cicli: 3987 → 2835.

$$\text{execution time}_{\text{new}} = \frac{2835 \text{ cicli}}{15 \text{ MHz}} = 0.1890 \text{ ms}$$

$$\text{speedup}_{\text{overall}} = \frac{0.2658 \text{ ms}}{0.1890 \text{ ms}} = 1.406$$

Configuration 3

Totale cicli: 3987 → 1235.

$$\text{execution time}_{\text{new}} = \frac{1235 \text{ cicli}}{15 \text{ MHz}} = 0.0823 \text{ ms}$$

$$\text{speedup}_{\text{overall}} = \frac{0.2658 \text{ ms}}{0.0823 \text{ ms}} = 3.230$$