FUJITSU SEMICONDUCTOR
CONTROLLER MANUAL

MN706-00024-1v0-J

32 ビット・マイクロコントローラ

FM3 ファミリ
ペリフェラルマニュアル
通信マクロ編

富士通セミコンダクターのマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

http://edevice.fujitsu.com/micom/jp-support/

富士通セミコンダクター株式会社

ARM®

FUJITSU

はじめに

富士通セミコンダクター製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。
本ファミリをご利用になる前に、『ペリフェラルマニュアル』およびご使用する製品の『データシート』をご一読ください。
尚、本書は、ペリフェラルマニュアルから通信マクロに関する内容を抜きだした別冊として定義しております。

■ 本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作、使い方について解説しています。

※ 本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。
デバイス仕様の詳細については、それぞれのデータシートを参照してください。

■ 商標

ARM is the registered trademark of ARM Limited in the EU and other countries.
Cortex is trademark of ARM Limited in the EU and other countries.

その他の社名および製品名は各社の商標もしくは登録商標です。

■ サンプルプログラムおよび開発環境

FM3 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本シリーズで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

・マイコンサポート情報
http://edevice.fujitsu.com/micom/jp-support/

* : サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。
また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

■ 本書の全体構成

ペリフェラルマニュアル 通信マクロ編には、以下に示す 6 つの章および APPENDIXES から構成されています。

CHAPTER 1-1 : マルチファックションシリアルインタフェース
CHAPTER 1-2 : UART(非同期シリアルインタフェース)
CHAPTER 1-3 : CSIO (クロック同期シリアルインタフェース)
CHAPTER 1-4 : LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))
CHAPTER 1-5 : I^2C インタフェース(I^2C 通信制御インタフェース)
CHAPTER 1-6 : I^2C 補助ノイズフィルタ
CHAPTER 2-1 : USB/Ethernet クロック生成部
CHAPTER 2-2 : USB クロック生成
CHAPTER 2-3 : USB/Ethernet クロック生成

CHAPTER 3-1 : USB ファンクション
CHAPTER 3-2 : USB ホスト
CHAPTER 4 Ethernet
CHAPTER 5-1 : CAN プリスケーラ
CHAPTER 5-2 : CAN コントローラ
CHAPTER 6-1 : HDMI-CEC/リモコン受信
CHAPTER 6-2 : CEC 受信/リモコン受信
CHAPTER 6-3 : CEC 送信
APPENDIXES

- 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。
- 本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。したがいまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。
- 本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権, 著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。
- 本資料に記載された製品は、通常の産業用, 一般事務用, パーソナル用, 家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御, 航空機自動飛行制御, 航空交通管制, 大量輸送システムにおける運行制御, 生命維持のための医療機器, 兵器システムにおけるミサイル発射制御をいう), ならびに極めて高い信頼性が要求される用途 (海底中継器, 宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
- 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故, 火災事故, 社会的な損害を生じさせないよう、お客様は、装置の冗長設計, 延焼対策設計, 過電流防止対策設計, 誤動作防止設計などの安全設計をお願いします。
- 本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。
- 本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

Copyright ©2010-2012 FUJITSU SEMICONDUCTOR LIMITED All rights reserved.

関連マニュアル

FM3 ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。
本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

■ ペリフェラルマニュアル

・**FM3** ファミリ ペリフェラルマニュアル
(以降、『ペリフェラルマニュアル』とよびます。**)**
・**FM3** ファミリ ペリフェラルマニュアル タイマ編
(以降、『タイマ編』とよびます。**)**
・**FM3** ファミリ ペリフェラルマニュアル アナログマクロ編
(以降、『アナログマクロ編』とよびます。**)**
・**FM3** ファミリ ペリフェラルマニュアル 通信マクロ編 **(**本書**)**
(以降、『通信マクロ編』とよびます。**)**
・**FM3** ファミリ ペリフェラルマニュアル **Ethernet** 編
(以降、『**Ethernet** 編』とよびます。**)**

■ データシート

デバイス仕様, 電気的特性, 外形寸法, オーダ型格などの詳細は以下を参照してください。

・**32** ビット **FM3** ファミリ **DATA SHEET**

※ データシートはシリーズごとに用意されています。
お使いのシリーズ用のデータシートを参照してください。

■ CPU プログラミングマニュアル

ARM Cortex-M3 コアの詳細は http://www.arm.com/ から入手できる以下を参照してください。

・**Cortex-M3** テクニカルリファレンスマニュアル
・**ARMv7-M** アーキテクチャ アプリケーション レベル リファレンス マニュアル

■ フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

・**FM3** ファミリ フラッシュプログラミングマニュアル

※本マニュアルはシリーズごとに用意されています。
お使いのシリーズ用のマニュアルを参照してください。

本書の使い方

■ 機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

・目次から探す
本書の内容を記載順に示します。

・レジスタから探す
本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『APPENDIXES』の『A.レジスタマップ』を参照してください。

■ 章について

本書では、通信マクロについて説明しています。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

■ 表記について

・本書のレジスタ説明中のビット構成図では以下のように表記しています。
  ・bit　：ビット番号
  ・Field：ビットフィールド名
  ・属性：各ビットのリード、ライト属性
    ・R　：リードオンリ
    ・W　：ライトオンリ
    ・R/W：リード・ライト可能
    ・-　：未定義
  ・初期値：リセット直後のレジスタ初期値
    ・0：初期値"0"
    ・1：初期値"1"
    ・X：初期値不定

・本書では、複数のビットを以下のように表記しています。
例：bit7 から bit0 の場合は bit7:0

・本書では、アドレスなどの数値を以下のように表記しています。
  ・16 進数：プレフィックス(接頭辞)として"0x"を付けて表記しています(例：0xFFFF)。
  ・2 進数：プレフィックス(接頭辞)として"0b"を付けて表記しています(例：0b1111)。
  ・10 進数：数値だけで表記しています(例：1000)。

■ 本マニュアルにおける対象製品

・本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE0"などの表記は、以下の一覧の製品に置き換えてお読みください。

表 1 TYPE0 型格一覧

本書での表記	フラッシュメモリサイズ			
	512Kbyte	384Kbyte	256Kbyte	128Kbyte
TYPE0	MB9BF506N MB9BF506R MB9BF506NA MB9BF506RA MB9BF506NB MB9BF506RB	MB9BF505N MB9BF505R MB9BF505NA MB9BF505RA MB9BF505NB MB9BF505RB	MB9BF504N MB9BF504R MB9BF504NA MB9BF504RA MB9BF504NB MB9BF504RB	-
	MB9BF406N MB9BF406R MB9BF406NA MB9BF406RA	MB9BF405N MB9BF405R MB9BF405NA MB9BF405RA	MB9BF404N MB9BF404R MB9BF404NA MB9BF404RA	-
	MB9BF306N MB9BF306R MB9BF306NA MB9BF306RA MB9BF306NB MB9BF306RB	MB9BF305N MB9BF305R MB9BF305NA MB9BF305RA MB9BF305NB MB9BF305RB	MB9BF304N MB9BF304R MB9BF304NA MB9BF304RA MB9BF304NB MB9BF304RB	-
	MB9BF106N MB9BF106R MB9BF106NA MB9BF106RA	MB9BF105N MB9BF105R MB9BF105NA MB9BF105RA	MB9BF104N MB9BF104R MB9BF104NA MB9BF104RA	MB9BF102N MB9BF102R MB9BF102NA MB9BF102RA
	-	MB9AF105N MB9AF105R MB9AF105NA MB9AF105RA	MB9AF104N MB9AF104R MB9AF104NA MB9AF104RA	MB9AF102N MB9AF102R MB9AF102NA MB9AF102RA

表 2 TYPE1 型格一覧

本書での表記	フラッシュメモリサイズ				
	512Kbyte	384Kbyte	256Kbyte	128Kbyte	64Kbyte
TYPE1	MB9AF316M MB9AF316N	MB9AF315M MB9AF315N	MB9AF314L MB9AF314M MB9AF314N	MB9AF312L MB9AF312M MB9AF312N	MB9AF311L MB9AF311M MB9AF311N
	MB9AF116M MB9AF116N	MB9AF115M MB9AF115N	MB9AF114L MB9AF114M MB9AF114N	MB9AF112L MB9AF112M MB9AF112N	MB9AF111L MB9AF111M MB9AF111N

表 3 TYPE2 型格一覧

本書での表記	フラッシュメモリサイズ		
	1Mbyte	768Kbyte	512Kbyte
TYPE2	MB9BFD18S MB9BFD18T	MB9BFD17S MB9BFD17T	MB9BFD16S MB9BFD16T
	MB9BF618S MB9BF618T	MB9BF617S MB9BF617T	MB9BF616S MB9BF616T
	MB9BF518S MB9BF518T	MB9BF517S MB9BF517T	MB9BF516S MB9BF516T
	MB9BF418S MB9BF418T	MB9BF417S MB9BF417T	MB9BF416S MB9BF416T
	MB9BF318S MB9BF318T	MB9BF317S MB9BF317T	MB9BF316S MB9BF316T
	MB9BF218S MB9BF218T	MB9BF217S MB9BF217T	MB9BF216S MB9BF216T
	MB9BF118S MB9BF118T	MB9BF117S MB9BF117T	MB9BF116S MB9BF116T

表 4 TYPE3 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE3	MB9AF132K MB9AF132L	MB9AF131K MB9AF131L
	MB9AF132KA MB9AF132LA	MB9AF131KA MB9AF131LA

表 5 TYPE4 型格一覧

本書での表記	フラッシュメモリサイズ			
	512Kbyte	384Kbyte	256Kbyte	128Kbyte
TYPE4	MB9BF516N MB9BF516R	MB9BF515N MB9BF515R	MB9BF514N MB9BF514R	MB9BF512N MB9BF512R
	MB9BF416N MB9BF416R	MB9BF415N MB9BF415R	MB9BF414N MB9BF414R	MB9BF412N MB9BF412R
	MB9BF316N MB9BF316R	MB9BF315N MB9BF315R	MB9BF314N MB9BF314R	MB9BF312N MB9BF312R
	MB9BF116N MB9BF116R	MB9BF115N MB9BF115R	MB9BF114N MB9BF114R	MB9BF112N MB9BF112R

表 6 TYPE5 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE5	MB9AF312K	MB9AF311K
	MB9AF112K	MB9AF111K

表 7 TYPE6 型格一覧

本書での表記	フラッシュメモリサイズ		
	256Kbyte	128Kbyte	64Kbyte
TYPE6	MB9AFB44L MB9AFB44M MB9AFB44N	MB9AFB42L MB9AFB42M MB9AFB42N	MB9AFB41L MB9AFB41M MB9AFB41N
	MB9AFA44L MB9AFA44M MB9AFA44N	MB9AFA42L MB9AFA42M MB9AFA42N	MB9AFA41L MB9AFA41M MB9AFA41N
	MB9AF344L MB9AF344M MB9AF344N	MB9AF342L MB9AF342M MB9AF342N	MB9AF341L MB9AF341M MB9AF341N
	MB9AF144L MB9AF144M MB9AF144N	MB9AF142L MB9AF142M MB9AF142N	MB9AF141L MB9AF141M MB9AF141N

表 8 TYPE7 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE7	MB9AFA32L MB9AFA32M MB9AFA32N	MB9AFA31L MB9AFA31M MB9AFA31N
	MB9AF132M MB9AF132N	MB9AF131M MB9AF131N

目次

CHAPTER 1-1: マルチファンクションシリアルインタフェース 1
1. マルチファンクションシリアルインタフェースの概要 2
CHAPTER 1-2: UART(非同期シリアルインタフェース)..... 5
1. UART (非同期シリアルインタフェース)の概要 6
2. UART の割込み 7
2.1. 受信割込み発生とフラグセットのタイミング 8
2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 10
2.3. 送信割込み発生とフラグセットのタイミング 12
2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 13
3. UART の動作 14
4. 専用ボーレートジェネレータ 22
4.1. ボーレート設定 23
5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー 27
6. 動作モード 1(非同期マルチプロセッサモード)設定手順と
プログラムフロー 30
7. UART(非同期シリアルインタフェース)のレジスタ 34
7.1. シリアル制御レジスタ(SCR) 35
7.2. シリアルモードレジスタ(SMR) 38
7.3. シリアルステータスレジスタ(SSR)..... 41
7.4. 拡張通信制御レジスタ(ESCR)..... 44
7.5. 受信データレジスタ/送信データレジスタ(RDR/TDR)..... 47
7.6. ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 49
7.7. FIFO 制御レジスタ 1(FCR1)..... 51
7.8. FIFO 制御レジスタ 0(FCR0)..... 54
7.9. FIFO バイトレジスタ(FBYTE)..... 58
CHAPTER 1-3: CSIO (クロック同期シリアルインタフェース) 61
1. CSIO (クロック同期シリアルインタフェース)の概要 62
2. CSIO (クロック同期シリアルインタフェース)の割込み..... 63
2.1. 受信割込み発生とフラグセットのタイミング 64
2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 66
2.3. 送信割込み発生とフラグセットのタイミング 68
2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 69
3. CSIO (クロック同期シリアルインタフェース)の動作 70
3.1. ノーマル転送(Ⅰ)..... 70
3.2. ノーマル転送(Ⅱ)..... 75
3.3. SPI 転送(Ⅰ) 80
3.4. SPI 転送(Ⅱ) 85
4. 専用ボーレートジェネレータ 90
4.1. ボーレート設定 91

4.2. CSIO(クロック同期シリアルインタフェース)設定手順と
プログラムフロー 93
5. CSIO (クロック同期シリアルインタフェース)のレジスタ 95
5.1. シリアル制御レジスタ(SCR) 96
5.2. シリアルモードレジスタ(SMR) 99
5.3. シリアルステータスレジスタ(SSR) 102
5.4. 拡張通信制御レジスタ(ESCR) 104
5.5. 受信データレジスタ/送信データレジスタ(RDR/TDR) 106
5.6. ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 108
5.7. FIFO 制御レジスタ 1(FCR1) 110
5.8. FIFO 制御レジスタ 0(FCR0) 113
5.9. FIFO バイトレジスタ(FBYTE) 117

CHAPTER 1-4: LIN インタフェース(v2.1)
(LIN 通信制御インタフェース(v2.1)) 119
1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要 120
2. LIN インタフェース(v2.1)の割込み 121
2.1. 受信割込み発生とフラグセットのタイミング 122
2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング 124
2.3. 送信割込み発生とフラグセットのタイミング 126
2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング 127
3. 専用ボーレートジェネレータ 128
3.1. ボーレート設定 129
4. LIN インタフェース(v2.1)の動作 133
5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー 143
6. LIN インタフェース(v2.1)のレジスタ 148
6.1. シリアル制御レジスタ(SCR) 149
6.2. シリアルモードレジスタ(SMR) 153
6.3. シリアルステータスレジスタ(SSR) 155
6.4. 拡張通信制御レジスタ(ESCR) 159
6.5. 受信データレジスタ/送信データレジスタ(RDR/TDR) 161
6.6. ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 163
6.7. FIFO 制御レジスタ 1(FCR1) 165
6.8. FIFO 制御レジスタ 0(FCR0) 168
6.9. FIFO バイトレジスタ(FBYTE) 169

CHAPTER 1-5: I^2C インタフェース(I^2C 通信制御インタフェース) 175
1. I^2C インタフェース(I^2C 通信制御インタフェース)の概要 176
2. I^2C インタフェースの割込み 177
2.1. I^2C インタフェースの動作 179
2.2. マスタモード 180
2.3. スレーブモード 211
2.4. バスエラー 220
3. 専用ボーレートジェネレータ 221
4. I^2C の通信動作フローチャート例 223
5. I^2C インタフェースのレジスタ 230

5.1. I²C バス制御レジスタ(IBCR) 231
5.2. シリアルモードレジスタ(SMR) 238
5.3. I²C バスステータスレジスタ(IBSR) 240
5.4. シリアルステータスレジスタ(SSR) 245
5.5. 受信データレジスタ/送信データレジスタ(RDR/TDR) 249
5.6. 拡張 I²C バス制御レジスタ (EIBCR) 251
5.7. 7 ビットスレーブアドレスマスクレジスタ(ISMK) 253
5.8. 7 ビットスレーブアドレスレジスタ(ISBA) 254
5.9. ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0) 255
5.10. FIFO 制御レジスタ 1(FCR1) 256
5.11. FIFO 制御レジスタ 0(FCR0) 259
5.12. FIFO バイトレジスタ(FBYTE) 264

CHAPTER 1-6: I²C 補助ノイズフィルタ 267
1. 概要・構成 268
2. I²C 補助ノイズフィルタのレジスタ 269
2.1. I²C 補助ノイズフィルタ設定レジスタ(I2CDNF) 270

CHAPTER 2-1: USB/Ethernet クロック生成部 273
1. 概要・構成 274

CHAPTER 2-2: USB クロック生成 275
1. 概要 276
2. 構成・ブロックダイヤグラム 277
3. 動作説明 279
4. 設定手順例 282
5. レジスター覧 283
5.1. USB クロック制御レジスタ(UCCR) 284
5.2. USB-PLL 制御レジスタ 1(UPCR1) 285
5.3. USB-PLL 制御レジスタ 2(UPCR2) 286
5.4. USB-PLL 制御レジスタ 3(UPCR3) 287
5.5. USB-PLL 制御レジスタ 4(UPCR4) 288
5.6. USB-PLL 制御レジスタ 5(UPCR5) 290
5.7. USB-PLL 状態レジスタ(UP_STR) 292
5.8. USB-PLL 割込み要因イネーブルレジスタ(UPINT_ENR) 293
5.9. USB-PLL 割込み要因状態レジスタ(UPINT_STR) 294
5.10. USB-PLL 割込み要因クリアレジスタ(UPINT_CLR) 295
5.11. USB 許可レジスタ(USBEN) 296
6. 使用上の注意点 297

CHAPTER 2-3: USB/Ethernet クロック生成 299
1. 概要 300
2. 構成・ブロックダイヤグラム 301
3. 動作説明 303
4. 設定手順例 305
5. レジスター覧 306

5.1. USB/Ethernet クロック設定レジスタ(UCCR) 307
5.2. USB/Ethernet-PLL 設定レジスタ 1(UPCR1) 309
5.3. USB/Ethernet-PLL 設定レジスタ 2(UPCR2) 310
5.4. USB/Ethernet-PLL 設定レジスタ 3(UPCR3) 311
5.5. USB/Ethernet-PLL 設定レジスタ 4(UPCR4) 312
5.6. USB/Ethernet-PLL 設定レジスタ 5(UPCR5) 313
5.7. USB/Ethernet-PLL 設定レジスタ 6(UPCR6) 314
5.8. USB/Ethernet-PLL 設定レジスタ 7(UPCR7) 315
5.9. USB/Ethernet-PLL 状態レジスタ(UP_STR) 316
5.10. USB/Ethernet-PLL 割込み要因イネーブルレジスタ(UPINT_ENR) 317
5.11. USB/Ethernet-PLL 割込み要因状態レジスタ(UPINT_STR) 318
5.12. USB/Ethernet-PLL 割込み要因クリアレジスタ(UPINT_CLR) 319
5.13. USB(ch.0)許可レジスタ(USBEN0) 320
5.14. USB(ch.1)許可レジスタ(USBEN1) 321
6. 使用上の注意点 322

CHAPTER 3-1: USB ファンクション 323
1. USB ファンクションの概要 324
1.1. USB ファンクションの特長 324
2. USB ファンクションの構成 325
3. USB ファンクションの動作説明 327
3.1. USB ファンクションの動作 328
3.2. 接続検出と切断検出 331
3.3. コマンド応答時の各レジスタ動作 334
3.4. サスペンド機能 336
3.5. ウェイクアップ機能 337
3.6. DMA 転送機能 339
3.7. NULL 転送機能 343
3.8. エンドポイント 0 の STALL 応答/解除 344
3.9. エンドポイント 1～5 の STALL 応答/解除 346
4. USB ファンクションの設定手順例 350
5. USB ファンクションのレジスタ 357
5.1. UDC 制御レジスタ(UDCC) 359
5.2. EP0 制御レジスタ(EP0C) 362
5.3. EP1～5 制御レジスタ(EP1C～EP5C) 364
5.4. タイムスタンプレジスタ(TMSP) 368
5.5. UDC ステータスレジスタ(UDCS) 369
5.6. UDC 割込み許可レジスタ(UDCIE) 372
5.7. EP0I ステータスレジスタ(EP0IS) 374
5.8. EP0O ステータスレジスタ(EP0OS) 376
5.9. EP1～5 ステータスレジスタ(EP1S～EP5S) 379
5.10. EP0～5 データレジスタ(EP0DTH～EP5DTH/ EP0DTL～EP5DTL) 383

CHAPTER 3-2: USB ホスト 385
1. USB ホストの概要 386
2. USB ホストの構成 388

3. USB ホストの動作説明 389
3.1. デバイスの接続 390
3.2. USB バスのリセット 392
3.3. トークンパケット 393
3.4. データパケット 396
3.5. ハンドシェークパケット 397
3.6. リトライ機能 398
3.7. SOF 割込み 399
3.8. エラーステータス 401
3.9. パケット終了 402
3.10. サスペンド・リジューム 403
3.11. デバイスの切断 406
4. USB ホストの設定手順例 407
5. USB ホストのレジスタ 412
5.1. ホストコントロールレジスタ 0, 1(HCNT) 414
5.2. ホスト割込みレジスタ(HIRQ) 419
5.3. ホストエラーステータスレジスタ(HERR) 423
5.4. ホスト状態ステータスレジスタ(HSTATE) 426
5.5. SOF 割込み FRAME 比較レジスタ(HFCOMP) 429
5.6. リトライタイマ設定レジスタ(HRTIMER) 430
5.7. ホストアドレスレジスタ(HADR) 431
5.8. EOF 設定レジスタ(HEOF) 432
5.9. FRAME 設定レジスタ(HFRAME) 433
5.10. ホストトークンエンドポイントレジスタ(HTOKEN) 434

CHAPTER 4: Ethernet 437

CHAPTER 5-1: CAN プリスケーラ 439
1. 概要・構成 440
2. CAN プリスケーラのレジスタ 441
2.1. CAN プリスケーラレジスタ (CANPRE) 442

CHAPTER 5-2: CAN コントローラ 443
1. 概要 444
2. 構成 445
3. CAN コントローラの動作説明 446
3.1. メッセージオブジェクト 447
3.2. メッセージ送信動作 449
3.3. メッセージ受信動作 452
3.4. FIFO バッファ機能 455
3.5. 割込み機能 457
3.6. ビットタイミング 458
3.7. テストモード 460
3.8. ソフトウェア初期化 464
4. CAN コントローラのレジスタ 465
4.1. CAN レジスタ機能 468
4.2. 全体コントロールレジスタ 469

4.2.1. CAN 制御レジスタ (CTRLR) 470
4.2.2. CAN ステータスレジスタ (STATR) 474
4.2.3. CAN エラーカウンタ (ERRCNT) 477
4.2.4. CAN ビットタイミングレジスタ (BTR) 479
4.2.5. CAN 割込みレジスタ (INTR) 480
4.2.6. CAN テストレジスタ (TESTR) 482
4.2.7. CAN プリスケーラ拡張レジスタ(BRPER) 484
4.3. メッセージインタフェースレジスタ 485
4.3.1. IFx コマンド要求レジスタ (IFxCREQ) 486
4.3.2. IFx コマンドマスクレジスタ (IFxCMSK) 488
4.3.3. IFx マスクレジスタ 1, 2 (IFxMSK1, IFxMSK2) 493
4.3.4. IFx アービトレーションレジスタ 1, 2 (IFxARB1, IFxARB2) 494
4.3.5. IFx メッセージ制御レジスタ(IFxMCTR) 495
4.3.6. IFx データレジスタ A1, A2, B1, B2 (IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2) 496
4.4. メッセージオブジェクト 497
4.5. メッセージハンドラレジスタ 503
4.5.1. CAN 送信要求レジスタ (TREQR1, TREQR2) 504
4.5.2. CAN データ更新レジスタ (NEWDT1, NEWDT2) 506
4.5.3. CAN 割込みペンディングレジスタ(INTPND1, INTPND2) 508
4.5.4. CAN メッセージ有効レジスタ (MSGVAL1, MSGVAL2) 510
5. 補足 511

CHAPTER 6-1: HDMI-CEC/リモコン受信 513
1. 構成 514

CHAPTER 6-2: CEC 受信/リモコン受信 515
1. 概要 516
2. 構成 517
3. 動作説明 518
4. 設定例 521
5. レジスタ 522
5.1. 受信制御レジスタ(RCCR) 523
5.2. 受信割込み制御レジスタ(RCST) 525
5.3. デバイスアドレス設定レジスタ 1, 2(RCADR1, RCADR2) 527
5.4. スタートビット"H"幅設定レジスタ(RCSHW) 528
5.5. "H"幅設定レジスタ A (RCDAHW) 529
5.6. "H"幅設定レジスタ B (RCDBHW) 530
5.7. データ格納レジスタ(RCDTHH, RCDTHL, RCDTLH, RCDTLL) 531
5.8. クロック分周設定レジスタ(RCCKD) 532
5.9. リピートコード割込み制御レジスタ(RCRC) 533
5.10. リピートコード"H"幅設定レジスタ(RCRHW) 534
5.11. データビット幅違反制御レジスタ(RCLE) 535
5.12. 最大データビット幅設定レジスタ(RCLELW) 537
5.13. 最小データビット幅設定レジスタ(RCLESW) 538

CHAPTER 6-3: CEC 送信 539
1. CEC 送信の概要 540
2. CEC 送信回路のブロックダイヤグラム 541
3. CEC 送信割込み 542
4. CEC 送信のレジスター覧 543
5. CEC 送信の動作説明 544
5.1. CEC 送信動作 545
5.2. 割込み要因とタイミングチャート 546
5.3. アービトレーションロスト検出 547
5.4. シグナルフリー検出 548
5.5. フィルタ機能 549
5.6. CEC 送信動作フロー 550
6. CEC 送信のレジスタセット 556
6.1. 送信制御レジスタ(TXCTRL) 530
6.2. 送信データレジスタ(TXDATA) 535
6.3. 送信ステータスレジスタ(TXSTS) 539
6.4. シグナルフリー時間設定レジスタ(SFREE) 542
APPENDIXES 559
A. レジスタマップ 560
1. レジスタマップ 561
B. 注意事項一覧 607
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 608
C. 制限事項一覧 610
1. TYPE0 製品制限事項一覧 611
2. TYPE1 製品制限事項一覧 614
D. 製品 TYPE 一覧 616
1. 製品 TYPE 一覧 617

本版での主な変更内容

本版よりペリフェラルマニュアルから機能抜き出してを分冊(タイマ編, アナログマクロ編, 通信マクロ編)しております。

変更箇所は、本文中のページ左側の | によって示しています。
(通信マクロ編)

ページ	場所	変更箇所
-	-	TYPE6, TYPE7 を追加
23	CHAPTER 1-2: UART(非同期シリアルインタフェース) 4.　専用ボーレートジェネレータ	「■ボーレートの計算」 「(3)ボーレートの誤差」 計算式を訂正
67	CHAPTER 1-3: CSIO (クロック同期シリアルインタフェース) 2.　CSIO(クロック同期シリアルインタフェース)の割込み 2.2.　受信 FIFO 使用時の割込み発生とフラグセットのタイミング	図 2-4 を訂正
173	CHAPTER 1-4: LIN インタフェース(v2.1)(LIN 通信インタフェース(v2.1)) 6.9　FIFO バイトレジスタ(FBYTE)	<注意事項>に説明文を追加
251, 252	CHAPTER 1-5: I^2C インタフェース(I^2C 通信制御インタフェース 5.6 拡張I^2Cバス制御レジスタ(EIBCR)	「5.6 拡張 I2C バス制御レジスタ(EIBCR)」を追加
279	CHAPTER 2-2: USB クロック生成 3.動作説明	「● USB-PLL 出力クロック」 TYPE6 製品の説明を追加
280		「●USB-PLL 出力クロック」 表 3-1 PLL 分周比設定例 を訂正
288	5.5.USB-PLL 制御レジスタ 4(UPCR4)	TYPE6 製品の説明を追加
290, 291	5.6.USB-PLL 制御レジスタ 5(UPCR5)	製品タイプごとの説明に変更
513, 514	CHAPTER 6-1: HDMI-CEC/リモコン受信	「CHAPTER 6-1: HDMI-CEC/リモコン受信」の章を追加
515～538	CHAPTER 6-2: CEC/リモコン受信	「CHAPTER 6-2: CEC/リモコン受信」の章を追加
539～557	CHAPTER 6-3: CEC 送信	「CHAPTER 6-3: CEC 送信」の章を追加
570	APPENDIXES A.レジスタマップ PPG	IGBTC レジスタを追加
576	10bit D/AC	10bitD/AC のレジスタマップを追加

ページ	場所	変更箇所
579	INT-Req READ	「■TYPE3/TYPE7 製品以外」 IRQ27MON,IRQ36MON,IRQ37MON レジスタの初期値を訂正
581	INT-Req READ	「■TYPE3/TYPE7 製品」 IRQ29MON,IRQ30MON,IRQ31MON レジスタの初期値を訂正
582	LCDC	LCDC のレジスタマップを追加
587	GPIO	SPSR レジスタの初期値を訂正
588		EPFR14 レジスタの初期値を訂正
590	HDMI-CEC/Remote Control Receiver	「HDMI-CEC/Remote Control Receiver」のレジスタマップを追加
592	DS_Mode	Base_Address のアドレス値を変更
		REG_CTL, RCK_CTL レジスタを追加
		WIFSR,WIER レジスタの初期値を訂正
597, 598	RTC	RTC のレジスタマップを TYPE3/TYPE4/TYPE5 製品と TYPE6/TYPE7 製品に分割
612	C.　制限事項一覧 1.　TYPE0 製品 制限事項一覧	MFS の FBYTE 設定数に関する注意事項を追加
614	2.　TYPE1 製品 制限事項一覧	「2. TYPE1 製品 制限事項一覧」を追加
617～619	D.　製品 TYPE 一覧 1.　製品 TYPE 一覧	表 1, 表 4 に型格を追加 TYPE6, TYPE7 製品の型格一覧を追加(表 7, 表 8)

前版は表紙右上の番号が MN706-00002-4v1-J です。

(ペリフェラルマニュアル)

ページ	場所	変更箇所
-	-	TYPE6, TYPE7 を追加
6	CHAPTER 1: システム概要 1.3　メモリマップ	図 1-2 メモリマップを訂正
7～9	1.4　ペリフェラル・アドレスマップ	表 1-1 ペリフェラル・アドレスマップを訂正
26	CH1APTER 2-1: クロック 3.3　PLL クロック制御	「■メイン PLL クロック生成のための逓倍率設定」 表 3-4 に TYPE7 の設定例を追加 表 3-5 に TYPE6 の設定例を追加
59	CHAPTER 2-2: 高速 CR トリミング 2　高速 CR トリミング機能 構成・ブロックダイヤグラム	図 2-1 にベースタイマを追加
		「■構成」の「●高速 CR 発振器」,「●高速 CR トリミング制御回路/レジスタ部」,「●多機能タイマ　インプットキャプチャ/ベースタイマ」のベースタイマの説明文を追加
62, 64～67	4 高速 CR トリミング機能 設定手順例	「■周波数トリミングデータ算出方法」 TYPE6 製品の説明を追加
67		「■ベースタイマを用いたトリミングデータ取得例」を新規追加
68		「■周波数トリミング手順例」を変更 図 4-6 を変更
71		「■Xtrm 算出手順例 (TYPE6 製品)」を追加
76～79	5.2 高速 CR 発振 周波数トリミング設定レジスタ (MCR_FTRM)	TYPE3,TYPE7 製品の MCR_FTRM レジスタ初期値を訂正 TYPE6 製品の説明を追加

ページ	場所	変更箇所
103～122	CHAPTER 4: リセット	製品 TYPE の追加
110	3.1　リセット要因	「■ディープスタンバイ遷移リセット(DSTR)」 ディープスタンバイ遷移リセットで初期化されない 機能とレジスタに"HDMI-CEC/リモコン受信"を追加
124	CHAPTER 5-1: 低電圧検出構成 1　構成	参照する章の説明を削除し、「■低電圧検出参照章」を追加
-	CHAPTER 5-2: 低電圧検出(A)	Chapter 名を変更 低電圧検出　→　低電圧検出(A)
-	CHAPTER 5-3: 低電圧検出(B)	Chapter 名を変更 低電圧検出(TYPE3 製品)　→　低電圧検出(B)
142	1.　概要	「●低電圧リセット回路の動作」と「●低電圧割込み回路の動作」の説明文を訂正 スタンバイモード時　→　スタンバイモード時、ディープスタンバイモード時
145, 146	3.　動作説明	「●回路動作説明」の説明文を訂正 設定された電源電圧(VCC)が　→　電源電圧(VCC)が設定された
145, 146		説明文を下記のように訂正 スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。 → スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード)、ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。
151	5.1 低電圧検出電圧設定レジスタ(LVD_CTL)	「5.1 低電圧検出電圧設定レジスタ(LVD_CTL)」のサマリ文を訂正 LVDRE の初期値を訂正
153		<注意事項>を訂正 「本レジスタの bit15～8 は TYPE3 製品のみにあります。」を削除 本レジスタの bit7～0 は → 本レジスタは
157	5.5.　低電圧検出割込み要因クリアレジスタ(LVD_STR2)	[bit5:0] 予約ビットを訂正 "読出し値は不定です。　→　読出しは常に"0"が読み出されます。
159～176	CHAPTER 5-4: 低電圧検出(C)	「CHAPTER 5-4: 低電圧検出(C)」の章を追加
179	CHAPTER 6: 低消費電力モード 1.低消費電力モードの概要	「■製品 TYPE 別の低消費電力モード」を変更 表 1-1 に TYPE6,7 を追加 表 1-2 を追加
211, 212	5. ディープスタンバイモードの動作説明	表 5-2, 表 5-3 に HDMI-CEC/リモコン受信を追加
213		「5.1 ディープスタンバイ RTC モードの動作」を変更 HDMI-CEC/リモコン受信の動作を追加
220	8. 低消費電力モードのレジスタ一覧	「サブ発振回路電源制御レジスタ(REG_CTL)」,「サブクロック供給制御レジスタ(RCK_CTL)」を追加
223	8.2 サブ発振回路電源制御レジスタ(REG_CTL)	「8.2 サブ発振回路電源制御レジスタ(REG_CTL)」を追加

ページ	場所	変更箇所
224	8.3 サブクロック供給制御レジスタ(RCK_CTL)	「8.3 サブクロック供給制御レジスタ(RCK_CTL)」を追加
227, 228	8.6 ディープスタンバイ復帰要因レジスタ 2(WIFSR)	WCEC0I/WCEC1I,WUI5/WUI4 ビットを追加
229, 230	8.7 ディープスタンバイ復帰許可レジスタ(WIER)	WCEC0E/WCEC1E,WUI5E/WUI4E ビットを追加
234	9. 使用上の注意	「9. 使用上の注意」を追加
236	CHAPTER 7-1: 割込み構成) 1. 構成	「■割込みコントローラ参照章」を変更 表 1-1 に TYPE6/TYPE7 製品を追加
		「■割込み要因ベクタリロケート機能」を変更
237, 238		表 1-2 ベクタ No.43,52,53,63 を訂正
-	CHAPTER 7-2: 割込み(A)	Chapter 名を変更 割込み → 割込み(A)
243	3. 例外と割込み要因ベクタ	表 3-1 ベクタ No.43,52,53,63 を訂正
271	4.16. IRQ25/26 一括読出しレジスタ(IRQxxMON)	IRQ27MON の記載を削除
272	4.17. IRQ27 一括読出しレジスタ (IRQ27MON)	「4.17. IRQ27 一括読出しレジスタ (IRQ27MON)」を追加
285	4.26. IRQ36 一括読出しレジスタ (IRQ36MON)	[bit5] RCEC0INT を追加
286	4.27. IRQ37 一括読出しレジスタ (IRQ37MON)	[bit6] RCEC1INT を追加
291	4.30. IRQ47 一括読出しレジスタ (IRQ47MON)	[bit11] FLASHINT を追加
-	CHAPTER 7-3: 割込み(B)	Chapter 名を変更 割込み(割込み要因ベクタリロケート選択時) → 割込み(B)
301, 302	3. 例外と割込み要因ベクタ	表 3-1 ベクタ No.43, 52, 53, 63 を訂正
325	4.16. IRQ25/26 一括読出しレジスタ(IRQxxMON)	IRQ27MON の記載を削除
326	4.17. IRQ27 一括読出しレジスタ (IRQ27MON)	「4.17. IRQ27 一括読出しレジスタ (IRQ27MON)」を追加
335	4.24. IRQ36 一括読出しレジスタ (IRQ36MON)	[bit5] RCEC0INT を追加
336	4.25. IRQ37 一括読出しレジスタ (IRQ37MON)	[bit6] RCEC1INT を追加
342	4.29. IRQ47 一括読出しレジスタ (IRQ47MON)	[bit11] FLASHINT を追加
-	CHAPTER 7-4: 割込み(C)	Chapter 名を変更 割込み(TYPE3 製品) → 割込み(C)
376	4.17. IRQ29 一括読出しレジスタ(IRQ29MON)	[bit4] LCDCINT を追加
377	4.18. IRQ30 一括読出しレジスタ(IRQ30MON)	[bit5] RCEC0INT を追加
378	4.19. IRQ31 一括読出しレジスタ(IRQ31MON)	[bit6] RCEC1INT を追加
452	CHAPTER 10: I/O ポート 1. 概要	「・ 特殊 I/O ポート」を変更 10 ビット DA コンバータ, LCD コントローラの端子を追加

ページ	場所	変更箇所
454, 455	2. 構成・ブロックダイヤグラム・動作説明	図 2-1 を訂正 図 2-1 の説明文, <注意事項>を訂正
499	4.12. 拡張機能端子設定レジスタ 04(EPFR04)	[bit6:4] TIOB0S の設定を訂正
543	4.22. 拡張機能端子設定レジスタ 14(EPFR14)	[bit31:30]に CEC1B/CEC0B を追加
551, 552	4.24. 特殊ポート設定レジスタ(SPSR)	[bit3:2]MAINXC の設定を追加 [bit1:0]SUBXC の設定を追加
623	CHAPTER 12: 外部バスインタフェース 7. 使用上の注意	「●MCU タイプと各機能の設定について」 表 7-2 を訂正
635～639	CHAPTER 15: ユニーク ID レジスタ	「ユニーク ID レジスタ」の章を追加
652	APPENDIXES A.レジスタマップ PPG	IGBTC レジスタを追加
658	10bit D/AC	10bitD/AC のレジスタマップを追加
660～662	INT-Req READ	「■TYPE3/TYPE7 製品以外」 IRQ27MON,IRQ36MON,IRQ37MON レジスタの初期値を訂正
663	INT-Req READ	「■TYPE3/TYPE7 製品」 IRQ29MON,IRQ30MON,IRQ31MON レジスタの初期値を訂正
664	LCDC	LCDC のレジスタマップを追加
669	GPIO	SPSR レジスタの初期値を訂正
670		EPFR14 レジスタの初期値を訂正
672	HDMI-CEC/Remote Control Receiver	「HDMI-CEC/Remote Control Receiver」のレジスタマップを追加
674	DS_Mode	Base_Address のアドレス値を変更
		REG_CTL, RCK_CTL レジスタを追加
		WIFSR,WIER レジスタの初期値を訂正
679, 680	RTC	RTC のレジスタマップを TYPE3/TYPE4/TYPE5 製品と TYPE6/TYPE7 製品に分割
694	C. 制限事項一覧 1. TYPE0 製品 制限事項一覧	MFS の FBYTE 設定数に関する注意事項を追加
696	2. TYPE1 製品 制限事項一覧	「2. TYPE1 製品 制限事項一覧」を追加
699～701	D. 製品 TYPE 一覧 1. 製品 TYPE 一覧	表 1, 表 4 に型格を追加 TYPE6, TYPE7 製品の型格一覧を追加(表 7, 表 8)

前版は表紙右上の番号が MN706-00002-4v1-J です。

(タイマ編)

ページ	場所	変更箇所
-	-	TYPE6, TYPE7 を追加
74	CHAPTER 4-1: リアルタイムクロック 1. リアルタイムクロックの構成	「■リアルタイムクロック参照章」を追加
		「■リアルタイムクロックの構成」を変更 図 1-1 リアルタイムクロック を削除 図 1-1 RTC クロック制御部(A)と RTC カウント部の構成, 図 1-2 RTC クロック制御部(B)と RTC カウント部の構成を追加

ページ	場所	変更箇所
83	CHAPTER 4-2: RTC カウント部 3. RTC カウント部の設定手順例	「■時刻書換え設定手順例(時刻カウント継続)」 図 3-3 および説明文の手順(1),(2)の記述を訂正 <注意事項>を訂正
84	3. RTC カウント部の設定手順例	「■時刻書換え設定手順例(時刻カウントリセット)」 図 3-4 および説明文の手順(1), (2)の記述を訂正 <注意事項>を訂正
87	3. RTC カウント部の設定手順例	「■タイマ割込み設定手順例(何(時間, 分, 秒)後)」 図 3-7 および説明文で「7MCLK 後に」を削除。 「12MCLK 後に」を「タイマカウンタが停止後」に変更
88	3. RTC カウント部の設定手順例	「■タイマ割込み設定手順例(何(時間、分、秒)間隔)」 図 3-8 および説明文で「7MCLK 後に」を削除
94	6. 時刻書換えエラー	「時刻書換え(時刻カウント継続)において SCST フラグが"1"の間に 0.5 秒生成カウンタの 0.5 秒パルスが 2 回検出された場合の例」の記述で(2)の文章中の「時刻書換えエラーフラグが"1"になり、」を削除
103	7.1 制御レジスタ 1 (WTCR1)	[bit6]BUSY:ビジービット 「(SCST="0"または SCRST="0"になった 9MCLK サイクル)」を削除 [bit5]SCRST,[bit4]SCST の説明文を訂正
104		[bit2]RUN:RTC カウント部動作ビット 「RUN が"0"になるのは、ST="0"になった 12MCLK サイクル後になります。」を削除
105	7.2 制御レジスタ 2 (WTCR2)	[bit10]TMRUN:RTC カウンタ動作ビット 「TMRUN が"0"になるのは、TMST="0"になった 12MCLK サイクル後になります。」を削除
123	CHAPTER 4-3: RTC クロック制御部(A)	Chapter 名を変更 RTC クロック制御部 → RTC クロック制御部(A)
128	3. 周波数補正部の動作	「■周波数補正範囲」を追加
137	CHAPTER 4-4: RTC クロック制御部(B)	「CHAPTER 4-4: RTC クロック制御部(B)」の章を追加
445	CHAPTER 7-3: PPG IGBT モード	「CHAPTER 7-3: PPG IGBT モード」の章を追加
510	APPENDIXES A.レジスタマップ PPG	IGBTC レジスタを追加
516	10bit D/AC	10bitD/AC のレジスタマップを追加
519	INT-Req READ	「■TYPE3/TYPE7 製品以外」 IRQ27MON,IRQ36MON,IRQ37MON レジスタの初期値を訂正
521	INT-Req READ	「■TYPE3/TYPE7 製品」 IRQ29MON,IRQ30MON,IRQ31MON レジスタの初期値を訂正
522	LCDC	LCDC のレジスタマップを追加
527	GPIO	SPSR レジスタの初期値を訂正
528		EPFR14 レジスタの初期値を訂正
530	HDMI-CEC/Remote Control Receiver	「HDMI-CEC/Remote Control Receiver」のレジスタマップを追加
532	DS_Mode	Base_Address のアドレス値を変更
		REG_CTL, RCK_CTL レジスタを追加
		WIFSR,WIER レジスタの初期値を訂正

ページ	場所	変更箇所
537, 538	RTC	RTC のレジスタマップを TYPE3/TYPE4/TYPE5 製品と TYPE6/TYPE7 製品に分割
552	C.　制限事項一覧 1.　TYPE0 製品 制限事項一覧	MFS の FBYTE 設定数に関する注意事項を追加
554	2.　TYPE1 製品 制限事項一覧	「2. TYPE1 製品 制限事項一覧」を追加
557～559	D.　製品 TYPE 一覧 1.　製品 TYPE 一覧	表 1, 表 4 に型格を追加 TYPE6, TYPE7 製品の型格一覧を追加(表 7, 表 8)

前版は表紙右上の番号が MN706-00002-4v1-J です。

(アナログマクロ編)

ページ	場所	変更箇所
-	-	TYPE6, TYPE7 を追加
4	CHAPTER 1-1: A/D コンバータ 2.　機能と動作	説明文を訂正 表 2-1 を追加
7	CHAPTER 1-2: 12 ビット A/D コンバータ(A)	Chapter 名を変更 12 ビット A/D コンバータ　→　12 ビット A/D コンバータ(A)
65	CHAPTER 1-3: 12 ビット A/D コンバータ(B)	Chapter 名を変更 12 ビット A/D コンバータ(TYPE3 製品)　→　12 ビット A/D コンバータ(B)
92	5.　レジスタ	「■12 ビット A/D コンバータのレジスタ一覧」 ADCT のレジスタ名を訂正 コンペア時間設定レジスタ　→ クロック分周比設定レジスタ
125～133	CHAPTER 2: 10 ビット D/A コンバータ	「CHAPTER 2: 10 ビット D/A コンバータ」の章を追加
135～180	CHAPTER 3: LCD コントローラ	「CHAPTER 3: LCD コントローラ」の章を追加
192	APPENDIXES A.レジスタマップ PPG	IGBTC レジスタを追加
198	10bit D/AC	10bitD/AC のレジスタマップを追加
201	INT-Req READ	「■TYPE3/TYPE7 製品以外」 IRQ27MON,IRQ36MON,IRQ37MON レジスタの初期値を訂正
203	INT-Req READ	「■TYPE3/TYPE7 製品」 IRQ29MON,IRQ30MON,IRQ31MON レジスタの初期値を訂正
204	LCDC	LCDC のレジスタマップを追加
209	GPIO	SPSR レジスタの初期値を訂正
210		EPFR14 レジスタの初期値を訂正
212	HDMI-CEC/Remote Control Receiver	「HDMI-CEC/Remote Control Receiver」のレジスタマップを追加
214	DS_Mode	Base_Address のアドレス値を変更
		REG_CTL, RCK_CTL レジスタを追加
		WIFSR,WIER レジスタの初期値を訂正
219, 220	RTC	RTC のレジスタマップを TYPE3/TYPE4/TYPE5 製品と TYPE6/TYPE7 製品に分割

ページ	場所	変更箇所
234	C.　制限事項一覧 1.　TYPE0 製品 制限事項一覧	MFS の FBYTE 設定数に関する注意事項を追加
236	2.　TYPE1 製品 制限事項一覧	「2. TYPE1 製品 制限事項一覧」を追加
240～242	D.　製品 TYPE 一覧 1.　製品 TYPE 一覧	表 1, 表 4 に型格を追加 TYPE6, TYPE7 製品の型格一覧を追加(表 7, 表 8)

前版は表紙右上の番号が MN706-00002-4v1-J です。

CHAPTER: マルチファンクションシリアル インタフェース

マルチファンクションシリアルインタフェースの概要を説明します。

1. マルチファンクションシリアルインタフェースの概要

管理コード: 9BFMFS-J02.0

1. マルチファンクションシリアルインタフェースの概要

マルチファンクションシリアルインタフェースには以下の特長があります。

■ インタフェースモード

マルチファンクションシリアルインタフェースは動作モードの設定により、以下のインタフェースモードが選択可能です。

・UART0(非同期ノーマルシリアルインタフェース)
・UART1(非同期マルチプロセッサシリアルインタフェース)
・CSIO(クロック同期式シリアルインタフェース)(SPI に対応可能)
・LIN(LIN バスインタフェース)
・I^2C(I^2C バスインタフェース)

＜注意事項＞

各インタフェースの詳細は各章の説明を参照してください。

■ インタフェースモードの切換え

各シリアルインタフェースで通信を行う場合には、表 1-1 のシリアルモードレジスタ(SMR)で動作モードを設定してから通信を開始します。

表 1-1 インタフェースモードの切換え

MD2	MD1	MD0	インタフェースモード
0	0	0	UART0(非同期ノーマルシリアルインタフェース)
0	0	1	UART1(非同期マルチプロセッサシリアルインタフェース)
0	1	0	CSIO(クロック同期式シリアルインタフェース)(SPI に対応可能)
0	1	1	LIN(LIN バスインタフェース)
1	0	0	I^2C(I^2C バスインタフェース)
上記以外			設定禁止

＜注意事項＞

・1 つのシリアルインタフェースで送信あるいは受信動作中にモードの切換えを行った場合の送受信に関する動作の保障はできません。
・動作モードを変更する場合は、プログラマブルクリア実行(SCR:UPCL=1)または I^2C 禁止(ISMK:EN=0)後、続けて動作モードを切り換えてください。動作モード設定後、各レジスタを設定してください。
・表 1-1 に記載してある設定以外は禁止です。

■ 送受信 FIFO

16×9 ビットの送信用 FIFO と 16×9 ビットの受信用 FIFO を搭載しています。以降の説明における FIFO 段数は 16×9 ビットに読み替えてください。

■ LIN Sync field 検出 ：LSYN

LIN バスインタフェースモードで ICU を使用する場合、多機能タイマの ICU を使用してください。ICU への入力切替えは『ペリフェラルマニュアル』の『I/O ポート』の章の拡張機能端子設定レジスタを参照してください。

■ I^2C 補助ノイズフィルタ

I^2C バスインタフェース使用時に APB1 バスクロック周波数が 40MHz を超える場合は、補助ノイズフィルタを使用してください。I^2C 規格である最大 50ns の入力ノイズが遮断されます。

詳細は『I^2C 補助ノイズフィルタ』の章を参照してください。

I^2C 補助ノイズフィルタは、APB1 バスクロックの最大周波数が 40MHz を超える製品にのみ内蔵されています。

＜注意事項＞

- APB1 バスクロック最大周波数は製品 TYPE により異なります。詳細はご使用する製品のデータシートの内部動作クロック周波数(F_{CP1})を参照してください。
- 本 I^2C 補助ノイズフィルタを使用する場合はボーレートジェネレータレジスタ(BGR1, BGR0)に設定するリロード値の算出式が異なります。I^2C 補助ノイズフィルタを使用する場合、リロード値算出式は『I^2C 補助ノイズフィルタ』の章を参照してください。

■ 拡張 I^2C バス制御レジスタ(EIBCR)

TYPE6 以降の製品には拡張 I^2C バス制御レジスタ(EIBCR)を搭載しています。本レジスタは以下の機能を制御します。詳細は『I^2C インタフェース(I^2C 通信制御インタフェース)』の章を参照してください。

- SDA/SCL の出力制御
- バスエラー発生後の I^2C 動作継続の有無

＜注意事項＞

TYPE0～TYPE5 製品は EIBCR レジスタを搭載しておりませんので、以降の説明において EIBCR:BEC=0 と読み替えてください。

CHAPTER: UART(非同期シリアルインタフェース)

マルチファンクション シリアルインタフェースの動作モード 0, 1 でサポートしている UART(非同期シリアルインタフェース)機能について説明します。

1. UART (非同期シリアルインタフェース)の概要
2. UART の割込み
3. UART の動作
4. 専用ボーレートジェネレータ
5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー
6. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー
7. UART(非同期シリアルインタフェース)のレジスタ

管理コード: 9BFUART-J01.0_FM15U-J05.4

1. UART (非同期シリアルインタフェース)の概要

UART(非同期シリアルインタフェース)は、外部装置と非同期通信(調歩同期)をするための、汎用のシリアルデータ通信インタフェースです。双方向通信機能(ノーマルモード), マスタ/スレーブ型通信機能(マルチプロセッサモード:マスタ/スレーブ両方サポート)をサポートしています。また、送信/受信用の FIFO を搭載しています。

■ UART(非同期シリアルインタフェース)の機能

		機　　能
1	データ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/受信 FIFO　(サイズ最大各 128×9 ビット)*1(FIFO 使用時)
2	シリアル入力	バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送形式	非同期
4	ボーレート	・専用ボーレートジェネレータ(15 ビットリロードカウンタ構成) ・外部クロック入力をリロードカウンタで調節可能。
5	データ長	・5 ～ 9 ビット(ノーマルモード時)、7, 8 ビット(マルチプロセッサモード時)
6	信号方式	NRZ(Non Return to Zero), 反転 NRZ
7	スタートビット検出	・スタートビット立下りエッジに同期(NRZ 方式の場合) ・スタートビット立上りエッジに同期(反転 NRZ 方式の場合)
8	受信エラー検出	・フレーミングエラー ・オーバランエラー ・パリティエラー*2
9	ハードウェアフロー制御	CTS/RTS による送受信自動制御
10	割込み要求	・受信割込み (受信完了, フレーミングエラー, オーバランエラー, パリティエラー*2) ・送信割込み(送信データエンプティ, 送信バスアイドル) ・送信 FIFO 割込み (送信 FIFO がエンプティのとき) ・送受信 DMA 転送サポート機能あり
11	マスタ/スレーブ型通信機能 (マルチプロセッサモード)	1(マスタ)対　n(スレーブ)間の通信が可能 (マスタとスレーブシステムの両方をサポート)
12	FIFO オプション	・送受信 FIFO 搭載(最大容量:送信 FIFO 128×9 ビット, 受信 FIFO 128×9 ビット)*1 ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトで可変可能 ・独立して FIFO リセットサポート

*1：FIFO 容量は品種に応じて容量サイズが異なります。
*2：パリティエラーはノーマルモード時のみ。

2. UART の割込み

UART には、送受信割込みがあります。次に示す要因で割込み要求を発生させられます。
・受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
・送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
・送信バスアイドル(送信動作なし)
・送信 FIFO データ要求

■ UART の割込み

UART の割込み制御ビットと割込み要因は表 2-1 のようになっています。

表 2-1 UART の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	動作モード		割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
			0	1			
受信	RDRF	SSR	○	○	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
					FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
					FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	○	○	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	○	○	フレーミングエラー		
	PE	SSR	○	×	パリティエラー		
送信	TDRE	SSR	○	○	送信レジスタがエンプティ	SCR:TIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*1
	TBI	SSR	○	○	送信動作なし	SCR:TBIE	送信データ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送)*1
	FDRQ	FCR1	○	○	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル

*1： TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

2.1. 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了(SSR:RDRF)および受信エラーの発生(SSR:PE, ORE, FRE)があります。

■ 受信割込み発生とフラグセットのタイミング

最初のストップビットの検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:PE, ORE, FRE=1)するとき、各フラグがセットされます。そのとき、受信割込みが許可(SSR:RIE=1)されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。

図 2-1 RDRF(受信データフル)フラグビットのセットタイミング

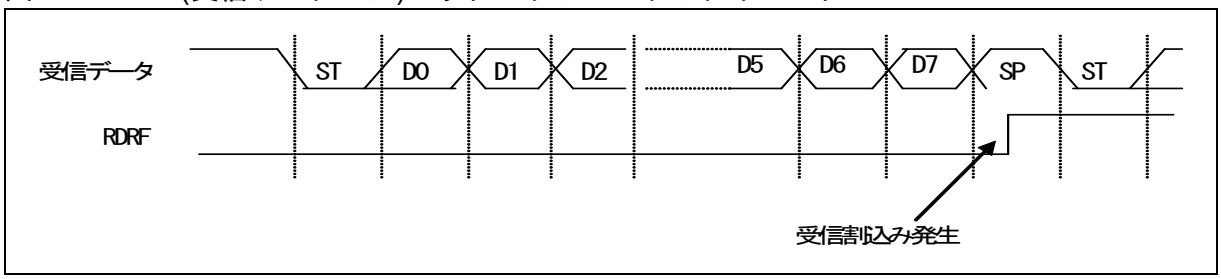
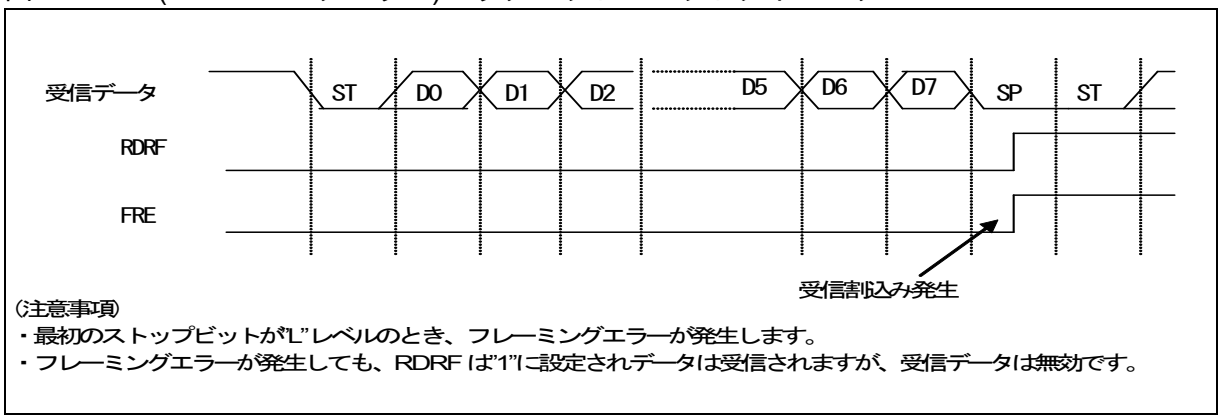


図 2-2 FRE(フレーミングエラー)フラグビットのセットタイミング

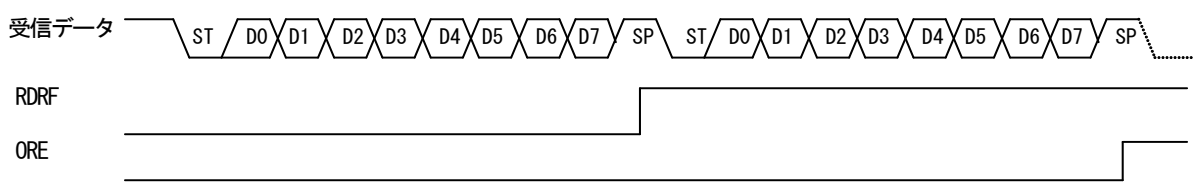


＜注意事項＞

受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前に下記を検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

- シリアルデータの立下りエッジ(ESCR:INV="0"の場合)
- シリアルデータの立上りエッジ(ESCR:INV="1"の場合)

図 2-3 ORE (オーバランエラー)フラグビットのセットタイミング



(注意事項)
・受信データが読み出される前に(RDRF=1)、次のデータが転送されるとオーバランエラーが発生します。

2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分を受信した場合に発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が "1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信した場合にオーバランエラー(SSR:ORE=1)が発生します。

図 2-4 受信 FIFO 使用時の受信割込み発生タイミング

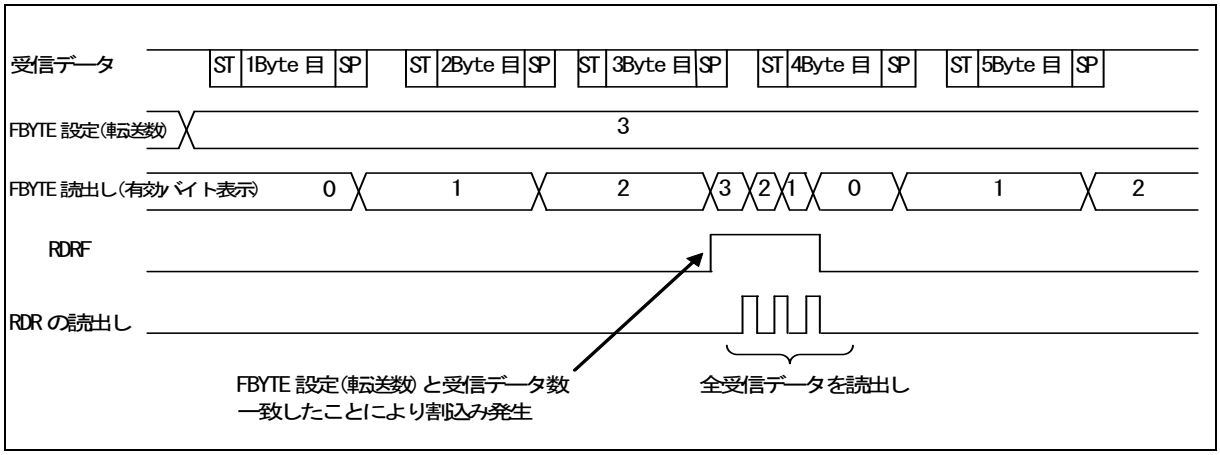
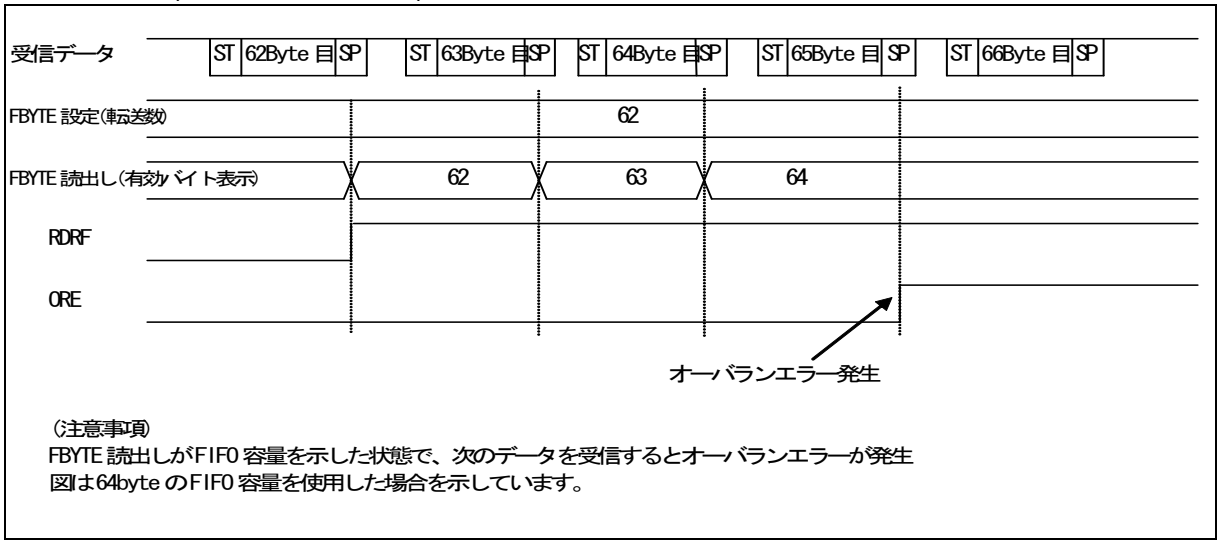


図 2-5 ORE (オーバランエラー)フラグビットのセットタイミング



2.3. 送信割込み発生とフラグセットのタイミング

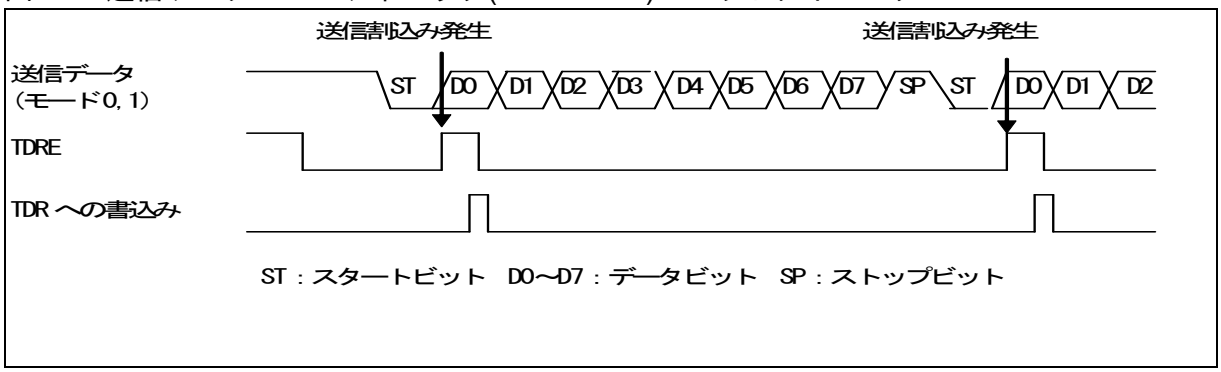
送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)て送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ(SSR:TDRE)のセットタイミング

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットは読出し専用ビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

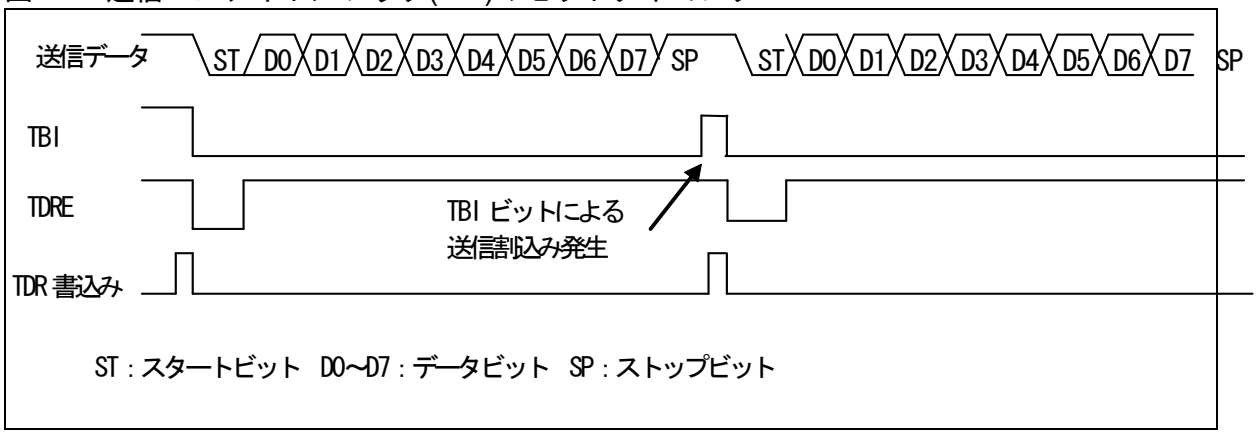
図 2-6 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



● 送信バスアイドルフラグ(SSR:TBI)のセットタイミング

送信データレジスタが空(SSR:TDRE=1)で送信動作をしていない時、SSR:TBI ビットは "1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データを書き込むと SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 2-7 送信バスアイドルフラグ(TBI)のセットタイミング



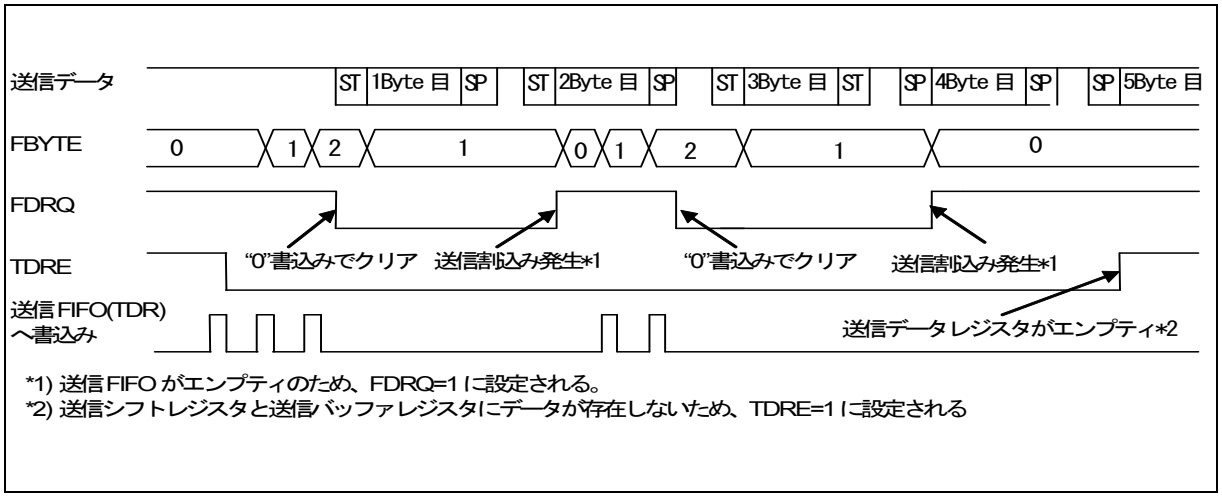
2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
  このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。
  FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 2-8 送信 FIFO 使用時の送信割込み発生タイミング



3. UART の動作

UART は、モード 0 の双方向シリアル非同期通信，モード 1 のマスタ/スレーブマルチプロセッサ通信で動作します。

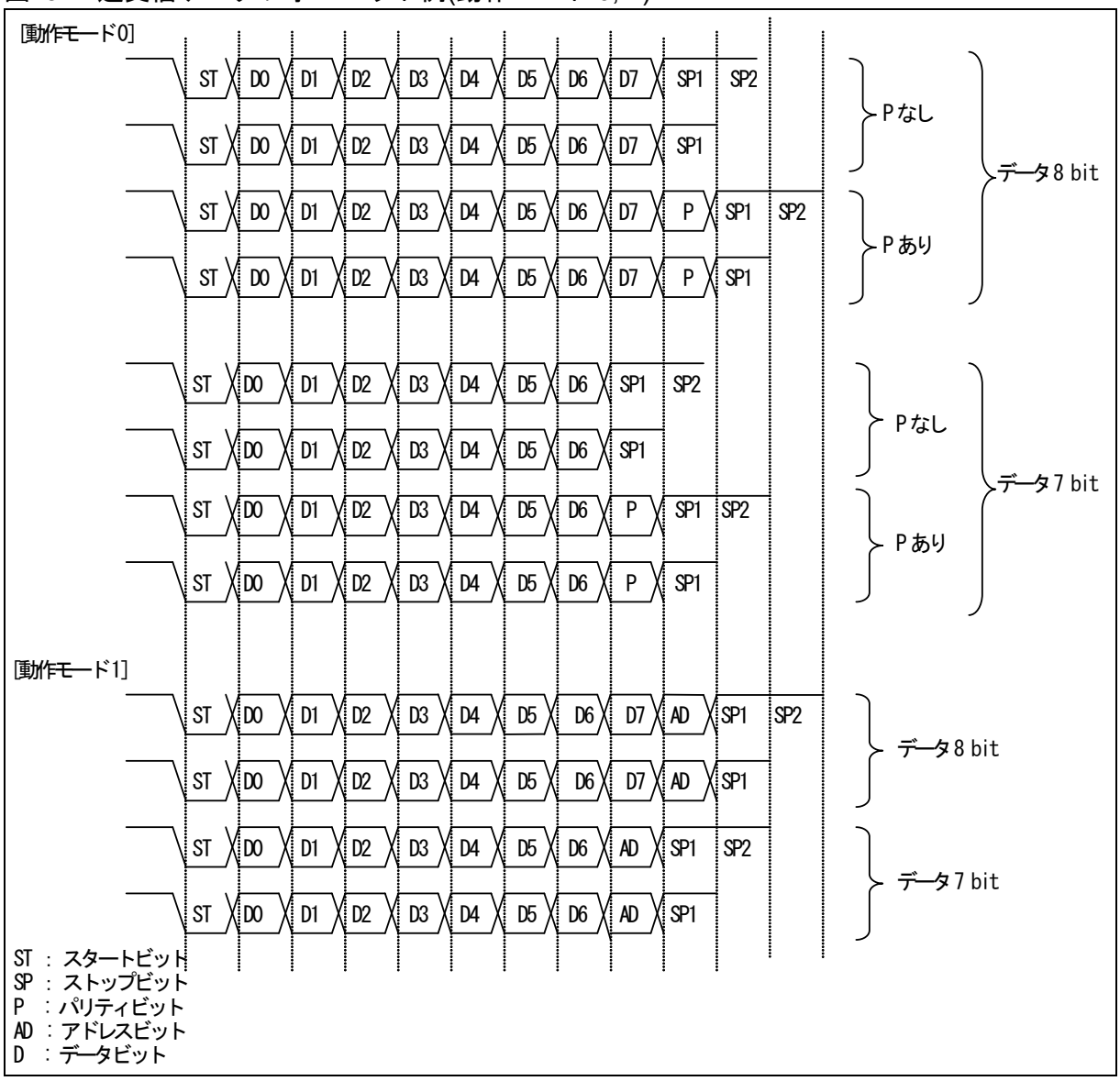
■ UART の動作

● 送受信データフォーマット

・送受信データは、必ずスタートビットから始まり、指定されたデータビット長の送受信が行われ、少なくとも 1 ビットのストップビットで終了します。
・データ転送方向(LSB ファーストまたは MSB ファースト)は、シリアルモードレジスタ(SMR)の BDS ビットで決定されます。パリティありの場合、パリティビットは常に最終データビットと最初のストップビットの間に置かれます。
・動作モード 0(通常モード)では、パリティは、あり/なしの選択ができます。
・動作モード 1(マルチプロセッサモード)では、パリティは付加されず、AD ビットが付加されます。

動作モード 0, 1 の送受信データフォーマットを図 3-1 に示します。

図 3-1 送受信データフォーマット例(動作モード 0, 1)



＜注意事項＞

- 図 3-1 は、データ長 7, 8 ビットに設定した場合を示しています。(データ長は、動作モード 0 の場合、5～9 ビットまで設定できます。)
- シリアルモードレジスタ(SMR)の BDS ビットを"1"(MSB ファースト)に設定した場合、ビットは D7, D6, D5, ・・・, D1, D0(P)の順で処理されます。
- データ長を X ビット長に設定した場合、送受信データレジスタ(RDR/TDR)の下位 X ビットが有効です。

● 送信動作

・シリアルステータスレジスタ(SSR)の送信データエンプティフラグビット(TDRE)が"1"であれば、送信データレジスタ(TDR)に送信データを書き込めます。(送信 FIFO が許可されている場合には TDRE="0"でも送信データを書き込むことは可能)
・送信データを送信データレジスタ(TDR)に書き込むと、送信データエンプティフラグビット(SSR:TDRE)は"0"に設定されます。
・シリアル制御レジスタの送信動作許可ビット(SCR:TXE)を"1"に設定した場合、送信データは送信シフトレジスタにロードされスタートビットから順に送信が開始されます。
・送信が開始されると、送信データエンプティフラグビット(SSR:TDRE)は再び"1"に設定されます。このとき、送信割込が許可(SCR:TIE=1)されていれば、送信割込みが発生します。割込み処理において、次の送信データを送信データレジスタに書き込めます。

＜注意事項＞

・送信データエンプティフラグビット(SSR:TDRE)は初期値が"1"のため、送信割込みが許可(SCR:TIE)されると直ちに送信割込みが発生します。
・FIFO 送信データ要求ビット(FCR1:FDRQ)は初期値が"1"のため、FIFO 送信割込みが許可(FCR1:FTIE=1)されると直ちに送信割込みが発生します。

● 受信動作

・受信動作が許可(SCR:RXE=1)されると、受信動作を行います。
・スタートビットを検出した場合、拡張通信制御レジスタ(ESCR:PEN, P, L2, L1, L0)およびシリアルモードレジスタ(SMR:BDS)に設定されているデータフォーマットに従って 1 フレームデータの受信が行われます。スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下り(ESCR:INV="0"の場合)または立上り(ESCR:INV="1"の場合)を検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。
・1 フレームの受信が完了した場合、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。このとき、受信割込みが許可(SCR:RIE=1)されている場合、受信割込みが発生します。
・受信データを読み出す際には、1 フレームデータの受信完了後に受信データを読み出し、シリアルステータスレジスタ(SSR)のエラーフラグの状態を確認してください。受信エラーが発生している場合には、エラー処理を行ってください。
・受信データの読出しで、受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。
・受信 FIFO が許可されている場合、受信 FBYTE に設定された分のフレームを受信することで受信データフルフラグビット(SSR:RDRF)は"1"に設定されます。
・下記条件を両方満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  ・受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  ・受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
・受信 FIFO が許可されている場合、シリアルステータスレジスタ(SSR)のエラーフラグが"1"に設定されると受信 FIFO にはそのエラーが発生したデータは受信 FIFO に格納しません。また、そのとき受信データフルフラグビット(SSR:RDRF)を"1"に設定しません (ただし、オーバランエラーの場合は RDRF フラグは"1"に設定されます)。受信 FBYTE の表示はエラーが発生する前に正常に受信したデータ数を示しています。シリアルステータスレジスタ(SSR)のエラーフラグが"0"にクリアされないと受信 FIFO は許可されません。
・受信 FIFO が許可されている場合、受信 FIFO にデータがなくなると受信データフルフラグビット(SSR:RDRF)は"0"にクリアされます。

＜注意事項＞

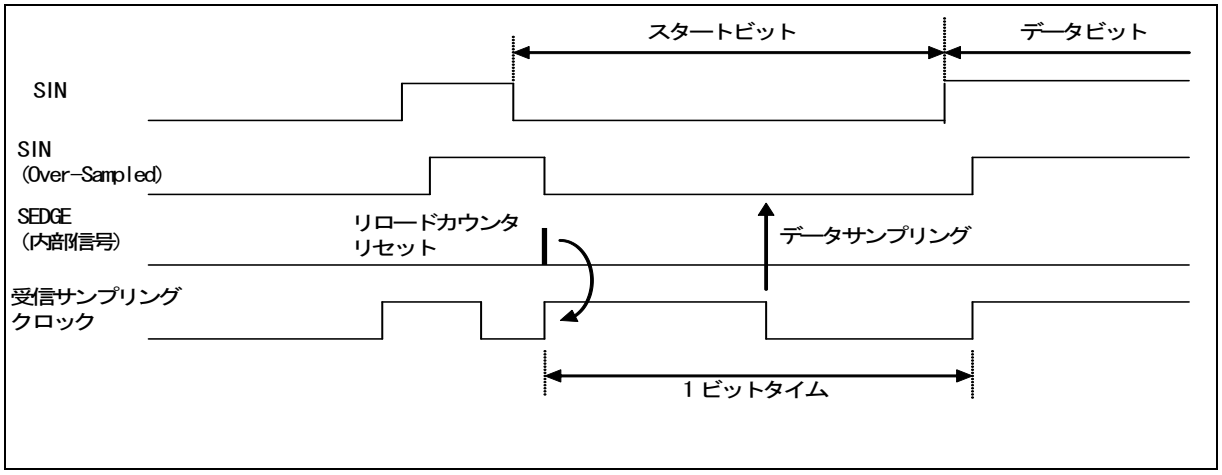
・受信データレジスタ(RDR)のデータは、受信データレジスタフルフラグビット(SSR:RDRF)が"1"に設定され、受信エラーが発生しなかった場合(SSR:PE, ORE, FRE=0)に有効です。
・ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵していますが、ノイズがフィルタを通過してしまうと間違ったデータを受信してしまいます。その対策としてノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
・受信時、ストップビットのサンプリングポイントと同時または1～2バスクロック前に下記を検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。
  ・シリアルデータの立下りエッジ(ESCR:INV="0"の場合)
  ・シリアルデータの立上りエッジ(ESCR:INV="1"の場合)

● クロック選択

・内部クロックまたは外部クロックを使用できます。
・外部クロックを使用する場合は、SMR:EXT=1 に設定します。この場合、外部クロックが、ボーレートジェネレータで分周されます。

● スタートビット検出

・非同期モード時は、SIN 信号の立下りエッジによってスタートビットを認識します。
このため受信動作許可(SCR:RXE=1)しても、SIN 信号の立下りエッジが入力されないと、受信動作を開始しません。
・スタートビットの立下りエッジを検出した場合、ボーレートジェネレータの受信リロードカウンタはリセットされ、再リロードしカウントダウンを開始します。これによって、常にデータの中心でサンプリングします。



● ストップビット

・1 ビットから 4 ビット長を選択できます。
・受信データフルフラグビット(SSR:RDRF)は、最初のストップビットを検出すると"1"に設定されます。

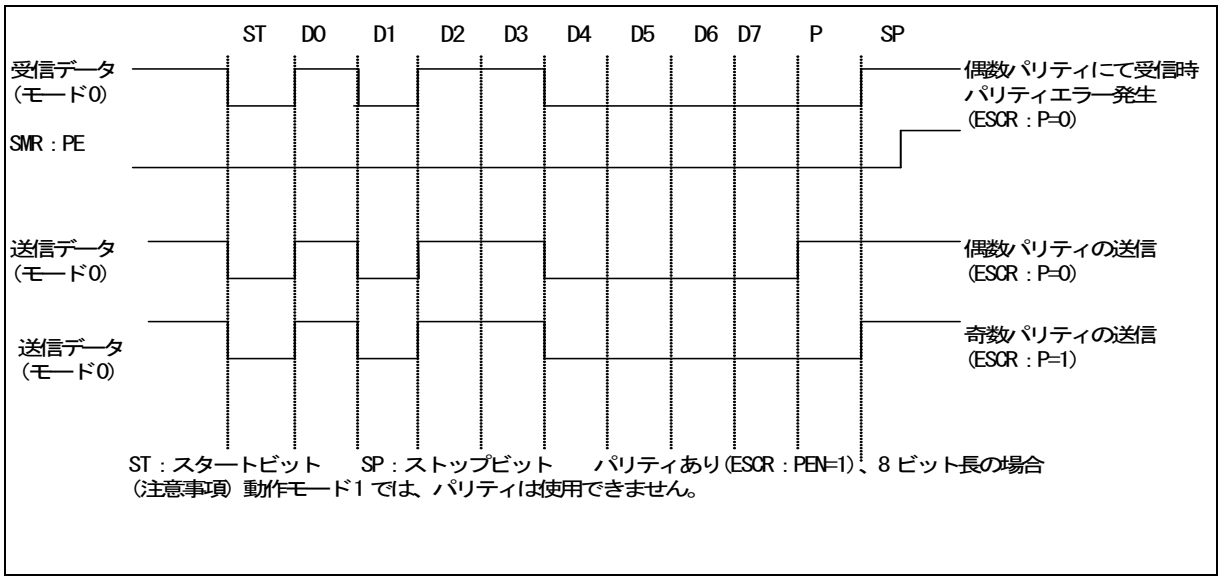
● エラー検出

・動作モード 0 では、パリティエラー, オーバランエラー, フレーミングエラーが検出できます。
・動作モード 1 では、オーバランエラー, フレーミングエラーが検出できます。パリティエラーは検出できません。

● パリティビット

・パリティビットの付加は、動作モード 0 の場合のみ設定できます。パリティ許可ビット(ESCR:PEN)でパリティの有無を、パリティ選択ビット(ESCR:P)で偶数パリティ/奇数パリティを設定できます。
・動作モード 1 では、パリティを使用できません。
パリティ有効時の送受信データを図 3-2 に示します。

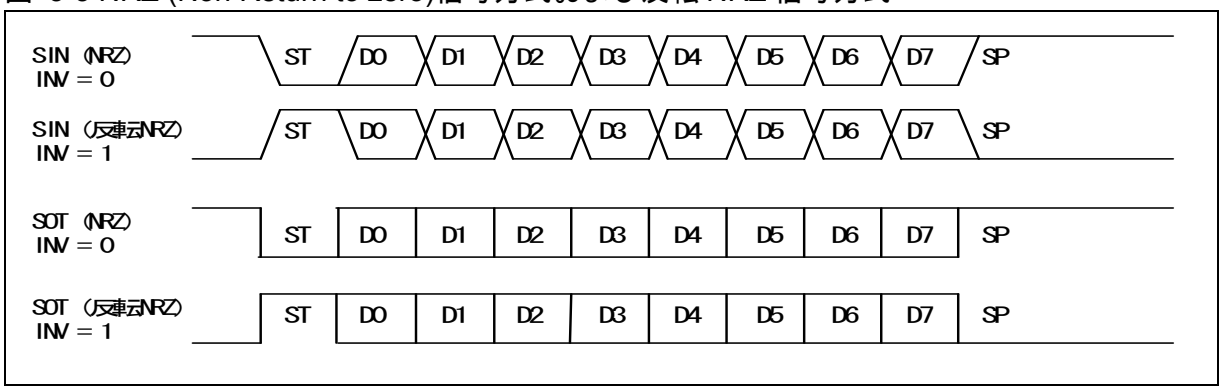
図 3-2 パリティ有効時の動作



● データ信号方式

拡張通信制御レジスタの INV ビットの設定によって、NRZ(Non Return to Zero)信号方式(ESCR:INV=0)または反転 NRZ 信号方式(ESCR:INV=1)を選択できます。
NRZ 信号方式および、反転 NRZ 信号方式を図 3-3 に示します。

図 3-3 NRZ (Non Return to zero)信号方式および反転 NRZ 信号方式



● データ転送方式

データビット転送方法を LSB ファーストまたは MSB ファーストを選択できます。

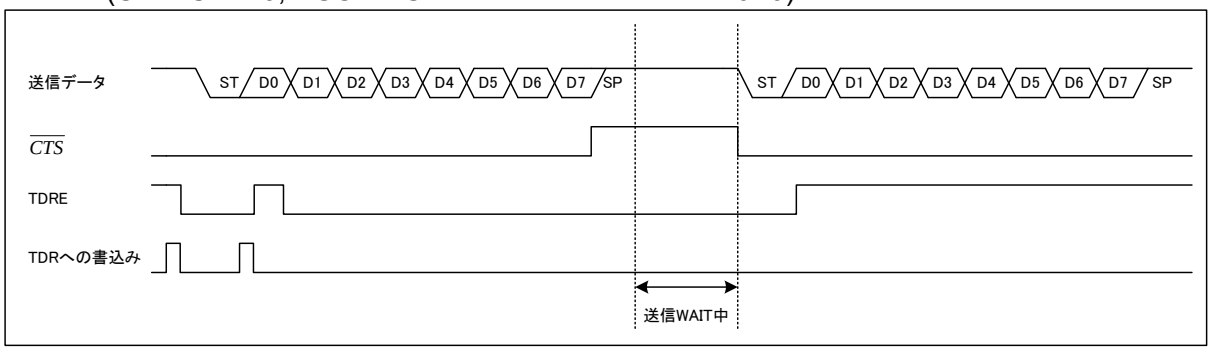
● ハードウェアフロー制御

フロー制御許可(ESCR:FLWEN="1")のとき、UART はハードウェアフロー制御を行います。

・データ送信時

データ送信後に$\overline{CTS}$が"H"の場合、送信バッファにデータが存在(TDRE="0")しても次のデータを送信せず、$\overline{CTS}$が"L"になるまで送信をウェイトします。送信をウェイトする場合、ストップビットの送信が終了するまでに$\overline{CTS}$に"H"を入力してください。送信途中で$\overline{CTS}$が"H"を入力されても、送信はストップビットまで継続します。

図 3-4 データ送信時のハードウェアフロー制御動作
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)

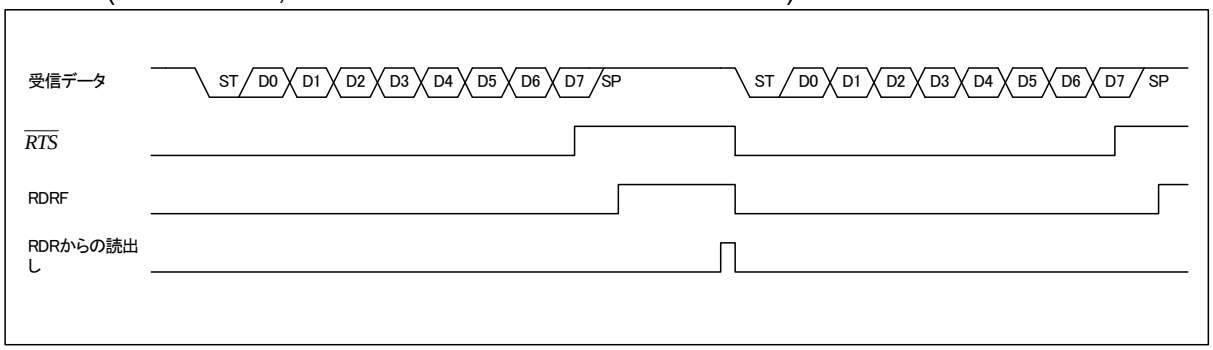


・データ受信時

・FIFO 未使用時

ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$に"H"を出力します。
受信データを読み出した後、$\overline{RTS}$に"L"を出力します。

図 3-5 データ受信時のハードウェアフロー制御動作(FIFO 未使用)
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)

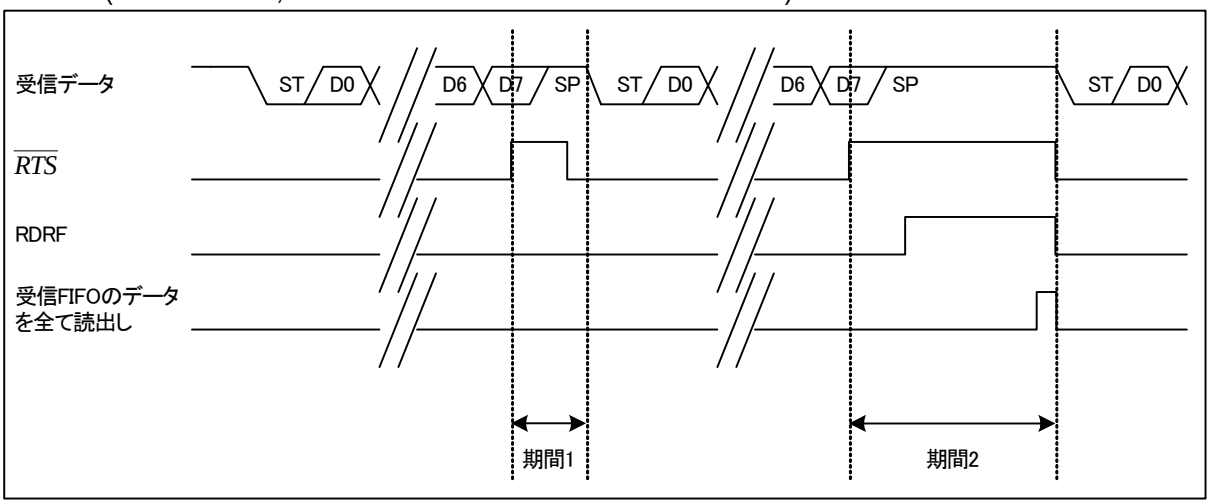


・FIFO 使用時

SSR:RDRF がセットされない場合(受信 FIFO に所定のデータ数を受信していない場合)、ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$は"H"を出力しますが、ストップビット検出時に$\overline{RTS}$は"L"を出力します。(期間 1 の場合)

SSR:RDRF がセットされる場合(受信 FIFO に所定のデータ数を受信する場合)、ストップビットより 1 ビット前のデータを受信した場合、$\overline{RTS}$は"H"を出力します。受信 FIFO のデータをすべて読出した後に$\overline{RTS}$は"L"を出力します。(期間 2 の場合)

図 3-6 データ受信時のハードウェアフロー制御動作(FIFO 使用)
(SMR:SBL=0, ESCR:ESBL=INV=PEN=L2=L1=L0=0)



＜注意事項＞

・受信動作を禁止(RXE=0)した場合には、$\overline{RTS}$信号は"L"に固定されます。
・受信 FIFO 使用時に、以下条件を両方満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF は"1"に設定されますが、$\overline{RTS}$信号は"L"のままです。
  ・受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  ・受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている
・プログラマブルリセット(SCR:UPCL="1")を行うと、$\overline{RTS}$信号は"L"にクリアされます。

4. 専用ボーレートジェネレータ

UART の送受信クロックソースは、次のいずれかを選択できます。
・専用ボーレートジェネレータ(リロードカウンタ)
・外部クロックをボーレートジェネレータに入力(リロードカウンタ)

■ UART ボーレート選択

ボーレートは次の 2 種類から選択できます。

● 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択(BGR1:EXT=0)してください。

● 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(BGR1:EXT=1)してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

＜注意事項＞

・外部クロックの設定(BGR1:EXT=1)は、リロードカウンタが停止した状態(BGR1/0=15’h00)で行ってください。
・外部クロックに設定(BGR1:EXT=1)した場合、外部クロックの"H"幅、"L"幅は2バスクロック以上確保してください。

4.1. ボーレート設定

ボーレートの設定を示します。また，シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

```
V = Φ / b - 1

V : リロード値    b : ボーレート    Φ : バスクロック周波数、外部クロック周波数
```

(2)計算例

```
バスクロック(16MHz)、内部クロック使用、ボーレートを 19200bps に設定する場合のリロード値は
次のようになります。
        リロード値：
          V = (16 × 1000000)/19200 - 1 = 832
          よって、ボーレートは
          b = (16 × 1000000)/(832 + 1) = 19208 (bps)
```

(3)ボーレートの誤差
ボーレートの誤差は次の式によって求められます。

```
誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHｚ)、目標ボーレートを 153600bps に設定する場合
              リロード値 = (20 × 1000000)/153600 - 1 = 129
        ボーレート(計算値) = (20 × 1000000)/(129 + 1) = 153846 (bps)
                誤差(%) = (153846 - 153600)/153600 × 100 = 0.16 (%)
```

＜注意事項＞

- リロード値を"0"に設定した場合、リロードカウンタは停止します。
- リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- リロード値は 4 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

■ 各バスクロック周波数に対するリロード値とボーレート

表 4-1 リロード値とボーレート

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
4M	-	-	-	-	-	0	4	0	5	0	7	0
2.5M	-	-	-	0	-	-	-	-	-	-	-	-
2M	-	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	-0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	-0.16	-	-
153600	51	-0.16	64	-0.16	103	-0.16	129	-0.16	155	-0.16	207	-0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	-0.64	86	0.22	138	0.08	173	0.22	207	-0.16	277	0.08
76800	103	-0.16	129	-0.16	207	-0.16	259	-0.16	311	-0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	-0.16	416	0.08	555	0.08
38400	207	-0.16	259	-0.16	416	0.08	520	0.03	624	0	832	-0.04
28800	277	0.08	346	<0.01	554	-0.01	693	-0.06	832	-0.03	1110	-0.01
19200	416	0.08	520	0.03	832	-0.03	1041	0.03	1249	0	1666	0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	-0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	-0.01
4800	1666	0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8334	0.02	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	26666	<0.01	-	-	-	-	-	-	-	-	-

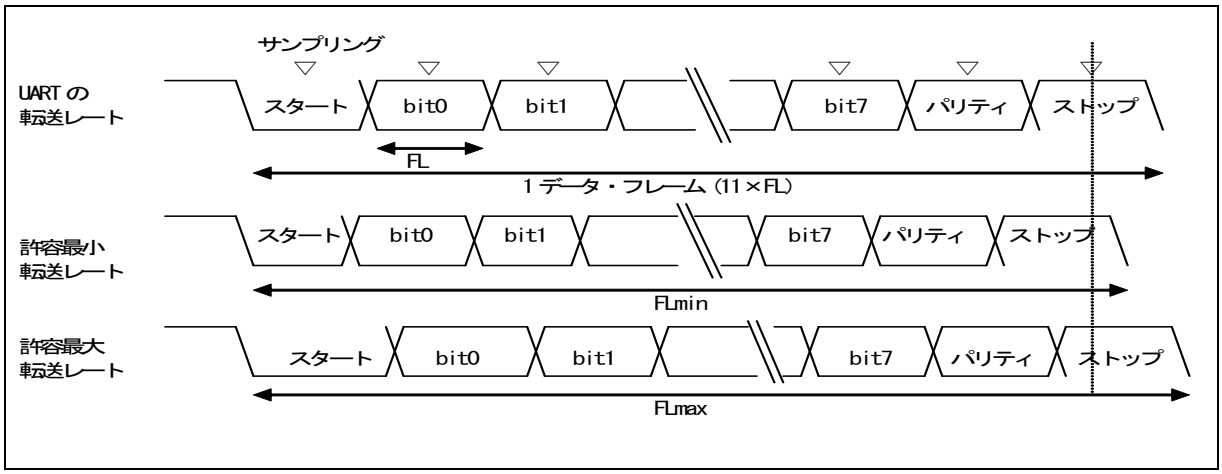
・Value : BGR1/0 レジスタの設定値(10 進)
・ERR : ボーレート誤差(%)

■ 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。

受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 4-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後は BGR1/0 レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット)までが間に合えば正常に受信できます。

これを 11 ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマージンをバスクロック(Φ)の 1 クロック分とすると、許容最小転送レート(FLmin)は以下のとおりです。

FLmin = (11bit×(V+1) – (V+1)/2 + 2)/ Φ = (21V+25)/2 Φ (s)　　V:リロード値　Φ:バスクロック

したがって、受信可能な送信先の最大ボーレート(BGmax)は以下のとおりです。

BGmax = 11/FLmin = 22Φ/(21V+25)　(bps)　　V:リロード値　Φ:バスクロック

許容最大転送レート(FLmax)データを受信する場合、11 ビット目の受信データの始点にてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は以下のとおりです。

10/11×FLmax = (11bit×(V+1) – (V+1)/2)/ Φ　　V:リロード値　Φ:バスクロック

FLmax = (21/20×11×(V+1)/ Φ

サンプリング・タイミングのマージン(Φ)を 2 クロック分とすると、許容最大転送レート(Flmax)は以下のとおりです。

10/11×FLmax = (11bit×(V+1) – (V+1)/2 – 2)/ Φ　　V:リロード値　Φ:バスクロック

FLmax = (21/20×11×　(V+1) – 44/20)/ Φ = (231V+187)/20 Φ (s)　V:リロード値　Φ:バスクロック

したがって、受信可能な送信先の最小ボーレート(BGmin)は以下のとおりです。

BGmin = 11/FLmax = 220Φ/(231V+187)　(bps)　　V:リロード値　Φ:バスクロック

前述の最小/最大ボーレート値の算出式から、UART と送信先とのボーレートの許容誤差を求めると以下のとおりです。

リロード値(V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+2.98%	-3.08%
50	+4.37%	-4.40%
100	+4.56%	-4.58%
200	+4.66%	-4.67%
32767	+4.76%	-4.76%

＜注意事項＞

受信の精度は、1 フレームのビット数, バスクロック, リロード値に依存します。バスクロックが高く、分周比が高くなるほど精度は高いです。

■ 外部クロック

ボーレートジェネレータレジスタ(BGR)の EXT ビットに"1"を書き込むと、ボーレートジェネレータで外部クロックを分周します。

＜注意事項＞

外部クロック信号は UART で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定です。

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

● 送信/受信リロードカウンタ共通

プログラマブルリセット(SCR:UPCL ビット)

● 受信リロードカウンタ

非同期モードでのスタートビット立下りエッジ検出

5. 動作モード 0(非同期ノーマルモード)設定手順とプログラムフロー

動作モード 0 では、非同期シリアル双方向の通信ができます。

■ CPU 間接続

動作モード 0(通常モード)では、双方向通信を選択します。図 5-1,図 5-2 に示すように 2 つの CPU を相互に接続します。

図 5-1 UART 動作モード 0 の双方向通信の接続例(フロー制御禁止時)

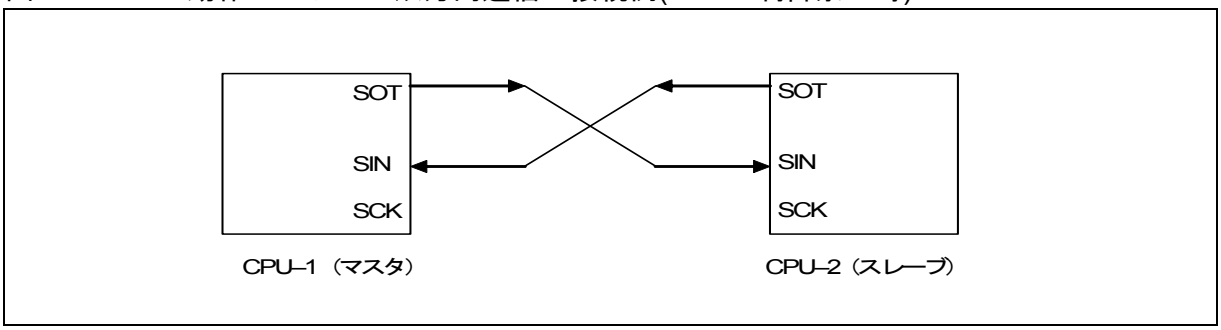
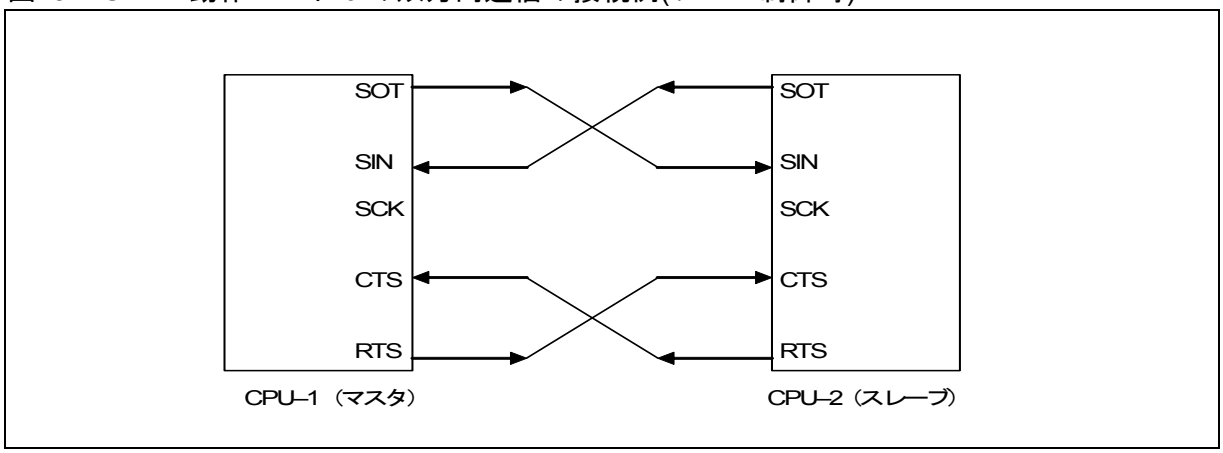


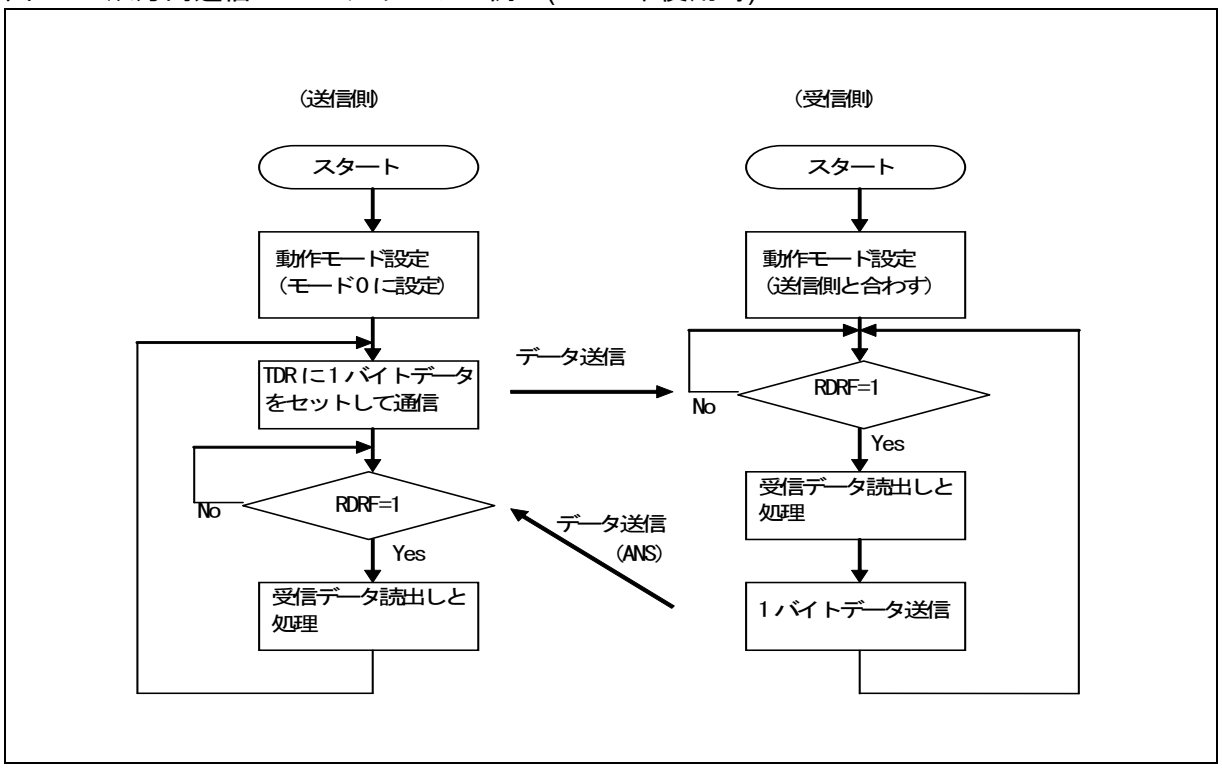
図 5-2 UART 動作モード 0 の双方向通信の接続例(フロー制御時)



■ フローチャート

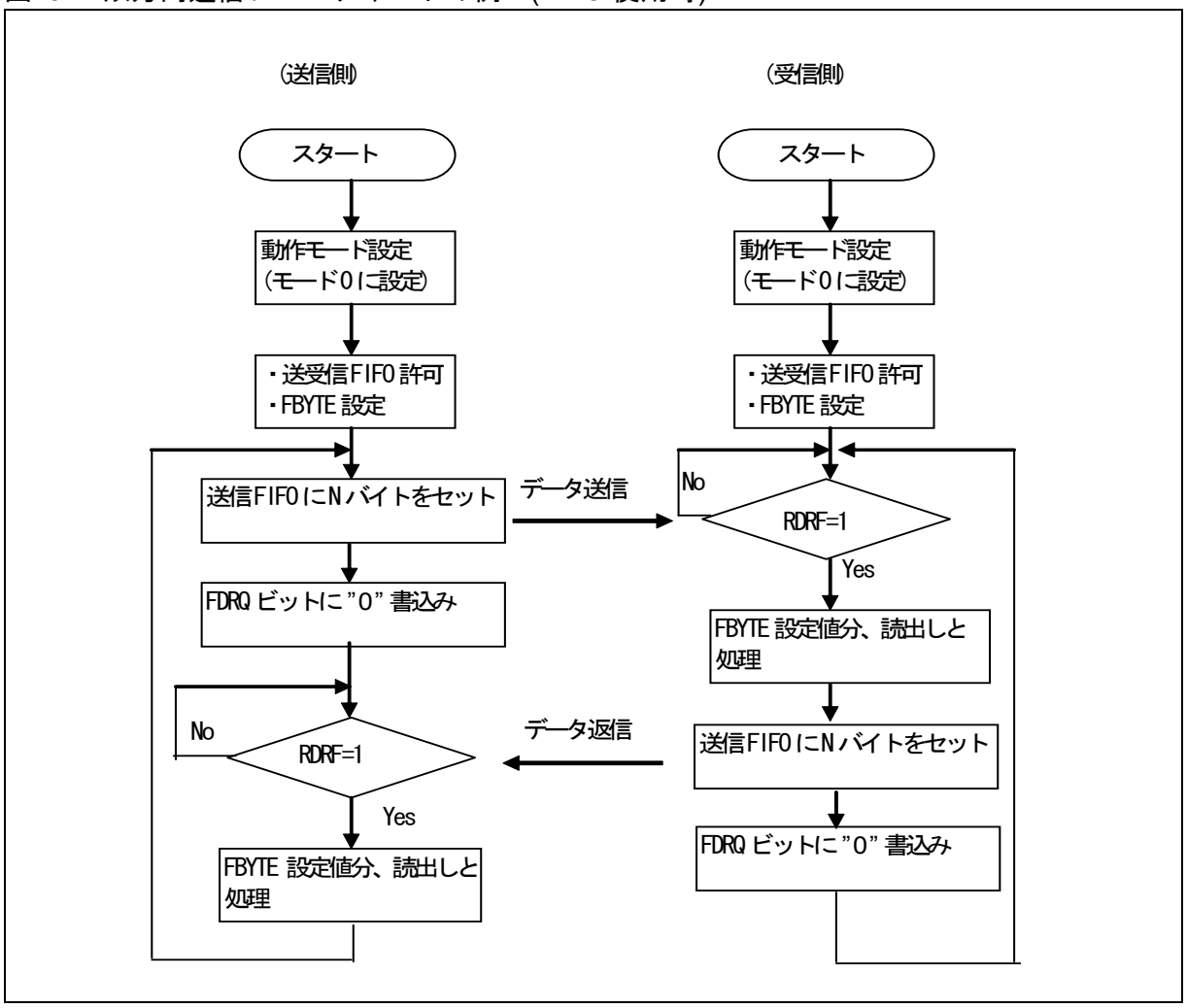
● FIFO 未使用時

図 5-3 双方向通信フローチャートの例 (FIFO 未使用時)



● **FIFO 使用時**

図 5-4 双方向通信フローチャートの例 (FIFO 使用時)



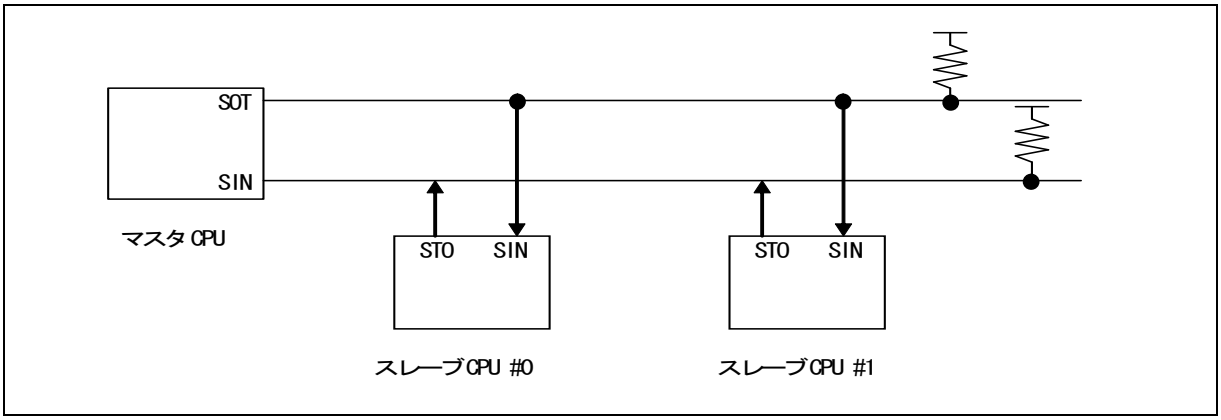
6. 動作モード 1(非同期マルチプロセッサモード)設定手順とプログラムフロー

動作モード 1(マルチプロセッサモード)では、複数 CPU のマスタ/スレーブ接続による通信が可能です。マスタ/スレーブとして使用できます。

■ CPU 間接続

マスタ/スレーブ型通信では、図 6-1 に示すように 2 本の共通通信ラインに 1 つのマスタ CPU と複数のスレーブ CPU を接続して通信システムを構成します。UART はマスタまたはスレーブのどちらでも使用できます。

図 6-1 UART のマスタ/スレーブ型通信の接続例



■ 機能選択

マスタ/スレーブ型通信では、表 6-1 に示すように動作モードとデータ転送方式を選択してください。

表 6-1 マスタ/スレーブ型通信機能の選択

	動作モード		データ	パリティ	ストップビット	ビット方向
	マスタ CPU	スレーブ CPU				
アドレス送受信	モード 1 (A/D ビット送信)	モード 1 (A/D ビット受信)	AD = "1" + 7 または 8 ビットアドレス	なし	1 ビットまたは 2 ビット	LSB または、MSB ファースト
データ送受信			AD ="0" + 7 または 8 ビットデータ			

＜注意事項＞

動作モード 1 では送受信データ(TDR/RDR)はワードアクセスで行ってください。

● 通信手順

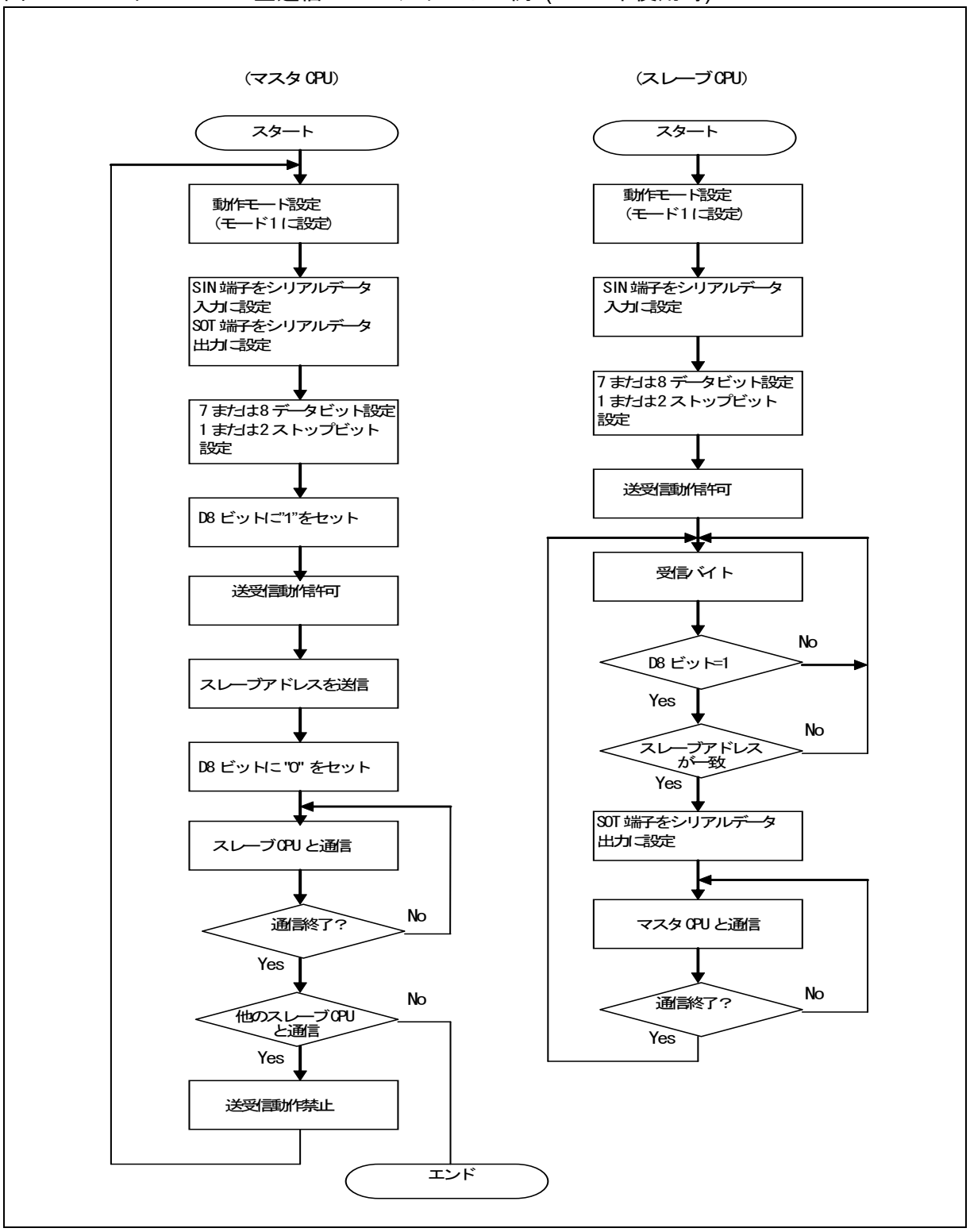
通信は、マスタ CPU がアドレスデータを送信することによって始まります。アドレスデータとは D8 ビットを"1"としたデータで、通信先となるスレーブ CPU を選択します。各スレーブ CPU はプログラムでアドレスデータを判断し、割り当てられたアドレスと一致した場合にマスタ CPU との通信(通常データ)をします。

図 6-2, 図 6-3 に、マスタ/スレーブ型通信(マルチプロセッサモード)のフローチャートを示します。

■ フローチャート

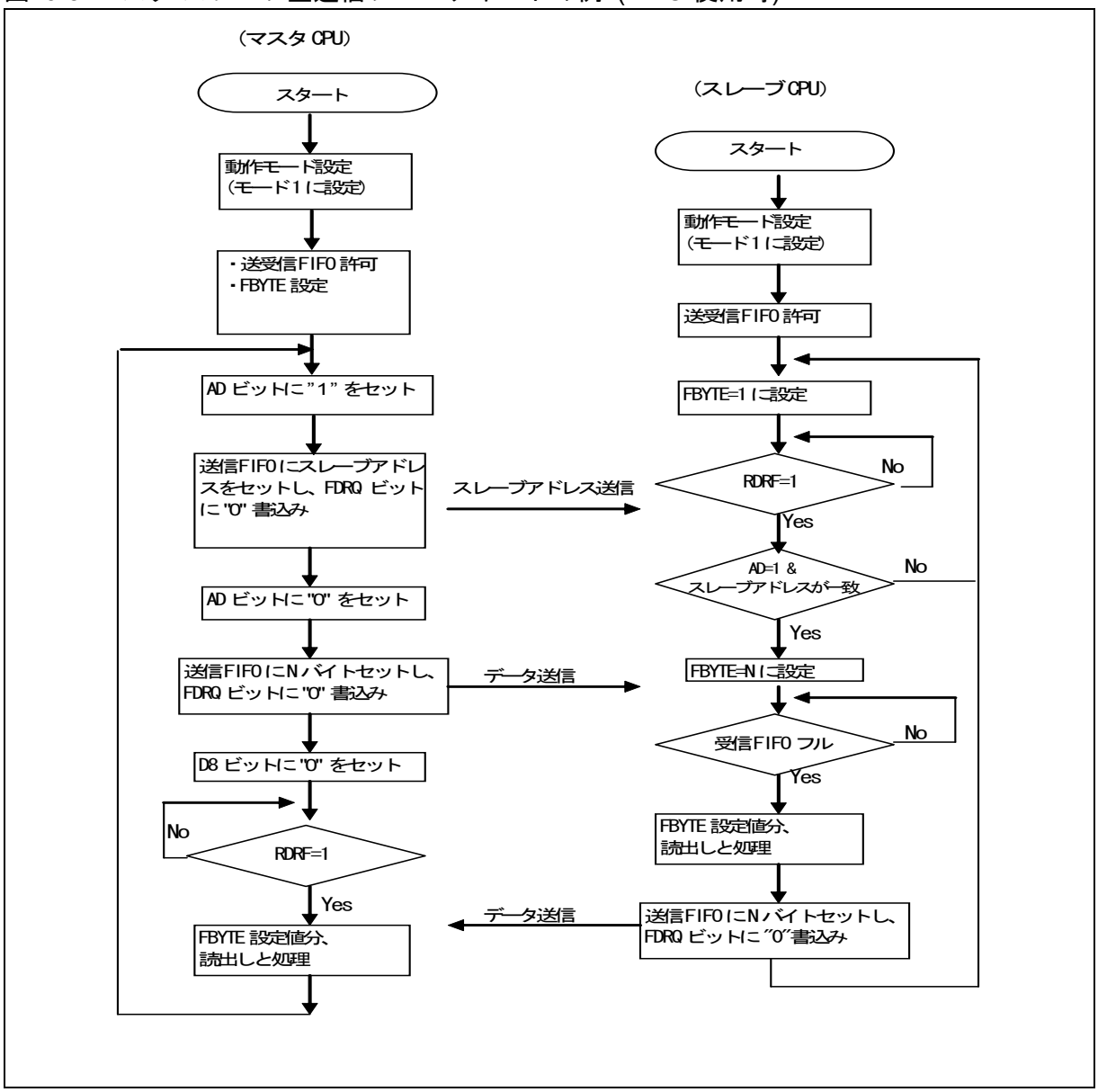
● FIFO 未使用時

図 6-2 マスタ/スレーブ型通信フローチャートの例 (FIFO 未使用時)



● **FIFO 使用時**

図 6-3 マスタ/スレーブ型通信フローチャートの例 (FIFO 使用時)



7. UART(非同期シリアルインタフェース)のレジスタ

UART(非同期シリアルインタフェース)のレジスター覧を示します。

■ UART(非同期シリアルインタフェース)のレジスター覧

表 7-1 UART(非同期シリアルインタフェース)のレジスター覧

	bit15 bit8	bit7 bit0
UART	SCR(シリアル制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	ESCR(拡張通信制御レジスタ)
	RDR1/TDR1(送受信データレジスタ 1)	RDR0/TDR0(送受信データレジスタ)
	BGR1(ボーレートジェネレータレジスタ 1)	BGR0(ボーレートジェネレータレジスタ 0)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

表 7-2 UART (非同期シリアルインタフェース)ビット配置

	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit09	Bit08	Bit07	Bit06	Bit05	Bit04	Bit03	Bit02	Bit01	Bit00
SCR/ SMR	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SBL	BDS	-	SOE
SSR/ ESCR	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	FLWEN	ESBL	INV	PEN	P	L2	L1	L0
TDR (RDR)	-							D8 (AD)	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE 1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

■ 動作モード

UART(非同期シリアルインタフェース)は、2 つの異なるモードで動作します。シリアルモードレジスタ(SMR)の MD2, MD1, MD0 ビットによって決定されます。

表 7-3 UART(非同期シリアルインタフェース)の動作モード

動作モード	MD2	MD1	MD0	種類
0	0	0	0	UART0 (非同期ノーマルモード)
1	0	0	1	UART1 (非同期マルチプロセッサモード)

7.1. シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信の許可/禁止，送受信割込みの許可/禁止，送信バスアイドル割込みの許可/禁止, UART リセットをすることができます。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	-	-	RIE	TIE	TBIE	RXE	TXE	(SMR)
初期値	0	-	-	0	0	0	0	0	
属性	R/W	-	-	R/W	R/W	R/W	R/W	R/W	

[bit15] UPCL : プログラマブルクリアビット

UART の内部状態を初期化するビットです。

"1"を設定した場合:

- UART を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:PE, FRE, ORE, RDRF, TDRE, TBI)は初期化(0b000011)されます。
- $\overline{\text{RTS}}$信号は"L"にクリアされます。

"0"を設定した場合:

動作に影響しません。

リード時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません。	常に"0"を読み出します。
1	プログラマブルクリア	

＜注意事項＞

- 割込み禁止に設定した後に、即座にプログラマブルクリアを実行してください。
- FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。

[bit14:13] 未使用ビット

リードした場合 : 値は未定です。
ライトした場合 : 動作に影響しません。

[bit12] RIE : 受信割込み許可ビット

・CPU への受信割込み要求出力を許可/禁止するビットです。
・RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(SSR:PE, ORE, FRE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE : 送信割込み許可ビット

・CPU への送信割込み要求出力を許可/禁止するビットです。
・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE : 送信バスアイドル割込み許可ビット

・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
・TBIE ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE : 受信動作許可ビット

UART の受信動作を許可/禁止します。

・"0"に設定した場合 : 受信動作が禁止されます。
・"1"に設定した場合 : 受信動作が許可されます。

bit	説明
0	受信禁止
1	受信許可

＜注意事項＞

・受信動作許可(RXE=1)にしても、スタートビットの立下りエッジ(NRZ フォーマット(ESCR:INV=0)の場合)が入力されないと受信動作を開始しません。(反転 NRZ フォーマット(ESCR:INV=1)の場合は、立上りエッジが入力されるまで受信動作を開始しません)
・受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。
・受信動作を禁止(RXE=0)した場合には、$\overline{\mathrm{RTS}}$信号は"L"に固定されます。

[bit8] TXE : 送信動作許可ビット

UART の送信動作を許可/禁止します。

・"0"に設定した場合 : 送信動作が禁止されます。
・"1"に設定した場合 : 送信動作が許可されます。

bit	説明
0	送信禁止
1	送信許可

＜注意事項＞

送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

7.2. シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定，転送方向，データ長，ストップビット長の選択およびシリアルデータの端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	WUCR	SBL	BDS	予約	SOE
初期値		0	0	0	0	0	0	0	0
属性		R/W	R/W	R/W	R/W	R/W	R/W	-	R/W

[bit7:5] MD2, MD1, MD0 : 動作モード設定ビット

非同期シリアルインタフェースの動作モードを設定します。

"000" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010" : 動作モード 2(クロック同期モード)に設定されます。
"011" : 動作モード 3(LIN 通信モード)に設定されます。
"100" : 動作モード 4(I^2C モード)に設定されます。

本章では動作モード 0(非同期ノーマルモード), 動作モード 1(非同期マルチプロセッサモード)のレジスタまたは動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は動作モード 0, 動作モード 1 のレジスタおよび動作について説明します。

＜注意事項＞

・上記設定以外は禁止です。
・動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。
・動作モード設定後、各レジスタを設定してください。

[bit4] WUCR : WAKE UP 制御ビット

外部割込みで使用する端子を選択します。

"0"に設定した場合 ： 外部割込みで使用する端子は INT 端子に設定されます。
"1"に設定した場合 ： 外部割込みで使用する端子は SIN 端子に設定されます。

bit	説明
0	WAKE UP 機能禁止
1	WAKE UP 機能許可

[bit3] SBL : ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL="0"、ESCR:ESBL="0"に設定した場合 ： ストップビットは 1 ビットに設定されます。
SBL="1"、ESCR:ESBL="0"に設定した場合 ： ストップビットは 2 ビットに設定されます。
SBL="0"、ESCR:ESBL="1"に設定した場合 ： ストップビットは 3 ビットに設定されます。
SBL="1"、ESCR:ESBL="1"に設定した場合 ： ストップビットは 4 ビットに設定されます。

bit	説明	
0	ESCR.ESBL=0	1 ビット
	ESCR.ESBL=1	3 ビット
1	ESCR.ESBL=0	2 ビット
	ESCR.ESBL=1	4 ビット

＜注意事項＞

・受信時は、常にストップビットの 1 ビット目だけを検出します。
・本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。

[bit2] BDS : 転送方向選択ビット

転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト、BDS=0)最上位ビット側から先に転送するか(MSB ファースト、BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

＜注意事項＞

本ビットは、送受信が禁止(SCR:TXE=SCR:RXE=0)のときに設定してください。

[bit1] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit0] SOE : シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

＜注意事項＞

SOT 端子として使用する場合は GPIO 設定も行ってください。

7.3. シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信の状態の確認，受信エラーフラグの確認，また、受信エラーフラグをクリアします。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	PE	FRE	ORE	RDRF	TDRE	TBI	(ESCR)
初期値	0	-	0	0	0	0	1	1	
属性	R/W	-	R	R	R	R	R	R	

[bit15] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の PE, FRE, ORE フラグをクリアするビットです。

・"1"書込みで、エラーフラグがクリアされます。
・"0"書込みは、動作に影響しません。

読み出した場合、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません。	常に"0"を読み出します。
1	受信エラーフラグ(PE, FRE, ORE)のクリア	

[bit14] 未使用ビット

読出し時 : 値は不定です。
書込み時 : 動作に影響しません。

[bit13] PE : パリティエラーフラグビット(動作モード 0 のみ機能)

・ESCR:PEN=1 で受信時にパリティエラーが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・PE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	パリティエラーなし
1	パリティエラーあり

[bit12] FRE : フレーミングエラーフラグビット

・受信時にフレーミングエラーが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・FRE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit11] ORE : オーバランエラーフラグビット

・受信時にオーバランが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF : 受信データフルフラグビット

・受信データレジスタ(RDR)の状態を示すフラグです。
・RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
・RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
・受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。
  ・受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  ・受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残ってる

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。
・受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR がエンプティ
1	受信データレジスタ RDR にデータが存在する

[bit9] TDRE : 送信データエンプティフラグビット

・送信データレジスタ(TDR)の状態を示すフラグです。
・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
・TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。
・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合に TDRE ビットは"1"に設定されます。
・送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI : 送信バスアイドルフラグビット

・UART が送信動作をしていないことを示すビットです。
・送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。
・送信データレジスタがエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合に TBI ビットは"1"に設定されます。
・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

7.4. 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定，パリティビットの許可/禁止，パリティビットの選択，シリアルデータフォーマットの反転，ストップビット長の選択の設定ができます。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	FLWEN	ESBL	INV	PEN	P	L2	L1	L0
初期値		0	0	0	0	0	0	0	0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] FLWEN : フロー制御許可ビット

ハードウェアフロー制御動作を許可または禁止を選択します。

・"0"に設定した場合 ： ハードウェアフロー制御は禁止されます。
・"1"に設定した場合 ： ハードウェアフロー制御は許可されます。

bit	説明
0	ハードウェアフロー制御禁止
1	ハードウェアフロー制御許可

＜注意事項＞

・本ビットは送受信が禁止(SCR:TXE=0, RXE=0)のときに設定してください。
・本ビットはハードウェアフロー制御を行う場合のみ"1"を設定してください。

[bit6] ESBL : 拡張ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SMR:SBL="0", ESBL="0"に設定した場合 ： ストップビットは 1 ビットに設定されます。
SMR:SBL="1", ESBL="0"に設定した場合 ： ストップビットは 2 ビットに設定されます。
SMR:SBL="0", ESBL="1"に設定した場合 ： ストップビットは 3 ビットに設定されます。
SMR:SBL="1", ESBL="1"に設定した場合 ： ストップビットは 4 ビットに設定されます。

bit	説明	
0	SMR:SBL=0	1 ビット
	SMR:SBL=1	2 ビット
1	SMR:SBL=0	3 ビット
	SMR:SBL=1	4 ビット

＜注意事項＞

・受信時は、常にストップビットの 1 ビット目だけを検出します。
・本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。

[bit5] INV : 反転シリアルデータフォーマットビット

シリアルデータフォーマットを NRZ フォーマットまたは反転 NRZ フォーマットを選択します。

bit	説明
0	NRZ フォーマット
1	反転 NRZ フォーマット

[bit4] PEN : パリティ許可ビット(動作モード 0 のみ機能)

パリティビットの付加(送信時)と検出(受信時)を行うかどうかを設定します。

・"0"に設定した場合 : パリティビットは付加されません。
・"1"に設定した場合 : パリティビットは付加されます。

bit	説明
0	パリティ禁止
1	パリティ許可

＜注意事項＞

動作モード 1 のときは、本ビットは内部で"0"に固定されます。

[bit3] P : パリティ選択ビット(動作モード 0 のみ機能)

パリティあり(ESCR:PEN=1)に設定した場合に、奇数パリティ"1"か偶数パリティ"0"のいずれかに設定します。

・"0"に設定した場合 : 偶数パリティに設定されます。
・"1"に設定した場合 : 奇数パリティに設定されます。

bit	説明
0	偶数パリティ
1	奇数パリティ

[bit2:0] L2, L1, L0 : データ長選択ビット

送受信データのデータ長を指定します。

・"000"に設定した場合 : データ長は 8 ビットに設定されます。
・"001"に設定した場合 : データ長は 5 ビットに設定されます。
・"010"に設定した場合 : データ長は 6 ビットに設定されます。
・"011"に設定した場合 : データ長は 7 ビットに設定されます。
・"100"に設定した場合 : データ長は 9 ビットに設定されます。

bit2	bit1	bit0	説明
0	0	0	8 ビット長
0	0	1	5 ビット長
0	1	0	6 ビット長
0	1	1	7 ビット長
1	0	0	9 ビット長
上記以外			設定禁止

＜注意事項＞

・上記以外の設定は禁止です。
・動作モード 1 では、データ長は 7, 8 ビットに設定してください。そのほかの設定は禁止です。

7.5. 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。
FIFO 動作許可の場合、RDR/TDR アドレスは FIFO 読出し/書込みアドレスです。

■ 受信データレジスタ(RDR)

bit	15 ... 9	8	7	6	5	4	3	2	1	0
Field		D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値		0	0	0	0	0	0	0	0	0
属性		R	R	R	R	R	R	R	R	R

受信データレジスタ(RDR)は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

・シリアル入力端子(SIN)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
・データ長に応じ、以下のように上位ビットに"0"が入ります。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

(X は受信データビット)

・受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SSR:RIE=1)、受信割込み要求が発生します。
・受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読出してください。受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
・受信エラーが発生(SSR:PE, ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効です。
・動作モード 1(マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、受信した AD ビットは、D8 ビットに格納されます。
・9 ビット長転送および動作モード 1 の場合 RDR の読出しは 16 ビットアクセスで行います。

＜注意事項＞

・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が "1"に設定されます。
・受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。
・受信 FIFO 使用時に、受信エラーが発生(SSR:PE, ORE, FRE のいずれかが "1")した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。

■ 送信データレジスタ(TDR)

bit	15 ... 9	8	7	6	5	4	3	2	1	0
Field		D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値		1	1	1	1	1	1	1	1	1
属性		W	W	W	W	W	W	W	W	W

送信データレジスタ(TDR)は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

・送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されます。送信データはシリアルデータに変換されて、シリアルデータ出力端子(SOT)から送出されます。
・データ長に応じ、以下のように上位ビットから順に無効データです。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

・送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
・送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
・送信データエンプティフラグ(SSR:TDRE)が"1"のとき、送信データを書き込めます。送信割込みが許可されている場合には送信割込みが発生します。送信データの書込みは、送信割込みの発生後または送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
・送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データは書き込めません。
・動作モード 1(マルチプロセッサモード)では、7 ビット, 8 ビット長の動作となり、AD ビットの送信は、D8 ビットへの書込みにより行います。
・9 ビット長転送および動作モード 1 の場合、TDR への書込みは 16 ビットアクセスで行ってください。

<注意事項>

・送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。送受信レジスタは同一アドレスに配置されているため、書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。
・送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

7.6. ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXT	(BGR1)							(BGR0)							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
・BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
・ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)にリロード値を書き込むとリロードカウンタはカウントを開始します。
・bit15 の EXT ビットはリロードカウンタのクロックソースを内部クロックで使用するか、外部クロックで使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

[bit15] EXT : 外部クロック選択ビット

bit	説明
0	内部クロック使用
1	外部クロック使用

[bit14:8] BGR1 : ボーレートジェネレータレジスタ 1

bit14:8	説明
ライト	リロードカウンタ bit8～bit14 に書込み
リード	BGR1 の設定値の読出し

[bit7:0] BGR0 : ボーレートジェネレータレジスタ 0

bit7:0	説明
ライト	リロードカウンタ bit0～bit7 に書込み
リード	BGR0 の設定値の読出し

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。
- ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/0 の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。
- リロード値が偶数の場合、受信シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- BGR1/0 へは、4 以上の値を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ 1, 0(BGR1, BGR0)に 0 を書込み、プログラマブルクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。

7.7. FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定，送受信 FIFO の選択，送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約	予約	予約	FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
初期値	-	-	-	0	0	1	0	0	
属性	-	-	-	R/W	R/W	R/W	R/W	R/W	

[bit15:13] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FIFO 再送データロストフラグ(FLST)検出を許可するビットです。

"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

<注意事項>

本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

＜注意事項＞

受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、FIFO 送信割込み要求を出力します。

FDRQ セット条件

・FBYTE(送信用)=0　(送信 FIFO がエンプティ)

FDRQ リセット条件

・本ビットへの"0"書込み
・送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

＜注意事項＞

・送信 FIFO 許可のときに"0"書込みは有効です。
・FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
・本ビットに"1"を設定した場合、動作に影響しません。
・リードモディファイライト系命令時、"1"が読み出されます。

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。
"1"に設定した場合 : 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

＜注意事項＞

・本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。
・本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。

7.8. FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット，リードポインタの保存，再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
初期値		0	0	0	0	0	0	0	0
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] 未使用ビット

読み出した場合 ： 常に"0"が読み出されます。
書き込んだ場合 ： 常に"0"を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

・FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ(上書きした)場合

FLST リセット条件

・FIFO リセット(FCL への"1"書込み)
・FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。
本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

＜注意事項＞

・本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
・FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。
・TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後 SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
通信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合 ： 現在のリードポインタの値を保存します。
"0"に設定した場合 ： 動作に影響しません。

bit	説明	
	書込み時	読出し時
0	保存しない	常に"0"が読み出されます。
1	FIFO2 リセット	

＜注意事項＞

送信バイト数(FBYTE)が"0"を示している時に本ビットを"1"に設定してください。

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定することで、FIFO2 の内部状態を初期化します。
FCR1:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

＜注意事項＞

・送受信を禁止してから、FIFO2 リセットを実行してください。
・送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
・FBYTE2 レジスタの有効データ数は"0"に設定されます。

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定することで、FIFO1 の内部状態を初期化します。
FCR1:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

＜注意事項＞

・送受信を禁止してから、FIFO1 リセットを実行してください。
・送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
・FBYTE1 レジスタの有効データ数は"0"に設定されます。

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

・FIFO2 を使用する場合、本ビットに"1"を設定してください。
・FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
・FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生時、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
・FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
・FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
・FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
・FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

・FIFO1 を使用する場合、本ビットに"1"を設定してください。
・FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと SCR:TBIE ビットを"1"にしてください。
・FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生時、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
・FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
・FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
・FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
・FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

7.9. FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FBYTE レジスタは、FIFO に書込みまたは受信した有効なデータ数を示します。FCR1:FSEL ビットの設定を以下に示します。

表 7-4 データ数表示

FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

・FBYTE レジスタの転送数の初期値は"0x08"です。
・受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致した場合、割込みフラグ(SSR:RDRF)が"1"に設定されます。
・以下の条件を両方満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
  ・受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  ・受信 FIFO に存在するデータ数が転送数に達しない
8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

FBYTE2, FBYTE1: FIFO2 データ数表示ビット, FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数
受信時 : FIFO に受信されたデータ数

ライト(転送数)

送信時 : "0x00"設定
受信時 : 受信割込み発生のデータ数設定

＜注意事項＞

・送信 FIFO の FBYTE レジスタには"0x00"を設定してください。
・受信 FIFO の FBYTE は"1"以上のデータを設定してください。
・受信を禁止してから変更してください。
・本レジスタはリードモディファイライト系命令を使用できません。
・FIFO 容量を超える設定は禁止です。

CHAPTER: CSIO (クロック同期シリアルインタフェース)

マルチファンクション シリアルインタフェースの機能のうち、動作モード 2 でサポートしている CSIO 機能について説明します。

1. CSIO (クロック同期シリアルインタフェース)の概要
2. CSIO (クロック同期シリアルインタフェース)の割込み
3. CSIO (クロック同期シリアルインタフェース)の動作
4. 専用ボーレートジェネレータ
5. CSIO (クロック同期シリアルインタフェース)のレジスタ

管理コード: 9BFCSIO-J01.0_FM15C-J05.4

1. CSIO (クロック同期シリアルインタフェース)の概要

CSIO(クロック同期シリアルインタフェース)は、外部装置と同期通信をするための、汎用のシリアルデータ通信インタフェースです (SPI に対応します) 。また、送信/受信(最大各 128×9 ビット)*1 の FIFO を搭載しています。

■ CSIO (クロック同期シリアルインタフェース)の機能

		機　　能
1	データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/受信 FIFO(最大各 128×9 ビット) *1 (FIFO 使用時)
2	転送形式	・クロック同期(スタートビット/ストップビットなし) ・マスタ/スレーブ機能 ・SPI に対応 (マスタ/スレーブ両方サポート)
3	ボーレート	・専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成、マスタ動作時) ・外部クロック入力可能(スレーブ動作時)
4	データ長	5～9 ビットに可変可能
5	受信エラー検出	オーバランエラー
6	割込み要求	・受信割込み(受信完了, オーバランエラー) ・送信割込み(送信データエンプティ, 送信バスアイドル) ・送信 FIFO 割込み (送信 FIFO がエンプティのとき) ・送受信 DMA 転送サポート機能あり
7	同期モード	マスタまたはスレーブ機能
8	端子アクセス	シリアルデータ出力端子を"1"設定可能
9	FIFO オプション	・送受信 FIFO 搭載(最大容量:送信 FIFO 128×9 ビット, 受信 FIFO 128×9 ビット) *1 ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトで可変可能 ・独立して FIFO リセットサポート

*1：FIFO 容量は品種に応じて容量サイズが異なります。

2. CSIO (クロック同期シリアルインタフェース)の割込み

CSIO (クロック同期シリアルインタフェース)の割込みには、受信割込みと送信割込みがあります。次に示す要因で割込み要求を発生させられます。

・受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
・送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
・送信バスアイドル(送信動作なし)
・送信 FIFO データ要求

■ CSIO の割込み

CSIO の割込み制御ビットと割込み要因を表 2-1 に示します。

表 2-1 CSIO の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データレジスタ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
送信	TDRE	SSR	送信データレジスタがエンプティ	SCR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル

*1：TDRE ビットが"0"になってから TIE ビットを"1"にしてください。

2.1. 受信割込み発生とフラグセットのタイミング

受信時の割込みは、受信完了(SSR:RDRF=1)および受信エラーの発生(SSR:ORE=1)があります。

■ 受信割込み発生とフラグセットのタイミング

最終データビットを検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:ORE=1)するとき、各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。

図 2-1 受信動作とフラグセットのタイミング

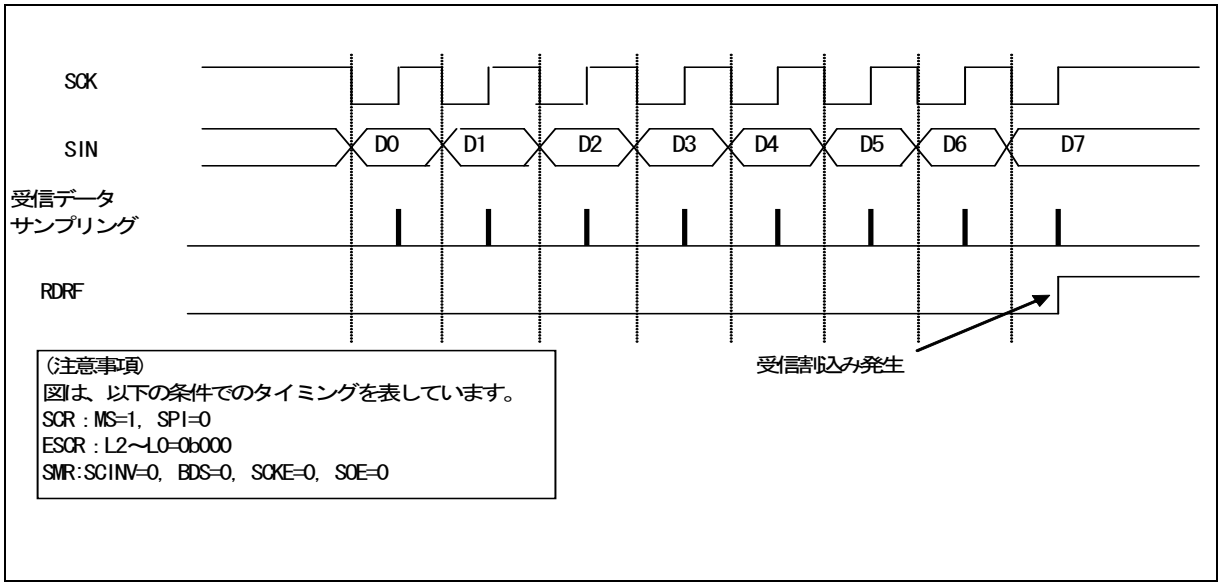
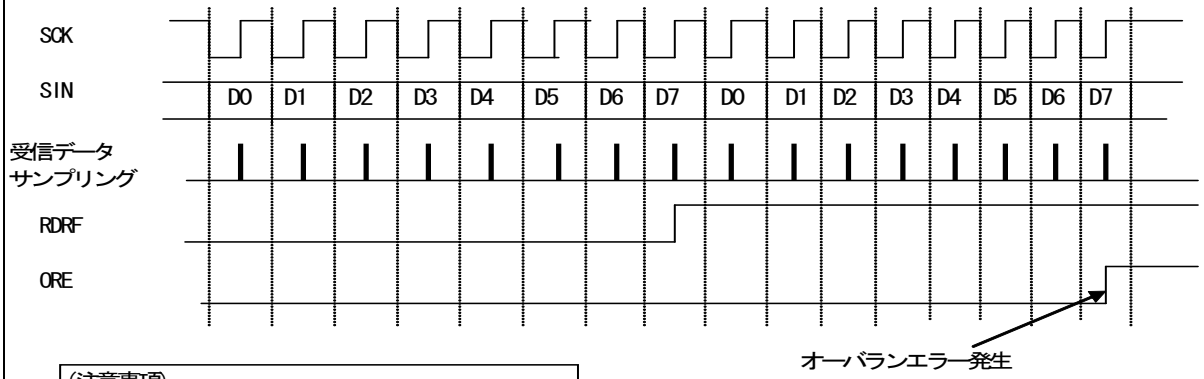


図 2-2 ORE(オーバランエラー)フラグセットタイミング



(注意事項)
図は、以下の条件でのタイミングを表しています。
SCR : MS=1, SPI=0
ESCR : L2～L0=0b000
SMR:SCINV=0, BDS=0, SCKE=0, SOE=0

(注意事項)
受信データが読み出される前に(RDRF=1)、次のデータが転送されるとオーバランエラーが発生します。

2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信した場合に発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が"1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で、次のデータを受信した場合、オーバランエラー(SSR:ORE=1)が発生します。

図 2-3 受信 FIFO 使用時の受信割込み発生タイミング

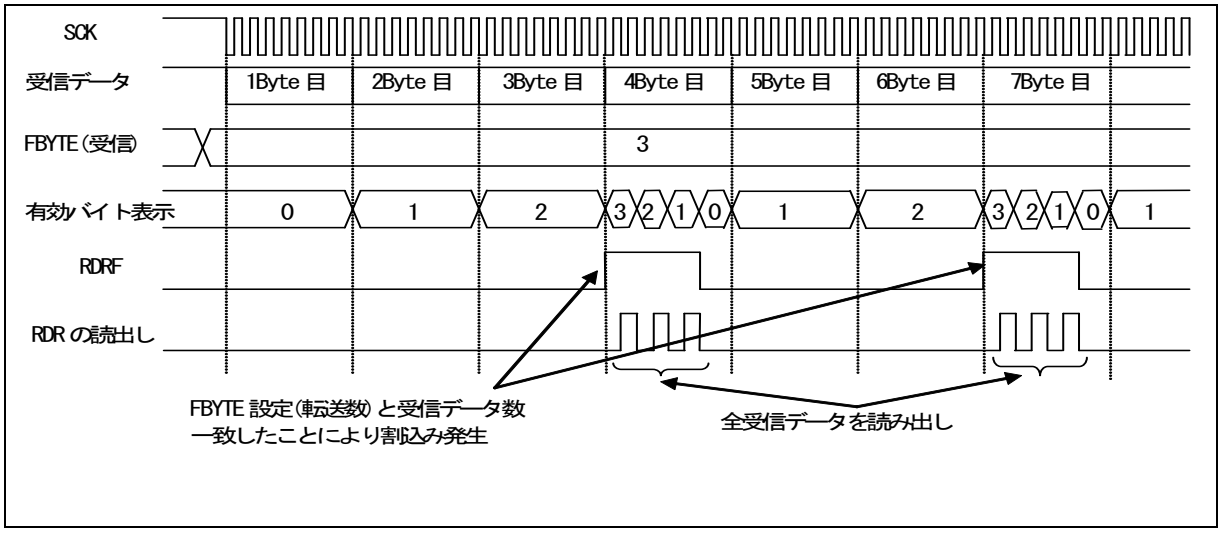
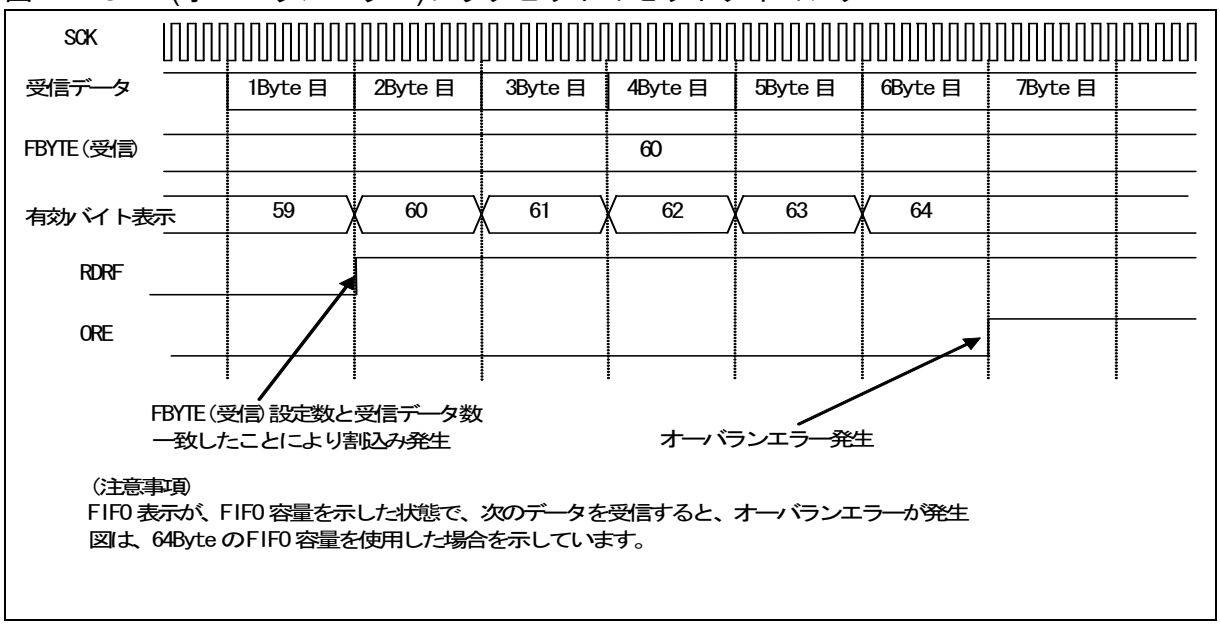


図 2-4 ORE (オーバランエラー)フラグビットのセットタイミング



2.3. 送信割込み発生とフラグセットのタイミング

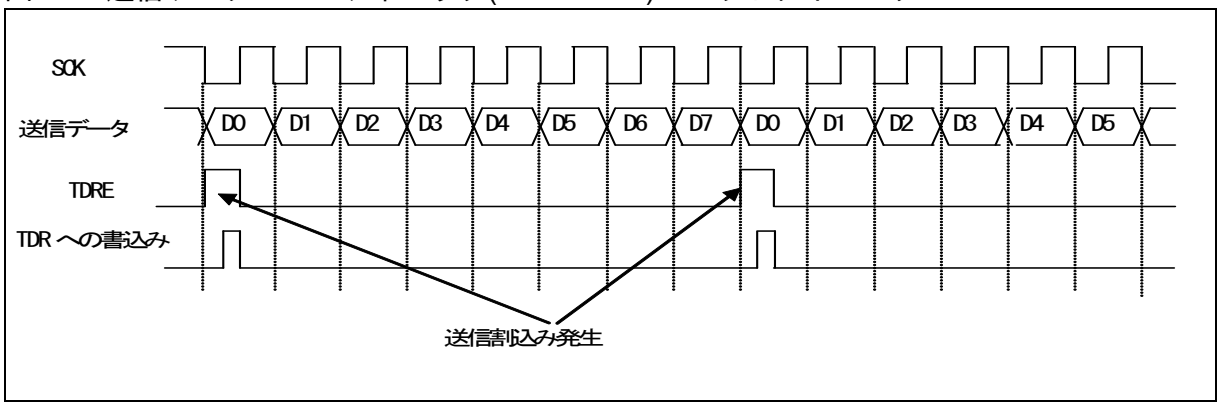
送信時の割込みは、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ(SSR:TDRE)のセットタイミング

送信データレジスタ(TDR)に書込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)です。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。SSR:TDRE ビットはリードオンリビットなので、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

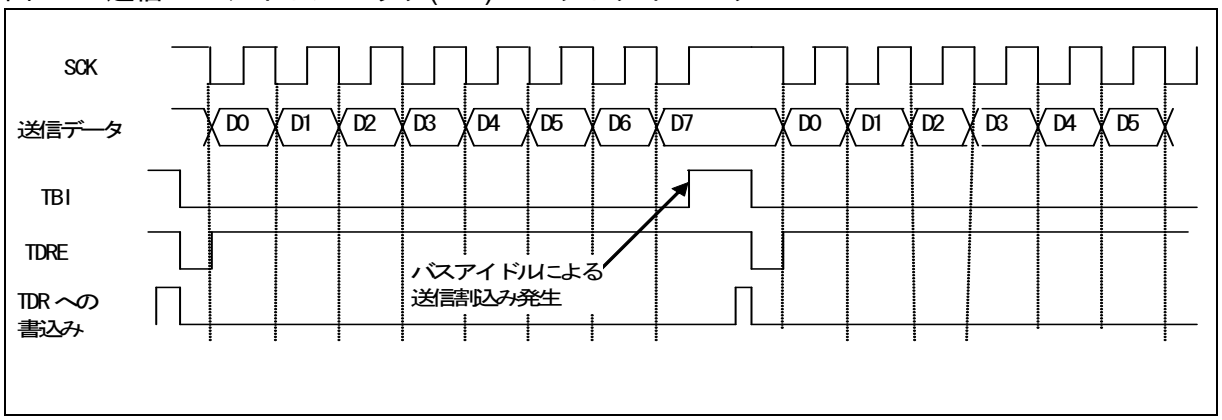
図 2-5 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



● 送信バスアイドルフラグ(SSR:TBI)のセットタイミング

送信データレジスタがエンプティ(SSR:TDRE=1)で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットした場合、SSR:TBI ビットおよび送信割込み要求はクリアされます。

図 2-6 送信バスアイドルフラグ(TBI)のセットタイミング



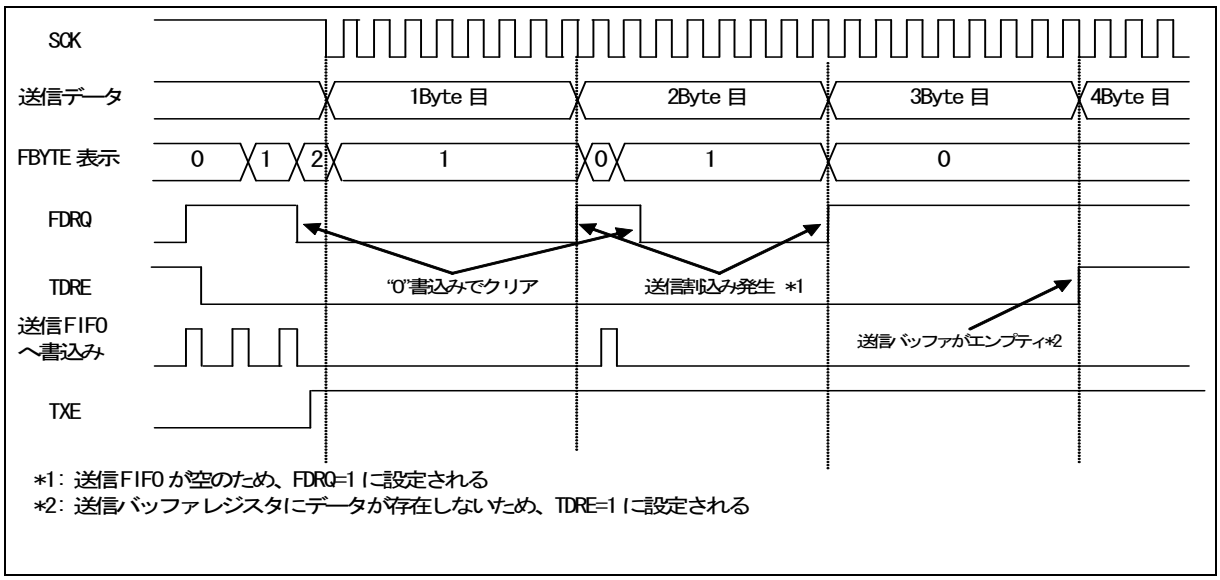
2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
  このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。
  FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 2-7 送信 FIFO 使用時の送信割込み発生タイミング



3. CSIO (クロック同期シリアルインタフェース)の動作

転送方式はクロック同期式です。

3.1. ノーマル転送(Ⅰ)

■ 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～9 ビット

■ レジスタの設定

ノーマル転送(Ⅰ)に必要な、レジスタの設定値を以下に示します。

表 3-1 ノーマル転送(Ⅰ)レジスタの設定

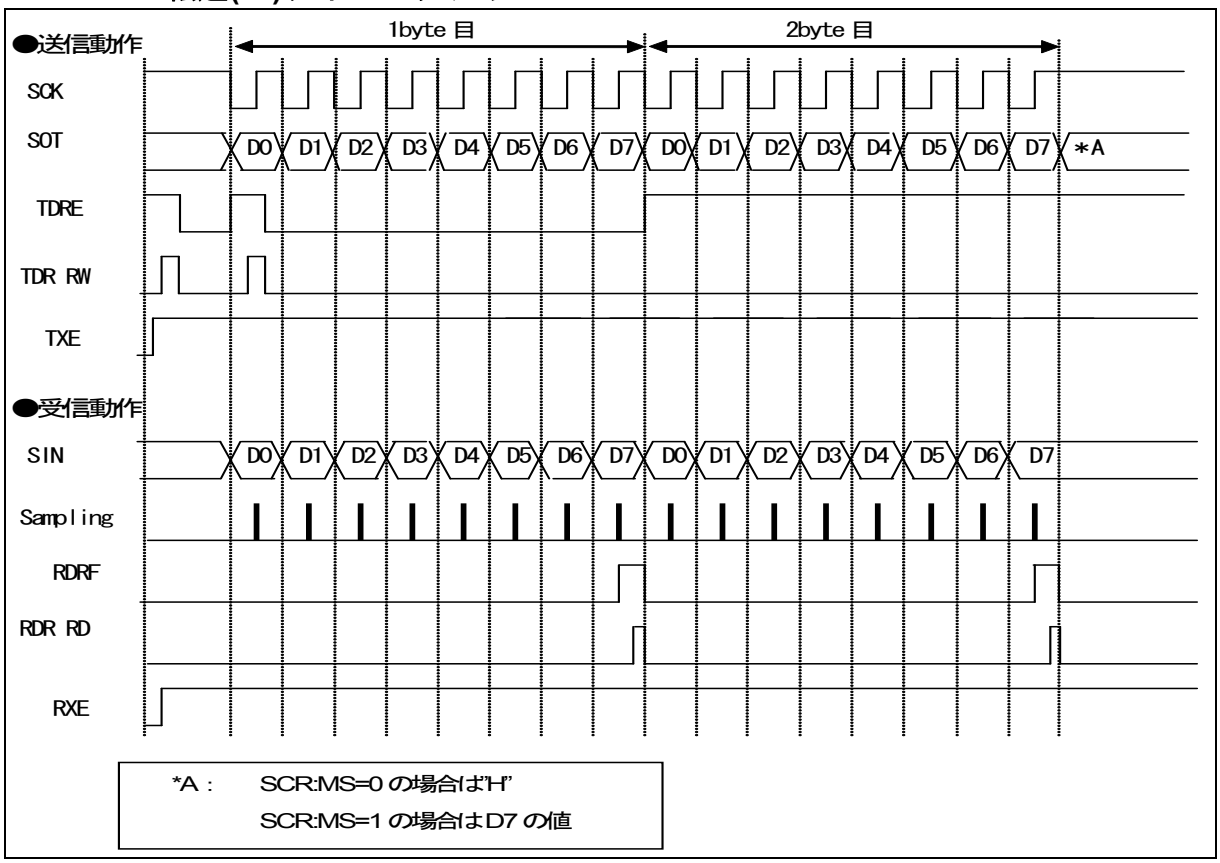
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
TDR/ RDR								D8	D7	D6	D5	D4	D3	D2	D1	D0
								*	*	*	*	*	*	*	*	*
BGR1/ BGR 0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定
0 : 0 を設定
* : ユーザが決める設定

＜注意事項＞

上記ビットの設定値(1/0)は、マスタ動作, スレーブ動作で異なります。以下のように設定してください。
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

■ ノーマル転送(Ⅰ)タイミングチャート



■ マスタ動作 (SCR:MS=0, SMR:SCKE=1)

● 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にした後、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データが出力されます。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

・受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。
・送受信 FIFO 許可時は、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

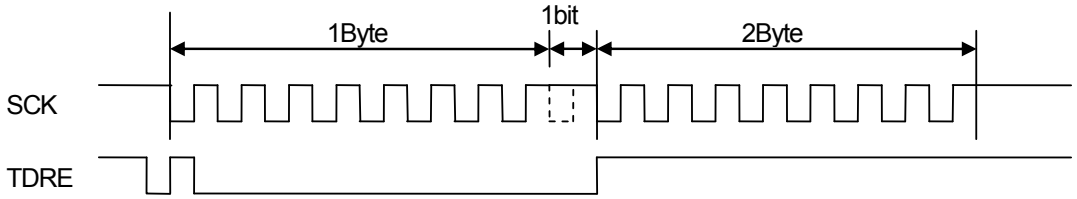
● 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

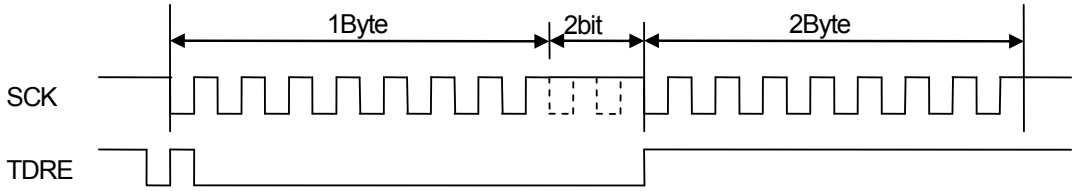
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR.WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

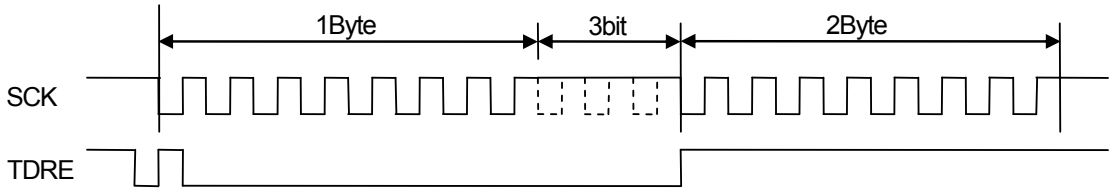
・ ESCR.WT1=0, ESCR.WT0=1(マスタ時)



・ ESCR.WT1=1, ESCR.WT0=0(マスタ時)



・ ESCR.WT1=1, ESCR.WT0=1(マスタ時)



■ スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

● 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

3.2. ノーマル転送(Ⅱ)

■ 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～9 ビット

■ レジスタの設定

ノーマル転送(Ⅱ)に必要な、レジスタの設定値を以下に示します。

表 3-2 ノーマル転送(Ⅱ)レジスタの設定

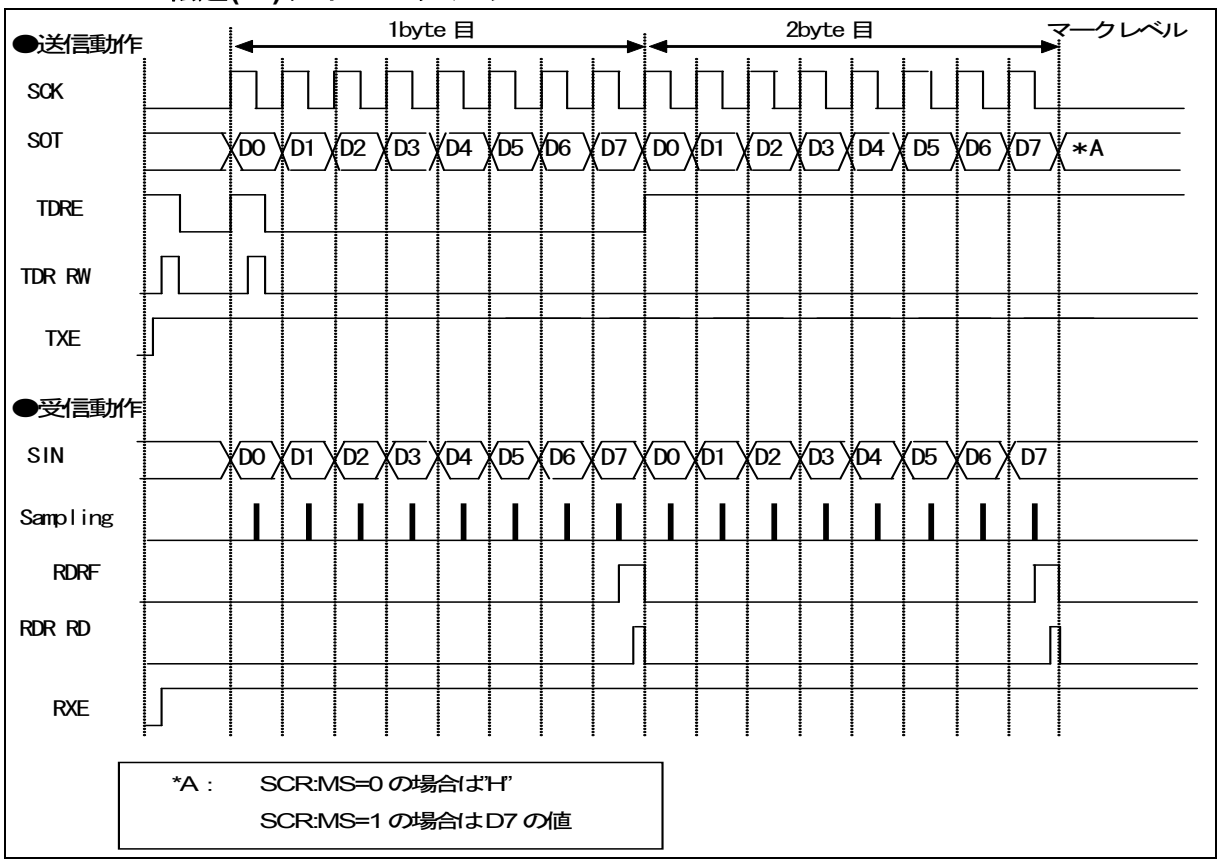
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SCINV	BDS	SCKE	SOE
	0	1/0	0	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
TDR/ RDR								D8	D7	D6	D5	D4	D3	D2	D1	D0
								*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定
0 : 0 を設定
* : ユーザが決める設定

＜注意事項＞

上記ビットの設定値(1/0)は、マスタ動作, スレーブ動作で異なります。以下のように設定してください。
マスタ動作時 : SCR:MS=0, SMR:SCKE=1
スレーブ動作時 : SCR:MS=1, SMR:SCKE=0

■ ノーマル転送(Ⅱ)タイミングチャート



■ マスタ動作 (SCR:MS=0, SMR:SCKE=1)

● 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立下りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

・受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。
・送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

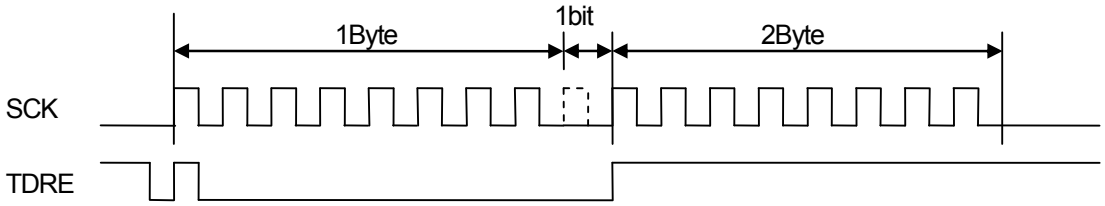
● 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

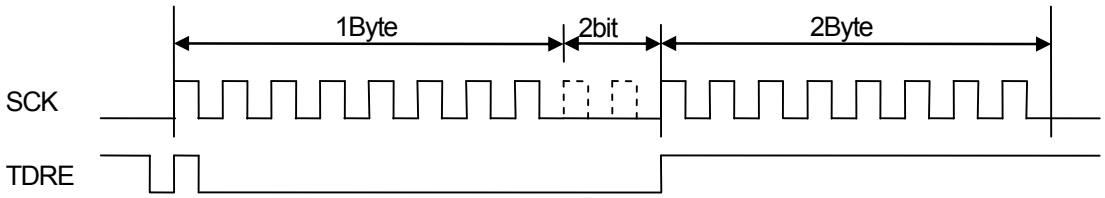
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR.WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

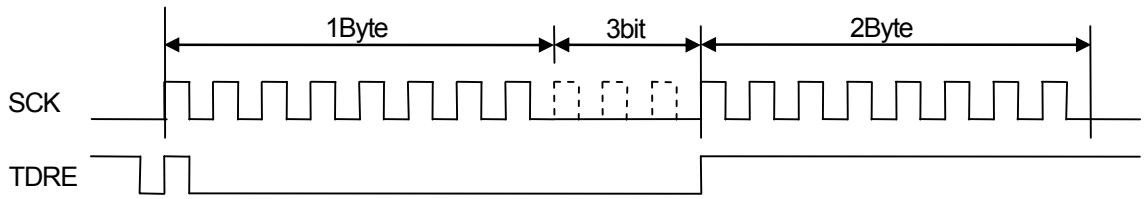
・ ESCR：WT1=0, ESCR：WT0=1(マスタ時)



・ ESCR：WT1=1, ESCR：WT0=0(マスタ時)



・ ESCR：WT1=1, ESCR：.WT0=1(マスタ時)



■ スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

● 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。
2. 最初の 1 ビット目の送信データが出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となりシリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。最初の 1 ビット目の送信データが出力されると SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

3.3. SPI 転送(Ⅰ)

■ 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"H"
2	送信データ出力タイミング	SCK の立上りエッジ
3	受信データのサンプリング	SCK の立下りエッジ
4	データ長	5～9 ビット

■ レジスタの設定

SPI 転送(Ⅰ)に必要な、レジスタの設定値を以下に示します。

表 3-3 SPI 転送(Ⅰ)レジスタの設定

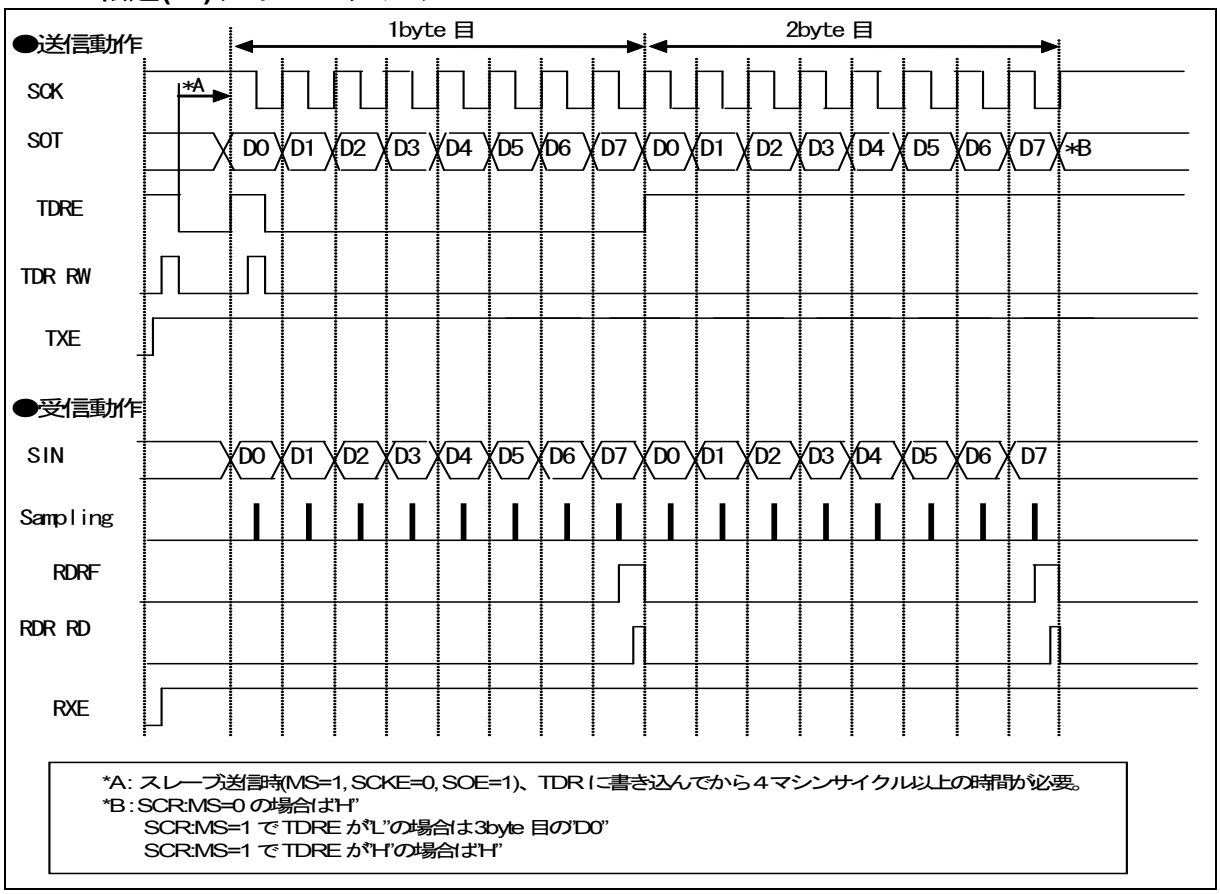
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	0	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
TDR/ RDR								D8	D7	D6	D5	D4	D3	D2	D1	D0
								*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定
0 : 0 を設定
* : ユーザが決める設定

＜注意事項＞

上記ビットの設定値(1/0)は、マスタ動作, スレーブ動作で異なります。以下のように設定してください。
マスタ動作時: SCR:MS=0, SMR:SCKE=1
スレーブ動作時: SCR:MS=1, SMR:SCKE=0

■ SPI 転送(Ⅰ)タイミングチャート



■ マスタ動作 (SCR:MS=0, SMR:SCKE=1)

● 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データが出力されます。
2. 最初のシリアルクロック(SCK)出力の立下りエッジの半サイクル前で、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック(SCK)出力の立下りエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

・受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。
・送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

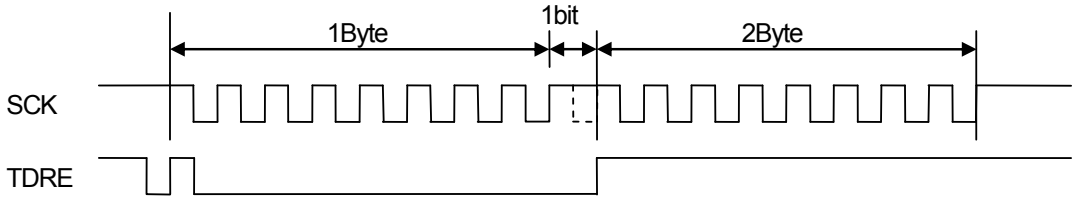
● 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。最初のシリアルクロックの立下りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

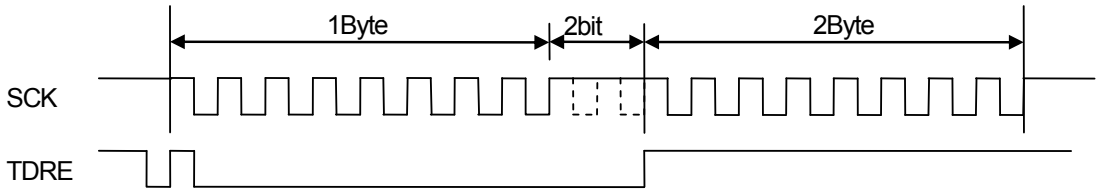
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR.WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

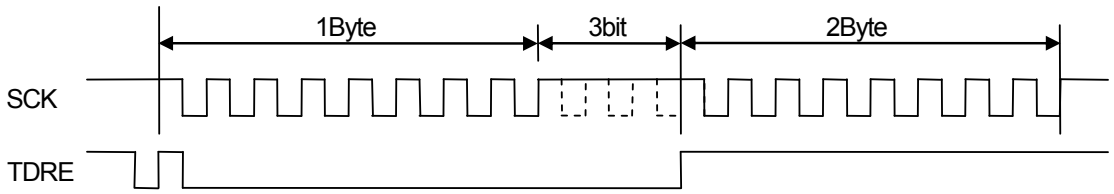
・ ESCR.WT1=0, ESCR.WT0=1(マスタ時)



・ ESCR.WT1=1, ESCR.WT0=0(マスタ時)



・ ESCR.WT1=1, ESCR.WT0=1(マスタ時)



■ スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

● 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立上りエッジに同期して、送信データを出力します。
2. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立下りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立上りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立下りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 受信動作から送信動作への連続的な切換え

1. シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。
2. 受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。
3. 受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込み、受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

3.4. SPI 転送(Ⅱ)

■ 特長

	項目	説明
1	シリアルクロック(SCK)のマークレベル	"L"
2	送信データ出力タイミング	SCK の立下りエッジ
3	受信データのサンプリング	SCK の立上りエッジ
4	データ長	5～9 ビット

■ レジスタの設定

SPI 転送(Ⅱ)に必要な、レジスタの設定値を以下に示します。

表 3-4 SPI 転送(Ⅱ)レジスタの設定

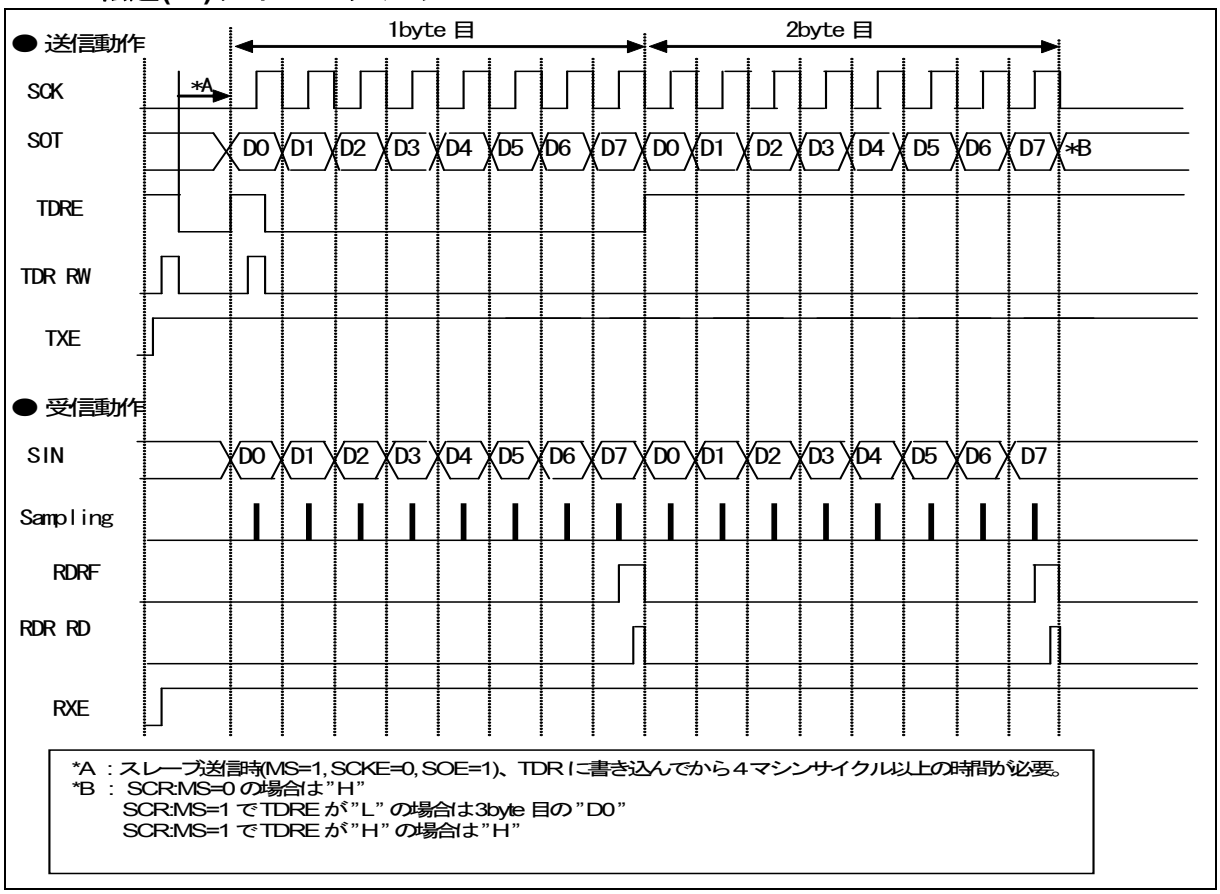
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SCINV	BDS	SCKE	SOE
	0	1/0	1	*	*	*	*	*	0	1	0	0	1	*	1/0	*
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
	0	-	-	-	-	-	-	-	0	-	-	*	*	*	*	*
TDR/ RDR								D8	D7	D6	D5	D4	D3	D2	D1	D0
								*	*	*	*	*	*	*	*	*
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	-	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

1 : 1 を設定
0 : 0 を設定
* : ユーザが決める設定

＜注意事項＞

上記ビットの設定値(1/0)は、マスタ動作, スレーブ動作で異なります。以下のように設定してください。
マスタ動作時: SCR:MS=0, SMR:SCKE=1
スレーブ動作時: SCR:MS=1, SMR:SCKE=0

■ SPI 転送(Ⅱ)タイミングチャート



■ マスタ動作 (SCR:MS=0, SMR:SCKE=1)

● 送信動作

1. シリアルデータ出力許可(SMR:SOE=1), 送信動作許可(SCR:TXE=1)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。これにより、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データが出力されます。
2. 最初のシリアルクロック(SCK)出力の立上りエッジの半サイクル前で、SSR:TDRE=1 に設定されます。このため、送信割込み許可(SCR:TIE=1)されていると送信割込み要求が出力されます。このとき、2 バイト目の送信データを書き込めます。

● 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0), 送信動作許可(SCR:TXE=1)および受信動作許可(SCR:RXE=1)に設定した場合、TDR にダミーデータを書き込むとシリアルクロック出力(SCK)の立上がりエッジで、受信データがサンプリングされます。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。このとき、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

＜注意事項＞

・受信動作のみを行う場合、シリアルクロック(SCK)を出力させるために TDR へダミーデータを書き込んでください。
・送受信 FIFO 許可時、転送させたいフレーム分 FBYTE レジスタに設定することで、設定値分のフレームのシリアルクロック(SCK)が出力されます。

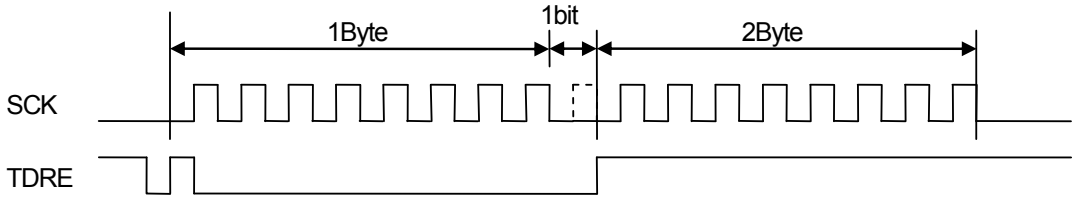
● 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)出力の立下りエッジに同期して、送信データを出力します。最初のシリアルクロックの立上りエッジの半サイクル前で、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)出力の立上りエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

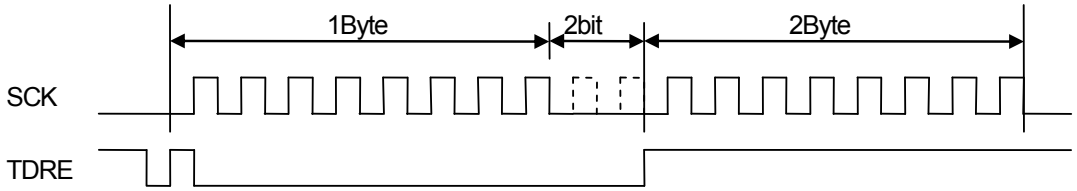
● 連続データ送信または受信ウェイト動作

連続データ送信または受信に対し、(ESCR:WT1, ESCR.WT0)= (0, 0)以外を設定した場合、Frame 間にウェイトが挿入されます。

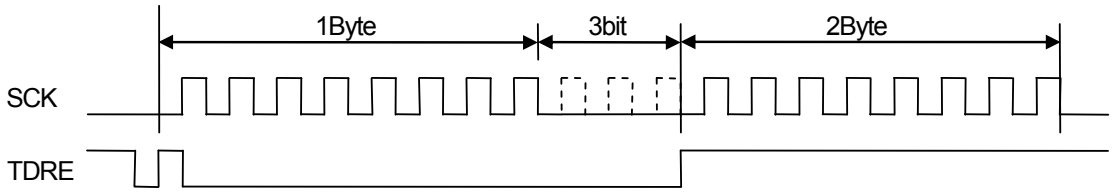
・ ESCR.WT1=0, ESCR.WT0=1(マスタ時)



・ ESCR.WT1=1, ESCR.WT0=0(マスタ時)



・ ESCR.WT1=1, ESCR.WT0=1(マスタ時)



■ スレーブ動作 (SCR:MS=1, SMR:SCKE=0)

● 送信動作

1. シリアルデータ出力許可(SMR:SOE=1)および送信動作許可(SCR:TXE=1)にし、TDR に送信データを書き込むと、SSR:TDRE=0 に設定されます。このため、1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。
2. 送信データの 1 ビット目が出力されると、SSR:TDRE=1 に設定されます。送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。

＜注意事項＞

送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのとき以外で行うと、1 ビット目のデータが出力されず、正常に送信動作を行いません。送信動作許可後(SCR:TXE=1)、最初の TDR への送信データ書込みはシリアルクロック(SCK)がマークレベルのときに行ってください。

● 受信動作

1. シリアルデータ出力禁止(SMR:SOE=0)および受信動作許可(SCR:RXE=1)にした場合、シリアルクロック入力(SCK)の立上りエッジで、受信データをサンプリングします。
2. 最後のビットを受信した場合、SSR:RDRF=1 に設定されます。受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。
   このとき、受信データ(RDR)を読み出せます。
3. 受信データ(RDR)を読み出すと、SSR:RDRF は"0"にクリアされます。

● 送受信動作

1. 送受信動作を同時に行う場合は、シリアルデータ出力許可(SMR:SOE=1), 送受信動作許可(SCR:TXE, RXE=1)にしてください。
2. TDR に送信データを書き込むと、SSR:TDRE=0 となり 1 ビット目が出力されます。その後、シリアルクロック(SCK)入力の立下りエッジに同期して、送信データを出力します。送信データの 1 ビット目が出力されると、SSR:TDRE=1 となり、送信割込み許可(SCR:TIE=1)されていると送信割込み要求を出力します。このとき、2 バイト目の送信データを書き込めます。
3. 受信データをシリアルクロック(SCK)入力の立上がりエッジでサンプリングします。受信データの最後のビットを受信した場合、SSR:RDRF=1 となり、受信割込み許可(SCR:RIE=1)されていると、受信割込み要求を出力します。このとき、受信データ(RDR)を読み出せます。受信データを読み出すと SSR:RDRF は"0"にクリアされます。

● 受信動作から送信動作への連続的な切換え

1. シリアルデータ出力禁止(SMR:SOE=0), 受信割込み許可(SCR:RIE=1), 受信動作許可(SCR:RXE=1)および送信動作許可(SCR:TXE=1)にします。シリアルクロック(SCK)がマークレベル時に TDR にダミーデータを書き込むと、シリアルクロック入力(SCK)の立下りエッジで受信データをサンプリングします。
2. 受信動作を継続する場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでに TDR にダミーデータを書き込んでください。
3. 受信動作から送信動作へ切り換える場合、受信割込み要求後から次のシリアルクロック(SCK)の立上りまでにシリアルデータ出力許可(SMR:SOE=1), 受信割込み禁止(SCR:RIE=0)および受信動作禁止(SCR:RXE=0)にし、TDR に送信データを書き込み、受信動作終了後にシリアルクロックの立上りエッジに同期して送信データを出力します。

4. 専用ボーレートジェネレータ

専用ボーレートジェネレータは、マスタ動作時のみ機能します。ただし、受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

■ CSIO(クロック同期シリアルインタフェース)ボーレート選択

専用ボーレートジェネレータの設定は、マスタ動作時とスレーブ動作時では異なります。

[1]マスタ動作時

● 専用ボーレートジェネレータで内部クロックを分周させて、ボーレートを選択します。

・2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。
・リロードカウンタは設定された値で内部クロックを分周します。

[2]スレーブ動作時

・スレーブ動作時(SCR:MS=1)は、専用ボーレートジェネレータは機能しません。
(クロック入力端子 SCK から入力された、外部クロックを直接使用します。)

＜注意事項＞

受信 FIFO を使用する場合にはスレーブ動作時でも専用ボーレートジェネレータを設定してください。

4.1. ボーレート設定

ボーレートの設定を示します。また、シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

```
V = Φ / b - 1

V : リロード値    b : ボーレート    Φ : バスクロック周波数
```

(2)計算例

```
バスクロック(16MHz)、内部クロック使用、ボーレートを 19200bps に設定する場合のリロード値は
次のようになります。
            リロード値 :
              V = (16 × 1000000)/19200 - 1 = 832
              よって、ボーレートは
              b = (16 × 1000000)/(832 + 1) = 19208 (bps)
```

(3)ボーレートの誤差
ボーレートの誤差は次の式によって求められます。

```
誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHｚ)、目標ボーレートを 153600bps に設定する場合
                    リロード値 = (20 × 1000000)/153600 - 1 = 129
            ボーレート(計算値) = (20 × 1000000)/(129 + 1) = 153846 (bps)
                      誤差(%) = (153846 - 153600)/153600 × 100 = 0.16 (%)
```

＜注意事項＞

- リロード値を"0"に設定した場合、リロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は SMR:SCINV ビットと SCR:SPI ビットの設定によって以下のようになります。
  奇数の場合、シリアルクロックの"H"幅と"L"幅は同じになります。
  - ノーマル転送(SCR:SPI=0)でシリアルクロックのマークレベル"H" (SMR:SCINV="0")の場合、または SPI 転送(SCR:SPI=1)でシリアルクロックのマークレベル"L" (SMR:SCINV="1")の場合にシリアルクロックの"H"幅がバスクロック 1 サイクル分長くなります。
  - ノーマル転送(SCR:SPI=0)でシリアルクロックのマークレベル"L" (SMR:SCINV="1")の場合、または SPI 転送(SCR:SPI=1)でシリアルクロックのマークレベル"H" (SMR:SCINV="0")の場合にシリアルクロックの"L"幅がバスクロック 1 サイクル分長くなります。
- リロード値は 3 以上を設定してください。

■ 各バスクロック周波数に対するリロード値とボーレート

表 4-1 リロード値とボーレート

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	3	0
6M	-	-	-	-	-	-	-	-	3	0	-	-
5M	-	-	-	-	-	-	3	0	-	-	-	-
4M	-	-	-	-	3	0	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	-	-	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	-0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	-0.16	-	-
153600	51	-0.16	64	-0.16	103	-0.16	129	-0.16	155	-0.16	207	-0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	-0.64	86	0.22	138	0.08	173	0.22	207	-0.16	277	0.08
76800	103	-0.16	129	-0.16	207	-0.16	259	-0.16	311	-0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	-0.16	416	0.08	555	0.08
38400	207	-0.16	259	-0.16	416	0.08	520	0.03	624	0	832	-0.04
28800	277	0.08	346	<0.01	554	-0.01	693	-0.06	832	-0.03	1110	-0.01
19200	416	0.08	520	0.03	832	-0.03	1041	0.03	1249	0	1666	0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	-0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	-0.01
4800	1666	0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8334	0.02	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	26666	<0.01	-	-	-	-	-	-	-	-	-

・Value : BGR1/0 レジスタの設定値
・ERR : ボーレート誤差(%)

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあります。専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

● 送信/受信リロードカウンタ共通

プログラマブルリセット(SCR:UPCL ビット)

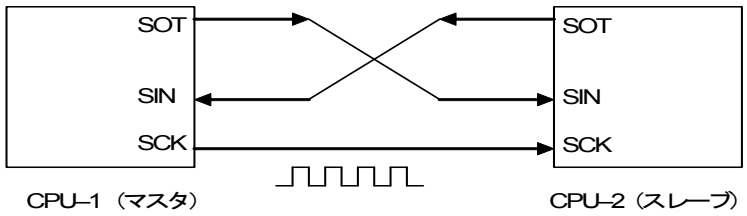
4.2. CSIO(クロック同期シリアルインタフェース)設定手順とプログラムフロー

CSIO(クロック同期シリアルインタフェース)では、シリアル双方向同期送信ができます。

● CPU 間接続

CSIO(クロック同期シリアルインタフェース)では、双方向通信を選択します。図 4-1 に示すように 2 つの CPU を相互に接続します。

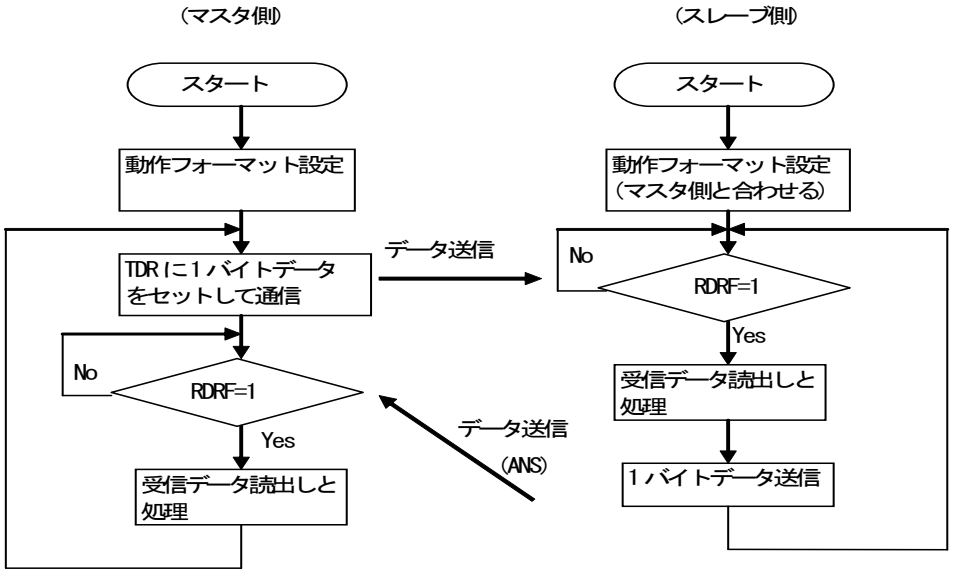
図 4-1 CSIO(クロック同期シリアルインタフェース)の双方向通信の接続例



■ フローチャート

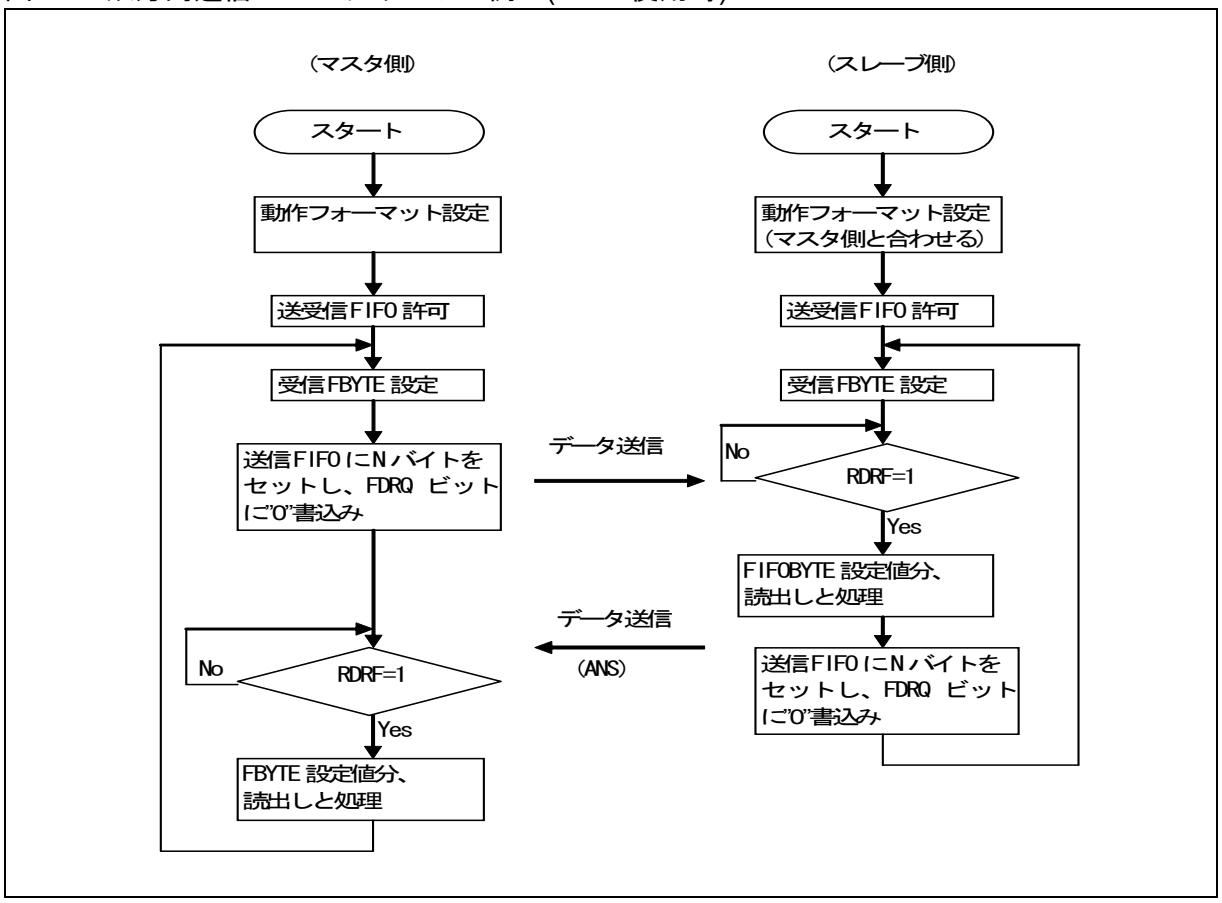
● FIFO 未使用時

図 4-2 双方向通信フローチャートの例 (FIFO 未使用時)



● **FIFO 使用時**

図 4-3 双方向通信フローチャートの例 (FIFO 使用時)



5. CSIO (クロック同期シリアルインタフェース)のレジスタ

CSIO(クロック同期シリアルインタフェース)のレジスター覧を示します。

■ CSIO(クロック同期シリアルインタフェース)のレジスター覧

表 5-1 CSIO (クロック同期シリアルインタフェース)のレジスター覧

	bit15 bit8	bit7 bit0
CSIO	SCR(シリアル制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	ESCR(拡張通信制御レジスタ)
	RDR1/TDR1(送受信データレジスタ 1)	RDR0/TDR0(送受信データレジスタ 0)
	BGR1(ボーレートジェネレータレジスタ 1)	BGR0(ボーレートジェネレータレジスタ 0)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

表 5-2 CSIO (クロック同期シリアルインタフェース)ビット配置

	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SCR/ SMR	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SCINV	BDS	SCKE	SOE
SSR/ ESCR	REC	-	-	-	ORE	RDRF	TDRE	TBI	SOP	-	-	WT1	WT0	L2	L1	L0
TDR/ RDR	-							D8	D7	D6	D5	D4	D3	D2	D1	D0
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

5.1. シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止，送信アイドル割込みの許可/禁止，送受信動作の許可/禁止の設定を行います。また、SPI に接続するための設定，CSIO をリセットすることが可能です。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	MS	SPI	RIE	TIE	TBIE	RXE	TXE	(SMR)
初期値	0	0	0	0	0	0	0	0	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

[bit15] UPCL : プログラマブルクリアビット

CSIO の内部状態を初期化するビットです。

"1"を設定した場合:

- CSIO を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は保持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:TDRE, TBI, RDRF, ORE)は初期化されます。

"0"を設定した場合:

動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	プログラマブルクリア	

＜注意事項＞

- 割込み禁止に設定した後に、プログラマブルクリアを実行してください。
- FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。

[bit14] MS : マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

・"0"に設定した場合 : マスタモードに設定されます。
・"1"に設定した場合 : スレーブモードに設定されます。

bit	説明
0	マスタモード
1	スレーブモード

＜注意事項＞

・スレーブモードを選択した場合、SMR:SCKE=0 であれば、外部クロックが直接入力されます。
・MS ビット設定後に、受信許可(RXE=1)に設定してください。

[bit13] SPI : SPI 対応ビット

本ビットは、SPI に対応した通信をさせるためのビットです。

・"0"に設定した場合 : ノーマル同期通信を行います。
・"1"に設定した場合 : SPI に対応します。

bit	説明
0	ノーマル同期転送
1	SPI 対応

[bit12] RIE : 受信割込み許可ビット

・CPU への受信割込み要求出力を許可/禁止するビットです。
・RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(ORE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE : 送信割込許可ビット

・CPU への送信割込み要求出力を許可/禁止するビットです。
・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE : 送信バスアイドル割込み許可ビット

・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
・TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE : 受信動作許可ビット

CSIO の受信動作を許可/禁止します。

・"0"に設定した場合 : データフレーム受信動作が禁止されます。
・"1"に設定した場合 : データフレーム受信動作が許可されます。

bit	説明
0	受信禁止
1	受信許可

＜注意事項＞

・受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。
・MS ビットおよび SMR:SCINV ビット設定後に、受信許可(RXE=1)に設定してください。

[bit8] TXE : 送信動作許可ビット

CSIO の送信動作を許可/禁止します。

・"0"に設定した場合 : データフレーム送信動作が禁止されます。
・"1"に設定した場合 : データフレーム送信動作が許可されます。

bit	説明
0	送信禁止
1	送信許可

＜注意事項＞

送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

5.2. シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定，転送方向，データ長，シリアルクロックの反転およびシリアルデータとクロックの端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	WUCR	SCINV	BDS	SCKE	SOE
初期値		0	0	0	0	0	0	0	0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7:5] MD2, MD1, MD0 : 動作モード設定ビット

動作モードを設定します。

"000" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010" : 動作モード 2(クロック同期モード)に設定されます。
"011" : 動作モード 3(LIN 通信モード)に設定されます。
"100" : 動作モード 4(I^2C モード)に設定されます。

本章は動作モード 2(クロック同期モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は動作モード 2 のレジスタおよび動作について説明します。

＜注意事項＞

- 上記設定以外は禁止です。
- 動作モードを切り換える場合には、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。
- 動作モード設定後、各レジスタを設定してください。

[bit4] WUCR : WAKE UP 制御ビット

外部割込みで使用する端子を選択します。

"0"に設定した場合 : 外部割込みで使用する端子は、INT 端子に設定されます。
"1"に設定した場合 : 外部割込みで使用する端子は、SCK 端子に設定されます。

bit	説明
0	WAKE UP 機能禁止
1	WAKE UP 機能許可

[bit3] SCINV : シリアルクロック反転ビット

シリアルクロックフォーマットを反転するビットです。

"0"に設定した場合:

・シリアルクロック出力のマークレベルを"H"にします。
・送信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジに同期して出力します。
・受信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジでサンプリングします。

"1"に設定した場合:

・シリアルクロック出力のマークレベルを"L"にします。
・送信データは、ノーマル転送では、シリアルクロックの立上りエッジ、SPI 転送では、シリアルクロックの立下りエッジに同期して出力します。
・受信データは、ノーマル転送では、シリアルクロックの立下りエッジ、SPI 転送では、シリアルクロックの立上りエッジでサンプリングします。

bit	説明
0	マークレベル"H"フォーマット
1	マークレベル"L"フォーマット

＜注意事項＞

・本ビットは、送受信が禁止(TXE=RXE=0)のときに設定してください。
・SCINV ビット設定後に、受信許可(SCR:RXE=1)に設定してください。

[bit2] BDS : 転送方向選択ビット

転送シリアルデータを最下位ビット側から先に転送するか(LSB ファースト、BDS=0)最上位ビット側から先に転送するか(MSB ファースト、BDS=1)を選択するビットです。

bit	説明
0	LSB ファースト(最下位ビットから転送)
1	MSB ファースト(最上位ビットから転送)

＜注意事項＞

本ビットは、送受信が禁止(SCR:TXE=RXE=0)のときに設定してください。

[bit1] SCKE : マスタモード時のシリアルクロック出力許可ビット

シリアルクロックの入出力ポートを制御するビットです。

bit	説明
0	シリアルクロック出力を禁止
1	シリアルクロック出力を許可

＜注意事項＞

SCK 端子として使用する場合は GPIO 設定も行ってください。

[bit0] SOE : シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

＜注意事項＞

SOT 端子として使用する場合は GPIO 設定も行ってください。

5.3. シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認，受信エラーフラグの確認または受信エラーフラグのクリアを行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	-	-	ORE	RDRF	TDRE	TBI	(ESCR)
初期値	0	-	-	-	0	0	1	1	
属性	R/W	-	-	-	R	R	R	R	

[bit15] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE フラグをクリアするビットです。

・"1"書込みで、エラーフラグがクリアされます。
・"0"書込みは、動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	受信エラーフラグ(FRE, ORE)のクリア	

[bit14:12] 未使用ビット

読出し時 : 値は不定です。
書込み時: 動作に影響しません。

[bit11] ORE : オーバランエラーフラグビット

・受信時にオーバランが発生した場合、"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・ORE ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合は、受信データレジスタ (RDR) のデータは無効です。
・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF : 受信データフルフラグビット

・受信データレジスタ(RDR)の状態を示すフラグです。
・RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
・RDRF ビットと SCR:RIE ビットが"1"の場合、受信割込み要求を出力します。
・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
・受信 FIFO 使用時に、以下の条件が両方満たされる場合、受信アイドル状態がボーレートクロックで 8 クロック以上続いた場合、RDRF が"1"に設定されます。
  ・受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)が"1"
  ・受信 FIFO に所定のデータ数を受信せずに受信 FIFO にデータが残っている
  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。
・受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ RDR が空
1	受信データレジスタ RDR にデータが存在する

[bit9] TDRE : 送信データエンプティフラグビット

・送信データレジスタ(TDR)の状態を示すフラグです。
・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
・TDRE ビットと SCR:TIE ビットが"1"の場合、送信割込み要求を出力します。
・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合、TDRE ビットは"1"に設定されます。
・送信 FIFO 使用時の TDRE ビットのセット/リセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタが空

[bit8] TBI : 送信バスアイドルフラグビット

・CSIO が送信動作をしていないことを示すビットです。
・送信データレジスタ(TDR)へデータを書きこんだ場合に本ビットは"0"に設定されます。
・送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
・シリアル制御レジスタ(SCR)の UPCL ビットに"1"をセットした場合、TDRE ビットは"1"に設定されます。
・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

5.4. 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、送受信データ長の設定，シリアル出力の"H"固定の設定ができます。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	-	SOP	-	-	WT1	WT0	L2	L1	L0
初期値		0	-	-	0	0	0	0	0
属性		R/W	-	-	R/W	R/W	R/W	R/W	R/W

[bit7] SOP : シリアル出力端子セットビット

・シリアル出力端子を"H"に設定するビットです。本ビットに"1"を書き込んだときに SOT 端子を"H"にしますが、その後、本ビットに"0"を書き込む必要はありません。
・読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	SOT 端子を"H"に設定	

＜注意事項＞

シリアルデータ送信中に、本ビットの設定はしないでください。

[bit6:5] 未使用ビット

読出し時 : 値は不定です。
書込み時 : 動作に影響しません。

[bit4:3] WT1, WT0 : データ送受信ウェイト選択ビット

マスタ時、連続データの送信または受信に対し、ウェイト数を指定します。スレーブ時は"00"の動作です。

・"00"に設定した場合 : 連続的に SCK が出力されます。
・"01"に設定した場合 : 1 ビット時間ウェイト後 SCK が出力されます。
・"10"に設定した場合 : 2 ビット時間ウェイト後 SCK が出力されます。
・"11"に設定した場合 : 3 ビット時間ウェイト後 SCK が出力されます。

bit4	bit3	説明
0	0	0 ビット
0	1	1 ビット
1	0	2 ビット
1	1	3 ビット

[bit2:0] L2, L1, L0 : データ長選択ビット

送受信データのデータ長を指定します。

・"000"に設定した場合 : データ長は 8 ビットに設定されます。
・"001"に設定した場合 : データ長は 5 ビットに設定されます。
・"010"に設定した場合 : データ長は 6 ビットに設定されます。
・"011"に設定した場合 : データ長は 7 ビットに設定されます。
・"100"に設定した場合 : データ長は 9 ビットに設定されます。

bit2	bit1	bit0	説明
0	0	0	8 ビット長
0	0	1	5 ビット長
0	1	0	6 ビット長
0	1	1	7 ビット長
1	0	0	9 ビット長
上記以外			設定禁止

＜注意事項＞

上記設定以外は禁止です。

5.5. 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

■ 受信データレジスタ(RDR)

bit	15 ... 9	8	7	6	5	4	3	2	1	0
Field		D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値		0	0	0	0	0	0	0	0	0
属性		R	R	R	R	R	R	R	R	R

受信データレジスタ(RDR)は、シリアルデータ受信用の 9 ビットのデータバッファレジスタです。

・シリアル入力端子(SIN)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
・データ長に応じ、以下のように上位ビットから順に"0"に設定されます。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	0	X	X	X	X	X	X	X	X
7 ビット	0	0	X	X	X	X	X	X	X
6 ビット	0	0	0	X	X	X	X	X	X
5 ビット	0	0	0	0	X	X	X	X	X

・受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合は(SCR:RIE=1)、受信割込み要求を発生します。
・受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読み出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
・受信エラーが発生(SSR:ORE)した場合、受信データレジスタ(RDR)のデータは無効です。
・9 ビット長転送の場合 RDR の読出しは 16 ビットアクセスで行ってください。

＜注意事項＞

・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
・受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が"0"にクリアされます。
・受信 FIFO 使用時に、受信エラーが発生(SSR:ORE)した場合、受信 FIFO の許可ビットはクリアされ、受信データは受信 FIFO に格納しません。

■ 送信データレジスタ(TDR)

bit	15 ... 9	8	7	6	5	4	3	2	1	0
Field		D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値		1	1	1	1	1	1	1	1	1
属性		W	W	W	W	W	W	W	W	W

送信データレジスタ(TDR)は、シリアルデータ送信用の 9 ビットデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT)から送出されます。
- データ長に応じ、以下のように上位ビットから順に無効データに設定されます。

データ長	D8	D7	D6	D5	D4	D3	D2	D1	D0
9 ビット	X	X	X	X	X	X	X	X	X
8 ビット	無効	X	X	X	X	X	X	X	X
7 ビット	無効	無効	X	X	X	X	X	X	X
6 ビット	無効	無効	無効	X	X	X	X	X	X
5 ビット	無効	無効	無効	無効	X	X	X	X	X

- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書き込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込めます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データを書き込むことはできません。
- 9 ビット長転送の場合 TDR への書込みは 16 ビットアクセスで行ってください。

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

5.6. ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BRG0)は、シリアルクロックの分周比を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	-	(BGR1)							(BGR0)							
初期値	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)に値を設定します。
・BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
・ボーレートジェネレータレジスタ 1, 0(BGR1, BRG0)にリロード値を書き込むとリロードカウンタはカウントを開始します。

[bit15] 未使用ビット
読出し時 : 値は不定です。
書込み時 : 動作に影響しません。

[bit14:8] BGR1 : ボーレートジェネレータレジスタ 1

bit14:8	説明
ライト	リロードカウンタの bit8～bit14 に書込み
リード	BGR1 の設定値の読出し

[bit7:0] BGR0 : ボーレートジェネレータレジスタ 0

bit7:0	説明
ライト	リロードカウンタの bit7～bit0 に書込み
リード	BGR0 の設定値の読出し

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は以下のとおりです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
  - SMR:SCINV="0"のとき、シリアルクロックの"H"幅がバスクロック 1 サイクル分長いです。
  - SMR:SCINV="1"のとき、シリアルクロックの"L"幅がバスクロック 1 サイクル分長いです。
- リロード値は 3 以上を設定してください。
- ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/0 の設定値を変更した後、CSIO リセット(SCR:UPCL)を実行してください。
- 受信 FIFO 使用時、受信 FIFO アイドル検出許可ビット(FCR1:FRIIE)を"1"に設定しスレーブモードで動作させる場合、BGR1/0 にボーレートを設定してください。

5.7. FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定，送受信 FIFO の選択，送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約	予約	予約	FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
初期値	-	-	-	0	0	1	0	0	
属性	-	-	-	R/W	R/W	R/W	R/W	R/W	

[bit15:13] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FLST ビット検出を許可するビットです。

"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

＜注意事項＞

本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

＜注意事項＞

受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信 FIFO 割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力されます。

FDRQ セット条件

・FBYTE(送信用)=0　(送信 FIFO がエンプティ)
・送信 FIFO のリセット

FDRQ リセット条件

・本ビットへの"0"書込み
・送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

＜注意事項＞

・FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
・本ビットが"0"のときに FSEL ビットの変更は禁止です。
・本ビットに"1"を設定した場合、動作に影響しません。
・リードモディファイライト系命令時、"1"が読み出されます。

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割り当てられます。
"1"に設定した場合 : 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割り当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

＜注意事項＞

・本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。
・本ビットを変更する場合は、FIFO 動作禁止(FCR0: FE2, FE1=0)にしてから行ってください。

5.8. FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット，リードポインタの保存，再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
初期値		0	0	0	0	0	0	0	0
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] 未使用ビット

読出し時 ： 常に"0"が読み出されます。
書込み時 ： 常に"0"を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

・FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ場合

FLST リセット条件

・FIFO リセット(FCL への"1"書込み)
・FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。
本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

＜注意事項＞

・本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
・FIFO 許可状態または送信中、本ビットに"1"を設定することは禁止です。
・SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合 ： 現在のリードポインタの値を保存します。
"0"に設定した場合 ： 動作に影響しません。

bit	説明	
	書込み時	読出し時
0	保存しない	常に"0"が読み出されます
1	保存実行	

＜注意事項＞

送信バイト数(FBYTE)が 0 を示している時に本ビットを"1"に設定してください。

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO2 の内部状態を初期化します。
FCR1:FLST2 ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

＜注意事項＞

・送受信を禁止してから、FIFO2 リセットを実行してください。
・送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
・FBYTE2 レジスタの有効データ数は"0"に設定されます。

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO1 の内部状態を初期化します。
FCR1:FLST1 ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

＜注意事項＞

・送受信を禁止してから、FIFO1 リセットを実行してください。
・送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
・FBYTE1 レジスタの有効データ数は"0"に設定されます。

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

・FIFO2 を使用する場合、本ビットに"1"を設定してください。
・FIFO2 を送信 FIFO に設定し(FCR1:FSEL=1)、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、SCR:TIE ビットと SCR:TBIE ビットを"1"にしてください。
・FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生するとき、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
・FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
・FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
・FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
・FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

・FIFO1 を使用する場合、本ビットに"1"を設定してください。
・FIFO1 を送信 FIFO に設定し(FCR1:FSEL=0)、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、UART が送信許可(SCR:TXE=1)のとき、直ちに送信を開始します。このとき、SCR:TIE ビットと SCR:TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。
・FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生するとき、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
・FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
・FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
・FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
・FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

5.9. FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下に示します。

表 5-3 データ数表示

FCR1:FSEL	FIFO 選択	バイト数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致した場合、割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと割込みフラグ(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- マスタ動作で、データを受信する場合(マスタ受信)、SCR:TIE ビットと SCR:TBIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書き込みます。その後、SCR:TXE ビットが"1"のとき設定データ分のシリアルクロックが出力され、設定値分データを受信できます。SCR:TIE ビット, SCR:TBIE ビットに"1"を設定したい場合には FCR1:FDRQ が "1"になった後に"1"に設定してください。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数
受信時 : FIFO に受信されたデータ数

ライト(転送数)

送信時 : 0x00 設定
受信時 : 受信割込み発生のデータ数設定

＜注意事項＞

・マスタ動作で、データを受信する時以外、送信 FIFO の FBYTE には"0x00"を設定してください。
・マスタ動作でデータを受信する時の送信データ数の設定は送信 FIFO がエンプティで SCR:TIE ビット, SSR:TBIE ビットが"0"のときに行ってください。
・マスタ動作でデータを受信中に受信禁止(SCR:RXE=0)にする場合には、送信 FIFO を禁止にしてから送受信を禁止にしてください。
・受信 FIFO の FBYTE には"1"以上のデータを設定してください。
・受信 FIFO の FBYTE の変更は受信を禁止してから変更してください。
・本レジスタはリードモディファイライト系命令を使用できません。
・FIFO 容量を超えた設定は禁止です。

CHAPTER: LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))

マルチファンクション シリアルインタフェース機能のうち、動作モード 3 でサポートしている LIN 通信機能について説明します。

1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要
2. LIN インタフェース(v2.1)の割込み
3. 専用ボーレートジェネレータ
4. LIN インタフェース(v2.1)の動作
5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー
6. LIN インタフェース(v2.1)のレジスタ

管理コード: 9BFLIN-J01.1_FM15L-J05.4

1. LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の概要

LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))は、LIN バスに対応するための機能をサポートしています。また、送信/受信(最大各 128×9 ビット)*1 の FIFO を搭載しています。

■ LIN インタフェース(v2.1)(LIN 通信制御インタフェース(v2.1))の機能

		機　　能
1	データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/受信 FIFO(最大各 128×9 ビット) *1(FIFO 使用時)
2	シリアル入力	バスクロックで 3 回オーバサンプリングを行い、サンプリング値の多数決により受信値を決定します。
3	転送モード	非同期
4	ボーレート	・専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) ・外部クロックをリロードカウンタで調節可能。
5	データ長	8 ビット
6	信号方式	NRZ(Non Return to Zero)
7	スタートビット検出	スタートビット立下りエッジに同期。
8	受信エラー検出	・フレーミングエラー ・オーバランエラー
9	割込み要求	・受信割込み (受信完了, フレーミングエラー, オーバランエラー) ・送信割込み(送信データエンプティ, 送信バスアイドル) ・ステータス割込み(LIN Break field 検出) ・ICU への割込み要求 (LIN Sync field 検出:LSYN) ・送信 FIFO 割込み (送信 FIFO がエンプティのとき) ・送受信 DMA 転送サポート機能あり
10	LIN バスオプション	・LIN プロトコル Revision 2.1 に対応 ・マスタデバイス動作 ・スレーブデバイス動作 ・LIN Break field 生成(13～16 ビット長に可変可能) ・LIN Break デリミタ生成(1～4 ビット長に可変可能) ・LIN Break field 検出 ・インプットキャプチャに接続している LIN Sync field のスタート/ストップエッジ検出
11	FIFO オプション	・送受信 FIFO 搭載(最大容量:送信 FIFO 128×9 ビット, 受信 FIFO 128×9 ビット) *1 ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトで可変可能 ・独立して FIFO リセットサポート

*1：FIFO 容量は品種に応じて容量サイズが異なります。

2. LIN インタフェース(v2.1)の割込み

LIN インタフェース(v2.1)には、受信割込みと送信割込みがあります。次に示す要因で割込み要求を発生させられます。

・受信データが受信データレジスタ(RDR)に設定された場合または受信エラーが発生した場合
・送信データが送信データレジスタ(TDR)から送信用シフトレジスタに転送され、送信が開始された場合
・送信バスアイドル(送信動作なし)
・送信 FIFO データ要求
・LIN Break field 検出

■ LIN インタフェース(v2.1)の割込み

LIN インタフェース(v2.1)の割込み制御ビットと割込み要因を表 2-1 に示します。

表 2-1 LIN インタフェース(v2.1)の割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
受信	RDRF	SSR	1 バイト受信	SCR:RIE	受信データ(RDR)の読出し
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データレジスタ(RDR)の読出し
			FRIIE ビットが"1"で受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態検出		
	ORE	SSR	オーバランエラー		受信エラーフラグクリアビット(SSR:REC)への"1"書込み
	FRE	SSR	フレーミングエラー		
送信	TDRE	SSR	送信データレジスタがエンプティ	SCR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	TBI	SSR	送信動作なし	SCR:TBIE	送信データレジスタ(TDR)への書込み, LIN Break field 設定ビット(LBR)への"1"書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在している時に送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *1
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビット(FCR1:FDRQ)への"0"書込みまたは送信 FIFO がフル
ステータス	LBD	SSR	LIN Break field 検出	ESCR:LBIE	SSR:LBD ビットへの"0"書込み
インプットキャプチャ*2	ICP0/ICP1	ICSA10/ICSA32	LIN Sync field の 1 回目の立下りエッジ	ICSA10.ICE0 ICSA10.ICE1 ICSA32.ICE0 ICSA32.ICE1	ICP0/ICP1 をディセーブル
	ICP0/ICP1	ICSA10/ICSA32	LIN Sync field の 5 回目の立下りエッジ		

*1：TDRE ビットが"0"になってから TIE ビットを"1"にしてください。
*2：インプットキャプチャの ch.番号と LIN の ch.番号の対応は EPFR01/EPFR02/EPFR03 レレジスタを参照してください。

2.1. 受信割込み発生とフラグセットのタイミング

受信時の割込みとしては、受信完了(SSR:RDRF=1), 受信エラーの発生(SSR:ORE, FRE=1)および LIN Break field 検出があります。

■ 受信割込み発生とフラグセットのタイミング

最初のストップビットの検出されることにより、受信データが受信データレジスタ(RDR)に格納されます。受信が完了したとき(SSR:RDRF=1)または受信エラーが発生(SSR:ORE, FRE=1)したとき、各フラグがセットされます。そのとき、受信割込みが許可(SCR:RIE=1)されていると受信割込みが発生します。

＜注意事項＞

受信エラーが発生した場合は、受信データレジスタ(RDR)のデータは無効です。

図 2-1 RDRF(受信データフル)フラグビットのセットタイミング

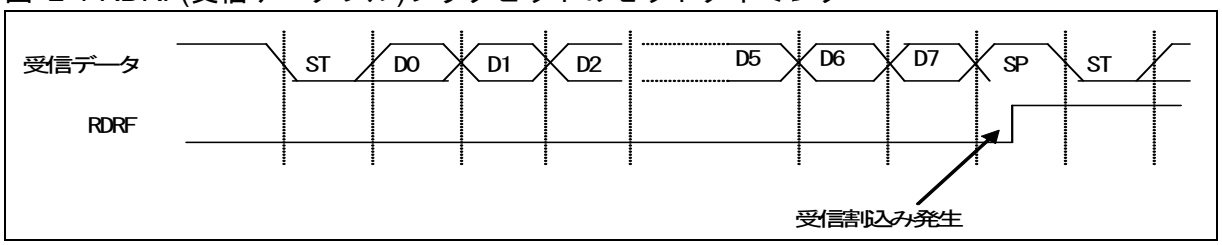
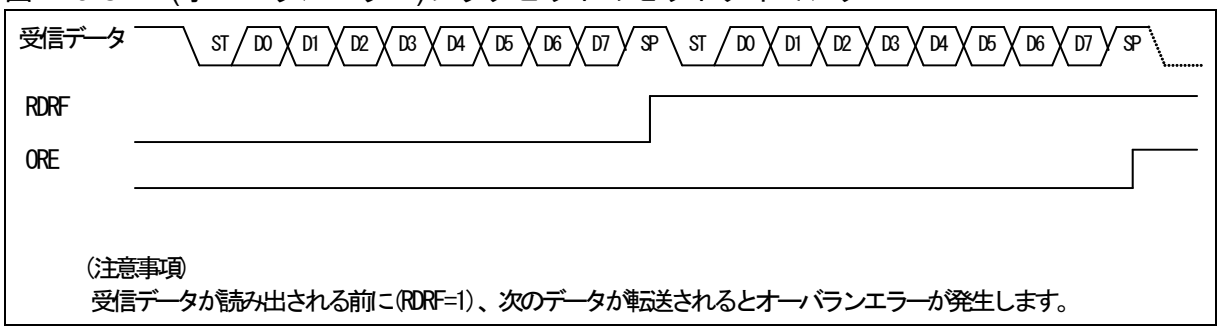


図 2-2 FRE (フレーミングエラー)フラグビットのセットタイミング

＜注意事項＞

受信時、ストップビットのサンプリングポイントと同時または 1～2 バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のデータを正常に受信できなくなることがあります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

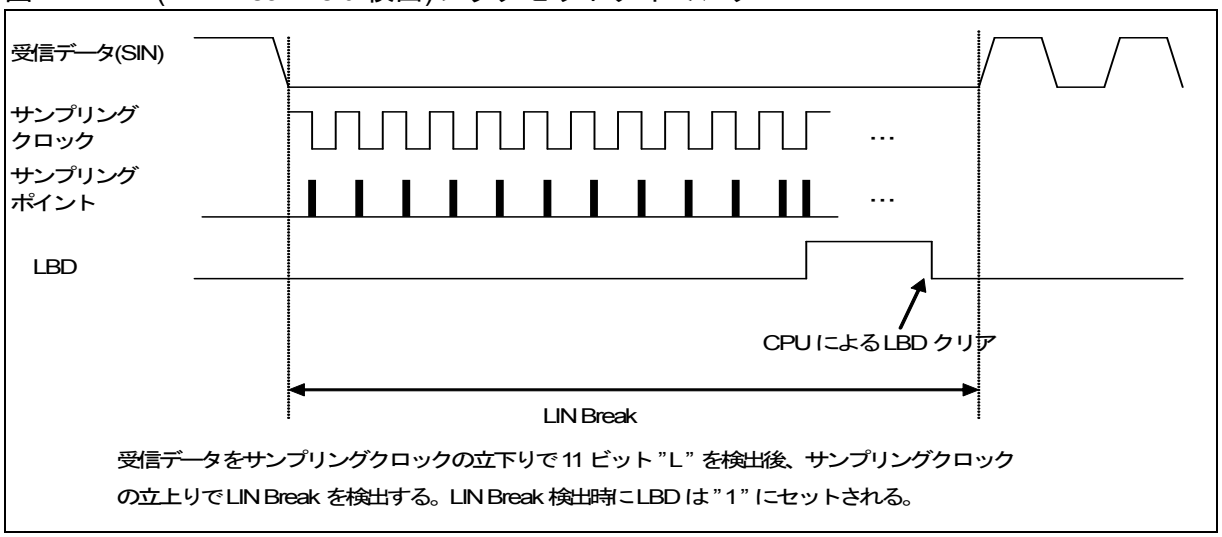
図 2-3 ORE (オーバランエラー)フラグビットのセットタイミング



■ LIN Break field 検出フラグ(LBD)のセットタイミング

シリアル入力(SIN)が 11 ビット幅以上 "0"入力されると、LBD ビットは "1"に設定されます。このとき、LIN Break field 割込みが許可(ESCR:LBIE=1)されていると受信割込みを発生します。

図 2-4 LBD(LIN Break field 検出)フラグセットタイミング



2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込みは、FBYTE レジスタ(FBYTE)の設定値分受信した場合に発生します。

■ 受信 FIFO 使用時の受信割込み発生とフラグセットのタイミング

受信 FIFO 使用時の割込み発生は、FBYTE レジスタの設定値によって決定されます。

- FBYTE レジスタの転送数設定分のデータを受信した場合、シリアルステータスレジスタの受信データフルフラグ(SSR:RDRF)が "1"に設定されます。このとき、受信割込み許可(SCR:RIE)されていると受信割込みを発生します。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- 受信 FIFO がエンプティになるまで受信データ(RDR)を読み出すと、受信データフルフラグ(SSR:RDRF)はクリアされます。
- 受信有効データ数表示が FIFO 容量を示した状態で次のデータを受信した場合、オーバランエラー(SSR:ORE=1)が発生します。

図 2-5 受信 FIFO 使用時の受信割込み発生タイミング

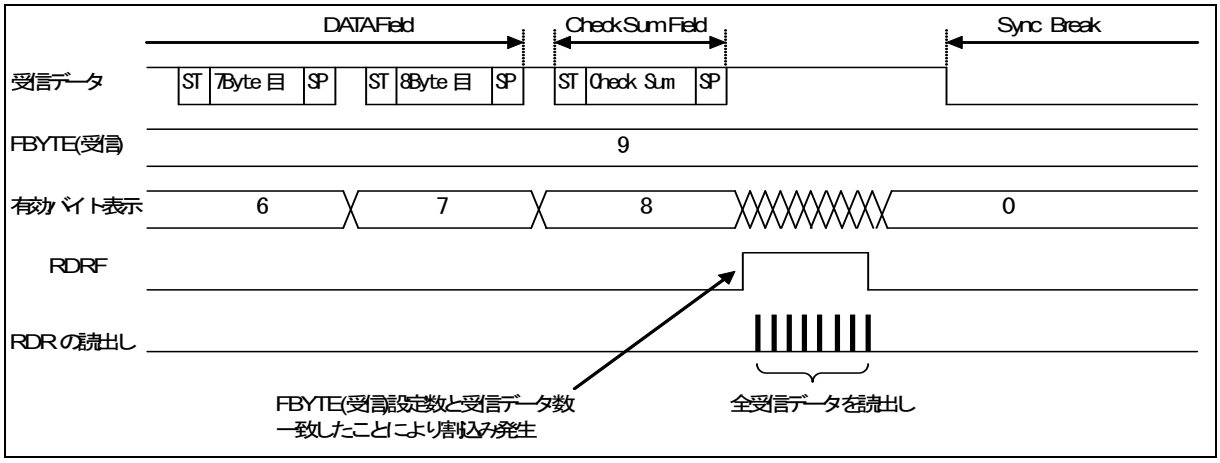
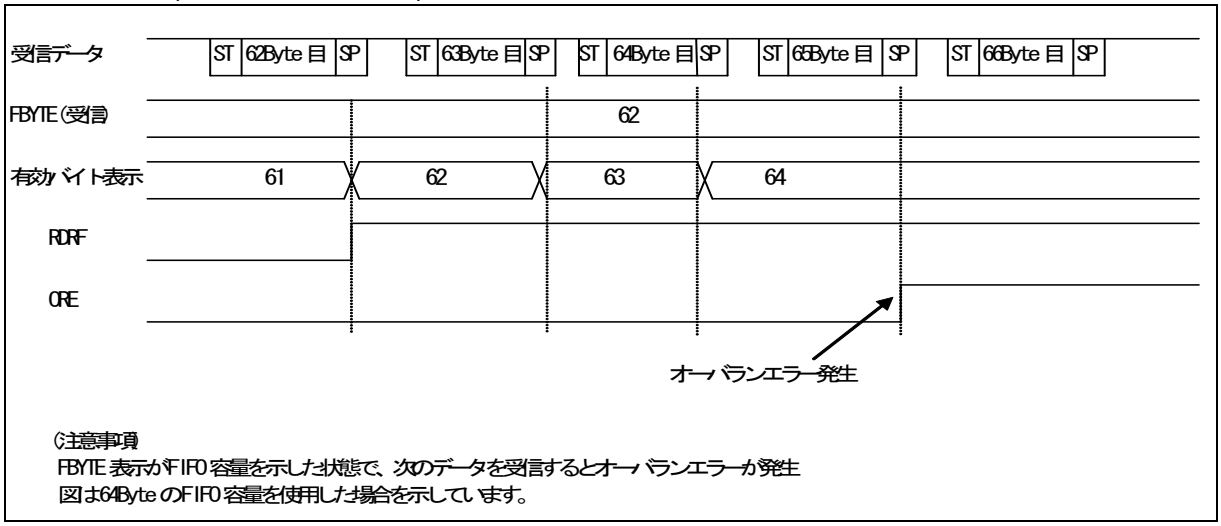


図 2-6 ORE (オーバランエラー)フラグビットのセットタイミング



2.3. 送信割込み発生とフラグセットのタイミング

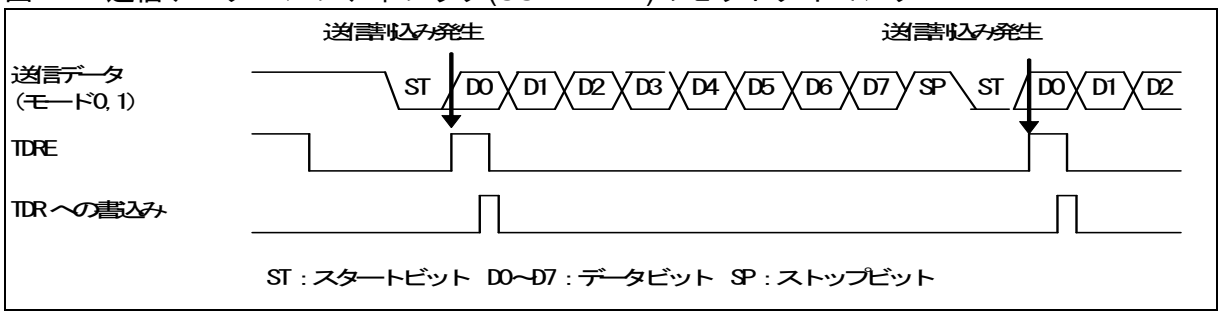
送信時の割込みとしては、送信データが、送信データレジスタ(TDR)から送信用シフトレジスタに転送され(SSR:TDRE=1)て送信が開始された場合と、送信動作をしていない場合(SSR:TBI=1)に発生します。

■ 送信割込み発生とフラグセットのタイミング

● 送信データエンプティフラグ(TDRE)のセットタイミング

送信データレジスタ(TDR)に書き込まれたデータが送信シフトレジスタに転送されると、次のデータの書込みが可能な状態(SSR:TDRE=1)になります。そのとき、送信割込みが許可(SCR:TIE=1)されていると、送信割込みが発生します。TDRE ビットはリードオンリビットのため、送信データレジスタ(TDR)へのデータ書込みにより SSR:TDRE ビットは"0"にクリアされます。

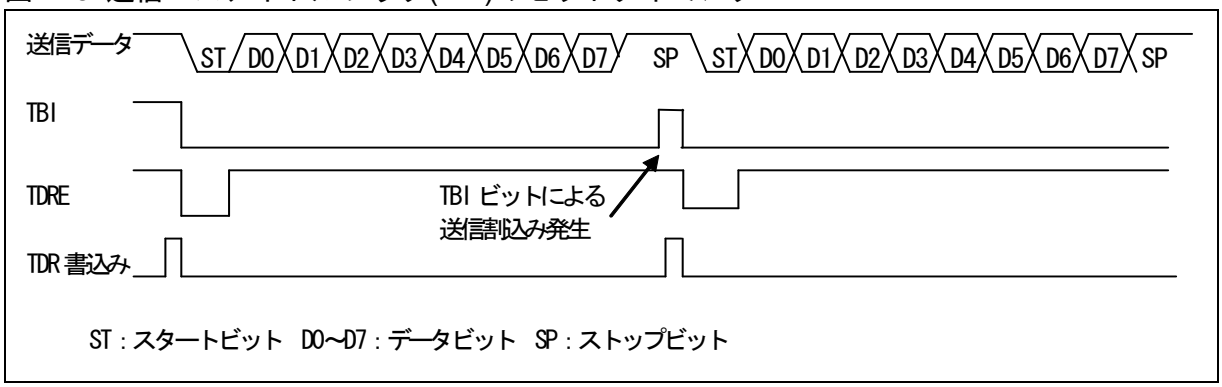
図 2-7 送信データエンプティフラグ(SSR:TDRE)のセットタイミング



● 送信バスアイドルフラグ(TBI)のセットタイミング

送信データレジスタがエンプティ(TDRE=1)で送信動作をしていない時、SSR:TBI ビットは"1"に設定されます。このとき、送信バスアイドル割込み許可(SCR:TBIE=1)されていると、送信割込みが発生します。送信データレジスタ(TDR)に送信データをセットした場合、TBI ビットおよび送信割込み要求はクリアされます。

図 2-8 送信バスアイドルフラグ(TBI)のセットタイミング



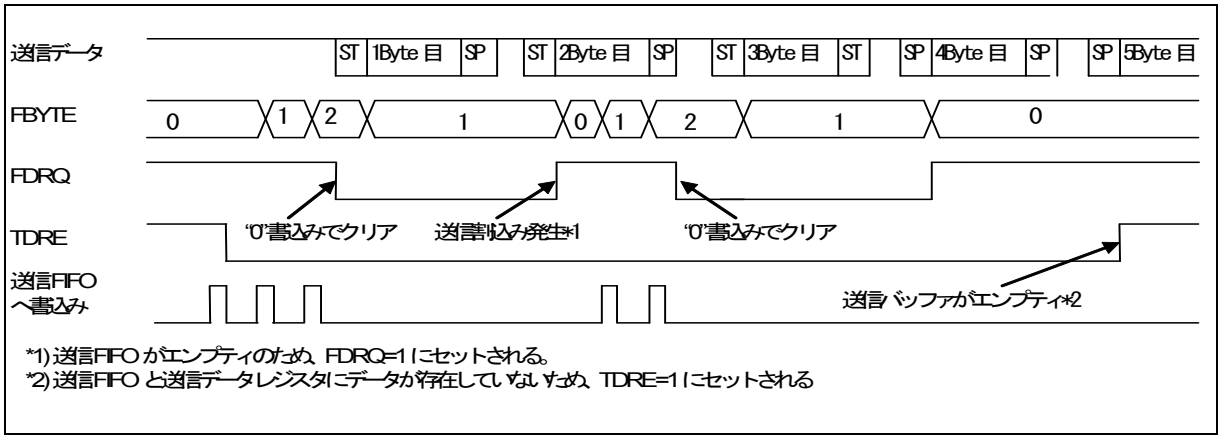
2.4. 送信 FIFO 使用時の割込み発生とフラグセットのタイミング

送信 FIFO 使用時の割込みは、送信 FIFO にデータが存在しない時に発生します。

■ 送信 FIFO 使用時の送信割込み発生とフラグセットのタイミング

- 送信 FIFO にデータが存在しない場合、FIFO 送信データ要求ビット(FCR1:FDRQ)が"1"に設定されます。
  このとき、FIFO 送信割込み許可(FCR1:FTIE=1)されていると送信割込みが発生します。
- 送信割込みが発生した後、送信 FIFO に必要なデータを書き込んだ場合、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書込んで割込み要求をクリアしてください。
- 送信 FIFO がフルになると FIFO 送信データ要求ビット(FCR1:FDRQ)は"0"に設定されます。
- 送信 FIFO のデータの存在の確認は、FIFO バイトレジスタ(FBYTE)を読み出すことで確認できます。
  FBYTE=0x00 のときは、送信 FIFO にデータが存在していないことを示します。

図 2-9 送信 FIFO 使用時の送信割込み発生タイミング



3. 専用ボーレートジェネレータ

LIN インタフェース(v2.1)送受信クロックソースは、次のいずれかを選択できます。
・専用ボーレートジェネレータ(リロードカウンタ)
・外部クロックをボーレートジェネレータに入力(リロードカウンタ)

■ LIN インタフェース(v2.1)ボーレート

ボーレートは次の 2 種類の中から 1 種類を選択できます。

● 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

クロックソースの設定は、内部クロックを選択(SMR:EXT=0)してください。

● 専用ボーレートジェネレータ(リロードカウンタ)で外部クロックを分周して得られるボーレート

リロードカウンタのクロックソースに外部クロックを使用します。

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で外部クロックを分周します。

クロックソースの設定は、外部クロックとボーレートジェネレータクロック使用を選択(SMR:EXT=1)してください。

本モードは特殊な周波数の発振子を分周して使用するケースを想定して用意されています。

＜注意事項＞

・外部クロックの設定(EXT=1)は、リロードカウンタが停止した状態(BGR1/0=15h00)で行ってください。
・外部クロックに設定(EXT=1)した場合、外部クロックの"H"幅、"L"幅は 2 バスクロック以上必要です。

3.1. ボーレート設定

ボーレートの設定を示します。また，シリアルクロック周波数の計算結果を示します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

```
V = Φ / b - 1

V : リロード値    b : ボーレート    Φ : バスクロック周波数、外部クロック周波数
```

(2)計算例

```
バスクロック(16MHz)、内部クロック使用、ボーレートを 19200bps に設定する場合のリロード値は
次のようになります。
            リロード値：
              V = (16 × 1000000)/19200 - 1 = 832
              よって、ボーレートは
              b = (16 × 1000000)/(832 + 1) = 19208 (bps)
```

(3)ボーレートの誤差
ボーレートの誤差は次の式によって求められます。

```
誤差(%) = (計算値 - 目標値)/目標値 × 100

(例) バスクロック(20MHｚ)、目標ボーレートを 153600bps に設定する場合
                リロード値 = (20 × 1000000)/153600 - 1 = 129
            ボーレート(計算値) = (20 × 1000000)/(129 + 1) = 153846 (bps)
                  誤差(%) = (153846 - 153600)/153600 × 100 = 0.16 (%)
```

＜注意事項＞

- リロード値を"0"に設定時、リロードカウンタは停止します。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。

■ 各バスクロック周波数に対するリロード値とボーレート

表 3-1 リロード値とボーレート

ボーレート (bps)	8 MHz		10 MHz		16 MHz		20 MHz		24 MHz		32MHz	
	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR	Value	ERR
8M	-	-	-	-	-	-	-	-	-	-	-	0
6M	-	-	-	-	-	-	-	-	-	-	-	-
5M	-	-	-	-	-	-	-	-	-	-	-	-
4M	-	-	-	-	-	-	4	0	5	0	7	0
2.5M	-	-	3	0	-	-	-	-	-	-	-	-
2M	3	0	4	0	7	0	9	0	11	0	15	0
1M	7	0	9	0	15	0	19	0	23	0	31	0
500000	15	0	19	0	31	0	39	0	47	0	63	0
460800	-	-	-	-	-	-	-	-	51	-0.16	-	-
250000	31	0	39	0	63	0	79	0	95	0	127	0
230400	-	-	-	-	-	-	-	-	103	-0.16	-	-
153600	51	-0.16	64	-0.16	103	-0.16	129	-0.16	155	-0.16	207	-0.16
125000	63	0	79	0	127	0	159	0	191	0	255	0
115200	68	-0.64	86	0.22	138	0.08	173	0.22	207	-0.16	277	0.08
76800	103	-0.16	129	-0.16	207	-0.16	259	-0.16	311	-0.16	416	0.08
57600	138	0.08	173	0.22	277	0.08	346	-0.16	416	0.08	555	0.08
38400	207	-0.16	259	-0.16	416	0.08	520	0.03	624	0	832	-0.04
28800	277	0.08	346	<0.01	554	-0.01	693	-0.06	832	-0.03	1110	-0.01
19200	416	0.08	520	0.03	832	-0.03	1041	0.03	1249	0	1666	0.02
10417	767	<0.01	959	<0.01	1535	<0.01	1919	<0.01	2303	<0.01	3071	<0.01
9600	832	0.04	1041	0.03	1666	0.02	2083	0.03	2499	0	3332	-0.01
7200	1110	<0.01	1388	<0.01	2221	<0.01	2777	<0.01	3332	<0.01	4443	-0.01
4800	1666	0.02	2082	-0.02	3332	<0.01	4166	<0.01	4999	0	6666	<0.01
2400	3332	<0.01	4166	<0.01	6666	<0.01	8332	<0.01	9999	0	13332	<-0.01
1200	6666	<0.01	8334	0.02	13332	<0.01	16666	<0.01	19999	0	26666	<0.01
600	13332	<0.01	16666	<0.01	26666	<0.01	-	-	-	-	-	-
300	26666	26666	<0.01	-	-	-	-	-	-	-	-	-

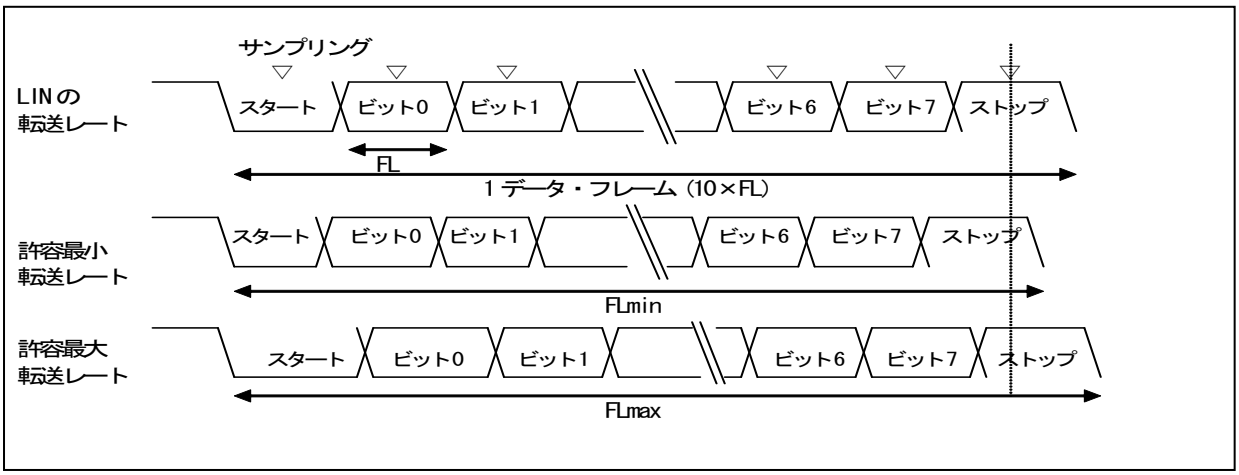
・Value : BGR1/0 レジスタの設定値
・ERR : ボーレート誤差(%)

■ 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。

受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図 3-1 受信時の許容ボーレート範囲



図に示すように、スタートビット検出後は BGR1/0 レジスタで設定したカウンタにより、受信データのサンプリング・タイミングが決定されます。このサンプリング・タイミングに最終データ(ストップビット)までが間に合えば正常に受信できます。

これを 10 ビット受信に当てはめると理論上、以下のとおりです。

サンプリング・タイミングのマージンをバスクロック(Φ)の 1 クロック分とすると、許容最小転送レート(FLmin)は以下のとおりです。

FLmin = (10bit×(V+1) – (V+1)/2 + 2)/ Φ = (19V+23)/2 Φ (s)　　V:リロード値　Φ:バスクロック

したがって、受信可能な送信先の最大ボーレート(BGmax)は以下のとおりです。

BGmax = 10/FLmin = 20Φ/(19V+23)　(bps)　　V:リロード値　Φ:バスクロック

許容最大転送レート(FLmax)データを受信する場合、10 ビット目の受信データの始点にてサンプリングが行われます。

よって、許容最大転送レート(FLmax)は以下のとおりです。

9/10×FLmax = (10bit×(V+1) – (V+1)/2)/ Φ　　V:リロード値　Φ:バスクロック

FLmax = (19/18×10×(V+1)/ Φ

サンプリング・タイミングのマージン(Φ)を 2 クロック分とすると、許容最大転送レート(FLmax)は以下のとおりです。

9/10×FLmax = (10bit×(V+1) – (V+1)/2 – 2)/ Φ　　V:リロード値　Φ:バスクロック

FLmax = (19/18×10×　(V+1) – 40/18)/ Φ = (190V+150)/20 Φ (s)　V:リロード値　Φ:バスクロック

したがって、受信可能な送信先の最小ボーレート(BGmin)は以下のとおりです。

BGmin = 10/FLmax = 18Φ/(19V+15)　(bps)　　V:リロード値　Φ:バスクロック

前述の最小/最大ボーレート値の算出式から、LIN インタフェース(v2.1)と送信先とのボーレートの許容誤差を求めると以下のとおりです。

リロード値(V)	許容最大ボーレート誤差	許容最小ボーレート誤差
3	0%	0
10	+3.28%	-3.41%
50	+4.83%	-4.87%
100	+5.04%	-5.07%
200	+5.15%	-5.16%
32767	+5.26%	-5.26%

＜注意事項＞

受信の精度は、1 フレームのビット数, バスクロック, リロード値に依存します。バスクロックが高く、分周比が高くなるほど精度は高いです。

■ 外部クロック

ボーレートジェネレータレジスタ(BGR)の EXT ビットに"1"を書き込むと、ボーレートジェネレータで外部クロックを分周します。

＜注意事項＞

外部クロック信号はLINインタフェース(v2.1)で内部クロックに同期します。したがって、同期化不可能な外部クロックの場合、動作が不安定です。

■ リロードカウンタの機能

リロードカウンタには、送信リロードカウンタと受信リロードカウンタがあり、専用ボーレートジェネレータとして機能します。リロード値に対する 15 ビットレジスタから構成されており、外部クロックまたは内部クロックより送受信クロックを生成します。

■ カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

■ 再スタート

リロードカウンタは下記の条件で再スタートします。

● 送信/受信リロードカウンタ共通

プログラマブルリセット(SCR:UPCL ビット)

● 受信リロードカウンタ

非同期モードでのスタートビット立下りエッジ検出

4. LIN インタフェース(v2.1)の動作

LIN インタフェース(v2.1)は、マスタ/スレーブ双方向 LIN 通信で動作します。

■ マスタ動作

● マスタ動作の選択

マスタとして動作させるためには、SCR:MS ビットを"0"に設定してください。

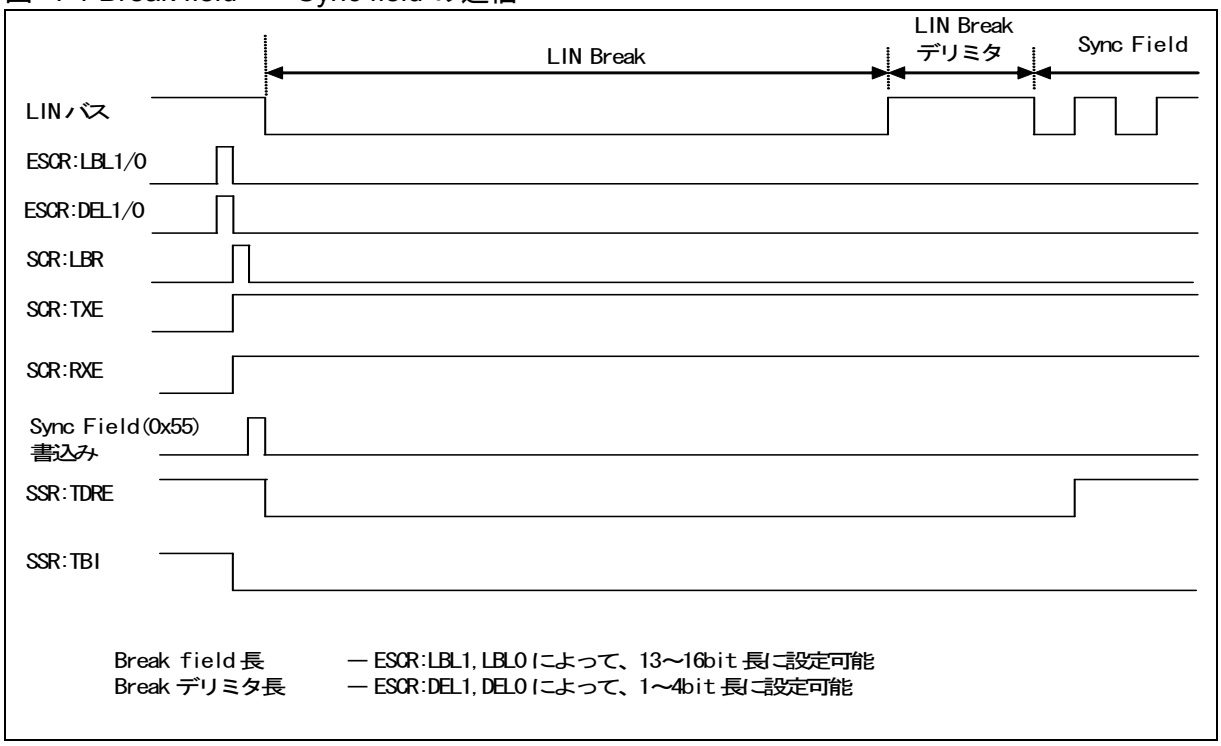
● Break field 送信 ～ Sync field 送信

・Break field 長の選択(ESCR:LBL1, LBL0)および、Break field デリミタ長の選択(ESCR:DEL1, DEL0)ができます。
・送信動作許可(SCR:TXE=1)し、SCR:LBR ビット(LIN Break field 設定ビット)に"1"を設定した場合、Break field が送信されます。
・Sync field は、送信データレジスタ(TDR)に"0x55"を書き込むことで送信されます。

＜注意事項＞

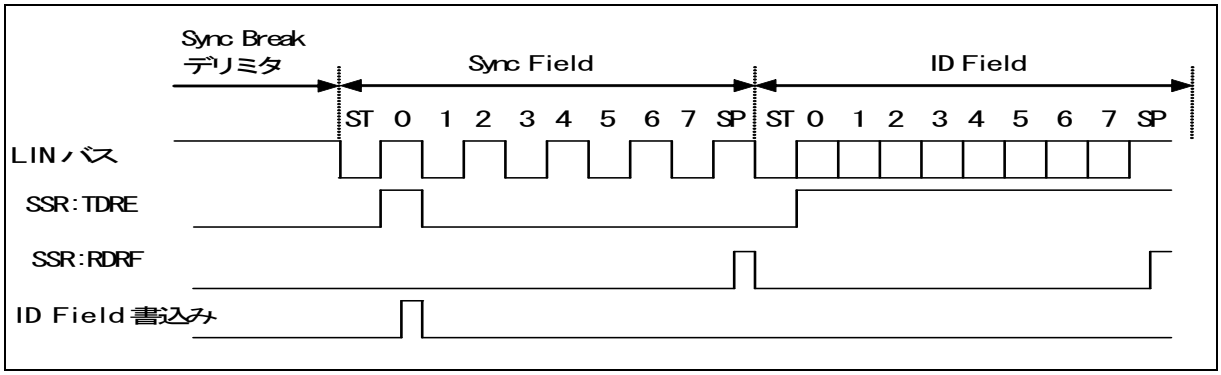
・SCR:LBR ビット(LIN Break field 設定ビット)に"1"を設定した後に、送信データレジスタ(TDR)に"0x55"を設定してください。
・SCR:RXE ビット(受信動作許可ビット)に"1"を設定していても Break field 部分は受信動作を行いません。

図 4-1 Break field ～ Sync field の送信



● Sync field 送信 ～ ID Field 送信

・Sync field(0x55)の最初の 1 ビット目が送信されると、SSR:TDRE(送信データエンプティ)ビットが"1"に設定されます。
このとき、送信割込み許可(SCR:TIE=1)されていると、送信割込みが発生します。
・送信割込みが発生したら、ID Field を送信データレジスタ(TDR)に書き込めます。
・受信割込みが発生したら、送信データと受信したデータを比較し、エラーが発生していないことを確認します。
・ID Field は、データ長 8 ビットで、LSB ファーストで出力されます。



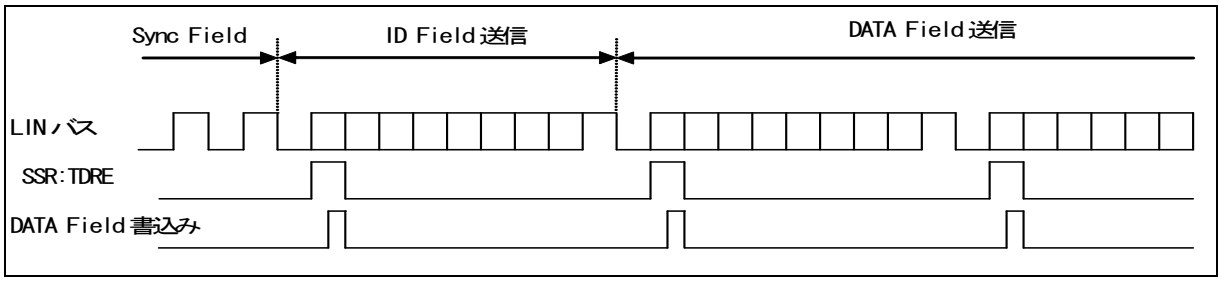
● ID Field 送信 ～ DATA Field 送受信

DATA Field をスレーブデバイスに送信するか、受信するかを選択します。

(DATA Field を送信する場合)

ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されます。このとき、DATA Field の書込みが可能です。

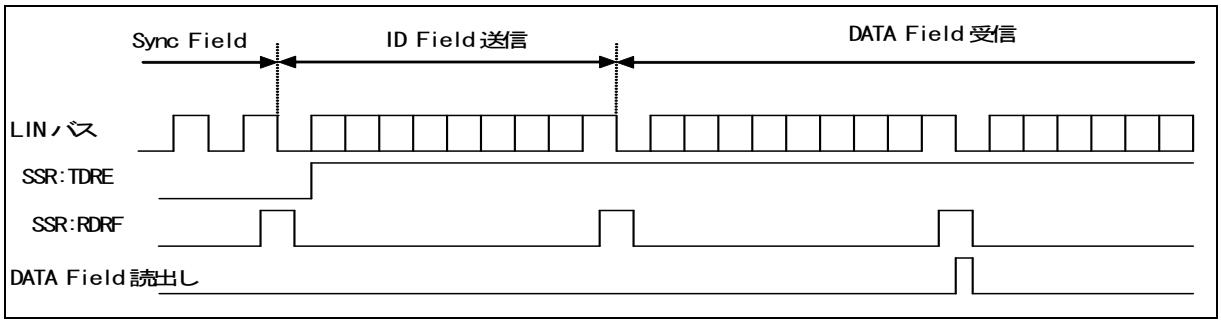
図 4-2 ID Field 送信～DATA Field 送信



(DATA Field を受信する場合)

・ID Field の 1 ビット目が送信されると、SSR:TDRE=1 に設定されますが、送信データを書き込まないでください。
また、送信割込み禁止(SCR:TIE=0)にしてください。
・DATA Field を受信した場合、SSR:RDRF が"1"に設定されます。このとき、受信割込み許可(SSR:RIE=1)されていると受信割込みが発生します。
・スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

図 4-3 ID Field 送信～DATA Field 受信



＜注意事項＞

- ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵されています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
- 受信時、ストップビットのサンプリングポイントと同時または1～2バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり、次のフレームを正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

● マスタ動作タイミングチャート(FIFO 未使用時)

図 4-4 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時)

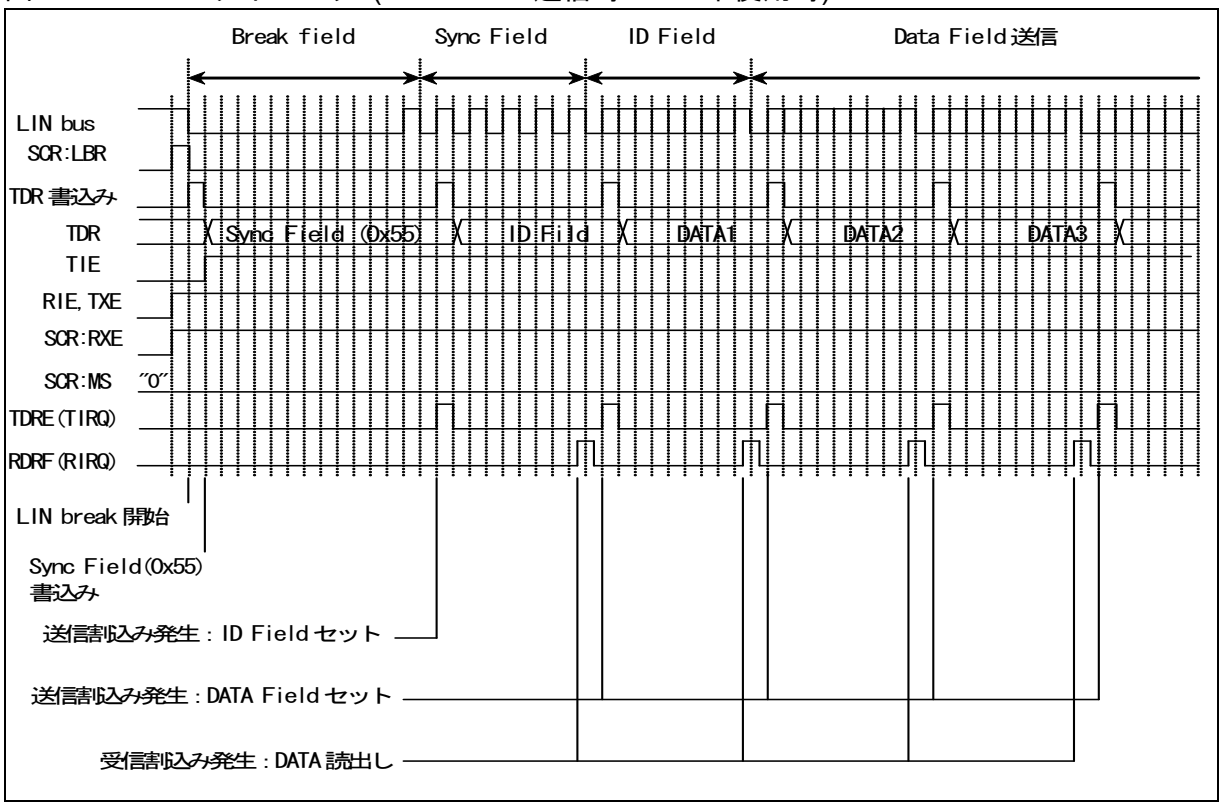
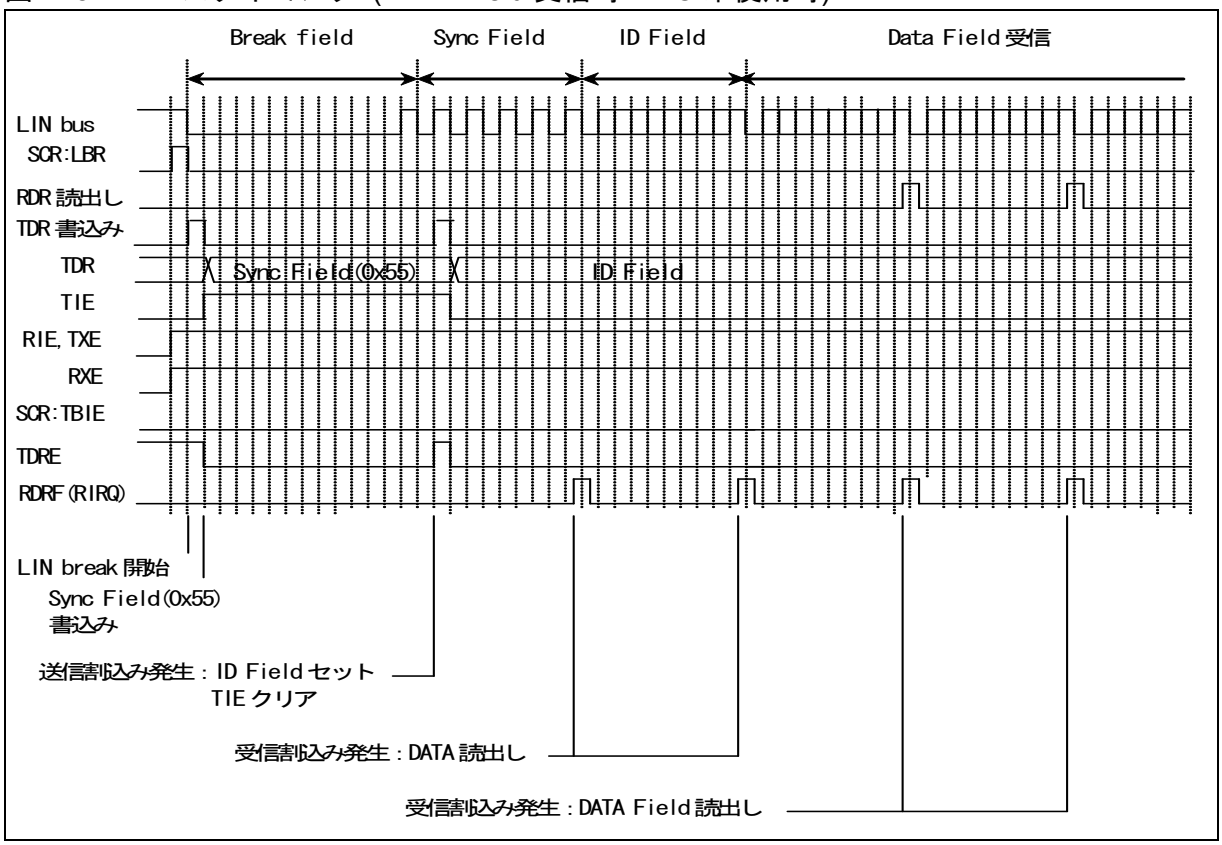


図 4-5 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時)



● マスタ動作タイミングチャート(FIFO 使用時)

図 4-6 LIN バスタイミング (DATA Field 送信時:FIFO 使用時)

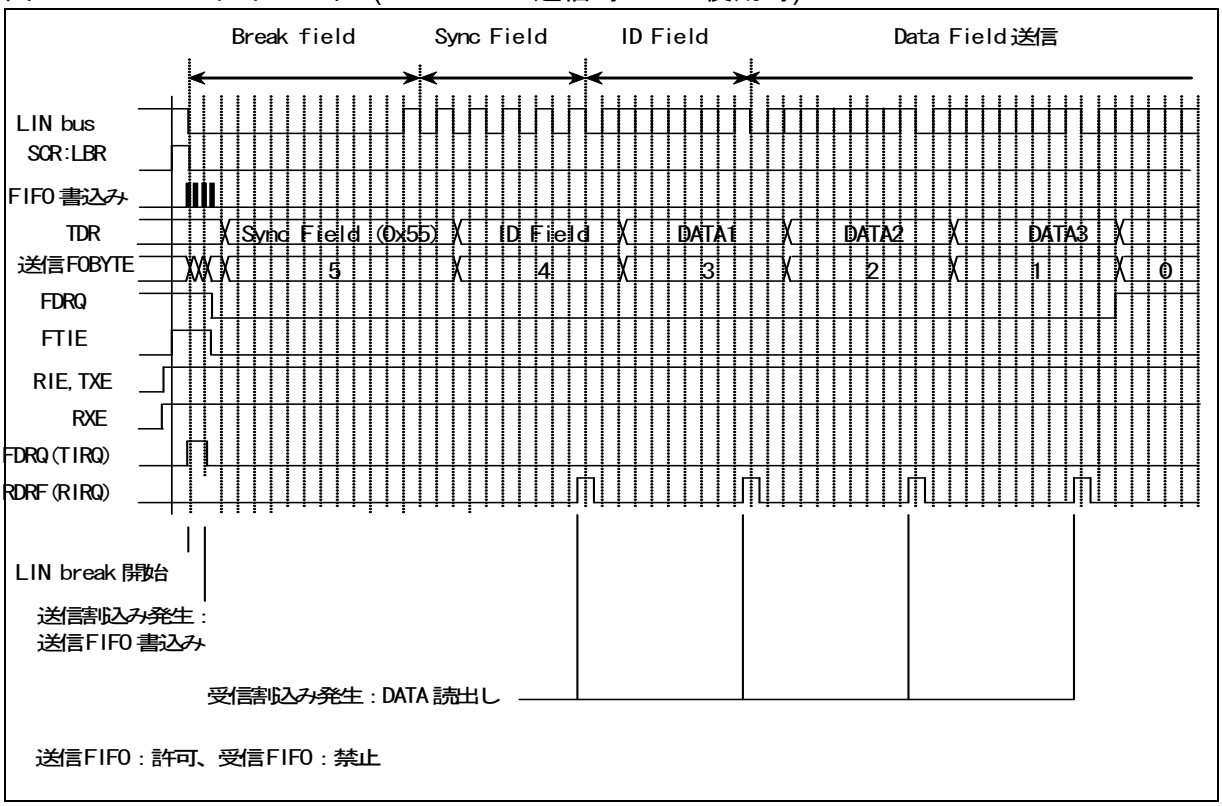
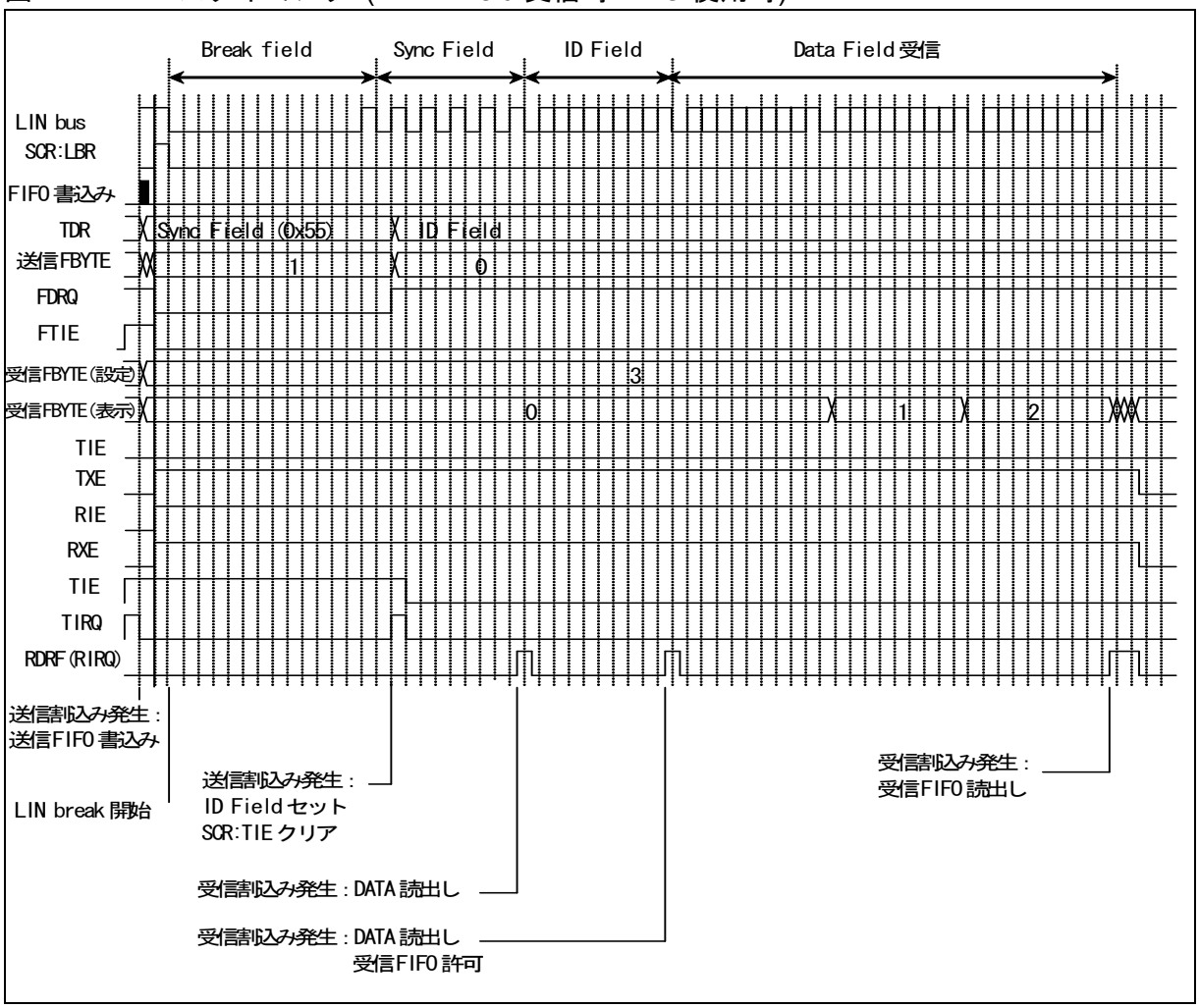


図 4-7 LIN バスタイミング (DATA Field 受信時:FIFO 使用時)



■ スレーブ動作

● スレーブ動作の選択

スレーブとして動作させるためには、SCR:MS ビットを "1"に設定してください。

● Break field 受信 ～ Sync field 受信

1. Break field が入力されると 11 ビット目で Break field 検出(SSR:LBD=1)されます。
   このとき、ESCR:LBIE ビットが"1"に設定されていると受信割込みを発生します。
2. ここで、ICU の割込みを許可し両エッジ検出に設定してください。
3. Sync field の最初の立下りエッジを LIN インタフェース(v2.1)が検出した場合、ICU に入力される内部信号(LSYN)を"H"にして ICU をスタートさせます。この内部信号(LSYN)は 5 番目の立下りエッジで"L"になります。
4. ICU に入力される内部信号(LSYN)は、"H"の時間のボーレートを 8 倍した値です。ボーレートの設定値は、以下のとおりです。

フリーランタイマがオーバフローしていない場合:

$$BGR\ 値 = (b - a) \times Fe/(8 \times \phi) - 1$$

フリーランタイマがオーバフローした場合:

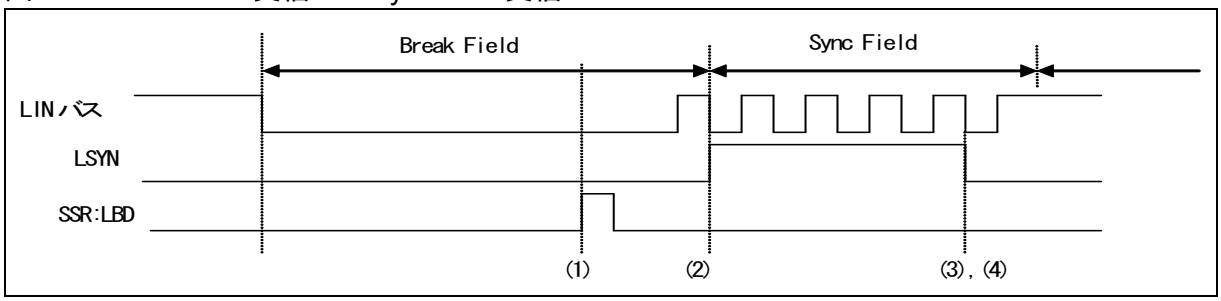
$$BGR\ 値 = (max + 1 + b - a) \times Fe/(8 \times \phi) - 1$$

max : フリーランタイマの最大値
a : 1 度目の割込み後の ICU データレジスタ値
b : 2 度目の割込み後の ICU データレジスタ値
ϕ : バスクロック周波数(MHz)
Fe : 外部クロック周波数(MHz)。内部クロック使用時(EXT=0)、Fe=ϕとして計算

＜注意事項＞

Break field および Sync field 時は、受信禁止(SCR:RXE=0)に設定してください。

図 4-8 Break field 受信 ～ Sync field 受信



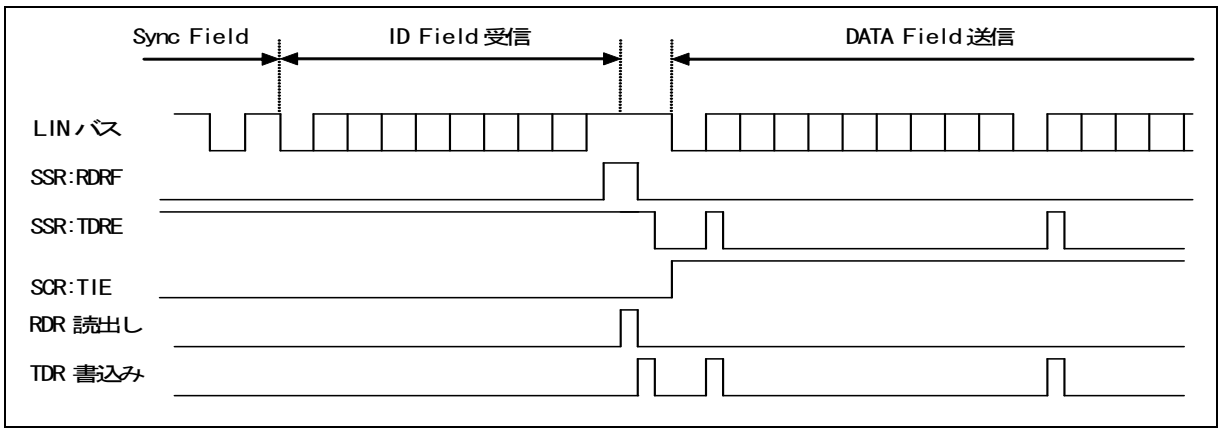
● ID Field 受信 ～ DATA Field 送受信

ID Field を受信した後、マスタへ DATA Field を送信するか、受信するかを選択できます。

(DATA Field を送信する場合)

ID Field 受信後、送信データレジスタ(TDR)にデータを書き込んでください。このとき、送信割込み許可(SCR:TIE=1)しておいてください。

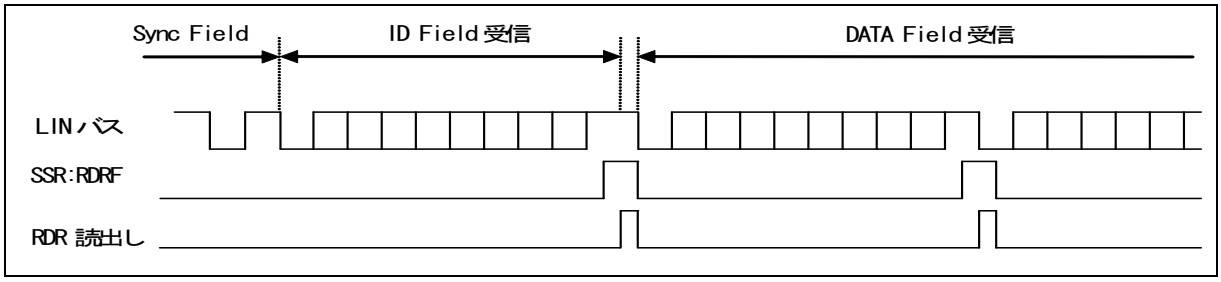
図 4-9 ID Field 受信 ～ DATA Field 送信



(DATA Field を受信する場合)

・DATA Field 受信ごとに、SSR:RDRF が "1"に設定されます。このとき、受信割込み許可(SCR:RDRF=1)されていると受信割込みが発生します。
・スタートビットの検出条件は、ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングし、多数決)通過後に立下りを検出し、サンプリングポイントでその通過後のデータが"L"を検出した場合です。

図 4-10 ID Field 受信 ～ DATA Field 受信



＜注意事項＞

・ノイズフィルタ(シリアルデータ入力を 3 回バスクロックでサンプリングして多数決)は内蔵されています。しかし、ノイズが本フィルタを通過しないようにボードを設計するか、ノイズが通過して問題にならない(例えば、最後にデータのチェックサムを付加してエラーが発生した場合には再送を行うなど)ように通信を行ってください。
・受信時、ストップビットのサンプリングポイントと同時または1～2バスクロック前にシリアルデータの立下りエッジを検出した場合、そのエッジが無効になり正常に受信できなくなります。連続してフレームを出力する場合にはフレームの間隔を空けてください。

● スレーブ動作タイミングチャート

図 4-11 LIN バスタイミング (DATA Field 送信時:FIFO 未使用時)

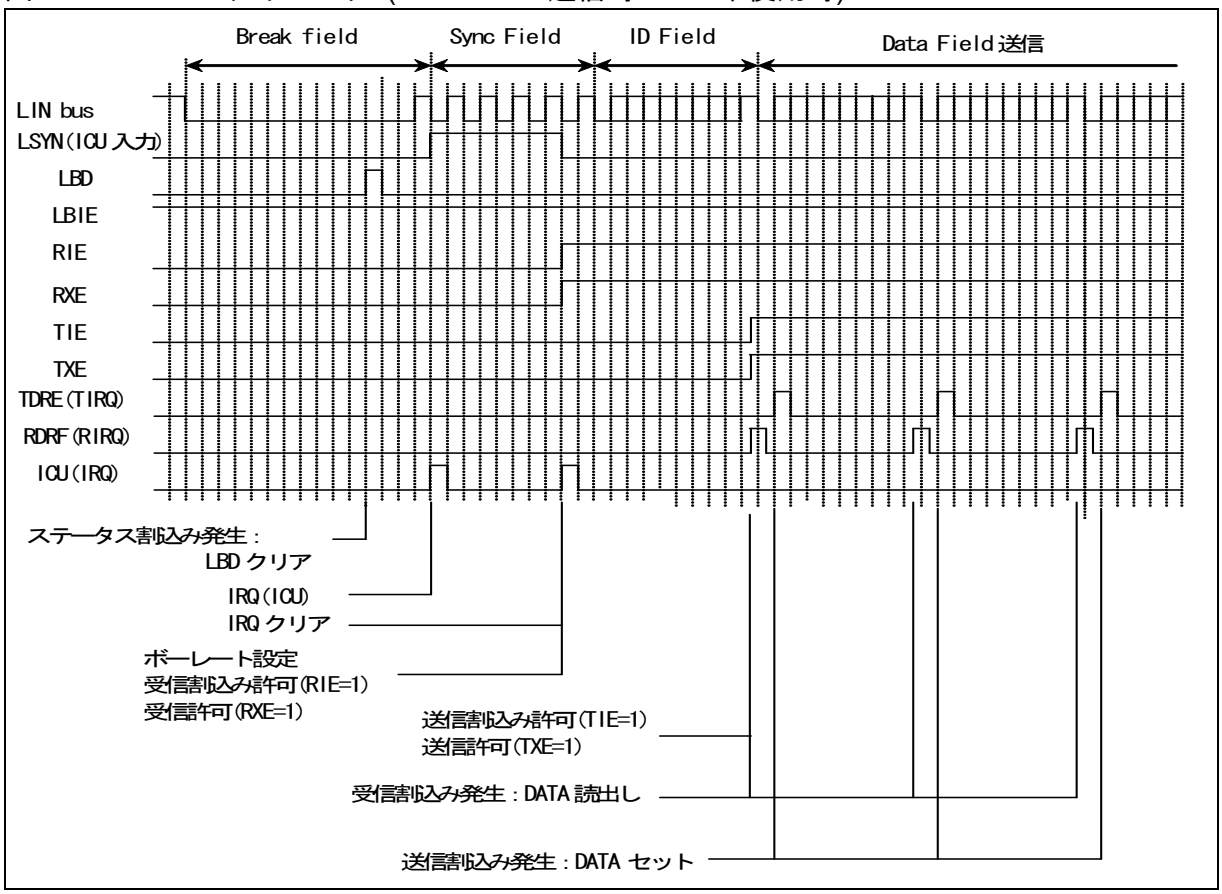
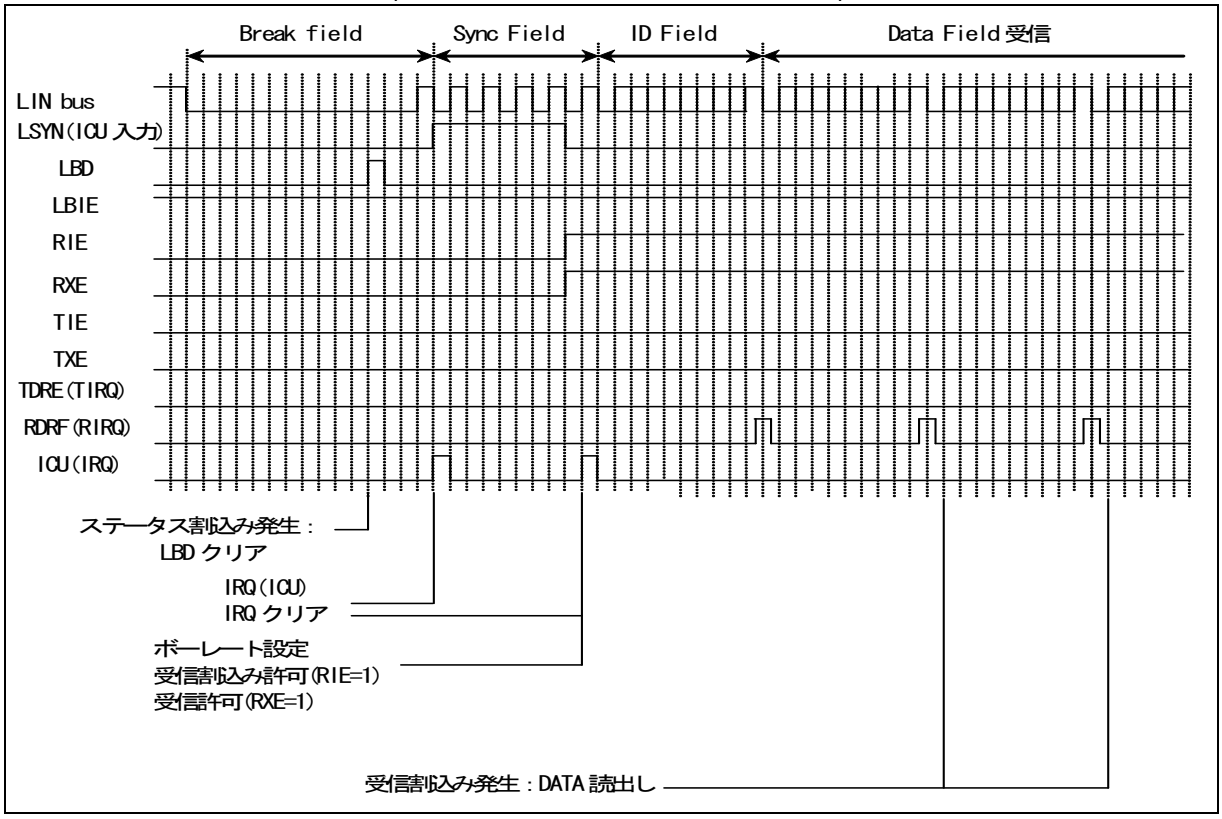


図 4-12 LIN バスタイミング (DATA Field 受信時:FIFO 未使用時)



● **FIFO 使用時**

図 4-13 LIN バスタイミング (DATA Field 送信時:FIFO 使用時)

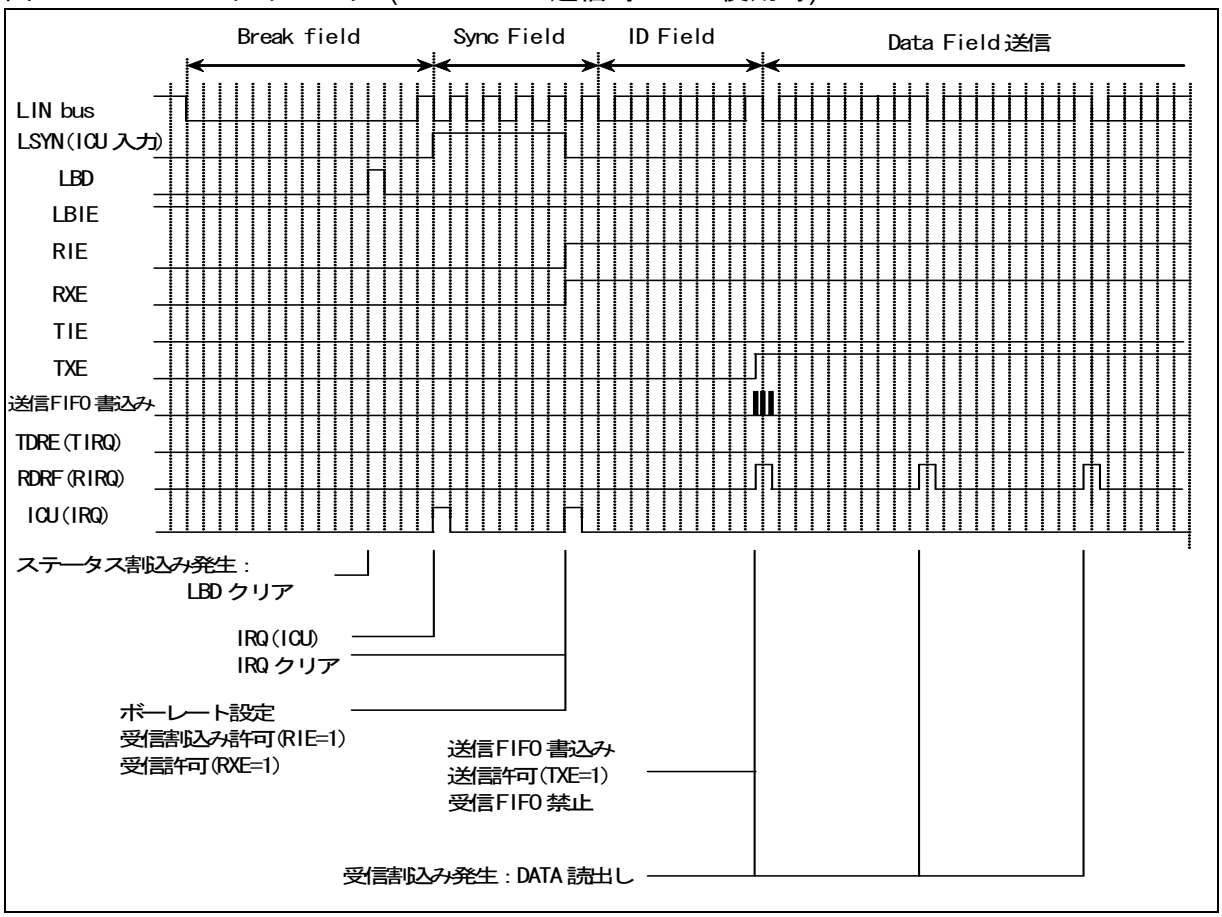
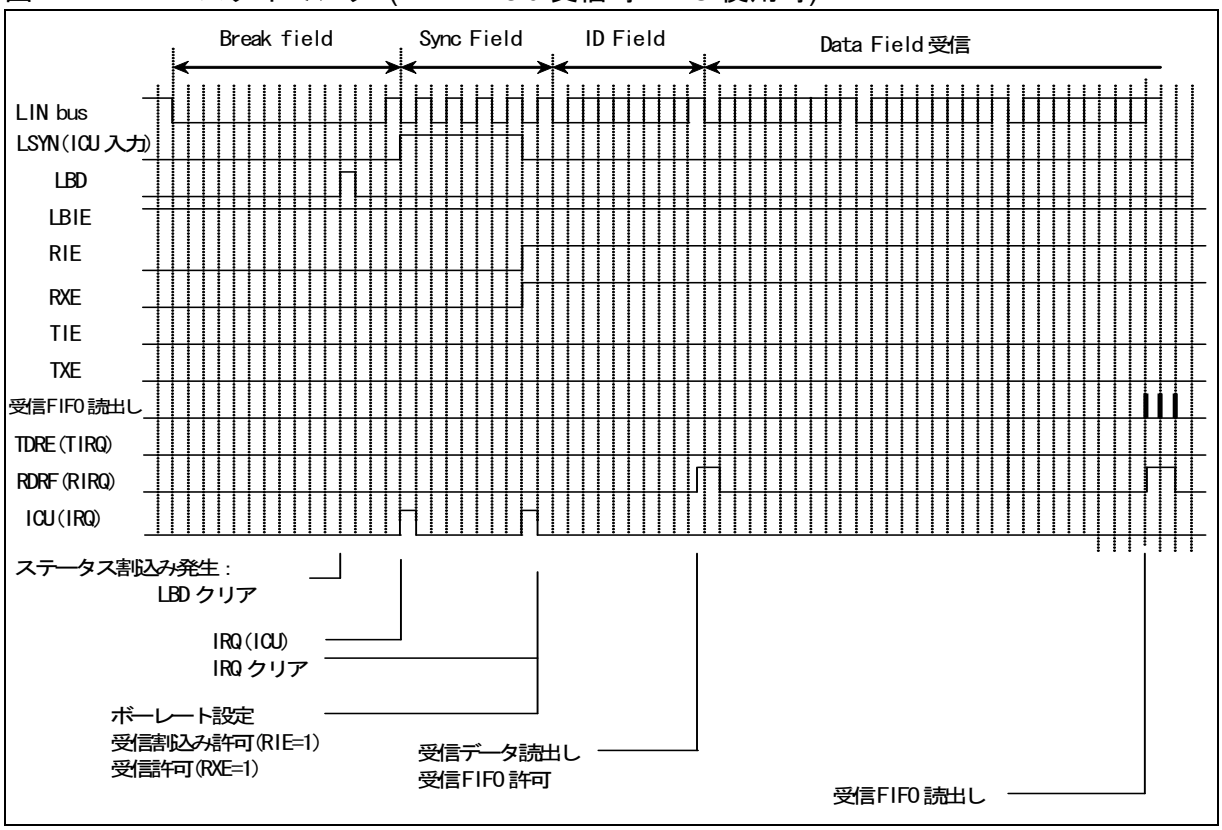


図 4-14 LIN バスタイミング (DATA Field 受信時:FIFO 使用時)



5. 動作モード 3(LIN 通信モード)設定手順とプログラムフロー

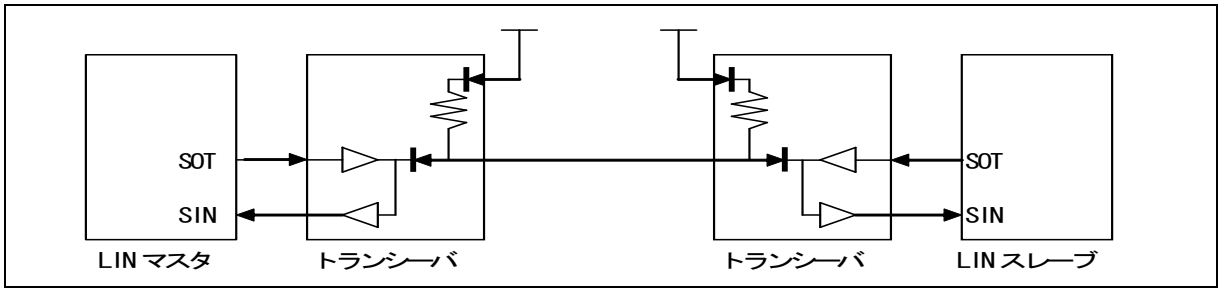
動作モード 3(LIN 通信モード)では、LIN マスタシステムもしくは、LIN スレーブシステムに使用できます。

■ レジスタの設定

● CPU 間接続

1 つの LIN マスタと LIN スレーブの通信システムを図 5-1 に示します。LIN インタフェース(v2.1)は、LIN マスタまたは、LIN スレーブとして動作できます。

図 5-1 LIN バスシステムの通信例



■ フローチャート例

● マスタ動作

図 5-2 LIN 通信マスタモードフローチャート例(FIFO 未使用)

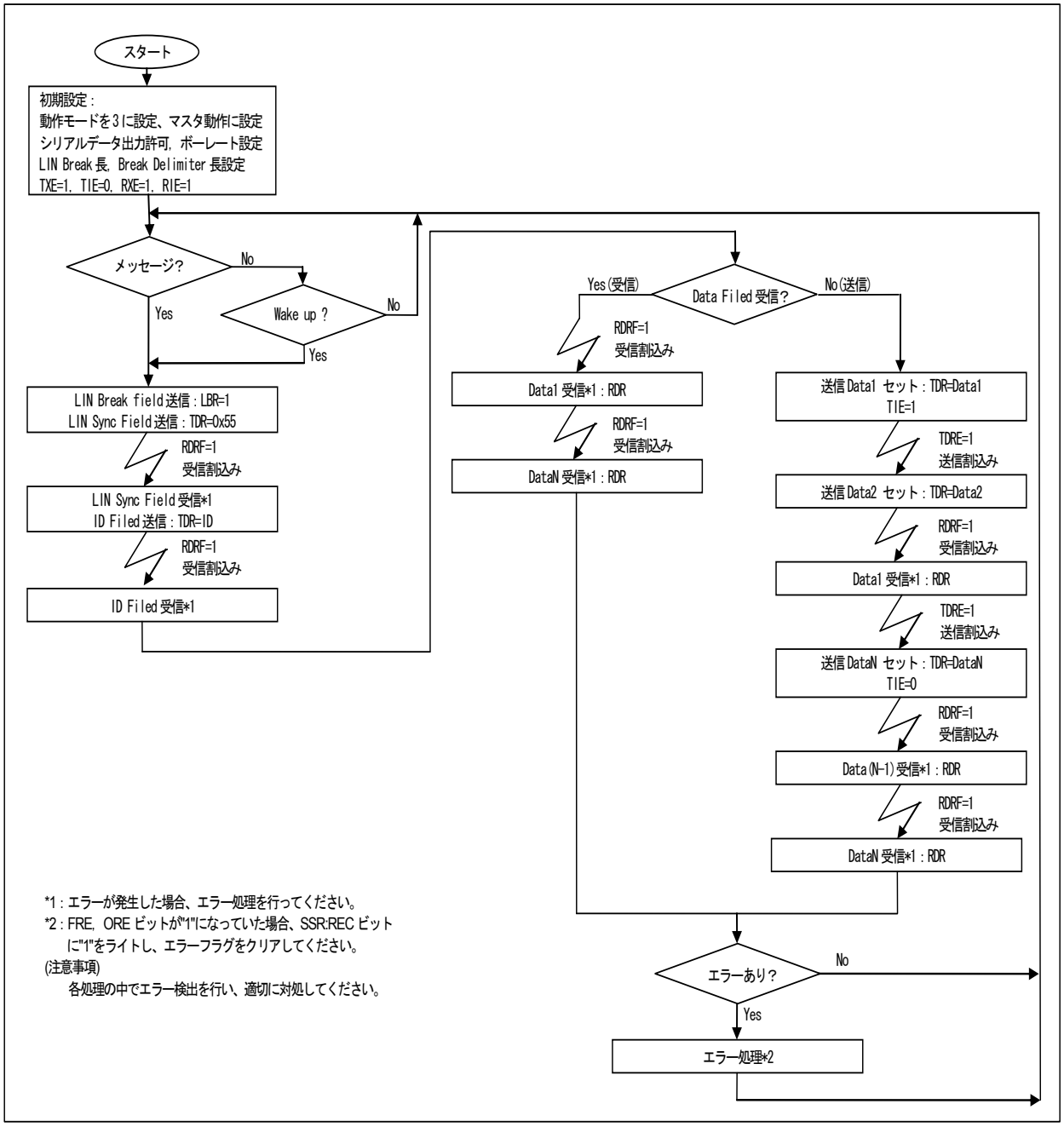
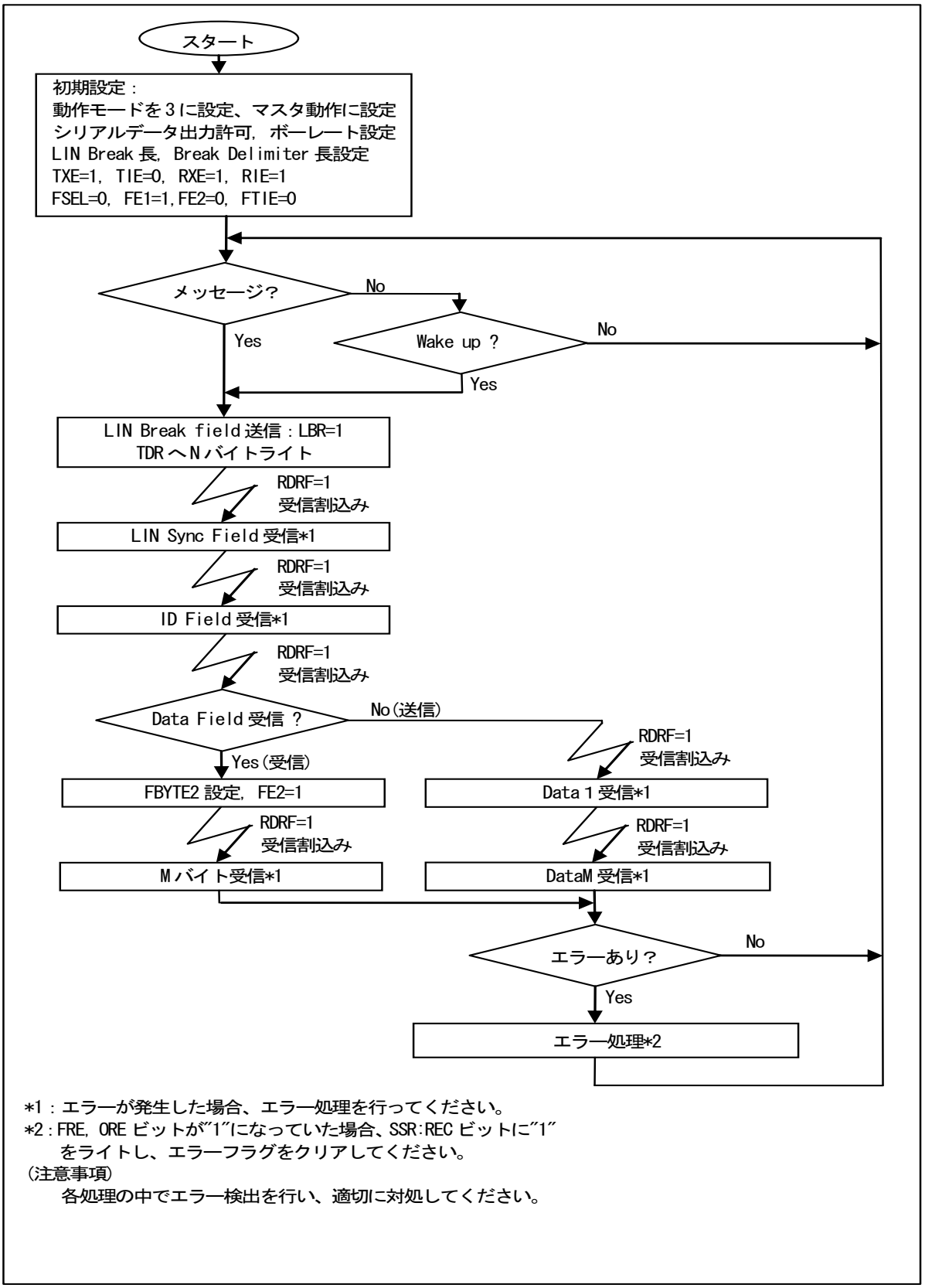


図 5-3 LIN 通信マスタモードフローチャート例(FIFO 使用)



*1：エラーが発生した場合、エラー処理を行ってください。
*2：FRE，ORE ビットが"1"になっていた場合、SSR:REC ビットに"1"
をライトし、エラーフラグをクリアしてください。
(注意事項)
各処理の中でエラー検出を行い、適切に対処してください。

● スレーブ動作

図 5-4 LIN 通信スレーブモードフローチャート例(FIFO 未使用)

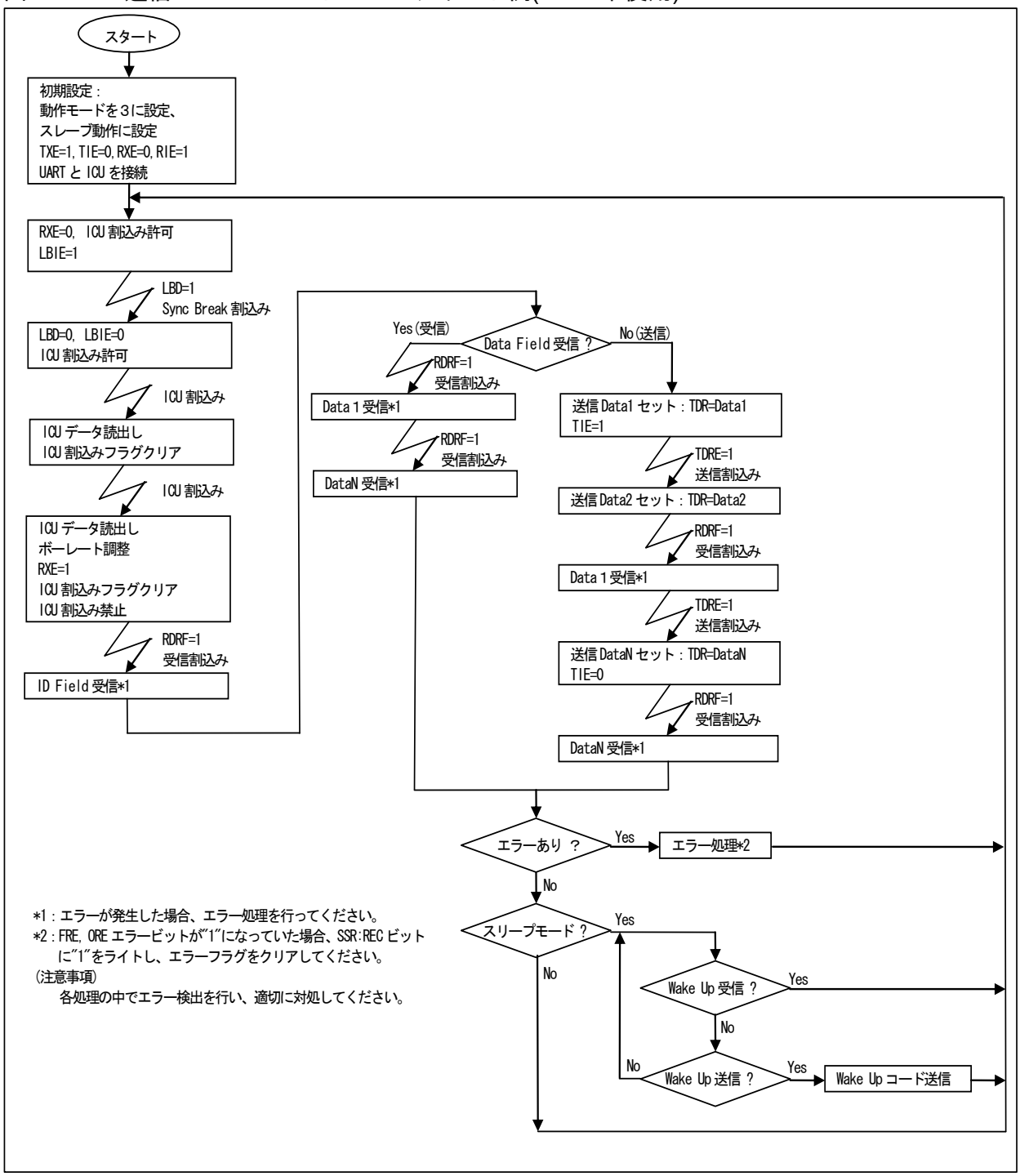
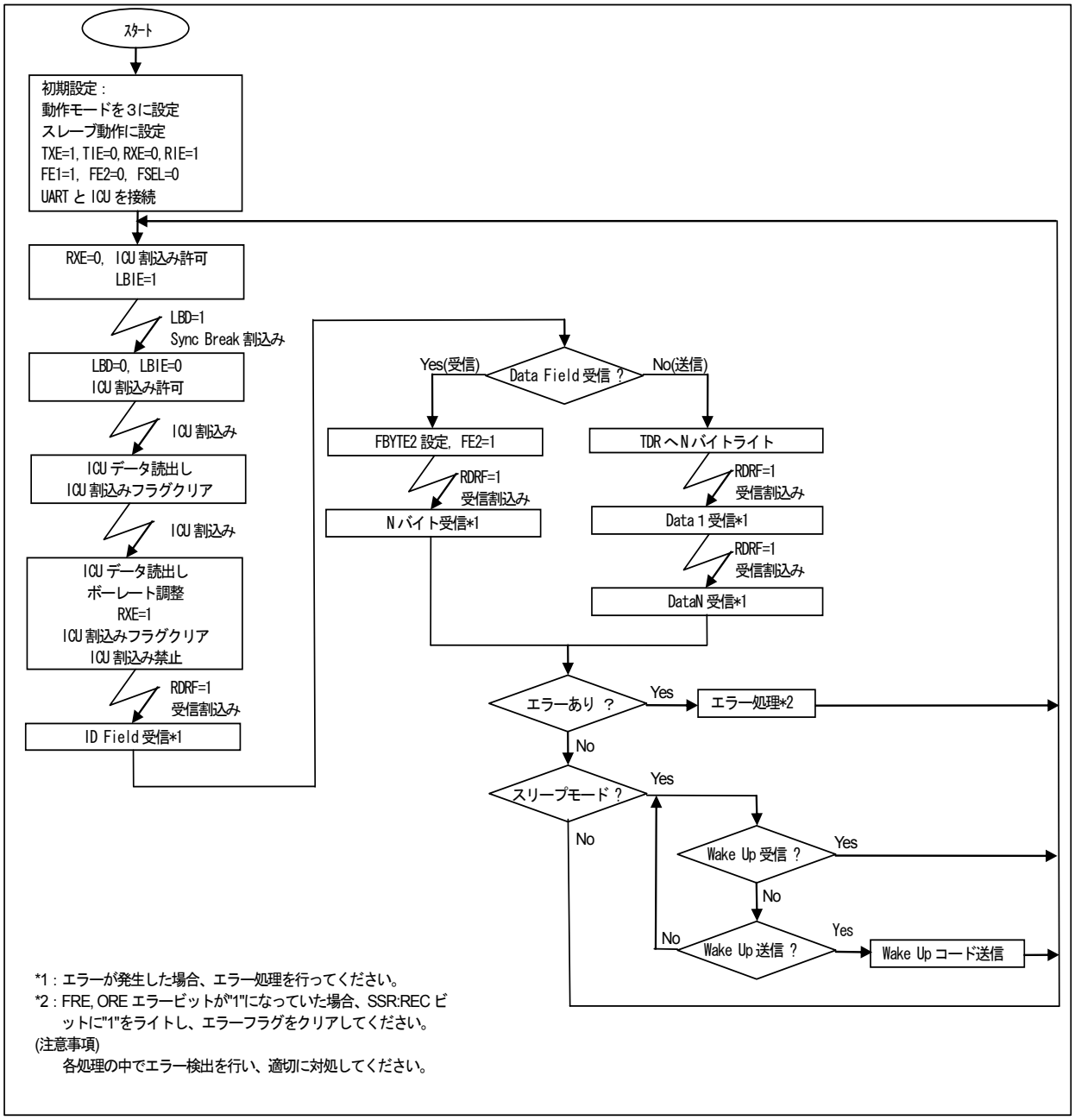


図 5-5 LIN 通信スレーブモードフローチャート例(FIFO 使用)



6. LIN インタフェース(v2.1)のレジスタ

LIN インタフェース(v2.1)のレジスター覧を示します。

■ LIN インタフェース(v2.1)のレジスター覧

表 6-1 LIN インタフェース(v2.1)のレジスター覧

	bit15 bit8	bit7 bit0
LIN インタフェース (v2.1)	SCR(シリアル制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	ESCR(拡張通信制御レジスタ)
	–	RDR/TDR(送受信データレジスタ)
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

表 6-2 LIN インタフェース(v2.1)ビット配置

	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit09	Bit08	Bit07	Bit06	Bit05	Bit04	Bit03	Bit02	Bit01	Bit00
SCR/ SMR	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	MD2	MD1	MD0	WUCR	SBL	-	-	SOE
SSR/ ESCR	REC	-	LBD	FRE	ORE	RDRF	TDRE	TBI	-	ESBL	-	LBIE	LBL1	LBL0	DEL1	DEL0
TDR/ RDR	-								D7	D6	D5	D4	D3	D2	D1	D0
BGR1	EXT	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE 1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

6.1. シリアル制御レジスタ(SCR)

シリアル制御レジスタ(SCR)は、送受信割込みの許可/禁止，送信アイドル割込みの許可/禁止，送受信動作の許可/禁止の設定を行います。また、LIN Break field 生成、LIN インタフェース(v2.1)リセットの設定があります。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	UPCL	MS	LBR	RIE	TIE	TBIE	RXE	TXE	(SMR)
初期値	0	-	-	0	0	0	0	0	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

[bit15] UPCL : プログラマブルクリアビット

LIN インタフェース(v2.1)の内部状態を初期化するビットです。

"1"を設定した場合:

- LIN インタフェース(v2.1)を直接リセット(ソフトウェアリセット)します。ただし、レジスタの設定は維持されます。その際、送受信状態のものは直ちに切断されます。
- ボーレートジェネレータは、BGR1/0 レジスタの設定値をリロードし、再スタートします。
- すべての送受信割込み要因(SSR:TDRE, TBI, RDRF, FRE, ORE, LBD)は初期化されます。

"0"を設定した場合:

動作に影響しません。

読出し時は、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	プログラマブルクリア	

＜注意事項＞

- 割込み禁止に設定した後に、プログラマブルクリアを実行してください。
- FIFO 使用時は、FIFO 禁止(FCR0:FE2, FE1=0)にしてからプログラマブルクリアを実行してください。
- 受信動作から送信動作へ連続的に切り換える場合、データ受信後にプログラマブルクリアを実行してから、送信データを送信データレジスタ(TDR)に書き込んでください。

[bit14] MS : マスタ/スレーブ機能選択ビット

マスタまたはスレーブモードを選択します。

"0"に設定した場合 : マスタモードに設定されます。
"1"に設定した場合 : スレーブモードに設定されます。

bit	説明
0	マスタモード
1	スレーブモード

[bit13] LBR : LIN Break field 設定ビット(マスタ動作のみ機能)

本ビットに"1"を設定した場合、ESCR:LBL1/0 ビットおよび、ESCR:DEL1/0 で設定された長さの LIN Break field と LIN Break デリミタを生成します。

読出し時:

"0"をライト : 影響しません。
"1"をライト : LIN Break field を生成します。

書込み時:

常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	LIN Break field 生成	

＜注意事項＞

・マスタ動作(MS="0")のみ機能します。
・LIN Break field 生成中に本ビットを"1"に設定しないでください。

[bit12] RIE : 受信割込み許可ビット

・CPU への受信割込み要求出力を許可/禁止するビットです。
・RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合または、エラーフラグビット(SSR:FRE, ORE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

[bit11] TIE : 送信割込み許可ビット

・CPU への送信割込み要求出力を許可/禁止するビットです。
・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

[bit10] TBIE : 送信バスアイドル割込み許可ビット

・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
・TBIE ビットと SSR:TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit9] RXE : 受信動作許可ビット

LIN インタフェース(v2.1)の受信動作を許可/禁止します。

・"0"に設定した場合 : データフレーム受信動作が禁止されます。
・"1"に設定した場合 : データフレーム受信動作が許可されます。

bit	説明
0	データフレーム受信禁止
1	データフレーム受信許可

＜注意事項＞

・受信動作許可(RXE=1)にしても、スタートビットの立下りエッジが入力されないと受信動作を開始しません。
・マスタ動作時、LIN Break field 送信中、受信動作が許可(RXE=1)状態でもデータは受信しません。
・受信中に受信動作を禁止(RXE=0)した場合には、直ちに受信動作を停止します。

[bit8] TXE : 送信動作許可ビット

LIN インタフェース(v2.1)の送信動作を許可/禁止します。

・"0"に設定した場合 : データフレーム送信動作が禁止されます。
・"1"に設定した場合 : データフレーム送信動作が許可されます。

bit	説明
0	データフレーム送信禁止
1	データフレーム送信許可

＜注意事項＞

送信中に送信動作を禁止(TXE=0)した場合には、直ちに送信動作を停止します。

6.2. シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定，転送方向，データ長，ストップビット長の選択およびシリアルデータ端子への出力許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	WUCR	SBL	予約	予約	SOE
初期値		0	0	0	0	0	-	0	0
属性		R/W	R/W	R/W	R/W	R/W	-	-	R/W

[bit7:5] MD2, MD1, MD0 : 動作モード設定ビット

動作モードを設定します。

"000" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010" : 動作モード 2(クロック同期モード)に設定されます。
"011" : 動作モード 3(LIN 通信モード)に設定されます。
"100" : 動作モード 4(I^2C モード)に設定されます。

本章では動作モード 3(LIN 通信モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

* 本章は、動作モード 3 のレジスタおよび動作について説明します。

＜注意事項＞

- 上記設定以外は禁止です。
- 動作モードを切り換える場合は、プログラマブルクリア実行(SCR:UPCL=1)後、続けて動作モードを切り換えてください。
- 動作モード設定後、各レジスタを設定してください。

[bit4] WUCR : WAKE UP 制御ビット

外部割込みで使用する端子を選択します。

"0"に設定した場合 : 外部割込みで使用する端子は INT 端子です。
"1"に設定した場合 : 外部割込みで使用する端子は SIN 端子です。

bit	説明
0	WAKE UP 機能禁止
1	WAKE UP 機能許可

[bit3] SBL : ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SBL="0"、ESCR:ESBL="0"に設定した場合 : ストップビットは 1 ビットに設定されます。
SBL="1"、ESCR:ESBL="0"に設定した場合 : ストップビットは 2 ビットに設定されます。
SBL="0"、ESCR:ESBL="1"に設定した場合 : ストップビットは 3 ビットに設定されます。
SBL="1"、ESCR:ESBL="1"に設定した場合 : ストップビットは 4 ビットに設定されます。

bit	説明	
0	ESCR:ESBL=0	STOP ビットは 1 ビット
	ESCR:ESBL=1	STOP ビットは 3 ビット
1	ESCR:ESBL=0	STOP ビットは 2 ビット
	ESCR:ESBL=1	STOP ビットは 4 ビット

＜注意事項＞

・受信時は、常にストップビットの 1 ビット目だけを検出します。
・本ビットは送信が禁止(SCR:TXE=0)のときに設定してください。

[bit2:1] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit0] SOE : シリアルデータ出力許可ビット

シリアルデータの出力を許可/禁止するビットです。

bit	説明
0	シリアルデータ出力を禁止
1	シリアルデータ出力を許可

＜注意事項＞

SOT 端子として使用する場合は GPIO 設定も行ってください。

6.3. シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認，受信エラーフラグの確認，LIN Break field の検出または受信エラーフラグのクリアを行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	-	LBD	FRE	ORE	RDRF	TDRE	TBI	(ESCR)
初期値	0	-	0	0	0	0	1	1	
属性	R/W	-	R/W	R	R	R	R	R	

[bit15] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の FRE, ORE フラグをクリアするビットです。

・"1"書込みで、エラーフラグがクリアされます。
・"0"書込みは、動作に影響しません。

読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	受信エラーフラグ(FRE, ORE)のクリア	

[bit14] 未使用ビット

読出し時 : 値は不定です。
書込み時 : 動作に影響しません。

[bit13] LBD : LIN Break field 検出フラグビット

LIN Break field 検出を示すビットです。
シリアル入力(SIN)が 11 ビット幅以上"L"入力されると、LBD ビットは"1"に設定されます。このとき、LIN Break field 割込み許可ビット(LBIE)が"1"に設定されていると、ステータス割込みを発生します。

(リードした場合)

"1"の場合 : LIN Break field が検出されています。
"0"の場合 : LIN Break field が検出されていません。

(ライトした場合)

"0"をライトした場合 : LBD ビットをクリアします。
"1"をライトした場合 : 動作に影響しません。

bit	説明	
	書込み時	読出し時
0	LBD フラグクリア	Break field なし
1	動作に影響しません	Break field あり

＜注意事項＞

リードモディファイライト命令時、"1"が読み出されます。

[bit12] FRE : フレーミングエラーフラグビット

・受信時にフレーミングエラーが発生した場合に"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・FRE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合は、受信データレジスタ(RDR)のデータは無効です。
・受信 FIFO 使用時に本フラグがセットされた場合、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	フレーミングエラーなし
1	フレーミングエラーあり

[bit11] ORE : オーバランエラーフラグビット

・受信時にオーバランが発生した場合に"1"に設定されます。シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・ORE ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合、受信データレジスタ(RDR)のデータは無効です。
・受信 FIFO 使用時に本フラグがセットされた場合は、受信 FIFO の許可ビットがクリアされ、受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF : 受信データフルフラグビット

・受信データレジスタ(RDR)の状態を示すフラグです。
・RDR に受信データがロードされると"1"に設定されます。受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
・RDRF ビットと RIE ビットが"1"の場合、受信割込み要求を出力します。
・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
・受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。

bit	説明
0	受信データレジスタ(RDR)がエンプティ
1	受信データレジスタ(RDR)にデータが存在する

[bit9] TDRE : 送信データエンプティフラグビット

・送信データレジスタ(TDR)の状態を示すフラグです。
・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"になり TDR に有効なデータが存在していないことを示します。
・TDRE ビットと TIE ビットが"1"の場合、送信割込み要求を出力します。
・シリアル制御レジスタ(SCR)の UPCL ビットに"1"を書き込むと TDRE ビットは"1"に設定されます。
・送信 FIFO 使用時の TDRE ビットのセット/クリアタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI : 送信バスアイドルフラグビット

・LIN インタフェース(v2.1)が送信動作をしていないことを示すビットです。
・送信データレジスタ(TDR)へ送信データを書き込んだ場合に本ビットは"0"に設定されます。
・LIN Break field が設定(SMR:LBR=1)された場合に本ビットは"0"に設定されます。
・送信データレジスタ(TDR)がエンプティ(TDRE=1)で、送信動作をしていない場合に本ビットが"1"に設定されます。
・LIN Break field 送信が終了し、送信データレジスタがエンプティの場合に本ビットは"1"に設定されます。
・本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

bit	説明
0	送信中
1	送信動作なし

6.4. 拡張通信制御レジスタ(ESCR)

拡張通信制御レジスタ(ESCR)は、LIN Break field 割込みの許可/禁止, LIN Break field の検出, LIN Break field 長, Break デリミタ長の設定, ストップビット長の選択を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	予約	ESBL	-	LBIE	LBL1	LBL0	DEL1	DEL0
初期値		0	0	-	0	0	0	0	0
属性		-	R/W	-	R/W	R/W	R/W	R/W	R/W

[bit7] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit6] ESBL : 拡張ストップビット長選択ビット

ストップビット(送信データのフレームエンドマーク)のビット長を設定します。

SMR:SBL="0"、ESBL="0"に設定した場合 : ストップビットは 1 ビットに設定されます。
SMR:SBL="1"、ESBL="0"に設定した場合 : ストップビットは 2 ビットに設定されます。
SMR:SBL="0"、ESBL="1"に設定した場合 : ストップビットは 3 ビットに設定されます。
SMR:SBL="1"、ESBL="1"に設定した場合 : ストップビットは 4 ビットに設定されます。

bit	説明	
0	SMR:SBL=0	1 ビット
	SMR:SBL=1	2 ビット
1	SMR:SBL=0	3 ビット
	SMR:SBL=1	4 ビット

＜注意事項＞

・受信時は、常にストップビットの 1 ビット目だけを検出します。
・本ビットは送信が禁止(TXE=0)のときに設定してください。

[bit5] 未使用ビット

読出し時 : 値は不定です。
書込み時 : 動作に影響しません。

[bit4] LBIE : LIN Break field 検出割込み許可ビット

LIN Break field 検出割込みを許可/禁止するビットです。
LIN Break field 検出フラグ(LBD)が"1"のとき、割込みが許可(LBIE=1)されると受信割込みを発生します。

bit	説明
0	LIN Break field 検出割込み禁止
1	LIN Break field 検出割込み許可

[bit3:2] LBL1/0 : LIN Break field 長選択ビット(マスタ動作のみ機能)

・これらのビットは、LIN Break field の生成時間を何ビット分とするかを設定します。
・シリアル制御レジスタ(SCR)の LBR ビットに"1"を設定(LIN Break field 送信)する前に、本ビットを設定してください。
・スレーブ動作時、LIN Break field 検出タイミングは、本ビットの設定値によらず、常に 11 ビット目で検出します。

bit3	bit2	説明
0	0	13 ビット長
0	1	14 ビット長
1	0	15 ビット長
1	1	16 ビット長

＜注意事項＞

本機能は、マスタ動作(SMR:MS="0")のみ機能します。

[bit1:0] DEL1/0 : LIN Break デリミタ長選択ビット(マスタ動作のみ機能)

・これらのビットは、LIN Break デリミタ長を何ビット分とするかを設定します。
・シリアル制御レジスタ(SCR)の LBR ビットを"1"に設定(LIN Break field 送信)する前に、本ビットを設定してください。

bit1	bit0	説明
0	0	1 ビット長
0	1	2 ビット長
1	0	3 ビット長
1	1	4 ビット長

＜注意事項＞

本機能は、マスタ動作(SMR:MS="0")のみ機能します。

6.5. 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

■ 受信データレジスタ(RDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
初期値		0	0	0	0	0	0	0	0
属性		R	R	R	R	R	R	R	R

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

・シリアル入力端子(SIN)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
・受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。受信割込みが許可されている場合(SCR:RIE)は、受信割込み要求を発生します。
・受信データレジスタ(RDR)は、受信データフルフラグビット(SSR:RDRF)が"1"の状態で読出してください。受信データフルフラグビット(SSR:RDRF)は、シリアル受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。
・受信エラーが発生(SSR:ORE, FRE のいずれかが"1")した場合、受信データレジスタ(RDR)のデータは無効です。

＜注意事項＞

・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が "1"に設定されます。
・受信 FIFO 使用時は、受信 FIFO がエンプティになると RDRF が "0"にクリアされます。
・受信 FIFO 使用時に、受信エラーが発生(SSR:ORE, FRE のどちらかが "1"に設定)した場合、受信 FIFO の許可ビットはクリアされ受信信データは受信 FIFO に格納しません。

■ 送信データレジスタ(TDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
初期値		1	1	1	1	1	1	1	1
属性		W	W	W	W	W	W	W	W

送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。

- 送信動作が許可されている場合に(SCR:TXE=1)、送信するデータを送信データレジスタ(TDR)に書き込むと、送信データが送信用シフトレジスタに転送されシリアルデータに変換されて、シリアルデータ出力端子(SOT)から送出されます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データがシリアル送信データレジスタ(TDR)に書込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信用シフトレジスタへ転送され、送信が開始されると、送信 FIFO が禁止または送信 FIFO がエンプティの場合、"1"に設定されます。
- 送信データエンプティフラグ(SSR:TDRE)が"1"の場合は、次の送信用データを書き込めます。送信割込みが許可されている場合には送信割込みが発生します。次の送信データの書込みは、送信割込みの発生後または、送信データエンプティフラグ(SSR:TDRE)が"1"の状態で行ってください。
- 送信データエンプティフラグ(SSR:TDRE)が"0"で送信 FIFO が禁止または送信 FIFO がフルのときは、送信データレジスタ(TDR)に送信データは書き込めません。

＜注意事項＞

- 送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているので書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。
- 送信 FIFO 使用時の送信データエンプティフラグ(SSR:TDRE)のセットタイミングは、「2.4 送信 FIFO 使用時の割込み発生とフラグセットのタイミング」を参照してください。

6.6. ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0 (BGR1, BGR0)は、シリアルクロックの分周比を設定します。また、リロードカウンタのクロックソースとして外部クロックを選択できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXT	(BGR1)							(BGR0)							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
・BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、設定値の読出しが可能です。
・ボーレートジェネレータレジスタ 1, 0 (BGR1, BRG0)にリロード値を書き込むとリロードカウンタはカウントを開始します。
・bit15 の EXT ビットはリロードカウンタのクロックソースを内部クロックで使用するか、外部クロックで使用するかを選択します。EXT=0 に設定した場合、内部クロックを選択します。EXT=1 に設定した場合、外部クロックを選択します。

[bit15] EXT : 外部クロック選択ビット

bit	説明
0	内部クロック使用
1	外部クロック使用

[bit14:8] BGR1 : ボーレートジェネレータレジスタ 1

bit14:8	説明
ライト	リロードカウンタの bit8～bit14 に書込み
リード	BGR1 の設定値の読出し

[bit7:0] BGR0 : ボーレートジェネレータレジスタ 0

bit7:0	説明
ライト	リロードカウンタの bit0～bit7 に書込み
リード	BGR0 の設定値の読出し

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。
- ボーレートジェネレータレジスタ(BGR1, BGR0)の設定値を変更した場合、カウンタ値が"15h00"になってから、新しい設定値がリロードされます。従って、新しい設定値を即有効にしたい場合は、BGR1/0 の設定値を変更した後、プログラマブルクリア(UPCL)を実行してください。
- リロード値が偶数の場合、シリアルクロックの"H"幅と"L"幅は"L"幅のほうがバスクロック 1 サイクル分長いです。奇数の場合、シリアルクロックの"H"幅と"L"幅は同じです。
- リロード値は 3 以上を設定してください。ただし、ボーレートの誤差とリロード値の設定によって正常にデータを受信できないことがあります。
- ボーレートジェネレータ動作中に外部クロックの設定(EXT=1)に変更する場合、ボーレートジェネレータ 1, 0(BGR1, BGR0)に"0"を書込み、プログラムクリア(UPCL)実行後、外部クロック(EXT=1)に設定してください。

6.7. FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、FIFO のテスト設定，送受信 FIFO の選択，送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約	予約	予約	FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
初期値	-	-	-	0	0	1	0	0	
属性	-	-	-	R/W	R/W	R/W	R/W	R/W	

[bit15:13] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FLST ビット検出を許可するビットです。

"0"に設定した場合 : FLST ビット検出禁止
"1"に設定した場合 : FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

＜注意事項＞

本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

＜注意事項＞

受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力します。

FDRQ セット条件

・FBYTE(送信用)=0　(送信 FIFO がエンプティ)
・送信 FIFO のリセット

FDRQ クリア条件

・本ビットへの"0"書込み
・送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

＜注意事項＞

・FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
・本ビットが"0"のときに FSEL ビットの変更は禁止です。
・本ビットに"1"を設定した場合、動作に影響しません。
・リードモディファイライト命令時、"1"が読み出されます。

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO:FIFO1, 受信 FIFO:FIFO2 に割当てられます。
"1"に設定した場合 : 送信 FIFO:FIFO2, 受信 FIFO:FIFO1 に割当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

＜注意事項＞

・本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。
・本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。

6.8. FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット，リードポインタの保存，再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
初期値		-	0	0	0	0	0	0	0
属性		-	R	R/W	W	R/W	R/W	R/W	R/W

[bit7] 未使用ビット

読出し時 ： 値は不定です。
書込み時 ： 動作に影響しません。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

・FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致している時に FIFO へ書き込んだ場合

FLST クリア条件

・FIFO リセット(FCL への"1"書込み)
・FSET ビットへ"1"書込み

本ビットに"1"が設定されると、FSET ビットで保存したリードポインタが示すデータを上書きしてしまいます。このため、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。
本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

＜注意事項＞

・本ビットが"1"に設定されている間はリードポインタへのリロード中のため、FIFO リセット以外の書込みは禁止です。
・FIFO 許可状態または送信中に本ビットに"1"を設定することは禁止です。
・TIE ビット TBIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、TIE ビットと TBIE ビットを"1"にしてください。

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合 ： 現在のリードポインタの値を保存します。
"0"に設定した場合 ： 動作に影響しません。

bit	説明
0	保存しない
1	保存実行

＜注意事項＞

送信バイト数(FBYTE)が 0 を示している時に本ビットを"1"に設定してください。

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定することで、FIFO2 の内部状態を初期化します。
FCR1:FLST2 ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

＜注意事項＞

・送受信を禁止してから、FIFO2 リセットを実行してください。
・送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
・FBYTE2 レジスタの有効データ数は"0"に設定されます。

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定することで、FIFO1 の内部状態を初期化します。
FCR1:FLST1 ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

＜注意事項＞

・送受信を禁止してから、FIFO1 リセットを実行してください。
・送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
・FBYTE1 レジスタの有効データ数は"0"に設定されます。

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

・FIFO2 を使用する場合、本ビットに"1"を設定してください。
・FIFO2 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO2 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。
・FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
・FIFO2 を送信 FIFO で使用する場合には送信バッファがエンプティ(TDRE=1)のときに本ビットに"1"または"0"を設定してください。
・FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
・FIFO2 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
・FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

・FIFO1 を使用する場合、本ビットに"1"を設定してください。
・FIFO1 を送信 FIFO に設定し、本ビットに"1"を書き込んだ時に FIFO1 にデータが存在し、LIN インタフェース(v2.1)が送信許可(TXE=1)のとき、直ちに送信を開始します。このとき、TIE ビットと TBIE ビットは"0"にしてから本ビットに"1"を書込み、TIE ビットと TBIE ビットを"1"にしてください。
・FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後、本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"は設定できません。
・FIFO1 を送信 FIFO で使用する場合には送信バッファがエンプティ(TDRE=1)のときに本ビットに"1"または"0"を設定してください。
・FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0x00)ときに本ビットに"0"を設定してください。
・FIFO1 を受信 FIFO で使用する場合には、受信禁止(SCR:RXE=0)後、受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
・FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

6.9. FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットによる設定を以下に示します。

表 6-3 データ数表示

FCR1:FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ数表示が一致した場合、受信データフルフラグビット(RDRF)が"1"に設定されます。
- 以下の条件を両方満たす場合、受信アイドル状態がボーレートクロックで 8 クロック以上続くと受信データフルフラグビット(RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは"0"にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは"0"にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数
受信時 : FIFO に受信されたデータ数

ライト(転送数)

送信時 : 0x00 設定
受信時 : 受信割込み発生のデータ数設定

＜注意事項＞

- 送信 FIFO の FBYTE には"0x00"を設定してください。
- 受信 FIFO の FBYTE は "1"以上のデータを設定してください。
- 送受信を禁止してから変更してください。
- 本レジスタはリードモディファイライト命令を使用できません。
- FIFO 容量を超えた設定は禁止です。
- FIFO 選択ビット(FCR1:FSEL)設定後、FIFO バイトレジスタ(FBYTE)を設定してください。
- FIFO 選択ビット(FCR1:FSEL)と FIFO バイトレジスタ(FBYTE)を同時に設定することはできません。
- 送信時の FIFO データ数表示は、送信データ書き込み数から 1 減算した値が有効なデータ数として表示されます。これは、TDR レジスタに送信されていないデータが存在しているときに送信データを書き込むと送信 FIFO に格納するためです。TDR レジスタのデータが送信されると送信 FIFO の送信されていないデータが TDR レジスタに転送されます。
- 受信時の FIFO データ数表示は、受信 FIFO に受信され読み出しされていないデータ数が表示されます。RDR レジスタで受信中のデータは含みません。

CHAPTER: I^{2}C インタフェース(I^{2}C 通信制御インタフェース)

マルチファンクション シリアルインタフェースの動作モード 4 でサポートしている I^{2}C 機能について説明します。

1. I^{2}Cインタフェース(I^{2}C通信制御インタフェース)の概要
2. I^{2}Cインタフェースの割込み
3. 専用ボーレートジェネレータ
4. I^{2}Cの通信動作フローチャート例
5. I^{2}Cインタフェースのレジスタ

管理コード: 9BFI2C-J02.0_FM15I-J05.4

1. I²C インタフェース(I²C 通信制御インタフェース)の概要

I²C インタフェース(I²C 通信制御インタフェース)は I²C バスをサポートし、I²C バス上のマスタ/スレーブデバイスとして動作します。また、送信/受信(最大各 128×9 ビット)*1 の FIFO を搭載しています。

■ I²C インタフェース(I²C 通信制御インタフェース)の機能

		機　　能
1	データバッファ	・全二重ダブルバッファ(FIFO 未使用時) ・送信/受信 FIFO(最大各 128×9 ビット) *1(FIFO 使用時)
2	シリアル入力	シリアルクロック・シリアルデータ入力に対し、バスクロックで 2 クロックまでのノイズを除去します。
3	転送モード	同期
4	ボーレート	・専用ボーレートジェネレータあり(15 ビットリロードカウンタから構成) ・外部クロックをリロードカウンタで調節可能。
5	データ長	8 ビット
6	信号方式	NRZ(Non Return to Zero)
7	割込み要求	・受信割込み ・送信割込み ・ステータス割込み・ICU への割込み要求 ・送信 FIFO 割込み (送信 FIFO がエンプティのとき) ・送受信 DMA 転送サポート機能あり
8	I²C	・マスタ/スレーブ送受信機能 ・調停機能 ・クロック同期機能 ・伝送方向検出機能 ・反復スタート条件の発生と検出機能 ・バスエラー検出機能 ・ゼネラルコールアドレッシング機能 ・マスタおよびスレーブとしての 7 ビットアドレッシング ・伝送およびバスエラー時に割込み発生可能 ・10 ビットアドレッシング機能は、プログラムで対応可能
9	FIFO	・送受信 FIFO 搭載(最大容量:送信 FIFO 128×9 ビット，受信 FIFO 128×9 ビット)*1 ・送信 FIFO と受信 FIFO を選択可能 ・送信データ再送可能 ・受信 FIFO 割込みタイミングをソフトで可変可能 ・独立して FIFO リセットサポート

*1 : FIFO 容量は品種に応じて容量サイズが異なります。

2. I²C インタフェースの割込み

I²C インタフェースの割込みは、次に示す要因で割込み要求を発生させられます。
・第 1 バイト送受信後/データ送受信後
・ストップ条件
・反復スタート条件
・FIFO 送信データ要求
・FIFO 受信データ完了

■ I²C インタフェースの割込み

I²C インタフェースの割込み制御ビットと割込み要因を表 2-1 に示します。

表 2-1 I²C インタフェースの割込み制御ビットと割込み要因

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
ステータス	INT	IBCR	第 1 バイト送受信後[*1] (SSR:DMA=1 のマスタ動作の場合は除く)	IBCR:INTE	割込みフラグビット(IBCR:INT)への"0"書込み
			データ送受信後[*1] (SSR:DMA=0 の場合)		
			バスエラー検出 (EIBCR.BCE=0)		
			アービトレーションロスト検出		
			予約アドレス検出		
			NACK 受信		
			スレーブ受信動作時の受信 FIFO フル (SSR:DMA=0 の場合)		受信 FIFO がエンプティになるまで受信データ読出し後、IBCR:INT への"0"書込み
	SPC	IBSR	ストップ条件	IBCR:CNDE	SPC への"0"書込み
	RSC		反復スタート検出		RSC への"0"書込み
受信	RDRF	SSR	予約アドレス受信	SMR:RIE	受信データレジスタ(RDR)の読出し
			データ受信後		
			FBYTE 設定値分受信		受信 FIFO がエンプティになるまでの受信データ(RDR)の読出し
			FRIIE="1"で受信アイドル検出		
	ORE	SSR	オーバランエラー		受信エラーフラグビット(SSR:REC)への"1"書込み
送信	TDRE	SSR	送信データレジスタがエンプティ	SMR:TIE	送信データレジスタ(TDR)への書込みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送)[*2]
			送信バッファエンプティフラグセットビット(SSR:TSET)への"1"書込み		
	FDRQ	FCR1	送信 FIFO がエンプティ	FCR1:FTIE	FIFO 送信データ要求ビットへの"0"書込みまたは送信 FIFO がフル
	TBI	SSR	送信動作なし	SCR:TBIE	送信データレジスタ(TDR)への書込

割込みの種類	割込み要求フラグビット	フラグレジスタ	割込み要因	割込み要因許可ビット	割込み要求フラグのクリア
	(SSR: DMA=1)		送信バッファエンプティフラグセットビット(SSR:TSET)への"1"書込み		みまたは送信 FIFO 動作許可ビットが"0"で送信 FIFO に有効なデータが存在しているときに送信 FIFO 動作許可ビットへの"1"書込み(送信再送) *3

*1 : 正常なデータを送受信でき SSR:TDRE が"0"の場合、割込みは発生しません。これは DMA 転送をサポートするためです。
データ送受信時に IBCR:INT フラグを発生させたい場合には IBCR:INT フラグがセットされるタイミングより前に SSR:TDRE ビットが"1"である必要があります。
*2 : SSR:TDRE ビットが"0"になってから SMR:TIE ビットを"1"にしてください。
*3 : SSR:TBI ビットが"0"になってから SSR:TBIE ビットを"1"にしてください。

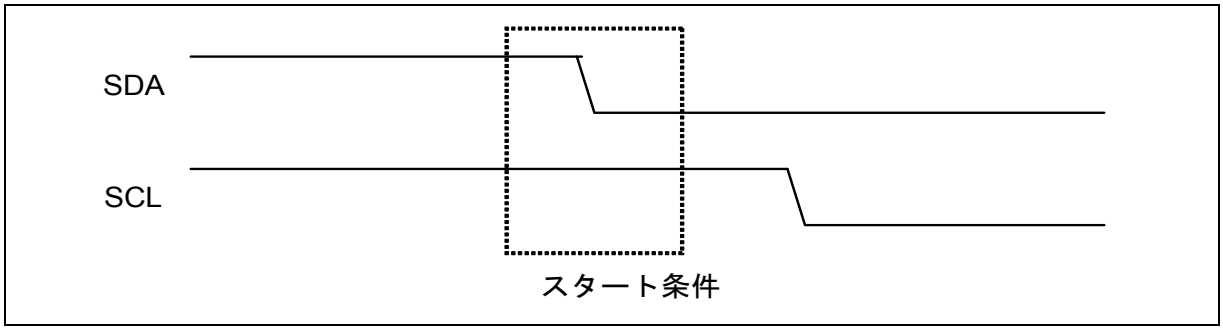
2.1. I²C インタフェースの動作

I²C インタフェースは、2 本の双方向バスライン，シリアルデータライン(SDA)およびシリアルクロックライン(SCL)を使用して通信を行います。

■ I²C バススタート条件

I²C バスの起動条件を以下に示します。

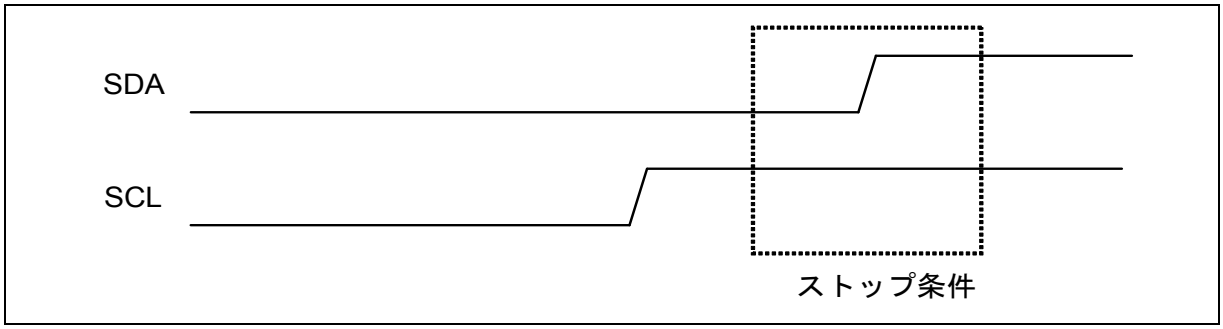
図 2-1 スタート条件



■ I²C バスストップ条件

I²C バスのストップ条件を以下に示します。

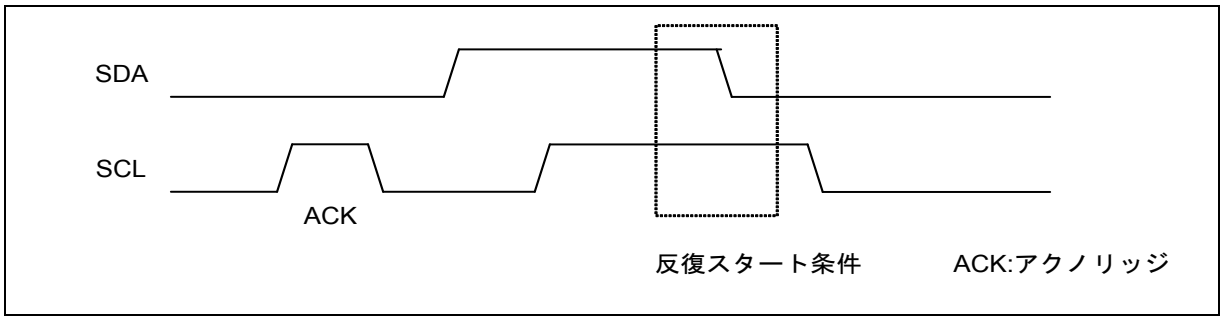
図 2-2 ストップ条件



■ I²C バス反復スタート条件

I²C バスの反復スタート条件を以下に示します。

図 2-3 反復スタート条件



2.2. マスタモード

マスタモードは、I²C バスにスタート条件を発生させ、I²C バスにクロックを出力します。I²C バスがアイドル状態(SCL="H", SDA="H")のとき、IBCR レジスタの MSS ビットに"1"を設定するとマスタモードになり、IBCR レジスタの ACT ビットが"1"になります。

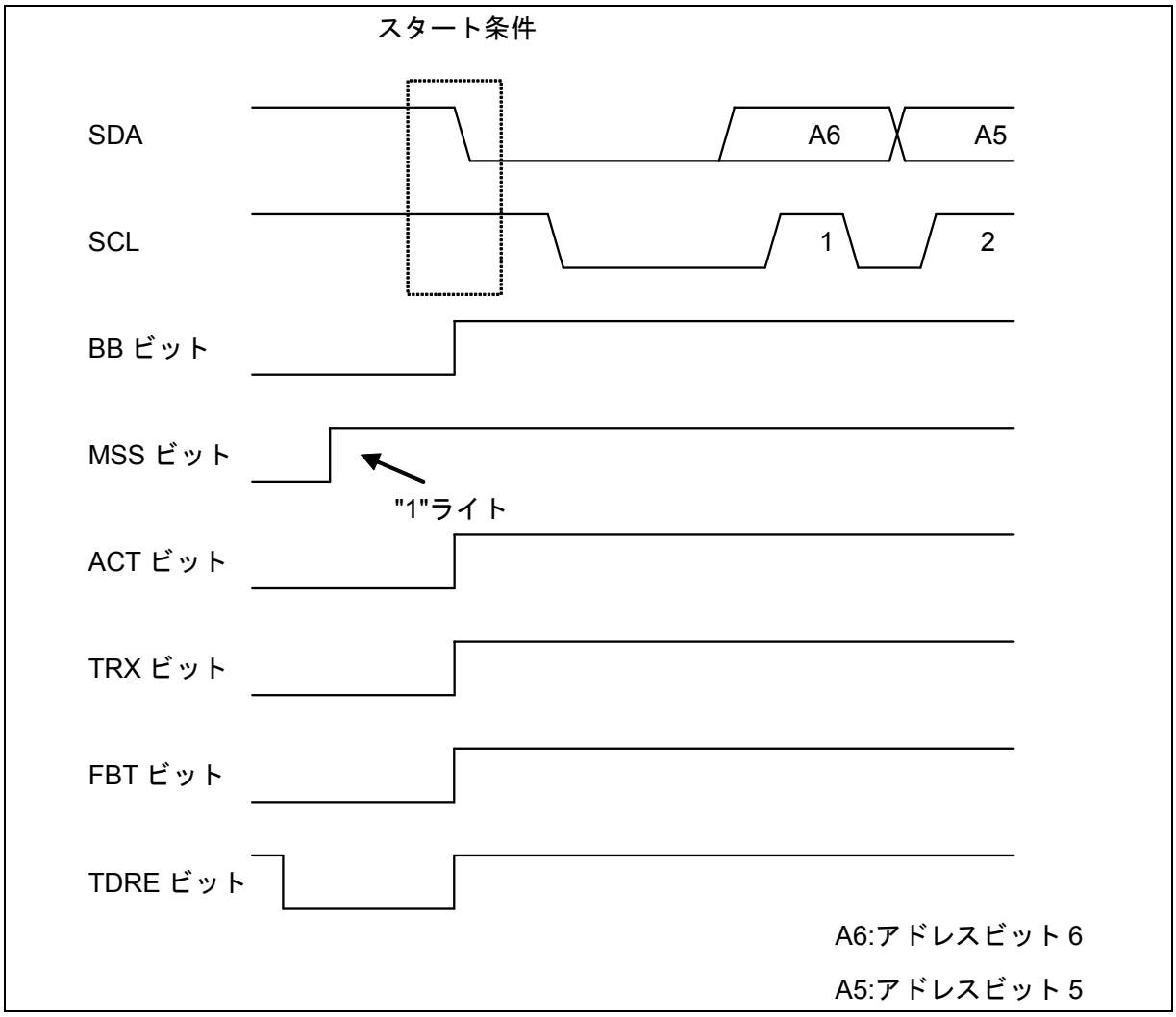
■ スタート条件生成

以下の条件でスタート条件が出力されます。

・SDA="H", SCL="H", ISMK:EN="1", IBSR:BB="0"のとき、IBCR:MSS ビットへ"1"書込み

I²C バスへスタート条件を出力すると IBCR:ACT ビットに"1"をセットします。その後、スタート条件を受信すると IBSR:BB ビットが"1"に設定され、I²C バスは通信中であることを示します(図 2-4 を参照してください)。

図 2-4 スタート条件出力および各ビットの関係



＜注意事項＞

動作モード 4(I^2C モード)ではバスクロックは 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。

■ スレーブアドレス出力

スタート条件を出力すると、TDR レジスタに設定されたデータを bit7 からアドレスとして出力します。FIFO 許可の場合、最初に書いた TDR レジスタのデータを出力します。bit0 はデータ方向ビット(R/W)として使用され、データ方向ビット(R/W)が"0"のとき、データはライト方向(マスター→スレーブ)を示します。TDR レジスタへのアドレス設定は、IBCR:MSS="1"または IBCR:SCC="1"を書く前に行ってください。

アドレスおよびデータ方向の出力タイミングについて図 2-5, 図 2-6 に示します。

図 2-5 アドレスおよびデータ方向(FIFO 禁止の場合)

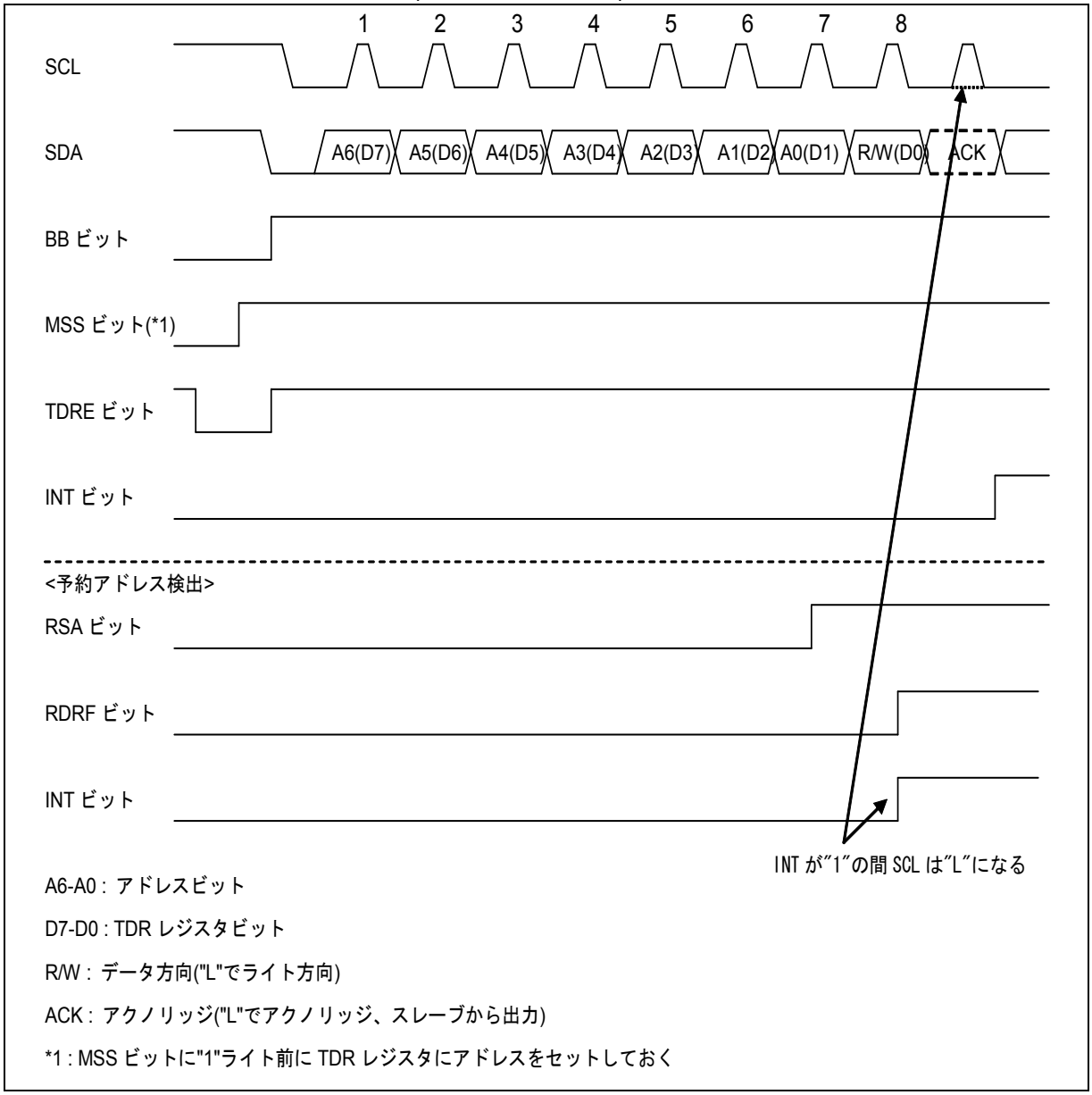
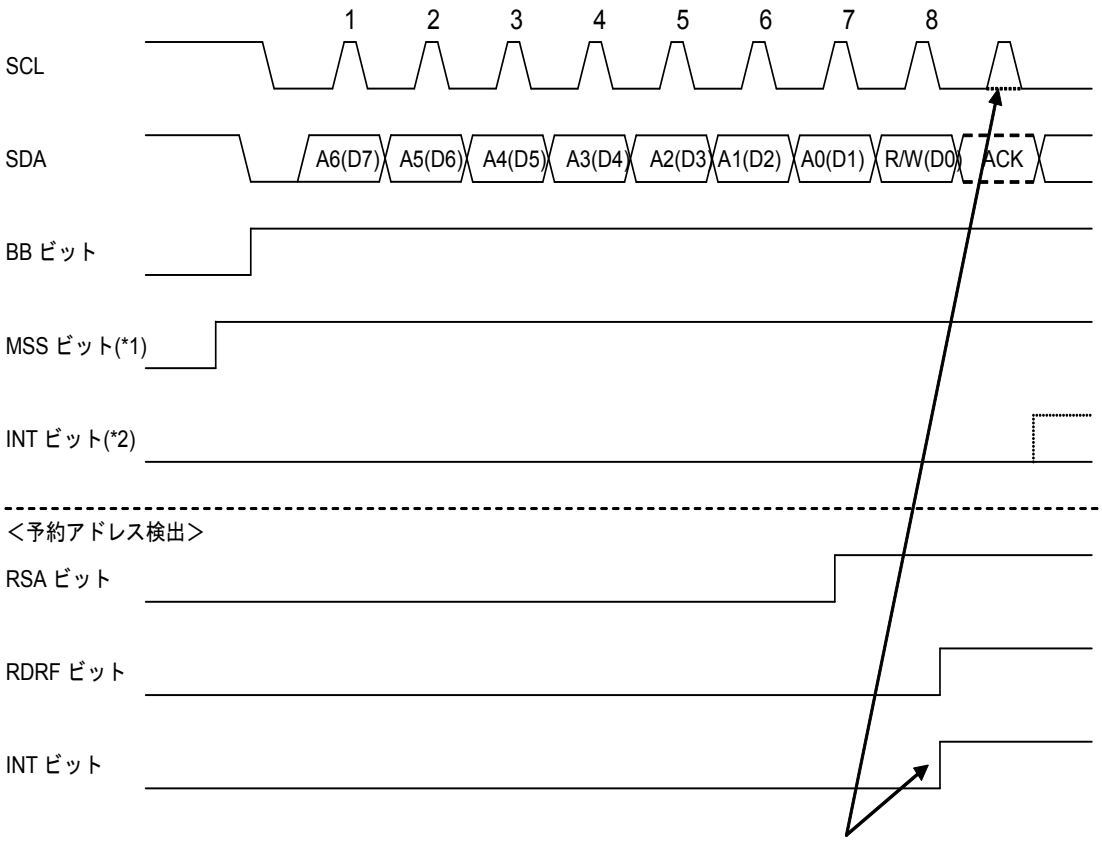


図 2-6 アドレスおよびデータ方向(送受信 FIFO 許可)



A6-A0 : アドレスビット

D7-D0 : TDR レジスタビット

R/W : データ方向("L"でライト方向)

ACK : アクノリッジ("L"でアクノリッジ、スレーブから出力)

*1 : MSS ビットに"1"ライト前に TDR レジスタにアドレスをセットしておく

*2 : アクノリッジが"L"で R/W="L"のとき、送信 FIFO にデータが存在する、またはアクノリッジが"L"で R/W="H"のとき、受信 FIFO にデータが存在していない場合、INT ビットは"1"にならない

■ 第 1 バイト送信によるアクノリッジ受信

データ方向ビット(R/W)を出力すると I²C インタフェースは、スレーブからのアクノリッジを受信します。FIFO 許可と FIFO 禁止の動作を以下に示します。

表 2-2 DMA モード禁止時のアクノリッジ受信後の動作
(IBSR:RSA ビット="0", SSR:DMA ビット="0")

<table>
<tr><th rowspan="2">送信 FIFO</th><th rowspan="2">受信 FIFO</th><th rowspan="2">送信 FIFO 状態</th><th rowspan="2">受信 FIFO 状態</th><th rowspan="2">データ方向ビット (R/W)</th><th colspan="2">アクノリッジ受信直後の動作</th></tr>
<tr><th>アクノリッジが ACK</th><th>アクノリッジが NACK</th></tr>
<tr><td rowspan="2">禁止</td><td rowspan="2">禁止</td><td rowspan="2">-</td><td rowspan="2">-</td><td>0</td><td rowspan="2">SSR:TDRE ビットが"1"であれば
IBCR:INT ビットを"1"にしてウェイト。
SSR:TDRE ビットが"0"であれば、
IBCR:INT ビットは"0"のままでウェイトなし</td><td rowspan="2">IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>1</td></tr>
<tr><td rowspan="3">禁止</td><td rowspan="3">許可</td><td rowspan="3">-</td><td>データなし</td><td rowspan="2">0</td><td>SSR:TDRE ビットが"1"であれば
IBCR:INT ビットを"1"にしてウェイト。
SSR:TDRE ビットが"0"であれば、
IBCR:INT ビットは"0"のままでウェイトなし</td><td rowspan="3">IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>データあり</td><td>IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>-</td><td>1</td><td>SSR:TDRE ビットが"1"であれば
IBCR:INT ビットを"1"にしてウェイト。
SSR:TDRE ビットが"0"であれば、
IBCR:INT ビットは"0"のままでウェイトなし</td></tr>
<tr><td rowspan="2">許可</td><td rowspan="2">禁止</td><td rowspan="2">-</td><td rowspan="2">-</td><td>0</td><td rowspan="2">SSR:TDRE ビットが"1"であれば
IBCR:INT ビットを"1"にしてウェイト。
SSR:TDRE ビットが"0"であれば、
IBCR:INT ビットは"0"のままでウェイトなし</td><td rowspan="2">IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>1</td></tr>
<tr><td rowspan="3">許可</td><td rowspan="3">許可</td><td rowspan="3">-</td><td>データなし</td><td rowspan="2">0</td><td>SSR:TDRE ビットが"1"であれば
IBCR:INT ビットを"1"にしてウェイト。
SSR:TDRE ビットが"0"であれば、
IBCR:INT ビットは"0"のままでウェイトなし</td><td rowspan="3">IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>データあり</td><td>IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>-</td><td>1</td><td>SSR:TDRE ビットが"1"であれば
IBCR:INT ビットを"1"にしてウェイト。
SSR:TDRE ビットが"0"であれば、
IBCR:INT ビットは"0"のままでウェイトなし</td></tr>
</table>

表 2-3 DMA モード許可時のアクノリッジ受信後の動作
(IBSR:RSA ビット="0", SSR:DMA ビット="1")

<table>
<tr><th rowspan="2">送信 FIFO</th><th rowspan="2">受信 FIFO</th><th rowspan="2">送信 FIFO 状態</th><th rowspan="2">受信 FIFO 状態</th><th rowspan="2">データ方向ビット (R/W)</th><th colspan="2">アクノリッジ受信直後の動作</th></tr>
<tr><th>アクノリッジが ACK</th><th>アクノリッジが NACK</th></tr>
<tr><td rowspan="2">禁止</td><td rowspan="2">禁止</td><td rowspan="2">-</td><td rowspan="2">-</td><td>0</td><td rowspan="2">SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、SSR:TBI ビットは"0"のままでウェイトなし</td><td rowspan="2">IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>1</td></tr>
<tr><td rowspan="3">禁止</td><td rowspan="3">許可</td><td rowspan="3">-</td><td>データなし</td><td rowspan="2">0</td><td>SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、SSR:TBI ビットは"0"のままでウェイトなし</td><td rowspan="3">IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>データあり</td><td>IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>-</td><td>1</td><td>SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、SSR:TBI ビットは"0"のままでウェイトなし</td></tr>
<tr><td rowspan="2">許可</td><td rowspan="2">禁止</td><td rowspan="2">-</td><td rowspan="2">-</td><td>0</td><td rowspan="2">SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、SSR:TBI ビットは"0"のままでウェイトなし</td><td rowspan="2">IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>1</td></tr>
<tr><td rowspan="3">許可</td><td rowspan="3">許可</td><td rowspan="3">-</td><td>データなし</td><td rowspan="2">0</td><td>SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、SSR:TBI ビットは"0"のままでウェイトなし</td><td rowspan="3">IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>データあり</td><td>IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>-</td><td>1</td><td>SSR:TDRE ビットが"1"であれば SSR:TBI ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、SSR:TBI ビットは"0"のままでウェイトなし</td></tr>
</table>

● DMA モード禁止時(SSR:DMA=0)

FIFO 禁止(送信 FIFO, 受信 FIFO 両方とも禁止)

- IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、SSR:TDRE ビットが"1"であれば割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。ウェイトは割込みフラグに"0"を書くと割込みフラグが"0"になってウェイトを解除します。SSR:TDRE ビットが"0"であれば ACK を受信すれば割込みフラグを"1"に設定せずに SCL にクロックを発生します。
- IBSR:RSA ビットが"1"の場合、予約アドレス受信後(アクノリッジ前)、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。RDR レジスタ読出し後、IBCR:ACKE ビット, 送信データを設定し、割込みフラグに"0"を書くと割込みフラグが"0"になってウェイトを解除します。
- 受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し、NACK であれば、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

FIFO 許可

・IBCR:MSS ビットに"1"を設定する前に FIFO に以下の設定をする必要があります。
  ・スレーブへ送信する場合(データ方向ビット="0")、スレーブアドレスなどを含むデータを送信 FIFO に設定
  ・スレーブからデータを受信する場合(データ方向ビット="1")、FIFO バイト数レジスタに受信数を設定し、スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
・IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、ACK であれば割込みフラグ(IBCR:INT)は"1"に設定せず、データ方向ビットにしたがってデータを送受信します(ウェイトなし)。NACK であれば、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。
・受信したアクノリッジは IBSR:RACK ビットに格納されます。ウェイト中に IBSR:RACK ビットを確認し、NACK であれば、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

● DMA モード許可時(SSR:DMA=1)

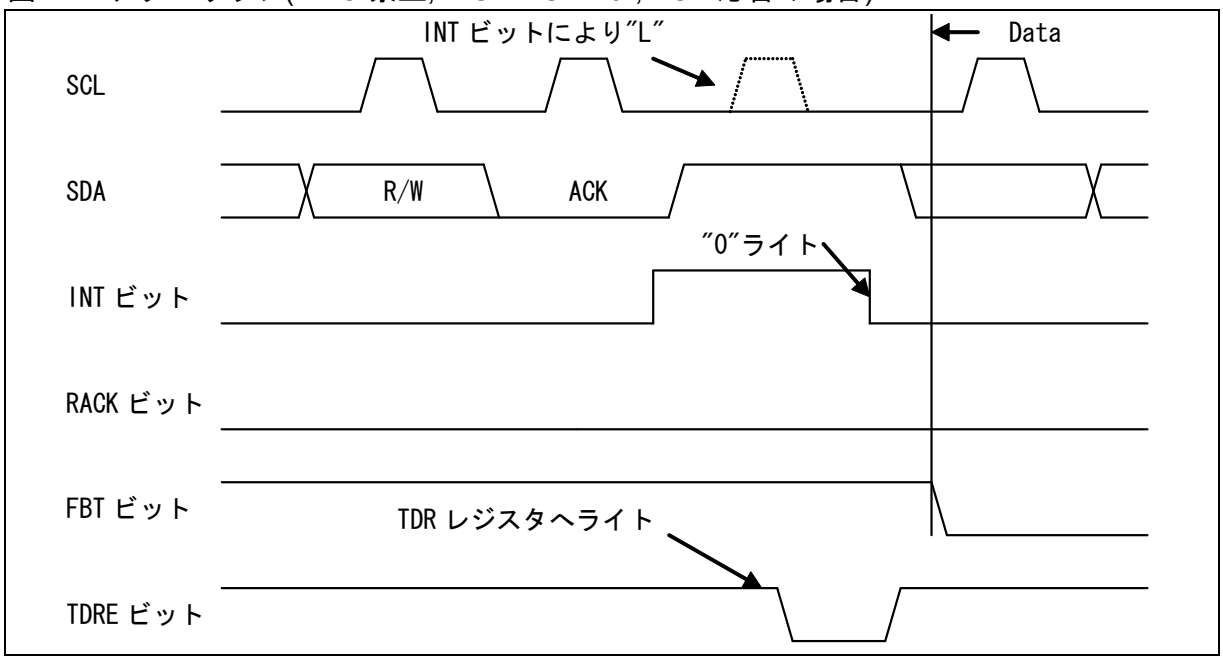
FIFO 禁止(送信 FIFO, 受信 FIFO 両方とも禁止)

・IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、SSR:TDRE ビットが"1"であれば送信バスアイドルフラグ(SSR:TBI)を"1"に設定し、SCL を"L"に保持してウェイトします。ウェイトは TDR レジスタに送信するデータを書き込むと送信バスアイドルフラグが"0"になってウェイトを解除します。SSR:TDRE ビットが"0"であれば ACK を受信すれば送信バスアイドルフラグ(SSR:TBI)を"1"に設定せずに SCL にクロックを発生します。
・IBSR:RSA ビットが"1"の場合、予約アドレス受信後(アクノリッジ前), 割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。RDR レジスタ読出し後、IBCR:ACKE ビット, 送信データを設定し、割込みフラグに"0"を書き込むと割込みフラグが"0"になってウェイトを解除します。
・受信したアクノリッジは IBSR:RACK ビットに設定されます。ウェイト中に IBSR:RACK ビットを確認し、NACK であれば、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書き込んでストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

FIFO 許可

・IBCR:MSS ビットに"1"を設定する前に FIFO に以下の設定をしてください。
  ・スレーブへ送信する場合(データ方向ビット="0")、スレーブアドレスなどを含むデータを送信 FIFO に設定
  ・スレーブからデータを受信する場合(データ方向ビット="1")、FIFO バイト数レジスタに受信数を設定し、スレーブアドレスおよびデータ方向ビットと受信したいデータ数分ダミーで送信データレジスタに書込みを行う
・IBSR:RSA ビットが"0"の場合、アクノリッジ受信後、ACK であれば割込みフラグ(IBCR:INT)は"1"に設定せず、データ方向ビットにしたがってデータを送受信します(ウェイトなし)。NACK であれば、割込みフラグ(IBCR:INT)を"1"に設定し、SCL を"L"に保持してウェイトします。
・受信したアクノリッジは IBSR:RACK ビットに格納されます。ウェイト中に IBSR:RACK ビットを確認し、NACK であれば、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を書いてストップ条件または反復スタート条件を発生させます。このとき、IBCR:INT ビットは自動的に"0"にクリアされます。

図 2-7 アクノリッジ(FIFO 禁止, IBSR:RSA="0", ACK 応答の場合)



アドレスに対するウェイトを下記に示します。

・IBSR:RSA ビットが"0"の場合、アクノリッジ受信後

・IBSR:RSA ビットが"1"の場合、アクノリッジ受信前

IBCR:WSEL の設定には依存しません。

図 2-8 アクノリッジ(FIFO 禁止, IBSR:RSA="0", NACK 応答の場合)

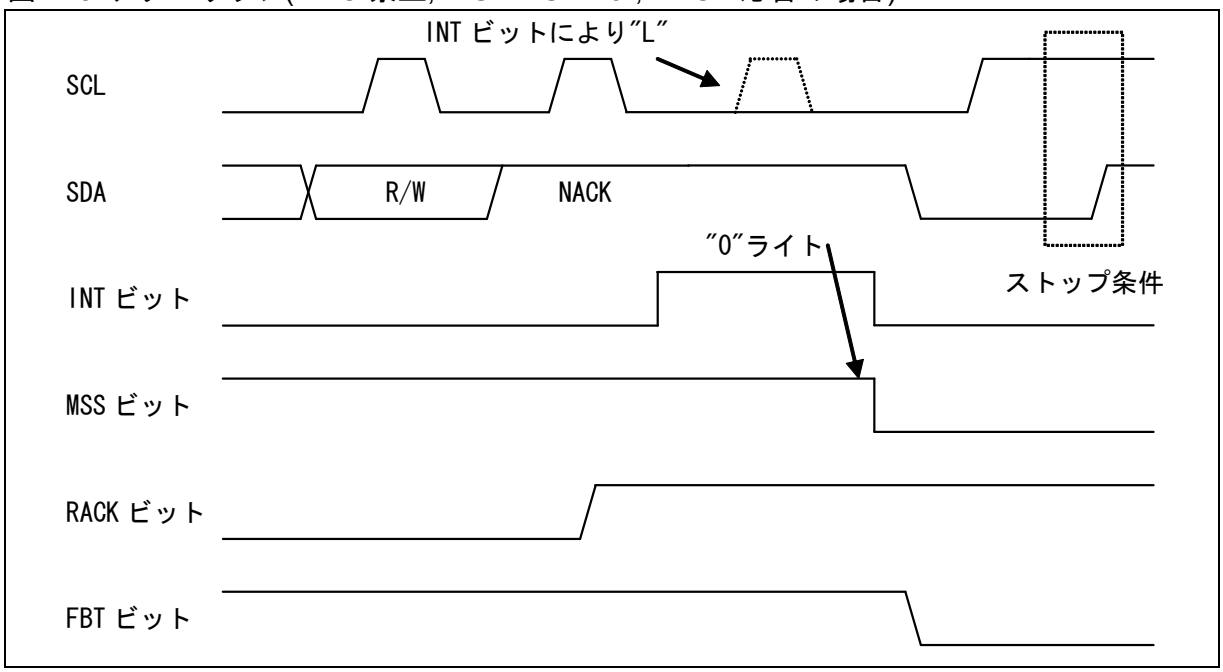


図 2-9 アクノリッジ(FIFO 禁止, IBSR:RSA="1", ACK 応答の場合)

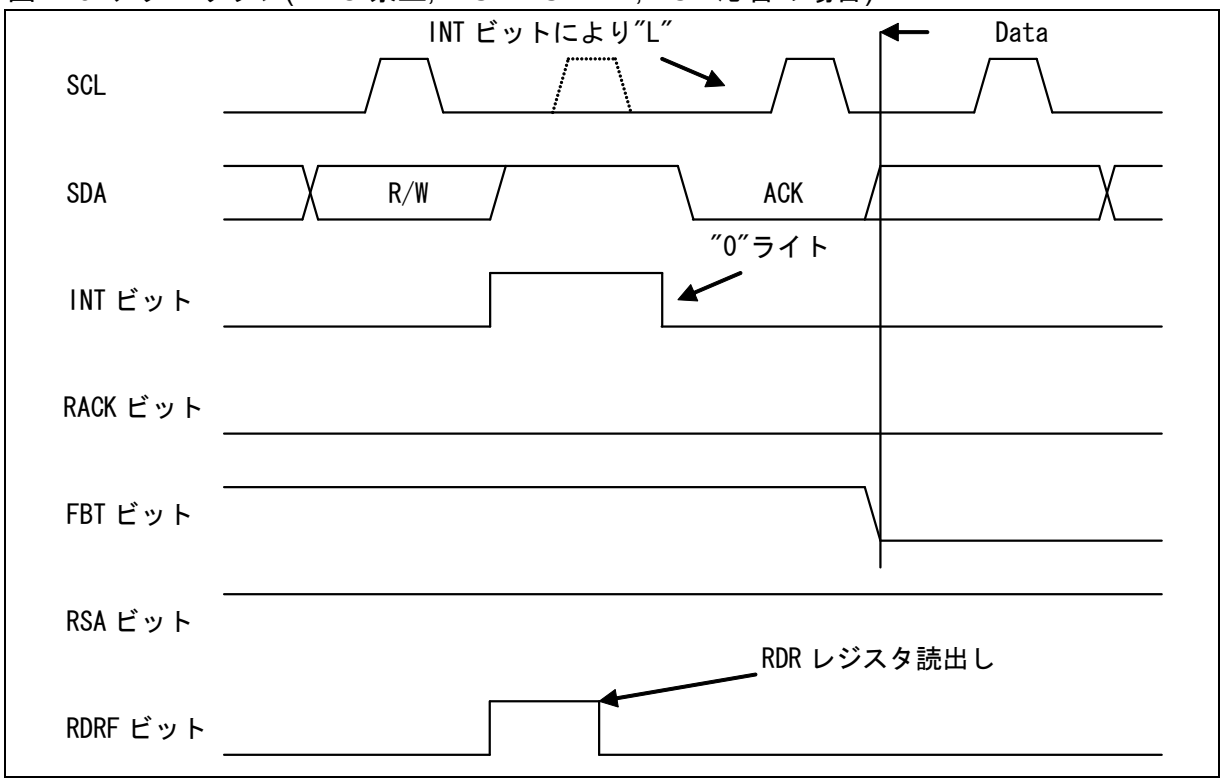


図 2-10 アクノリッジ(FIFO 禁止, IBSR:RSA="1", NACK 応答の場合)

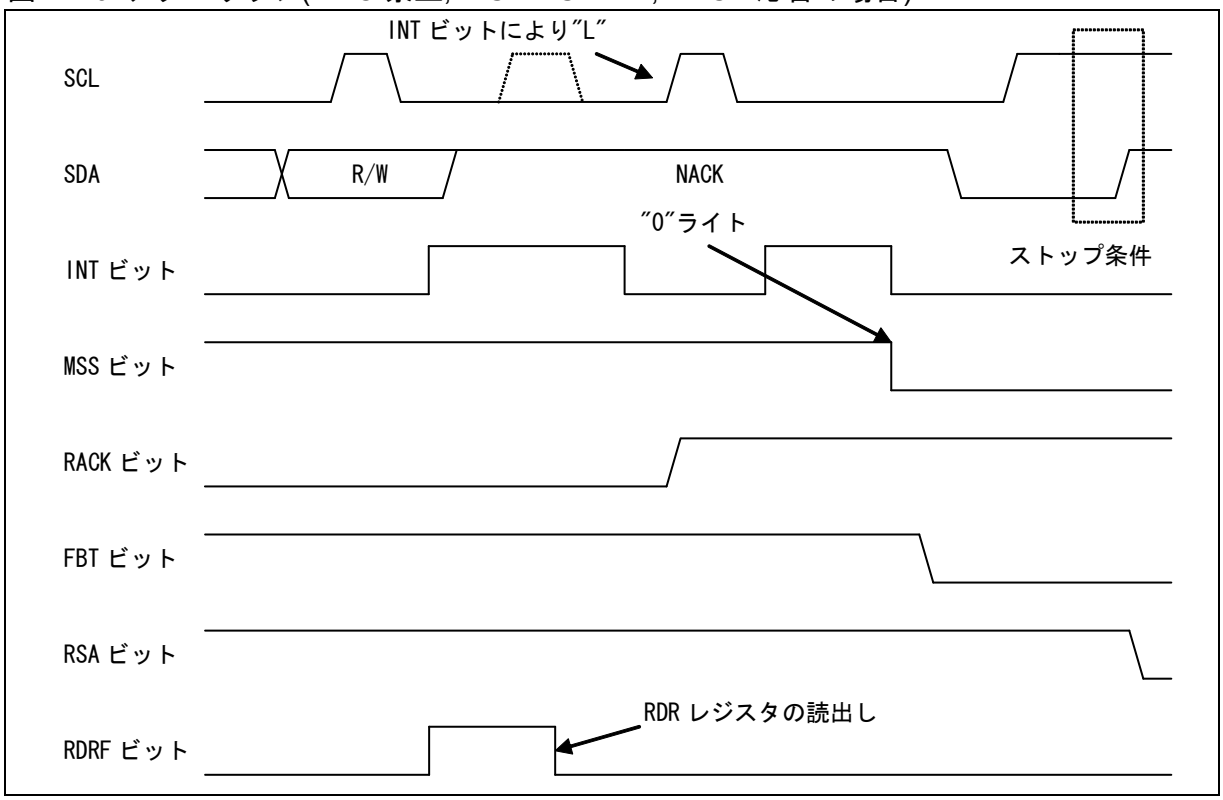
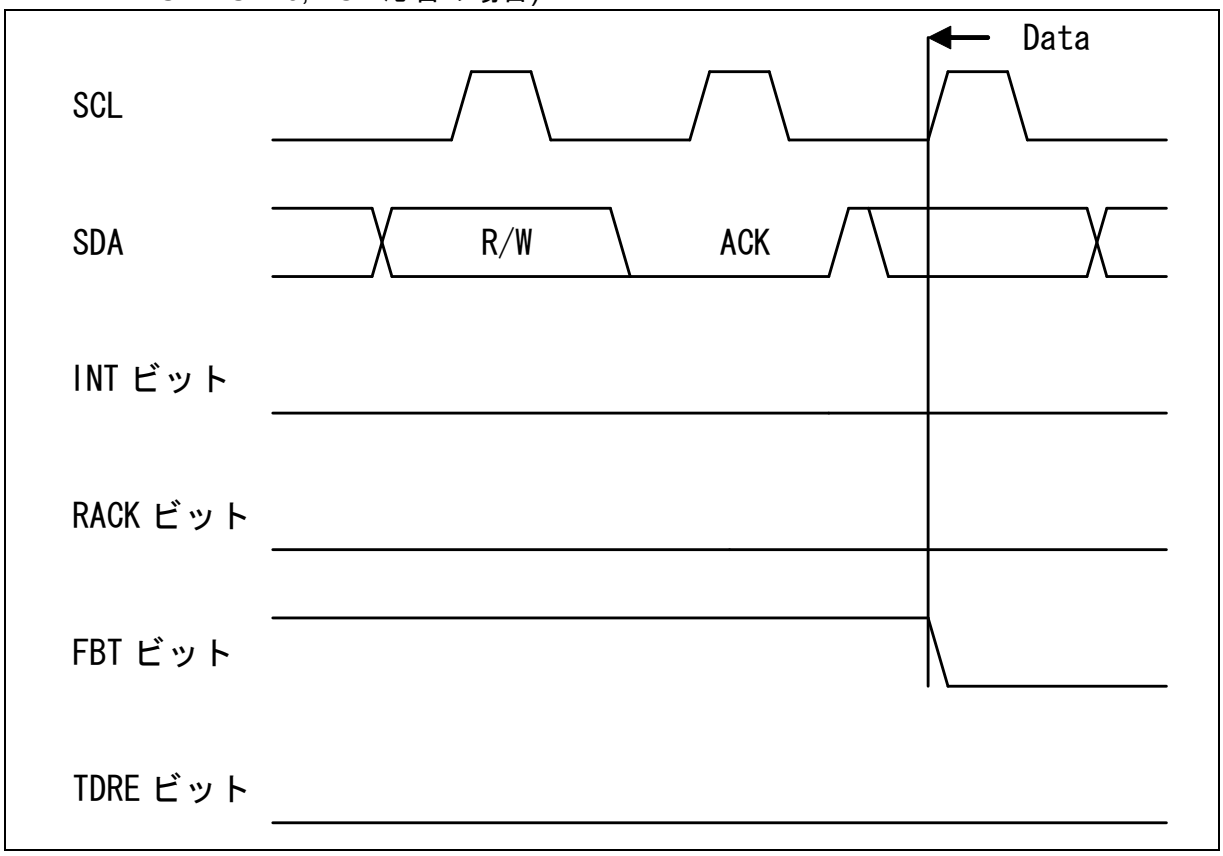


図 2-11 アクノリッジ(FIFO 許可，送信 FIFO データあり，受信 FIFO データなし，IBSR:RSA=0, ACK 応答の場合)



■ マスタによるデータ送信

データ方向ビット(R/W)が"0"の場合、データはマスタから送信します。1 バイト送信ごとにスレーブから ACK または NACK の応答があります。

IBCR:WSEL ビットの設定によってウェイトの発生する場所を以下に示します。

表 2-4 DMA モード禁止時(SSR:DMA=0)のマスタデータ送信時の IBCR:WSEL ビット

WSEL ビット	動作
0	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが"1"またはアービトレーションロスト検出でアクノリッジ後、割込みフラグ(IBCR:INT)を"1"、SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにアクノリッジ後割込みフラグ(IBCR:INT)を"1"にしてウェイト状態にします。
1	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが"1"またはアービトレーションロスト検出でマスタが 1 バイトのデータを送信後、割込みフラグ(IBCR:INT)"1"、SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> アービトレーションロスト検出または送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにデータ送信後、割込みフラグ(IBCR:INT)を"1"にしてウェイト状態にします。

表 2-5 DMA モード許可時(SSR:DMA=1)のマスタデータ送信時の IBCR:WSEL ビット

WSEL ビット	動作
0	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を"1"、SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> 送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を"1"にしてウェイト状態にします。
1	<FIFO 未使用時> 第 2 バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ(SSR:TBI)を"1"、SCL を"L"にしてウェイト状態にします。 <FIFO 使用時> 送信データレジスタに有効なデータがなくなった(SSR:TDRE=1)ときにマスタが 1 バイトのデータを送信後、送信バスアイドルフラグ(SSR:TBI)を"1"にしてウェイト状態にします。

ただし、以下の場合、IBCR:WSEL の設定に依存せずにアクノリッジ後に割込みフラグ(IBCR:INT)をセットします。

・ストップ条件設定(IBCR:MSS=0, ACT=1)時以外に NACK を受信した場合

スレーブへデータを送信する場合の手順の一例を以下に示します。

● DMA モード禁止時(SSR:DMA=0)のスレーブへのデータ送信

1. 予約アドレス以外への送信の場合

・送信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。
2. Slave Address 送信後 ACK を受信し、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. TDR レジスタに送信するデータを書きます。
4. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。
5. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を送信するまで 3.～5.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し、バスをウェイトします。
6. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

1. Slave Address(データ方向ビットも含む)、送信データを TDR レジスタに書きます。
2. IBCR:WSEL ビット設定と共に IBCR:MSS ビットに"1"を書きます。
3. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I^2C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグを"1"にして I^2C バスをウェイトします。
4. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

2. 予約アドレスへの送信の場合

・送信 FIFO が禁止されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに送信するデータを書きます。
5. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を送信するまで 4.～6.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後にもう 1 度割込みが発生し、バスをウェイトします。
7. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに全送信データ(送信 FIFO がフルとなる場合にはその状態になるまで)を書きます。
5. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I^2C バスをウェイトします。
   すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグを"1"にして I^2C バスをウェイトします。
6. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

*1：下記のいずれかの条件を満たす場合、IBCR:ACKE ビットを"1", IBCR:WSEL ビットを"1"にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認する必要があります。
・マルチマスタで予約アドレスがゼネラルコールの場合
・アービトレーションロストが発生してスレーブとして動作する可能性がある場合

● DMA モード許可時(SSR:DMA=1)のスレーブへのデータ送信

1. 予約アドレス以外への送信の場合

・送信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書きます。
2. Slave Address 送信後 ACK を受信し、送信バスアイドルフラグ(SSR:TBI)が"1"に設定されます。
3. TDR レジスタに送信するデータを書き込み、I^2C バスのウェイトを解除します。
4. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグ(SSR:TBI)を"1"にして I^2C バスをウェイトします。
5. TDR レジスタに送信するデータを書き込み、I^2C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を送信するまで 5.～6.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が"1"になり、バスをウェイトします。
7. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定[*2]し、ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

1. Slave Address(データ方向ビットも含む)、送信データを TDR レジスタに書き込みます。
2. IBCR:WSEL ビット設定と共に IBCR:MSS ビットに"1"を書きます。
3. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I^2C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって送信バスアイドルフラグ(SSR:TBI)を"1"にして I^2C バスをウェイトします。
4. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定[*2] し、ストップ条件または反復スタート条件を発生させます。

2. 予約アドレスへの送信の場合

・送信 FIFO が禁止されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書き込みます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに送信するデータを書き込みます。
5. IBCR:WSEL ビット更新と共に割込みフラグ(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。
6. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後割込みフラグを"1"にして I^2C バスをウェイトします。
7. TDR レジスタに送信するデータを書き込み、I^2C バスのウェイトを解除します。
8. 1 バイト送信後 IBCR:WSEL="0"の場合アクノリッジ受信後、IBCR:WSEL=1 の場合 1 バイト送信直後送信バスアイドルフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を送信するまで 7.～8.を繰り返します。ただし、IBCR:WSEL=1 のときウェイト解除後、NACK を受信した場合にはアクノリッジ受信後に割込みフラグ(IBCR:INT)が"1"になり、バスをウェイトします。
9. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定[*2] し、ストップ条件または反復スタート条件を発生させます。

・送信 FIFO が許可されている場合

1. Slave Address として予約アドレスを TDR レジスタに設定し、IBCR:MSS ビットに"1"を書き込みます。
2. Slave Address 送信後、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. RDR レジスタを読出し、予約アドレスを確認します。(*1)
4. TDR レジスタに全送信データ(送信 FIFO がフルとなる場合にはその状態になるまで)を書き込みます。
5. 送信中に NACK 受信した場合、その直後に割込みフラグ(IBCR:INT)を"1"にし I^2C バスをウェイトします。すべて ACK 応答を受信した場合、最終バイト送信後 IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にして I^2C バスをウェイトします。
6. IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定*2 し、ストップ条件または反復スタート条件を発生させます。

*1 : 下記のいずれかの条件を満たす場合、IBCR:ACKE ビットを"1", IBCR:WSEL ビットを"1"にして次のデータでマスタとして動作するのか、スレーブとして動作するのか確認してください。

・マルチマスタで予約アドレスがゼネラルコールの場合
・アービトレーションロストが発生してスレーブとして動作する可能性がある場合

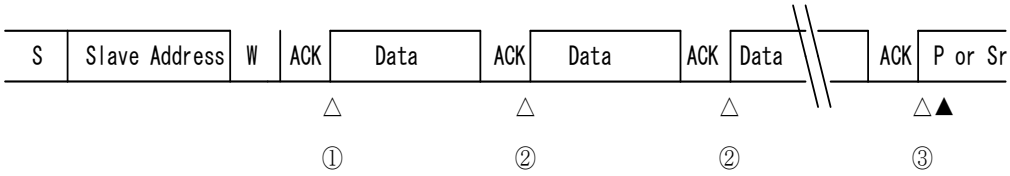
*2 : DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、下記の手順を行ってください。

1. IBCR:INT ビットに"1"を書き込んでください。
2. IBCR:INT ビットが"1"に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. IBCR:SCC ビットに"1"を設定してください。

＜注意事項＞

・7 ビットスレーブアドレスの検出を許可しているとき(ISBA:SAEN="1")にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。
・送受信中に IBCR レジスタを変更する場合、割込みフラグ(IBCR:INT)が"1"のときに変更してください。
・IBCR:WSEL ビットを変更した場合、次のデータの割込みフラグ(IBCR:INT)および DMA モードが許可時(SSR:DMA=1)での送信バスアイドルフラグ(SSR:TBI)の発生条件に使用されます。
・データ送信中で SSR:TDRE が"1"のときに TDR レジスタへ送信データを書き込み、ACK 応答を検出した場合、下記のように動作します。
  ・DMA モードが禁止時(SSR:DMA=0)、割込みフラグ(IBCR:INT)は"1"にならずにその書き込まれたデータが送信されます。
  ・DMA モード許可時(SSR:DMA=1)、送信バスアイドルフラグ(SSR:TBI)は"1"にならずにその書き込まれたデータが送信されます。
・データ受信中に SSR:TDRE が"1"のときに TDR レジスタへ送信データを書き込み ACK 応答した場合、下記のように動作します。
  ・DMA モード禁止時(SSR:DMA=0)、割込みフラグ(IBCR:INT)は"1"にならずに SSR:RDRF のみ"1"に設定されます(受信 FIFO 許可の場合、FBYTE レジスタの設定分受信した場合)。
  ・DMA モード許可時(SSR:DMA=1)、送信バスアイドルフラグ(SSR:TBI)は"1"にならずに SSR:RDRF のみ"1"に設定されます(受信 FIFO 許可の場合、FBYTE レジスタの設定分受信した場合)。

図 2-12 FIFO 禁止によるマスタの割込み 1(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

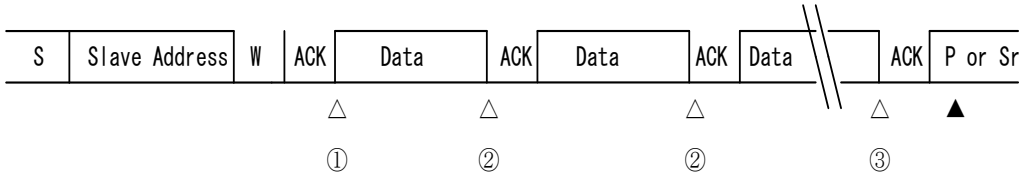
① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生
- TDR レジスタに送信データ書込み後、INT="0"書込み

② 1 バイト送信+アクノリッジ受信により、割込み発生
- TDR レジスタに送信データ書込み後、INT="0"書込み

③ 1 バイト送信+アクノリッジ受信により、割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-13 FIFO 禁止によるマスタ送信の割込み 2(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

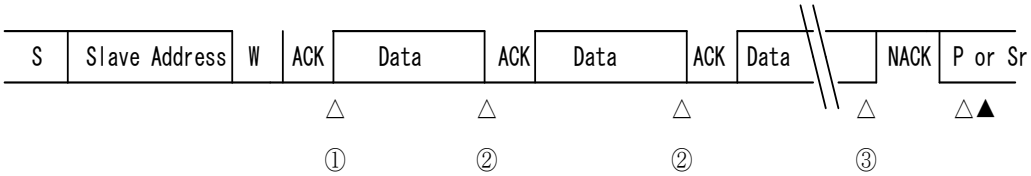
① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生
- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信により、割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-14 FIFO 禁止によるマスタ送信の割込み 3(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

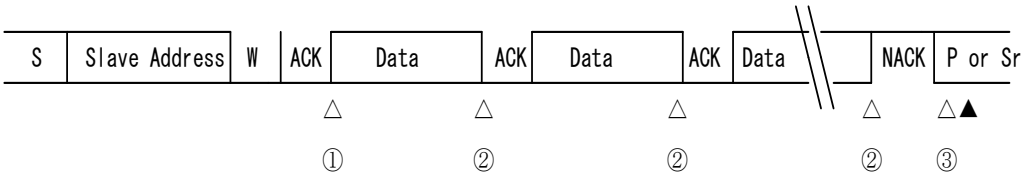
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生
　- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信により、割込み発生
　- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-15 FIFO 禁止によるマスタ送信の割込み 4(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", 途中 NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

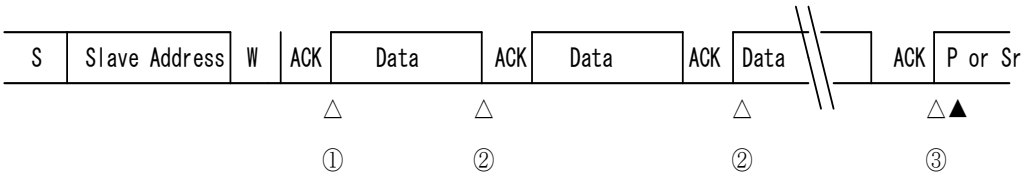
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生
　- TDR レジスタに送信データを書込み後、INT="0"書込み

③ NACK 応答により、割込み発生
　- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-16 FIFO 禁止によるマスタ送信の割込み 5(SSR:DMA="0", IBCR:WSEL="1"->"0", IBSR:RSA="0", ACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- 送信バッファに送信データを書込み後、INT="0"書込み

② 1 バイト送信により、割込み発生

- 送信バッファに送信データを書込み後、WSEL="0", INT="0"書込み

③ 1 バイト送信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-17 FIFO 禁止によるマスタの割込み 6(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")

S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① スレーブアドレス(予約アドレス)送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信＋アクノリッジ受信により、割込み発生

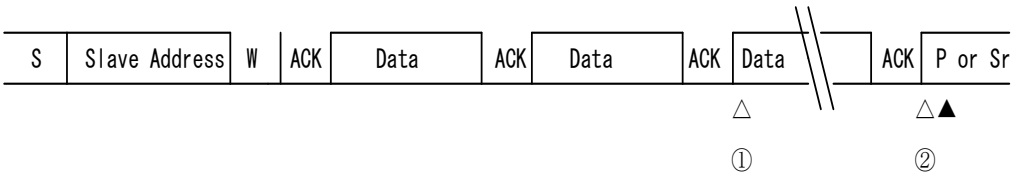
- TDR レジスタに送信データを書込み後、INT="0"書込み

③ 1 バイト送信＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-18 FIFO 許可によるマスタ送信の割込み 7(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① 送信 FIFO がエンプティにより割込み発生

- 送信 FIFO に送信データを書込み後、INT="0"書込み

② 最終バイト送信(送信 FIFO がエンプティ)＋アクノリッジ受信により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

図 2-19 FIFO 許可によるマスタ送信の割込み 8(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")

S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

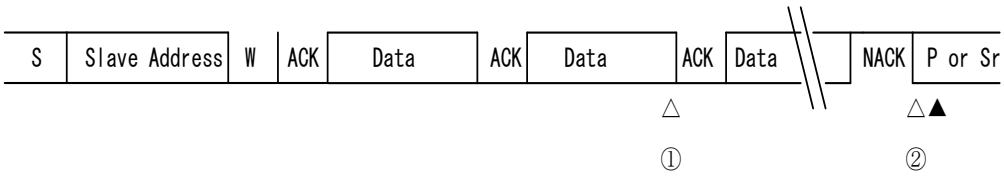
① 送信 FIFO がエンプティにより、割込み発生

- 送信 FIFO に送信データを書込み後、INT="0"書込み

② 最終バイト送信(送信 FIFO がエンプティ)により、割込み発生

- MSS="0"または MSS="1", SCC="1"を設定

図 2-20 FIFO 許可によるマスタ送信の割込み 9(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

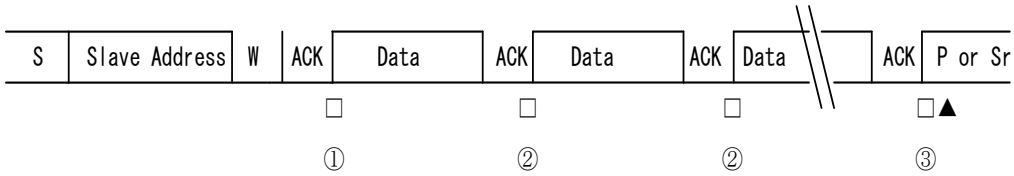
△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

① 送信 FIFO がエンプティにより、割込み発生
　- 送信 FIFO に送信データを書込み後、INT="0"書込み

② NACK 応答により、割込み発生
　- MSS="0"または MSS="1", SCC="1"を設定

図 2-21 FIFO 禁止によるマスタの割込み 10(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

▲ ： CNDE="1"による割込み

□ ： TBIE="1"による割込み

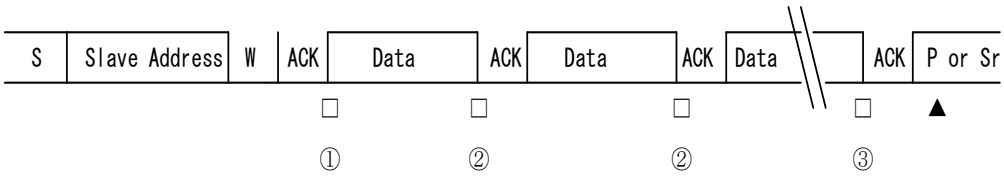
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　- TDR レジスタに送信データ書込み

② 1 バイト送信＋アクノリッジ受信により、割込み発生
　- TDR レジスタに送信データ書込み

③ 1 バイト送信＋アクノリッジ受信により、割込み発生
　- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(TBI)発生時、TDRE ビットは"1"

図 2-22 FIFO 禁止によるマスタ送信の割込み 11(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

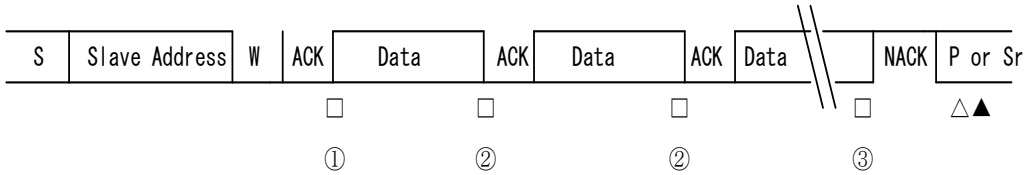
① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生
- TDR レジスタに送信データを書込み

③ 1 バイト送信により、割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-23 FIFO 禁止によるマスタ送信の割込み 12(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

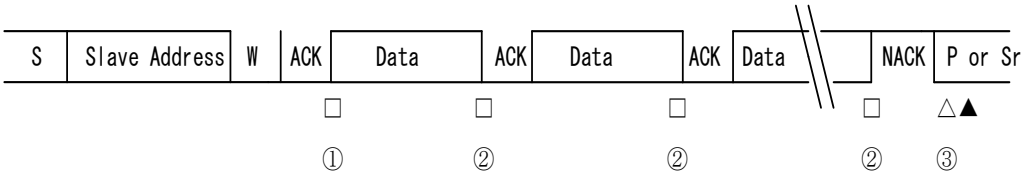
① スレーブアドレス送信+方向ビット送信+アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生
- TDR レジスタに送信データを書込み

③ 1 バイト送信により、割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT, TBI)発生時、TDRE ビットは"1"

図 2-24 FIFO 禁止によるマスタ送信の割込み 13(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", 途中 NACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

△ ： INTE="1"による割込み

▲ ： CNDE="1"による割込み

□ ： TBIE="1"による割込み

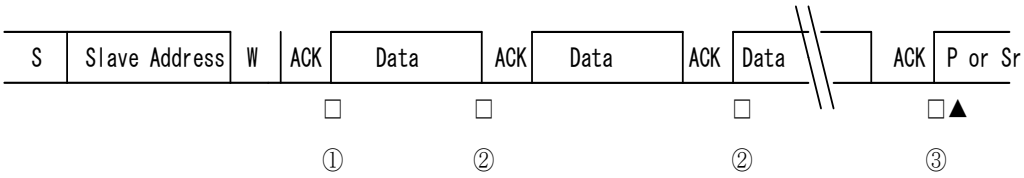
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　- TDR レジスタに送信データを書込み

② 1 バイト送信により、割込み発生
　- TDR レジスタに送信データを書込み

③ NACK 応答により、割込み発生
　- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT, TBI)発生時、TDRE ビットは"1"

図 2-25 FIFO 禁止によるマスタ送信の割込み 14(SSR:DMA="1", IBCR:WSEL="1"->"0", IBSR:RSA="0", ACK 応答)



S ： スタート条件

W ： データ方向ビット(ライト方向)

P ： ストップ条件

Sr ： 反復スタート条件

▲ ： CNDE="1"による割込み

□ ： TBIE="1"による割込み

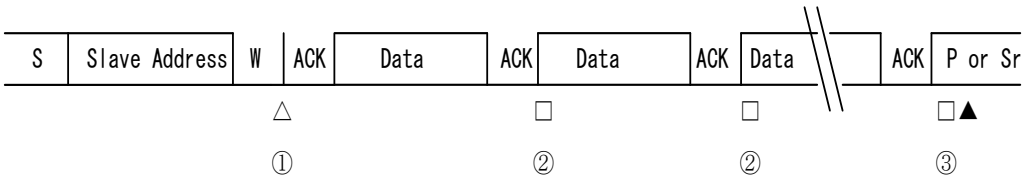
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
　- 送信バッファに送信データを書込み

② 1 バイト送信により、割込み発生
　- WSEL="0"書込み後、送信バッファに送信データを書込み

③ 1 バイト送信により、割込み発生
　- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(TBIE)発生時、TDRE ビットは"1"

図 2-26 FIFO 禁止によるマスタの割込み 15(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

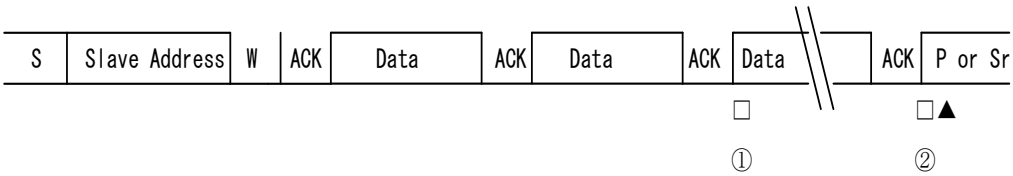
① スレーブアドレス(予約アドレス)送信+方向ビット送信+アクノリッジ受信により割込み発生
- TDR レジスタに送信データを書込み後、INT="0"書込み

② 1 バイト送信+アクノリッジ受信により、割込み発生
- TDR レジスタに送信データを書込み

③ 1 バイト送信+アクノリッジ受信により、割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

*) 割込みフラグ(INT、TBI)発生時、TDRE ビットは"1"

図 2-27 FIFO 許可によるマスタ送信の割込み 16(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

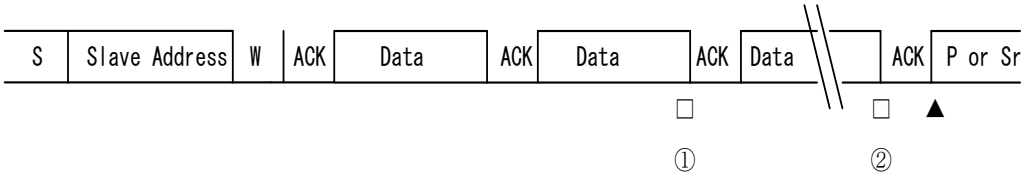
▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① 送信 FIFO がエンプティにより割込み発生
- 送信 FIFO に送信データを書込み

② 最終バイト送信(送信 FIFO がエンプティ)+アクノリッジ受信により、割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

図 2-28 FIFO 許可によるマスタ送信の割込み 17(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

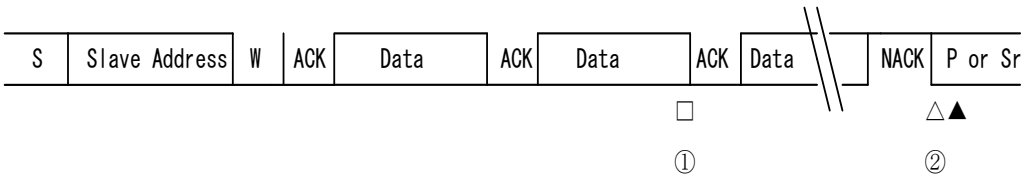
▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① 送信 FIFO がエンプティにより、割込み発生
- 送信 FIFO に送信データを書込み

② 最終バイト送信(送信 FIFO がエンプティ)により、割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

図 2-29 FIFO 許可によるマスタ送信の割込み 18(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0", NACK 応答)



S : スタート条件

W : データ方向ビット(ライト方向)

P : ストップ条件

Sr : 反復スタート条件

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TDRE="1"による割込み

① 送信 FIFO がエンプティにより、割込み発生
- 送信 FIFO に送信データを書込み

② NACK 応答により、割込み発生
- MSS="0"または MSS="1", SCC="1"を設定

■ マスタによるデータ受信

● DMA モードが禁止の場合(SSR:DMA=0)

データ方向ビット(R/W)が"1"の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは下記のように動作します。

・SSR:TDRE ビットが"1"であれば 1 バイト受信ごとにウェイトを発生(IBCR:INT="1", SSR:RDRF="1")します。このとき、IBCR:WSEL ビットが"1"であればウェイト前、IBCR:WSEL ビットが"0"であればウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
・SSR:TDRE ビットが"0"であれば、IBCR レジスタの ACKE ビットの設定で ACK 応答であればウェイトは発生せず(IBCR:INT="0")に次のデータを受信し、NACK 応答であればウェイトが発生します(IBCR:INT="1")。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信したとき、SSR:RDRF ビットが"1"に設定されます。割込みフラグは SSR:TDRE ビットが"1"のときに"1"に設定され、I^2C バスをウェイトします。このとき、アクノリッジは下記のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

・IBCR:WSEL="0"の場合、SSR:TDRE ビットが"1"になると ACKE ビットの設定で NACK であれば NACK 応答します。
・IBCR:WSEL="1"の場合、最終バイト受信後に割込みフラグを"1"に設定され、ウェイトが発生します。そのウェイト中に IBCR:ACKE ビットを設定し、割込みフラグを"0"にクリアした後、IBCR:ACKE の設定にしたがって ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

表 2-6 DMA モードが禁止時(SSR:DMA=0)のマスタデータ受信時の IBCR:WSEL ビット

WSEL ビット	動作
0	第 2 バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、割込みフラグ(IBCR:INT)を"1"、SCL を"L"にしてウェイト状態にします。
1	第 2 バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを受信後、割込みフラグ(IBCR:INT)を"1"、SCL を"L"にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

・受信 FIFO が禁止されている場合
1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書き込みます。
2. Slave Address 送信後 ACK を受信し、割込みフラグ(IBCR:INT)が"1"に設定されます。
3. IBCR:WSEL ビット更新と共に割込みフラグビット(IBCR:INT)に"0"を書込み、I^2C バスのウェイトを解除します。
4. 1 バイト受信後 IBCR:WSEL="0"の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後割込みフラグを"1"にして I^2C バスをウェイトします。所定のデータ数を受信するまで 3.～4.を繰り返します。
5. 最終データ受信後、NACK を出力し、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

・送受信 FIFO が許可されている場合
1. FBYTE レジスタに受信数を設定します。
2. Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書き込みます。
3. IBCR:MSS ビットに"1"を書き込みます。
4. SSR:TDRE ビットが"0"の間、ACK 応答し、受信し続けます。その受信中に FBYTE に設定数分受信した場合、SSR:RDRF を"1"にします。SSR:RDRF が"1"になったところで RDR レジスタを読み出します。
5. SSR:TDRE ビットが"1"になると IBCR:WSEL="0"の場合 NACK 出力後、IBCR:WSEL="1"の場合 1 バイト受信直後割込みフラグを"1"にして I^2C バスをウェイトします。
6. IBCR:WSEL="1"の場合、IBCR:ACKE ビットを"0"に設定し、IBCR:WSEL="0"の場合 IBCR:ACKE ビットの設定は必要なく、IBCR:MSS ビットに"0"または IBCR:SCC ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

● DMA モードが許可の場合(SSR:DMA=1)

データ方向ビット(R/W)が"1"の場合、スレーブから送信されたデータを受信します。

FIFO 禁止の場合、マスタは下記のように動作します。

・SSR:TDRE ビットが"1"であれば 1 バイト受信ごとにウェイトを発生(SSR:TBI="1", SSR:RDRF="1")します。このとき、IBCR:WSEL ビットが"1"であればウェイト前、IBCR:WSEL ビットが"0"であればウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。
・SSR:TDRE ビットが"0"の場合、1 バイト受信ごとにウェイトを発生(SSR:RDRF="1")します。このとき、IBCR:WSEL ビットが"1"であればウェイト前、IBCR:WSEL ビットが"0"であればウェイト後、IBCR レジスタの ACKE ビットの設定で ACK または NACK 応答します。

FIFO 許可の場合、受信バイト数設定と同じバイト数分を受信したとき、SSR:RDRF ビットがセットされます。送信バスアイドルフラグ(SSR:TBI)は SSR:TDRE ビットが"1"のときに設定し、I^2C バスをウェイトします。このとき、アクノリッジは下記のように動作します。なお、NACK 出力した場合でも受信データとして受信 FIFO に格納します。

・IBCR:WSEL="0"の場合、SSR:TDRE ビットが"1"になると ACKE ビットの設定で NACK であれば NACK 応答します。
・IBCR:WSEL="1"の場合、最終バイト受信後ウェイト(SSR:TBI="1")が発生しますのでそのウェイト中に IBCR:ACKE ビットを設定し、送信バスアイドルフラグ(SSR:TBI)をクリア後、IBCR:ACKE の設定にしたがって ACK または NACK 応答します。

割込みによるウェイトは以下を参照してください。

表 2-7 DMA モードが許可時(SSR:DMA=1)のマスタデータ受信時の IBCR:WSEL ビット

WSEL ビット	動作
0	第 2 バイト以降、SSR:TDRE ビットが"1"でアクノリッジ後、送信バスアイドルフラグ(SSR:TBI)を"1"、SCL を"L"にしてウェイト状態にします。 第 2 バイト以降、受信 FIFO 未使用時にアクノリッジ後に受信データフルフラグ(SSR:RDRF)が"1"セットされている場合、SCL を"L"にしてウェイト状態にします。
1	第 2 バイト以降、SSR:TDRE ビットが"1"でマスタが 1 バイトのデータを受信後、割込みフラグ(SSR:TBI)を"1"、SCL を"L"にしてウェイト状態にします。 第 2 バイト以降、受信 FIFO 未使用時に受信データフルフラグ(SSR:RDRF)が"1"に設定されるとデータ受信後、SCL を"L"にしてウェイト状態にします。

スレーブからデータを受信する場合の手順の一例を以下に示します。

・受信 FIFO が禁止されている場合

1. Slave Address(データ方向ビットも含む)を TDR レジスタに設定し、IBCR:MSS ビットに"1"を書き込みます。
2. Slave Address 送信後 ACK を受信し､送信バスアイドルフラグ(SSR:TBI)が"1"に設定されます。
3. TDR レジスタに送信するデータを書き込み、I^2C バスのウェイトを解除します。
4. 1 バイト受信後、下記の条件で送信バスアイドルフラグ(SSR:TBI)および受信データフルフラグ(SSR:RDRF)*2 を"1"にして I^2C バスをウェイトします。
   ・IBCR:WSEL="0"の場合アクノリッジ送信後
   ・IBCR:WSEL=1 の場合 1 バイト受信直後
5. IBCR:WSEL ビット更新し、RDR レジスタを読み出し、ダミーのデータを TDR レジスタに書き込みます。
6. 1 バイト受信後、下記の条件で送信バスアイドルフラグ(SSR:TBI)および受信データフルフラグ(SSR:RDRF)*2 を"1"にして I^2C バスをウェイトします。
   ・IBCR:WSEL="0"の場合アクノリッジ送信後
   ・IBCR:WSEL=1 の場合 1 バイト受信直後
   所定のデータ数を受信するまで 5.～6.を繰り返します。
7. 最終データ受信後、NACK を出力し、IBCR:MSS ビットに"0"または IBCR:SCC*1 ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

・送受信 FIFO が許可されている場合

1. FBYTE レジスタに受信数を設定します。
2. Slave Address(データ方向ビットも含む)と受信数分ダミーのデータを TDR レジスタに書き込みます。
3. IBCR:WSEL="0"の場合は ACKE ビットの設定で NACK にし、IBCR:MSS ビットに"1"を書き込みます。
4. SSR:TDRE ビットが"0"の間、ACK 応答し、受信し続けます。その受信中に FBYTE に設定数分受信した場合、SSR:RDRF を"1"にします。SSR:RDRF が"1"になったところで RDR レジスタを読み出します。
5. SSR:TDRE ビットが"1"になると IBCR:WSEL="0"の場合 NACK 出力後割込みフラグを"1"にして I^2C バスをウェイトします。IBCR:WSEL="1"の場合 1 バイト受信直後送信バスアイドルフラグ(SSR:TBI)を"1"にして I^2C バスをウェイトします。
6. IBCR:WSEL="1"の場合、IBCR:ACKE ビットを"0"に設定し、IBCR:WSEL="0"の場合 IBCR:ACKE ビットの設定は必要なく、IBCR:MSS ビットに"0"または IBCR:SCC*1 ビットに"1"を設定し、ストップ条件または反復スタート条件を発生させます。

*1 : DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、下記の手順を行ってください。

1. IBCR:INT ビットに"1"を書き込んでください。
2. IBCR:INT ビットが"1"に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. IBCR:SCC ビットに"1"を設定してください。

*2 : IBCR:WSEL の設定に関係なく 1 バイト受信直後に受信データフルフラグ(SSR:RDRF)は"1"に設定されます。第 2 バイト以降で受信データフルフラグ(SSR:RDRF)が"1"に設定されているとき、IBCR:WSEL="0"の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後に I^2C バスをウェイトします。

＜注意事項＞

- 7 ビットスレーブアドレスの検出を許可しているとき(ISBA:SAEN="1")にマスタモード時に 7 ビットスレーブアドレスを指定することは禁止です。
- SSR:TDRE が"0"のとき、オーバランエラーが発生しても IBCR:ACKE ビットの設定にしたがってアクノリッジを出力し、次の処理を行います。
- 送受信中に IBCR レジスタを変更する場合、割込みフラグ(IBCR:INT)が"1"または DMA モードが許可時(SSR:DMA=1)は送信バスアイドルフラグ(SSR:TBI="1")が"1"のときに変更してください。
- DMA モードが禁止(SSR:DMA=0)でマスタ受信時、TDR レジスタにダミーデータを書き込み、割込みフラグ(IBCR:INT)が"1"になるタイミングで SSR:TDRE ビットが"0"の場合、割込みフラグ(IBCR:INT)は"0"のままで次のデータを受信します。
- DMA モードが許可(SSR:DMA=1)でマスタ受信時、TDR レジスタにダミーデータを書き込み、送信バスアイドルフラグ(SSR:TBI)が"1"になるタイミングで SSR:TDRE ビットが"0"の場合、送信バスアイドルフラグ(SSR:TBI)は"0"のままで次のデータを受信します。
- 受信 FIFO が許可、IBCR:WSEL="0"のときにデータを受信する場合、最終ビット受信後 SSR:RDRF ビットが"1"に設定され、ACK 送信後割込みフラグ(IBCR:INT)が"1"に設定されます。

図 2-30 FIFO 禁止によるマスタ受信の割込み 1(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- INT="0"書込みにより割込みが"0"にクリア

② 1 バイト受信＋アクノリッジ送信により割込み発生
- 受信データを読み出し後、INT="0"書込み

③ 1 バイト受信＋アクノリッジ送信により割込み発生
- 受信データを読み出し後、ACKE="0"に設定し、INT="0"書込み

④ 1 バイト受信＋アクノリッジ送信したことにより割込み発生
- MSS="0"または MSS="1",SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-31 FIFO 禁止によるマスタ受信の割込み 2(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")

△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

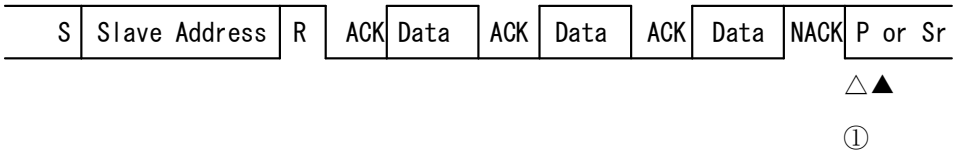
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- INT="0"書込みにより割込みが"0"にクリア

② 1 バイト受信により割込み発生
- 受信データを読み出し後、INT="0"書込み

③ 1 バイト受信により割込み発生
- 受信データを読み出し後、ACKE="0"に設定し、MSS="0"または MSS="1",SCC="1"を設定

*) 割込みフラグ(INT)発生時、TDRE ビットは"1"

図 2-32 FIFO 許可によるマスタ受信の割込み 3(SSR:DMA="0", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生

- 受信 FIFO から全データを読み出し後、MSS="0"または MSS="1",SCC="1"を設定

図 2-33 FIFO 許可によるマスタ受信の割込み 4(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")

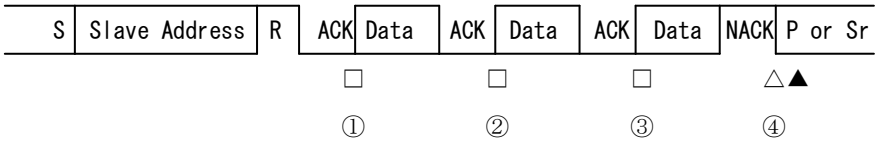
△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生

- 受信 FIFO から全データを読み出し後、ACKE="0", MSS="0"または MSS="1",SCC="1"を設定

図 2-34 FIFO 禁止によるマスタ受信の割込み 5(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生

- TDR レジスタにダミーのデータを書込み

② 1 バイト受信＋アクノリッジ送信により割込み発生

- 受信データを読み出し後、TDR レジスタにダミーのデータを書込み

③ 1 バイト受信＋アクノリッジ送信により割込み発生

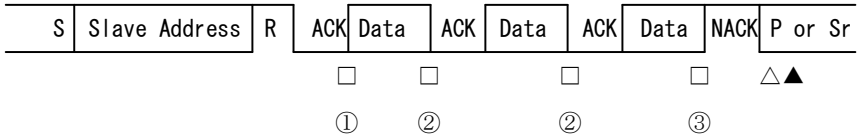
- 受信データを読み出し後、ACKE="0"に設定し、TDR レジスタにダミーのデータを書込み

④ 1 バイト受信＋アクノリッジ送信したことにより割込み発生

- MSS="0"または MSS="1",SCC="1"を設定

*) 割込みフラグ(INT、TBI)発生時、TDRE ビットは"1"

図 2-35 FIFO 禁止によるマスタ受信の割込み 6(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

□ : TBIE="1"による割込み

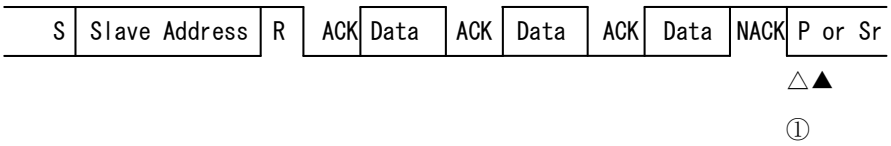
① スレーブアドレス送信＋方向ビット送信＋アクノリッジ受信により割込み発生
- TDR レジスタにダミーのデータを書込み

② 1 バイト受信により割込み発生
- 受信データを読み出し後、TDR レジスタにダミーのデータを書込み

③ 1 バイト受信により割込み発生
- 受信データを読み出し後、ACKE="0"に設定し、MSS="0"または MSS="1",SCC="1"を設定

*) 割込みフラグ(INT、TBI)発生時、TDRE ビットは"1"

図 2-36 FIFO 許可によるマスタ受信の割込み 7(SSR:DMA="1", IBCR:WSEL="0", IBCR:ACKE="0", IBSR:RSA="0")

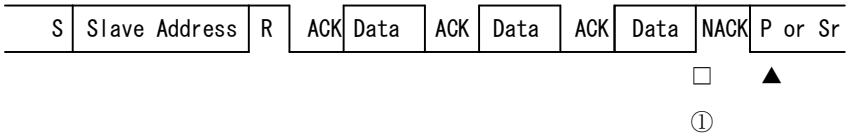


△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生
- 受信 FIFO から全データを読み出し後、MSS="0"または MSS="1",SCC="1"を設定

図 2-37 FIFO 許可によるマスタ受信の割込み 8(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



□ : TDRE="1"による割込み

▲ : CNDE="1"による割込み

① TDRE="1"により割込み発生
- 受信 FIFO から全データを読み出し後、ACKE="0", MSS="0"または MSS="1",SCC="1"を設定

■ アービトレーションロスト

マスタのデータがほかのマスタからのデータと衝突し、送信したデータと異なるデータを受信した場合、アービトレーションロストと判断されます。そのとき、IBCR:MSS ビットが"0", IBSR:AL ビットが"1"に設定され、スレーブモードとして動作が可能となります。

IBSR:AL ビットは、以下の条件で"0"にクリアできます。

・IBCR:MSS ビットへの"1"書込み
・IBCR:INT ビットへの"0"書込み
・IBSR:AL ビット="1", IBSR:SPC ビット="1"のときに IBSR:SPC ビットへの"0"書込み
・I^2C インタフェース動作の動作禁止(ISMK:EN ビット="0")

アービトレーションロストが発生した場合、IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にし、I^2C バスの SCL を"L"にします。

■ マスタモードのウェイト

下記条件を両方とも満たす場合において、IBSR:BB ビットが"1"の間、マスタモードをウェイトし、IBSR:BB ビットが"0"になってからスタート条件を送信します。

・IBSR:BB ビットが"1"のときに IBCR:MSS ビットに"1"を設定した場合
・スレーブモードとして動作していない場合

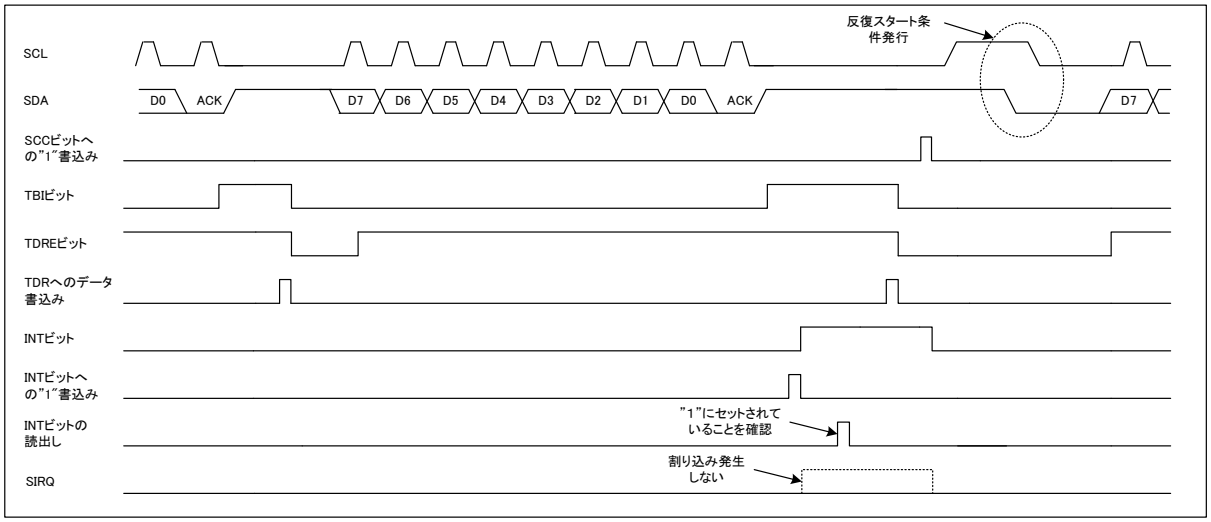
マスタモードがウェイト中かどうかは IBCR:MSS ビットと IBCR:ACT ビットで判断できます(IBCR:MSS="1", IBCR:ACT="0"であればウェイト状態)。IBCR:MSS ビットに"1"を設定後、スレーブモードとして動作する場合、IBSR:AL ビットを"1", IBCR:MSS ビットを"0", IBCR:ACT ビットを"1"にします。

■ DMA モードが許可時(SSR:DMA=1)の反復スタート条件発行

送信バスアイドル中(SSR:TBI="1")で割込みフラグ(IBCR:INT)が"0"のときに、TDR レジスタにスレーブアドレスを書き込んだ場合、送信動作を開始してしまい、反復スタート条件を発行できません。
そのため送信バスアイドル中(SSR:TBI="1")で割込みフラグ(IBCR:INT)が"0"のときに、反復スタート条件を発行する場合は下記の手順を行ってください。

1. IBCR:INT ビットに"1"を書き込みます。このとき、SIRQ 割込みは発生しません。
2. IBCR:INT ビットが"1"に設定されていることを確認してください。
3. TDR にスレーブアドレスを書き込んでください。
4. 反復スタートを発行(IBCR:SCC="1")してください。

図 2-38 DMA モードが許可時の反復スタート条件発行(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0", ACK 応答)



2.3. スレーブモード

スレーブモードは(反復)スタート条件を検出し、ISBA レジスタと ISMK レジスタとの組み合わせと受信したアドレスが一致した場合に ACK 応答し、スレーブモードとして動作します。

<注意事項>

EIBCR.BEC=0 のとき、スタート条件検出後のアドレスデータの転送中、または bit2 ～ bit9 (アクノリッジビット) の転送中に、再度スタート条件を検出した場合、バスエラーを検出(IBCR:BER=1)し、受信を中断するため、次のデータ受信ができません。この場合、割込みフラグ(IBCR:INT)のクリア後にマスタからスタート条件の再送処理が必要になります。

■ スレーブアドレス一致検出

(反復)スタート条件を検出した後、次のデータの 7 ビットをアドレスとして受信します。ISMK レジスタで"1"がセットされているビットについて ISBA レジスタと受信アドレスの各ビットを比較し、一致した場合 ACK を出力します。

表 2-8 スレーブアドレスに対するアクノリッジ出力直後の動作

<table>
<tr><th rowspan="2">送信 FIFO</th><th rowspan="2">受信 FIFO</th><th rowspan="2">送信 FIFO 状態</th><th rowspan="2">受信 FIFO 状態</th><th rowspan="2">データ方向ビット (R/W)</th><th colspan="2">アクノリッジ直後の動作</th></tr>
<tr><th>アクノリッジが ACK</th><th>アクノリッジが NACK</th></tr>
<tr><td rowspan="2">禁止</td><td rowspan="2">禁止</td><td rowspan="2">-</td><td rowspan="2">-</td><td>0</td><td rowspan="2">SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、IBCR:INT ビットは"0"のままでウェイトなし</td><td rowspan="2">IBCR:INT ビットは"0"のままでウェイトなし</td></tr>
<tr><td>1</td></tr>
<tr><td rowspan="3">禁止</td><td rowspan="3">許可</td><td rowspan="3">-</td><td>データなし</td><td rowspan="2">0</td><td>IBCR:INT ビットは"0"のままでウェイトなし</td><td rowspan="3">IBCR:INT ビットは"0"のままでウェイトなし。</td></tr>
<tr><td>データあり</td><td>IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>-</td><td>1</td><td>SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、IBCR:INT ビットは"0"のままでウェイトなし</td></tr>
<tr><td rowspan="2">許可</td><td rowspan="2">禁止</td><td rowspan="2">-</td><td rowspan="2">-</td><td>0</td><td rowspan="2">SSR:TDRE ビットが"1"であれば、IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、IBCR:INT ビットは"0"のままでウェイトなし</td><td rowspan="2">IBCR:INT ビットは"0"のままでウェイトなし</td></tr>
<tr><td>1</td></tr>
<tr><td rowspan="3">許可</td><td rowspan="3">許可</td><td rowspan="3">-</td><td>データなし</td><td rowspan="2">0</td><td>IBCR:INT ビットは"0"のままでウェイトなし</td><td rowspan="3">IBCR:INT ビットは"0"のままでウェイトなし</td></tr>
<tr><td>データあり</td><td>IBCR:INT ビットを"1"にしてウェイト</td></tr>
<tr><td>-</td><td>1</td><td>SSR:TDRE ビットが"1"であれば IBCR:INT ビットを"1"にしてウェイト。SSR:TDRE ビットが"0"であれば、IBCR:INT ビットは"0"のままでウェイトなし</td></tr>
</table>

・予約アドレス検出
第 1 バイト目で予約アドレス("0000xxxx"または"1111xxxx")と一致した場合、送受信 FIFO の許可に依存せずに 8 ビット目のデータ受信後、IBCR:INT ビットを"1"にして I^2C バスをウェイトします。このとき受信データを読み出した後、下記のように設定してください。

・スレーブとして動作させたい場合、IBCR:ACKE を"1"に設定してデータ方向ビット(IBSR:TRX)を確認し、送信方向であれば送信データを TDR に書き込み、IBCR:INT ビットをクリアします。その後、スレーブとして動作します。
・スレーブとして動作させない場合、IBCR:ACKE を"0"にし、IBCR:INT ビットをクリアします。アクノリッジ出力後スレーブとして動作を行いません。

■ データ方向ビット

アドレス受信後、データの送受信を決めるデータ方向ビットを受信します。このビットが"0"のときマスタからの送信を示し、スレーブとしてはデータを受信します。

■ スレーブによる受信

スレーブアドレスが一致しデータ方向ビットが"0"のとき、スレーブモードによる受信を示します。スレーブモードによる受信の手順の一例を以下に示します。

● DMA モードが禁止(SSR:DMA=0)の場合

・受信 FIFO が禁止されている場合

1. ACK 送信後、割込みフラグ(IBCR:INT)を"1"にして I^2C バスをウェイトします。IBCR:MSS ビット, IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し、IBCR:ACKE ビットに"1", 割込みフラグ(IBCR:INT)に"0"を書いて I^2C バスのウェイトを解除します(表 2-8 を参照してください)。
2. 1 バイトのデータを受信後、IBCR:WSEL の設定にしたがって割込みフラグ(IBCR:INT)を"1"にして I^2C バスをウェイトします。
3. RDR レジスタから受信したデータを読み出し、IBCR:ACKE ビットを設定後割込みフラグ(IBCR:INT)に"0"を書いて I^2C バスのウェイトを解除します。
4. ストップ条件または反復スタート条件を検出するまで 2.～3.を繰り返します。

・受信 FIFO が許可されている場合

1. NACK の検出または受信 FIFO がフルになると割込みフラグ(IBCR:INT)は"1"になり、I^2C バスをウェイトします。ストップ条件、反復スタート条件を検出した場合、IBSR:SPC ビット、IBSR:RSC ビットを"1"にして割込みフラグ(IBCR:INT)は"1"になりません(I^2C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致した場合、SSR:RDRF ビットを"1"にします。そのとき、SMR:RIE ビットが"1"になっていると受信割込みが発生します。
2. 割込みフラグ(IBCR:INT)が"1"になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出し後割込みフラグに"0"を書いて I^2C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、IBSR:SPC ビットまたは IBSR:RSC ビットを"0"にクリアします。

● DMA モードが許可(SSR:DMA=1)の場合

・受信 FIFO が禁止されている場合

1. ACK 送信後、割込みフラグ(IBCR:INT)を"1"にして I^2C バスをウェイトします。IBCR:MSS ビット, IBCR:ACT ビットと IBSR:FBT ビットでスレーブアドレス一致による割込みと判断し、IBCR:ACKE ビットに"1", 割込みフラグ(IBCR:INT)に"0"を書いて I^2C バスのウェイトを解除します(表 2-8 を参照してください)。
2. 1 バイトのデータを受信後、1 バイト受信直後に受信データフルフラグ(SSR:RDRF)を"1"に設定します。受信データフルフラグ(SSR:RDRF)が"1"に設定されているとき、IBCR:WSEL="0"の場合アクノリッジ送信後、IBCR:WSEL=1 の場合 1 バイト受信直後に I^2C バスをウェイトします。
3. IBCR:ACKE ビットを設定後 RDR レジスタから受信したデータを読出しにより受信データフルフラグ(SSR:RDRF)を"0"にクリアして I^2C バスのウェイトを解除します。
4. ストップ条件または反復スタート条件を検出するまで 2.～3.を繰り返します。

・受信 FIFO が許可されている場合

1. NACK の検出により割込みフラグ(IBCR:INT)は"1"になり I^2C バスをウェイトします。受信 FIFO がフルになると、I^2C バスをウェイトします。ストップ条件, 反復スタート条件を検出した場合、IBSR:SPC ビット, IBSR:RSC ビットを"1"にして割込みフラグ(IBCR:INT)は"1"になりません(I^2C バスのウェイトなし)。受信 FIFO は FBYTE レジスタの設定値と受信したデータ数が一致した場合、SSR:RDRF ビットを"1"にします。そのとき、SMR:RIE ビットが"1"になっていると受信割込みが発生します。
2. 割込みフラグ(IBCR:INT)が"1"になった場合、RDR レジスタから受信したデータを読み出し、すべてのデータを読み出し後割込みフラグに"0"を書いて I^2C バスのウェイトを解除します。受信 FIFO がフルになった場合、RDR レジスタから 1 回でも受信したデータを読み出せば I^2C バスのウェイトを解除します。ストップ条件または反復スタート条件を検出した場合、受信したデータを RDR レジスタからすべて読み出し、IBSR:SPC ビットまたは IBSR:RSC ビットを"0"にクリアします。

図 2-39 FIFO 禁止によるスレーブ受信の割込み 1(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="0")

△ : INTE="1"による割込み

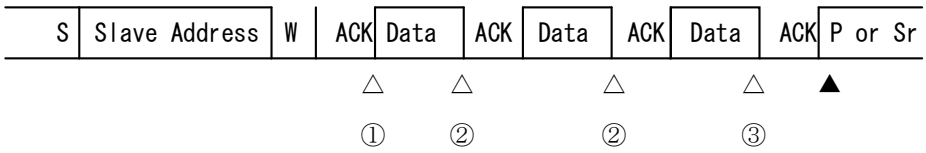
▲ : CNDE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信＋ACK 応答により割込み発生
- 受信データを受信バッファから読出し後、INT="0"書込み

③ 1 バイト受信＋NACK 応答により割込み発生
- 受信データを受信バッファから読出し INT="0"書込み

図 2-40 FIFO 禁止によるスレーブ受信の割込み 2(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

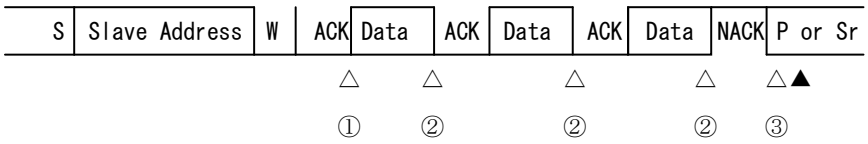
▲ : CNDE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後、INT="0"書込み

③ 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後、INT="0"書込み

図 2-41 FIFO 禁止によるスレーブ受信の割込み 3(SSR:DMA="0", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

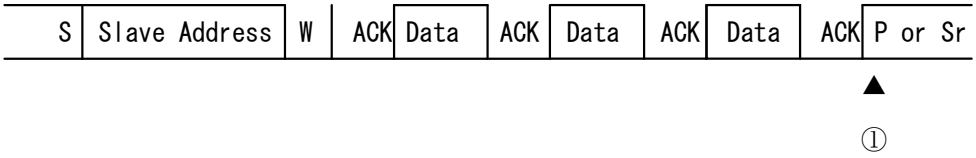
▲ : CNDE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し後、INT="0"書込み

③ NACK 応答により割込み発生
- INT="0"書込み

図 2-42 受信 FIFO 許可によるスレーブ受信の割込み 4(SSR:DMA="0", IBSR:RSA="0")

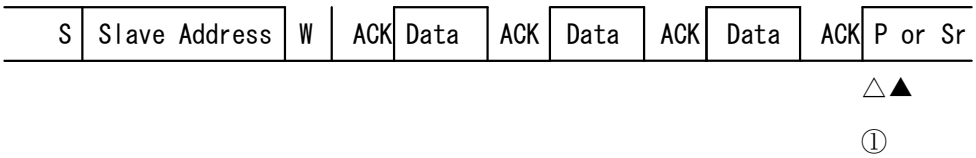


△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① ストップ条件または反復スタート条件検出により割込み発生
- 受信 FIFO から全データの読出し

図 2-43 受信 FIFO 許可によるスレーブ受信の割込み 5(SSR:DMA="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① 受信 FIFO が Full になったことにより割込み発生
- 受信 FIFO から全データを読出し、INT="0"書込み

図 2-44 FIFO 禁止によるスレーブ受信の割込み 6(SSR:DMA="0", IBCR:WSEL="0", IBSR:RSA="1")

△ : INTE="1"による割込み

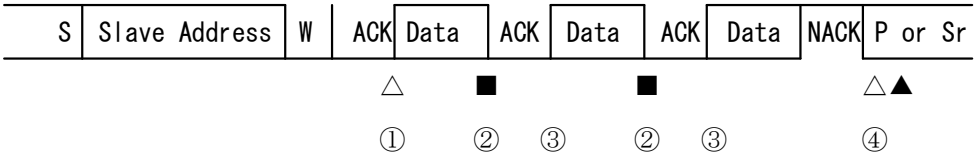
▲ : CNDE="1"による割込み

① 予約アドレス("0000xxxx"または"1111xxxx")が一致したので割込み発生
- 受信データを読出し、ACKE="1", INT="0"書込み

② 1 バイト受信＋アクノリッジ出力により割込み発生
- INT="0"書込み

③ 1 バイト受信＋アクノリッジ出力により割込み発生
- INT="0"書込みにより割込み

図 2-45 FIFO 禁止によるスレーブ受信の割込み 7(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

■ : RIE="1"による割込み

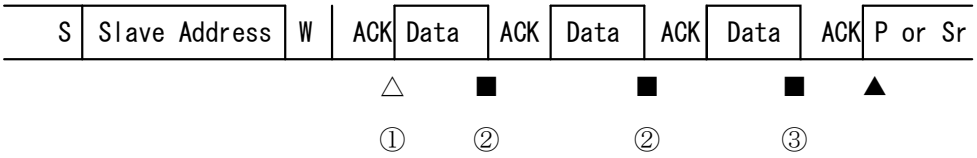
① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生(I²C バスはウェイトしない)
- 受信データを受信バッファから読出し

③ ACK 応答により I²C バスウェイト
- 受信データを受信バッファから読出し

④ 1 バイト受信＋NACK 応答により割込み発生
- 受信データを受信バッファから読出し INT="0"書込み

図 2-46 FIFO 禁止によるスレーブ受信の割込み 8(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

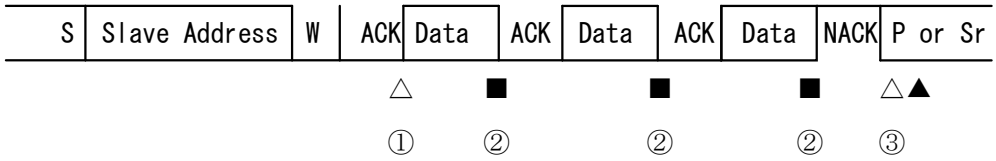
■ : RIE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し

③ 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し

図 2-47 FIFO 禁止によるスレーブ受信の割込み 9(SSR:DMA="1", IBCR:WSEL="1", IBSR:RSA="0")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

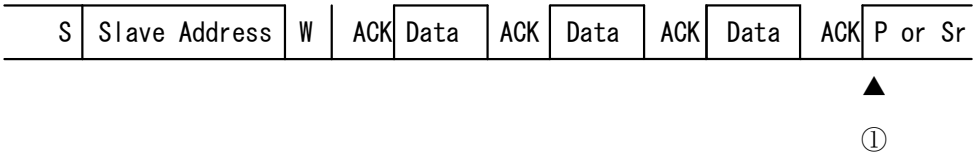
■ : RIE="1"による割込み

① スレーブアドレスが一致したので ACK 出力し、割込み発生
- ACKE="1", INT="0"書込み

② 1 バイト受信により割込み発生
- 受信データを受信バッファから読出し

③ NACK 応答により割込み発生
- INT="0"書込み

図 2-48 受信 FIFO 許可によるスレーブ受信の割込み 10(SSR:DMA="1", IBSR:RSA="0")

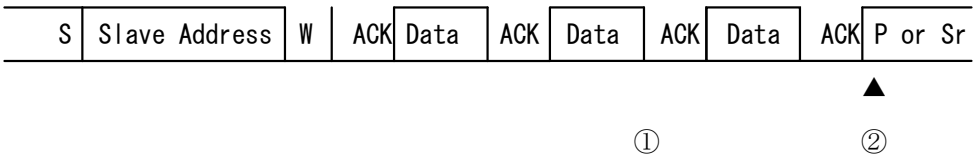


△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

① ストップ条件または反復スタート条件検出により割込み発生
- 受信 FIFO から全データの読出し

図 2-49 受信 FIFO 許可によるスレーブ受信の割込み 11(SSR:DMA="1", IBSR:RSA="0")

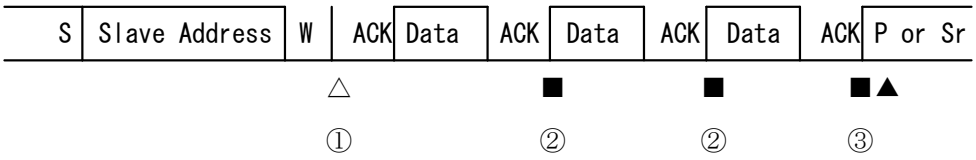


▲ : CNDE="1"による割込み

① 受信 FIFO が Full になったことにより I²C バスウェイト
- 受信 FIFO から 1 回でもデータを読み出せばウェイト解除

②ストップ条件または反復スタート条件検出により割込み発生
- 受信 FIFO から全データの読出し

図 2-50 FIFO 禁止によるスレーブ受信の割込み 12(SSR:DMA="1", IBCR:WSEL="0", IBSR:RSA="1")



△ : INTE="1"による割込み

▲ : CNDE="1"による割込み

■ : RIE="1"による割込み

① 予約アドレス("0000xxxx"または"1111xxxx")が一致したので割込み発生
- 受信データを読出し、ACKE="1", INT="0"書込み

② 1 バイト受信+アクノリッジ出力により割込み発生
-受信データを読出し

③ 1 バイト受信+アクノリッジ出力により割込み発生
-受信データを読出し

■ スレーブによる送信

スレーブアドレスが一致しデータ方向ビットが"1"のとき、スレーブによる送信を示します。
FIFO 禁止の場合、IBCR:WSEL の設定により、1 バイト送信後またはアクノリッジ応答後に割込みフラグ(IBCR:INT)を"1"にし、ウェイトを発生します(表 2-8 を参照してください)。

マスタから出力されたアクノリッジは IBSR:RACK ビットにより確認できます。マスタからの NACK 応答は、マスタが正しく受信できなかった、またはデータ受信の終了を示します。
IBCR:WSEL="1"のときに NACK を検出した場合割込みが発生しウェイトします。

2.4. バスエラー

I²C バス上でデータの送受信中にストップ条件, (反復)スタート条件を検出した場合にバスエラーとして取り扱います。

■ バスエラー発生条件

バスエラーは以下の条件で IBCR:BER ビットを"1"にします。

・第 1 バイト転送中に(反復)スタート条件またはストップ条件を検出
・データの 2～9(アクノリッジ)ビット目で(反復)スタート条件またはストップ条件を検出

■ バスエラー動作

● EIBCR:BEC=0 の場合

送受信による割込みフラグ(IBCR:INT)が"1"になったときに IBCR:BER ビットを確認し、IBCR:BER ビットが"1"の場合エラー処理を行ってください。IBCR:BER ビットは IBCR:INT ビットに"0"を書くことによってクリアされます。

バスエラーによって IBCR:INT ビットは"1"に設定されますが、I²C バスの SCL を"L"にしてウェイト状態にはしません。

● EIBCR:BEC=1 の場合

送受信による割込みフラグ(IBSR:SPC または IBSR:RSC)が"1"になったときに IBCR:BER ビットを確認し、IBCR:BER ビットが"1"の場合エラー処理を行ってください。IBCR:BER ビットは下記動作によってクリアされます。

・IBCR:INT=1 のときに、IBCR:INT に"0"書き込み
・IBCR:SPC=1 のときに、IBCR:SPC に"0"書き込み
・IBCR:RSC=1 のときに、IBCR:RSC に"0"書き込み

3. 専用ボーレートジェネレータ

専用ボーレートジェネレータは、シリアルクロックの周波数の設定を行います。

■ ボーレート選択

● 専用ボーレートジェネレータ(リロードカウンタ)で内部クロックを分周して得られるボーレート

2 つの内部リロードカウンタがあり、それぞれ送受信シリアルクロックに対応しています。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で 15 ビットのリロード値を設定することにより、ボーレートを選択できます。

リロードカウンタは、設定された値で内部クロックを分周します。

■ ボーレートの計算

2 つの 15 ビットリロードカウンタは、ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)で設定します。
ボーレートの計算式を以下に示します。

(1)リロード値:

```
V = Φ / b − 1

V : リロード値    b : ボーレート    Φ : バスクロック周波数、外部クロック周波数

ただし、I²C バスの立上り時間によっては設定したボーレートが発生しませんので
リロード値を調整してください。
```

(2)計算例

```
バスクロック(16MHｚ)、 ボーレートを 400kbps に設定する場合のリロード値は、次のように
なります。
            リロード値：
              V = (16 × 1000000)/400000 − 1 = 39
              よって 、ボーレートは
              b = (16 × 1000000)/(39 + 1) = 400kbps
```

＜注意事項＞

- ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。
- ISMK レジスタの ISMK:EN ビットが"0"のときにボーレートジェネレータレジスタの設定を行ってください。
- 動作モード 4(I^2C モード)ではバスクロックは 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。
- リロード値を"0"に設定した場合、リロードカウンタは停止します。

■ 各バスクロック周波数に対するリロード値とボーレート

表 3-1 リロード値とボーレート

ボーレート [bps]	8 MHz	10 MHz	16 MHz	20 MHz	24 MHz	32MHz
	Value	Value	Value	Value	Value	Value
400000	19	24	39	49	59	79
200000	39	49	79	99	119	159
100000	79	99	159	199	239	319

本数値は I^2C バスの SCL 立上りが 0s の場合です。I^2C バスの SCL 立上りが遅い場合には上記数値より遅いボーレートです。

■ リロードカウンタの機能

リロード値に対する 15 ビットレジスタから構成されており、内部クロックより送受信クロックを生成します。また、送信リロードカウンタのカウント値をボーレートジェネレータレジスタ(BGR1, BGR0)より読み出せます。

■ カウントの開始

ボーレートジェネレータレジスタ(BGR1, BGR0)にリロード値を書き込むと、リロードカウンタはカウントを開始します。

4. I²C の通信動作フローチャート例

I²C の通信動作フローチャート例を示します。

■ DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例 (FIFO 未使用時)

図 4-1 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)1/3

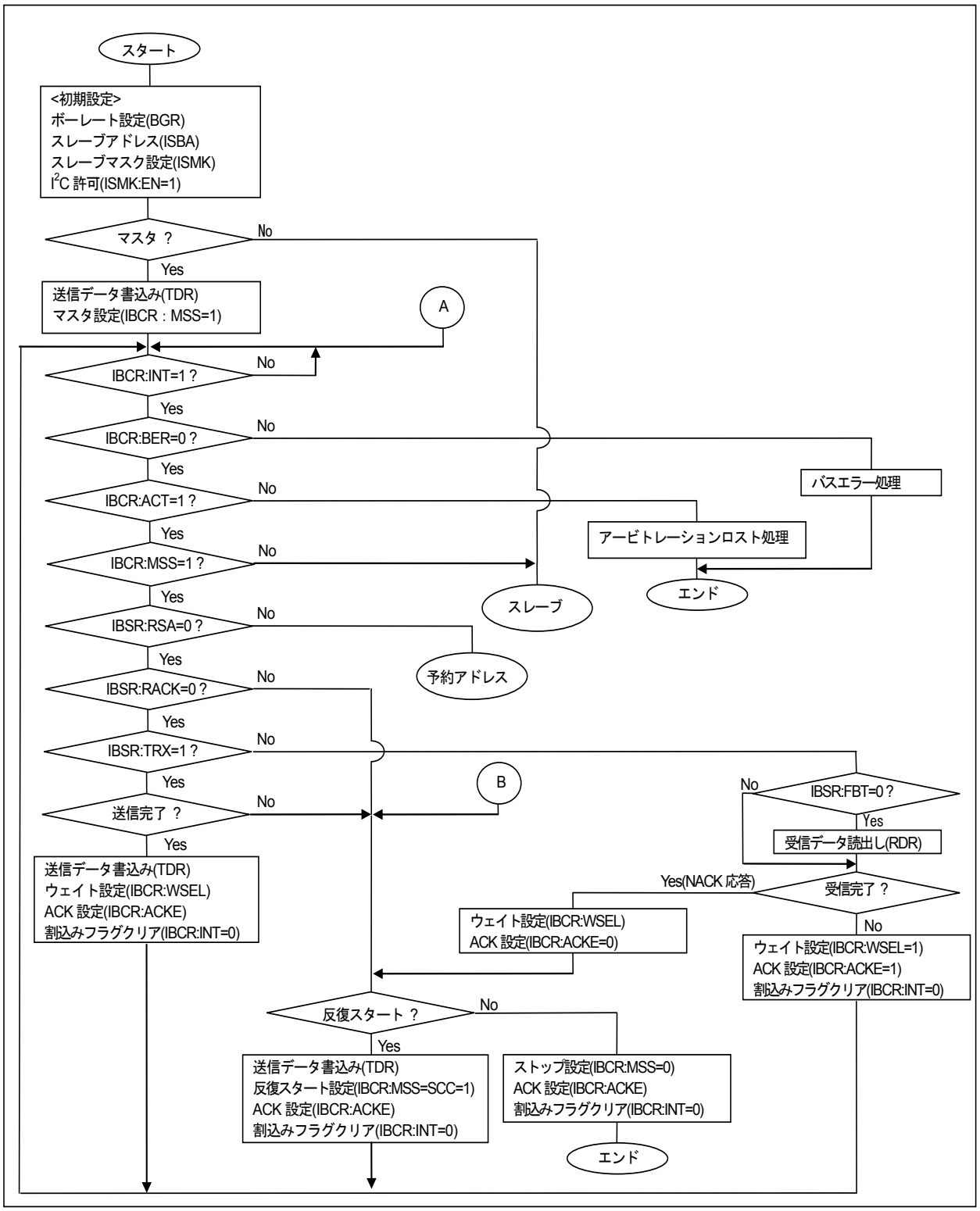


図 4-2 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)2/3

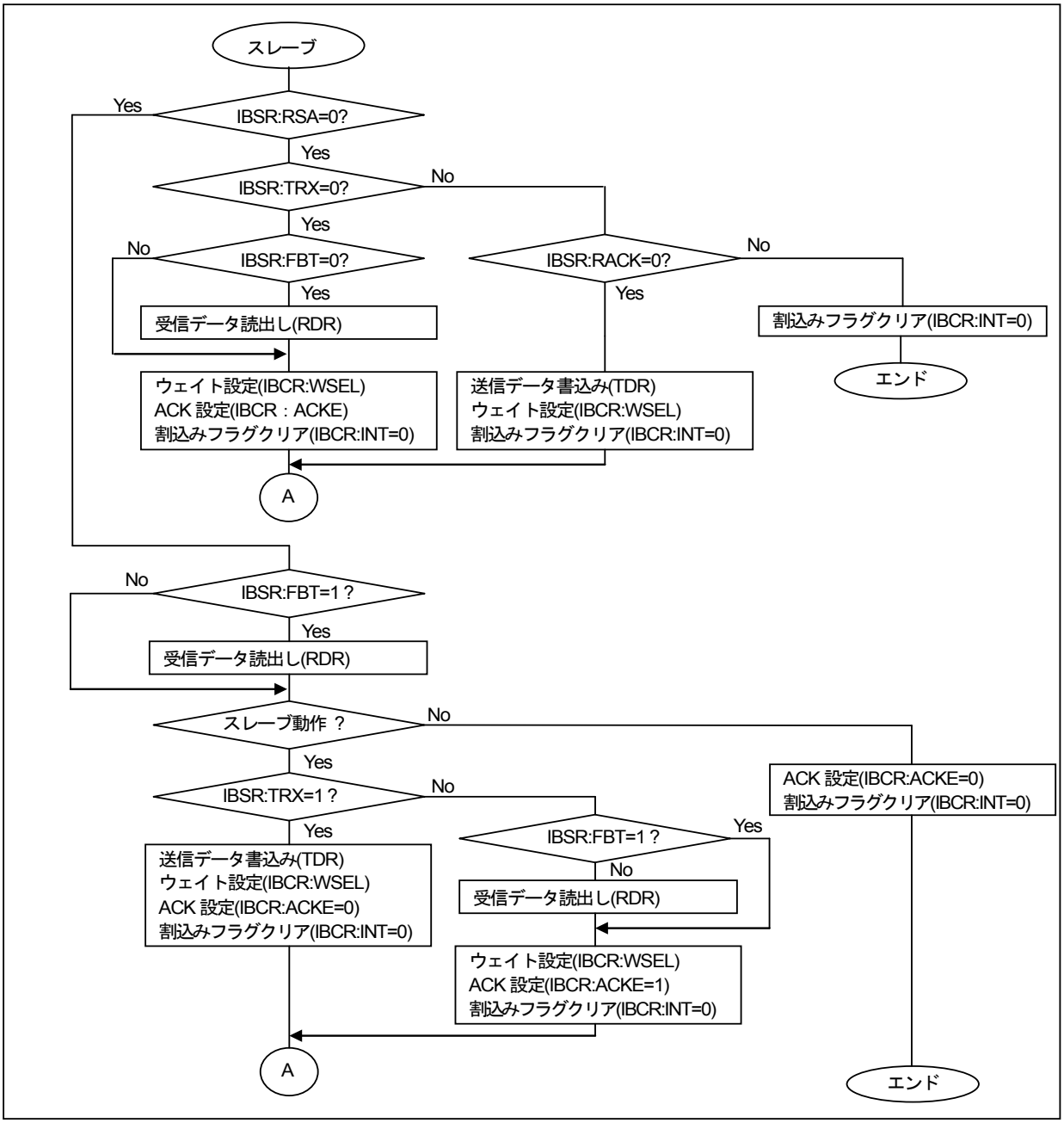
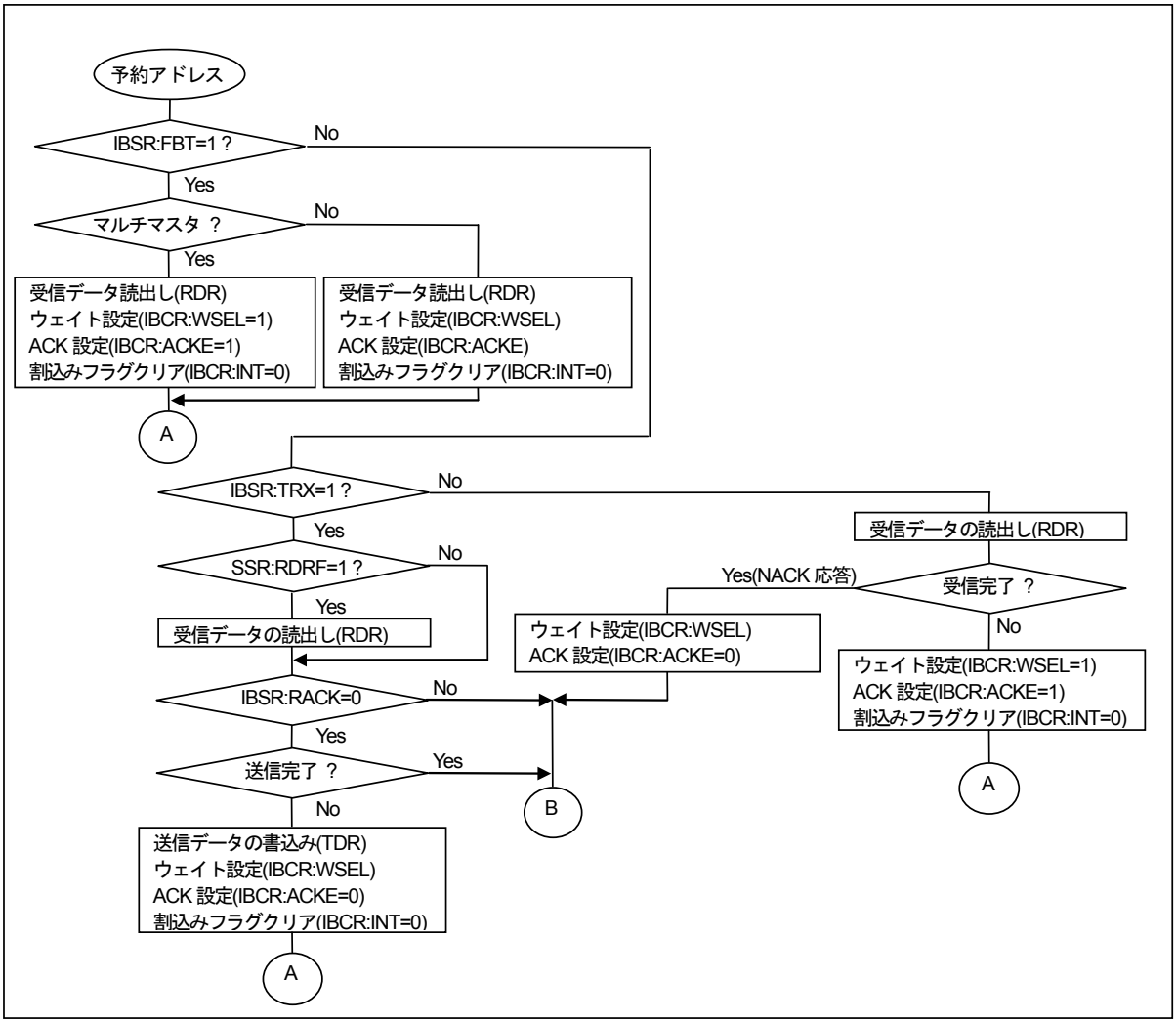


図 4-3 DMA モードが禁止時(SSR:DMA=0)の I²C フローチャート例(FIFO 未使用時)3/3



■ DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例 (FIFO 未使用時)

図 4-4 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)1/4

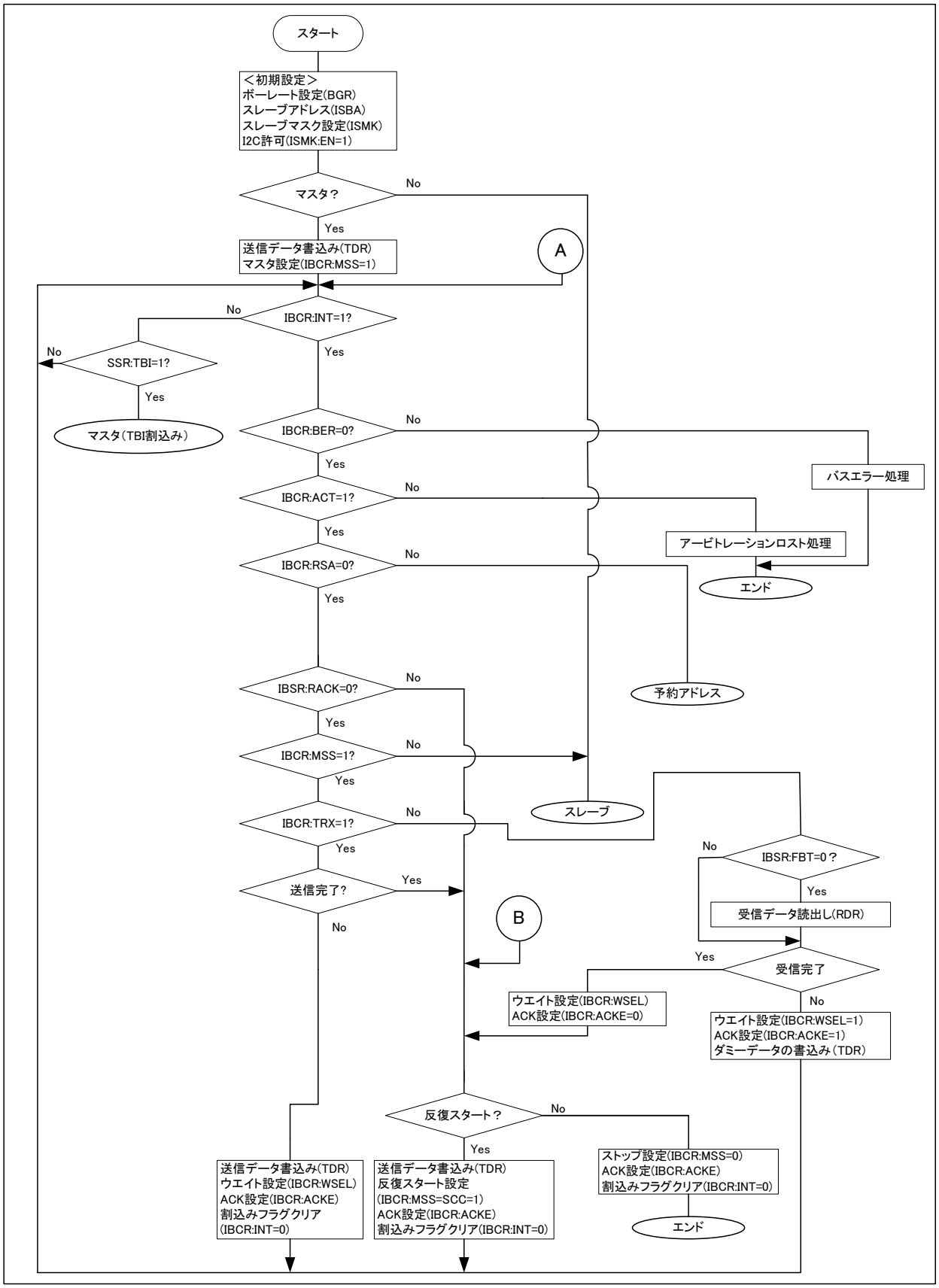


図 4-5 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)2/4

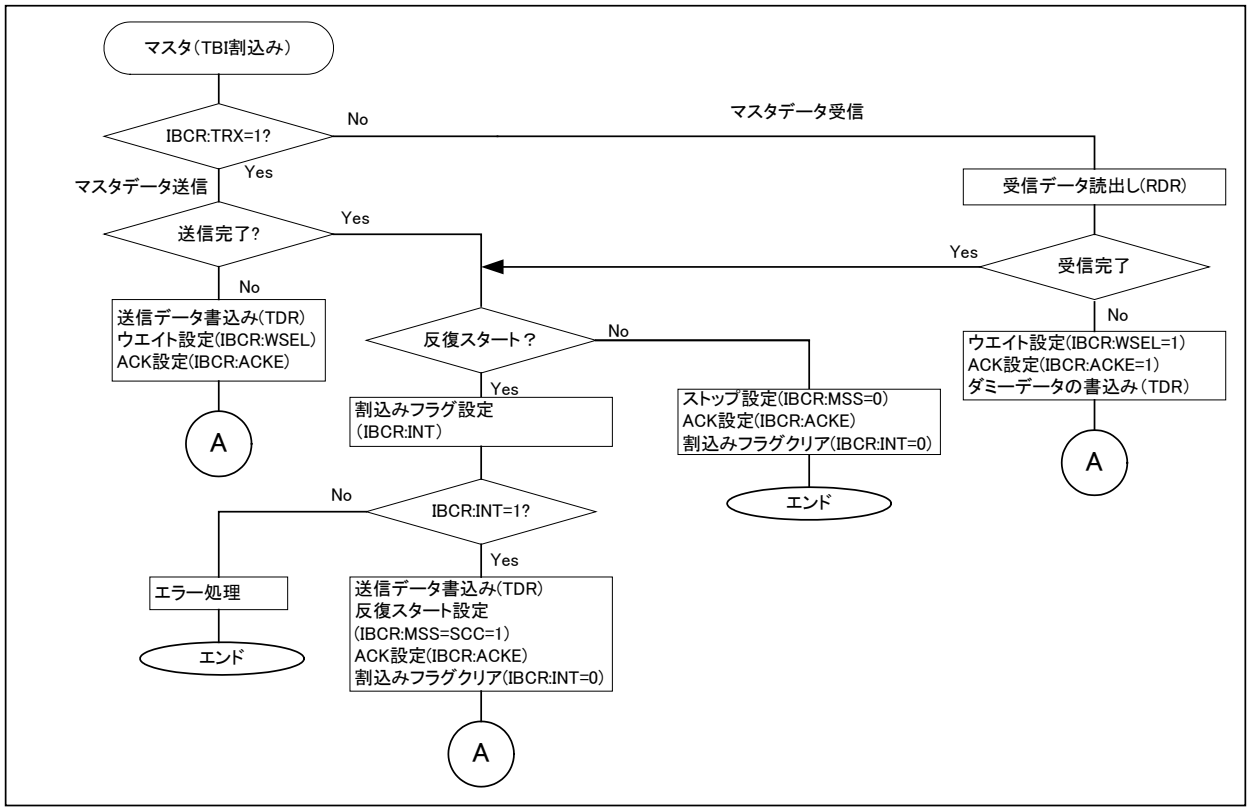


図 4-6 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)3/4

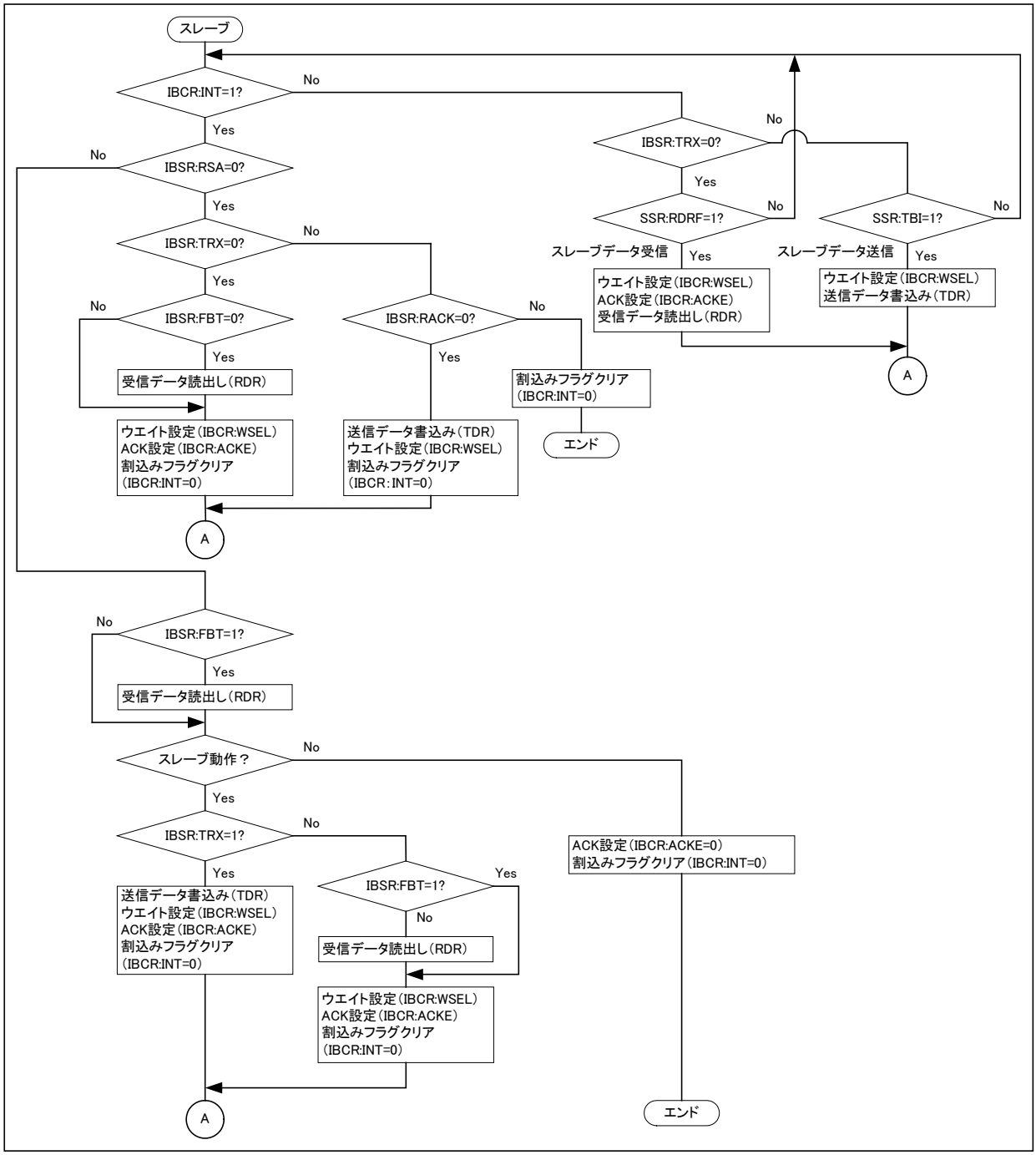
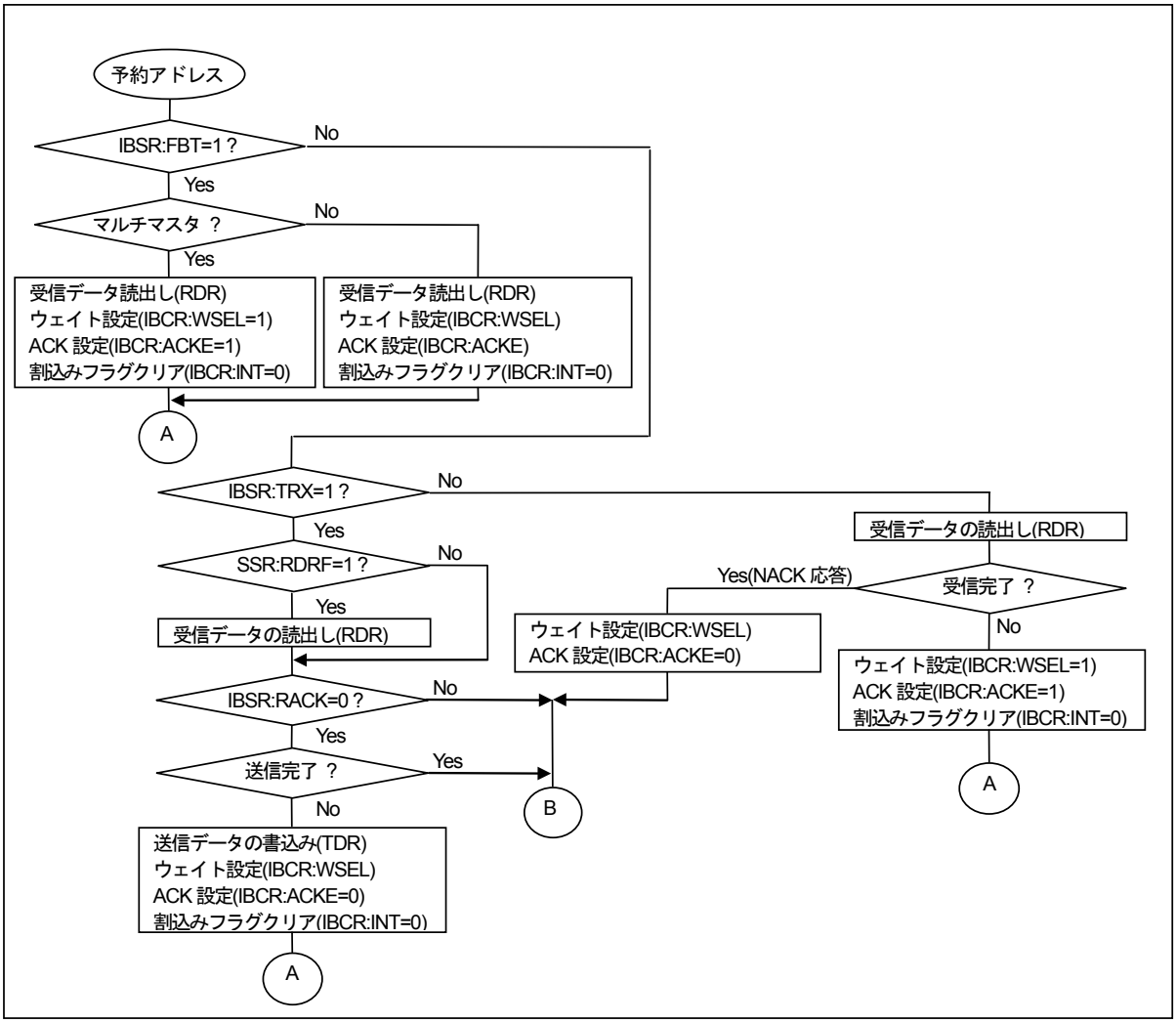


図 4-7 DMA モードが許可時(SSR:DMA=1)の I²C フローチャート例(FIFO 未使用時)4/4



＜注意事項＞

フローは I²C モードによる動作設定概略を示すフローです。アプリケーションにあわせて、エラー処理などを考慮した処理をしてください。

5. I²C インタフェースのレジスタ

I²C インタフェースのレジスター覧を示します。

■ I²C インタフェースのレジスター覧

表 5-1 I²C インタフェースのレジスター覧

	bit15 bit8	bit7 bit0
I²C	IBCR(I²C バス制御レジスタ)	SMR(シリアルモードレジスタ)
	SSR(シリアルステータスレジスタ)	IBSR(I²C バスステータスレジスタ)
	-	RDR/TDR(送受信データレジスタ)
	EIBCR(拡張 I²C バス制御レジスタ)	-
	BGR1 (ボーレートジェネレータレジスタ 1)	BGR0 (ボーレートジェネレータレジスタ 0)
	ISMK (7 ビットスレーブアドレスマスクレジスタ)	ISBA (7 ビットスレーブアドレスレジスタ)
FIFO	FCR1(FIFO 制御レジスタ 1)	FCR0(FIFO 制御レジスタ 0)
	FBYTE2(FIFO2 バイトレジスタ)	FBYTE1(FIFO1 バイトレジスタ)

表 5-2 I²C インタフェースのビット配置

	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IBCR/ SMR	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	MD2	MD1	MD0	WUCR	RIE	TIE	-	-
SSR/ IBSR	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
TDR1/ TDR0	-	-	-	-	-	-	-	-	D7	D6	D5	D4	D3	D2	D1	D0
EIBCR/ -	-	-	SDAS	SCLS	SDAC	SCLC	SOCE	BEC	-	-	-	-	-	-	-	-
BGR1/ BGR0	-	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
ISMK/ ISBA	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
FCR1/ FCR0	-	-	-	FLSTE	FRIIE	FDRQ	FTIE	FSEL	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
FBYTE2/ FBYTE1	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

5.1. I²C バス制御レジスタ(IBCR)

I²C バス制御レジスタ(IBCR)は、マスタ/スレーブモード選択，反復スタート条件の発生，アクノリッジ許可，割込み許可を設定し、割込みフラグを表示します。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	MSS	ACT/ SCC	ACKE	WSEL	CNDE	INTE	BER	INT	(SMR)
初期値	0	0	0	0	0	0	0	0	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	

[bit15] MSS : マスタ/スレーブ選択ビット

- I²C バスがアイドル状態(ISMK:EN="1", IBSR:BB="0")のときに本ビットに"1"を設定した場合、マスタモードに設定されます。
- IBSR レジスタの BB ビットが"1"のとき、このビットに"1"を設定した後、IBSR:BB ビットが"0"になるまでスタート条件の発生をウェイトします。そのウェイト中にスレーブアドレスが一致してスレーブとして動作する場合には本ビットは"0"に設定され、IBSR レジスタの AL ビットが"1"に設定されます。
- マスタ動作中(MSS="1", ACT="1")で割込みフラグ(INT)が"1"のとき、本ビットに"0"を書き込むとストップ条件が発生します。

MSS ビットは以下の条件でクリアされます。

1. I²C インタフェースの動作禁止(ISMK:EN ビット="0")
2. アービトレーションロスト発生時
3. EIBCR:BEC=0 のときにバスエラー検出(BER ビット="1")
4. INT="1"のとき、MSS ビットへの"0"書込み
5. DMA モードが許可(SSR:DMA=1)で SSR:TBI="1"のとき、MSS ビットへの"0"書込み

MSS ビットと ACT ビットの関係を以下に示します。

MSS ビット	ACT ビット	状態
0	0	アイドル
0	1	スレーブアドレス一致または予約アドレスに対し ACK 応答*1 し、スレーブ動作中(スレーブモード)
1	0	マスタ動作待機中
1	1	マスタ動作中(マスタモード)

*1)ACK 応答 ：アクノリッジ区間に I²C バスの SDA が"L"であることを指します。

bit	説明
0	スレーブモード選択
1	マスタモード選択

＜注意事項＞

・DMA モードが禁止(SSR:DMA=0)で MSS ビットが"1"に設定されていて MSS ビットを"0"に変更する場合、MSS ビット="1", INT ビット="1"のときに行ってください。ACT ビットが"1"のときに MSS ビットに"0"を書き込むと INT ビットも"0"にクリアされます。
・DMA モードが許可(SSR:DMA=1)で MSS ビットが"1"に設定されていて MSS ビットを"0"に変更する場合、MSS ビット="1", INT ビット="1"または SSR:TBI ビットが"1"のときに行ってください。ACT ビットが"1"のときに MSS ビットに"0"を書き込むと INT ビットも"0"にクリアされます。
・マスタ動作中、MSS ビットに"0"を書いても ACT ビットが"1"の間、"1"が読み出されます。

[bit14] ACT/SCC : 動作フラグ/反復スタート条件発生ビット

このビットは、リードとライトで意味が異なります。

読出し時	書込み時
ACT ビット	SCC ビット

ACT ビットはマスタモードまたは、スレーブモードとして動作していることを示します。

ACT ビットのセット条件:

1. スタート条件を I^2C バスに出力したとき(マスタモード)
2. スレーブアドレスとマスタから送信されたアドレスが一致したとき(スレーブモード)
3. 予約アドレスを検出し、それに対しアクノリッジ応答したとき(MSS="0"のときスレーブモードとなる)

ACT ビットのリセット条件:

<マスタモード>

1. ストップ条件検出
2. アービトレーションロスト検出
3. EIBCR:BEC=0 のときにバスエラー検出
4. I^2C インタフェースの動作禁止(ISMK:EN="0")

<スレーブモード>

1. (反復)スタート条件検出
2. ストップ条件検出
3. 予約アドレス検出状態(IBSR:RSA="1")でアクノリッジ応答しなかったとき
4. I^2C インタフェースの動作禁止(ISMK:EN="0")
5. EIBCR:BEC=0 のときにバスエラーの発生(BER="1")

マスタモード時、このビットに"1"を書き込むと反復スタートを実行します。"0"書込みは無効です。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	動作に影響しません
1	反復スタート条件発生	I^2C 動作中

＜注意事項＞

- SCC ビットへの"1"書込みは、マスタモードの割込み中(MSS="1", ACT="1", INT="1")に行ってください。ACT ビットが"1"のときに SCC ビットに"1"を書き込むと INT ビットは"0"にクリアされます。
- スレーブモード(MSS="0", ACT="1")時、本ビットに"1"を書き込むことは禁止です。
- SCC ビットに"1", MSS ビットに"0"を書いた場合には、MSS ビットが優先されます。
- リードモディファイライト系命令のリードは SCC ビットが読み出されます。
- 以下の両方の条件を満たした場合、INT ビットに 1 がセットされ、I^2C バスがウェイト(SCL="L")されます。反復スタート条件を発生させるためには、再度 SCC ビットに"1"を書き込み、INT ビットをクリアする必要があります。
  - 8 ビット目のマスタモード割込み時(MSS="1", ACT="1", INT="1", WSEL="1")に SCC ビットへ"1"を書き込んだ場合
  - 9 ビット目に NACK を受信した場合
- DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、下記の手順を行ってください。
  1. IBCR:INT ビットに"1"を書き込んでください。
  2. IBCR:INT ビットが"1"に設定されていることを確認してください。
  3. TDR にスレーブアドレスを書き込んでください。
  4. 本ビットに"1"を設定してください。

[bit13] ACKE : データバイトアクノリッジ許可ビット

- 本ビットに"1"を設定した場合、アクノリッジタイミングで"L"を出力します。
- 本ビットは以下のいずれかの条件のときに変更してください。
  - DMA モードが禁止(SSR:DMA=0), ACT="1"で INT ビットが"1"のとき
  - DMA モードが許可(SSR:DMA=1), ACT="1"で SSR:TBI ビットが"1"のとき
  - DMA モードが許可(SSR:DMA=1), ACT="1"でスレーブ受信時に SSR:RDRF が"1"のとき
  - ACT="0"のとき

本ビットは以下の条件では無効です。

1. 予約アドレス以外のアドレスフィールドに対するアクノリッジ(自動生成)
2. データ送信時(IBSR:RSA="0", IBSR:TRX="1", IBSR:FBT="0")
3. 受信 FIFO 許可でスレーブ受信時(FCR0:FE="1", MSS="0", ACT="1")、常に ACK 応答します。
4. 受信 FIFO 許可, WSEL が"0",マスタ受信時(FCR0:FE="1", MSS="1", ACT="1", WSEL="0")、SSR:TDRE ビットが"0"のとき ACK 応答し、SSR:TDRE ビットが"1"のとき NACK 応答します。
5. 受信 FIFO 許可, WSEL="0",予約アドレス検出してスレーブ送信時(IBSR:RSA="1", IBSR:TRX="1", IBSR:FBT="1")、 常に ACK 応答します。NACK 応答させる場合、予約アドレス検出後の割込み時、受信 FIFO を禁止にし、ACKE="0"にしてください。
6. 受信 FIFO 許可, WSEL が"1",マスタ受信で送信データレジスタにデータがあるとき(FCR0:FE="1", MSS="1", ACT="1", WSEL="1", SSR:TDRE="0")

bit	説明
0	アクノリッジ禁止
1	アクノリッジ許可

[bit12] WSEL : ウェイト選択ビット

・DMA モードが禁止(SSR:DMA=0)時は本ビットはアクノリッジ前か後のどちらに割込み(INT="1")を発生させ、I^2C バスをウェイトさせるか選択します。
・DMA モードが許可(SSR:DMA=1)時は本ビットはアクノリッジ前か後のどちらに割込み(INT="1", 送信時は SSR:TBI="1", 受信時は SSR:RDRF="1")を発生させ、I^2C バスをウェイトさせるか選択します。
・WSEL ビットは以下の条件では無効です。
1. 第 1 バイト*1 に対する割込み発生時(INT=1)
2. 予約アドレス検出時(IBSR:FBT="1", IBSR:RSA="1")
3. FIFO 使用時のデータ転送途中での NACK 応答*2 検出時(FCR0:FE="1", IBSR:RACK="1", ACT="1")
4. 受信 FIFO 使用時、受信 FIFO が FULL になったとき

*1) 第 1 バイト : (反復)スタート条件後のデータを指します。
*2) NACK 応答 : アクノリッジ期間 I^2C バスの SDA が"H"であることを指します。

bit	説明
0	アクノリッジ後ウェイト(9 ビット)
1	データ送受信完了後ウェイト(8 ビット)

[bit11] CNDE : 条件検出割込み許可ビット

マスタモードまたはスレーブモード時(ACT="1")、ストップ条件または反復スタート条件が検出された場合、割込みの発生を許可するビットです。IBSR レジスタの RSC または SPC ビットが"1"で本ビットが"1"のときに割込みが発生します。

bit	説明
0	反復スタートまたはストップ条件割込み禁止
1	反復スタートまたはストップ条件割込み許可

[bit10] INTE : 割込み許可ビット

マスタモードまたはスレーブモード時、データ送受信およびバスエラーに対する割込み(INT="1")を許可するビットです。

bit	説明
0	割込み禁止
1	割込み許可

[bit9] BER : バスエラーフラグビット

本ビットは I^2C バス上でエラーを検出したことを示します。

BER ビットのセット条件:

1. 第 1 バイト*1 転送中にスタート条件またはストップ条件を検出
2. 第 2 バイト以降、データの 2～9(アクノリッジ)ビット目で(反復)スタート条件またはストップ条件を検出

BER ビットのリセット条件:

1. EIBCR:BEC=0 で BER="1"のときに INT ビットへの"0"書込みした場合
2. I^2C インタフェースの動作禁止(ISMK:EN="0")の場合
3. EIBCR:BEC=1 で IBCR:INT=1 のときに、IBCR:INT ビットに"0"書込みした場合
4. EIBCR:BEC=1 で IBSR:SPC=1 のときに、IBSR:SPC ビットに"0"書込みした場合
5. EIBCR:BEC=1 で IBSR:RSC=1 のときに、IBSR:RSC ビットに"0"書込みした場合

*1) 第 1 バイト : (反復)スタート条件後のデータを指します。

bit	説明
0	エラーなし
1	エラーを検出

＜注意事項＞

下記の場合にこのビットを確認し、"1"になっていると正常に送受信ができていませんので再送などの処理を行ってください。

・ EIBCR:BEC=0 のときに割込みフラグ(INT ビット)が"1"になったとき
・ EIBCR:BEC=1 のときに反復スタート条件確認ビット(IBSR:RSC ビット)が"1"になったとき
・ EIBCR:BEC=1 のときにストップ条件確認ビット(IBSR:SPC ビット) が"1"になったとき

[bit8] INT : 割込みフラグビット

本ビットはマスタモードまたはスレーブモード時、データ送受信の 8 ビットまたは 9 ビット(ACK)後またはバスエラー時にこのフラグを"1"に設定します。バスエラー時以外は、INT ビットが"1"になると SCL を"L"にし、INT ビットが"0"になると SCL の"L"の状態を解除します。

INT ビットのセット条件:

＜8 ビット目＞

＜DMA モードに関係ない場合＞

1. 第 1 バイトで予約アドレス検出した場合
2. WSEL が"1"、第 2 バイト以降でアービトレーションロストを検出した場合

＜DMA モードが禁止の場合(SSR:DMA=0)＞

1. DMA モードが禁止時(SSR:DMA=0)、WSEL が"1"、マスタ動作中、第 2 バイト以降で SSR:TDRE ビットが"1"の場合
2. DMA モードが禁止時(SSR:DMA=0)、WSEL が"1"、スレーブ動作中、受信 FIFO 禁止、第 2 バイト以降で SSR:TDRE ビットが"1"の場合
3. DMA モードが禁止時(SSR:DMA=0)、WSEL が"1"、スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが"1"の場合
4. DMA モードが禁止時(SSR:DMA=0)、WSEL が"1"、受信 FIFO 禁止でスレーブ受信の場合

＜DMA モードが許可の場合(SSR:DMA=1)＞

1. DMA モードが許可時(SSR:DMA=1)、WSEL が"1"、マスタ動作中、第 2 バイト以降で SSR:TBI ビットが"1"のときに INT ビットに"1"を書き込んだ場合

＜9 ビット目＞

＜DMA モードに関係ない場合＞

1. 第 1 バイトでアービトレーションロストを検出した場合
2. ストップ条件出力設定(マスタ動作中の MSS ビットへの"0"書込み)時以外に NACK を受信した場合
3. WSEL=0 設定時、第 2 バイト以降でアービトレーションロストを検出した場合
4. 第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 許可時に受信 FIFO にデータがある場合
5. EIBCR:BEC=1 で IBSR:BER=1 の場合

＜DMA モードが禁止の場合(SSR:DMA=0)＞

1. DMA モードが禁止時(SSR:DMA=0)、第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの送信方向(IBSR:TRX=1)で SSR:TDRE ビットが"1"の場合
2. DMA モードが禁止時(SSR:DMA=0)、第 1 バイトで予約アドレスを検出せずにマスタモードまたはスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 禁止時に SSR:TDRE ビットが"1"の場合
3. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、マスタモード動作中に第 2 バイト以降で SSR:TDRE ビットが"1"の場合
4. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、スレーブ送信中に第 2 バイト以降で SSR:TDRE ビットが"1"の場合
5. DMA モードが禁止時(SSR:DMA=0)、WSEL=0 設定時、受信 FIFO 禁止でスレーブ受信の場合
   ただし、予約アドレスを検出した第 1 バイトでのスレーブ受信では 9 ビット目では割込みは発生しません。
6. DMA モードが禁止時(SSR:DMA=0)、受信 FIFO 許可、スレーブ受信のときに受信 FIFO が Full になった場合

＜DMA モードが許可の場合(SSR:DMA=1)＞

1. DMA モードが許可時(SSR:DMA=1)、第 1 バイトで予約アドレスを検出せずにスレーブモードの送信方向(IBSR:TRX=1)で SSR:TDRE ビットが"1"の場合
2. DMA モードが許可時(SSR:DMA=1)、第 1 バイトで予約アドレスを検出せずにスレーブモードの受信方向(IBSR:TRX=0)で受信 FIFO 禁止時に SSR:TDRE ビットが"1"の場合
3. DMA モードが許可時(SSR:DMA=1)、WSEL=0 設定時、マスタモード動作中に第 2 バイト以降で SSR:TBI ビットが"1"のときに INT ビットに 1 を書き込んだ場合

＜その他＞

1. EIBCR:BEC=0 でバスエラー検出

INT ビットのリセット条件:

1. INT ビットへの"0"書込み
2. INT ビットが"1", ACT ビットが"1"のときに MSS ビットへの"0"書込み
3. INT ビットが"1", ACT ビットが"1"のときに SCC ビットへの"1"書込み

DMA モードが禁止時(SSR:DMA=0)、INT ビットへの"1"書込みは無効です。

bit	説明	
	書込み時	読出し時
0	INT ビットのクリア	割込み要求なし
1	動作に影響しません	割込み要求あり

＜注意事項＞

- DMA モードが許可時(SSR:DMA=1)、マスタモード動作中に第 2 バイト以降で SSR:TBI ビットが"1"のときに INT ビットに 1 を書き込んだ場合、ステータス割込み(SIRQ="1")は発生しません。
- DMA モードが許可(SSR:DMA=1)で SSR:TBI ビットが"1"で IBCR:INT ビットが"0"のときに反復スタート条件を発行する場合は、下記の手順を行ってください。
  1. IBCR:INT ビットに"1"を書き込んでください。
  2. IBCR:INT ビットが"1"に設定されていることを確認してください。
  3. TDR にスレーブアドレスを書き込んでください。
  4. IBCR:SCC ビットに"1"を設定してください。
- INT フラグが"1"に設定されている場合に、INT フラグに"0"を書き込んだ場合、I^2C バスのウェイトを解除します。
- ISMK:EN ビットを"0"にした場合、受信タイミングによっては SSR:RDRF ビットと INT ビットが"1"になることがあります。この場合、受信データを読み出し、INT ビットをクリアしてください。
- リードモディファイライト系命令のリードは"1"が読み出されます。
- 受信 FIFO 許可時、マスタ受信動作で受信 FIFO が Full になっても INT ビットには"1"がセットされません。
- スタート条件発行時(IBCR:MSS=1)、本ビットに"1"を書き込んでください。

5.2. シリアルモードレジスタ(SMR)

シリアルモードレジスタ(SMR)は、動作モードの設定，送受信割込みの許可/禁止の設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SCR)	MD2	MD1	MD0	WUCR	RIE	TIE	予約	予約
初期値		0	0	0	0	0	0	-	-
属性		R/W	R/W	R/W	R/W	R/W	R/W	-	-

[bit7:5] MD2, MD1, MD0 : 動作モード設定ビット

動作モードを設定します。

"000" : 動作モード 0(非同期ノーマルモード)に設定されます。
"001" : 動作モード 1(非同期マルチプロセッサモード)に設定されます。
"010" : 動作モード 2(クロック同期モード)に設定されます。
"011" : 動作モード 3(LIN 通信モード)に設定されます。
"100" : 動作モード 4(I^2C モード)に設定されます。

*本章では動作モード 4(I^2C モード)のレジスタおよび動作について説明します。

bit7	bit6	bit5	説明
0	0	0	動作モード 0(非同期ノーマルモード)
0	0	1	動作モード 1(非同期マルチプロセッサモード)
0	1	0	動作モード 2(クロック同期モード)
0	1	1	動作モード 3(LIN 通信モード)
1	0	0	動作モード 4(I^2C モード)
上記以外			設定禁止

*本章では動作モード 4(I^2C モード)のレジスタおよび動作について説明します。

＜注意事項＞

- 上記設定以外は禁止です。
- 動作モードを切り換える場合は、I^2C 禁止(ISMK:EN=0)後、続けて動作モードを切り換えてください。
- 動作モード設定後、各レジスタを設定してください。

[bit4] WUCR : WAKE UP 制御ビット

外部割込みで使用する端子を選択します。

"0"に設定した場合 ： 外部割込みで使用する端子は、INT 端子です。
"1"に設定した場合 ： 外部割込みで使用する端子は、SDA または SCL 端子です。

bit	説明
0	WAKE UP 機能禁止
1	WAKE UP 機能許可

[bit3] RIE : 受信割込み許可ビット

・CPU への受信割込み要求出力を許可/禁止するビットです。
・RIE ビットと受信データフラグビット(SSR:RDRF)が"1"の場合またはエラーフラグビット(SSR:ORE)のいずれかが"1"の場合、受信割込み要求を出力します。

bit	説明
0	受信割込み禁止
1	受信割込み許可

＜注意事項＞

DMA モードが禁止時(SSR:DMA=0)に I^2C バス制御レジスタ(IBCR)の INT ビットを使用してデータを受信する場合、本ビットは"0"にしてください。

[bit2] TIE : 送信割込み許可ビット

・CPU への送信割込み要求出力を許可/禁止するビットです。
・TIE ビットと SSR:TDRE ビットが"1"の場合、送信割込み要求を出力します。

bit	説明
0	送信割込み禁止
1	送信割込み許可

＜注意事項＞

DMA モードが禁止時(SSR:DMA=0)に I^2C バス制御レジスタ(IBCR)の INT ビットを使用してデータを送信する場合、本ビットは"0"にしてください。

[bit1:0] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

5.3. I²C バスステータスレジスタ(IBSR)

I²C バスステータスレジスタ(IBSR)は、反復スタート，アクノリッジ，データ方向，アービトレーションロスト，ストップ条件, I²C バス状態，バスエラーを検出したことを示します。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(SSR)	FBT	RACK	RSA	TRX	AL	RSC	SPC	BB
初期値		0	0	0	0	0	0	0	0
属性		R	R	R	R	R	R/W	R/W	R

[bit7] FBT : ファーストバイトビット

第 1 バイトを示すビットです。

FBT ビットのセット条件:

1. (反復)スタート条件を検出した場合

FBT ビットのクリア条件:

1. 2 バイト目の送受信
2. ストップ条件検出
3. I²C インタフェースの動作禁止(ISMK:EN="0")
4. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	ファーストバイト以外
1	ファーストバイト送受信中

[bit6] RACK : アクノリッジフラグビット

第 1 バイト、マスタモード時またはスレーブモード時に受信したアクノリッジをこのビットに示します。

RACK ビットの更新条件

1. ファーストバイト時のアクノリッジ
2. マスタモードまたはスレーブモード時のデータのアクノリッジ

RACK ビットのクリア条件(RACK="0")

1. (反復)スタート条件検出
2. I²C インタフェースの動作禁止(ISMK:EN="0")
3. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	"L"受信
1	"H"受信

[bit5] RSA : 予約アドレス検出ビット

本ビットは予約アドレスを検出したことを示すビットです。

RSA ビットのセット条件(RSA="1")

1. 第 1 バイト目が(0000xxxx)または(1111xxxx)。"x"は"0"または"1"を示します。

RSA ビットのリセット条件(RSA="0")

1. (反復)スタート条件検出
2. ストップ条件検出
3. I^2C インタフェースの動作禁止(ISMK:EN="0")
4. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

第 1 バイトで RSA ビットが"1"になるとその第 1 バイトの 8 ビット目の SCL の立下りで、FIFO 許可, 禁止に関係なく割込みフラグ(IBCR:INT)を"1"にして SCL を"L"にします。このとき受信データを読み出し、スレーブとして動作させる場合には IBCR:ACKE を"1"に設定し、割込みフラグ(IBCR:INT)を"0"にクリアします。その後、TRX ビットが"0"であれば、スレーブとしてデータを受信します。途中でデータを受信させない場合には IBCR:ACKE ビットを"0"にします。それ以降、データを受信しません。

bit	説明
0	予約アドレス未検出
1	予約アドレス検出

＜注意事項＞

・データ転送中に IBCR:ACKE を"0"にした場合には、ストップ条件または反復スタート条件を検出するまで IBCR:ACKE を"1"にすることは禁止です。
・予約アドレス検出による割込み時、スレーブ送信を確認した場合、受信 FIFO が許可になっていると ACK 応答しますので受信 FIFO を禁止にし、IBCR:ACKE="0"にしてください。

[bit4] TRX : データ方向ビット

本ビットはデータの方向を示すビットです。

TRX ビットのセット条件:

1. マスタモードで(反復)スタート条件を送信
2. スレーブモードで第 1 バイトの 8 ビット目が"1"の場合(スレーブとして送信方向)

TRX ビットのリセット条件:

1. アービトレーションロスト発生(AL="1")
2. スレーブモードでファーストバイトの 8 ビット目が"0"の場合(スレーブとして受信方向)
3. マスタモードでファーストバイトの 8 ビット目が"1"の場合(マスタとして受信方向)
4. ストップ条件検出
5. マスタモード以外で(反復)スタート条件検出
6. I^2C インタフェースの動作禁止(ISMK:EN="0")
7. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	受信方向
1	送信方向

[bit3] AL : アービトレーションロストビット

本ビットはアービトレーションロストを示します。

AL ビットのセット条件:

1. マスタモード時出力しているデータと受信したデータが異なる場合
2. IBCR:MSS ビットに"1"を設定したが、スレーブとして動作している場合
3. EIBCR:BEC=0 でマスタモード時、第 2 バイト目以降のデータの 1 ビット目で反復スタート条件を検出した場合
4. EIBCR:BEC=1 でマスタモード時、反復スタート条件を検出した場合
5. EIBCR:BEC=1 でマスタモード時、第 2 バイト目以降のデータの 1 ビット目でストップ条件を検出した場合
6. EIBCR:BEC=1 でマスタモード時(アクノリッジフィールドでストップ条件を検出した場合は除く)、ストップ条件を検出した場合
7. マスタモード時、反復スタート条件を発生させようとして発生できない場合
8. マスタモード時、ストップ条件を発生させようとして発生できない場合

AL ビットのリセット条件:

1. IBCR:MSS ビットへの"1"書込み
2. IBCR:INT ビットへの"0"書込み
3. AL ビット="1"、SPC ビット="1"のときに SPC ビットへの"0"書込み
4. I^2C インタフェースの動作禁止(ISMK:EN="0")
5. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	アービトレーションロスト発生なし
1	アービトレーションロスト発生

[bit2] RSC : 反復スタート条件確認ビット

マスタモードまたはスレーブモード時に反復スタート条件を検出したことを示すビットです。

RSC ビットのセット条件:

1. EIBCR:BEC=0 でスレーブモードまたはマスタモードで動作中にアクノリッジ後、反復スタート条件が検出された場合
2. EIBCR:BEC=1 でファーストバイト中、スレーブモードまたはマスタモードで動作中に反復スタート条件が検出された場合

RSC ビットのリセット条件:

1. RSC ビットへの"0"書込み
2. IBCR:MSS ビットへの"1"書込み
3. I^2C インタフェースの動作禁止(ISMK:EN="0")

本ビットへの"1"書込みは無効です。

bit	説明
0	反復スタート条件未検出
1	反復スタート条件検出

＜注意事項＞

・予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次に反復スタート条件を検出しても本ビットに"1"はセットされません。
・リードモディファイライト系命令のリードは"1"が読み出されます。

[bit1] SPC : ストップ条件確認ビット

マスタモードまたはスレーブモード時にストップ条件を検出したことを示すビットです。

SPC ビットのセット条件:

1. EIBCR:BEC=0 でスレーブモードまたはマスタモードで動作中にアクノリッジ後、ストップ条件が検出された場合
2. EIBCR:BEC=1 で下記のいづれかの場合でストップ条件が検出された場合
   ・IBCR:ACT=0 で第 1 バイト中
   ・スレーブモード動作中
   ・マスタモード動作中(アクノリッジフィールドでストップ条件を検出した場合は除く)
3. マスタモード時、ストップ条件発生動作でアービトレーションロストが発生した場合

SPC ビットのリセット条件:

1. 本ビットへの"0"書込み
2. IBCR:MSS ビットへの"1"書込み
3. I^2C インタフェースの動作禁止(ISMK:EN="0")

本ビットへの"1"書込みは無効です。

bit	説明	
0	ストップ条件未検出	
1	マスタ	ストップ条件検出または ストップ条件出力時のアービトレーションロスト発生
	スレーブ	ストップ条件検出

＜注意事項＞

- 予約アドレス検出によってスレーブモードとして受信動作中、アクノリッジ応答しなかった場合、スレーブモードを終了しますので次にストップ条件を検出しても本ビットに"1"はセットされません。
- リードモディファイライト系命令のリードは"1"が読み出されます。
- 下記のすべての条件が成り立つ場合に、ストップ条件を検出しても、本ビットは"1"に設定されず、マスタ動作を継続させます。
  - EIBCR:BEC=1 の場合
  - マスタ動作中
  - アクノリッジフィールド中

[bit0] BB : バス状態ビット

本ビットはバスの状態を示します。

BB ビットのセット条件:

1. I^2C バスの SDA または SCL で"L"を検出した場合

BB ビットのリセット条件:

1. ストップ条件を検出した場合
2. I^2C インタフェースの動作禁止(ISMK:EN="0")
3. EIBCR:BEC=0 でバスエラー検出(IBCR:BER="1")

bit	説明
0	バスアイドル状態
1	バス送受信状態

5.4. シリアルステータスレジスタ(SSR)

シリアルステータスレジスタ(SSR)は、送受信状態の確認を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	REC	TSET	DMA	TBIE	ORE	RDRF	TDRE	TBI	(IBSR)
初期値	0	0	0	0	0	0	1	1	
属性	R/W	R/W	R/W	R/W	R	R	R	R	

[bit15] REC : 受信エラーフラグクリアビット

シリアルステータスレジスタ(SSR)の ORE ビットをクリアするビットです。

・"1"書込みで、ORE ビットがクリアされます。
・"0"書込みは、動作に影響しません。

読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	受信エラーフラグ(ORE)のクリア	

[bit14] TSET : 送信バッファエンプティフラグセットビット

シリアルステータスレジスタ(SSR)の TDRE ビットをセットするビットです。

・"1"書込みで、TDRE ビットおよび DMA モードが許可(DMA=1)のとき TBI ビットがセットされます。
・"0"書込みは、動作に影響しません。

読出し時、常に"0"が読み出されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	TDRE ビットセット	

＜注意事項＞

IBCR:INT ビットが"1"のときに本ビットに"1"を書き込んでください。

[bit13] :DMA : DMA モード許可ビット

DMA モードを禁止/許可するビットです。

・本ビットを"1"に設定した場合、DMA 転送に対応した割込み条件です。
・本ビットを"0"に設定した場合、通常転送時に割込み条件です。

詳細は表 2-1 を参照してください。

bit	説明
0	DMA モードを禁止
1	DMA モードを許可

＜注意事項＞

ISMK:EN=0 のときのみ本ビットを変更できます。

[bit12] TBIE : 送信バスアイドル割込み許可ビット(DMA モードが許可のみ有効)

・CPU への送信バスアイドル割込み要求出力を許可/禁止するビットです。
・DMA モードが許可(DMA="1")で TBIE ビットと TBI ビットが"1"のとき、送信バスアイドル割込み要求を出力します。
・DMA モードが禁止(DMA="0")のとき、本ビットは"0"となり、書込みをしても、その書込みは無視され、"0"の状態を保持します。

bit	説明
0	送信バスアイドル割込み禁止
1	送信バスアイドル割込み許可

[bit11] ORE : オーバランエラーフラグビット

・受信時にオーバランが発生した場合に"1"に設定され、シリアルステータスレジスタ(SSR)の REC ビットに"1"を書き込むとクリアされます。
・ORE ビットと SMR:RIE ビットが"1"の場合、受信割込み要求を出力します。
・本フラグがセットされた場合、受信データレジスタ(RDR)は無効です。
・受信 FIFO 使用時、本フラグがセットされた場合には受信データは受信 FIFO に格納されません。

bit	説明
0	オーバランエラーなし
1	オーバランエラーあり

[bit10] RDRF : 受信データフルフラグビット

・受信データレジスタ(RDR)の状態を示すフラグです。
・SMR:RIE ビットと受信データフラグビット(RDRF)が"1"の場合、受信割込み要求を出力します。
・RDR に受信データがロードされると、"1"に設定され、受信データレジスタ(RDR)を読み出すと"0"にクリアされます。
・データの 8 ビット目の SCL 立下りタイミングでセットされます。
・NACK 応答*1 でもセットされます。
・受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら RDRF が"1"に設定されます。
・受信 FIFO 使用時は、受信 FIFO がエンプティになると"0"にクリアされます。
・下記条件をすべて満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  ・受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  ・受信 FIFO に存在するデータ数が転送数に達しない
  ・IBCR:BER ビットが"0"

  8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。

  *1) NACK 応答 ：アクノリッジ期間 I^2C バスの SDA が"H"であることを指します。

bit	説明
0	受信データレジスタ(RDR)がエンプティ
1	受信データレジスタ(RDR)にデータが存在する

＜注意事項＞

・以下の条件をすべて満たす場合、ACK 送信後に SCL を"L"にし、RDRF ビットが"0"になると SCL が"L"の状態を解除します。
  ・受信 FIFO 未使用時
  ・DMA モード許可(IBCR:DMA=1)時
  ・第 2 バイト以降で受信動作中(IBSR:TRX=0)、RDRF ビットが"1"のとき
  ・IBCR:WSEL=0
・以下の条件をすべて満たす場合、1 バイトデータ受信直後に SCL を"L"にし、RDRF ビットが"0"になると SCL が"L"の状態を解除します。
  ・受信 FIFO 未使用時
  ・DMA モード許可(IBCR:DMA=1)時
  ・第 2 バイト以降で受信動作中(IBSR:TRX=0)、RDRF ビットが"1"のとき
  ・IBCR:WSEL=1
・受信 FIFO 使用時に DMA モード許可(DMA=1)で受信の場合、受信 FIFO がフルになると SCL を"L"にし、RDR より 1 回でもデータを読み出すと SCL が"L"の状態を解除します。

[bit9] TDRE : 送信データエンプティフラグビット

・送信データレジスタ(TDR)の状態を示すフラグです。
・SMR:TIE ビットと TDRE ビットが"1"の場合、送信割込み要求を出力します。
・TDR に送信データを書き込むと、"0"となり TDR に有効なデータが存在していることを示します。データが送信シフトレジスタにロードされて送信が開始されると"1"となり TDR に有効なデータが存在していないことを示します。
・シリアルステータスレジスタ(SSR)の TSET ビットに"1"を書き込むとセットされます。アービトレーションロスト, バスエラーなど検出した場合、TDRE ビットを"1"に設定したいときに使用します。

bit	説明
0	送信データレジスタ(TDR)にデータが存在する
1	送信データレジスタがエンプティ

[bit8] TBI : 送信バスアイドルフラグビット(DMA モード許可のみ有効)

本ビットは DMA モード許可時(DMA=1)に I^2C が送信動作をしていないことを示すビットです。DMA モード許可(DMA=1)で第 2 バイト以降に TBI ビットが"1"になると、SCL を"L"にし、TBI ビットが"0"になると SCL の"L"の状態を解除します。

TBI ビットのセット条件

＜8 ビット目＞

1. WSEL が"1",マスタ動作中、第 2 バイト以降で TDRE ビットが"1"の場合
2. WSEL が"1",スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが"1"の場合

＜9 ビット目＞

1. マスタ動作中、第 1 バイトで予約アドレスを検出せずに SSR:TDRE ビットが"1"の場合
2. WSEL が"0",マスタ動作中、第 2 バイト以降で TDRE ビットが"1"の場合
3. WSEL が"0",スレーブ送信中、第 2 バイト以降で SSR:TDRE ビットが"1"の場合

＜その他＞

送信バッファエンプティフラグセットビット(TSET)が"1"に設定されている場合

TBI ビットのリセット条件

1. 送信データレジスタ(TDR)へ送信データを書き込んだ場合

本ビットが"1"で、送信バスアイドル割込み許可(SCR:TBIE=1)されていると送信割込み要求を出力します。

・DMA モードが禁止(DMA="0")時に、本ビットは不定です。

bit	説明
0	送信中
1	送信動作なし

5.5. 受信データレジスタ/送信データレジスタ(RDR/TDR)

受信データレジスタと送信データレジスタは同一アドレスに配置されています。読み出す場合は、受信データレジスタとして機能し、書き込む場合は送信データレジスタとして機能します。

■ 受信データレジスタ(RDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
初期値		0	0	0	0	0	0	0	0
属性		R	R	R	R	R	R	R	R

受信データレジスタ(RDR)は、シリアルデータ受信用のデータバッファレジスタです。

- シリアルデータライン(SDA 端子)に送られてきたシリアルデータ信号がシフトレジスタで変換されて、受信データレジスタ(RDR)に格納されます。
- 第 1 バイト*1 を受信した場合、受信したアドレスは受信データレジスタ(RDR)に格納されません。ただし、第 1 バイトが予約アドレスの場合、受信したアドレスは受信データレジスタ(RDR)に格納されます。その場合、最下位ビット(RDR:D0)がデータ方向ビットです。
- 受信データが、受信データレジスタ(RDR)に格納されると、受信データフルフラグビット(SSR:RDRF)が"1"に設定されます。
- 受信データフルフラグビット(SSR:RDRF)は、受信データレジスタ(RDR)を読み出すと自動的に"0"にクリアされます。

*1)第 1 バイト : (反復)スタート条件後のデータを指します。

＜注意事項＞

- 受信 FIFO 使用時は、受信 FIFO に所定のデータ数を受信したら SSR:RDRF が"1"に設定されます。
- 受信 FIFO 使用時は、受信 FIFO がエンプティになると SSR:RDRF が"0"にクリアされます。

■ 送信データレジスタ(TDR)

bit	15 ... 8	7	6	5	4	3	2	1	0
Field		D7	D6	D5	D4	D3	D2	D1	D0
初期値		1	1	1	1	1	1	1	1
属性		W	W	W	W	W	W	W	W

送信データレジスタ(TDR)は、シリアルデータ送信用のデータバッファレジスタです。

- 送信データレジスタ(TDR)の値の MSB ファーストでシリアルデータライン(SDA 端子)に出力します。
- 第 1 バイトを送信する場合、最下位ビット(TDR:D0)がデータ方向ビットです。
- 送信データエンプティフラグ(SSR:TDRE)は、送信データが送信データレジスタ(TDR)に書込まれると、"0"にクリアされます。
- 送信データエンプティフラグ(SSR:TDRE)は、送信用シフトレジスタへ転送されると、"1"に設定されます。
- 送信 FIFO 禁止時、データエンプティフラグ(SSR:TDRE)が"0"のときは送信データレジスタ(TDR)に送信データを書き込むことはできません。
- 送信 FIFO 使用時、データエンプティフラグ(SSR:TDRE)が"0"であっても送信 FIFO の容量まで送信データを書き込むことが可能です。

＜注意事項＞

送信データレジスタは書込み専用のレジスタで、受信データレジスタは読出し専用のレジスタです。2 つのレジスタは同一アドレスに配置されているため書込み値と読出し値が異なります。したがって、INC/DEC 命令などリードモディファイライト(RMW)動作をする命令は使用できません。

5.6. 拡張 I²C バス制御レジスタ(EIBCR)

拡張 I²C バス、制御レジスタ(EIBCR)は、SDA/SCL の出力制御、バスエラー発生後の動作の継続の有無を設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	-	-	SDAS	SCLS	SDAC	SCLC	SOCE	BEC	-
初期値	-	-	0	0	1	1	0	0	
属性	-	-	R	R	R/W	R/W	R/W	R/W	

[bit15:14] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

予約ビット
読出し値は"0"です。常に"0"を書き込んでください。

[bit13] SDAS: SDA ステータスビット

ノイズフィルタ通過後の SDA ラインの信号レベルを表示します。

bit	説明
0	SDA ラインは"L"
1	SDA ラインは"H"

＜注意事項＞

本ビットは I²C 許可(ISMK:EN=1)時のみ有効です。I²C 禁止時(ISMK:EN=0)時、本ビットは常に"0"を読み出します。

[bit12] SCLS: SCL ステータスビット

ノイズフィルタ通過後の SCL ラインの信号レベルを表示します。

bit	説明
0	SCL ラインは"L"
1	SCL ラインは"H"

＜注意事項＞

本ビットは I²C 許可(ISMK:EN=1)時のみ有効です。I²C 禁止時(ISMK:EN=0)時、本ビットは常に"0"を読み出します。

[bit11] SDAC: SDA 出力制御ビット

シリアル出力制御許可(SOCE=1)時、SDA 出力を制御します。

bit	説明
0	SDA 出力は"L"
1	SDA 出力は"H"

[bit10] SCLC: SCL 出力制御ビット

シリアル出力制御許可(SOCE=1)時、SDA 出力を制御します。

bit	説明
0	SCL 出力は"L"
1	SCL 出力は"H"

[bit9] SOCE: シリアル出力許可ビット

シリアル出力制御の許可ビットです。

本ヒットを"1"に設定した場合、下記のように動作します。

- SDA 出力は SDA 出力制御ビット(SDAC)により制御されます。
- SCL 出力は SCL 出力制御ビット(SCLC)により制御されます。

bit	説明
0	シリアル出力制御禁止
1	シリアル出力制御許可

＜注意事項＞

本ビットは IBCR:MSS=0 かつ IBCR:ACT=0 のときのみ、"1"に設定してください。

[bit8] BEC: バスエラー制御ビット

バスエラー発生(IBSR:BER=1)後、I^2C 動作継続または中断を選択するビットです。

bit	説明
0	I^2C 動作中断
1	I^2C 動作継続

＜注意事項＞

EIBCR:BEC=0 のとき、スタート条件検出後のアドレスデータの転送中、または bit2～bit9(アクノリッジビット)の転送中に、再度スタート条件を検出した場合、バスエラーを検出(IBCR:BER=1)し、受信を中断するため、次のデータ受信ができません。この場合、割込みフラグ(IBCR:INT)のクリア後にマスタからスタート条件の再送処理が必要になります。

5.7. 7 ビットスレーブアドレスマスクレジスタ(ISMK)

7 ビットスレーブアドレスマスクレジスタ(ISMK)は、スレーブアドレスの各ビットを比較または設定するレジスタです。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	EN	SM6	SM5	SM4	SM3	SM2	SM1	SM0	(ISBA)
初期値	0	1	1	1	1	1	1	1	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

[bit15] EN : I^2C インタフェース動作許可ビット

I^2C インタフェースの動作を許可/禁止するビットです。

"0"に設定した場合 : I^2C インタフェースは動作禁止状態です。
"1"に設定した場合 : I^2C インタフェースが動作が可能です。

bit	説明
0	禁止
1	許可

＜注意事項＞

- IBSR レジスタの BER ビットが"1"に設定されても、本ビットは"0"にクリアされません。
- 本ビットが"0"のときにボーレートジェネレータを設定してください。
- 本ビットが"0"のときに 7 ビットスレーブアドレスおよび 7 ビットスレーブアドレスマスクレジスタを設定してください。
- I^2C インタフェースが禁止される(EN="0")と送受信は直ちに禁止されます。
- IBCR:MSS ビットに"0"を書き込んでストップコンディションを発生させた後に I^2C インタフェースの動作を禁止する場合は、ストップコンディションの発生を確認した後、動作を禁止(EN="0")してください。
- 送信中に EN ビットを"0"にした場合、I^2C バスの SDA/SCL にパルスが発生することがあります。

[bit14:8] SM6～SM0 : スレーブアドレスマスクビット

7 ビットスレーブアドレスと受信したアドレスに対し、比較対象外にするかどうかを設定するビットです。

"1"を設定したビット : 比較する
"0"を設定したビット : 一致したものとして処理する

bit14:8	説明
0	ビット比較しない
1	ビット比較する

＜注意事項＞

EN ビットが"0"のときに本レジスタを設定してください。

5.8. 7 ビットスレーブアドレスレジスタ(ISBA)

7 ビットスレーブアドレスレジスタ(ISBA)は、スレーブアドレスを設定するレジスタです。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(ISMK)	SAEN	SA6	SA5	SA4	SA3	SA2	SA1	SA0
初期値		0	0	0	0	0	0	0	0
属性		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] SAEN : スレーブアドレス許可ビット

スレーブアドレスの検出許可ビットです。

"0"を設定した場合 : スレーブアドレスを検出しません。
"1"を設定した場合 : ISBA, ISMK の設定と受信した第 1 バイトと比較を行います。

bit	説明
0	禁止
1	許可

[bit6:0] SA6～SA0 : 7 ビットスレーブアドレス

・7 ビットスレーブアドレスレジスタ(ISBA)は、スレーブアドレス検出許可(SAEN=1)されていれば、(反復)スタート条件検出後に受信した 7 ビットのデータを本レジスタと比較します。このとき、全ビットが一致すればスレーブモードとして動作し、ACK を出力します。受信したスレーブアドレスは、本レジスタに設定されます(SAEN=0 であれば、ACK を出力しません)。
・ISMK レジスタに"0"を設定したアドレスビットは比較対象外です。

bit6:0	説明
	7 ビットスレーブアドレス

＜注意事項＞

・予約アドレスの設定は禁止です。
・本レジスタは ISMK レジスタの EN ビットが"0"のときに設定してください。

5.9. ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)

ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)は、シリアルクロックの分周比を設定します。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	-	(BGR1)							(BGR0)							
初期値	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ボーレートジェネレータレジスタはシリアルクロックの分周比を設定します。
BGR1 は上位ビット、BGR0 は下位ビットに対応し、カウントするリロード値の書込み、BGR1/0 の設定値の読出しが可能です。
ボーレートジェネレータレジスタ 1, 0(BGR1, BGR0)にリロード値を書き込むとリロードカウンタはカウントを開始します。

[bit15] 未使用ビット
読出し時、値は不定です。
書込み時、動作に影響しません。

[bit14:8] BGR1 : ボーレートジェネレータレジスタ 1

bit14:8	説明
ライト	リロードカウンタ bit8～bit14 に書込み
リード	BGR1 の設定値の読出し

[bit7:0] BGR0 : ボーレートジェネレータレジスタ 0

bit7:0	説明
ライト	リロードカウンタ bit0～bit7 に書込み
リード	BGR0 の設定値の読出し

＜注意事項＞

- ボーレートジェネレータレジスタ(BGR1, BGR0)への書込みは、16 ビットアクセスで行ってください。
- ISMK レジスタの EN ビットが"0"のときにボーレートジェネレータレジスタの設定を行ってください。
- マスタモード, スレーブモードに関係なく、ボーレートを設定してください。
- 動作モード 4(I^2C モード)ではバスクロックは 8MHz 以上で使用し、400kbps を超えるボーレートジェネレータの設定は禁止です。

5.10. FIFO 制御レジスタ 1(FCR1)

FIFO 制御レジスタ(FCR1)は、送受信 FIFO の選択，送信 FIFO 割込み許可の設定および割込みフラグの制御を行います。

bit	15	14	13	12	11	10	9	8	7 ... 0
Field	予約	予約	予約	FLSTE	FRIIE	FDRQ	FTIE	FSEL	(FCR0)
初期値	-	-	-	0	-	1	0	0	
属性	-	-	-	R/W	R/W	R/W	R/W	R/W	

[bit15:13] 予約ビット

予約ビットです。読出し値は"0"です。常に"0"を書き込んでください。

[bit12] FLSTE : 再送データロスト検出許可ビット

FCR0:FLST ビット検出を許可するビットです。

"0"に設定した場合 : FCR0:FLST ビット検出禁止
"1"に設定した場合 : FCR0:FLST ビット検出許可

bit	説明
0	データロスト検出禁止
1	データロスト検出許可

＜注意事項＞

本ビットに"1"を設定する場合、FSET ビットに"1"を設定してから本ビットに"1"を設定してください。

[bit11] FRIIE : 受信 FIFO アイドル検出許可ビット

受信 FIFO に有効なデータが存在した状態で 8 ビット時間以上の受信アイドル状態を検出するかどうかを設定するビットです。受信割込み許可(SCR:RIE=1)されていると、受信アイドル状態が検出されると受信割込みが発生します。

"0"に設定した場合 : 受信アイドル状態検出禁止
"1"に設定した場合 : 受信アイドル状態検出許可

bit	説明
0	受信 FIFO アイドル検出禁止
1	受信 FIFO アイドル検出許可

＜注意事項＞

受信 FIFO を使用する場合、本ビットを"1"に設定してください。

[bit10] FDRQ : 送信 FIFO データ要求ビット

送信 FIFO のデータ要求ビットです。
本ビットが"1"のとき、送信データを要求していることを示します。このとき、送信割込み許可(FTIE=1)されていると、送信 FIFO 割込み要求を出力されます。

FDRQ セット条件

・FBYTE(送信用)=0　(送信 FIFO がエンプティ)
・送信 FIFO のリセット

FDRQ リセット条件

・本ビットへの"0"書込み
・送信 FIFO がフルになった場合

bit	説明
0	送信 FIFO データ要求なし
1	送信 FIFO データ要求あり

＜注意事項＞

・FBYTE(送信用)=0 のときに本ビットへの"0"書込みは禁止です。
・本ビットが"0"のときに FSEL ビットの変更は禁止です。
・本ビットに"1"を設定した場合、動作に影響しません。
・リードモディファイライト系命令時、"1"が読み出されます。
・送信割込みが発生して送信 FIFO に必要なデータを書き込んだら、FIFO 送信データ要求ビット(FCR1:FDRQ)に"0"を書き込んで割込み要求をクリアしてください。

[bit9] FTIE : 送信 FIFO 割込み許可ビット

送信 FIFO の割込み許可ビットです。本ビットに"1"を設定した場合、FDRQ ビットが"1"のときに割込みが発生します。

bit	説明
0	送信 FIFO 割込み禁止
1	送信 FIFO 割込み許可

[bit8] FSEL : FIFO 選択ビット

送受信 FIFO を選択するビットです。

"0"に設定した場合 : 送信 FIFO : FIFO1, 受信 FIFO : FIFO2 に割り当てられます。
"1"に設定した場合 : 送信 FIFO : FIFO2, 受信 FIFO : FIFO1 に割り当てられます。

bit	説明
0	送信 FIFO:FIFO1, 受信 FIFO:FIFO2
1	送信 FIFO:FIFO2, 受信 FIFO:FIFO1

＜注意事項＞

・本ビットは、FIFO リセット(FCR0:FCL2, FCL1=1)ではクリアされません。
・本ビットを変更する場合は、FIFO 動作禁止(FCR0:FE2, FE1=0)にしてから行ってください。

5.11. FIFO 制御レジスタ 0(FCR0)

FIFO 制御レジスタ 0(FCR0)は、FIFO 動作の許可/禁止, FIFO リセット，リードポインタの保存，再送信設定を行います。

bit	15 ... 8	7	6	5	4	3	2	1	0
Field	(FCR1)	-	FLST	FLD	FSET	FCL2	FCL1	FE2	FE1
初期値		0	0	0	0	0	0	0	0
属性		-	R	R/W	R/W	R/W	R/W	R/W	R/W

[bit7] 未使用ビット

読出し場合 ： 常に"0"が読み出されます。
書込み場合 ： 常に"0"を書き込んでください。

[bit6] FLST : FIFO 再送データロストフラグビット

送信 FIFO の再送データが失われたことを示すビットです。

FLST セット条件

・FIFO 制御レジスタ 1(FCR1)の FLSTE ビットが"1"で送信 FIFO のライトポインタと FSET ビットによって保存したリードポインタが一致しているときに FIFO へ書き込んだ場合

FLST リセット条件

・FIFO リセット(FCL への"1"書込み)
・FSET ビットへ"1"書込み

本ビットに"1"が設定されると FSET ビットで保存したリードポインタが示すデータを上書きしてしまい、エラーが発生しても FLD ビットによる再送の設定ができません。本ビットに"1"が設定された状態で再送を行う場合には FIFO リセットを実施し、再度 FIFO にデータを書き込んでください。

bit	説明
0	データロストなし
1	データロストあり

[bit5] FLD : FIFO ポインタリロードビット

送信 FIFO に FSET ビットによって保存したデータをリードポインタにリロードするビットです。
本ビットは通信エラーなどが発生し再送するときに使用します。
再送設定が完了した場合、本ビットは"0"に設定されます。

bit	説明
0	リロードしない
1	リロード実行

＜注意事項＞

- 本ビットが"1"に設定されている間、リードポインタへのリロード中のため FIFO リセット以外の書込みは禁止です。
- FIFO 許可状態または送信中、本ビットに"1"を設定することは禁止です。
- SMR:TIE ビットは"0"にしてから本ビットに"1"を書込み、送信 FIFO 許可後、SMR:TIE ビットを"1"にしてください。

[bit4] FSET : FIFO ポインタ保存ビット

送信 FIFO のリードポインタを保存するビットです。
送信前にリードポインタを保存すれば、通信エラーなどが発生した場合、FLST ビットが"0"であれば、再送可能です。

"1"に設定した場合 ： 現在のリードポインタの値を保存します。
"0"に設定した場合 ： 動作に影響しません。

bit	説明
0	保存しない
1	保存実行

＜注意事項＞

送信バイト数(FBYTE)が 0 を示しているときに本ビットを"1"に設定してください。

[bit3] FCL2 : FIFO2 リセットビット

FIFO2 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO2 の内部状態は初期化されます。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO2 リセット	

＜注意事項＞

・FIFO2 を禁止してから、FIFO2 リセットを実行してください。
・送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
・FBYTE2 レジスタの有効データ数は"0"です。

[bit2] FCL1 : FIFO1 リセットビット

FIFO1 をリセットするビットです。
本ビットを"1"に設定した場合、FIFO1 の内部状態は初期化されます。
FCR0:FLST ビットのみ初期化され、FCR1/0 レジスタのほかのビットは保持されます。

bit	説明	
	書込み時	読出し時
0	動作に影響しません	常に"0"が読み出されます
1	FIFO1 リセット	

＜注意事項＞

・FIFO1 を禁止してから、FIFO1 リセットを実行してください。
・送信 FIFO 割込み許可ビットを"0"にしてから実行してください。
・FBYTE1 レジスタの有効データ数は"0"です。

[bit1] FE2 : FIFO2 動作許可ビット

FIFO2 の動作を許可/禁止するビットです。

・FIFO2 を使用する場合、本ビットに"1"を設定してください。
・FCR1:FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後に本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"を設定することはできません。
・FIFO2 を送信 FIFO で使用する場合には送信データがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
・FIFO2 を受信 FIFO で使用する場合には、I^2C インタフェースを禁止(ISMK:EN=0)、動作フラグ(IBCR:ACT)が"0"または割込みフラグ(IBCR:INT)が"1"で受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
・FIFO2 を受信 FIFO で使用する場合には、I^2C インタフェースを禁止(ISMK:EN=0)または動作フラグ(IBCR:ACT)が"0"または割込みフラグ(IBCR:INT)が"1"で受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
・FIFO2 を禁止にしても FIFO2 の状態は保持されます。

bit	説明
0	FIFO2 動作禁止
1	FIFO2 動作許可

＜注意事項＞

・IBSR:BB ビットが"0"または IBCR:INT ビットが"1"のときに許可/禁止の変更を行ってください。
・受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを"0"にし、IBCR:ACKE="0"にしてください。
・受信 FIFO として使用していて本ビットを"1"から"0"に変更したときに SSR:RDRF ビットが"1"になっていると"0"になるまで受信 FIFO は禁止になりません。
・送信 FIFO として使用していて FIFO2 にデータが存在し、本ビットを"0"から"1"に変更する場合、SMR:TIE ビットを"0"にしてから本ビットに"1"を書込み、SMR:TIE ビットを"1"にしてください。

[bit0] FE1 : FIFO1 動作許可ビット

FIFO1 の動作を許可/禁止するビットです。

・FIFO1 を使用する場合、本ビットに"1"を設定してください。
・FCR1:FSEL ビットによって受信 FIFO として選択された場合、受信エラーが発生後に本ビットは"0"にクリアされ、受信エラーがクリアされない限り、本ビットに"1"を設定することはできません。
・FIFO1 を送信 FIFO で使用する場合には送信データがエンプティ(SSR:TDRE=1)のときに本ビットに"1"または"0"を設定してください。
・FIFO1 を受信 FIFO で使用する場合には、I^2C インタフェースを禁止(ISMK:EN=0)、動作フラグ(IBCR:ACT)が"0"または割込みフラグ(IBCR:INT)が"1"で受信バッファがエンプティ(SSR:RDRF=0)および受信 FIFO に有効なデータがない(FBYTE2=0)ときに本ビットに"0"を設定してください。
・FIFO1 を受信 FIFO で使用する場合には、I^2C インタフェースを禁止(ISMK:EN=0)または動作フラグ(IBCR:ACT)が"0"または割込みフラグ(IBCR:INT)が"1"で受信バッファがエンプティ(SSR:RDRF=0)のときに本ビットに"1"を設定してください。
・FIFO1 を禁止にしても FIFO1 の状態は保持されます。

bit	説明
0	FIFO1 動作禁止
1	FIFO1 動作許可

＜注意事項＞

・IBSR:BB ビットが"0"または IBCR:INT ビットが"1"のときに許可/禁止の変更を行ってください。
・受信 FIFO として選択されていて予約アドレスを検出し、スレーブ送信として動作する場合、予約アドレス検出による割込みで本ビットを"0"にし、IBCR:ACKE="0"にしてください。
・受信 FIFO として使用していて本ビットを"1"から"0"に変更したときに SSR の RDRF ビットが"1"になっていると"0"になるまで受信 FIFO は禁止になりません。
・送信 FIFO として使用していて FIFO1 にデータが存在し、本ビットを"0"から"1"に変更する場合、SMR:TIE ビットを"0"にしてから本ビットに"1"を書込み、SMR:TIE ビットを"1"にしてください。

5.12. FIFO バイトレジスタ(FBYTE)

FIFO バイトレジスタ(FBYTE)は、FIFO の有効なデータ数を示します。また、受信 FIFO で所定のデータ数を受信したときに受信割込みを発生させるかを設定できます。

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	(FBYTE2)								(FBYTE1)							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FBYTE レジスタは、FIFO の有効なデータ数を示します。FCR1:FSEL ビットの設定と FBYTE の関係を表 5-3 に示します。

表 5-3 データ数表示

FCR1:FSEL	FIFO 選択	データ数表示
0	FIFO2:受信 FIFO, FIFO1:送信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1
1	FIFO2:送信 FIFO, FIFO1:受信 FIFO	FIFO2:FBYTE2, FIFO1:FBYTE1

- FBYTE レジスタの転送数の初期値は 0x08 です。
- 受信 FIFO の FBYTE に受信割込みフラグを発生させるデータ数を設定します。その設定された転送数と FBYTE レジスタのデータ表示が一致した場合に割込みフラグ(SSR:RDRF)が"1"に設定されます。
- 下記条件を両方とも満たす場合において、受信アイドル状態がボーレートクロックで 8 クロック以上続くと、割込みフラグ(SSR:RDRF)が"1"に設定されます。
  - 受信 FIFO アイドル検出許可ビット(FCR:FRIIE)が"1"
  - 受信 FIFO に存在するデータ数が転送数に達しない

  8 クロックカウント中、RDR を読み出すとそのカウンタは 0 にリセットされ、再度 8 クロックをカウントします。受信 FIFO が禁止されるとそのカウンタは 0 にリセットされます。受信 FIFO にデータが残っている状態で受信 FIFO を許可した場合、再度、カウントを開始します。
- マスタ動作で、データを受信する場合(マスタ受信)、SMR:TIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定し、FCR1:FDRQ ビットに"0"を書きます。設定データ分の SCL のクロックが出力され、その後、IBCR:INT ビットが"1"に設定されます。SMR:TIE ビットに"1"を設定したい場合には FCR1:FDRQ が "1"になった後に"1"に設定してください。

[bit15:8] FBYTE2: FIFO2 データ数表示ビット

[bit7:0] FBYTE1: FIFO1 データ数表示ビット

書込み時	転送数を設定
読出し時	有効なデータ数を読出し

リード(有効なデータ数)

送信時 : FIFO に書き込まれ、送信されていないデータ数
受信時 : FIFO に受信されたデータ数

ライト(転送数)

送信時 : 0x00 設定
受信時 : 受信割込み発生のデータ数設定

＜注意事項＞

- マスタ動作で、データを受信するとき以外、送信 FIFO の FBYTE は"0x00"を設定してください。
- マスタ動作でデータを受信するときの送信データ数の設定は送信 FIFO がエンプティで SMR:TIE ビットが"0"のときに行ってください。
- マスタ動作でデータを受信中に I^2C インタフェースを禁止(ISMK:EN=0)にする場合には、送受信 FIFO を禁止にしてから禁止してください。
- マスタ動作でデータを受信する時の送信データ数の設定は、送信 FIFO がエンプティで、かつ SMR:TIE ビットが"0"のときに行ってください。
- 受信 FIFO の FBYTE には"1"以上のデータを設定してください。
- 下記の条件のいずれかのときに変更してください。
  - I^2C インタフェースを禁止(ISMK:EN=0)のとき
  - SSR:DMA=0 でマスタ受信の場合、IBCR:INT=1 のとき
  - SSR:DMA=1 でマスタ受信の場合、SSR:TBI=1 のとき
- 本レジスタはリードモディファイライト系命令を使用することはできません。
- FIFO 容量を超えた設定は禁止です。
- マスタ動作でデータを受信する場合(マスタ受信)、SMR:TIE ビットを"0"にし送信 FIFO の FBYTE レジスタに受信データ数を設定するときに送信データレジスタ(TDR)にダミーデータを書き込まないでください。

CHAPTER: I^{2}C 補助ノイズフィルタ

I^{2}C 補助ノイズフィルタについて説明します。

1. 概要・構成
2. I^{2}C 補助ノイズフィルタのレジスタ

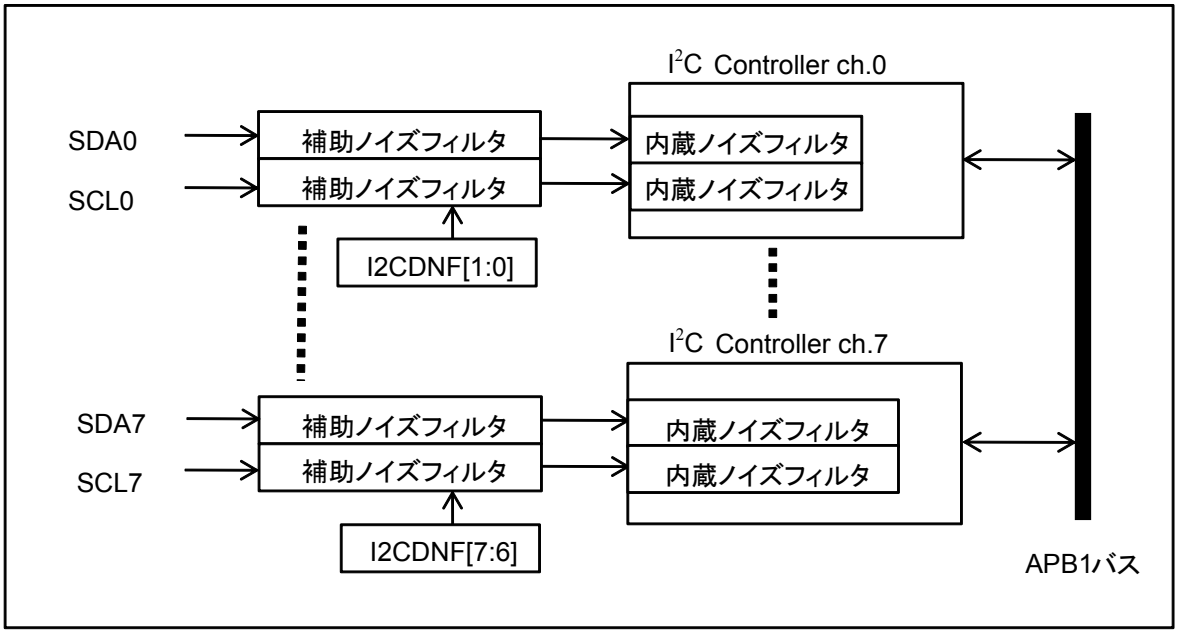
管理コード: 9BFBDNF-J01.2

1. 概要・構成

I²C 補助ノイズフィルタの概要を説明します。

I²C バスインターフェース使用時に APB1 バスクロック周波数が 40MHz を超える場合は、SDA/SCL 入力経路にノイズフィルタを追加挿入する必要があります (I²C コントローラ内部には本ノイズフィルタとは別に 2 段のノイズフィルタを内蔵しています) 。

図 1-1 I²C 入力のブロックダイヤグラム



■ 動作説明

APB1 バスクロック周波数に合わせてデジタルノイズフィルタ制御レジスタ(I2CDNF)を設定してください。I2CDNF レジスタで選択した段数のノイズフィルタが、Digital Noise Filter 回路内で追加され、最大 50ns の入力ノイズを除去します。

■ ボーレートの計算

本補助ノイズフィルタを使用する場合、ボーレートジェネレータレジスタ(BGR1, BGR0)に設定するリロード値は『I²C インタフェース（I²C 通信制御インタフェース）』章のリロード値算出式と異なります。補助ノイズフィルタを使用する場合は以下の算出式でリロード値を算出してください。

リロード値:

$$V = \Phi / b - (nf + 5)$$

V ： リロード値　b ： ボーレート　Φ ： バスクロック周波数、外部クロック周波数

nf : 追加ノイズフィルタ段数(I2CDNF レジスタで選択した追加ノイズフィルタ段数)

ただし、I2C バスの立ち上がり時間によっては設定したボーレートが発生しませんので
リロード値を調整してください。

よってボーレートは次のようになります。

$$b\ [bps] = \Phi\ [Hz] / (V + nf + 5)$$

2. I²C 補助ノイズフィルタのレジスタ

I²C 補助ノイズフィルタのレジスタについて説明します。

レジスタ略称	レジスタ名	参照先
I2CDNF	I²C 補助ノイズフィルタ設定レジスタ	2.1

2.1. I²C 補助ノイズフィルタ設定レジスタ(I2CDNF)

APB1 バスクロック周波数に合わせて補助ノイズフィルタ段数を設定します。

■ レジスタ構成

bit	15	14	13	12	11	10	9	8
Field	I2CDNF7		I2CDNF6		I2CDNF5		I2CDNF4	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bit	7	6	5	4	3	2	1	0
Field	I2CDNF3		I2CDNF2		I2CDNF1		I2CDNF0	
初期値	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ レジスタ機能

[bit15:14] I2CDNF7 : I²C ch.7 用補助ノイズフィルタ追加段数選択ビット

bit15:14	説明
00	補助ノイズフィルタを追加しません。APB1 バスクロック≦40MHz[初期値]
01	補助ノイズフィルタを 1 段追加。40MHz＜APB1 バスクロック≦60MHz
10	補助ノイズフィルタを 2 段追加。60MHz＜APB1 バスクロック≦80MHz
11	補助ノイズフィルタを 3 段追加。80MHz＜APB1 バスクロック≦100MHz

[bit13:12] I2CDNF6 : I²C ch.6 用補助ノイズフィルタ追加段数選択ビット

bit13:12	説明
00	補助ノイズフィルタを追加しません。APB1 バスクロック≦40MHz[初期値]
01	補助ノイズフィルタを 1 段追加。40MHz＜APB1 バスクロック≦60MHz
10	補助ノイズフィルタを 2 段追加。60MHz＜APB1 バスクロック≦80MHz
11	補助ノイズフィルタを 3 段追加。80MHz＜APB1 バスクロック≦100MHz

[bit11:10] I2CDNF5 : I²C ch.5 用補助ノイズフィルタ追加段数選択ビット

bit11:10	説明
00	補助ノイズフィルタを追加しません。APB1 バスクロック≦40MHz[初期値]
01	補助ノイズフィルタを 1 段追加。40MHz＜APB1 バスクロック≦60MHz
10	補助ノイズフィルタを 2 段追加。60MHz＜APB1 バスクロック≦80MHz
11	補助ノイズフィルタを 3 段追加。80MHz＜APB1 バスクロック≦100MHz

[bit9:8] I2CDNF4 : I^2C ch.4 用補助ノイズフィルタ追加段数選択ビット

bit9:8	説明
00	補助ノイズフィルタを追加しません。APB1 バスクロック≦40MHz[初期値]
01	補助ノイズフィルタを 1 段追加。40MHz＜APB1 バスクロック≦60MHz
10	補助ノイズフィルタを 2 段追加。60MHz＜APB1 バスクロック≦80MHz
11	補助ノイズフィルタを 3 段追加。80MHz＜APB1 バスクロック≦100MHz

[bit7:6] I2CDNF3 : I^2C ch.3 用補助ノイズフィルタ追加段数選択ビット

bit7:6	説明
00	補助ノイズフィルタを追加しません。APB1 バスクロック≦40MHz[初期値]
01	補助ノイズフィルタを 1 段追加。40MHz＜APB1 バスクロック≦60MHz
10	補助ノイズフィルタを 2 段追加。60MHz＜APB1 バスクロック≦80MHz
11	補助ノイズフィルタを 3 段追加。80MHz＜APB1 バスクロック≦100MHz

[bit5:4] I2CDNF2 : I^2C ch.2 用補助ノイズフィルタ追加段数選択ビット

bit5:4	説明
00	補助ノイズフィルタを追加しません。APB1 バスクロック≦40MHz[初期値]
01	補助ノイズフィルタを 1 段追加。40MHz＜APB1 バスクロック≦60MHz
10	補助ノイズフィルタを 2 段追加。60MHz＜APB1 バスクロック≦80MHz
11	補助ノイズフィルタを 3 段追加。80MHz＜APB1 バスクロック≦100MHz

[bit3:2] I2CDNF1 : I^2C ch.1 用補助ノイズフィルタ追加段数選択ビット

bit3:2	説明
00	補助ノイズフィルタを追加しません。APB1 バスクロック≦40MHz[初期値]
01	補助ノイズフィルタを 1 段追加。40MHz＜APB1 バスクロック≦60MHz
10	補助ノイズフィルタを 2 段追加。60MHz＜APB1 バスクロック≦80MHz
11	補助ノイズフィルタを 3 段追加。80MHz＜APB1 バスクロック≦100MHz

[bit1:0] I2CDNF0 : I^2C ch.0 用補助ノイズフィルタ追加段数選択ビット

bit1:0	説明
00	補助ノイズフィルタを追加しません。APB1 バスクロック≦40MHz[初期値]
01	補助ノイズフィルタを 1 段追加。40MHz＜APB1 バスクロック≦60MHz
10	補助ノイズフィルタを 2 段追加。60MHz＜APB1 バスクロック≦80MHz
11	補助ノイズフィルタを 3 段追加。80MHz＜APB1 バスクロック≦100MHz

＜注意事項＞

データシートに記載している交流規格 tSP は(ノイズフィルタ合計段数)×t_{CYCP} です。I^2C コントローラは 2 段のノイズフィルタを内蔵しているため、本レジスタでノイズフィルタを追加した場合の tSP は以下のとおりです。

I2CDNFx=2’b00: tSP=(2) × t_{CYCP}
I2CDNFx=2’b01: tSP=(2+1) × t_{CYCP}
I2CDNFx=2’b10: tSP=(2+2) × t_{CYCP}
I2CDNFx=2’b11: tSP=(2+3) × t_{CYCP}

CHAPTER: USB/Ethernet クロック生成部

USB クロック・Ethernet クロック生成について説明します。

1. 概要・構成

管理コード: 9BFBSPLL-J01.3

1. 概要・構成

USB クロック・Ethernet クロックを生成します。

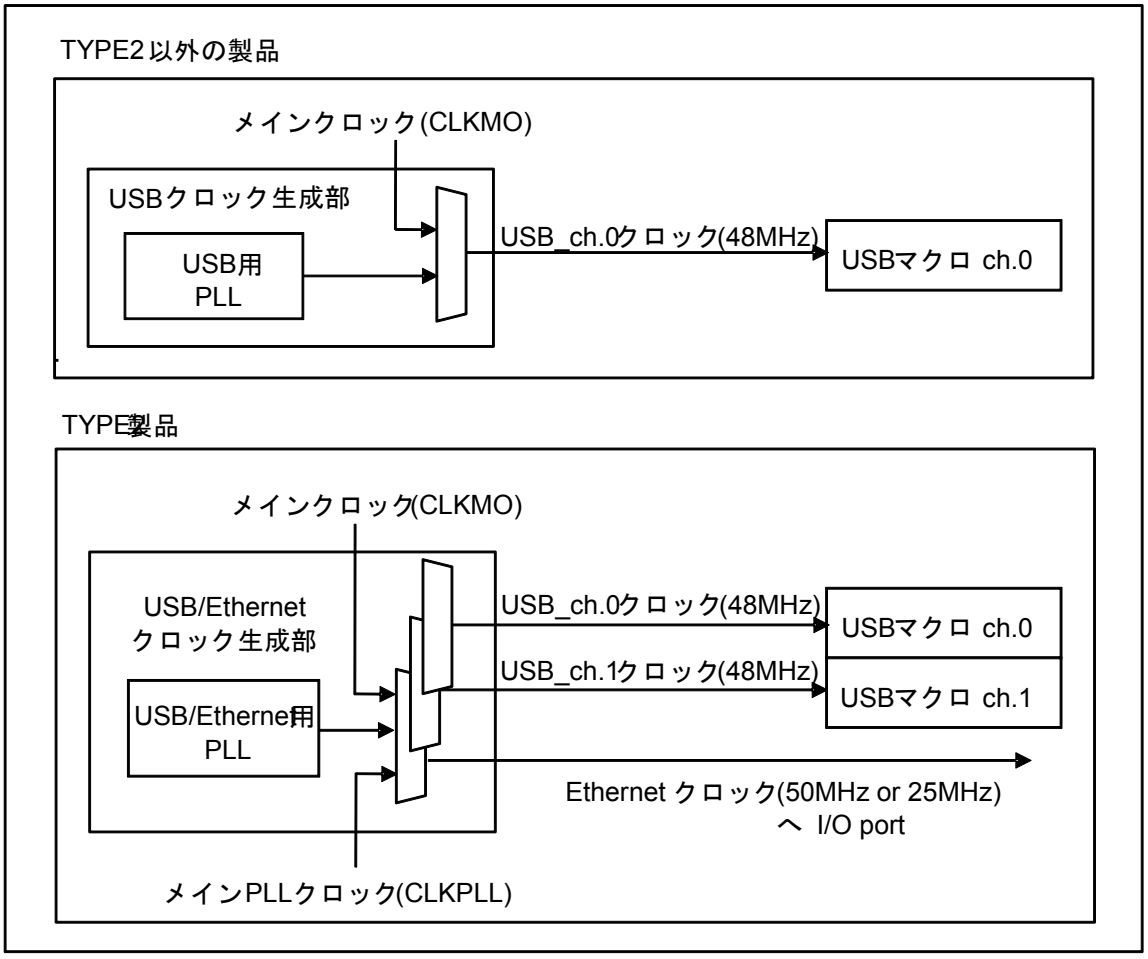
USB マクロが通信で使用する 48MHz の USB クロック, Ethernet 通信で使用する 50MHz(RMII)/25MHz(MII)の Ethernet クロックを生成します。

製品により機能・構成が異なりますので TYPE2 以外の製品は『USB クロック生成』章、TYPE2 製品は『USB/Ethernet クロック生成』章を参照してください。

図 1-1 に USB クロック, USB/Ethernet クロック生成部のブロックダイヤグラムを示します。

■ USB クロック, USB/Ethernet クロック生成部の概略ブロックダイヤグラム

図 1-1 USB クロック, USB/Ethernet クロック生成部概略図



■ USB/Ethernet クロック生成部(TYPE2)と USB クロック生成部(TYPE2 以外)の相違点

USB/Ethernet クロック部では USB クロック生成部から以下の機能を追加しています。

- USB クロックを 2ch 分出力
- Ethernet クロックを出力
- メイン PLL クロック(CLKPLL)を Ethernet/USB クロックとして使用可能
- タイマモード時の Ethernet/USB-PLL 制御機能追加

CHAPTER: USB クロック生成

USB クロック生成について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. レジスタ一覧
6. 使用上の注意点

1. 概要

USB クロック生成の概要を説明します。

USB クロックは、USB マクロが通信するために使用する 48MHz のクロックです。

外部からの 48MHz のメインクロック(以下 CLKMO)を使用する、もしくは USB 用 PLL(以下 USB-PLL) を用いて 48MHz のクロックを生成可能です。

USB クロック生成部は以下の機能があります。

・USB クロックの出力許可/停止の設定
・USB クロックの選択
・USB-PLL 発振許可/停止の設定
・USB-PLL 入力クロックの選択
・USB-PLL 入力クロック分周設定
・USB-PLL 出力クロック逓倍設定
・USB-PLL 安定待ち時間設定
・スタンバイモード時の USB クロックの停止

2. 構成・ブロックダイヤグラム

USB クロック生成部の構成，ブロックダイヤグラムを説明します。

図 2-1 USB クロック生成部のブロックダイヤグラム (TYPE0 製品)

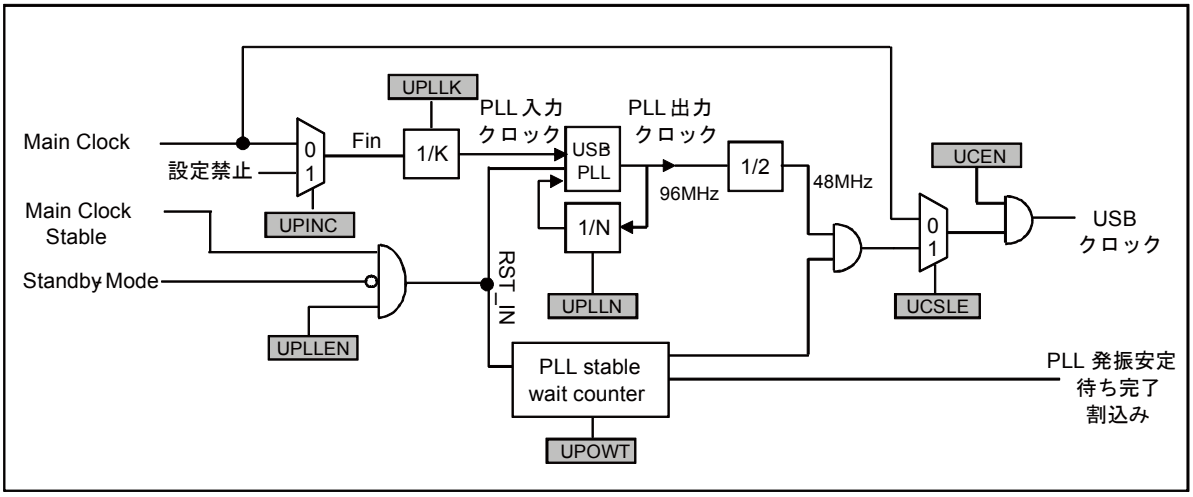
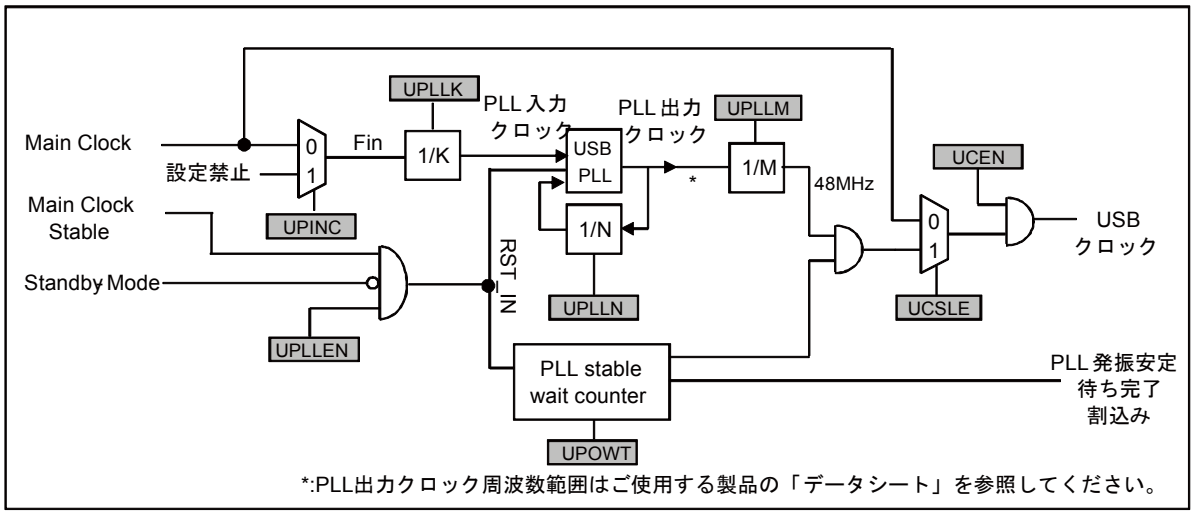


図 2-2 USB クロック生成部のブロックダイヤグラム (TYPE0 製品以外)



■ USB-PLL 制御レジスタ(UPLLEN)

・制御レジスタにより、USB-PLL 発振イネーブルを設定できます。

■ 入力クロック選択レジスタ(UPINC)

・CLKMO を必ず選択してください。

■ USB-PLL

・分周設定レジスタ(UPLLK, UPLLN, UPLLM)
USB クロックとして 48MHz を生成するには、K 分周, N 分周, M 分周の設定を行う必要があります(TYPE0 製品には M 分周はありません)。

USB-PLL の入力クロック周波数，出力クロック周波数, PLL マクロ逓倍率(N 分周設定値)の仕様範囲についてはご使用する製品の『データシート』の PLL 使用条件"PLL 入力クロック周波数", "PLL マクロ発振クロック周波数", "PLL 逓倍率"を参照してください。

・発振安定待ち時間設定(UPOWT)
USB-PLL の発振安定待ち時間を設定可能です。

■ 出力クロック

・USB クロック選択ビット(UCSEL)
CLKMO もしくは USB-PLL クロックから選択可能です。

・USB クロック出力許可ビット (UCEN)
USB クロック出力許可を設定できます。

■ スタンバイモード設定

・図 2-1, 図 2-2 に記載されている Standby-Mode 信号は以下のモードでアクティブになります。
以下のスタンバイモード時に USB クロックが停止されます。
・ストップモード
・タイマモード
・図 2-1, 図 2-2 に記載されている Main Clock stable 信号は各発振安定信号です。

3. 動作説明

USB クロック生成部の動作説明をします。

■ USB クロック選択

USB クロックとして、以下の 2 種類から選択できます。

● CLKMO

CLKMO を直接 USB クロックとして使用できます。この場合、CLKMO が 48MHz 外部入力されている、もしくは 48MHz で発振している必要があります。また、CLKMO の発振安定確認後に USB クロック出力許可を行ってください。

● USB-PLL 出力クロック

USB-PLL 出力クロックを USB クロックとして使用できます。

・TYPE0 製品
USB-PLL 出力クロックを 96MHz で出力させる必要があります。USB-PLL 出力クロックは 2 分周され 48MHz クロックに生成されます。

・TYPE1/TYPE4/TYPE5 製品
USB-PLL 出力クロックを 240MHz または 288MHz で出力させ、M 分周後 48MHz クロックを生成する必要があります。

・TYPE6 製品
USB-PLL 出力クロックを 96MHz または 144MHz で出力させ、M 分周後 48MHz クロックを生成する必要があります。

表 3-1 に、分周比設定例を示します。

表 3-1 PLL 分周比設定例

製品 TYPE	Fin[MHz]	K	N	M	PLL クロック周波数[MHz]
TYPE0	4	1	24	-	96
	8	1	12	-	
	8	2	24	-	
	16	1	6	-	
	16	2	12	-	
	16	4	24	-	
	24	2	8	-	
	24	4	16	-	
	24	6	24	-	
TYPE1, TYPE4, TYPE5	4	1	60	5	240
	8	1	30	5	
	8	2	60	5	
	16	1	15	5	
	16	2	30	5	
	16	4	60	5	
	24	2	20	5	
	24	4	40	5	
	24	6	60	5	
TYPE6	4	1	24	1	96
	8	1	12	1	
	8	2	24	1	
	16	1	6	1	
	16	2	12	1	
	16	4	24	1	
	24	2	8	1	
	24	4	16	1	
	24	6	24	1	

■ スタンバイモード遷移

● スタンバイモード遷移時

スタンバイモード(ストップモード,RTC モードまたはタイマモード)に移行する前に UCCR:UCEN を"0"に設定して USB クロックを供給停止させてください。

1. UCCR:UCEN=0 に設定
2. UCCR レジスタを読み出して UCEN=0 であることを確認
3. スタンバイモードに移行

また復帰時は UCEN=1 に設定してください。USB クロックが発振安定すると供給開始します。
USB クロックが発振安定したかどうかは以下を確認してください。

a) USB-PLL を使用している場合
UP_STR:UPRDY=1 になっていることを確認するか USB-PLL 発振安定待ち割込みを使用してください。

b)CLKMO(48MHz)を使用している場合
CLKMO 発振安定後、USB クロックを供給します。

■ USB-PLL 発振安定待ち設定

● USB-PLL 発振安定待ち時間を設定可能

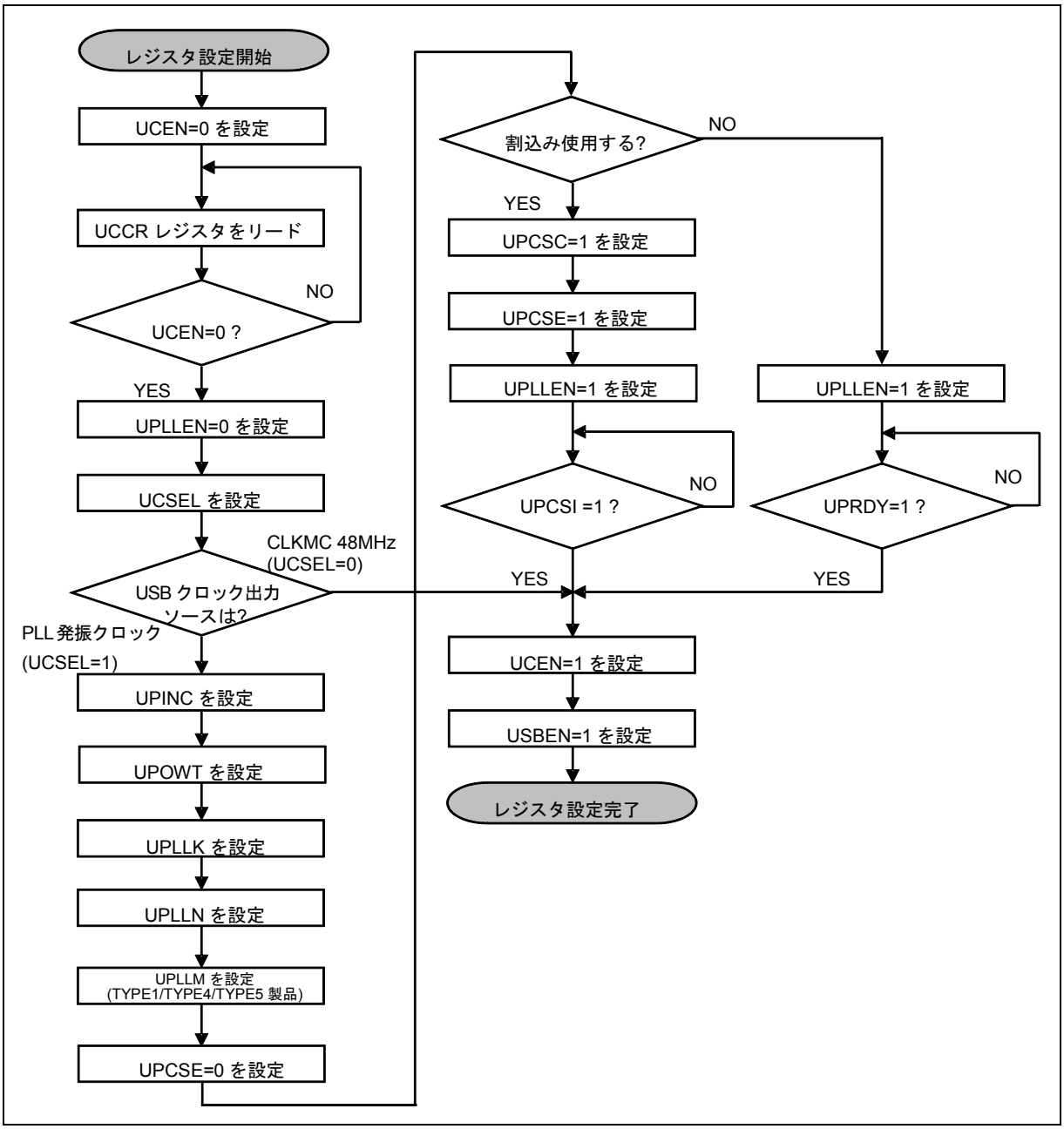
CLKMO 発振の安定後、USB-PLL 発振安定待ち時間のカウントを開始します。
USB-PLL 発振許可を行う前に、USB-PLL 発振安定待ち時間設定および発振安定完了割込みを設定してください。発振安定待ち中に発振安定待ち時間を変更してはいけません。

4. 設定手順例

USB クロック生成部の設定手順例を説明します。

USB クロックの設定手順例を図 4-1 に示します。

図 4-1 USB クロック生成手順



5. レジスター覧

USB クロック生成部のレジスター覧を説明します。

■ USB クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
UCCR	USB クロック制御レジスタ	5.1
UPCR1	USB-PLL 制御レジスタ 1	5.2
UPCR2	USB-PLL 制御レジスタ 2	5.3
UPCR3	USB-PLL 制御レジスタ 3	5.4
UPCR4	USB-PLL 制御レジスタ 4	5.5
UPCR5	USB-PLL 制御レジスタ 5	5.6
UP_STR	USB-PLL 状態レジスタ	5.7
UPINT_ENR	USB-PLL 割込み要因イネーブルレジスタ	5.8
UPINT_CLR	USB-PLL 割込み要因クリアレジスタ	5.10
UPINT_STR	USB-PLL 割込み要因状態レジスタ	5.9
USBEN	USB 許可レジスタ	5.11

5.1. USB クロック制御レジスタ(UCCR)

UCCR レジスタは、USB クロックの選択および USB クロックの出力許可を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						UCSEL	UCEN
初期値	-						0	0
属性	-						R/W	R/W

■ レジスタ機能

[bit7:2] 予約: 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] UCSEL : USB クロック選択ビット

bit	説明
0	CLKMO[初期値]
1	USB-PLL 発振クロック

[bit0] UCEN : USB クロック出力許可ビット

bit	説明
0	USB クロック出力を許可しない[初期値]
1	USB クロック出力を許可する

＜注意事項＞

・UCSEL でメインクロックを選択する場合は、外部メイン発振から 48MHz 入力が必要です。
・本レジスタはソフトウェアリセット時に初期化されません。

5.2. USB-PLL 制御レジスタ 1(UPCR1)

UPCR1 レジスタは、USB-PLL を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						UPINC	UPLLEN
初期値	-						0	0
属性	-						R/W	R/W

■ レジスタ機能

[bit7:2] 予約: 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] UPINC : USB-PLL 入力クロック選択ビット

bit	説明
0	CLKMO[初期値]
1	設定禁止

[bit0] UPLLEN : USB-PLL 発振許可ビット

bit	説明
0	USB-PLL を停止する[初期値]
1	USB-PLL 発振を許可する

＜注意事項＞

・UPINC は必ず"0"を設定してください。"1"を設定した場合、動作は保証されません。
・本レジスタはソフトウェアリセット時に初期化されません。

5.3. USB-PLL 制御レジスタ 2(UPCR2)

UPCR2 レジスタは、USB-PLL の発振安定待ち時間を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					UPOWT		
初期値	-					000		
属性	-					R/W		

■ レジスタ機能

[bit7:3] 予約: 予約ビット

これらのビットからは、"0b00000 "が読み出されます。
書込みの場合には、"0b00000"を設定してください。

[bit2:0] UPOWT : USB-PLL 発振安定待ち時間設定ビット

bit2	bit1	bit0	説明
0	0	0	2^{9}/Fin : 約 128 µs * [初期値]
0	0	1	2^{10}/Fin : 約 256 µs *
0	1	0	2^{11}/Fin : 約 512 µs *
0	1	1	2^{12}/Fin : 約 1.02 ms *
1	0	0	2^{13}/Fin : 約 2.05 ms *
1	0	1	2^{14}/Fin : 約 4.10 ms *
1	1	0	2^{15}/Fin : 約 8.20 ms *
1	1	1	2^{16}/Fin : 約 16.4 ms *

* : Fin=4MHz の場合

＜注意事項＞

- Fin は UPINC で選択されたクロック(CLKMO)です。
- 本レジスタはソフトウェアリセット時に初期化されません。
- PLL マクロの発振安定待ち時間は品種により異なりますのでご使用する品種の『データシート』の使用条件"PLL 発振安定待ち時間"を参照してください。

5.4. USB-PLL 制御レジスタ 3(UPCR3)

UPCR3 レジスタは、USB-PLL マクロの分周比(K)を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			UPLLK				
初期値	-			00000				
属性	-			R/W				

■ レジスタ機能

[bit7:5] 予約: 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4:0] UPLLK : USB-PLL クロックの分周比(K)設定ビット

bit4:0	説明
00000	(UPLLK+1) 分周されます。 (例) UPLLK="00000" ⇒ 1 分周 [初期値]
00001	
・	
・	
11111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.5. USB-PLL 制御レジスタ 4(UPCR4)

UPCR4 レジスタは、USB-PLL の分周比(N)を設定します(製品 TYPE により仕様が異なります)。

■ TYPE0/TYPE6 製品

● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			UPLLN				
初期値	-			10111				
属性	-			R/W				

● レジスタ機能

[bit7:5] 予約: 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4:0] UPLLN : USB-PLL クロックの分周比(N)設定ビット

bit4:0	説明
00000	設定禁止
00001	(UPLLN+1) 分周されます。 (例) UPLLN="10111" ⇒ 24 分周 [初期値]
.	
.	
11111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

■ TYPE1/TYPE4/TYPE5 製品

● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	UPLLN						
初期値	-	0111011						
属性	-	R/W						

● レジスタ機能

[bit7] 予約: 予約ビット

これらのビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:0] UPLLN : USB-PLL クロックの分周比(N)設定ビット

bit6:0	説明
0000000	設定禁止
・	
0001100	
0001101	(UPLLN+1) 分周されます。 (例) UPLLN="0111011" ⇒ 60 分周 [初期値]
・	
・	
1100011	
1100100	設定禁止
・	
1111111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.6. USB-PLL 制御レジスタ 5(UPCR5)

UPCR5 レジスタは、USB-PLL の分周比(M)を設定します(TYPE0 製品にはありません。製品 TYPE により仕様が異なります)。

■ TYPE1/TYPE4/TYPE5 製品

● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UPLLM			
初期値	-				0100			
属性	-				R/W			

● レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UPLLM : USB-PLL クロックの分周比(M)設定ビット

bit3:0	説明
0000	(UPLLM+1) 分周されます。 (例) UPLLM="0100" ⇒ 5 分周 [初期値]
0001	
・	
・	
1111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

■ TYPE6 製品

● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UPLLM			
初期値	-				0001			
属性	-				R/W			

● レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UPLLM : USB-PLL クロックの分周比(M)設定ビット

bit3:0	説明
0000	(UPLLM+1) 分周されます。 (例) UPLLM="0001" ⇒ 2 分周 [初期値]
0001	
・	
・	
1111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.7. USB-PLL 状態レジスタ(UP_STR)

UP_STR レジスタは、USB-PLL のマクロ状態を示します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPRDY
初期値				-				0
属性				-				R

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPRDY : USB-PLL 発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.8. USB-PLL 割込み要因イネーブルレジスタ(UPINT_ENR)

UPINT_ENR レジスタは、USB-PLL 発振安定待ち完了割込みのイネーブルを設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSE
初期値				-				0
属性				-				R/W

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSE : USB-PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	割込みの発生を許可しない[初期値]
1	割込みの発生を許可する

5.9. USB-PLL 割込み要因状態レジスタ(UPINT_STR)

UPINT_STR レジスタは、USB-PLL 発振安定待ち割込みの状態を示します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSI
初期値				-				0
属性				-				R

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSI : USB-PLL　割込み要因状態ビット

bit	説明
0	割込みの発生なし[初期値]
1	割込みの発生あり

5.10. USB-PLL 割込み要因クリアレジスタ(UPINT_CLR)

UPINT_CLR レジスタは、USB-PLL 割込み要因のクリアを設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSC
初期値				-				0
属性				-				W

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSC : USB-PLL 発振安定　割込み発生要因クリアビット

bit	説明
0	無効[初期値]
1	USB-PLL 発振安定待ち割込みをクリアします。

＜注意事項＞

本レジスタに書込みを行い、クリアを行うと UPINT_STR レジスタはクリアされます。

5.11. USB 許可レジスタ(USBEN)

USBEN レジスタは、USB コントローラの動作許可を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN
初期値				-				0
属性				-				R/W

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN : USB 許可ビット

bit	説明
0	USB 動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB 動作許可

＜注意事項＞

・USB を使用する場合は、本ビットを"1"に設定してから使用してください。
・USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。

6. 使用上の注意点

クロック生成部の使用上の注意点を説明します。

・USB クロック出力設定と USB クロック選択
USB クロック出力無効(UCEN=0)と、USB クロック選択(UCSEL)を同時に行わないでください。必ず、USB クロック出力無効→USB クロック選択の順に行ってください。

・USB-PLL 発振の分周比設定
PLL 発振が安定してから PLL の分周比を変更する場合は、いったん PLL 発振を停止し、分周比の変更後、再度 PLL 発振許可を行ってください。

・CLKMO 選択
UCSEL ビットに"0"を書き込むと USB クロックには CLKMO が選択されます。
メインクロックを選択するときは、CLKMO が 48MHz で発振しているときに行ってください。

・PLL 発振安定待ち時間の設定
PLL 発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、PLL を有効にしてください。また、発振安定待ち中に、発振安定待ち時間を変更しないでください。

・USB-PLL 入力クロック選択
UCSEL ビットに"1"を書き込むと USB クロックには USB-PLL 発振クロックが選択されます。
USB-PLL 設定レジスタ 1(UPCR1)の UPINC ビットに"0"を書込み、USB-PLL 入力クロックには必ず CLKMO を選択してください。

表 6-1 に USB クロックと UCSEL/UPLLEN/UPINC の関係を示します。

表 6-1 USB クロックとレジスタの設定一覧

		UCSEL	UPLLEN	UPINC
メインクロック 48MHz 使用時		0	0	-
PLL マクロ発振クロック使用時	メインクロック発振入力	1	1	0
	設定禁止	1	1	1

・スタンバイモードと USB-PLL 発振安定待ちカウンタ
USB-PLL 発振安定待ち時間中にタイマ/RTC/ストップモードに遷移すると、USB-PLL は停止し、安定待ちカウンタはクリアされます。

・USB 許可ビットと USB コントローラの設定
USB コントローラを使用する際には、USB 許可ビットを有効にしてください。また、USB コントローラに USB クロックを供給してから、USB 許可ビットを有効にしてください。USB コントローラの設定詳細については、別章『USB ファンクション』および『USB ホスト』を参照してください。

CHAPTER: USB/Ethernet クロック生成

USB/Ethernet クロック生成について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. レジスタ一覧
6. 使用上の注意点

1. 概要

USB/Ethernet クロック生成の概要を説明します。

USB クロックはUSB マクロが通信するために使用する 48MHz のクロックです。Ethernet クロックは、Ethernet 通信するために使用する 50MHz(RMII)/25MHz(MII)のクロックです。

本機能を使用することによって USB(48MHz)クロックと Ethernet(50MHz/25MHz)クロックを同時に生成できます。

USB/Ethernet クロックを生成する方法は以下の 3 種類から選択できます。

・48MHz または 50MHz/25MHz のメインクロック(以下 CLKMO)をそのまま使用
・USB/Ethernet 用 PLL(以下 USB/Ethernet-PLL)をクロックソースとして使用
・メイン PLL クロック(以下 CLKPLL)をクロックソースとして使用

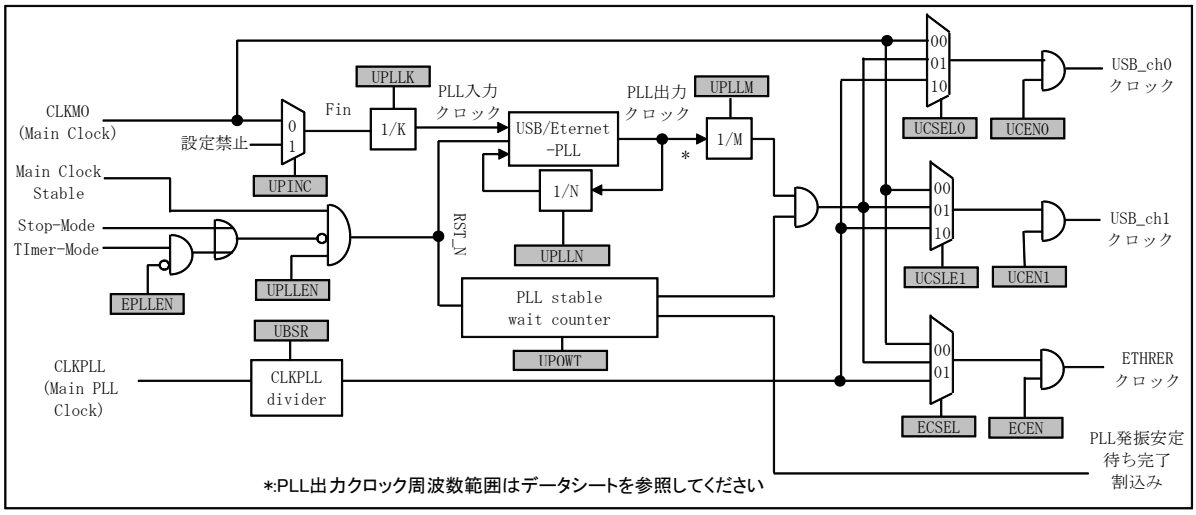
USB/Ethernet クロック生成部は次の機能を持ちます。

・USB/Ethernet クロックの出力許可/停止の設定
・USB/Ethernet クロックの選択
・USB/Ethernet-PLL 発振許可/停止の設定
・USB/Ethernet-PLL 入力クロックの選択
・USB/Ethernet-PLL 入力クロック分周設定
・USB/Ethernet-PLL 出力クロック逓倍設定
・USB/Ethernet-PLL 安定待ち時間設定
・スタンバイモード時の USB/Ethernet クロックの停止

2. 構成・ブロックダイヤグラム

USB/Ethernet クロック生成部の構成，ブロックダイヤグラムを説明します。

図 2-1 USB/Ethernet クロック生成部のブロックダイヤグラム



■ USB/Ethernet-PLL 制御レジスタ(UPLLEN)

制御レジスタにより、USB/Ethernet-PLL 発振イネーブルを設定できます。

■ 入力クロック選択レジスタ(UPINC)

CLKMO を必ず選択してください。

■ USB/Ethernet-PLL

・分周設定レジスタ(UPLLK, UPLLN, UPLLM)

USB クロックとして 48MHz クロックまたは Ethernet クロックとして 50MHz/25MHz クロックを生成するためには、K 分周,N 分周,M 分周を設定してください。

USB/Ethernet-PLL の入力クロック周波数，出力クロック周波数，逓倍率(N 分周設定値)の仕様範囲についてはご使用する製品の『データシート』の使用条件"PLL 入力クロック周波数"、"PLL マクロ発振クロック周波数"、"PLL 逓倍率"を参照してください。

・発振安定待ち時間設定レジスタ(UPOWT)

USB/Ethernet-PLL の発振安定待ち時間を設定できます。

■ CLKPLL 入力

・分周設定レジスタ(UBSR)

CLKPLL の分周設定をしてください。

■ 出力クロック

・出力クロック選択レジスタ(UCSEL0,UCSEL1,ECSEL)

CLKMO, USB/Ethernet-PLL 出力クロックまたは CLKPLL 分周クロックから選択できます。

・USB/Ethernet クロック出力イネーブルレジスタ(UCEN0,UCEN1,ECEN)

USB/Ethernet クロック出力イネーブルを設定できます。

■ スタンバイモード設定

・タイマモードまたは STOP モード時は USB/Ethernet-PLL の発振は停止します。ただし USB/Ethernet-PLL を Ethernet クロックに使用(ECSEL[1:0]=01)かつ EPLLEN=1 に設定した場合、タイマモード時に USB/Ethernet-PLL の発振停止は行いません。

・図 2-1 に記載されている Main Clock Stable 信号は各発振安定信号です。

3. 動作説明

USB/Ethernet クロック生成部の動作説明をします。

■ USB/Ethernet クロック選択

USB/Ethernet クロックのソースクロックは以下の 3 種類から選択できます。

● CLKMO

CLKMO を直接 USB クロックまたは Ethernet クロックとして使用できます。この場合、CLKMO が 48MHz または 50MHz/25MHz 外部入力されている、もしくは 48MHz または 50MHz/25MHz で発振している必要があります。また、CLKMO の発振安定確認後に USB クロックまたは Ethernet クロックの出力許可を行ってください。

● USB/Ethernet-PLL 出力クロック

USB/Ethernet-PLL 出力クロックを USB/Ethernet クロックのソースクロックとして使用できます。

・USB クロックとして使用する場合
USB/Ethernet-PLL 出力クロックを 240MHz または 288MHz で出力させ、M 分周して 48MHz クロックを生成する必要があります。

・Ethernet クロックとして使用する場合
USB/Ethernet-PLL 出力クロックを 200～300MHz で出力させ、M 分周して 50MHz クロックまたは 25MHz クロックを生成する必要があります。

＜注意事項＞

Ethernet クロックとして使用する場合、Ethernet 通信のクロックデューティ仕様制限のために USB/Ethernet-PLL 出力クロックを 3 分周設定(UPLLM=0010)して使用することは禁止です。

表 3-1 に、分周比設定例を示します。

表 3-1 PLL 分周比設定例

Fin (MHz)	Ethernet クロック出力 50MHz			Ethernet クロック出力 25MHz			USB クロック出力 48MHz		
	PLL 出力周波数 200MHz			PLL 出力周波数 200MHz			PLL 出力周波数 240MHz		
	K	N	M	K	N	M	K	N	M
4	1	50	4	1	50	8	1	60	5
8	1	25	4	1	25	8	1	30	5
16	2	25	4	2	25	8	1	15	5
24	3	25	4	6	50	8	2	20	5
25	5	40	4	*			5	48	5
48	6	25	4	6	25	8	*		
50	*			5	20	8	10	48	5

*: USB/Ethernet-PLL を使用せずに CLKMO を直接 USB クロックまたは Ethernet クロックとして使用してください。

● CLKPLL

CLKPLL を必要に応じて分周して USB クロックまたは Ethernet クロックとして使用できます。

＜注意事項＞

Ethernet クロックとして使用する場合、Ethernet 通信のクロック Duty 仕様制限のために CLKPLL を 3 分周(UBSR=0010)して使用することは禁止です。

■ スタンバイモード遷移

● スタンバイモード遷移時

スタンバイモード(STOP モードまたはタイマモード)に移行する前に UCCR レジスタの UCEN0, UCEN1, ECEN ビットをすべて"0"に設定して USB クロックおよび Ethernet クロックを供給停止させてください。

1. UCCR:UCEN0=0, UCCR:UCEN1=0, UCCR:ECEN=0 に設定
2. UCCR レジスタを読み出して UCEN0, UCEN1, ECEN ビットが"0"であることを確認
3. スタンバイモードに移行

また復帰時は必要に応じて UCEN0,UCEN1,ECEN ビットの設定を"1"に戻してください。
USB/Ethernet クロックが発振安定すると供給開始します。USB/Ethernet クロックが発振安定したかどうかは以下を確認してください。

a) USB/Ethernet-PLL を使用している場合
UP_STR:UPRDY=1 になっていることを確認するか、USB/Ethernet-PLL 発振安定待ち割込みを使用してください。

b)CLKMO(50MHz/25MHz または 48MHz)を使用している場合
CLKMO 発振安定後、USB/Ethernet クロックを供給します。

c)CLKPLL を使用している場合
SCM_STR:PLRDY=1 になっていることを確認するか、PLL 発振安定待ち割込みを使用してください (クロック生成部章を参照してください)。

■ USB/Ethernet-PLL 発振安定待ち

● USB/Ethernet-PLL 発振安定待ち時間設定

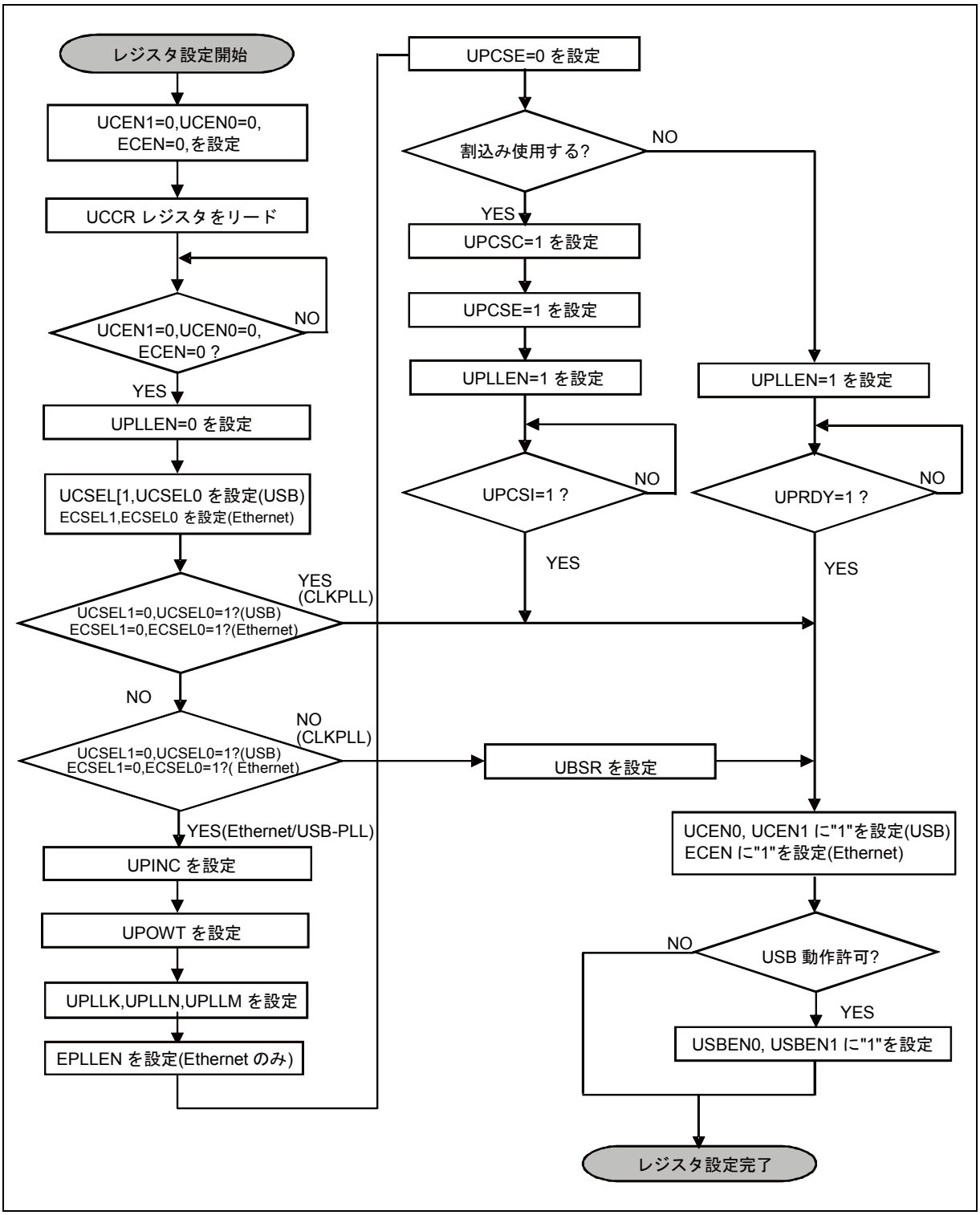
CLKMO 発振の安定後、USB/Ethernet-PLL 発振安定待ち時間のカウントを始めます。
USB/Ethernet-PLL 発振許可を行う前に、USB/Ethernet-PLL 発振安定待ち時間設定および発振安定完了割込みを設定してください。発振安定待ち期間中に発振安定待ち時間を変更してはいけません。

4. 設定手順例

USB/Ethernet クロック生成部の設定手順例を説明します。

USB/Ethernet クロックの設定手順例を図 4-1 に示します。

図 4-1 USB/Ethernet クロック生成手順



5. レジスター覧

USB/Ethernet クロック生成部のレジスター覧を説明します。

■ USB/Ethernet クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
UCCR	USB/Ethernet クロック制御レジスタ	5.1
UPCR1	USB/Ethernet-PLL 制御レジスタ 1	5.2
UPCR2	USB/Ethernet-PLL 制御レジスタ 2	5.3
UPCR3	USB/Ethernet-PLL 制御レジスタ 3	5.4
UPCR4	USB/Ethernet-PLL 制御レジスタ 4	5.5
UPCR5	USB/Ethernet-PLL 制御レジスタ 5	5.6
UPCR6	USB/Ethernet-PLL 制御レジスタ 6	5.7
UPCR7	USB/Ethernet-PLL 制御レジスタ 7	5.8
UP_STR	USB/Ethernet-PLL 状態レジスタ	5.9
UPINT_ENR	USB/Ethernet-PLL 割込み要因イネーブルレジスタ	5.10
UPINT_CLR	USB/Ethernet-PLL 割込み要因クリアレジスタ	5.11
UPINT_STR	USB/Ethernet-PLL 割込み要因状態レジスタ	5.12
USBEN0	USB(ch.0)許可レジスタ	5.13
USBEN1	USB(ch.1)許可レジスタ	5.14

5.1. USB/Ethernet クロック設定レジスタ(UCCR)

UCCR レジスタは、USB/Ethernet クロックの選択および USB/Ethernet クロックの出力許可を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	ECSEL1	ECSEL0	ECEN	UCEN1	UCSEL1	UCSEL0	UCEN0
初期値	-	0	0	0	0	0	0	0
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ レジスタ機能

[bit7] 予約: 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:5] ECSEL1/ECSEL0 : Ethernet クロック選択ビット

bit6:5	説明
00	CLKMO[初期値]
01	USB/Ethernet-PLL 発振クロック
10	CLKPLL 分周クロック
11	予約

[bit4] ECEN : Ethernet クロック出力許可ビット

bit	説明
0	Ethernet クロック出力を許可しない[初期値]
1	Ethernet クロック出力を許可する

[bit3] UCEN1 : USB(ch.1)クロック出力許可ビット

bit	説明
0	USB(ch.1)クロック出力を許可しない[初期値]
1	USB(ch.1)クロック出力を許可する

[bit2:1] UCSEL1/UCSEL0 : USB クロック選択ビット

bit2:1	説明
00	CLKMO[初期値]
01	USB/Ethernet-PLL 発振クロック
10	CLKPLL 分周クロック
11	予約

[bit0] UCEN0 : USB(ch.0)クロック出力許可ビット

bit	説明
0	USB (ch.0)クロック出力を許可しない[初期値]
1	USB (ch.0)クロック出力を許可する

＜注意事項＞

- UCSEL[1:0]ビットで CLKMO を USB クロックとして選択する場合は、外部メイン発振から 48MHz 入力が必要です。また Ethernet クロックとして選択する場合は、外部メイン発振から 50MHz もしくは 25MHz 入力が必要です。
- 本レジスタはソフトウェアリセット時に初期化されません。

5.2. USB/Ethernet-PLL 設定レジスタ 1(UPCR1)

UPCR1 レジスタは、USB/Ethernet 用 PLL を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約						UPINC	UPLLEN
初期値	-						0	0
属性	-						R/W	R/W

■ レジスタ機能

[bit7:2] 予約: 予約ビット

これらのビットからは、"0b000000"が読み出されます。
書込みの場合には、"0b000000"を設定してください。

[bit1] UPINC : USB/Ethernet-PLL 入力クロック選択ビット

bit	説明
0	CLKMO[初期値]
1	設定禁止

[bit0] UPLLEN : USB/Ethernet-PLL 発振許可ビット

bit	説明
0	USB/Ethernet-PLL を停止する[初期値]
1	USB/Ethernet-PLL 発振を許可する

＜注意事項＞

・UPINC は必ず"0"を設定してください。"1"を設定した場合、動作は保証されません。
・本レジスタはソフトウェアリセット時に初期化されません。

5.3. USB/Ethernet-PLL 設定レジスタ 2(UPCR2)

UPCR2 レジスタは、USB/Ethernet 用 PLL の発振安定待ち時間を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					UPOWT		
初期値	-					000		
属性	-					R/W		

■ レジスタ機能

[bit7:3] 予約: 予約ビット

これらのビットからは、"00000 "が読み出されます。
書込みの場合には、"00000"を設定してください。

[bit2:0] UPOWT : USB/Ethernet-PLL 発振安定待ち時間設定ビット

bit2	bit1	bit0	説明
0	0	0	2^{9}/Fin : 約 128 µs * [初期値]
0	0	1	2^{10}/Fin : 約 256 µs *
0	1	0	2^{11}/Fin : 約 512 µs *
0	1	1	2^{12}/Fin : 約 1.02 ms *
1	0	0	2^{13}/Fin : 約 2.05 ms *
1	0	1	2^{14}/Fin : 約 4.10 ms *
1	1	0	2^{15}/Fin : 約 8.20 ms *
1	1	1	2^{16}/Fin : 約 16.4 ms *

* : Fin=4MHz の場合

＜注意事項＞

- Fin は UPINC で選択されたクロックです。
- 本レジスタはソフトウェアリセット時に初期化されません。
- PLL マクロの発振安定待ち時間は品種により異なるため、ご使用する製品の『データシート』の PLL の使用条件"PLL 発振安定待ち時間"を参照してください。

5.4. USB/Ethernet-PLL 設定レジスタ 3(UPCR3)

UPCR3 レジスタは、USB/Ethernet 用 PLL の分周比(K)を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			UPLLK				
初期値	-			00000				
属性	-			R/W				

■ レジスタ機能

[bit7:5] 予約: 予約ビット

これらのビットからは、"0b000"が読み出されます。
書込みの場合には、"0b000"を設定してください。

[bit4:0] UPLLK : USB/Ethernet-PLL クロックの分周比(K)設定ビット

bit4:0	説明
00000	(UPLLK+1) 分周されます。UPLLK の値により 1 分周から 32 分周が設定できます。 (例) UPLLK="00000" ⇒ 1 分周 [初期値]
00001	
・	
・	
11111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.5. USB/Ethernet-PLL 設定レジスタ 4(UPCR4)

UPCR4 レジスタは、USB/Ethernet 用 PLL の分周比(N)を設定します。

● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	UPLLN						
初期値	-	0111011						
属性	-	R/W						

● レジスタ機能

[bit7] 予約: 予約ビット

このビットからは、"0"が読み出されます。
書込みの場合には、"0"を設定してください。

[bit6:0] UPLLN : USB/Ethernet-PLL クロックの分周比(N)設定ビット

bit6:0	説明
0000000	設定禁止
・	
0001100	
0001101	(UPLLN+1) 分周されます。UPLLN の値により 14 分周から 100 分周が設定できます。 (例) UPLLN="0111011" ⇒ 60 分周 [初期値]
・	
・	
1100011	
1100100	設定禁止
・	
1111111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.6. USB/Ethernet-PLL 設定レジスタ 5(UPCR5)

UPCR5 レジスタは、USB/Ethernet 用 PLL の分周比(M)を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UPLLM			
初期値	-				0100			
属性	-				R/W			

■ レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UPLLM :USB/Ethernet-PLL クロックの分周比(M)設定ビット

bit3:0	説明
0000	(UPLLM+1) 分周されます。UPLLM の値により 1 分周から 16 分周が設定できます。 (例) UPLLM="0100" ⇒ 5 分周 [初期値]
0001	
・	
・	
1111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.7. USB/Ethernet-PLL 設定レジスタ 6(UPCR6)

UPCR6 レジスタは、CLKPLL の分周比を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約				UBSR			
初期値	-				0010			
属性	-				R/W			

■ レジスタ機能

[bit7:4] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。
書込みの場合には、"0b0000"を設定してください。

[bit3:0] UBSR :CLKPLL の分周比設定ビット

bit3:0	説明
0000	(UBSR+1) 分周されます。USBR の値により 1 分周から 16 分周が設定できます。 (例) USBR="0010" ⇒ 3 分周 [初期値]
0001	
・	
・	
1111	

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.8. USB/Ethernet-PLL 設定レジスタ 7(UPCR7)

UPCR7 レジスタは、タイマモード時の USB/Ethernet-PLL を制御します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							EPLLEN
初期値	-							0
属性	-							R/W

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000 "が読み出されます。
書込みの場合には、"0b0000000 "を設定してください。

[bit0] EPLLEN :タイマモード時の USB/Ethernet-PLL 制御ビット

bit	説明
0	タイマモード時に USB/Ethernet-PLL を停止します。
1	タイマモード時に USB/Ethernet-PLL を停止しません。

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.9. USB/Ethernet-PLL 状態レジスタ(UP_STR)

UP_STR レジスタは、USB/Ethernet-PLL の状態を示します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPRDY
初期値				-				0
属性				-				R

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPRDY : USB/Ethernet-PLL 発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

＜注意事項＞

本レジスタはソフトウェアリセット時に初期化されません。

5.10. USB/Ethernet-PLL 割込み要因イネーブルレジスタ (UPINT_ENR)

UPINT_ENR レジスタは、USB/Ethernet-PLL 発振安定待ち完了割込みのイネーブルを設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSE
初期値	-							0
属性	-							R/W

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSE : USB/Ethernet-PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	割込みの発生を許可しない[初期値]
1	割込みの発生を許可する

5.11. USB/Ethernet-PLL 割込み要因状態レジスタ (UPINT_STR)

UPINT_STR レジスタは、USB/Ethernet-PLL 発振安定待ち割込みの状態を示します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSI
初期値				-				0
属性				-				R

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSI : USB/Ethernet-PLL 割込み要因状態ビット

bit	説明
0	割込みの発生なし[初期値]
1	割込みの発生あり

5.12. USB/Ethernet-PLL 割込み要因クリアレジスタ (UPINT_CLR)

UPINT_CLR レジスタは、USB/Ethernet-PLL 割込み要因のクリアを設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							UPCSC
初期値				-				0
属性				-				W

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000000"が読み出されます。
書込みの場合には、"0b0000000"を設定してください。

[bit0] UPCSC : USB/Ethernet-PLL 発振安定割込み発生要因クリアビット

bit	説明
0	無効[初期値]
1	USB/Ethernet-PLL 発振安定待ち割込みをクリアします。

＜注意事項＞

本レジスタの UPCSC ビットに"1"書込みを行うと UPINT_STR レジスタはクリアされます。

5.13. USB(ch.0)許可レジスタ(USBEN0)

USBEN0 レジスタは、USB(ch.0)コントローラの動作許可を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN0
初期値				-				0
属性				-				R/W

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN0 : USB(ch.0)許可ビット

bit	説明
0	USB(ch.0)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.0)動作許可

＜注意事項＞

・USB(ch.0)を使用する場合は、本ビットを"1"に設定してから使用してください。
・USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。

5.14. USB(ch.1)許可レジスタ(USBEN1)

USBEN1 レジスタは、USB(ch.1)コントローラの動作許可を設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約							USBEN1
初期値	-							0
属性	-							R/W

■ レジスタ機能

[bit7:1] 予約: 予約ビット

これらのビットからは、"0b0000010"が読み出されます。
書込みの場合には、"0b0000010"を設定してください。

[bit0] USBEN1 : USB(ch.1)許可ビット

bit	説明
0	USB(ch.1)動作禁止(USB コントローラ部をリセットします)[初期値]
1	USB(ch.1)動作許可

＜注意事項＞

・USB(ch.1)を使用する場合は、本ビットを"1"に設定してから使用してください。
・USB コントローラに USB クロックを 5 サイクル以上供給してから"1"に設定してください。

6. 使用上の注意点

クロック生成部の使用上の注意点を説明します。

・USB クロック出力設定と USB クロック選択
USB(ch.0)クロック出力無効(UCEN0=0)と USB クロック選択(UCSEL0,UCSEL1)または USB(ch.1)クロック出力無効(UCEN1=0)と USB クロック選択(UCSEL0,UCSEL1)を同時に行わないでください。
必ず、USB クロック出力無効→USB クロック選択の順に行ってください。

・USB/Ethernet-PLL 発振の分周比設定
PLL 発振が安定してから PLL の分周比を変更する場合は、いったん PLL 発振を停止し、分周比の変更後、再度 PLL 発振許可を行ってください。

・CLKMO 選択
UCSEL0=0 および UCSEL1=0 を設定すると USB/Ethernet クロックには CLKMO が選択されます。CLKMO を選択するときは、CLKMO が 48MHz(USB で使用する場合)または 50MHz/25MHz(Ethernet で使用する場合)で発振しているときにしてください。

・USB/Ethernet-PLL 発振安定待ち時間の設定
PLL 発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、PLL を有効にしてください。また、発振安定待ち中に、発振安定待ち時間を変更しないでください。

・USB/Ethernet-PLL 入力クロック選択
UCSEL0,UCSEL1 設定および ECSEL0,ECSEL1 設定により USB クロックおよび Ethernet クロックのソースクロックを選択できます。また、USB クロック, Ethernet クロックは別々のソースクロックを指定できます。

表 6-1 にソースクロック選択関連レジスタの設定値を示します。

表 6-1 USB/Ethernet クロックソース選択別レジスタの設定一覧

USB クロックソース	CLKMO(48MHz)		USB/Ethernet-PLL 出力クロック		CLKPLL	
Ethernet クロックソース	USB/Ethernet-PLL 出力クロック	CLKPLL	CLKMO (50MHz/ 25MHz)	CLKPLL	CLKMO (50MHz/ 25MHz)	USB/Ethernet-PLL 出力クロック
設定値	UCSEL1=0 UCSEL0=0 ECSEL1=0 ECSEL0=1 UPLLEN=1	UCSEL1=0 UCSEL0=0 ECSEL1=1 ECSEL0=0 UPLLEN=1	UCSEL1=0 UCSEL0=1 ECSEL1=0 ECSEL0=0 UPLLEN=1	UCSEL1=0 UCSEL0=1 ECSEL1=1 ECSEL0=0 UPLLEN=1	UCSEL1=1 UCSEL0=0 ECSEL1=0 ECSEL0=0 UPLLEN=1	UCSEL1=1 UCSEL0=0 ECSEL1=0 ECSEL0=1 UPLLEN=1

・スタンバイモードと USB/Ethernet-PLL 発振安定待ちカウンタ
USB/Ethernet-PLL 発振安定待ち時間中に TIMER/STOP モードに遷移すると、PLL は停止し、安定待ちカウンタはクリアされます(EPLLEN=1, ECSEL[1:0]=01 時のタイマモードは除く)。

・USB 許可ビットと USB コントローラの設定
USB コントローラを使用する際には、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。また、USB コントローラに USB クロックを供給してから、使用するチャネルの USB 許可ビット(USBEN)を有効にしてください。USB コントローラの設定詳細については、別章『USB ファンクション』および『USB ホスト』を参照してください。

CHAPTER: USB ファンクション

USB ファンクションについて説明します。

1. USBファンクションの概要
2. USBファンクションの構成
3. USBファンクションの動作説明
4. USBファンクションの設定手順例
5. USBファンクションのレジスタ

管理コード: FW03F-J19.5

1. USB ファンクションの概要

USB ファンクションは、USB(Universal Serial Bus)通信プロトコルをサポートするインタフェースです。転送スピードは FULL(12Mbps)に対応して動作し、以下の特長があります。

1.1. USB ファンクションの特長

・FULL スピード(12Mbps)をサポート
・デバイスステータスは自動応答
・Bit Stripping, Bit Stuffing, CRC5, CRC16 の自動生成とチェック
・データ同期ビットによるトグルチェック
・Get/SetDescriptor, SynchFrame コマンドを除くすべての標準コマンドに自動応答
(前記 3 コマンドはクラス・ベンダコマンドと同様の処理が可能)
・クラス・ベンダコマンドはデータとして受信し、ファームによる応答が可能
・最大 6 本の EndPoint をサポート(EndPoint0 は control 転送に固定)
・転送データバッファに各 EndPoint ごとでバッファを 2 本づつ内蔵
(EndPoint0 の場合は IN と OUT それぞれ専用に 1 本づつ内蔵)
・DMA による転送データの自動転送モードをサポート(EndPoint0 のバッファ以外)

＜注意事項＞

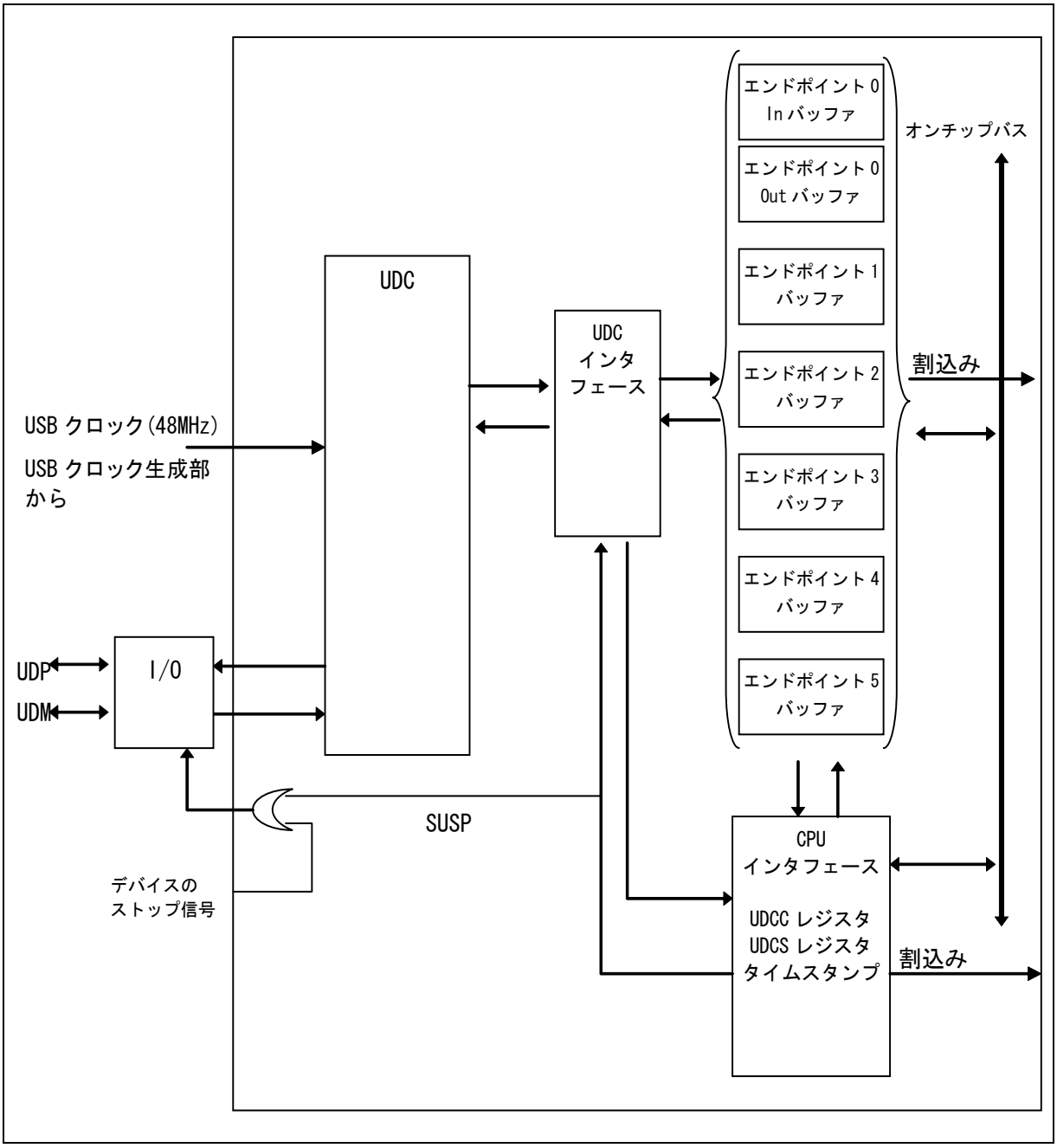
USB ファンクションを使用する場合、ベースクロック(HCLK)は 13MHz 以上で使用してください。

2. USB ファンクションの構成

図 2-1 に、USB ファンクションのブロックダイヤグラムを示します。

■ USB ファンクションのブロックダイヤグラム

図 2-1 USB ファンクションのブロックダイヤグラム



■ USB ファンクションのエンドポイント構成

設定組み合わせ	Configuration	Interface	Alternate	Endpoint	Type
Comb1	－	－	－	0	CTRL
	1	0	0	1	Bulk/Interrupt
		0	0	2	Bulk/Interrupt
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt
Comb2	－	－	－	0	CTRL
	1	1	0	－	－(※1)
		1	1	1	ISO
		0	0	2	Bulk/Interrupt
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt
Comb3	－	－	－	0	CTRL
	1	1	0	－	－(※1)
		1	1	1	ISO
		2	0	－	－(※1)
		2	1	2	ISO (※2)
		0	0	3	Bulk/Interrupt
		0	0	4	Bulk/Interrupt
		0	0	5	Bulk/Interrupt

Comb1: Endpoint1,2 の Type に ISO を設定しない場合の構成
Comb2: Endpoint1 の Type に ISO を設定した場合の構成
Comb3: Endpoint1,2 の Type に ISO を設定した場合の構成

※1 アイソクロナス設定時、Alternate=0 にはエンドポイントは存在しません。
Alternate=0 のインタフェースディスクリプタのエンドポイント数はゼロで設定してください。
※2 Endpoint2 の Type に ISO を設定する場合は Endpoint1 の Type にも必ず ISO を設定してください。

3. USB ファンクションの動作説明

USB ファンクションは、USB(Universal Serial Bus)通信プロトコルに対応しています。基本的なプロトコル動作(ハンドシェーク)はハードウェアがサポートしています。従って通信データのみを処理することで USB 通信が実現できます。

3.1 USB ファンクションの動作
3.2 接続検出と切断検出
3.3 コマンド応答時の各レジスタ動作
3.4 サスペンド機能
3.5 ウェイクアップ機能
3.6 DMA 転送機能
3.7 NULL 転送機能
3.8 エンドポイント 0 の STALL 応答/解除
3.9 エンドポイント 1～5 の STALL 応答/解除

3.1. USB ファンクションの動作

USB ファンクションを使用するために、下記順番で設定を行ってください。

1. USB 許可レジスタ(USBEN)で USB の動作を禁止している(USBEN=0)状態で、USB クロック生成部を設定
2. USB クロック出力を有効に設定
3. USB の動作を許可(USBEN=1)に設定

USB ファンクションは USB プロトコルをサポートするホストコントローラと双方向のパケット転送を行います。ホストとデバイスの接続, 構成はエニュメレーションにより実施されます。そのあとにデバイスドライバを使用した各種の転送タイプでの通信が行われます。

エニュメレーションを例にホストとデバイスの USB 通信の動作について説明します。

全体の処理内容を理解するためのレジスタおよび USB パケットの動きを示します。

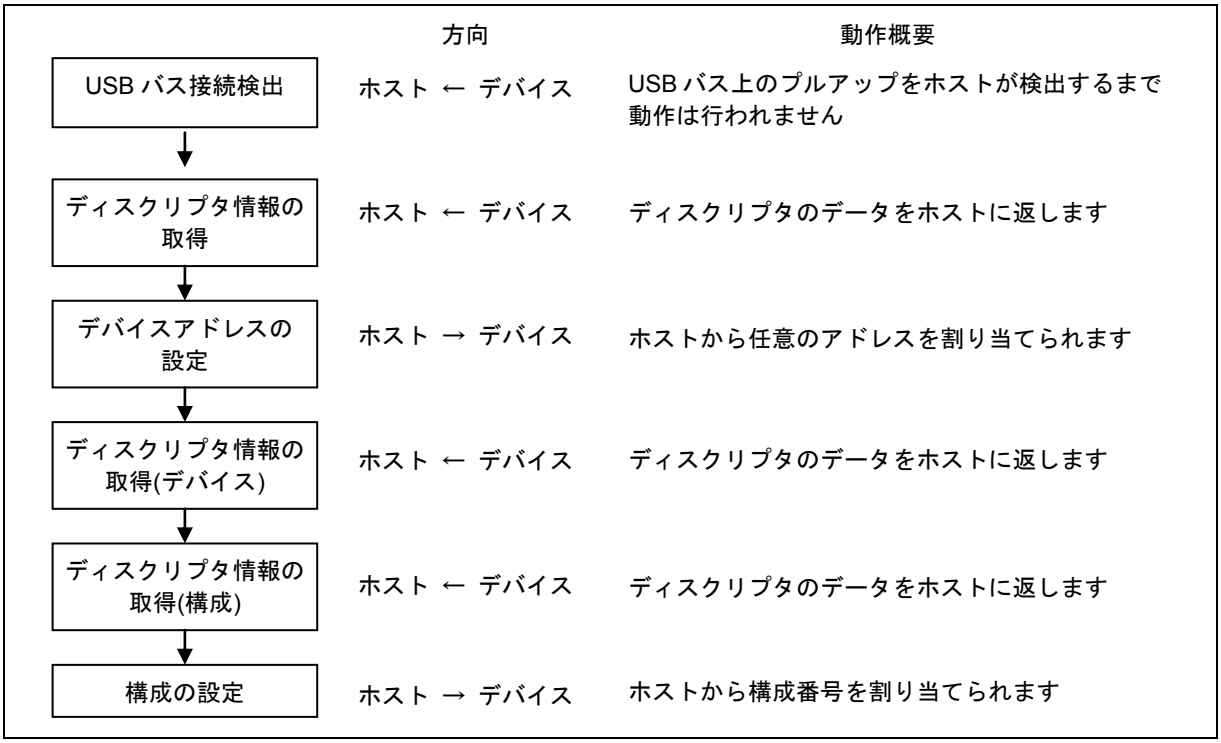
■ エニュメレーション処理

USB が動作する上で一番初めにホストとデバイスとの接続を確立する処理です。USB のバス上にどのようなデバイスが接続されているかを、ホストが USB コントロール転送(USB の転送タイプ)を使って調査します(USB 仕様で規定)。これは 6 本あるエンドポイントのうち EP0(EndPoint0)を使用します(USB 仕様)。

EP1～EP5 を使用するためには、USB バス上において下記順番で受信し処理をしないと動作しません。

1. USB バスリセット
2. SET_Address によるアドレスセット
3. SET_Config による構成セット

図 3-1 USB ケーブル端子接続例



・USB バス接続検出
デバイスからホストに通知します。
ホストは USB バスの 2 本の信号線(D+, D-)を監視し、どちらかの信号が"H"レベルになることによりデバイスが接続されることを認識します。

自己電源デバイスとして使用する場合の詳細な手順は「3.2 接続検出と切断検出」を参照してください。バス電源デバイスとして使用する場合は「● レジスタ初期設定例と動作開始手順例」に沿って処理してください。

● レジスタ初期設定と動作開始手順

USB ファンクションのレジスタ初期設定手順例を示します。

1. EP0C レジスタによる EP0 の設定(パケットサイズなど)
2. EP1C-EP5C レジスタによる各 EP の EPEN, DIR, TYPE などを設定
3. UDCC レジスタの RST ビットのクリア
4. EP0IS, EP0OS, EP1S-EP5S レジスタの BFINI をクリア
5. UDCC レジスタの HCONX ビットのクリア

● USB バスリセット

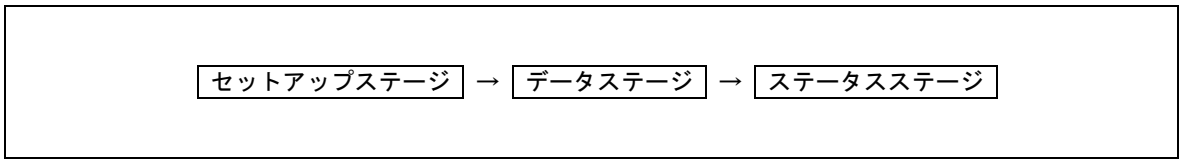
ホストからデバイスにバスリセットがかかり USB デバイスコアが初期化されますが、レジスタおよびバッファの状態は初期化されません。
デバイスは以下の順序で処理を行ってください(USB 接続後の最初のバスリセットでは処理の必要はありません)。

1. EP0I ステータスレジスタ(EP0IS)の BFINI ビットと EP0O ステータスレジスタ(EP0OS)の BFINI ビットおよび EP1～EP5 ステータスレジスタ(EP1S～EP5S)の BFINI ビットでバッファを初期化する
2. ファームの制御をエニュメレーション前に戻す

● ディスクリプタの取得

ホストからデバイスに要求があると、データをホストに通知します。
以下の 3 つのステージに別れて通信されます。

図 3-2 通信ステージ



セットアップステージでは、ホストから正常にパケットが受信されたか確認し、そのコマンドが何かをデコードします。また次のデータステージで返すディスクリプタの情報を送信バッファに用意します。データステージではホストからデータが正常に送信されたかを確認します。ステータスステージでは、ホストがデータなしパケットの転送をして終了処理をします。

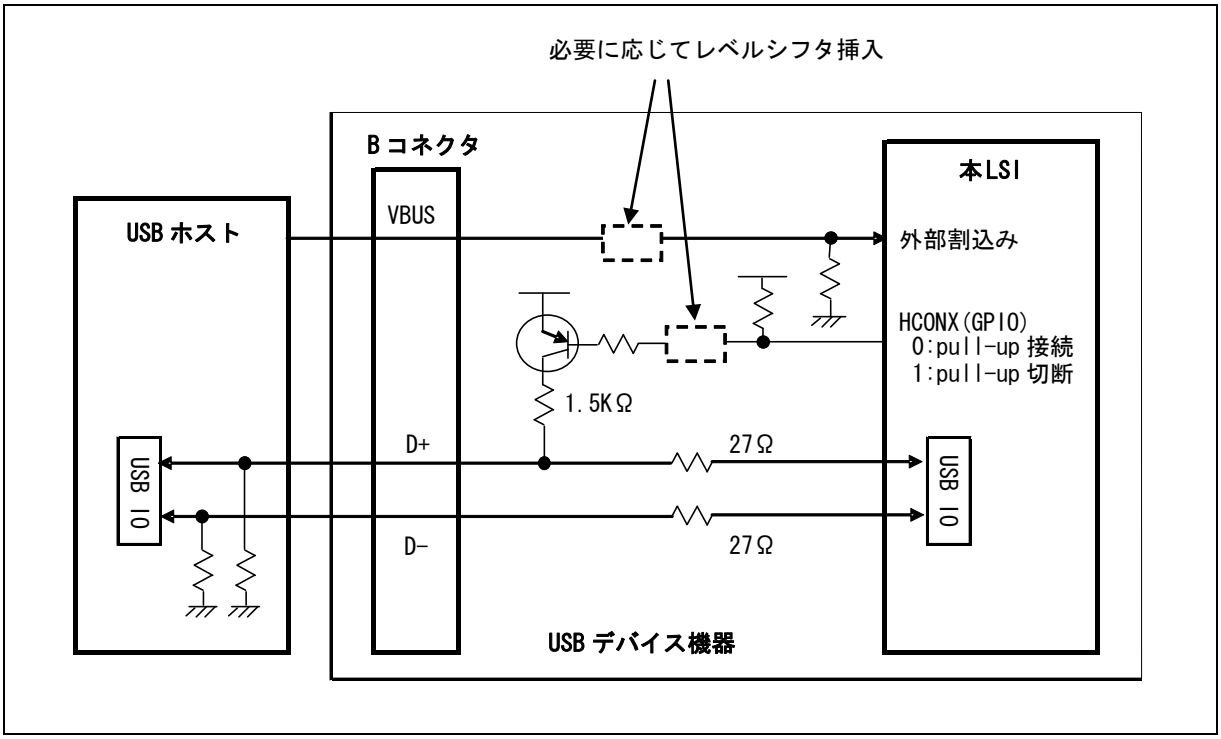
3.2. 接続検出と切断検出

USB ホストとの接続検出と切断検出について説明します。

■ USB システムの接続例

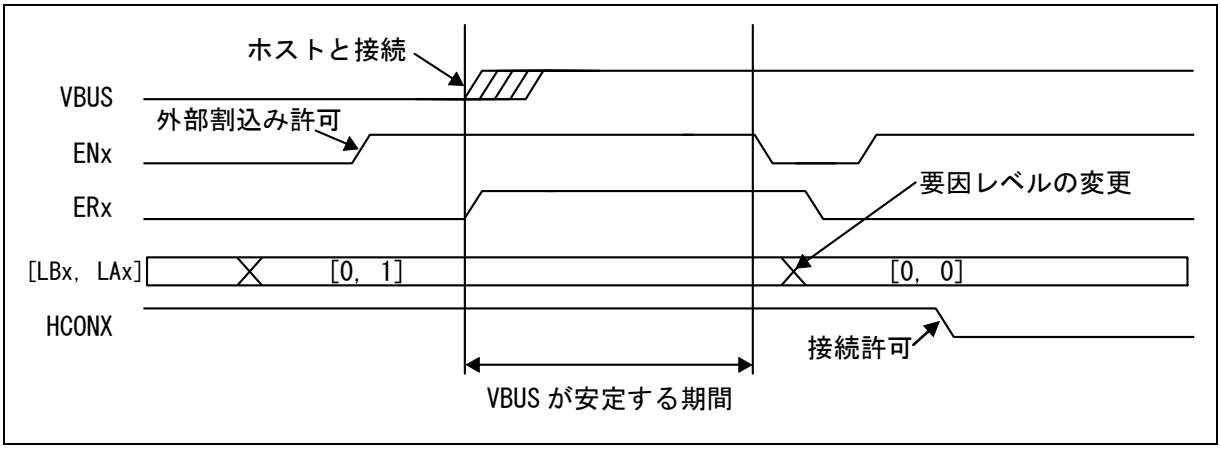
外部割込み端子を USB コネクタの VBUS ピンに接続し、プルダウン抵抗を VBUS 信号に接続することで USB ホストとの切断を検出できます。図 3-3 に USB コネクタの D+, D-, VBUS との接続例を示します。

図 3-3 USB システム構成例



● 接続検出

図 3-4 接続検出時の動作



デバイスは以下の順序によりホストとの接続を認識し、処理します。

1. UDCC レジスタの HCONX ビットを 1 に設定してください(プルアップ抵抗制御を汎用ポートで行う場合は、プルアップ抵抗切断側に設定してください)。
2. VBUS に接続した外部割込みの要因レベルを"H"レベル検出に設定し、割込み許可します。
3. 外部割込み端子の"H"レベル検出で USB ホストが接続されたことを認識して VBUS が安定する期間を待ちます。
4. 外部割込みをいったん禁止にします。外部割込み要因レベルを"L"レベル検出に設定変更し、割込み要因をクリアして再び外部割込みを許可します。
5. 初期設定(USB ファンクションレジスタを含むすべての初期化)を行ってください。本節の「●レジスタ初期設定例と動作開始手順例」を参照してください。
6. UDCC レジスタの HCONX ビットをクリア*1 することで、D+のプルアップ抵抗を接続します*2。

*1 : プルアップ抵抗制御を汎用ポートで行う場合は UDCC レジスタの HCONX ビットをクリアし、かつプルアップ抵抗制御用の汎用ポートを、プルアップ抵抗接続側に設定

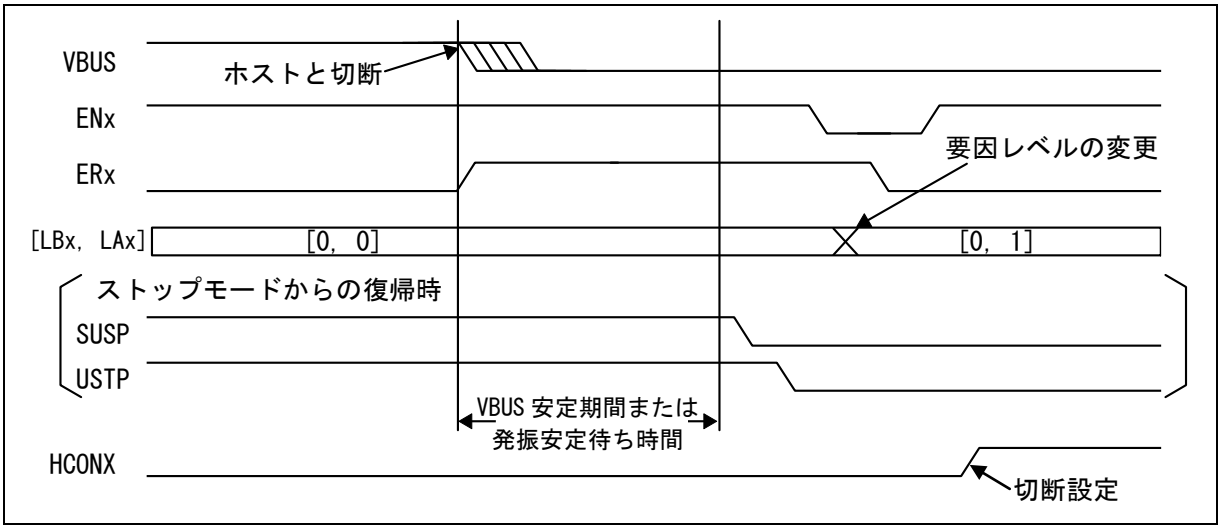
*2 : プルアップ抵抗の制御をしていない場合でも HCONX ビットをクリアしてください。

＜注意事項＞

外部割込み端子にノイズフィルタを外付けした場合は、上記の VBUS 安定期間をプログラムでとる必要はありません。

● 切断検出

図 3-5 切断検出時の動作



デバイスは以下の順序によりホストとの切断を認識し処理します。

1. VBUS に接続の外部割込み端子の"L"レベル検出で USB ホストが切断されたことを認識します。
2. ストップモード・タイマモードからの復帰の場合
   発振安定待ち時間後に UDCS レジスタ SUSP, UDCC レジスタ USTP の順にクリアします。
   ストップモード・タイマモード以外の場合
   VBUS が安定する期間を待ちます。
3. いったん外部割込みを禁止します。外部割込み要因レベルを"H"レベル検出に設定変更し、外部割込み要因をクリアして再び外部割込みを許可します。
4. UDCC レジスタの HCONX ビットを設定*1 することで、D+のプルアップ抵抗を切断します。*2

*1 : プルアップ抵抗制御を汎用ポートで行う場合は UDCC レジスタの HCONX ビットを設定し、かつプルアップ抵抗制御用の汎用ポートを、プルアップ抵抗切断側に設定

*2 : プルアップ抵抗の制御をしていない場合でも HCONX ビットを設定してください。

＜注意事項＞

外部割込み端子にノイズフィルタを外付けした場合は、上記の VBUS 安定期間をプログラムでとる必要はありません。

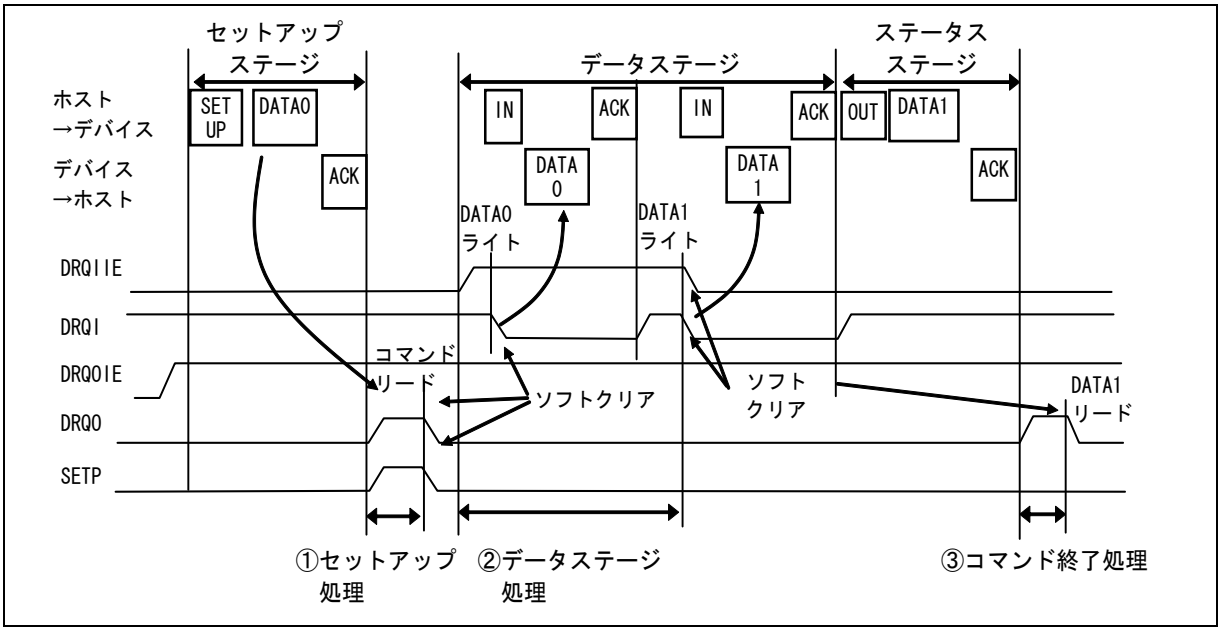
3.3. コマンド応答時の各レジスタ動作

USB パケットの処理方法(アーキテクチャ)を説明します。CPU 割込みによるファームウェアの処理はハンドシェークごとに処理します。これは各パケットのステージ単位に処理することに等しくなります。

■ リードコマンド応答時の各レジスタ動作

GetDescripter, SynchFrame, クラス・ベンダコマンドの場合について説明します。

図 3-6 リードコマンド応答時の各レジスタ動作



・セットアップ処理
セットアップステージを受信したときに DRQO が"1"に変わります。DRQO が"1"に変わった時点で CPU 割込みに入り SETP フラグを確認してください。"1"の場合は受信バッファにあるコマンドを必要な分読み出してください(必ずしも 8 バイトすべて読み出す必要はありません)。その後、コマンドをデコードして各種設定処理し、SETP フラグ, DRQO 割込み要因をクリアし戻ります。

・データステージ処理
コマンドデコードの結果、データステージが IN 方向の場合、DRQIE を許可し*、CPU 割込みにて送信データを送信バッファに転送します。転送終了後、割込み要因 DRQI をクリアしてから戻ります。

*: 割込み要因 DRQI は初期値"1"なので割込み許可を設定するだけです。

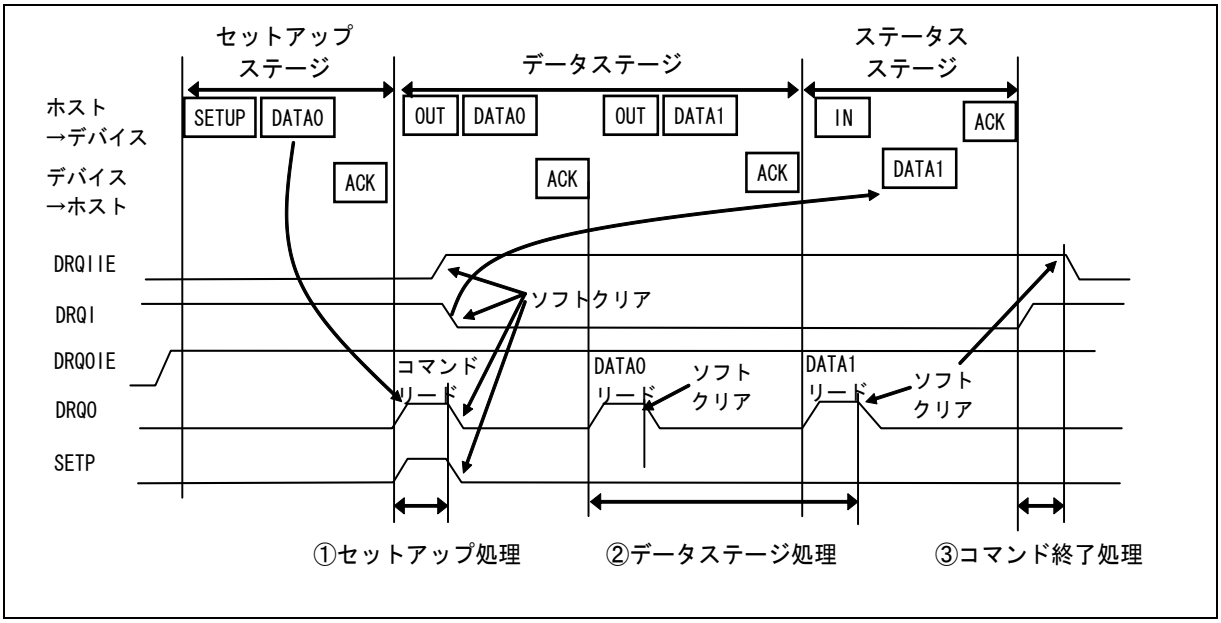
IN 方向のデータパケットが終了すると DRQI が設定されます。DRQI が設定された時点で CPU 割込みに入り次のデータパケットに備え送信データを送信バッファに転送します。転送終了後、割込み要因である DRQI をクリアして戻ります。

・コマンド終了処理
OUT 方向のステータスステージが終了すると DRQO が設定されます。DRQO が設定された時点で CPU 割込みに入り、受信データ数 0 を確認します。次のセットアップステージに備え、割込み要因である DRQO をクリアして戻ります。

■ ライトコマンド応答時の各レジスタ動作

SetDescripter, クラス・ベンダコマンドの場合について説明します。

図 3-7 ライトコマンド応答時の各レジスタ動作



・セットアップ処理

セットアップステージを受信したときに DRQO が"1"に変わります。DRQO が"1"に変わった時点で CPU 割込みに入り SETP フラグを確認してください。"1"の場合は受信バッファにあるコマンドを必要な分読み出してください(必ずしも 8 バイトすべて読み出す必要はありません)。その後、デコードし各種設定処理を行ってください。

ステータスステージの 0 バイト応答に備え、送信バッファへデータをライトせずに、DRQI(割込み要因 DRQI は初期値"1"のため)を"0"に設定してください。ステータスステージの正常終了確認用に DRQIIE を"1"に設定してください。また、SETP フラグ, DRQO 割込み要因をクリアし割込みから復帰します。

・データステージ処理

OUT 方向のデータステージが終了すると DRQO が設定されます。DRQO が設定された時点で CPU 割込みに入り、まず EP0 ステータスレジスタの SIZE を確認します。受信したデータ数分だけ DMA を起動するか、CPU リードにより受信バッファからデータを読み出します。その後、割込み要因である DRQO をクリアして割込みから復帰します。

・コマンド終了処理

IN 方向のステータスステージが終了すると DRQI が設定されます。DRQI が設定された時点で CPU 割込みに入りステータスステージが正常終了したことを確認できます。その後、割込み要因である DRQI をクリアして戻ります。

3.4. サスペンド機能

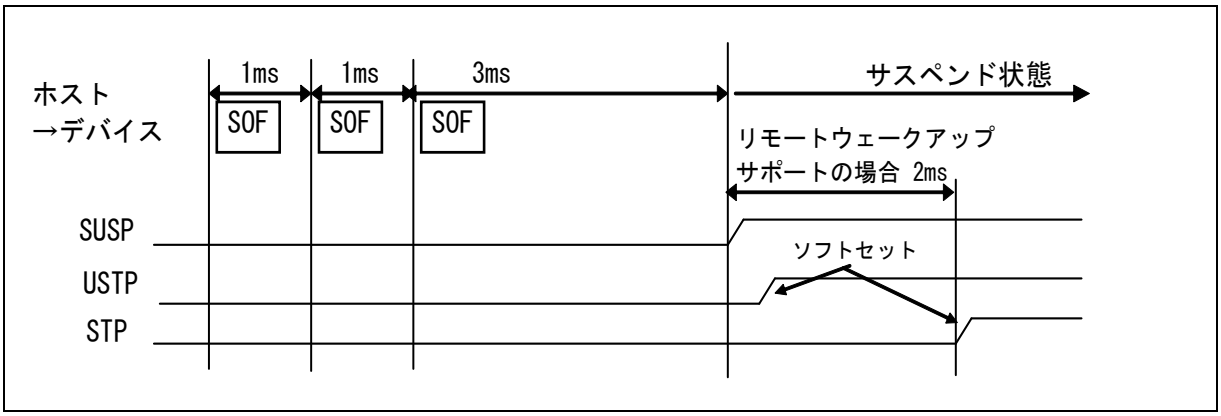
USB デバイスはバス電源の構成により、サスペンド状態において 500μA 以下に消費電力をおとす必要があります。ここではデバイスがサスペンド状態に移行し、STOP モードまたはタイマモードに入れるまでの処理を説明します。

■ サスペンド処理

USB デバイスコアがサスペンド状態を検出した場合に UDCS レジスタの SUSP ビットが有効に設定されます。

以下に処理する例を示します。

図 3-8 サスペンド動作



・サスペンド処理
USB バス上に 3ms 以上動作がない場合 USB ファンクションはサスペンドを検出し、UDCS レジスタの SUSP ビットの割込み要因が設定されます。リモートウェイクアップをサポートするデバイスの場合はここからさらに 2ms 待ち*、ストップモードまたはタイマモードに設定します。

*: この時間リモートウェイクアップさせないためです。

＜注意事項＞

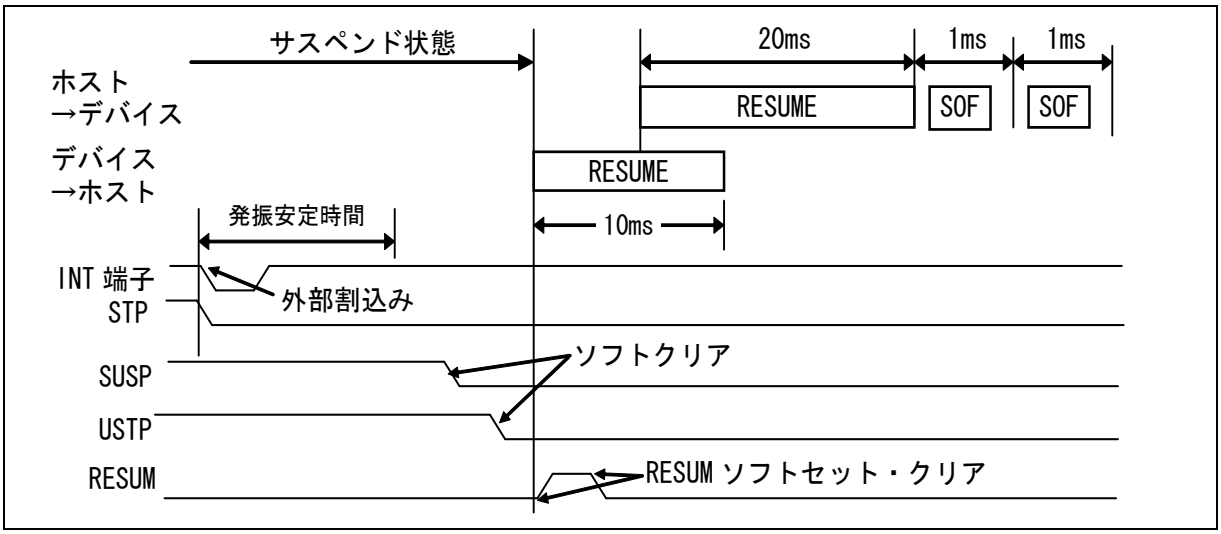
ストップまたはタイマモードに移行する前に UDCIE.SUSPIE=0, UDCC.USTP=1 の順で設定してください。

3.5. ウェイクアップ機能

USB デバイスをサスペンド状態からウェイクアップ状態にするには、USB プロトコルで 2 つの手段があります。
・デバイスからのリモートウェイクアップ
・ホストからのウェイクアップ

■ リモートウェイクアップ

図 3-9 リモートウェイクアップ動作

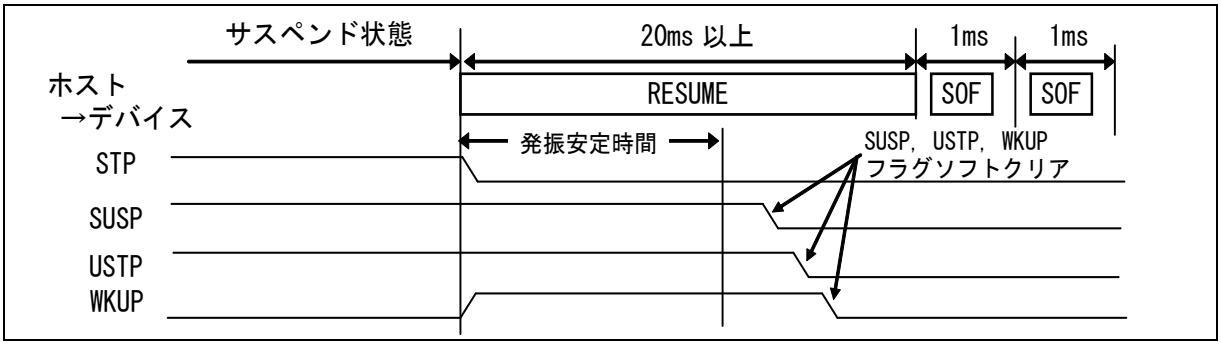


デバイスは以下の順序で処理が必要です。

1. 外部割込みでデバイスをストップモード・タイマモードから復帰させてください。
2. USB 生成クロックが安定していることを確認してください。
3. UDCS レジスタの SUSP ビットを"0"にクリアしてください。
4. UDCS レジスタをダミーリードしてください。
5. UDCC レジスタの USTP ビットを"0"にクリアしてください。
6. UDCC レジスタをダミーリードしてください。
7. UDCC レジスタの RESUM ビットを"1"に設定してください。
8. UDCC レジスタの RESUM ビットを"0"にクリアしてください。

■ ホストからウェイクアップ

図 3-10 ホストからのウェイクアップ動作



USB デバイスは以下の順番で処理を行ってください。

1. 発振安定時間が 10ms を超えないように設定してください。
2. USB クロックが安定していることを確認してください。
3. UDCS レジスタの SUSP ビット, UDCC レジスタの USTP ビットの順に"0"にクリアしてください。
4. UDCS レジスタの WKUP ビットを"0"にクリアしてください。

3.6. DMA 転送機能

USB ファンクションで通信するデータを、送受信バッファと内蔵 RAM との間で DMA 転送することが可能です。DMA 転送は以下の 2 つのモードを選択できます。
・1 パケット単位ごとに CPU が DMA を起動するパケット転送モード
・毎パケット自動で DMA を起動するデータ数自動転送モード

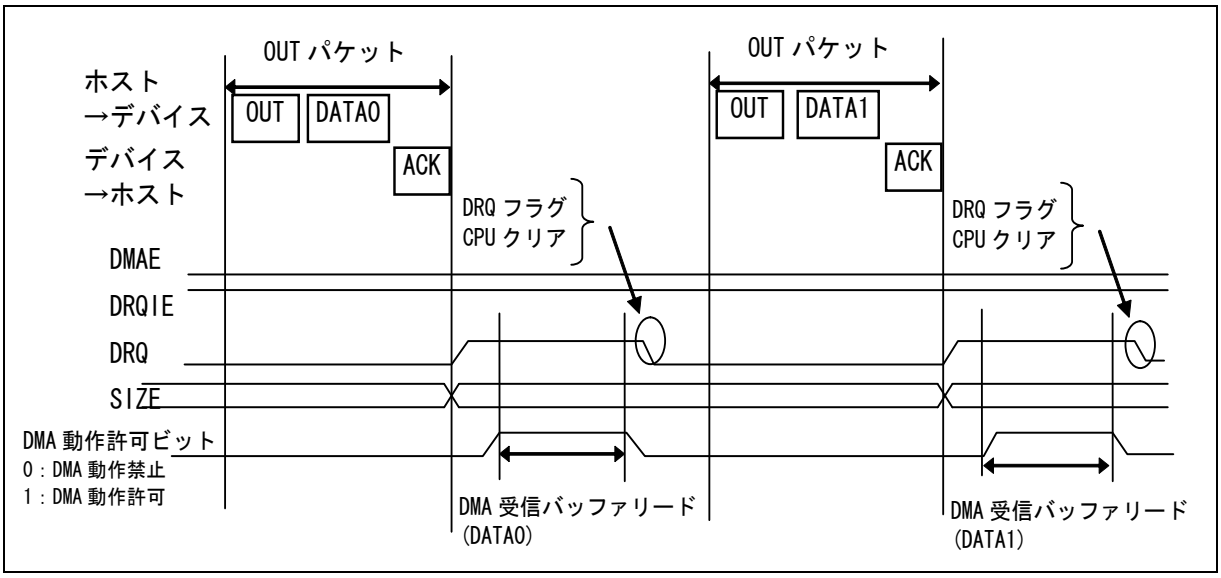
■ パケット転送モード

1 パケット単位ごとに転送数を DMA に設定して転送し、その終了後に割込み要因(DRQ)をクリアして転送するパケット転送モードです。本転送モードはエンドポイント 1 から 5 に対するバッファへのアクセスが可能です。DMA を使用する前に、DREQ 選択レジスタにより割込み出力接続先の設定を行ってください(割込み出力を CPU.NVIC 側に接続します)。

OUT 方向, IN 方向のそれぞれでバッファをアクセスするタイミングを図 3-11, 図 3-12 に示します。

● OUT 方向(ホスト→デバイス)転送

図 3-11 OUT パケット転送

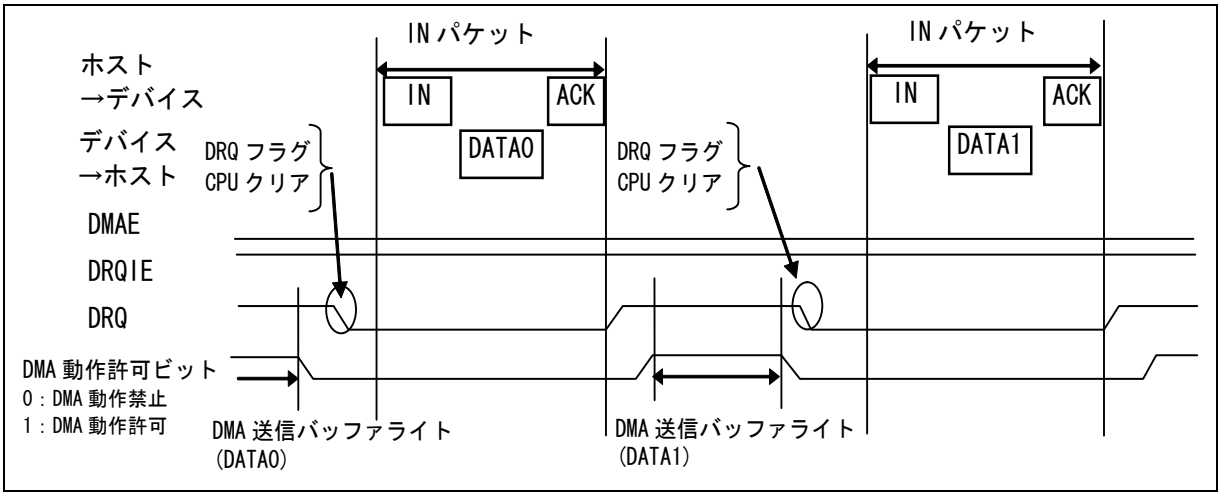


OUT 方向転送ではデバイスは以下の順序で処理が必要です。

1. DRQ フラグが設定され割込み処理に入ったら転送データ数を確認してください。
2. 転送データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
3. 転送後、EP1～5 ステータスレジスタ(EP1S～EP5S)の該当する DRQ フラグと DMAC のステータスレジスタの該当する割込み要因フラグをクリアして割込み処理から復帰します。

● IN 方向(ホスト→デバイス)転送

図 3-12 IN パケット転送



IN 方向転送ではデバイスは以下の順序で処理が必要です。

1. DRQ フラグが設定され割込み処理に入ったら、次の IN パケットで転送する転送データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. DMA 転送後、EP1～5 ステータスレジスタ (EP1S～EP5S)の該当する DRQ フラグと DMAC のステータスレジスタの該当する割込み要因フラグをクリアして割込み処理から復帰します。

■ データ数自動転送モード

本転送モードでは、偶数バイトの転送が可能です。OUT 方向転送で奇数バイトを転送する場合は、CPU 転送の処理が必要です(図 3-14 を参照してください)。IN 方向転送で奇数バイトの転送を行う場合は以下を参照してください。

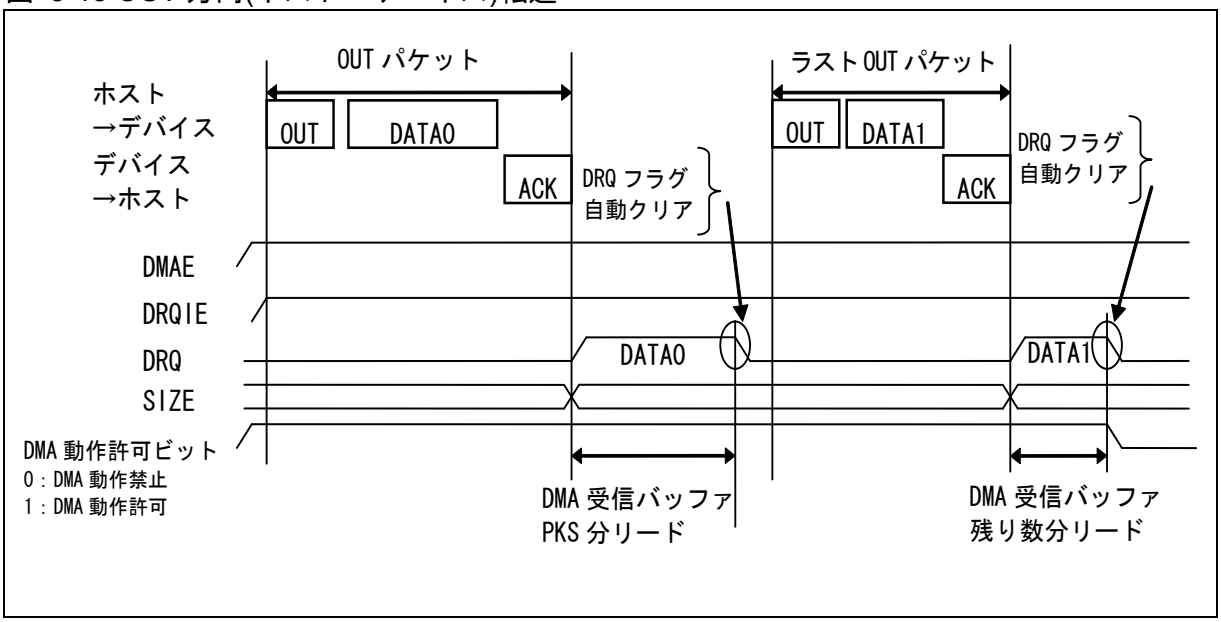
TYPE0 の場合
IN 方向転送で奇数バイトの転送を行うことはできません。

TYPE1 以降の場合
IN 方向転送で奇数バイト DMA 転送を行うには ODDPKS レジスタを設定してください(『割込み』の章を参照してください)。

DMA を使用する前に、DREQ 選択レジスタにより割込み出力接続先の設定を行ってください(割込み出力を DMAC 側に接続します)。DMA にあらかじめ転送する総データ数を設定し、転送許可ビットも設定しておいてください。DMAE が許可されていてホストからの転送後 DRQ が設定されると、EP1～EP5 制御レジスタ(EPxC)レジスタの PKS 分のデータ数を転送した後に自動で割込み要因(DRQ)をクリアします。以後、ホストからの転送後に同様の処理をあらかじめ DMA に設定した転送データ数分まで繰り返し行います。その間 CPU による設定は一切必要なく 1 回の設定で転送する自動転送モードです。次の転送を行う場合は、ラストデータ転送後に CPU 割込みに入るのでそこで DMAC の再設定を行い、DMA を許可して割込み復帰します。データ数自動転送モードは DMAE=1 として使用するのでエンドポイント 1 から 5 に対するバッファアクセスのみ有効となります。OUT 方向, IN 方向のそれぞれでバッファをアクセスするタイミングを図 3-13, 図 3-15 に示します。

● OUT 方向(ホスト→デバイス)転送

図 3-13 OUT 方向(ホスト→デバイス)転送



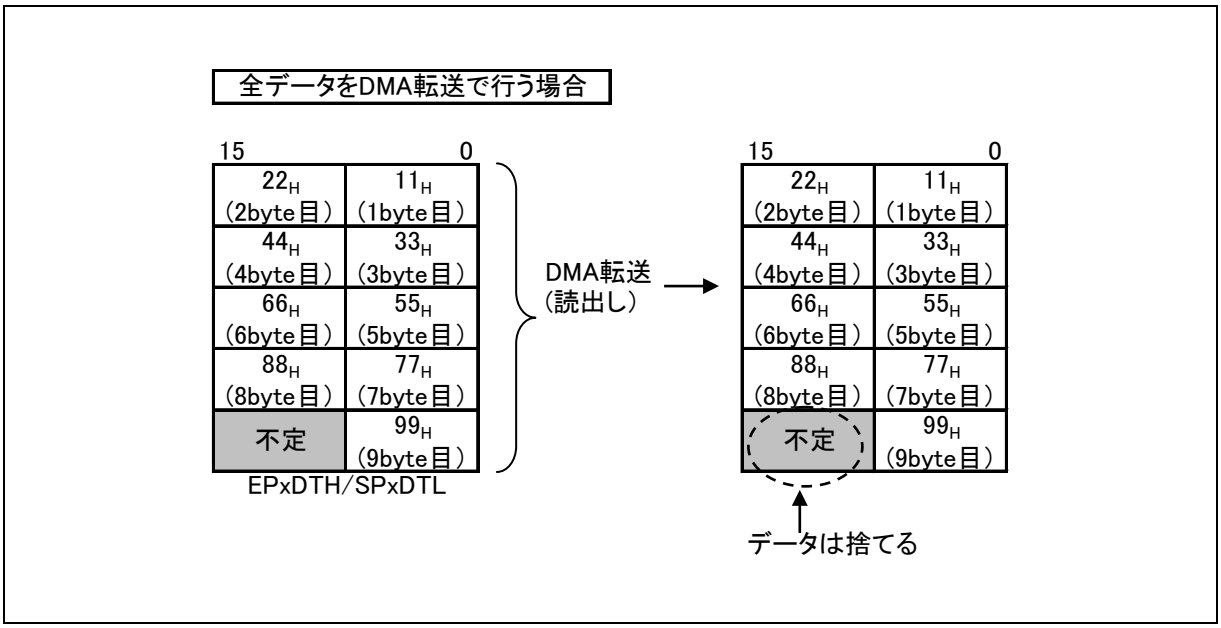
デバイスは OUT 方向転送時、以下の順序で処理が必要です。

1. 転送する総データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. DMAE, DRQIE を許可設定してください。
3. 転送後、DMAC のステータスレジスタの該当する割込み要因による割込みで必要に応じて DMAC の再設定を行い、フラグをクリアして割込み処理から復帰します。

奇数バイト分のデータ数を DMA 転送する場合、以下の方法があります。

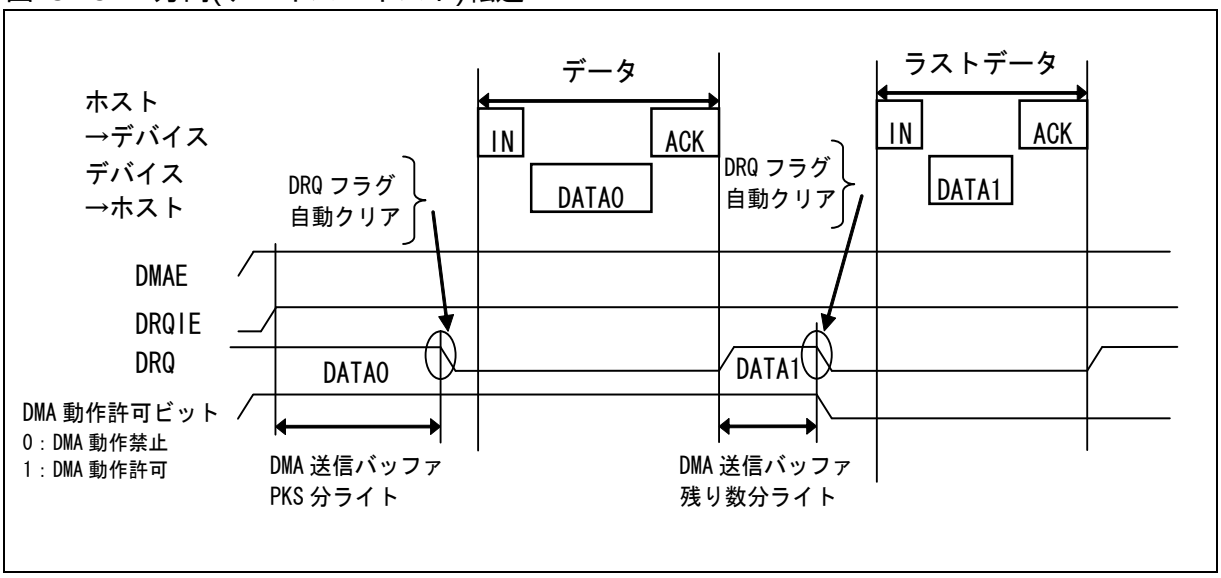
・ 全データ+1 バイトをまとめて DMA 転送してエンディアン変換後に最終データを捨てる

図 3-14 OUT 方向 奇数バイトの転送例



● IN 方向(ホスト→デバイス)転送

図 3-15 IN 方向(デバイス→ホスト)転送



デバイスは IN 方向転送時、以下の順序で処理が必要です。

1. 転送する総データ数分の転送回数およびブロックサイズに関する DMA のレジスタの設定を行い、DMA を許可して転送開始してください。
2. EPxC:DMAE ビット, EPxS:DRQIE ビットを許可("1")に設定してください。
3. 転送後、DMAC のステータスレジスタの該当する割込み要因による割込みで必要に応じて DMAC の再設定を行い、フラグをクリアして割込み処理から復帰します。

3.7. NULL 転送機能

USB ファンクションから送信するデータがラストパケットの際に MAX パケット数のとき、次パケットの転送で 0 バイトの転送を自動送信することが可能です。本機能は DMAE を許可する必要があります。IN 転送時のみ有効な機能です。

■ NULL 転送モード

NULL 転送モードは IN 方向のラストデータ転送後、HOST からの次 IN 方向のデータ要求に対し 0 バイトを送信するモードです。

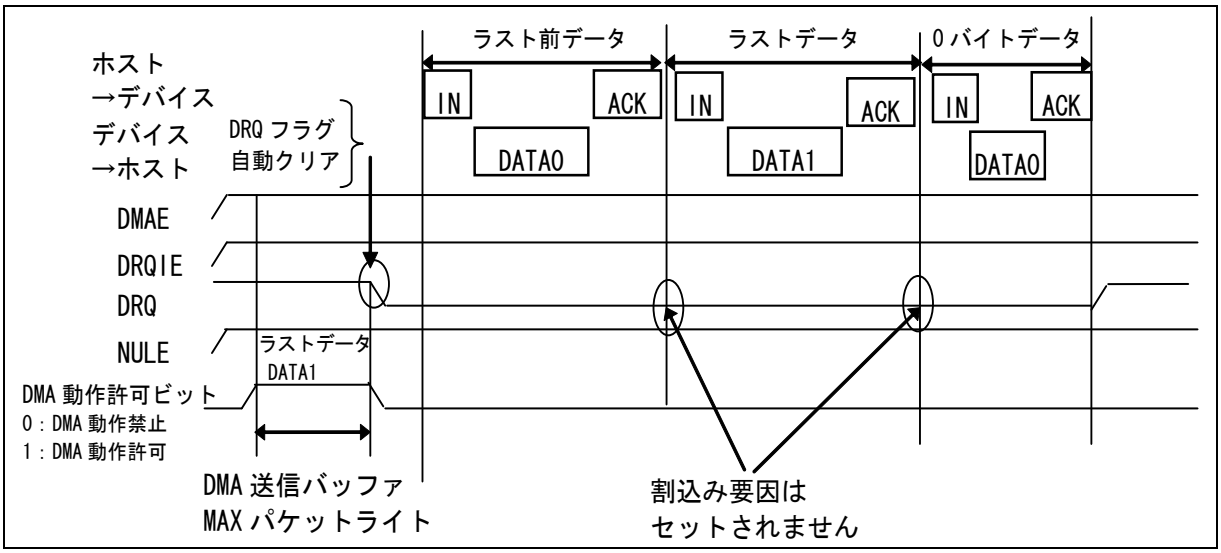
NULL 転送モードは以下の条件を満たす場合に機能します。

- 自動バッファ転送モードを設定(DMAE=1)
- ラストのデータ転送が MAX パケット数の DMA 書込み
- 最後のデータ書込みで DMA カウントデータ数が 0

DMA でラストのデータがバッファに書き込まれた後、ホストから 0 バイトのデータが読み出されるまで DRQ の割込みフラグは設定されません。バッファをアクセスするタイミングを次に示します。

IN 方向(デバイス→ホスト)転送のみの場合を説明します。

図 3-16 NULL データ転送動作



デバイスは以下の処理が必要です。

1. EPxC:DMAE ビット, EPxS:DRQIE ビット, EPxC:NULE ビットを許可("1")に設定してください。

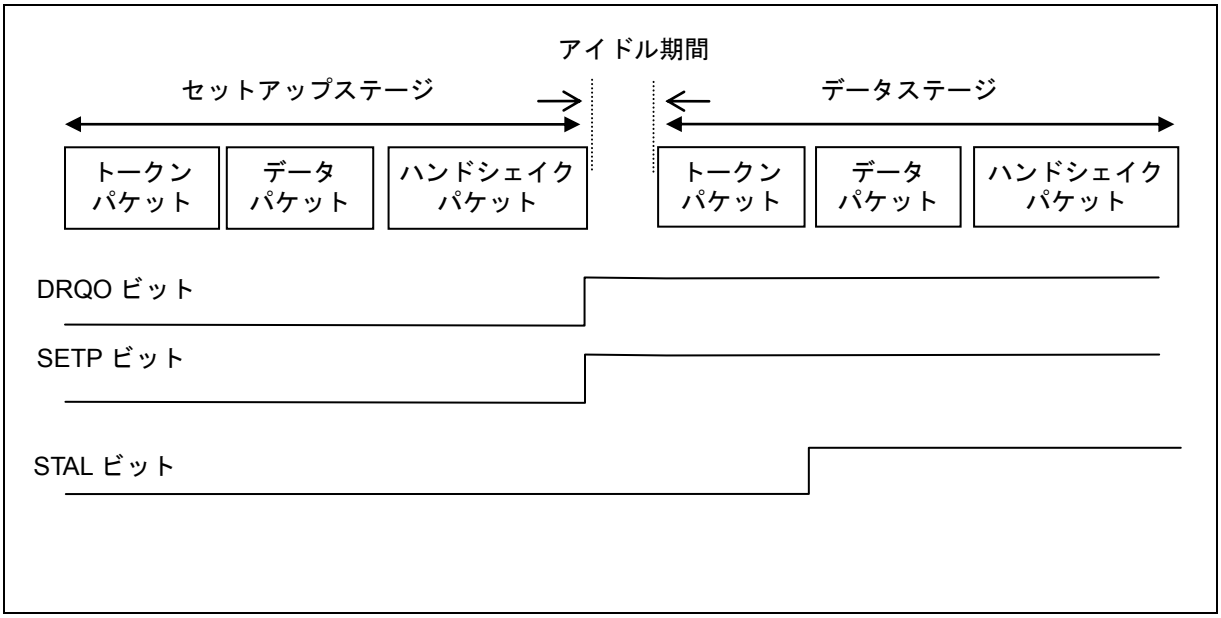
3.8. エンドポイント 0 の STALL 応答/解除

EP0 制御レジスタ(EP0C)の STAL ビットは、エンドポイント 0 の STALL 応答/解除を制御します。

■ STAL ビットのセットタイミング

STAL 応答を行う場合は、コントロール転送のセットアップステージ(SETP ビット=1 検出)にてコマンドを解釈し、STALL 応答が必要な場合に STAL ビットを設定してください(図 3-17 を参照してください)。STAL ビット設定後に割込み要因(DRQO ビット)をクリアしてください。

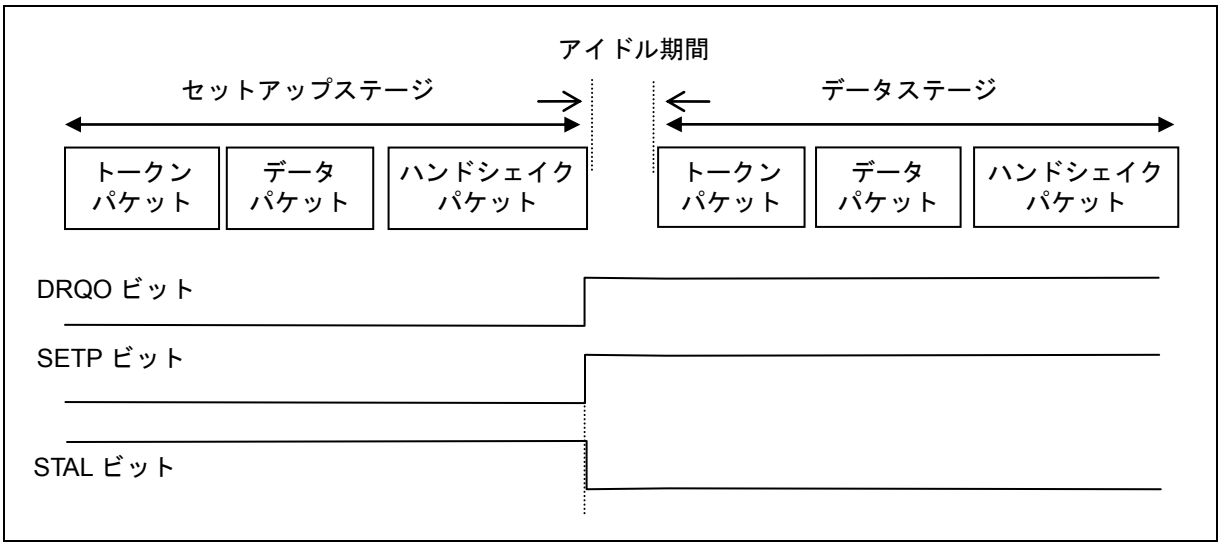
図 3-17 STAL ビットセットのタイミング



■ STAL ビットのクリアタイミング

コントロール転送のセットアップステージであることを示す SETP ビット=1 検出と同時に、STAL ビットは自動でクリアされ STALL 状態は解除されます(図 3-18 を参照してください)。

図 3-18 STAL ビットクリアのタイミング



＜注意事項＞

SETP ビット=1(DRQO ビット=1 割込み)を検出すると STAL ビットは"0"にクリアされます。再度、STALL 応答する場合には、STAL ビットに"1"を設定してください。

3.9. エンドポイント 1～5 の STALL 応答/解除

エンドポイント 1～5 の STALL 応答/解除制御は、EP1～5 制御レジスタ(EP1C～EP5C)の STAL ビットと内部状態ビットで行われます。

■ ソフト処理にて STALL 応答する場合

ソフト処理で STALL 応答する場合の手順を図 3-19 および図 3-20 に示します。STALL 応答する場合、該当するエンドポイントの STAL ビットをソフトで設定します。このとき、内部状態ビットは変化しません。

次に、ホストから STAL ビットが設定されているエンドポイントに対してトランザクションが発生したとき、ハードが自動的に該当エンドポイントの内部状態ビットを設定し、ホストに対して STALL 応答します。1 度、内部状態ビットが設定された後は、STAL ビットをクリアしても、内部状態ビットはセットされたままです。ホストから Clear Feature コマンドが発行されるまで、内部状態ビットはセットされたままのため、STALL 応答を継続します。また、UDC 制御レジスタ(UDCC)の STALCLREN ビットに"0"が設定されている場合、下記場合は STALL 応答を継続します。

Clear Feature コマンドで内部状態ビットがクリアされても、STAL ビットがセットされている場合

これは、該当するエンドポイントに対するトランザクションが発生するたびに内部状態ビットがセットされるためです。したがって、STALL 応答を解除するためには、STAL ビットをクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります。UDC 制御レジスタ(UDCC)の STALCLREN ビットが"1"に設定されている場合、Clear Feature コマンドで内部状態ビットがクリアされると同時に STAL ビットもクリアされ、次のトランザクションに対し、STALL 応答しません。

図 3-19 ソフト処理にて STALL 応答する場合(STAL ビットはソフトでクリア)

UDCC.STALCLREN=0

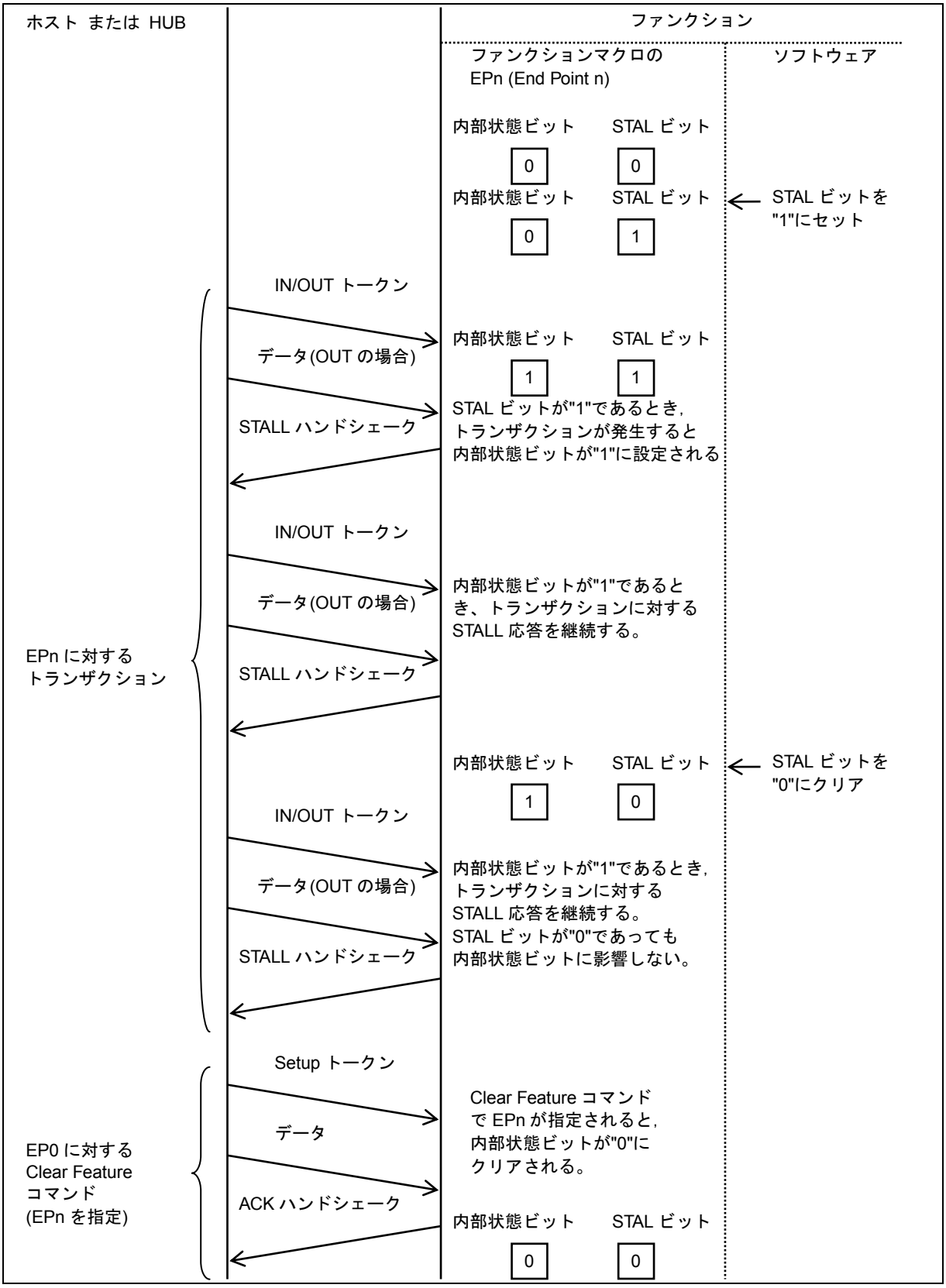
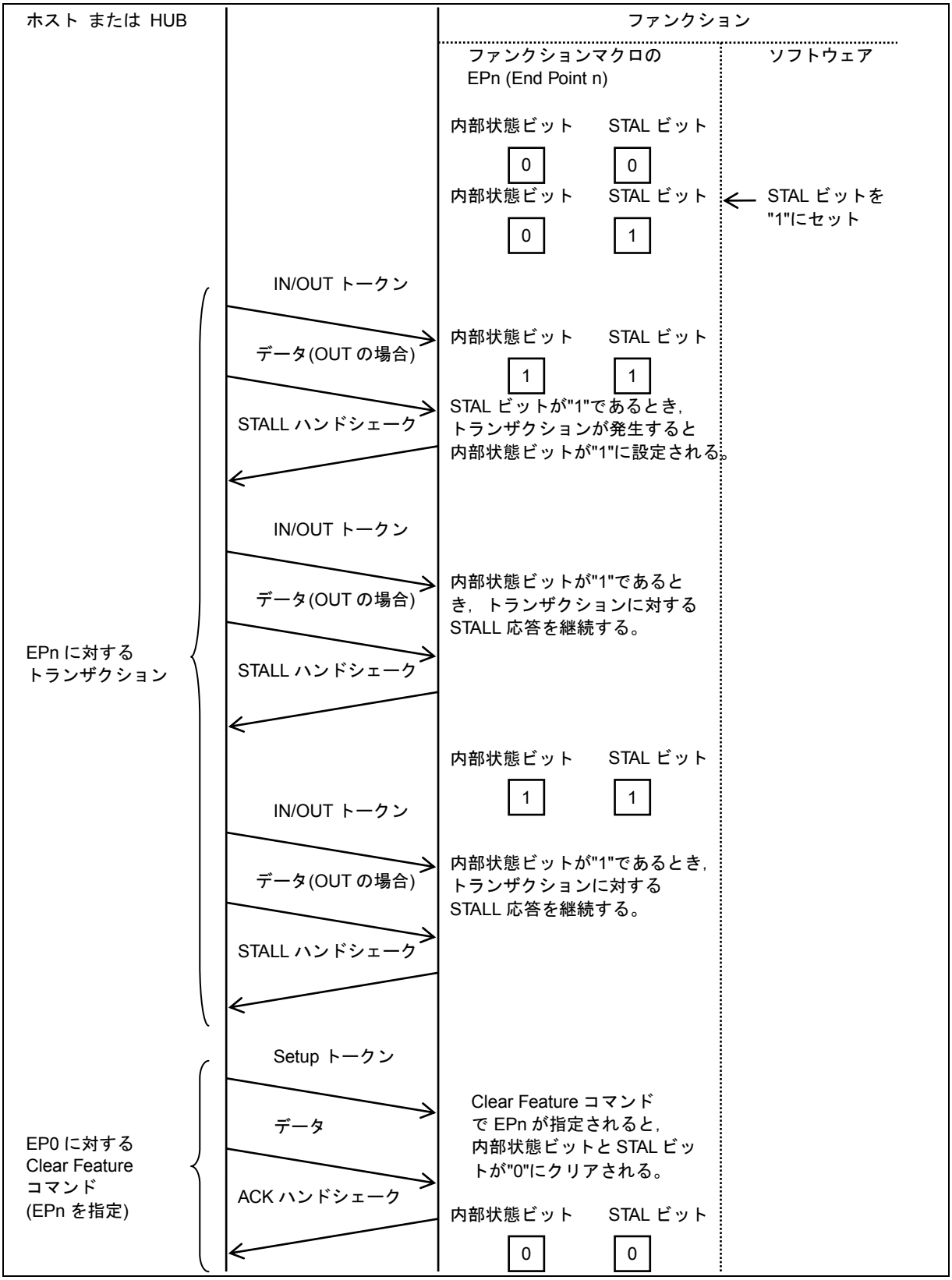


図 3-20 ソフト処理にて STALL 応答する場合(STAL ビットはハードで自動的にクリア)

UDCC.STALCLREN=1



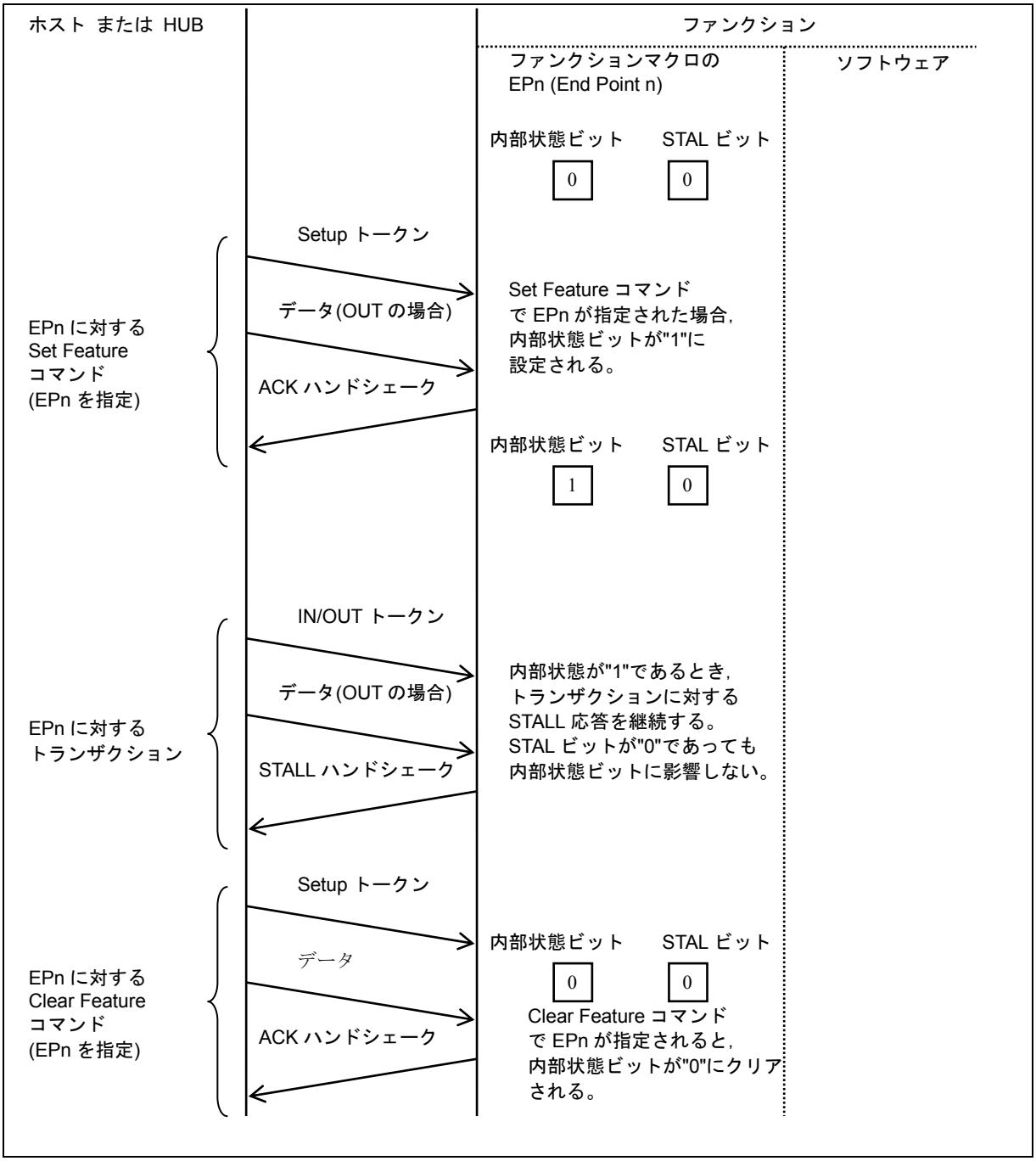
■ ハードが自動で STALL 応答する場合

ハードが自動で STALL 応答する場合の手順を図 3-21 に示します。

Set Feature コマンドで STALL 応答設定された場合、STAL ビットに関係なく、ハードが自動的に該当エンドポイントの内部状態ビットを設定し、STALL 応答します。1 度、内部状態ビットが設定された後は、STAL ビットに関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。

Clear Feature コマンドで該当ビットがクリアされた後は、STAL ビットを参照するようになります。したがって、STALL 応答を解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります。

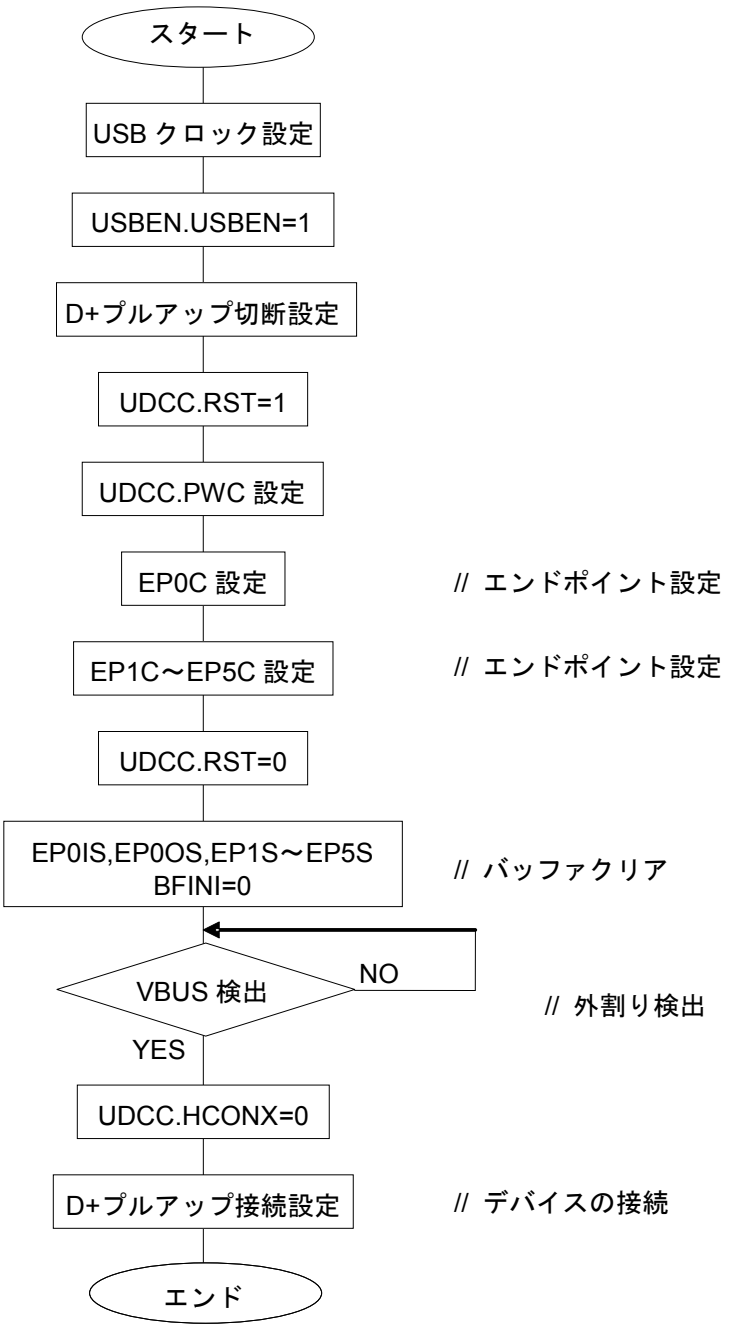
図 3-21 ハードが自動で STALL 応答する場合



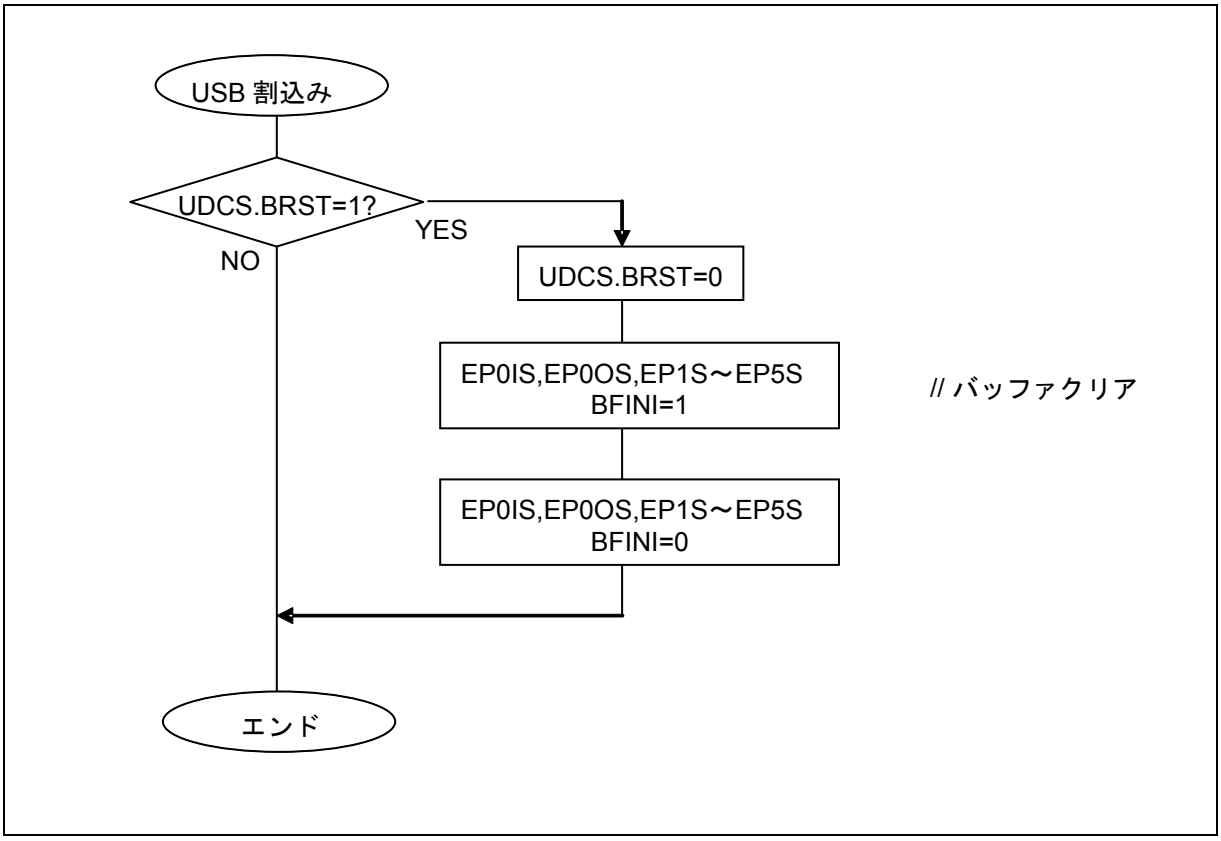
4. USB ファンクションの設定手順例

初期化，バスリセット, CPU 転送，パケット転送(IN/OUT)，データ数自動転送(IN/OUT)時におけるフローチャートを示します。

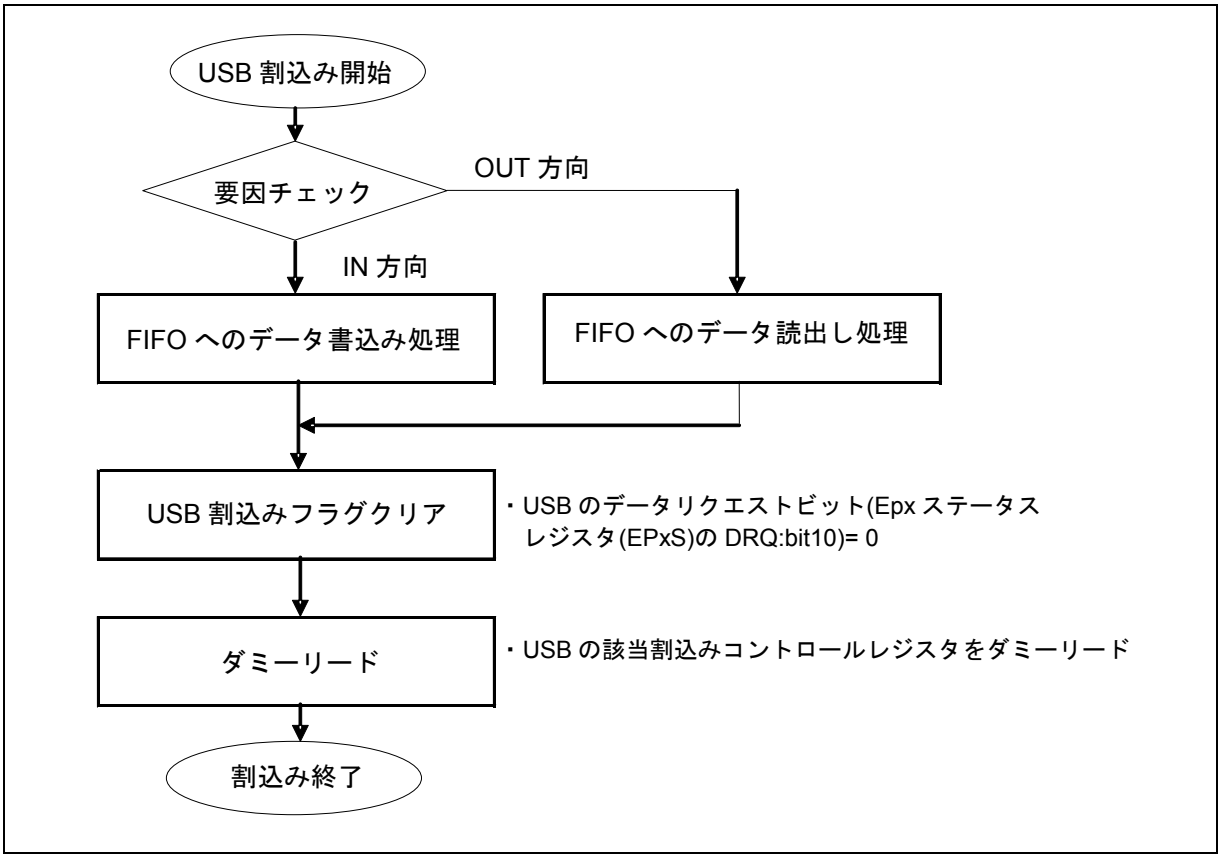
■ 初期化



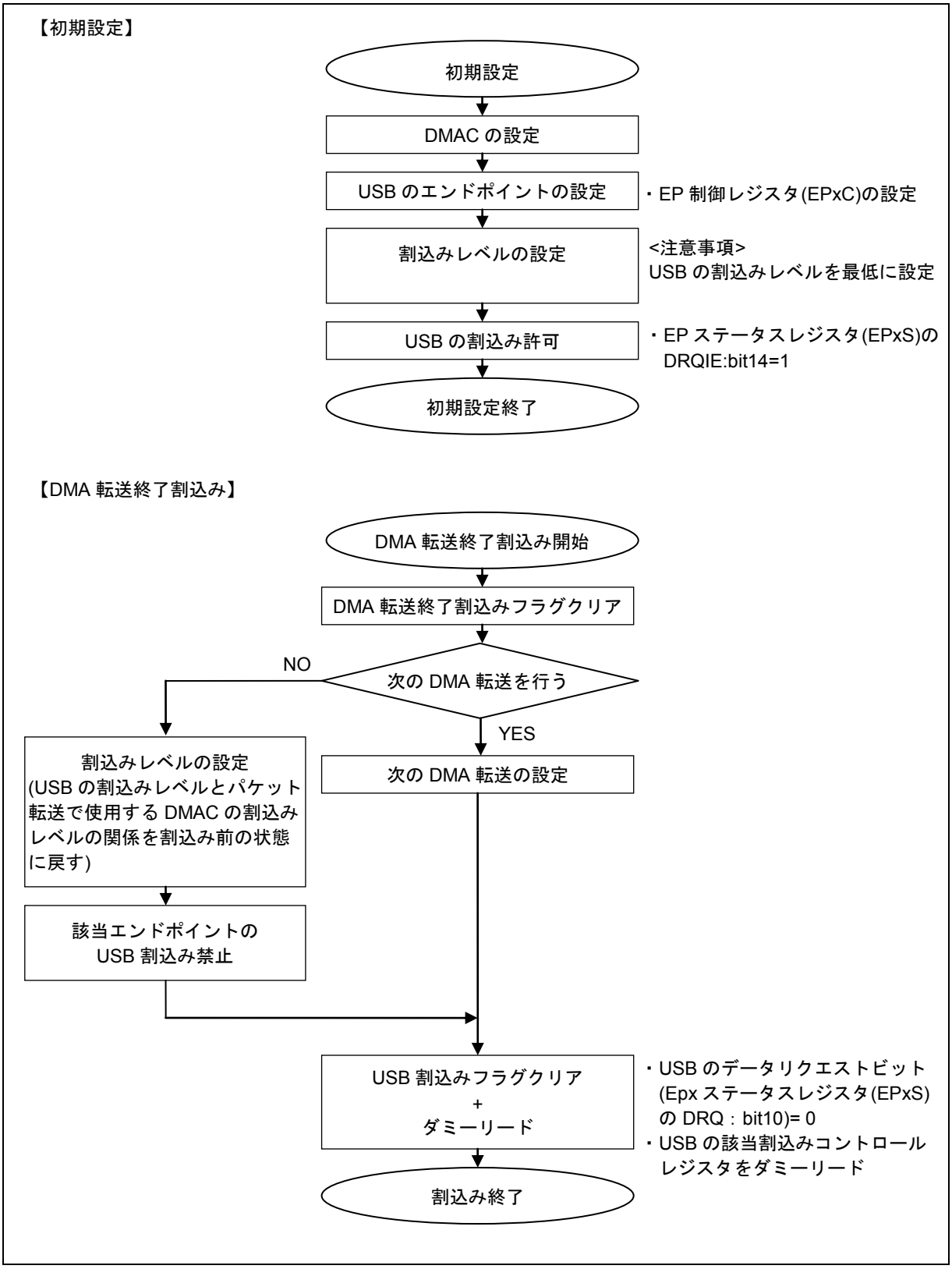
■ バスリセット


USB 割込み
UDCS.BRST=1?
YES
NO
UDCS.BRST=0
EP0IS,EP0OS,EP1S～EP5S
BFINI=1
// バッファクリア
EP0IS,EP0OS,EP1S～EP5S
BFINI=0
エンド

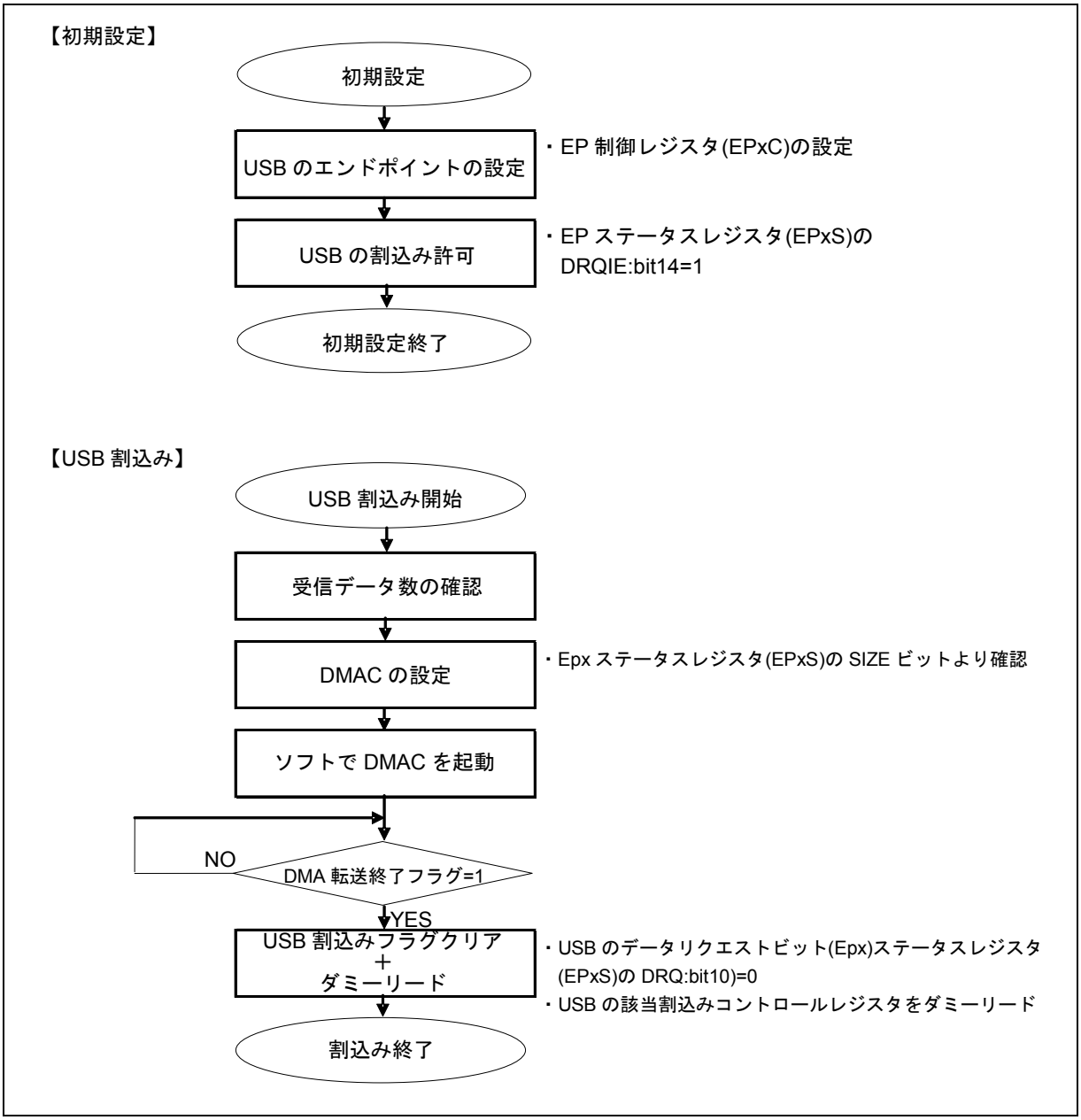
■ CPU 転送時の制御例


USB 割込み開始
要因チェック
OUT 方向
IN 方向
FIFO へのデータ書込み処理
FIFO へのデータ読出し処理
USB 割込みフラグクリア
・USB のデータリクエストビット(Epx ステータス
レジスタ(EPxS)の DRQ:bit10)= 0
ダミーリード
・USB の該当割込みコントロールレジスタをダミーリード
割込み終了

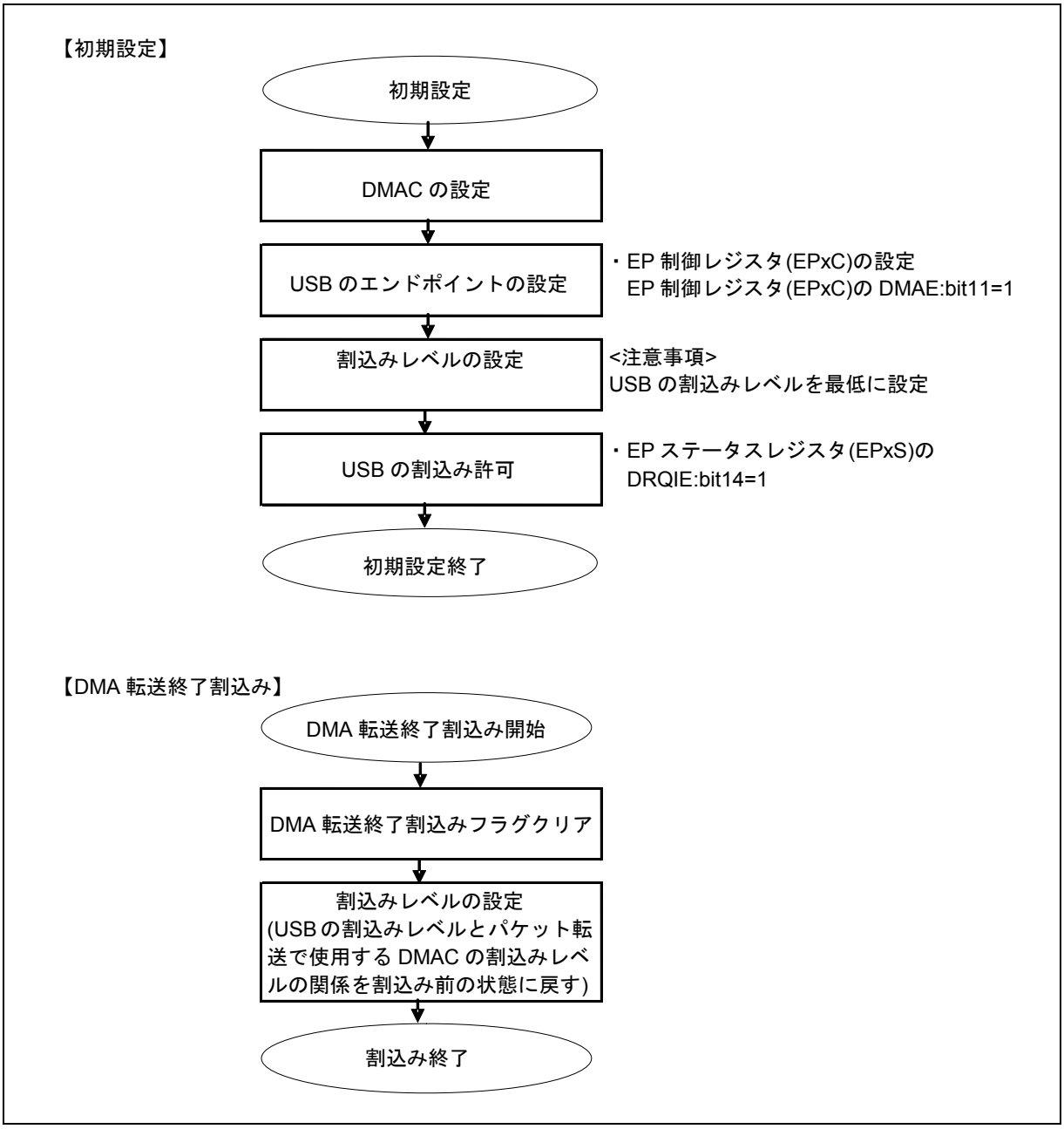
■ パケット IN 転送時の制御例



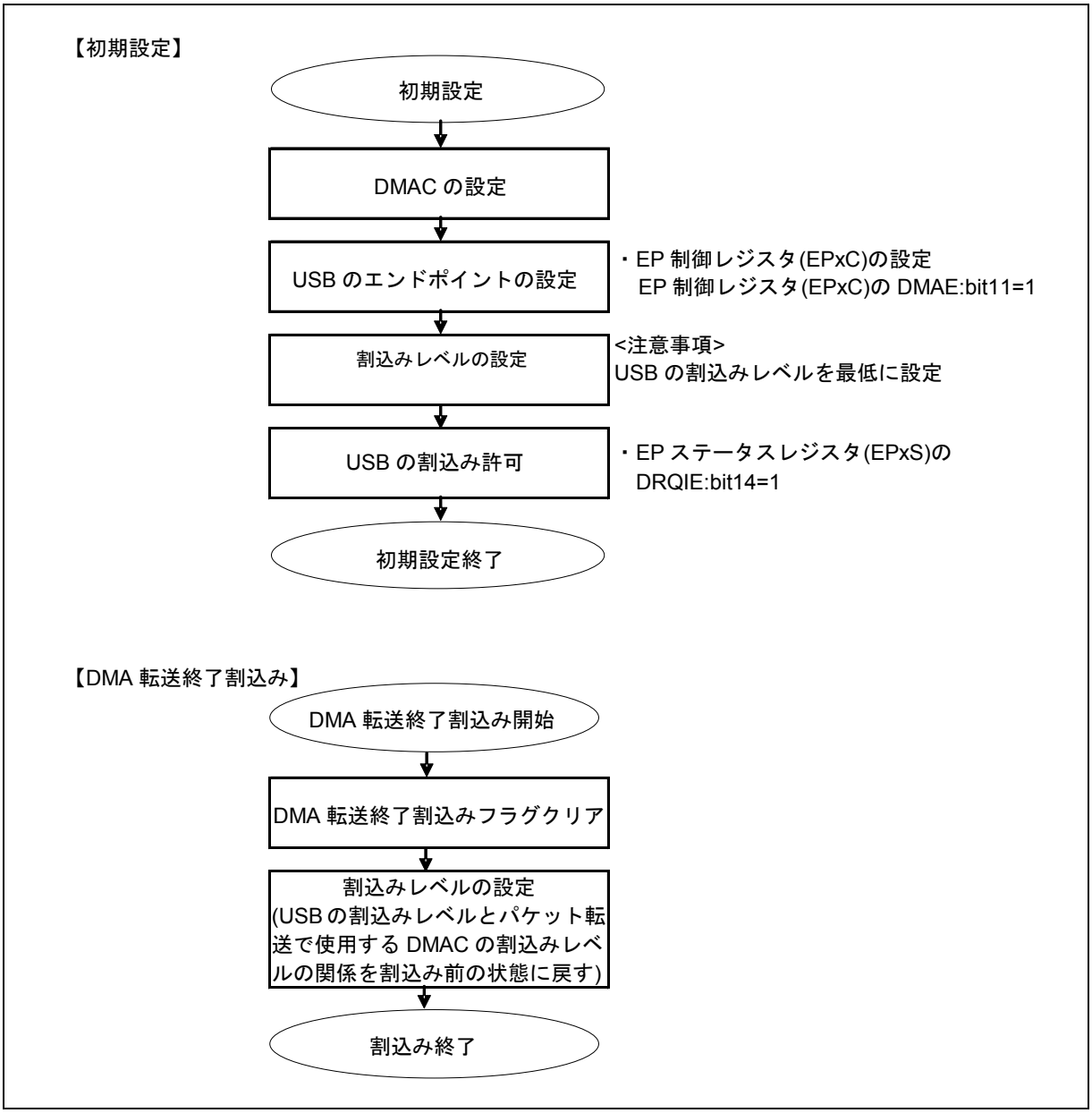
■ パケット OUT 転送時の制御例



■ データ数自動 IN 転送時の制御例



■ データ数自動 OUT 転送時の制御例



5. USB ファンクションのレジスタ

USB ファンクションで使用するレジスタの構成および機能について説明します。

■ USB ファンクションのレジスター覧

レジスタ略称	レジスタ名	参照先
UDCC	UDC 制御レジスタ	5.1
EP0C	EP0 制御レジスタ	5.2
EP1C	EP1 制御レジスタ	5.3
EP2C	EP2 制御レジスタ	
EP3C	EP3 制御レジスタ	
EP4C	EP4 制御レジスタ	
EP5C	EP5 制御レジスタ	
TMSP	タイムスタンプレジスタ	5.4
UDCS	UDC ステータスレジスタ	5.5
UDCIE	UDC 割込み許可レジスタ	5.6
EP0IS	EP0I ステータスレジスタ	5.7
EP0OS	EP0O ステータスレジスタ	5.8
EP1S	EP1 ステータスレジスタ	5.9
EP2S	EP2 ステータスレジスタ	
EP3S	EP3 ステータスレジスタ	
EP4S	EP4 ステータスレジスタ	
EP5S	EP5 ステータスレジスタ	
EP0DTH	EP0 データレジスタ上位	5.10
EP0DTL	EP0 データレジスタ下位	
EP1DTH	EP0 データレジスタ上位	
EP1DTL	EP0 データレジスタ下位	
EP2DTH	EP0 データレジスタ上位	
EP2DTL	EP0 データレジスタ下位	
EP3DTH	EP0 データレジスタ上位	
EP3DTL	EP0 データレジスタ下位	
EP4DTH	EP0 データレジスタ上位	
EP4DTL	EP0 データレジスタ下位	
EP5DTH	EP0 データレジスタ上位	
EP5DTL	EP0 データレジスタ下位	

■ レジスタビット更新タイミングの UDCC.RST 依存性一覧

	レジスタ	ビット
UDCC.RST=1 のときに更新しなければいけないレジスタビット	UDCC	HCONTX, PFBK, PWC
	EP0C	PKS0
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
	EP3C	EPEN, TYPE, DIR, PKS3
	EP4C	EPEN, TYPE, DIR, PKS4
	EP5C	EPEN, TYPE, DIR, PKS5
UDCC.RST=1 のときに初期化されるレジスタビット (UDCC.RST=0 のときに更新してください。)	EP0IS	BFINI, DRQI
	EP0OS	BFINI, DRQ, SPK
	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
	EP3S	BFINI, DRQ, SPK
	EP4S	BFINI, DRQ, SPK
	EP5S	BFINI, DRQ, SPK
	TMSP	TMSP
	UDCS	SUSP, SOF, BRST, WKUP, SETP, CONF
	UDCIE	SUSPIE, SOFIE, BRSTIE, WKUPIE, CONFN, CONFIE
UDCC.RST に影響されないレジスタビット	UDCC	RESUME, USTP
	EP0C	STAL
	EP1C	DMAE, NULE, STAL
	EP2C	DMAE, NULE, STAL
	EP3C	DMAE, NULE, STAL
	EP4C	DMAE, NULE, STAL
	EP5C	DMAE, NULE, STAL
	EP1DTH/L	BFDT
	EP2DTH/L	BFDT
	EP3DTH/L	BFDT
	EP4DTH/L	BFDT
	EP5DTH/L	BFDT

5.1. UDC 制御レジスタ(UDCC)

UDC 制御レジスタ(UDCC)は、UDC コア回路の制御を行います。

下図に UDC 制御レジスタ(UDCC)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	-	-	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RST	RESUM	HCONX	USTP	STALCLREN	予約	RFBK	PWC
属性	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W
初期値	1	0	1	0	0	0	0	0

＜注意事項＞

UDC 制御レジスタ(UDCC)は、bit6 の RESUM と bit4 の USTP を除き bit7 の RST=1 のときに設定して USB 動作中に書き換えないようにしてください。bit6 の RESUM は USB がサスペンド状態で下記のコマンドによるリモート Wake-up 許可状態でのみセット，リセットを行ってください。

ストップモードまたはタイマモード状態に入る前に bit4 の USTP へ"1"を設定してください。

また上記モード解除時は USB 供給クロック安定確認後、UDCS の SUSP, UDCC の USTP の順に"0"を設定してください。

以下に UDC 制御レジスタ(UDCC)の各ビットの機能を説明します。

[bit15:7] 予約ビット

予約ビットです。必ず"0"を書き込んでください。常に"0"が読み出されます。

[bit7] RST : ファンクションリセットビット(function ReSeT)

USB ファンクションにチップのシステムリセットと OR で個別リセットをかけます。ホストとのケーブル接続時に RST ビットにより USB ファンクションにリセットをかけます。初期値は"1"でリセット状態のため"0"を書き込んで解除を行ってください。

bit	説明
0	USB ファンクションのリセット解除
1	USB ファンクションをリセット

＜注意事項＞

本ビットはタイムスタンプレジスタ(TMSP), UDC ステータスレジスタ(UDCS), UDC 割込み許可レジスタ(UDCIE)の該当ビットを同時に初期化します。また、EP0I, EP0O, EP1～5 ステータスレジスタの BFINI も同時に設定しますので、初期設定の後、RST ビットのクリアを行い(BFINI はクリアされません)、使用するエンドポイントの BFINI ビットのクリアの順で行ってください。

[bit6] RESUM : リジューム設定ビット(RESUMe set)

リモート Wake-up 許可状態のとき*でかつサスペンド状態のとき、RESUM ビットに 1 ライトで RESUME の開始となります。RESUME 指示は RESUM ビットに 1 設定後 0 ライトでクリアをしてください。

* : ホストより SET_FEATURE コマンドで DEVICE_REMOTE_WAKEUP ビットが設定されている。

bit	説明
0	USB RESUME 開始指示ビット解除
1	USB RESUME 開始指示

[bit5] HCONX : ホスト接続ビット(Host CONnection)

外付けプルアップ抵抗と USB データラインとの間のスイッチを制御し、ホストまたは HUB との接続を認識させます。

bit	説明
0	ホストまたは HUB と接続
1	ホストまたは HUB と切断状態

＜注意事項＞

外付けプルアップ抵抗が ON 状態でホストまたは HUB から接続を認識された場合でも、本ビットが"1"の間は USB バスのバスリセット, コマンドは無視します。

[bit4] USTP : USB 動作クロック停止ビット(Udc SToP)

本ビットの設定により USB 動作部のクロックを停止させます。USB を動作させない場合に本ビットの設定により消費電力を低減できます。

bit	説明
0	通常モード
1	USB 動作部のクロック停止

＜注意事項＞

ストップモードまたはタイマモードにしない場合、USTP ビットの設定は RST=1 にした後、リセットが確実にかかるように FULL スピード時には 3 サイクル後、LOW スピード(ホストモードの場合のみ対応)時には 43 サイクル後に行ってください。本ビットのクリアは RST のクリアと同時でも構いません。

[bit3] STALCLREN : エンドポイント 1～5 STAL ビットクリア選択ビット(STALI CLeaR Enable)

Clear Feature コマンドによるエンドポイント 1 からエンドポイント 5 の STAL ビットのクリア方法を選択するビットです。エンドポイント 1 からエンドポイント 5 に対し、Clear Feature コマンドによって指定されたエンドポイントの EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットを"0"にハードウェアで自動的にクリアするかどうかを設定します。エンドポイント制御レジスタ(EP1C-EP5C)の STAL ビットをクリアする方法をソフトウェアかハードウェアかを選択するビットです。

bit	説明
0	EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットをソフトウェアでクリアします。
1	EP1～EP5 制御レジスタ(EP1C-EP5C)の STAL ビットはハードウェアで自動的にクリアされます。

＜注意事項＞

STALCLREN ビットは、UDC 制御レジスタ(UDCC)の RST=1 のときに設定して USB 動作中に書き換えないようにしてください。

[bit2] 予約ビット

予約ビットです。必ず"0"を書き込んでください。常に"0"が読み出されます。

[bit1] RFBK : データトグルモード選択ビット(Rate Feed BacK mode)

USB の Interrupt 転送時のデータトグルモードの選択ビットです。

bit	説明
0	交代データトグルモードの選択 転送が問題なく完了したときにデータ PID をトグル
1	データトグルモードの選択 無条件にデータ PID をトグル

[bit0] PWC : 電源制御ビット(PoWer Control)

USB ファンクションの動作電源モード(自己電源, バス電源)を指定します。
(本ビットの設定は標準コマンド GetStatus に反映します。)

bit	説明
0	バス電源
1	自己電源

5.2. EP0 制御レジスタ(EP0C)

EP0 制御レジスタ(EP0C)は、エンドポイント 0 に関して制御します。

下図に EP0 制御レジスタ(EP0C)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	-	-	-	-	予約	予約	STAL	予約
属性	-	-	-	-	-	-	R/W	-
初期値	X	X	X	X	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	PKS0						
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	0	0	0	0	0	0

＜注意事項＞

EP0 制御レジスタ(EP0C)は、bit9 の STAL を除き UDC 制御レジスタ(UDCC)の bit7 の RST ビット, EP0I/O ステータスレジスタ(EP0I/OS)の bit15 の BFINI が共に 1 のときに設定して、USB 動作中に書き換えないでください。

以下に EP0 制御レジスタ(EP0C)の各ビットの機能を説明します。

[bit15:12] 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit11:10] 予約ビット

予約ビットです。必ず"0"を書き込んでください。
常に"0"が読み出されます。

[bit9] STAL : エンドポイント 0 STALL 設定ビット(STALl ep0 set)

本ビットの設定によりエンドポイント 0 を STALL 状態(STALL 応答)にできます。

本ビットは、ハードで自動クリアされます。エンドポイント 0 への STALL 応答を行った後、エンドポイント 0 で SETUP パケットを受信すると、"0"にクリアされます。本ビットのクリアタイミングは「3.8 エンドポイント 0 の STALL 応答/解除」の「■STAL ビットのクリアタイミング」を参照してください。

bit	説明
0	無視されます
1	STALL 状態(STALL 応答)を設定します

＜注意事項＞

- USB 制御レジスタ(UDCC)の STALCLREN ビットが"0"の場合、STAL ビットに"1"を設定中はホストに対し、STALL 応答し続けます。STAL ビットの解除の後、正常な SETUP パケットを受信したときに STALL 状態から復帰します。
- リードモディファイライト系命令で読み出す場合、"0"が読み出されます。

[bit8:7] 予約ビット

このビットは予約ビットです。書込み時は"0"を書き込んでください。
読出し時は"0"が読み出せます。

[bit6:0] PKS0 : パケットサイズエンドポイント 0 設定ビット(PacKet Size ep0 set)

1 パケットでの最大転送バイト数を指定します。EndPoint0 の指定可能なパケットの最大転送バイトは 64 バイトで、IN, OUT 共通の設定です。

<例> "0x08"⇒8 バイト, "0x40"⇒64 バイト(最大指定値)

＜注意事項＞

- このビットは UDC 制御レジスタ(UDCC)の RST ビットと EP0I/O ステータスレジスタ(EP0I/OS)の BFINI ビットが共に"1"のときに設定してください。USB 動作中の書換えは禁止です。
- 最大転送バイト数(0x40)を超える設定と"0x00"の設定は禁止です。

5.3. EP1～5 制御レジスタ(EP1C～EP5C)

EP1～5 制御レジスタ(EP1C～EP5C)は、エンドポイント 1～5 に関して制御します。

下図に EP1～5 制御レジスタ(EP1C～EP5C)のビット構成を示します。

■ EP1 制御レジスタ(EP1C)

bit	15	14	13	12	11	10	9	8
Field	EPEN	TYPE		DIR	DMAE	NULE	STAL	PSK1
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	11		0	0	0	0	1

bit	7	6	5	4	3	2	1	0
Field	PSK1							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ EP2～EP5 制御レジスタ(EP2C～EP5C)

bit	15	14	13	12	11	10	9	8
Field	EPEN	TYPE		DIR	DMAE	NULE	STAL	予約
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
初期値	0	11		0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	PKS5~2						
属性	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	0	0	0	0	0	0

＜注意事項＞

EP1～5 制御レジスタ(EP1C～EP5C)は、DMAE, NULE, STAL の各ビットを除き UDC 制御レジスタ(UDCC)の bit7 の RST ビット, EP0～5 ステータスレジスタ(EP1S～EP5S)の bit15 の BFINI ビットが共に 1 のときに設定して、USB 動作中の書換えは禁止です。

以下に EP1～5 制御レジスタ(EP1C～EP5C)の各ビットの機能を説明します。

[bit15] EPEN : エンドポイント 1～5 許可ビット(EndPoint1～5 ENable)

エンドポイントを有効にします。EPEN ビットの設定によりファンクションで使用するエンドポイントとしてホストから構成されます。EP1～EP5 制御レジスタ(EP1C～EP5C)の TYPE, DIR, PKS ビットが構成情報として有効です。

bit	説明
0	EndPoint は無効
1	EndPoint は有効

[bit14:13] TYPE : エンドポイント転送タイプ選択ビット(endpoint TYPE)

エンドポイントがサポートする転送タイプを指定します。

bit14:13	説明
00	指定禁止
01	Iso 転送(ファンクション動作モード)
10	Bulk 転送
11	Interrupt 転送

＜注意事項＞

Iso 転送の設定はファンクション動作モード時にエンドポイント 1 のみと、エンドポイント 1 と 2 の両方に設定可能です。エンドポイント 2 のみ、エンドポイント 1 と 2 以外、ホスト動作モード時は設定禁止です。

[bit12] DIR : エンドポイント転送方向選択ビット(endpoint DIRection)

エンドポイントがサポートする転送方向を指定します。

bit	ファンクション動作モード	ホスト動作モード(EP1, EP2 のみ)
0	OUT エンドポイント	IN エンドポイント
1	IN エンドポイント	OUT エンドポイント

[bit11] DMAE : DMA 自動転送許可ビット(DMA Enable)

転送データの送受信バッファへの書込みあるいは、読出しに DMA を使用し、DMA に設定したデータ転送数までホストからの IN, OUT データ要求に同期して自動で送受信データを転送するモード設定です。

bit	説明
0	自動バッファ転送モードの解除
1	自動バッファ転送モードの設定

＜注意事項＞

DMAE ビットを"1"に設定中は CPU による送受信バッファへのアクセスは禁止です。

[bit10] NULE : NULL 自動転送許可ビット(NULI Enable set)

自動バッファ転送モードが設定されている状態(DMAE=1)で、IN 方向のデータ転送要求がきたときに、最後のパケット転送を検出し、0 バイトのデータ転送を自動で送信するモードの設定を行います。

bit	説明
0	NULL 自動転送モードの解除
1	NULL 自動転送モードの設定

＜注意事項＞

OUT 方向のデータ転送時や自動バッファ転送モードが設定されていない時には NULL ビットの設定は通信に影響しません。

[bit9] STAL : エンドポイント 1～5 STALL 設定ビット(STALI set)

本ビットの設定によりエンドポイントを STALL 状態(STALL 応答)に設定できます。

・UDC 制御レジスタ(UDCC)の STALCLREN ビットが"0"の場合

本ビットは、Clear Feature コマンドによって、"0"にクリアされません。本ビットをクリアするにはソフトウェアで行う必要があります。本ビットのクリアタイミングは「3.9 エンドポイント 1～5 の STALL 応答/解除」の「■ソフト処理にて STALL 応答する場合」を参照してください。

bit	説明
0	STALL 状態を解除します
1	STALL 状態(STALL 応答)を設定します

・UDC 制御レジスタ(UDCC)の STALCLREN ビットが"1"の場合

本ビットはハードウェアによってクリアされます。Clear Feature コマンドで指定されたエンドポイントに対し、"0"にクリアされます。本ビットのクリアタイミングは「3.9 エンドポイント 1～5 の STALL 応答/解除」の「■ソフト処理にて STALL 応答する場合」を参照してください。

bit	説明
0	無視されます
1	STALL 状態(STALL 応答)を設定します

＜注意事項＞

・UDC 制御レジスタ(UDCC)の STALCLREN ビットが"0"の場合、STAL ビットを"1"に設定中はホストに対し、STALL 応答し続けます。STALL 状態からの復帰は STAL ビットの解除の後、ホストからの Clear Feature コマンドにより可能です。
・STALCLREN の設定値により、リードモディファイライト系命令で読み出される値が異なります。
  ・STALCLREN=0 の場合、そのときの値が読み出されます。
  ・STALCLREN=1 の場合、"0"が読み出されます。

[EP2～EP5 : bit8:7] EP2～EP5 予約ビット

このビットは EP2～EP5 の場合、予約ビットです。書込み時は"0"を書き込んでください。読出し時は"0"が読み出されます。

[(EP1 : bit8:7)bit6:0] PKS : パケットサイズ設定ビット(PacKet Size ep1 set)

1 パケットでの最大転送数を指定します。EndPoint1～5 の指定可能なパケットの最大転送数を下記に示します。

EndPoint	最大転送数	設定可能範囲
1	256 バイト(奇数設定可能)	0x001～0x100
2～5	64 バイト(奇数設定可能)	0x01～0x40

＜注意事項＞

・最大転送数(0x100, 0x40)を超える設定と"0x00"の設定は禁止です。EndPoint2～5 は bit8:7 に"00"書込みをしてください。さらに、自動バッファ転送モード(DMAE=1)を使用する場合は該当する EndPoint での 0～2 設定は禁止です。
・PKS は偶数バイトを設定してください。

5.4. タイムスタンプレジスタ(TMSP)

タイムスタンプレジスタ(TMSP)は、SOF パケット受信時のフレーム番号の表示を行います。

下図にタイムスタンプレジスタ(TMSP)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約			TMSP		
属性	-	-	-			R	R	R
初期値	X	X	XXX			0	0	0
RST リセット	0	0	無関係			0	0	0

bit	7	6	5	4	3	2	1	0
Field	TMSP							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
RST リセット	0	0	0	0	0	0	0	0

以下にタイムスタンプレジスタ(TMSP)の各ビットの機能を説明します。

[bit15:11] 予約ビット

書込みは意味を持ちません。読出し時は不定です。

[bit10:0] TMSP : タイムスタンプビット(TiMe StamP)

SOF パケットの受信によるフレーム番号を示します。フレーム番号は SOF パケットの受信時に更新されます。

5.5. UDC ステータスレジスタ(UDCS)

UDC ステータスレジスタ(UDCS)は、USB 通信上のバスの状態や、特定のコマンド受信状態を示すレジスタです。SETP を除く各ビットは割込み要因となっており、対応する割込み許可ビットが有効指定されていれば CPU へ割込みがかかります。

下図に UDC ステータスレジスタ(UDCS)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	-	-	SUSP	SOF	BRST	WKUP	SETP	CONF
属性	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	0	0	0	0	0	0
RST リセット	X	X	0	0	0	0	0	0

以下に UDC ステータスレジスタ(UDCS)の各ビットの機能を説明します。

[bit7:6] 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit5] SUSP : サスペンド検出ビット(SUSPend)

USB ファンクションがサスペンド状態に移行したことを表示します。SUSP ビットは割込み要因であり、"1"書込みは無視します。"0"書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	Suspend 未検出・割込み要因クリア
1	Suspend 検出

[bit4] SOF : SOF 検出ビット(Start Of Freame)

SOF パケットを受信したことを示し、タイムスタンプレジスタの値が更新されます。SOF ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SOF 未受信・割込み要因クリア
1	SOF パケットを受信

[bit3] BRST : バスリセット検出ビット(Bus ReSeT)

USBバスリセットの検出を表示します。BRSTビットは割込み要因であり、1書込みは無視します。0書込みでクリアしてください。リードモディファイライト時は1が読み出されます。

bit	説明
0	USB バスリセットを未検出・割込み要因クリア
1	USB バスリセットを検出

＜注意事項＞

本ビットの検出時にはEP0Iステータスレジスタ(EP0IS)のBFINIビットとEP0Oステータスレジスタ(EP0OS)のBFINIビットおよびEP1～EP5ステータスレジスタ(EP1S～EP5S)のBFINIビットでバッファを初期化してください。

[bit2] WKUP : WakeUp 検出ビット(WaKe UP)

USB ファンクションがサスペンド状態から復帰したことを表示します。復帰要因は RESUM ビットの設定によるリモートウェイクアップとホストからの要求によるウェイクアップがありますが、WKUP ビットはホストからの復帰要求のみで自動設定されます。WKUP ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	HOST 要因 RESUME を未検出・割込み要因クリア
1	HOST 要因 RESUME を検出

＜注意事項＞

ホスト要求によるウェイクアップ時でも UDCC レジスタの RESUM ビットが設定されている場合、本ビットは設定されません。

[bit1] SETP : SETUP ステージ検出ビット(SETuP)

受信したデータが USB コントロール転送の Setup ステージであることを示します。1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SETUP 未受信・要因クリア
1	コントロール転送 SETUP ステージを受信

＜注意事項＞

標準コマンドの自動応答時には設定されません。本ビットは割込み要因ではありません。

[bit0] CONF : コンフィグレーション検出ビット(CONFigration)

USB ファンクションがコンフィグレーション済みであることを表示します。CONF ビットは USB コマンドの SetConfig を正常受信したときに設定されます。CONF ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	SetConfig 未検出・割込み要因クリア
1	SetConfig を検出

5.6. UDC 割込み許可レジスタ(UDCIE)

UDC 割込み許可レジスタ(UDCIE)は、UDC ステータスレジスタの各割込み要因による割込みを、ビットごとに許可するレジスタです(CONFN ビットは除きます)。

下図に UDC 割込み許可レジスタ(UDCIE)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	予約	予約	SUSPIE	SOFIE	BRSTIE	WKUPIE	CONFN	CONFIE
属性	-	-	R/W	R/W	R/W	R/W	R	R/W
初期値	0	0	0	0	0	0	0	0
RST リセット	0	無関係	0	0	0	0	0	0

以下に UDC 割込みレジスタ(UDCIE)の各ビットの機能を説明します。

[bit15:14] 予約ビット
予約ビットです。必ず"0"を書き込んでください。常に"0"が読み出されます。

[bit13] SUSPIE : サスペンド割込み許可ビット(SUSP Interrupt Enable)
UDC ステータスレジスタ"SUSP"の割込み要因による割込みを許可します。

bit	説明
0	SUSP 要因による割込み禁止
1	SUSP 要因による割込み許可

[bit12] SOFIE : SOF 受信割込み許可ビット(SOF Interrupt Enable)
UDC ステータスレジスタ"SOF"の割込み要因による割込みを許可します。

bit	説明
0	SOF 要因による割込み禁止
1	SOF 要因による割込み許可

[bit11] BRSTIE : バスリセット割込み許可ビット(BRST Interrupt Enable)
UDC ステータスレジスタ"BRST"の割込み要因による割込みを許可します。

bit	説明
0	BRST 要因による割込み禁止
1	BRST 要因による割込み許可

[bit10] WKUPIE : WakeUp 割込み許可ビット(WKUP Interrupt Enable)

UDC ステータスレジスタ"WKUP"の割込み要因による割込みを許可します。

bit	説明
0	WKUP 要因による割込み禁止
1	WKUP 要因による割込み許可

[bit9] CONFN : コンフィグレーション番号表示ビット(CONFigration Number)

コンフィグレーション番号を表示します。UDC ステータスレジスタ CONF の割込み要因セット時に更新します。

bit	説明
0	CONFIG 番号 0
1	CONFIG 番号 1

[bit8] CONFIE : コンフィグレーション割込み許可ビット(CONFigration)

UDC ステータスレジスタ"CONF"の割込み要因による割込みを許可します。

bit	説明
0	CONF 要因による割込み禁止
1	CONF 要因による割込み許可

5.7. EP0I ステータスレジスタ(EP0IS)

EP0I ステータスレジスタ(EP0IS)は、エンドポイント 0 の IN 方向転送に関するステータス表示を行います。

下図に EP0IS レジスタ(EP0IS)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIIE	-	-	-	DRQI	-	-
属性	R/W	R/W	-	-	-	R/W	-	-
初期値	1	0	X	X	X	1	X	X
BFINI リセット	1	無関係	X	X	X	1	X	X

bit	7	6	5	4	3	2	1	0
Field	-	-	-	-	-	-	-	-
属性	-	-	-	-	-	-	-	-
初期値	X	X	X	X	X	X	X	X
BFINI リセット	X	X	X	X	X	X	X	X

以下に EP0I ステータスレジスタ(EP0IS)の各ビットの機能を説明します。

[bit15] BFINI : 送信バッファ初期化ビット(BuFfer INItial)

転送データの送信バッファの初期化をします。また、本ビットは UDC 制御レジスタ(UDCC)RST ビットを"1"に設定すると本ビットは自動で"1"に設定されるようになっています。したがって、RST ビットでリセットされている場合、本ビットのクリアは RST ビットに"0"を設定してから行ってください。

bit	説明
0	初期化の解除
1	送信バッファの初期化

＜注意事項＞

BFINI ビットによる初期化ではバッファ, DRQI ビットが初期化されます。バッファの初期化をする場合、DRQI または DRQO ビットが設定されホストからのアクセスがないことを確認した後、必要に応じて STAL ビットを設定してから初期化を行ってください。

[bit14] DRQIIE : 送信データ割込み許可ビット(Data ReQuest In Interrupt Enable)

EP0I ステータスレジスタ"DRQI"の割込み要因による割込みを許可します。

bit	説明
0	DRQI 要因による割込み禁止
1	DRQI 要因による割込み許可

[bit13:11] 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit10] DRQI : 送受信データ割込み要求ビット(Data ReQuest In)

EP0 のホストからの IN パケット転送が正常に終了し、送信バッファからデータが読み出され次の送信データを書き込むことが可能であることを示します。DRQI ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	送信データの書込み可能状態

＜注意事項＞

送信バッファのデータライト処理が完了後に本ビットをクリアする必要があります。また、本ビットが設定されていない時の 0 書込みは禁止です。

DRQI ビットが 1 のとき、送信バッファにデータ書込みが可能です。また、クリアした時点で送信バッファにデータ設定が完了したことを意味します。したがって、DRQI ビットが 1 の状態で IN パケット要求があった場合は、自動でホストに NAK 応答します。

[bit9:0] 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

5.8. EP0O ステータスレジスタ(EP0OS)

EP0O ステータスレジスタ(EP0OS)は、エンドポイント 0 の Out 方向転送に関するステータス表示を行います。

下図に EP0OS レジスタ(EP0OS)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQOIE	SPKIE	-	-	DRQO	SPK	予約
属性	R/W	R/W	R/W	-	-	R/W	R/W	-
初期値	1	0	0	X	X	0	0	0
BFINI リセット	1	無関係	無関係	X	X	0	0	0

bit	7	6	5	4	3	2	1	0
Field	予約	SIZE						
属性	-	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X
BFINI リセット	X	X	X	X	X	X	X	X

以下に EP0O ステータスレジスタ(EP0OS)の各ビットの機能を説明します。

[bit15] BFINI : 受信バッファ初期化ビット(BuFfer INItial)

転送データの受信バッファの初期化をします。また、本ビットは UDC 制御レジスタ(UDCC)の RST ビットのセットでも自動で設定されるようになっています。従って、RST ビットでリセットされている場合、本ビットのクリアは RST ビットのクリア後に行ってください。

bit	説明
0	初期化の解除
1	受信バッファの初期化

＜注意事項＞

BFINI ビットによる初期化ではバッファ, DRQO, SPK ビットが初期化されます。バッファの初期化をする場合、DRQI または DRQO ビットが設定されホストからのアクセスがないことを確認した後、必要に応じて STAL ビットを設定してから初期化を行ってください。

[bit14] DRQOIE : 受信データ割込み許可ビット(Data ReQuest Out Interrupt Enable)

EP0O ステータスレジスタ"DRQO"の割込み要因による割込みを許可します。

bit	説明
0	DRQO 要因による割込み禁止
1	DRQO 要因による割込み許可

[bit13] SPKIE : ショートパケット割込み許可ビット(SPK Interrupt Enable)

EP0O ステータスレジスタ"SPK"の割込み要因による割込みを許可します。

bit	説明
0	SPK 要因による割込み禁止
1	SPK 要因による割込み許可

[bit12:11] 未定義ビット

書込みは意味を持ちません。読出し時は不定です。

[bit10] DRQO : 受信データ割込み要求ビット(Data ReQuest Out)

EP0 のホストからの OUT パケット転送が正常に終了し、受信バッファにデータが書き込まれ受信データを読み出すことが可能であることを示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	受信データの読出し可能状態

＜注意事項＞

受信バッファのデータリード処理が完了後に、本ビットをクリアする必要があります。また、本ビットが設定されていない時の 0 書込みは禁止です。

DRQO ビットが 1 のとき、受信バッファは更新されません。クリアした時点で更新許可となります。DRQO ビットが 1 の状態で OUT パケット要求があった場合は、自動でホストに NAK 応答します。

[bit9] SPK : ショートパケット割込み要求ビット(Short PacKet)

ホストからの転送データ数が正常受信時に EP0 制御レジスタ(EP0C)の PKS で設定した MAX パケット数に満たない場合(0 バイトを含みます)を示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	MAX パケット転送数分を受信
1	MAX パケット転送数未満を受信

[bit8:7] 予約ビット

このビットは予約ビットです。書込みは意味を持ちません。常に"0"が読み出されます。

[bit6:0] SIZE : パケットサイズ表示ビット(packet SIZE)

EP0 の OUT パケット転送終了後に受信バッファに書き込まれたデータバイト数が表示されます。SIZE ビットは EP0O ステータスレジスタ(EP0OS)の DRQO の割込み要因が設定されたときに有効な値に更新されます。

<例> 8 バイト⇒"0x08", 64 バイト⇒"0x40"(最大値)

5.9. EP1～5 ステータスレジスタ(EP1S～EP5S)

EP1～5 ステータスレジスタ(EP1S～EP5S)は、エンドポイント 1～5 に関するステータス表示を行います。

下図に EP1～5 ステータスレジスタ(EP1S～EP5S)のビット構成を示します。

■ EP1 ステータスレジスタ(EP1S)

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIE	SPKIE	予約	BUSY	DRQ	SPK	SIZE1
属性	R/W	R/W	R/W	-	R	R/W	R/W	R
初期値	1	0	0	X	0	0	0	X

bit	7	6	5	4	3	2	1	0
Field	SIZE1							
属性	R	R	R	R	R	R	R	R
初期値	X	X	X	X	X	X	X	X

■ EP2～EP5 ステータスレジスタ(EP2S～EP5S)

bit	15	14	13	12	11	10	9	8
Field	BFINI	DRQIE	SPKIE	予約	BUSY	DRQ	SPK	予約
属性	R/W	R/W	R/W	-	R	R/W	R/W	-
初期値	1	0	0	X	0	0	0	X

bit	7	6	5	4	3	2	1	0
Field	予約	SIZE2~SIZE5						
属性	-	R	R	R	R	R	R	R
初期値	0	X	X	X	X	X	X	X

以下に EP1～5 ステータスレジスタ(EP1S～EP5S)の各ビットの機能を説明します。

[bit15] BFINI : 送受信バッファ初期化ビット(BuFfer INItial)

転送データの送受信バッファの初期化をします。また、BFINI ビットは UDC 制御レジスタ(UDCC)の RST ビットの設定でも自動で設定されるようになっています。従って、RST ビットでリセットされている場合、BFINI ビットのクリアは RST ビットのクリア後に行ってください。

bit	説明
0	初期化の解除
1	送受信バッファの初期化

＜注意事項＞

EP1～EP5 の送受信バッファはダブルバッファ構成で、BFINI ビットによる初期化ではダブルバッファ同時に初期化が行われ、DRQ, SPK ビットも初期化されます。バッファの初期化をする場合、DRQ ビットが設定され BUSY ビットによりホストからのアクセスがないことを確認した後、STAL ビットを設定してから初期化を行ってください。

[bit14] DRQIE : パケット転送割込み許可ビット(Data ReQuest Interrupt Enable)

EP1～EP5 ステータスレジスタ"DRQ"の割込み要因による割込みを許可します。

bit	説明
0	DRQ 要因による割込み禁止
1	DRQ 要因による割込み許可

＜注意事項＞

自動バッファ転送モード(DMAE=1)を使用する場合は DMA の設定し、転送を許可してから DRQIE ビットを許可してください。

[bit13] SPKIE : ショートパケット割込み許可ビット(SPK Interrupt Enable)

EP1～5 ステータスレジスタ"SPK"の割込み要因による割込みを許可します。

bit	説明
0	SPK 要因による割込み禁止
1	SPK 要因による割込み許可

[bit12] 予約ビット

このビットは予約ビットです。書込みは意味を持ちません。読出し時は不定です。

[bit11] BUSY : ビジーフラグビット(BUSY flag)

ホストから送受信バッファへの書込みまたは読出しアクセス中であることを示します。BUSY ビットは自動で設定, リセットされます。

bit	説明
0	ホストからのアクセスなし
1	ホストからの書込みまたは読出し動作中

＜注意事項＞

DRQ ビットが"1"に設定された状態で BUSY ビットも"1"に設定されている場合、ダブルバッファの内、CPU または DMA アクセスしているバッファとは別のバッファが、ホストからのアクセス中であることを意味します。

通常であれば BUSY ビットによる制御は必要ありません。しかし、BFINI の設定によるバッファの初期化をする場合は、以下の設定後、初期化してください。

1. DRQ ビットがセットされ、BUSY ビットによりホストからのアクセスがないことを確認
2. STAL ビットを設定

[bit10] DRQ : パケット転送割込み要求ビット(Data ReQuest)

EP1～EP5 のパケット転送が正常に終了し、データ処理が必要であることを示します。DRQ ビットは割込み要因であり、1 書込みは無視します。DRQ ビットが"1"のときに 0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	割込み要因クリア
1	パケット転送が正常に終了

＜注意事項＞

自動バッファ転送モード(DMAE=1)を使用しない場合は、送受信バッファのデータリードまたはデータライト処理が完了後に DRQ ビットに"0"を書き込んでください。DRQ ビットをクリアした時点でアクセスバッファを切り換えます。DRQ ビットをクリア後に、DRQ=0 が読めない場合があります。転送方向が IN 方向の設定の場合、DRQ ビットが 1 でバッファデータ書込みせずにクリアした場合、0 バイトデータを設定したことになります。初期設定において EP1～EP5 制御レジスタ(EP1C～EP5C)の DIR を"1"に設定した場合、対応するエンドポイントの DRQ ビットも同時に設定されます。また、DRQ ビットが設定されていない時の 0 書込みは禁止です。

[bit9] SPK : ショートパケット割込み要求ビット(Short PacKet)

ホストからの転送データ数が正常受信時に EP1～EP5 制御レジスタ(EP1C～EP5C)の PKS で設定した最大パケット数に満たない場合(0 バイトを含みます)を示します。本ビットは割込み要因であり、1 書込みは無視します。0 書込みでクリアしてください。リードモディファイライト時は 1 が読み出されます。

bit	説明
0	最大パケット転送数分を受信
1	最大パケット転送数未満を受信

＜注意事項＞

IN 方向のデータ転送時に SPK ビットは設定されません。

[EP2～EP5 : bit8:7] 予約ビット

EP2～EP5 の場合、このビットは予約ビットです。書込みは意味を持ちません。読出し時には"0"が読み出せます。

[(EP1 : bit8:7) bit6:0] SIZE : packet SIZE

EP1～EP5 の OUT パケット転送終了時に受信バッファに書き込まれたデータバイト数が表示されます。SIZE ビットは EP1～EP5 ステータスレジスタ(EP1S～EP5S)の DRQ の割込み要因が設定されたときに有効な値に更新されます。

EndPoint1～5 の最大転送数は以下になります。

EndPoint	最大転送数	表示範囲
1	256 バイト	0x000～0x100
2～5	64 バイト	0x00～0x40

＜注意事項＞

本ビットは OUT 方向転送時でのホストからのバッファ書込みデータ数が設定されるため、IN 方向時に読み出された値は意味をもちません。

5.10. EP0～5 データレジスタ(EP0DTH～EP5DTH/ EP0DTL～EP5DTL)

EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)は、エンドポイント 0～5 に関する転送データの送受信バッファへのリードまたはライトのアクセスレジスタです。

下図に EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)のビット構成を示します。

■ EP0DTH～EP5DTH

bit	15	14	13	12	11	10	9	8
Field	BFDT							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

■ EP0DTL～RP5DTL

bit	7	6	5	4	3	2	1	0
Field	BFDT							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

以下に EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)の各ビットの機能を説明します。

[bit15:0] BFDT : エンドポイント用送受信バッファデータビット(BuFfer DaTa)
各エンドポイント用送受信バッファへのデータリード, ライトレジスタです。

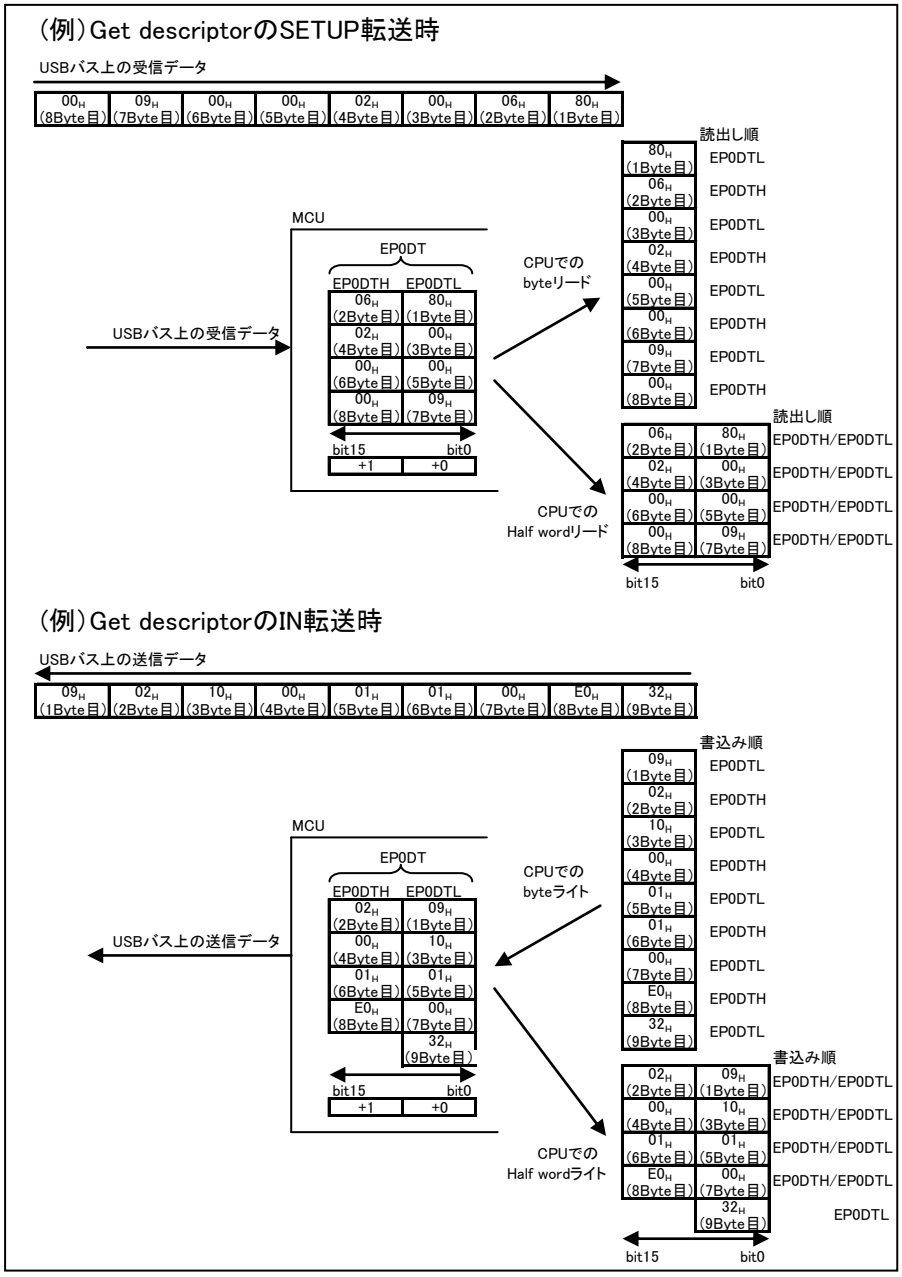
＜注意事項＞

・EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)への CPU アクセスはバイト，ハーフワード共に可能です。

・バイトの場合

最初に下位(EPxDTL)へのアクセスとし、次は上位(EPxDTH)へのアクセスとして、以後下位(EPxDTL)，上位(EPxDTH)を交互にアクセスしてください。

・ビット操作命令による本レジスタへのアクセスは禁止です。



DMA 転送による EP0～5 データレジスタ(EP0DTH～EP5DTH/EP0DTL～EP5DTL)へのアクセスはハーフワードアクセスのみ対応しています(「3.6 DMA 転送機能」の「データ数自動転送モード」を参照してください)。

CHAPTER: USB ホスト

USB ホストの機能と動作について示します。

1. USB ホストの概要
2. USB ホストの構成
3. USB ホストの動作説明
4. USB ホストの設定手順例
5. USB ホストのレジスタ

1. USB ホストの概要

USB ホストの機能と動作について示します。

■ USB ホストの特長

USB ホストには以下の特長があります。

・Full Speed/Low Spped 転送の自動検出
・Full Speed/Low Speed 転送サポート
・デバイスの接続および切断の自動検出
・USB バスへのリセット送出機能サポート
・IN/OUT/SETUP/SOF トークンのサポート
・IN トークン時のハンドシェークパケット自動送出(STALL は除く)
・OUT トークン時のハンドシェークパケット自動検出
・最大パケット長 256 バイトまでサポート
・各種エラー(CRC エラー/トグルエラー/タイムアウト)サポート
・Wake Up 機能サポート
・富士通オリジナルの USB ホスト機能。動作モードを切り換えることで USB ファンクションとしても動作可能(USB ホストの仕様制限については表 1-1 を参照してください)。

＜注意事項＞

USB ホストを使用する場合、ベースクロックは 13MHz 以上で使用してください。

表 1-1 USB ホストの仕様制限

		ホスト
HUB のサポート		○*1
転送	バルク転送	○
	コントロール転送	○
	インタラプト転送	○
	アイソクロナス転送	○
転送スピード	Low Speed	○
	Full Speed	○
PRE パケットサポート		×
SOF パケットサポート		○
エラー	CRC エラー	○
	トグルエラー	○
	タイムアウト	○
	最大パケット＜受信データ	○
デバイスの接続・切断検出		○
転送スピード検出		○

○ : サポート
× : 非サポート

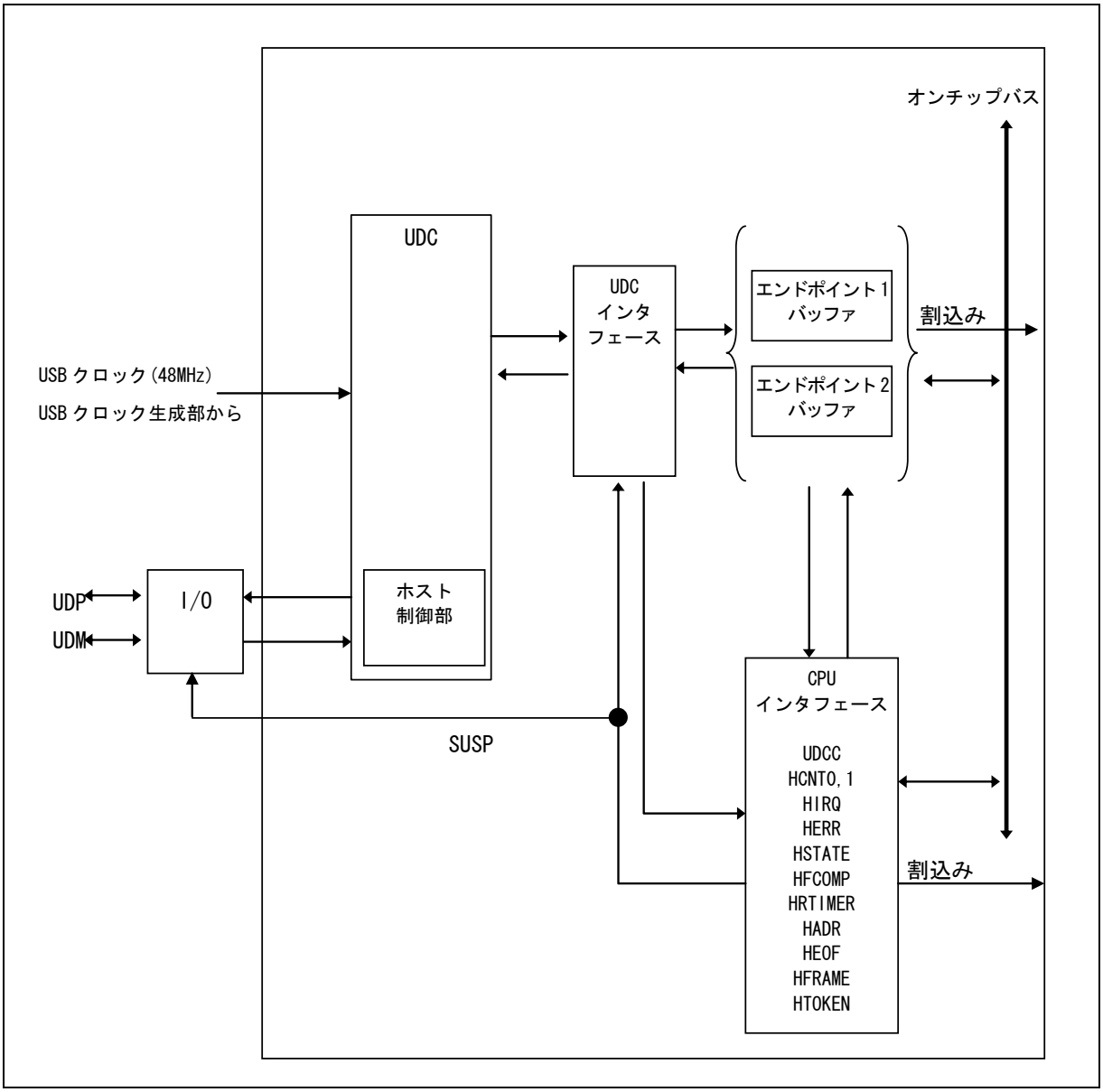
*1 : Full Speed のみ対応し、HUB は 1 段までのサポートです。

2. USB ホストの構成

図 2-1 に、USB ホストのブロックダイヤグラムを示します。

■ USB ホストのブロックダイヤグラム

図 2-1 USB ホストのブロックダイヤグラム



3. USB ホストの動作説明

USB ホストの動作について説明します。

3.1 デバイスの接続
3.2 USB バスのリセット
3.3 トークンパケット
3.4 データパケット
3.5 ハンドシェークパケット
3.6 リトライ機能
3.7 SOF 割込み
3.8 エラーステータス
3.9 パケット終了
3.10 サスペンド・リジューム
3.11 デバイスの切断

3.1. デバイスの接続

外部の USB 装置が接続されたことをソフトウェアで検出する方法を示します。

■ ホスト機能の設定

USB 動作させるためには、USB 許可レジスタ(USBEN)の USBEN ビットが 0(USB 動作禁止)の状態で、USB クロック生成部の設定を行い USB クロック出力を有効にしてください。次に、USBEN ビットを 1(USB 動作許可)に設定してください。その後にホストとして動作させるために、ホストコントロールレジスタ 0(HCNT0)の HOST ビットに"1"を設定してください。

■ 外部 USB 装置が非接続の状態，接続の状態

外部 USB 装置が接続されていない時はプルダウン抵抗によりホスト用端子 D+, D-ともに"L"です。このとき、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは"0"、TMODE ビットは不定です。外部 USB 装置が接続されると、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは"1"になります。

■ 外部 USB 装置の接続検出

外部 USB 装置が接続されたことを検出すると、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが"1"になります。このとき、ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットに"1"が設定されていると、デバイス接続割込みが発生します。この割込みをクリアするためには、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットに"0"を書き込んでください。割込みではなくポーリングでデバイスの接続を検出する場合は、以下のようにプログラムを作成してください。

1. ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットを"0"に設定
2. ホスト割込みレジスタ(HIRQ)の CNNIRQ が"1"に変わることを確認

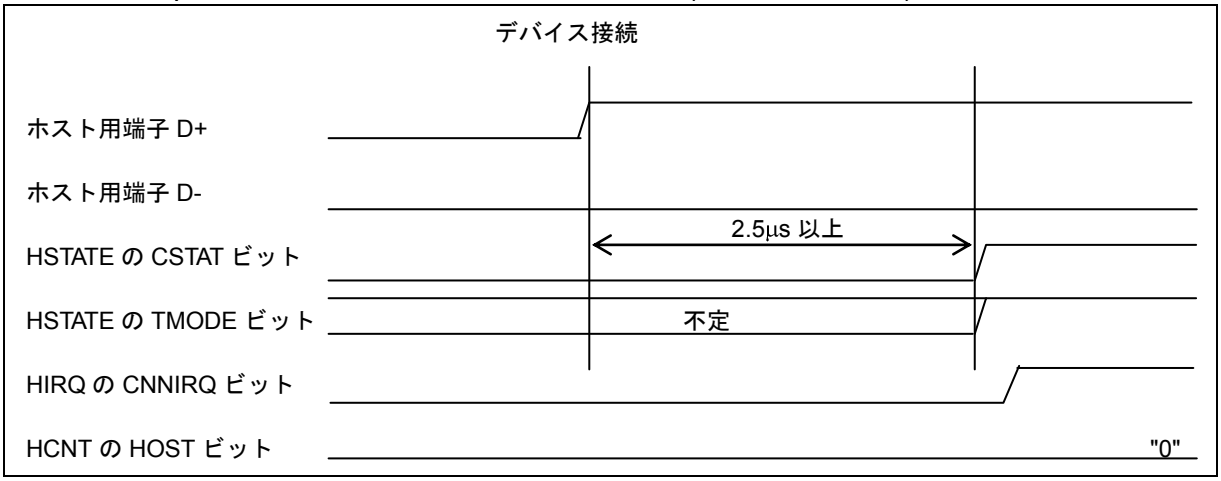
■ 相手先 USB 装置の転送速度の取得とクロック選択

接続が検出された後、相手先 USB の転送可能速度を取得するためには、ホスト状態ステータスレジスタ(HSTATE)の TMODE の値を参照してください。転送速度とホスト状態ステータスレジスタ(HSTATE)の TMODE ビットの関係を以下に示します。

- 接続先が Full Speed 対応装置 → TMODE="1"
- 接続先が Low Speed 対応装置 → TMODE="0"

外部 USB 装置の転送速度を取得した後、UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、取得した転送速度に従ってホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットを更新してください。

図 3-1 Full Speed デバイスの接続検出タイミング例(HCNT0 bit0="0")



＜注意事項＞

- 外部の USB 装置が接続されてから 2.5μs 経過後に、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが"1"になります。
- ホスト状態ステータスレジスタ(HSTATE)の TMODE ビット, CSTAT ビットはホストコントロールレジスタ 0(HCNT0)の HOST ビットの設定にかかわらず更新されます。ホスト割込みレジスタ(HIRQ)の CNNIRQ ビット, DIRQ ビットは条件が成立すれば、"1"になります。

3.2. USB バスのリセット

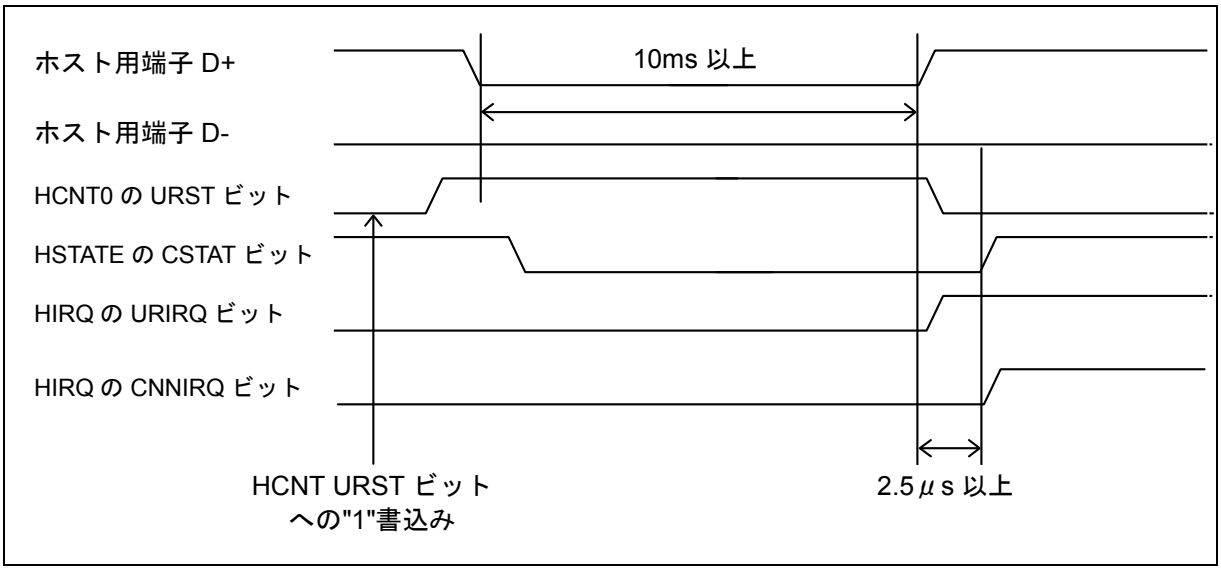
ホストモード時､ホストコントロールレジスタ 0(HCNT0)の URST ビットに"1"を設定すると、10ms 以上の SE0 を送出することで､USB バスがリセットされます｡USB バスのリセットが完了するとホストコントロールレジスタ 0(HCNT0)の URST ビットが"0"となり、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが"1"になります。そのときホストコントロールレジスタ 0(HCNT0)の URIRE ビットが"1"に設定されている場合、割込みが発生します。割込みをクリアするためにはホスト割込みレジスタ(HIRQ)の URIRQ ビットに"0"を書き込んでください。

■ USB バスのリセット前後の注意点

USB バスのリセットについて以下の点に注意してください。

1. USB バスへのリセット前にデバイスが接続されていることを、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが"1"になっていることで確認してください。
2. USB バスのリセットを実行すると、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットは"0"になるため、切断状態になります。そのとき、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは"1"になりません。
3. USB バスへのリセットが終了後、ホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットと TMODE ビットを比較してください。不一致であれば一致するように CLKSEL ビットを更新してください。更新するときには UDC 制御レジスタ(UDCC)の RST ビットが"1"のときに実施してください。
4. USB バスのリセットが終了後、下記ビットのいずれかで USB デバイスが接続されていることを確認してから、トークンを実行してください。
   ・ホスト割込みレジスタ(HIRQ)の CNNIRQ ビット
   ・ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビット

図 3-2 デバイスへのリセットタイミング例



＜注意事項＞

USB バスのリセット終了後、USB デバイスの接続が検出されないと、トークンは発行されません。

3.3. トークンパケット

ホストモード時、IN トークン, OUT トークン, SETUP トークンのいずれかを実行する場合、下記フローに従って設定することによりトークンパケットを送出します。

1. ホストアドレスレジスタ(HADR)を設定
2. EP1 制御レジスタ(EP1C)または EP2 制御レジスタ(EP2C)の DIR ビット, PKS ビットを設定
3. ホストトークンエンドポイントレジスタ(HTOKEN)に必要データを設定

SOF トークン時は、FRAME 設定レジスタ(HFRAME), EOF 設定レジスタ(HEOF)設定後、ホストトークンエンドポイントレジスタ(HTOKEN)に必要データを設定してください。各種レジスタ(HADR, EP1C, EP2C, HFRAME, HEOF)に変更がない場合には、設定は不要です。

■ トークンパケットの設定

ホストモード時、送受信のバッファとしてエンドポイント 1 とエンドポイント 2 のバッファを使用してください。
IN トークン, OUT トークン, SETUP トークンの場合、目的のアドレスをホストアドレスレジスタ(HADR)に設定してください。次に、1 パケットの最大バイト数と転送方向を EP1 制御レジスタ(EP1C)または EP2 制御レジスタの PKS ビットと DIR ビットに設定してください。

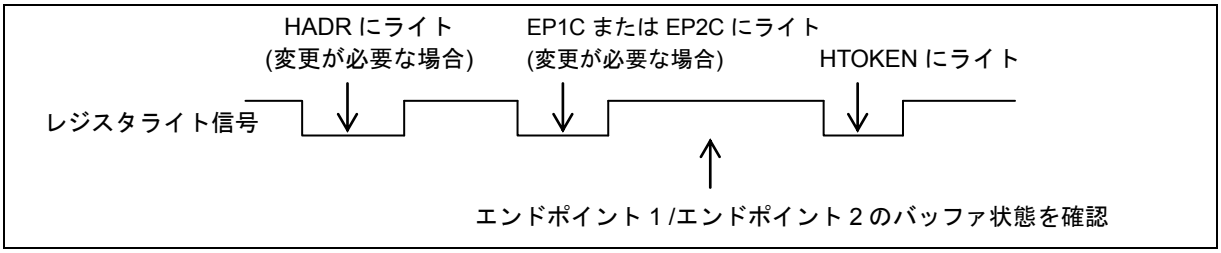
EP1 制御レジスタ(EP1C)の DIR ビットが"1"であれば、エンドポイント 1 のバッファは OUT 方向のバッファとして使用されます。エンドポイント 2 のバッファは IN 方向のバッファとして使用されます。このとき、EP2 制御レジスタ(EP2C)の DIR ビットに"0"を設定してください。
EP1 制御レジスタ(EP1C)の DIR ビットが"0"であれば、エンドポイント 1 のバッファは IN 方向のバッファとして使用されます。エンドポイント 2 のバッファは OUT 方向のバッファとして使用されます。このとき、EP2 制御レジスタ(EP2C)の DIR ビットに"1"を設定してください。

トークンを実行する場合、以下の手順で設定してください。

1. EP1 制御レジスタ(EP1C)と EP2 制御レジスタ(EP2C)の DIR ビットと PKS ビットを設定してください。
2. 使用するエンドポイント n(n は 1 または 2)が OUT 方向であれば、送信データをエンドポイント n(n は 1 または 2)のバッファに送信データを書き込んでください。また、EPn ステータスレジスタ(EPnS:n は 1 または 2)の DRQ ビットに"0"を設定してください。
   IN 方向であれば、EPn ステータスレジスタ(EPnS:n は 1 または 2)の DRQ ビットを読み出して"0"であることを確認してください。
3. ホストトークンエンドポイントレジスタ(HTOKEN)に、目的のエンドポイント, トークンおよびトグルデータを設定してください。

USB 回路は、その設定されたトークンにしたがって Sync, トークン, アドレス, エンドポイント, CRC5, EOP の順でトークンパケットを送出します(Sync, CRC5, EOP は自動)。1 パケット終了後、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが"1"となります。さらに、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN が"0b000"になります(「3.7 SOF 割込み」を参照してください)。そのとき、ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが"1"の場合、割込みが発生します。割込みをクリアするにはホスト割込みレジスタ(HIRQ)の CMPIRQ ビットに"0"を書き込んでください。

図 3-3 IN/OUT/SETUP トークン実行までのレジスタの設定例



SOF トークンの場合、EOF 設定レジスタ(HEOF)および FRAME 設定レジスタ(HFRAME)に EOF 時間および FRAME 番号を設定し、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF トークンのコードを設定してください。Sync, SOF トークン, FRAME 番号, CRC5, EOP を送出し、ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"1"に設定され、FRAME 設定レジスタ(HFRAME)が+1 されます。また、このときホスト割込みレジスタ(HIRQ)の CMPIRQ も"1"に設定されることで、ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが(000)b にクリアされます。ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが"1"であれば、割込みが発生します。その後、自動的に発生する SOF の場合には、CMPIRQ による割込みは発生しません。トークン完了の割込みをクリアするにはホスト割込みレジスタ(HIRQ)の CMPIRQ に"0"を書き込んでください。
ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"1"の間、SOF は 1ms ごとに自動的に送出されます。ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"0"となる条件(SOF の停止条件)を以下に示します。

- ホスト状態レジスタ(HSTATE)の SOFBUSY ビットへの"0"書込み
- USB バスへのリセット(HCNT の URST ビットへの"1"書込み)
- ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットへの"1"書込み
- デバイスの切断(HSTATE の CSTAT ビットが"0"の場合)

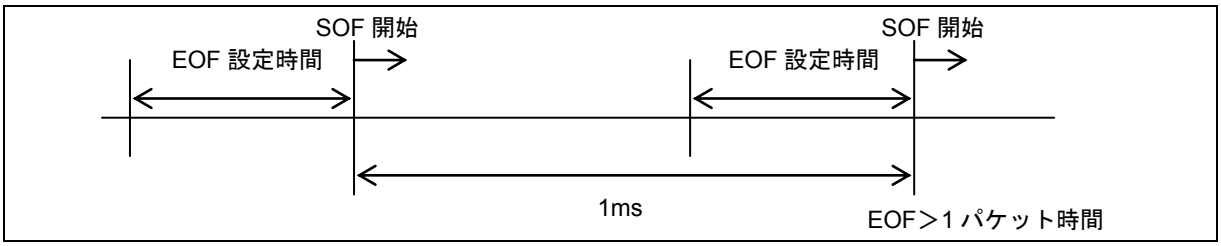
ホストモードからファンクションモードへ切り換える場合には、以下の手順で行ってください。

1. ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットへ"0"を設定する。
2. 以下の状態を確認する。
   - ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"0"にクリアされた
   - ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが"000"になっている
   - ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが"0"になっている
3. UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定する。
4. ホストモードからファンクションモードへ切り換える。

ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットを再び"1"にするためには、SOF トークンをもう 1 度実行してください。

EOF 設定レジスタは、SOF と他のトークンの同時実行を防止します。EOF 設定時間から SOF 開始時間までの間にホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに書き込んだ場合、設定したトークンはウェイトされます。さらに、SOF 実行後にウェイトしているトークンが実行されます。EOF 設定レジスタの時間単位は 1 ビット時間です。例えば EOF 設定レジスタに(10)h と設定した場合、Full Speed モードでは 16*1/12MHz=1333.3ns です。Low Speed モードでは 16*1/1.5MHz=10666.6ns です。EOF 設定時間を 1 パケット時間より短く設定すると、他のトークン実行中に SOF 実行が重なる場合があります。この場合ホストエラーステータスレジスタ(HERR)の LSTSOF ビットが"1"に設定され SOF は実行しません。ホストエラーステータスレジスタ(HERR)の LSTSOF に"1"が設定された場合には、EOF 設定レジスタのデータを大きくする必要があります(EOF 設定レジスタのレジスタ説明を参照してください)。

図 3-4 SOF タイミング



3.4. データパケット

トークンパケット送出後にデータパケットを送信する場合、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットにしたがってトグルデータを送出します。さらに EP1 制御レジスタ(EP1C)の DIR ビットによってエンドポイント 1 またはエンドポイント 2 のバッファデータ, CRC16 データ, EOP を送出します。
データパケットを受信する場合、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットと受信したトグルデータを比較します。一致した場合には受信データを EP1 制御レジスタ(EP1C)の DIR ビットによってエンドポイント 1 またはエンドポイント 2 のバッファに振り分け、CRC16 のエラーを検査します。

■ データパケット

トークンパケット送出後、データパケットを以下の手順で実行します。

1. 送信の場合
   - Sync の自動送信
   - ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットが"0"であれば DATA0、TGGL ビットが"1"であれば DATA1 を送出
   - EP1 制御レジスタ(EP1C)の DIR ビットが"1"であればエンドポイント 1 のバッファ、EP1 制御レジスタ(EP1C)の DIR ビットが"0"であればエンドポイント 2 のバッファを選択し、送信データをすべて送信
   - CRC 16 ビットを送信
   - EOP 2 ビットを送信
   - J State 1 ビットを送信

2. 受信の場合
   - Sync の受信
   - Toggle データを受信し、ホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットと比較
   - Toggle データを比較した結果、一致すれば EP1 制御レジスタ(EP1C)の DIR ビットをチェック。DIR ビットが"1"であればエンドポイント 2 のバッファ、EP1 制御レジスタ(EP1C)の DIR ビットが"0"であればエンドポイント 1 のバッファを選択し、受信データを振り分けていく。
   - EOF を受信したとき、CRC 16 ビットを検査

ホストコントロールレジスタ 0(HCNT0)の HOST ビットが"1"のときには、EP1 制御レジスタ(EP1C)の DIR ビットと EP2 制御レジスタ(EP2C)の DIR ビットは反転させたデータを設定してください。例えば、EP1 制御レジスタ(EP1C)の DIR ビットに"0"を設定した場合、EP2 制御レジスタ(EP2C)の DIR ビットには"1"を設定します。

3.5. ハンドシェークパケット

ハンドシェークパケットにより、送受信相手に自分の状態を通知します。

■ ハンドシェークパケット

ハンドシェークパケットは、データ受信に対し正常に受信できる状態にあることを判断して、受信側から ACK, NAK, STALL のいずれかを送出します。そのとき、USB 回路がハンドシェークパケットを受信した場合は、受信したハンドシェークパケットの種類がホストエラーステータスレジスタ(HERR)の HS ビットに設定されます。ハンドシェークパケットを送信した場合は送信したハンドシェークパケットの種類がホストエラーステータスレジスタ(HERR)の HS ビットに設定されます。

3.6. リトライ機能

パケット終了時に NAK または CRC エラーなどのエラーが発生した場合、ホストコントロールレジスタ 1(HCNT1)の RETRY ビットに"1"を設定していると、リトライタイマレジスタ(HRTIMER)で設定された間、繰り返しリトライされます。

■ リトライ機能

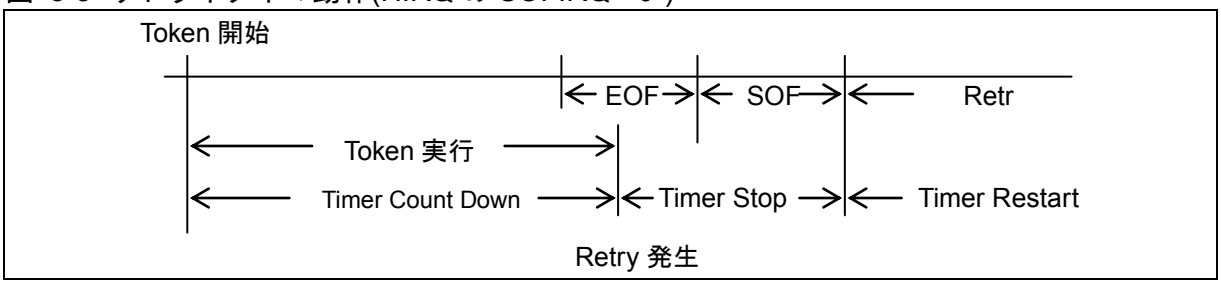
STALL およびデバイスの切断以外のエラー*が発生した場合、ホストコントロールレジスタ 1(HCNT1)の RETRY ビットが"1"であれば、そのトークンをリトライします。リトライの終了条件を以下に示します。

* : HERR.HS="01", HERR.RERR="1", HERR.TOUT="1", HERR.TOUT="1", HERR.CRC="1", HERR.STUFF="1"

- ホストコントロールレジスタ 1(HCNT1)の RETRY ビットの"0"設定
- リトライタイマの 0 検出
- SOF による割込みフラグの発生(HIRQ の SOFIRQ="1")
- ACK の検出
- デバイスが切断されたことの検出

リトライタイマはトークン開始時に起動され、1 ビットの転送クロックにてカウントダウンされますが、EOF 領域内でリトライが発生した場合にはカウントは停止します。HIRQ の SOFIRQ ビットが"0"で SOF トークンが終了した場合には、停止したタイマ値からリスタートされます。リトライタイマが"0"となり、パケットが終了した時点で、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットに"1"が設定されます。

図 3-5 リトライタイマ動作(HIRQ の SOFIRQ="0")



リトライが終了したとき、その終了パケットの終了情報が各レジスタに設定されます。

3.7. SOF 割込み

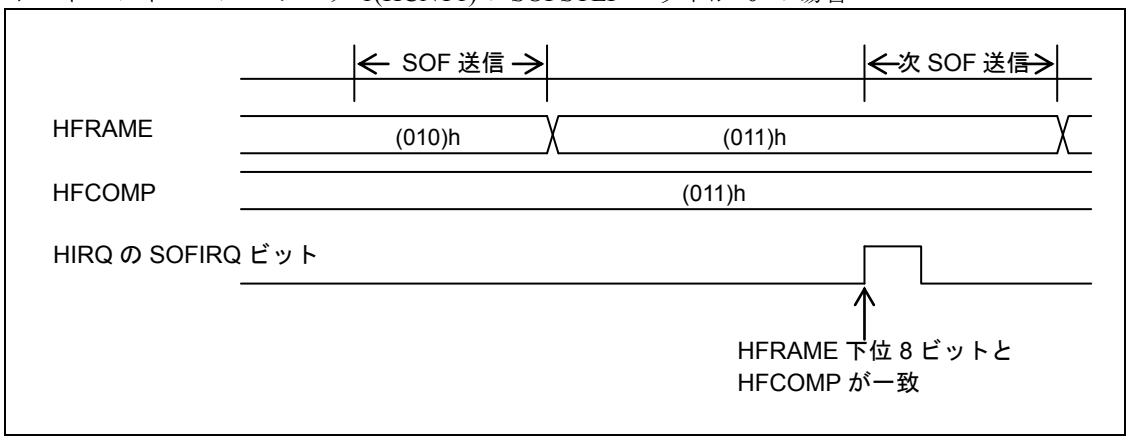
ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットおよび SOF 割込み FRAME 比較レジスタ(HFCOMP)によって、SOF 開始時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットは"1"に設定されます。そのとき、ホストコントロールレジスタ(HCNT0)の SOFIRE ビットを"1"に設定している場合は、割込みが発生します。ホストトークンエンドポイントレジスタ(HTOKEN)による SOF 実行ではホスト割込みレジスタ(HIRQ)の SOFIRQ ビットは"1"になりません。

■ SOF 割込み

ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが"0"の場合、SOF 割込み FRAME 比較レジスタ(HFCOMP)と SOF トークン時の FRAME Number の下位 8 ビットとが比較されます。一致すると SOF を送出する時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに"1"が設定されます。
ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが"1"の場合、SOF を送出するごとにホストホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに"1"が設定されます。

1. ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが"1"の場合

2. ホストコントロールレジスタ 1(HCNT1)の SOFSTEP ビットが"0"の場合



ホストコントロールレジスタ 1(HCNT1)の CANSEL ビットに"1"を設定すると、以下のタイミングでトークンの設定を行った場合、そのトークンは実行しません。
・EOF 領域内でホストトークンエンドポイントレジスタ(HTOKEN)に SOF トークン以外のトークンを設定した場合。
このタイミングでトークンを設定した場合、以下の動作になります。
・次の SOF でホスト割込みレジスタ(HIRQ)の SOFIRQ が"1"になると同時にホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットは"0b000"にクリアされます。そのトークンは実行しません。
ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットは以下のタイミングでクリアされます。

そのとき、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットは"1"になりません。トークンがキャンセルされたことは、SOFIRQ ビットが"1"になったときにホスト割込みレジスタ(HIRQ)の TCAN ビットによって知ることができます。再度、トークンを実行したい場合には、ホスト割込みレジスタ(HIRQ)の TCAN ビットに"0"を書き込んでください。これによりホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに実行させたいトークンを書き込んでください。

ホストコントロールレジスタ 1(HCNT1)の CANCEL ビットに"0"を設定した場合には SOF 送信後、ホストトークンエンドポイントレジスタ(HTOKEN)に設定されたトークンを実行します。

図 3-6 HCNT1 の CANCEL ビット="1"のトークンキャンセル動作例

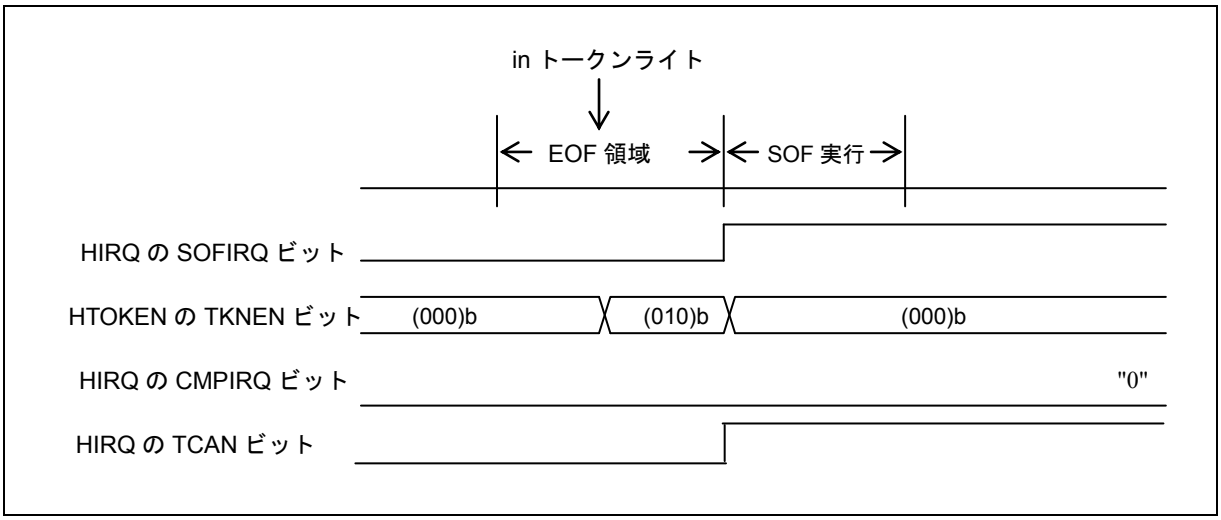
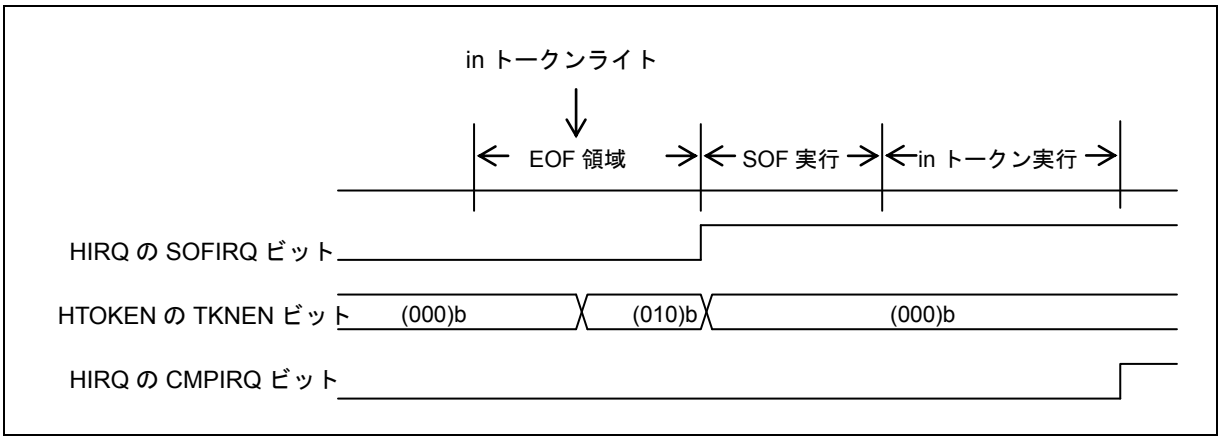


図 3-7 HCNT1 の CANCEL ビット="0"のトークン動作例



3.8. エラーステータス

USB ホストは各種エラー情報をサポートしています。

■ エラーステータス

1. Stuffing Error
   6 ビット連続"1"が発生した場合、"0"を 1 ビット挿入します。もし 7 ビット連続"1"が検出された場合、Stuffing Error としてホストエラーステータスレジスタ(HERR)の STUFF ビットが"1"に設定されます。これをクリアするには STUFF ビットに"0"を書き込んでください。STUFF ビットをクリアせずに次のトークンを実行した場合には、STUFF ビットは次のトークンの終了時に要因が反映されます。

2. Toggle Error
   IN トークン時、データパケットの Toggle データとホストトークンエンドポイントレジスタ(HTOKEN)の TGGL ビットを比較します。一致しなかった場合ホストエラーレジスタ(HERR)の TGERR ビットが"1"に設定されます。TGERR ビットをクリアするには、ホストエラーレジスタ(HERR)の TGERR ビットに"0"を書き込んでください。TGERR ビットをクリアせずに次のトークンを実行した場合には、TGERR ビットは次のトークンの終了時に要因が反映されます。

3. CRC Error
   IN トークン時点において、受信したデータパケットのデータおよび CRC を CRC の多項式 G(X)=X16+X15+X2+1 で計算します。この剰余が(800d)h でなければ CRC error が発生したことになり、ホストエラーレジスタ(HERR)の CRC ビットが"1"に設定されます。CRC bit をクリアするには、ホストエラーレジスタ(HERR)の CRC ビットに"0"を書き込んでください。CRC ビットをクリアせずに次のトークンを実行した場合には、CRC ビットは次のトークンの終了時に要因が反映されます。

4. Time Out Error
   下記のような場合に、ホストエラーステータスレジスタ(HERR)の TOUT ビットに"1"がセットされます。

   - 所定時間内にデータパケットやハンドシェークが入力されなかった場合
   - 受信データ中に SE0 が検出された場合
   - Stuffing Error が検出された場合

   TOUT ビットをクリアするには、ホストエラーレジスタ(HERR)の TOUT ビットに"0"を書き込んでください。TOUT ビットをクリアせずに次のトークンを実行した場合には、TOUT ビットは次のトークンの終了時に要因が反映されます。

5. Receive Error
   受信バッファとして EP1 が使用されている場合は EP1 制御レジスタ(EP1C)の PKS ビットが受信パケットサイズです。EP2 が使用されている場合は EP2 制御レジスタ(EP2C)の PKS ビットが受信パケットサイズです。その受信パケットサイズより多く受信データを受信した場合、ホストエラーステータスレジスタ(HERR)の RERR ビットが"1"に設定されます。RERR ビットをクリアするには、ホストエラーレジスタ(HERR)の RERR ビットに"0"を書き込んでください。RERR ビットをクリアせずに次のトークンを実行した場合には、RERR ビットは次のトークンの終了時に要因が反映されます。

3.9. パケット終了

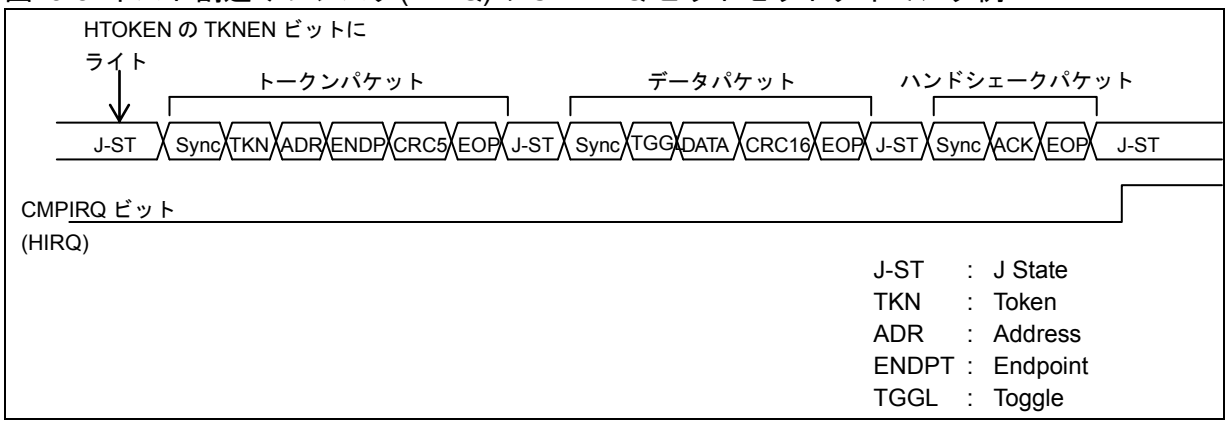
USB ホストにおいて 1 パケット終了すると、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが"1"に設定されます。そのとき、ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが"1"であれば、割込みが発生します。

■ パケット終了タイミング

1 パケット終了すると、以下のタイミングで割込みフラグが発生します。

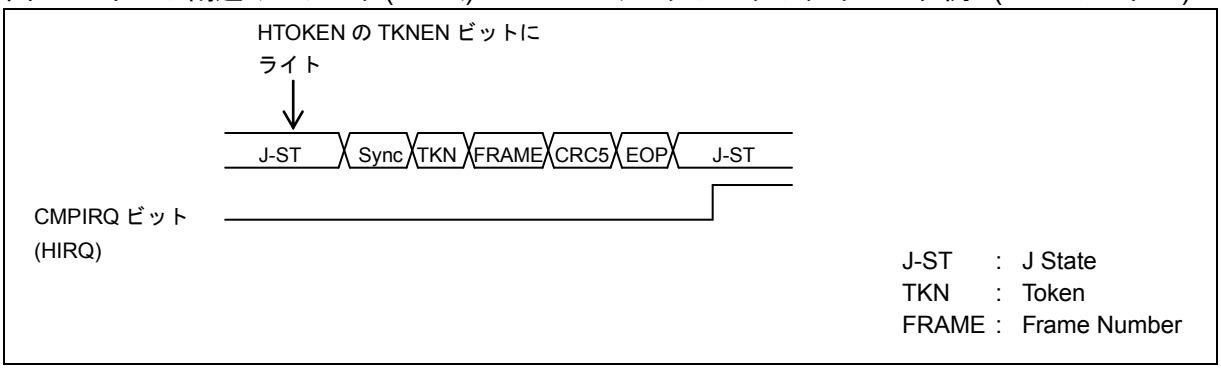
・ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが(001)b, (010)b, (011)b のとき(SETUP トークン, IN トークン, OUT トークン)

図 3-8 ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットセットタイミング例 1



・ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが(100)b のとき(SOF トークン)

図 3-9 ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットセットタイミング例 2(SOF トークン)



3.10. サスペンド・リジューム

USB ホストにおけるサスペンドおよびリジュームをサポートしています。

■ サスペンド動作

ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに"1"をライトすると、下記の順に実行し、USB 回路はサスペンド状態になります。

・USB バスのハイインピーダンス状態
・クロックが必要ない回路ブロックの停止

サスペンド状態になった場合には、ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが"1"に設定されます。

USB バスへのリセット中において、下記は禁止です。

・ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"1"のときやデータの送受信中にサスペンドに設定
・サスペンド中 USB へ供給しているクロックを停止

クロックを停止させる動作を以下に示します。
1. ストップモードまたはタイマモードへの遷移
2. USB クロック設定レジスタ(UCCR)の UCEN ビットを"0"に設定する。

■ リジューム動作

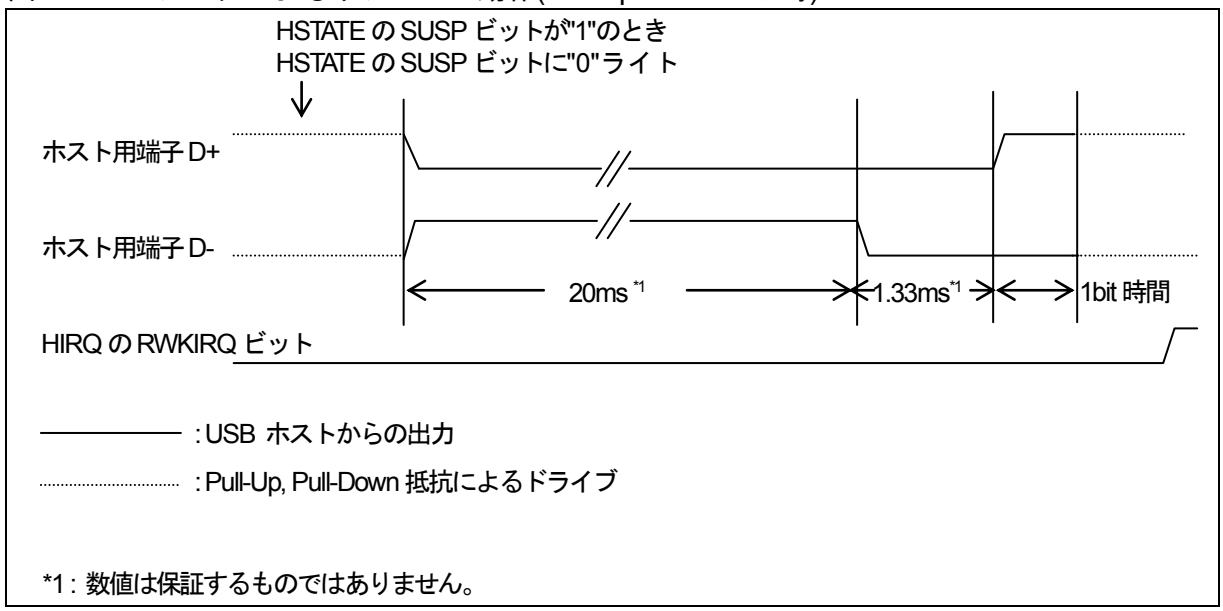
以下のいずれかが成立したとき、Suspend 状態から Resume の動作を開始します。

・ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに"0"をライト
・ホスト用端子 D+, ホスト用端子 D-が K State になったことを検出
・デバイスが切断されたことを検出
・デバイスが接続されたことを検出

ホスト割込みレジスタ(HRQ)の RWKIRQ ビットが"1"に設定された後、トークンの発行が可能となります。各条件による動作タイミングを以下に示します。

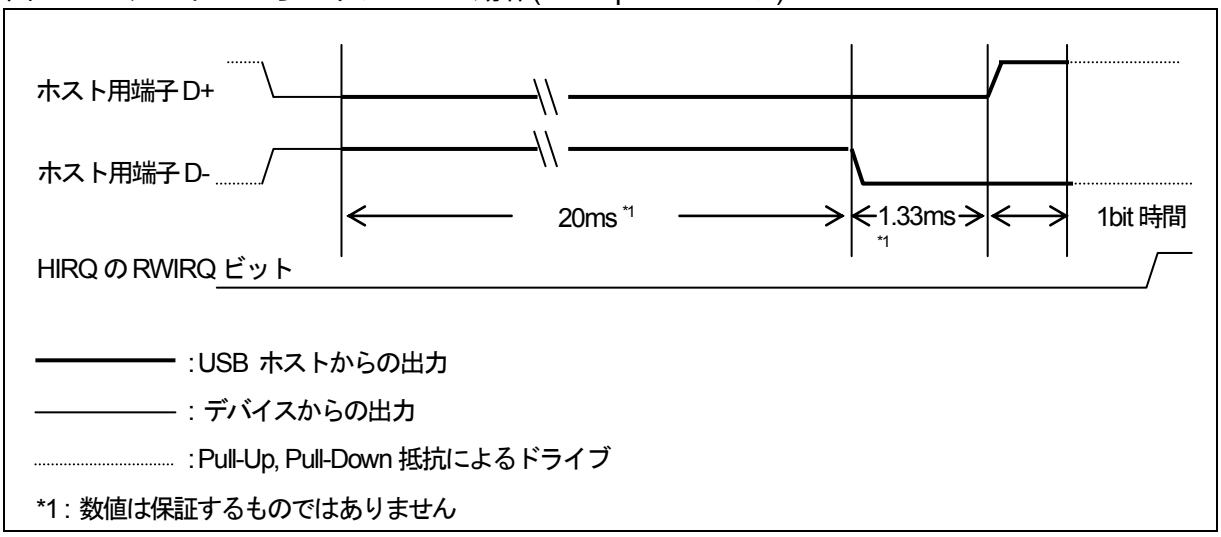
・ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットに"0"をライト

図 3-10 レジスタによるリジューム動作(Full Speed モード時)



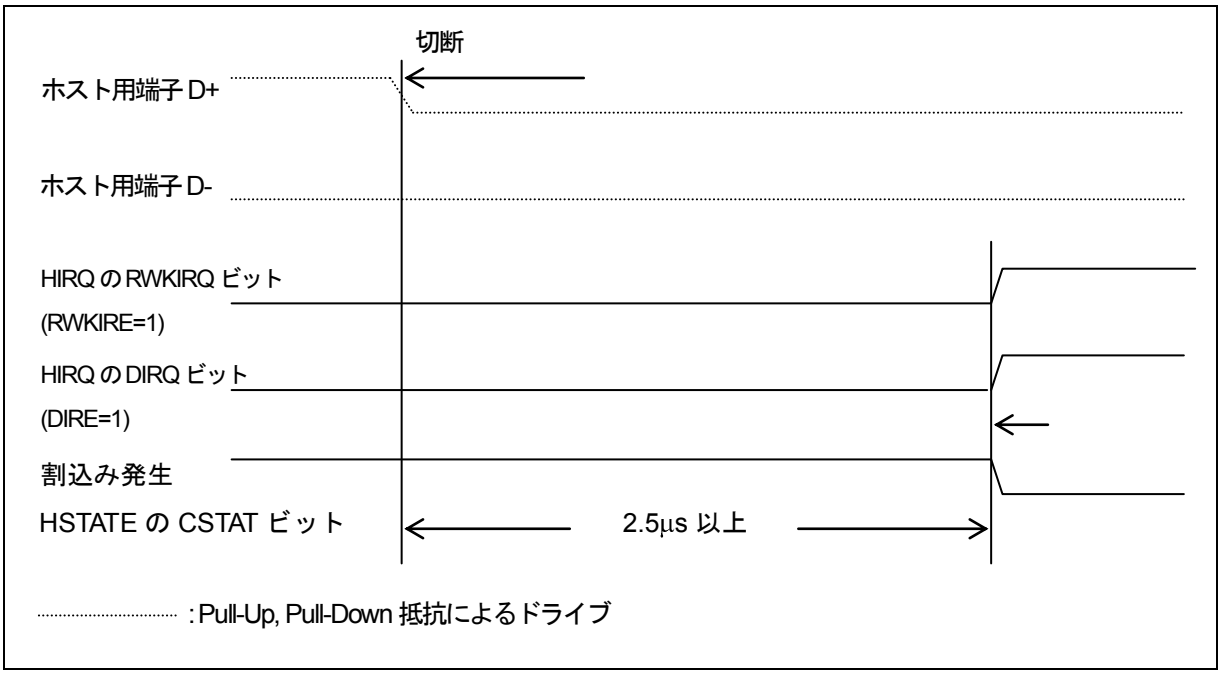
・ホスト用端子 D+, ホスト用端子 D-が K State になったことを検出

図 3-11 デバイスからのリジューム動作(Full Speed モード)



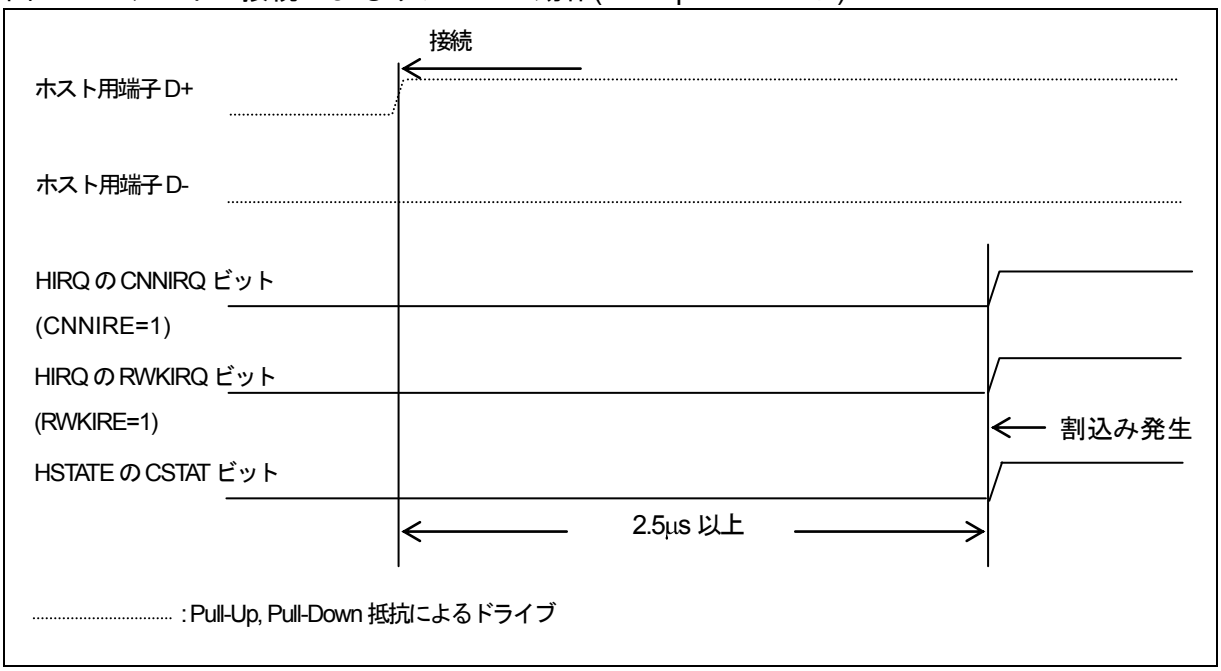
・デバイスが切断されたことを検出

図 3-12 デバイス切断によるリジューム動作



・デバイスが接続されたことを検出

図 3-13 デバイス接続によるリジューム動作(Full Speed モード)



3.11. デバイスの切断

ホスト用端子 D+, D-ともに"L"になると切断タイマが起動されます。2.5μs 以上"L"を検出した場合、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが"0"になります。

■ デバイスの切断

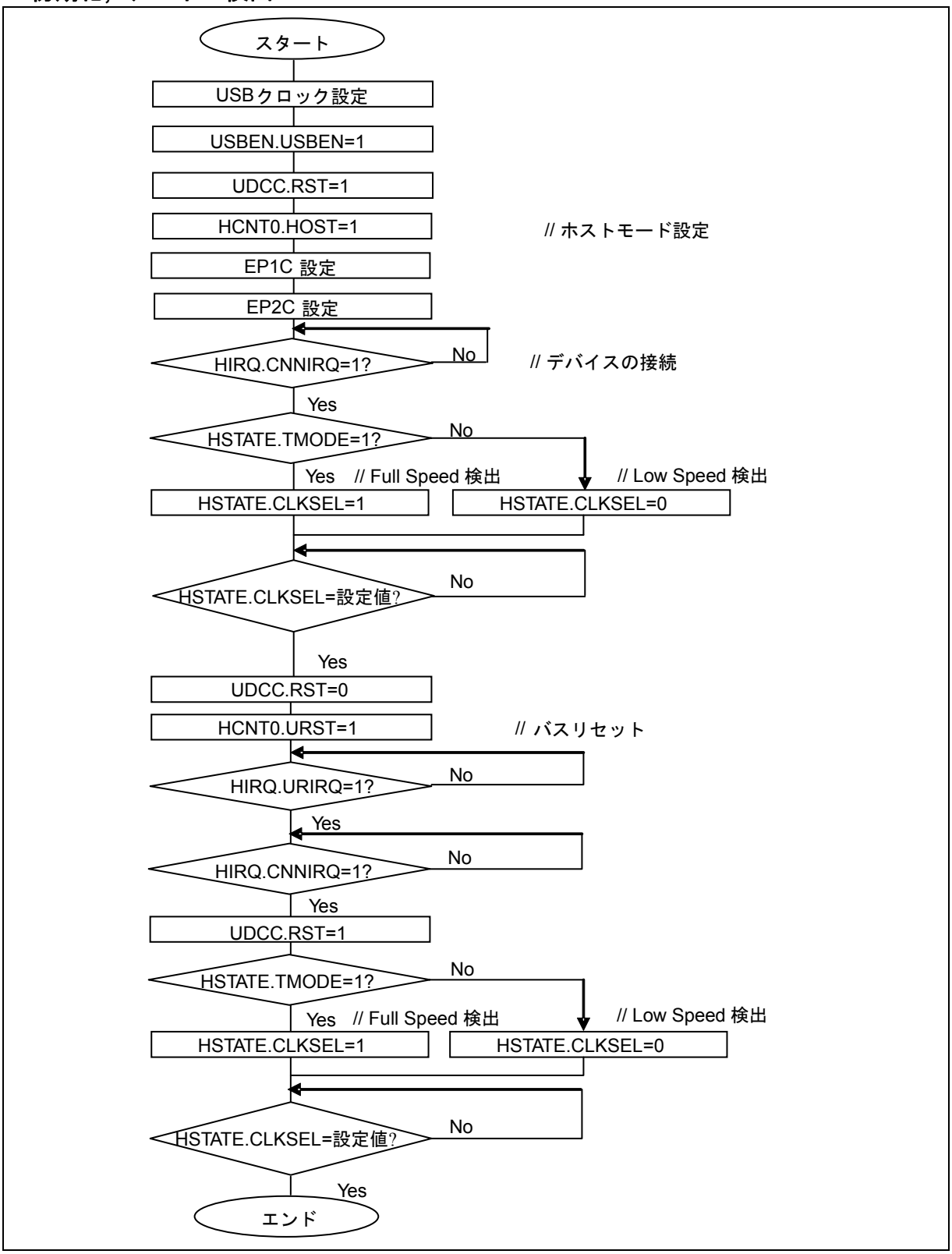
ホストモード, ファンクションモードに関係なくホスト用端子 D+, ホスト用端子 D-が両方とも 2.5μs 以上"L"を検出すると、デバイスが切断されたと判断されます。この結果、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが"0"となり、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは"1"に設定されます。そのときホストコントロールレジスタ 0(HCNT0)の DIRE ビットが"1"であれば割込みが発生します。その割込みをクリアしたい場合には、ホスト割込みレジスタ(HIRQ)の DIRQ ビットに"0"を書き込んでください。

USB バスへのリセットを実行すると切断されたと判断されます。この場合、ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが"0"になりますが、ホスト割込みレジスタ(HIRQ)の DIRQ ビットは"1"になりません。

4. USB ホストの設定手順例

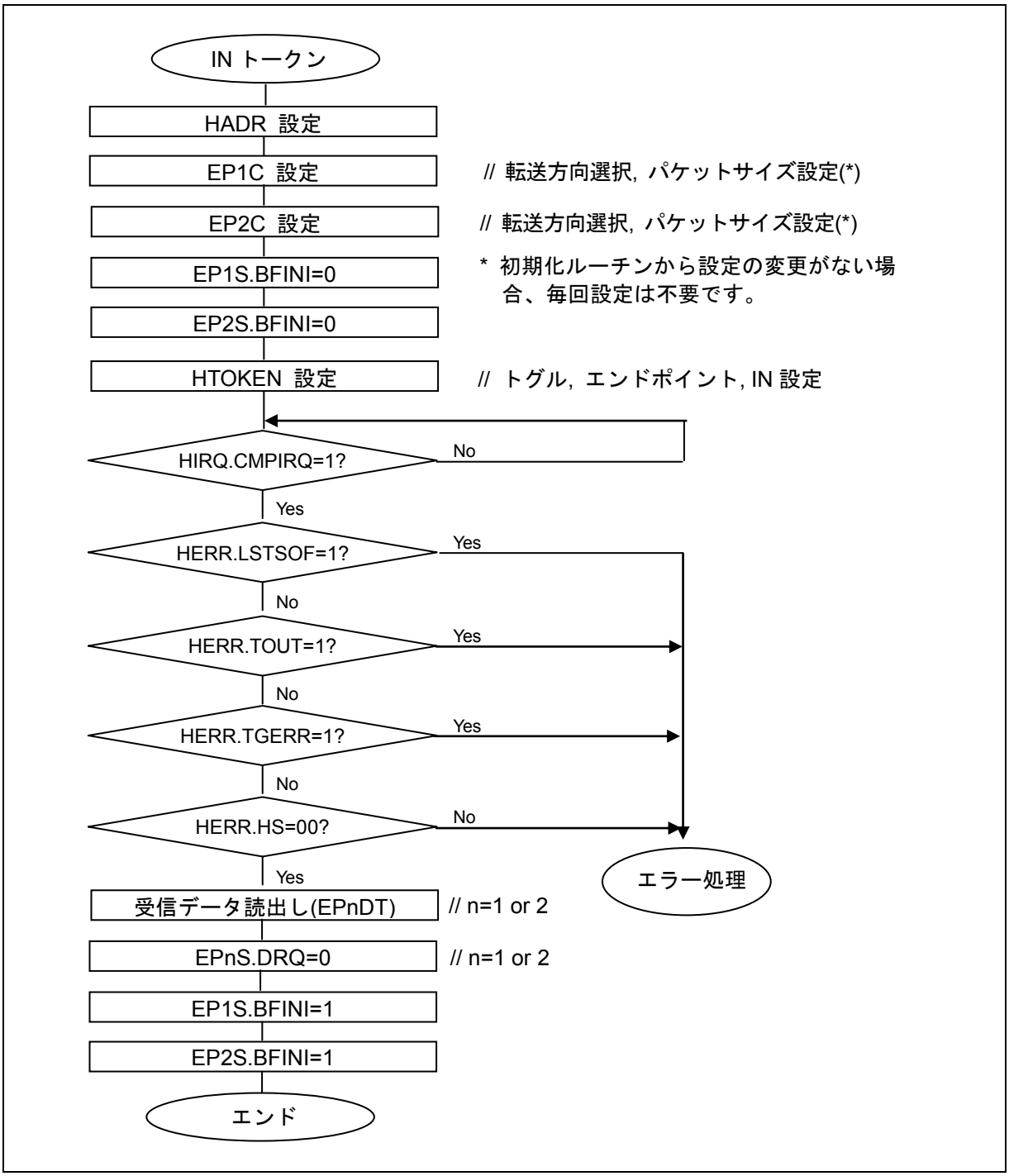
USB ホストの各トークンのフローチャートを以下に示します。

■ 初期化，デバイス検出

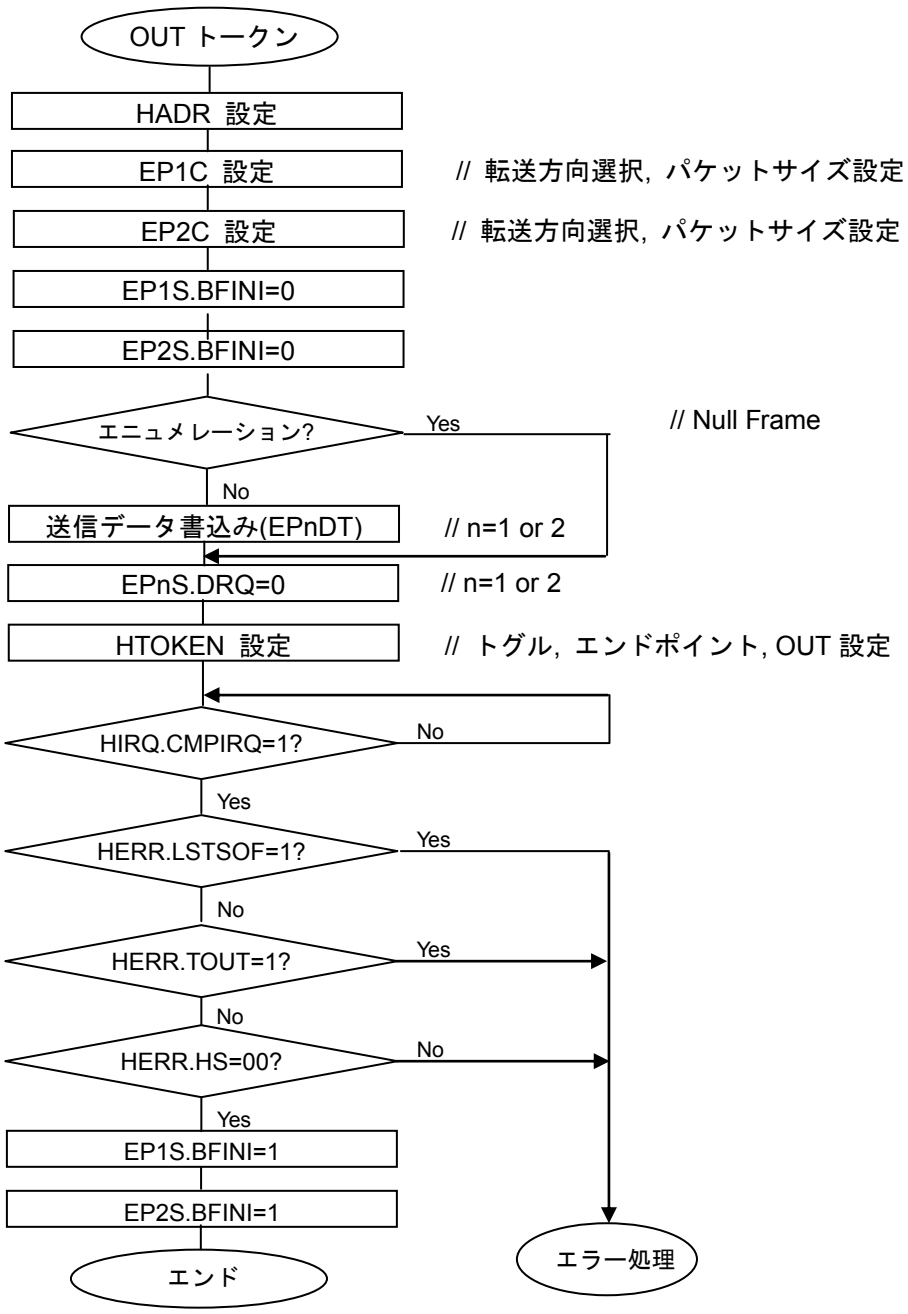


■ IN, OUT, SETUP トークン

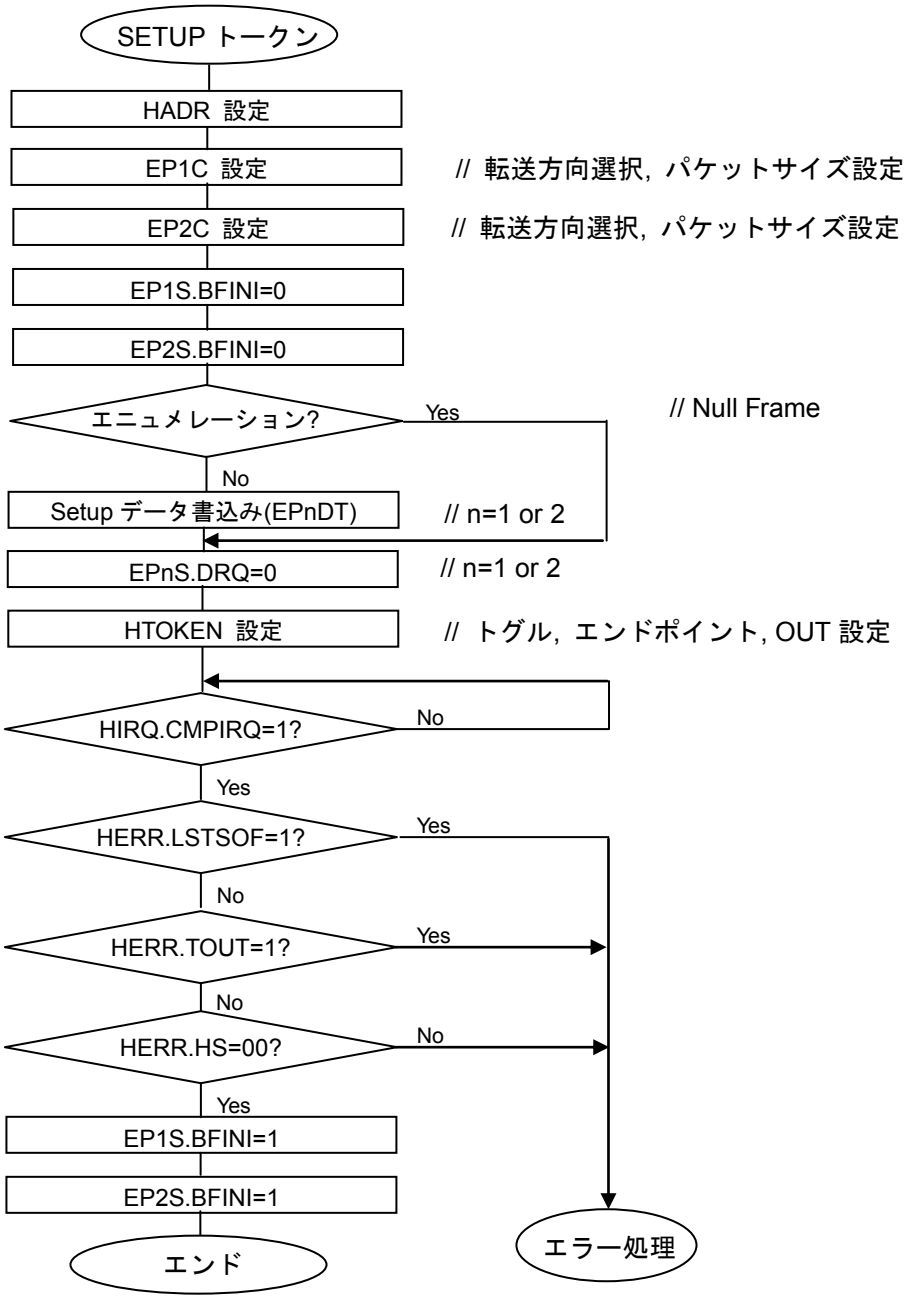
● IN トークン



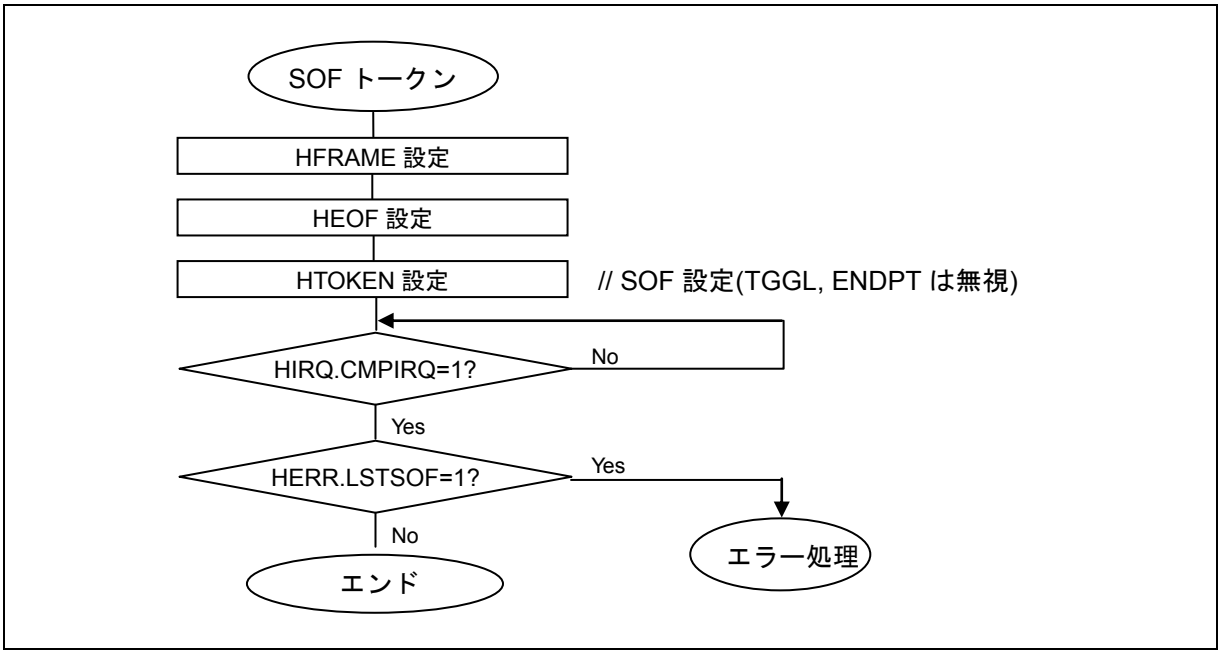
● **OUT トークン**


OUT トークン
HADR 設定
EP1C 設定
// 転送方向選択，パケットサイズ設定
EP2C 設定
// 転送方向選択，パケットサイズ設定
EP1S.BFINI=0
EP2S.BFINI=0
エニュメレーション?
Yes
// Null Frame
No
送信データ書込み(EPnDT)
// n=1 or 2
EPnS.DRQ=0
// n=1 or 2
HTOKEN 設定
// トグル，エンドポイント, OUT 設定
HIRQ.CMPIRQ=1?
No
Yes
HERR.LSTSOF=1?
Yes
No
HERR.TOUT=1?
Yes
No
HERR.HS=00?
No
Yes
EP1S.BFINI=1
EP2S.BFINI=1
エンド
エラー処理

● **SETUP トークン**


SETUP トークン
HADR 設定
EP1C 設定
// 転送方向選択，パケットサイズ設定
EP2C 設定
// 転送方向選択，パケットサイズ設定
EP1S.BFINI=0
EP2S.BFINI=0
エニュメレーション?
Yes
// Null Frame
No
Setup データ書込み(EPnDT)
// n=1 or 2
EPnS.DRQ=0
// n=1 or 2
HTOKEN 設定
// トグル，エンドポイント, OUT 設定
HIRQ.CMPIRQ=1?
No
Yes
HERR.LSTSOF=1?
Yes
No
HERR.TOUT=1?
Yes
No
HERR.HS=00?
No
Yes
EP1S.BFINI=1
EP2S.BFINI=1
エンド
エラー処理

■ SOF トークン


SOF トークン
HFRAME 設定
HEOF 設定
HTOKEN 設定
// SOF 設定(TGGL, ENDPT は無視)
HIRQ.CMPIRQ=1?
No
Yes
HERR.LSTSOF=1?
Yes
No
エラー処理
エンド

5. USB ホストのレジスタ

USB ホストで使用するレジスタの構成と機能について説明します。

■ USB ホストのレジスター覧

レジスタ略称	レジスタ名	参照先
UDCC	UDC 制御レジスタ	*
EP1C	EP1 制御レジスタ	*
EP2C	EP2 制御レジスタ	*
EP1S	EP1 ステータスレジスタ	*
EP2S	EP2 ステータスレジスタ	*
EP1DTH	EP0 データレジスタ上位	*
EP1DTL	EP0 データレジスタ下位	*
EP2DTH	EP0 データレジスタ上位	*
EP2DTL	EP0 データレジスタ下位	*
HCNT0	ホストコントロールレジスタ 0	5.1
HCNT1	ホストコントロールレジスタ 1	5.1
HIRQ	ホスト割込みレジスタ	5.2
HERR	ホストエラーステータスレジスタ	5.3
HSTATE	ホスト状態ステータスレジスタ	5.4
HFCOMP	SOF 割込み FRAME 比較レジスタ	5.5
HRTIMER	リトライタイマ設定レジスタ	5.6
HADR	ホストアドレスレジスタ	5.7
HEOF	EOF 設定レジスタ	5.8
HFRAME	FRAME 設定レジスタ	5.9
HTOKEN	ホストトークンエンドポイントレジスタ	5.10

*: 『USB ファンクション』の章を参照してください。

■ レジスタビット更新タイミングの UDCC.RST 依存性一覧

	レジスタ	ビット
UDCC.RST=1 のときに更新しなければいけないレジスタビット	HCNT0	HOST
	HSTATE	CLKSEL
	EP1C	EPEN, TYPE, DIR, PKS1
	EP2C	EPEN, TYPE, DIR, PKS2
UDCC.RST=1 のときに初期化されるレジスタビット (UDCC.RST=0 のときに更新してください。)	HCNT0	URST
	HIRQ	TCAN, RWKIRQ, URIRQ, CMPIRQ, CNNIRQ, DIRQ, SOFIRQ
	HERR (全ビット)	LSTSOF, RERR, TOUT, CRC, TGERR, STUFF, HS
	HSTATE	SOFBUSY, SUSP
	HFRAME	FRAME0, FRAME1
	HTOKEN (全ビット)	TGGL, TKNEN, ENDPT
	EP1S	BFINI, DRQ, SPK
	EP2S	BFINI, DRQ, SPK
UDCC.RST に影響されないレジスタビット	HCNT0	RWKIRE, URIRE, CMPIRE, CNNIRE, DIRE, SOFIRE
	HCNT1	SOFSTEP, CANSEL, RETRY
	HIRQ	CNNIRQ, DIRQ
	HFCOMP	HFRAMECOMP
	HSTATE	TMODE, CSTAT
	HRTIMER0, 1, 2	RTIMER0, 1, 2
	HADR	Address
	HEOF	EOF0, 1

5.1. ホストコントロールレジスタ 0, 1(HCNT)

ホストコントロールレジスタ 0, 1(HCNT)は、USB の動作モードおよび割込みの設定を指定します。

■ ホストコントロールレジスタ 1(HCNT1)

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	SOFSTEP	CANCEL	RETRY
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1
リセット可否*	×	×	×	×	×	×	×	×

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

■ ホストコントロールレジスタ 0(HCNT0)

bit	7	6	5	4	3	2	1	0
Field	RWKIRE	URIRE	CMPIRE	CNNIRE	DIRE	SOFIRE	URST	HOST
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
リセット可否*	×	×	×	×	×	×	○	×

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15:11] 予約

予約ビットです。必ず"0"を設定してください。

[bit10] SOFSTEP (SOF STEP)

SOF 割込み発生選択ビットです。

本ビットに"1"を設定した場合、SOF を実行するごとに SOF による割込みフラグ(HIRQ.SOFIRQ)が"1"に設定されます。

本ビットに"0"を設定した場合、SOF 割込み FRAME 比較レジスタ(HFCOMP)の設定値と SOF の FRAME Number の下位 8 ビットと比較し、一致した場合、SOF による割込みフラグ(HIRQ.SOFIRQ)が"1"に設定されます。

bit	説明
0	HFCOMP の設定により割込み発生
1	割込み発生

＜注意事項＞

- ホストトークンエンドポイントレジスタ(HTOKEN)により SOF トークン(TKNEN="001")を実行した場合、本ビットの設定に関係なく、SOF による割込みフラグ(HIRQ.SOFIRQ)は"1"になりません。
- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit9] CANCEL (token CANCEL enable)

トークン中止許可ビットです。

本ビットに"1"を設定した場合、EOF 領域(EOF 設定レジスタで領域設定)でホストトークンエンドポイントレジスタ(HTOKEN)に実行するトークンが書き込まれると、そのトークンの実行を中止します。本ビットに"0"を設定した場合、実行するトークンが書き込まれても実行を中止しません。トークンの実行を中止したことは、ホスト割込みレジスタ(HIRQ)の TCAN ビットを読み出すことによってわかります。

bit	説明
0	トークン継続
1	トークン中止

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit8] RETRY (RETRY enable)

リトライ許可ビットです。

本ビットに"1"を設定した場合、NAK および各種エラー*が発生すると、そのトークンのリトライを実行します。リトライはリトライタイマ設定レジスタ(HRTIMER)で設定された時間だけ実行します。

* : HERR.RERR="1", HERR.TOUT="1", HERR.CRC="1", HERR.TGERR="1", HERR.STUFF="1"

bit	説明
0	リトライしない
1	リトライする

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit7] RWKIRE (Remove WaKe up Interrupt Request Enable)
リジューム割込み許可ビットです。

本ビットに"1"を設定した場合、ホスト割込みレジスタ(HIRQ)の RWKIRQ ビットが"1"になると割込みが発生します。本ビットに"0"を設定した場合、ホスト割込みレジスタ(HIRQ)の RWIRQ ビットが"1"になっても割込みは発生しません。

bit	説明
0	再起動後割込み禁止
1	再起動後割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit6] URIRE (Usb bus Rest Interrupt Request Enable)
バスリセット割込み許可ビットです。

本ビットに"1"を設定した場合、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが"1"になると割込みが発生します。本ビットに"0"を設定した場合、ホスト割込みレジスタ(HIRQ)の URIRQ ビットが"1"になっても割込みは発生しません。

bit	説明
0	USB バスリセット後割込み禁止
1	USB バスリセット後割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit5] CMPIRE (CoMPletion Interrupt Request Enable)
トークン完了割込み許可ビットです。

本ビットに"1"を設定した場合、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが"1"になると割込みが発生します。本ビットに"0"を設定した場合、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが"1"になっても割込みは発生しません。

bit	説明
0	完了時割込み禁止
1	完了時割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit4] CNNIRE (CoNNection Interrupt Request Enable)
Device 接続検出割込み許可ビットです。

本ビットに"1"を設定した場合、ホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが"1"になると割込みが発生します。本ビットに"0"を設定するとホスト割込みレジスタ(HIRQ)の CNNIRQ ビットが"1"になっても割込みは発生しません。

bit	説明
0	デバイス接続時割込み禁止
1	デバイス接続時割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit3] DIRE (Disconnection Interrupt Request Enable)
Device 切断検出割込み許可ビットです。

本ビットに"1"を設定した場合、ホスト割込みレジスタ(HIRQ)の DIRQ ビットが"1"になると割込みが発生します。本ビットに"0"を設定した場合、ホスト割込みレジスタ(HIRQ)の DIRQ ビットが"1"になっても割込みが発生しません。

bit	説明
0	デバイス切断時割込み禁止
1	デバイス切断時割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit2] SOFIRE (Start Of Frame Interrupt Request Enable)
SOF 割込み許可ビットです。

本ビットに"1"を設定した場合、ホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが"1"になると割込みが発生します。本ビットに"0"を設定した場合、ホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが"1"になっても割込みは発生しません。

bit	説明
0	SOF 送信時に割込み禁止
1	SOF 送信時に割込み許可

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

[bit1] URST (Usb bus ReSeT)

バスリセットビットです。

本ビットに"1"を設定するとバスリセットを実行します。バスリセット実行中、本ビットは"1"を示し、バスリセットが終了すると本ビットは"0"となります。本ビットに"0"を設定した場合には、何も行いません。

bit	説明
0	USB バス状態保持
1	バスリセット

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"の状態で、本ビットに"1"を設定しても何も実行しません。
- ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが"1"またはトークン実行中に本ビットに"1"を設定することは禁止です。
- 本ビットが"1"の間、ホストコントロールレジスタ(HCNT0, 1)への書込みは禁止です。

[bit0] HOST (HOST mode)

ホストモードビットです。

本ビットに"1"を設定するとホストとして動作します。本ビットに"0"を設定した場合、ファンクションとして動作します。

bit	説明
0	ファンクションモード
1	ホストモード

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。
- 本ビットの変更は UDC 制御レジスタ(UDCC)の RST ビットが"1"のときに行ってください。
- 本ビットによって動作モードを変更した場合、すぐにその動作モードに切り替わりません。本ビットを読み出し、動作モードが切り替わったことを確認してください。
- ホストモードからファンクションモードに変更する場合、以下の条件を満たしていることを確認し、UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定してから変更してください。
  - ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"0"である。
  - ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが"000"である。
  - ホスト状態ステータスレジスタ(HSTATE)の SUSP ビットが"0"である。
- ファンクションモードからホストモードに変更する場合、UDC 制御レジスタ(UDCC)の HCONX ビットに"1"を設定してホストまたは HUB を切断状態にして変更してください。

5.2. ホスト割込みレジスタ(HIRQ)

ホスト割込みレジスタ(HIRQ)は、USB ホストの割込み要求フラグを示します。TCAN ビットを除いてホストコントロールレジスタ(HCNT0, 1)の割込み許可ビットの設定により、割込みを発生させられます。

bit	7	6	5	4	3	2	1	0
Field	TCAN	予約	RWKIRQ	URIRQ	CMPIRQ	CNNIRQ	DIRQ	SOFIRQ
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0
リセット可否*	○	○	○	○	○	×	×	○

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit7] TCAN (Token CANcel flag)

トークン中止フラグです。

本ビットが"1"になるとホストコントロールレジスタ 1(HCNT1)の CANCEL ビットにしたがってトークンの実行が中止されたことを示します。本ビットが"0"のときは、トークンの実行が中止されなかったことを示します。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

bit	説明
0	トークン中止なし
1	トークン中止あり

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
- 本ビットによる割込みは発生しません。したがって割込みで処理したい場合、SOF による割込み処理の中でトークンが中止されたか確認してください。

[bit6] 予約

予約ビットです。必ず"0"を設定してください。

[bit5] RWKIRQ (Remove WaKe up Interrupt ReQuest)

リモートウェイクアップ終了フラグです。

本ビットが"1"になるとリモートウェイクアップが終了したことを示します。本ビットが"0"の場合、何も意味を持ちません。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の RWKIRE ビットが"1"の場合、本ビットが"1"になると割込みが発生します。

bit	説明
0	再起動による割込み要求なし
1	再起動による割込み要求あり

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

[bit4] URIRQ (Usb bus Reset Interrupt ReQuest)

バスリセット終了フラグです。

本ビットが"1"になると USB バスへのリセットが終了したことを示します。本ビットが"0"の場合、何も意味を持ちません。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の URIRE ビットが"1"の場合、本ビットが"1"になると割込みが発生します。

bit	説明
0	USB バスリセットによる割込み要求なし
1	USB バスリセットによる割込み要求あり

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

[bit3] CMPIRQ (CoMPletion Interrupt ReQuest)

トークン完了フラグです。

本ビットが"1"になるとトークンが完了したことを示します。本ビットが"0"の場合、何も意味を持ちません。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の CMPIRE ビットが"1"の場合、本ビットが"1"になると割込みが発生します。

bit	説明
0	トークン完了による割込み要求なし
1	トークン完了による割込み要求あり

＜注意事項＞

・本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
・ホスト割込みレジスタ(HIRQ)の TCAN ビットが"1"になっても本ビットは"1"になりません。

[bit2] CNNIRQ (CoNNection Interrupt ReQuest)

Device 接続検出フラグです。

本ビットが"1"になると Device の接続を検出したことを示します。本ビットが"0"の場合、何も意味を持ちません。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の CNNIRE ビットが"1"の場合、本ビットが"1"になると割込みが発生します。

bit	説明
0	デバイス接続検出による割込み要求なし
1	デバイス接続検出による割込み要求あり

＜注意事項＞

・本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
・ファンクションモードでも Device の接続を検出します。

[bit1] DIRQ (Disconnection Interrupt ReQuest)

Device 切断検出フラグです。

本ビットが"1"になると Device の切断を検出したことを示します。本ビットが"0"の場合、何も意味を持ちません。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の DIRE ビットが"1"の場合、本ビットが"1"になると割込みが発生します。

bit	説明
0	デバイス切断検出による割込み要求なし
1	デバイス切断検出による割込み要求あり

＜注意事項＞

・本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
・ファンクションモードでも Device の切断を検出します。

[bit0] SOFIRQ (Start Of Frame Interrupt ReQuest)

SOF 開始フラグです。

本ビットが"1"になると SOF トークンの実行を開始したことを示します。本ビットが"0"の場合、何も意味を持ちません。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

ホストコントロールレジスタ 0(HCNT0)の SOFIRE ビットが"1"の場合、本ビットが"1"になると割込みが発生します。

bit	説明
0	SOF トークン開始による割込み要求なし
1	SOF トークン開始による割込み要求あり

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

5.3. ホストエラーステータスレジスタ(HERR)

ホストエラーステータスレジスタ(HERR)は、ホストモード時のデータ送信および受信中にエラーが発生したかどうかを示すレジスタです。

bit	15	14	13	12	11	10	9	8
Field	LSTSOF	RERR	TOUT	CRC	TGERR	STUFF	HS	
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	11	
リセット可否*	○	○	○	○	○	○	○	

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15] LSTSOF (LoST SOF)

ロスト SOF フラグです。

本ビットが"1"になると、ホストモードで SOF トークンを実行しようとしたとき、他のトークンを実行していて SOF トークンが実行できなかったことを示します。本ビットが"0"のときはロスト SOF エラーが検出されていないことを示します。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

bit	説明
0	SOF 実行
1	SOF 実行エラー

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

[bit14] RERR (Receive Error)

受信エラーフラグです。

本ビットが"1"になると、ホストモード時、設定された最大パケット数より多いデータが受信されたことを示します。受信エラーが検出された場合には、本レジスタの bit5(Timeout)も"1"に設定されます。本ビットが"0"のときはエラーが発生していないことを示します。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

bit	説明
0	受信エラーなし
1	最大パケット受信エラー

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

[bit13] TOUT (Time OUT)

タイムアウトフラグです。

本ビットが"1"になると、ホストモード時にトークンへ対して所定時間内に Device から応答がなかったことを示します。本ビットが"0"のとき、タイムアウトが検出されていないことを示します。本ビットが"0"のときはエラーが発生していないことを示します。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

bit	説明
0	タイムアウトなし
1	タイムアウトあり

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

[bit12] CRC (CRC error)

CRC エラーフラグです。

本ビットが"1"になるとホストモード時、CRC エラーが検出されたことを示します。本ビットが"0"のとき、CRC エラーが検出されていないことを示します。CRC エラーが発生した場合には、本レジスタの bit5(Timeout)も"1"に設定されます。本ビットが"0"のときは CRC エラーが検出されていないことを示します。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

bit	説明
0	CRC エラーなし
1	CRC エラーあり

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

[bit11] TGERR (ToGgle ERRor)

トグルエラーフラグです。

本ビットが"1"になると、ホストモード時、受信したトグルと不一致ししたことを示します。本ビットが"0"のとき、トグルエラーが検出されていないことを示します。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

bit	説明
0	トグルエラーなし
1	トグルエラーあり

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

[bit10] STUFF (STUFFing error)

スタッフィングエラーフラグです。

本ビットが"1"になるとビットスタッフィングでエラーが検出されたことを示します。本ビットが"0"のとき、スタッフィングエラーが検出されていないことを示します。スタッフィングエラーが検出された場合には、本レジスタの bit5(Timeout)も"1"に設定されます。本ビットに"0"が書き込まれると本ビットは"0"になります。本ビットに"1"が書き込まれてもその書込みは無視されます。

bit	説明
0	スタッフィングエラーなし
1	スタッフィングエラーあり

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

[bit9:8] HS (Hand Shake status)

ハンドシェークステータスフラグです。

本フラグによって送受信のハンドシェーク状態を示します。

Error でハンドシェークが発生しない場合およびホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットでの SOF トークンを終了した場合には NULL を示します。

本ビットは送受信終了時に更新します。

表 5-1 ハンドシェーク

bit9	bit8	ハンドシェーク
0	0	ACK
0	1	NAK
1	0	STALL
1	1	NULL

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。

5.4. ホスト状態ステータスレジスタ(HSTATE)

ホスト状態ステータスレジスタ(HSTATE)は、デバイスの接続，転送モードなどを USB 回路の状態を示すレジスタです。CLKSEL ビットは、ファンクションモードでも設定が有効ですので注意してください。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	ALIVE	CLKSEL	SOFBUSY	SUSP	TMODE	CSTAT
属性	-		R/W	R/W	R/W	R/W	R	R
初期値	X		0	1	0	0	1	0
リセット可否*	-		×	×	○	○	×	×

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外，○:リセット対象

[bit7:6] 予約

予約ビットです。リード時は不定です。ライト時は"0"または"1"どちらを書いても LSI の動作に影響しません。

[bit5] ALIVE (keep-ALIVE)

Low Speed 時 Keep-Alive 機能を設定します。ホスト状態ステータスレジスタ(HSTATE)の CLKSEL ビットが"0"のとき、"1"に設定すると SOF の代わりに SE0 を出力します。ホスト状態レジスタの CLKSEL ビットが"0"のとき有効で、CLKSEL ビットが"1"の場合には ALIVE ビットの設定に関係なく SOF を出力します。

bit	説明
0	SOF 出力
1	SE0 出力(Kepp-Alive)

[bit4] CLKSEL (CLocK SELect)

USB 動作クロック選択ビットです。

bit	説明
0	Low Speed 用 Clock
1	Full Speed 用 Clock

＜注意事項＞

・本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。
・本ビットの変更は UDC 制御レジスタ(UDCC)の RST ビットが"1"のときに行ってください。
・本ビットには必ず"1"を設定してください。"0"を設定することは禁止です。
・オンチップバス(HCLK)クロックは 13MHz 以上で使用してください。

[bit3] SOFBUSY (SOF BUSY)

SOF ビジーフラグです。

本ビットは、ホストトークンエンドポイントレジスタ(HTOKEN)で SOF トークンを実行すると本ビットが"1"になり、SOF Timer が動作中を示します。本ビットが"0"のとき、SOF Timer が停止中であることを示します。SOF Timer が動作中のとき、SOF Timer を停止させたい場合、本ビットに"0"を書くことによって停止します。本ビットに"1"が書き込まれてもその書込みは無視されます。

bit	説明
0	SOF タイマ停止
1	SOF タイマ動作中

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
- SOF Timer を停止させるために本ビットに"0"を書いてもすぐに SOF Timer は停止しませんので本ビットを読み出すことによって停止したことを確認できます。

[bit2] SUSP (SUSPend)

サスペンド設定ビットです。

本ビットに"1"を設定するとサスペンド状態になります。本ビットに"1"を設定した状態で本ビットに"0"を設定する、または USB バスが k-state 状態になったことを検出すると、サスペンド状態が解除されてホスト割込みレジスタ(HIRQ)の RWIRQ ビットが"1"になります。

表 5-2 Suspend 設定

bit10	動作
"1"ライト	Suspend
"1"状態で"0"ライト	Resume
その他	状態保持

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
- USB が動作中(USB バスへのリセット, データの送受信, SOF Timer 動作中)、本ビットに"1"を設定しないでください。
- サスペンド状態でも USB 用クロックを停止することは禁止です。
- 本ビットの設定を変更した場合、すぐにその状態に変更されるわけではありません。本ビットを読み出すことによって変更されたことを確認できます。

[bit1] TMODE (Transmission MODE)

転送モードフラグです。

本ビットが"1"のとき、Full Speed Device が接続されたことを示します。本ビットが"0"のとき、Low Speed Device が接続されたことを示します。ホスト状態ステータスレジスタ(HSTATE)の CSTAT ビットが"1"のとき、有効です。

bit	説明
0	Low Speed
1	Full Speed

＜注意事項＞

・本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。
・ベースクロック(HCLK)は 13MHz 以上で使用してください。

[bit0] CSTAT (Connect STATus)

接続状態フラグです。

本ビットが"1"のとき、Device が接続されていることを示します。本ビットが"0"のとき、Device が切断されていることを示します。

bit	説明
0	デバイス切断
1	デバイス接続

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

5.5. SOF 割込み FRAME 比較レジスタ(HFCOMP)

SOF 割込み FRAME 比較レジスタ(HFCOMP)は、SOF トークン時の FRAME Number の下位 8 ビットと比較するデータを設定するレジスタです。ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが"0"の場合、本レジスタと FRAME Number の下位 8 ビットを比較します。比較結果が一致した場合には、SOF 送信開始時にホスト割込みレジスタ(HIRQ)の SOFIRQ ビットが"1"になります。ホストコントロールレジスタ 0(HCNT0)の SOFIRE ビットが"1"の場合、割込みが発生します。

bit	15	14	13	12	11	10	9	8
Field	FRAMECOMP							
属性	R/W							
初期値	00000000							
リセット可否*	×							

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15:8] FRAMECOMP

FRAME 比較データです。

SOF トークン時の Frame Number の下位 8 ビットと比較するデータを設定します。

ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが"0"の場合、SOF トークン時、SOF の Frame Number と本レジスタ値を比較し、一致すればホスト割込みレジスタ(HIRQ)の SOFIRQ ビットに"1"が設定されます。

ホストコントロールレジスタ 0(HCNT0)の SOFSTEP ビットが"0"の場合、本レジスタの設定は無効です。

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

5.6. リトライタイマ設定レジスタ(HRTIMER)

リトライタイマ設定レジスタ(HRTIMER)は、トークンのリトライ時間を設定するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	RTIMER1							
属性	R/W							
初期値	00000000							
リセット可否*	×							

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

bit	7	6	5	4	3	2	1	0
Field	RTIMER0							
属性	R/W							
初期値	00000000							
リセット可否*	×							

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

bit	7(23)	6(22)	5(21)	4(20)	3(19)	2(18)	1(17)	0(16)
Field	予約						RTIMER2	
属性	-						R/W	
初期値	X						00	
リセット可否*	-						×	

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit23:18] 予約ビット

予約ビットです。リード時は不定です。ライト時は"0"または"1"どちらを書いても LSI の動作に影響しません。

[bit17:0] HRTIMER0, 1, 2

リトライタイマ設定ビットです。

本レジスタにリトライする時間を設定します。ホストコントロールレジスタ(HCNT1)の RETRY ビットが"1"のとき、トークンが開始されるとリトライタイマが起動されます。その後、1 ビットの転送クロック(Full Speed の場合、12MHz)によりタイマが-1 されます。リトライタイマが"0"になった場合、そのときのトークンを実行して終了します。

トークンのリトライが EOF 領域で発生した場合には SOF の実行が終了するまでリトライタイマは停止します。SOF の実行終了後、停止したタイマ値から開始します。

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。また、UDC 制御レジスタ(UDCC)の RST ビットが"1"のときに書込んだ場合、書込みは無視されます。
- 本レジスタはホストモード時に書いてください。ファンクションモード時は、本レジスタのビット 15 からビット 0 は 0 になります。本レジスタのビット 15 からビット 0 に書いても無視されます。

5.7. ホストアドレスレジスタ(HADR)

ホストアドレスレジスタ(HADR)は、トークンを送信する際のアドレスフィールドに使用されるレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約	Address						
属性	-	R/W						
初期値	X	0000000						
リセット可否*	-	×						

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15] 予約ビット

予約ビットです。リード時は不定です。ライト時は"0"または"1"どちらを書いても LSI の動作に影響しません。

[bit14:8] Address

アドレスビットです。
トークンのアドレスを設定します。

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

5.8. EOF 設定レジスタ(HEOF)

EOF 設定レジスタ(HEOF)は、SOF トークン実行前のトークン禁止時間を設定するレジスタです。以下の両方の条件を満たす場合、SOF トークン実行後、要求トークンを実行します。

・SOF 用タイマと本レジスタのデータを比較し、本レジスタのデータより SOF タイマが小さい
・IN トークン, OUT トークン, SETUP トークンのいずれか実行要求があった

これは、ハードウェアで生成する SOF トークンと他のトークンが同時に実行させないための機能です。本レジスタの時間単位は 1 ビット転送時間です。

bit	15	14	13	12	11	10	9	8
Field	予約		EOF1					
属性	-		R/W					
初期値	X		000000					
リセット可否*	-		×					

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

bit	7	6	5	4	3	2	1	0
Field	EOF0							
属性	R/W							
初期値	00000000							
リセット可否*	×							

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15:14] 予約ビット

予約ビットです。リード時は不定です。ライト時は"0"または"1"どちらを書いても LSI の動作に影響しません。

[bit13:0] EOF1, EOF0 (End Of Frame)

EOF ビットです。

SOF 実行前のトークン実行禁止時間を設定します。1 パケット長よりマージンを持って設定してください。単位は、1 ビット転送時間です。

設定例) MAXPKT=64 バイト, Full Speed の場合、

(Token_length + packet_length + header + CRC)*7/6 + Turn_around_time
=(34bit + 546bit)*7/6 + 36bit = 712.7bit

となり、(2C9)h を設定します。

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットに"1"を設定しても初期化されません。

5.9. FRAME 設定レジスタ(HFRAME)

FRAME 設定レジスタ(HFRAME)は、SOF トークン時の FRAME Number を設定するレジスタです。ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF 起動を設定すると SOF タイマが起動されます。その後 1ms ごとに自動的に SOF が送信されます。SOF が終了するごとに FRAME 設定レジスタは自動的に+1 されます。

bit	15	14	13	12	11	10	9	8
Field	予約					FRAME1		
属性	-					R/W		
初期値	X					000		
リセット可否*	-					○		

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

bit	7	6	5	4	3	2	1	0
Field	FRAME0							
属性	R/W							
初期値	00000000							
リセット可否*	○							

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外, ○:リセット対象

[bit15:11] 予約ビット

予約ビットです。リード時は不定です。ライト時は"0"または"1"どちらを書いても LSI の動作に影響しません。

[bit10:0] FRAME1, FRAME0

フレーム設定ビットです。
SOF の Frame Number を設定します。

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
- ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットに SOF を設定する前に、本レジスタに Frame Number を設定してください。
- ホストステータスレジスタ(HSTATE)の SOFBUSY ビットが"1"および SOF トークン実行中は、本レジスタへの書込みは禁止です。

5.10. ホストトークンエンドポイントレジスタ(HTOKEN)

ホストトークンエンドポイントレジスタ(HTOKEN)は、トグル，エンドポイント，トークンを設定するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	TGGL	TKNEN			ENDPT			
属性	R/W	R/W			R/W			
初期値	0	000			0000			
リセット可否*	○	○			○			

* : UDCC:RST ビットでのリセット可否 ×:リセット対象外，○:リセット対象

[bit7] TGGL (ToGGLe)

トグルビットです。

Data のトグルを設定します。送信時は本ビットにしたがってトグルデータを送信します。受信時は受信したトグルデータと本ビットが示すトグルデータを比較し、エラー検出に使用します。

bit	説明
0	DATA0
1	DATA1

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
- ホストトークンエンドポイントレジスタ(HTOKEN)の TKNEN ビットが"000"のときに設定してください。

[bit6:4] TKNEN (ToKeN ENable)

トークン許可ビットです。

本ビットの設定にしたがってトークンを送出します。動作終了後 TKNEN ビットが"000"になり、ホスト割込みレジスタ(HIRQ)の CMPIRQ ビットが"1"になります。ホストコントロールレジスタ0(HCNT0)の CMPIRE ビットが"1"に設定されていると、割込みが発生します。

SOF トークン時、TGGL ビット, ENDPT ビットの設定は無視されます。

表 5-3 トークン設定

bit6	bit5	bit4	動作
0	0	0	送出しない
0	0	1	SETUP を送出
0	1	0	IN を送出
0	1	1	OUT を送出
1	0	0	SOF を送出
1	0	1	Isochronous IN を送出
1	1	0	Isochronous OUT を送出
1	1	1	予約(設定禁止)

＜注意事項＞

- 本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期値になります。
- PRE パケットはサポートしていません。
- ホスト状態ステータスレジスタ(HSTATE)の SOFBUSY ビットが"1"のときに TKNEN ビットに"100"を設定しないでください。
- 本ビットへの書込みはホストモードにしてから書込みを行ってください。
- トークンによる割込みフラグ(CMPIRQ)が"1"になった後、再度トークンを発行する場合には USB 転送クロック(Full Speed 時 ：12MHz, Low Speed 時 ：1.5MHz)で 3 サイクル以上待って本ビットに書き込んでください。
- 切断状態(HSTATE の CSTAT="0")では、本ビットに書き込んでもトークンは実行されません。

[bit3:0] ENDPT (ENDPoinT)

エンドポイントビットです。
Device への送受信するエンドポイントを設定します。

＜注意事項＞

本ビットは UDC 制御レジスタ(UDCC)の RST ビットが"1"のとき、本ビットは初期化されます。

CHAPTER: Ethernet

Ethernet に関しては、別冊の「ペリフェラルマニュアル Ethernet 編」を参照してください。

管理コード: 9xETHERTOP-J01.1

CHAPTER: CAN プリスケーラ

CAN プリスケーラについて説明します。

1. 概要・構成
2. CANプリスケーラのレジスタ

管理コード: 9BFCANPRE-J01.3

1. 概要・構成

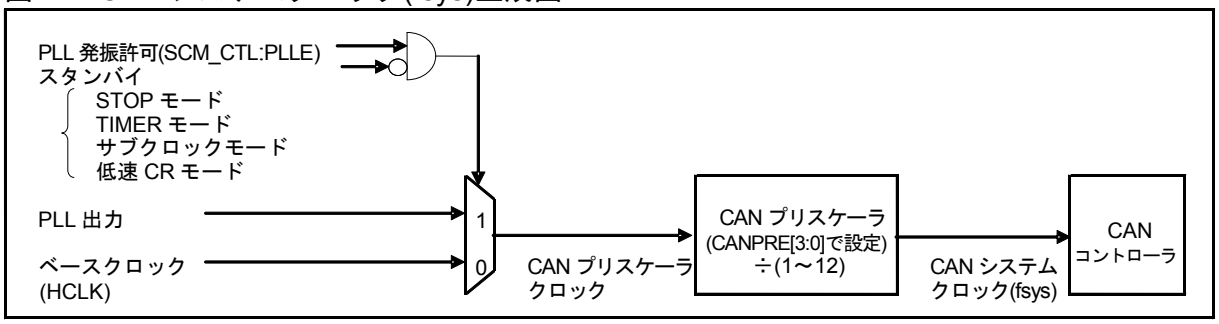
CAN システムクロック(fsys)を生成し、CAN に供給します。

CAN プリスケーラクロックを 1～12 分周して、CAN システムクロック(fsys)として CAN に供給します。

図 1-1 に CAN プリスケーラのブロックダイヤグラムを示します。

■ CAN のブロックダイヤグラム

図 1-1 CAN システムクロック(fsys)生成図



■ 動作説明

CAN プリスケーラは以下の 2 種類から CAN プリスケーラクロックとして選択して、それを分周後 CAN に供給します。

・PLL 使用の場合： PLL 出力
・それ以外(図 1-1 のスタンバイを含む)の場合： ベースクロック(HCLK)

2. CAN プリスケーラのレジスタ

CAN プリスケーラのレジスタについて説明します。

レジスタ略称	レジスタ名	参照先
CANPRE	CAN プリスケーラレジスタ	2.1

2.1. CAN プリスケーラレジスタ (CANPRE)

CAN プリスケーラレジスタは、CAN システムクロック(fsys)生成プリスケーラを設定します。

■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約	予約			CANPRE			
属性	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	0	1	1

■ レジスタ機能

[bit7] 予約 : 予約ビット
必ず"0"を書き込んでください。

[bit6:4] 予約 : 予約ビット
常に"0"が読み出されます。書込みは"0"を書き込んでください。

[bit3:0] CANPRE : CAN プリスケーラ設定ビット
CANプリスケーラの分周設定を行います。分周したクロックをCANシステムクロックとしてCANマクロへ供給します。

bit3:0	説明
0000	CAN プリスケーラクロックを分周しません。
0001	CAN プリスケーラクロックを 1/2 分周します。
001x	CAN プリスケーラクロックを 1/4 分周します。
01xx	CAN プリスケーラクロックを 1/8 分周します。
1000	CAN プリスケーラクロックを 2/3 分周します。 クロックの Duty は 67%になります。
1001	CAN プリスケーラクロックを 1/3 分周します。
1010	CAN プリスケーラクロックを 1/6 分周します。
1011	CAN プリスケーラクロックを 1/12 分周します。
110x	CAN プリスケーラクロックを 1/5 分周します。
111x	CAN プリスケーラクロックを 1/10 分周します。

＜注意事項＞

- CAN プリスケーラ設定ビットの変更は CAN 制御レジスタ(CTRLR)の初期化ビット(Init)を"1"に設定し、すべてのバス動作を停止させた後に行ってください。
- CAN プリスケーラクロックに PLL 出力を使用する場合、PLL 発振安定後に CAN 制御レジスタ(CTRLR)の初期化ビット(Init)を"0"に設定してください。
- CAN プリスケーラが出力する CAN システムクロックは 16MHz 以下となるように設定してください。

CHAPTER: CAN コントローラ

CAN について説明します。

1. 概要
2. 構成
3. CANコントローラの動作説明
4. CANコントローラのレジスタ
5. 補足

管理コード: FC42L-J02.5

1. 概要

CAN コントローラは、シリアル通信用の標準プロトコルである CAN プロトコル ver2.0A/B に準拠しています。CAN は自動車や FA などの工業分野に広く使用されています。

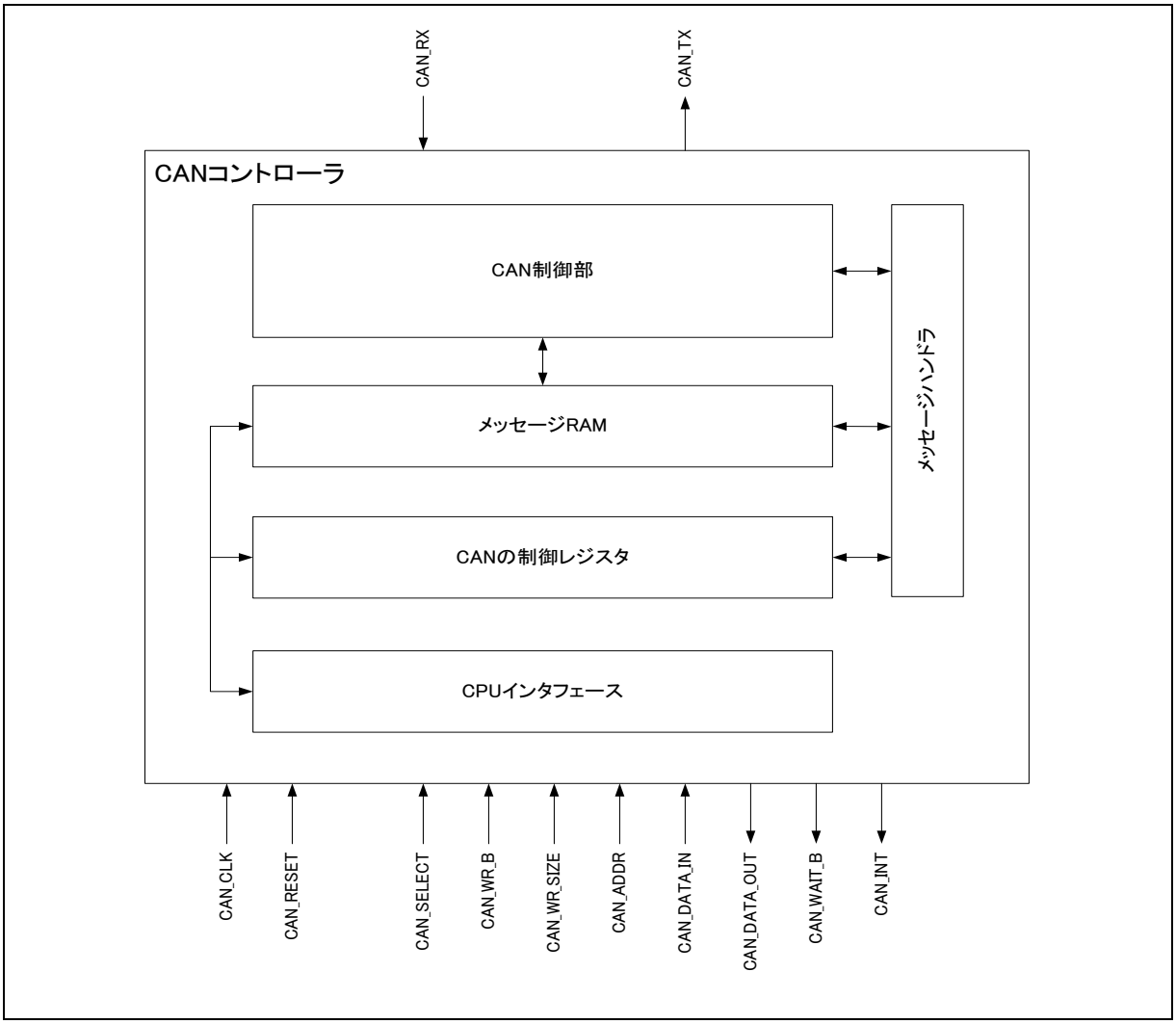
CAN コントローラには以下の特長があります。

・CAN プロトコル ver2.0A/B をサポート
・1MBit/s までのビットレートをサポート
・メッセージオブジェクトごとの識別マスク
・プログラマブル FIFO モードをサポート
・マスク可能な割込み
・32 メッセージバッファをサポート
・自己テスト動作用プログラマブルループバックモードをサポート
・インタフェースレジスタを使用してメッセージバッファへの読出し・書込み

2. 構成

図 2-1 に、CAN コントローラのブロックダイヤグラムを示します。

図 2-1 CAN コントローラブロックダイヤグラム



・CAN 制御部
CAN プロトコルと送受信メッセージ転送のためのシリアル/パラレル変換用のシリアルレジスタを制御します。

・メッセージ RAM
メッセージオブジェクトを格納します。

・レジスタ群
CAN で使用されるすべてのレジスタです。

・メッセージハンドラ
メッセージ RAM と CAN 制御部を制御します。

・CPU インタフェース
内部バスのインタフェースを制御します。

3. CAN コントローラの動作説明

CAN コントローラの動作と機能について説明します。

以下の機能について説明します。

・メッセージオブジェクト
・メッセージ送信動作
・メッセージ受信動作
・FIFO バッファ機能
・割込み機能
・ビットタイミング
・テストモード
・ソフトウェア初期化

3.1. メッセージオブジェクト

メッセージ RAM のメッセージオブジェクトとインタフェースについて説明します。

■ メッセージオブジェクト

メッセージ RAM のメッセージオブジェクト設定(MsgVal, NewDat, IntPnd, TxRqst ビットを除く)は、ハードウェアリセットによって初期化されません。そのためメッセージオブジェクトを CPU で初期化するか、MsgVal ビットを無効(MsgVal="0")に設定してください。また、CAN ビットタイミングレジスタの設定は CAN 制御レジスタの Init ビットが"1"のとき行ってください。

メッセージオブジェクトの設定は、メッセージインタフェースレジスタ(IFx マスクレジスタ, IFx アービトレーションレジスタ, IFx メッセージ制御レジスタ, IFx データレジスタ)に設定した後、IFx コマンド要求レジスタへのメッセージ番号を書き込んでください。この書込みによって、そのインタフェースレジスタのデータが指定されたメッセージオブジェクトへ転送されます。

CAN 制御レジスタの Init ビットが"0"にクリアされると CAN コントローラは動作を開始します。受容フィルタを通過した受信メッセージは、メッセージ RAM へ格納されます。送信要求が保留されているメッセージは、メッセージ RAM から CAN コントローラのシフトレジスタへ転送された後、CAN バスへの送信が行われます。

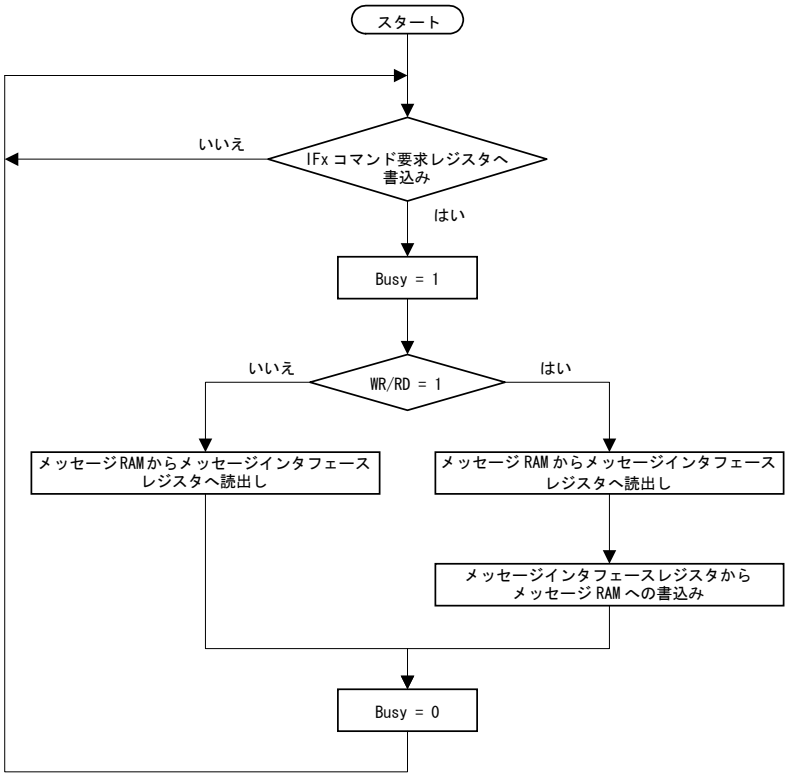
メッセージインタフェースレジスタ経由で、CPU は受信メッセージの読出しと送信メッセージの更新を行います。また CPU への割込みは、CAN 制御レジスタおよび、IFx メッセージ制御レジスタ(メッセージオブジェクト)の設定に従って実行されます。

■ メッセージ RAM とのデータ送受信

メッセージインタフェースレジスタとメッセージ RAM とのデータ転送を開始すると、IFx コマンド要求レジスタの Busy ビットは"1"に設定されます。転送完了後、BUSY ビットは"0"にクリアされます。(図 3-1 参照)

IFx コマンドマスクレジスタは、1 つのメッセージオブジェクトの全データ転送か、データの部分転送を行うかを選択します。メッセージ RAM の構造上、メッセージオブジェクトの単一ビット/バイトの書込みは不可能です。このため、常に 1 つのメッセージオブジェクトの全データがメッセージ RAM へ書き込まれます。従って、メッセージインタフェースレジスタからメッセージ RAM へのデータ転送は、リードモディファイライトサイクルを実行しています。

図 3-1 メッセージインタフェースレジスタとメッセージ RAM のデータ転送



3.2. メッセージ送信動作

送信メッセージオブジェクトの設定方法および送信動作について説明します。

■ メッセージ送信

メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送がない場合、CAN メッセージ有効レジスタの MsgVal ビットと CAN 送信要求レジスタの TxRqst ビットを評価します。送信要求を保留している中で、最高優先度の有効であるメッセージオブジェクトが、送信用のシフトレジスタへ転送されます。そのときメッセージオブジェクトの NewDat ビットは"0"にリセットされます。

正常に送信が完了したとき、メッセージオブジェクトに新たなデータがない(NewDat="0")場合は、TxRqst ビットは"0"にリセットされます。TxIE が"1"に設定されている場合は、送信成功後に IntPnd ビットが"1"に設定されます。CAN コントローラが CAN バス上で調停に負けた場合、あるいは転送中にエラーが発生した場合は、CAN バスがアイドルになり次第、直ちにメッセージの再送信が行われます。

■ 送信優先度

メッセージオブジェクトの送信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 32(搭載している最大メッセージオブジェクト番号)が最低優先度です。従って、2 つ以上の送信要求が保留されている場合、対応するメッセージオブジェクトの小さい番号順に転送が行われます。

＜注意事項＞

・下記いずれかの条件の場合、後述のいずれかのイベントが発生するまでメッセージが送信されない可能性があります。

条件 ： ① 優先順位が最下位のメッセージバッファを送信に使用している場合
② TXRqst に"1"を設定したが、送信中止のため、TxRqst に"0"を設定した場合
③ ②のタイミングの際に、再度 TxRqst に"1"を設定した場合

イベント ： ・CAN バス上に有効なメッセージが流れる
・他のメッセージバッファに対して送信要求が発行される
・Init ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合は、下記手順を行ってください。

1. 下記いずれかを実行する
・送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しない
・送信中止後、上記のいずれかのイベントを発生させる

2. 再度 TxRqst に"1"を設定する

・TxRqst ビットが"1"のときに ID28-0, DLC3-0, Xtd, Data7-0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があります。このため、TxRqst ビットが"0"のときにそれらを変更してください。

■ 送信メッセージオブジェクトの設定

表 3-1 に送信オブジェクトの初期化方法を示します。

表 3-1 送信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	1	0	0	0	appl.	0	appl.	0

IFx アービトレーションレジスタ(ID28-0 と Xtd ビット)は、アプリケーションで与えられ、送信メッセージの ID およびメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 が使用され、ID17～ID0 は無効です。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 が使用されます。

TxIE ビットに"1"をセットすると、メッセージオブジェクトの送信成功後に IntPnd ビットが"1"に設定されます。

RmtEn ビットに"1"をセットすると、一致するリモートフレームを受信後、TxRqst ビットに"1"が設定され、データフレームが自動的に送信されます。

データレジスタ(DLC3-0, Data0-7)の設定は、アプリケーションで与えられます。

UMask="1"のとき、IFx マスクレジスタ(Msk28-0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つリモートフレームを受信し、その後、送信を許可(TxRqst ビットに"1"をセット)するために使用されます。詳細は「3.3 メッセージ受信動作」のリモートフレームを参照してください。

＜注意事項＞

IFx マスクレジスタの Dir ビットをマスク許可に設定することは禁止です。

■ 送信メッセージオブジェクトの更新

CPU は、送信メッセージオブジェクトのデータをメッセージインタフェースレジスタ経由で、更新できます。

送信メッセージオブジェクトのデータは、対応する IFx データレジスタの 4 バイト単位(IFx データレジスタ A, IFx データレジスタ B 単位)で書き込まれます。そのため 1 バイトだけ送信メッセージオブジェクトを変更することはできません。

8 バイトのデータを更新するときは、IFx コマンドマスクレジスタへ 0x0087、IFx コマンド要求レジスタへメッセージ番号を書き込んでください。これにより、送信メッセージオブジェクトのデータ更新(8 バイトデータ)と TxRqst ビットへの"1"書込みが同時に行われます。

NewDat ビットと TxRqst ビットが共に"1"に設定された場合、送信を開始すると NewDat ビットは"0"にリセットされます。

＜注意事項＞

- データを更新する場合は、IFx データレジスタ A もしくは IFx データレジスタ B の 4 バイト単位で行ってください。
- TxRqst ビットが"1"のときに ID28-0, DLC3-0, Xtd, Data7-0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があるので TxRqst ビットが"0"のときにそれらを変更してください。

3.3. メッセージ受信動作

受信メッセージオブジェクトの設定方法および受信動作について説明します。

■ 受信メッセージの受容フィルタ

メッセージのアービトレーション/コントロールフィールド(ID + IDE + RTR + DLC)が CAN コントローラ受信用シフトレジスタへ完全にシフトされると、有効メッセージオブジェクトとの一致比較のためにメッセージ RAM のスキャンが開始されます。

このとき、メッセージ RAM のメッセージオブジェクトから調停フィールドとマスクデータ(MsgVal, UMask, NewDat, EoB を含む)がロードされ、メッセージオブジェクトとシフトレジスタの調停フィールドがマスクデータを含んで比較されます。

この動作は、"メッセージオブジェクトとシフトレジスタの調停フィールドが一致検出されるまで"、または"メッセージRAMの最終ワードに到達するまで"、繰り返し実行されます。一致が検出されると、メッセージ RAM のスキャンは停止され、受信フレームのタイプ(データフレームまたはリモートフレーム)により、CAN コントローラは処理を行います。

■ 受信優先度

メッセージオブジェクトの受信優先度は、メッセージ番号によって決定します。メッセージオブジェクト 1 が最高の優先度で、メッセージオブジェクト 32(搭載している最大メッセージオブジェクト番号)が最低優先度です。従って、受容フィルタで 2 つ以上一致した場合は、メッセージ番号の小さい番号が受信メッセージオブジェクトとなります。

■ データフレーム受信

CAN コントローラは、受容フィルタで一致したメッセージオブジェクトのメッセージ RAM へ、シフトレジスタから受信メッセージを転送します。この格納するデータは、データバイトだけではなく、すべてのアービトレーションフィールドおよびデータ長コードも格納します。これは、IFx マスクレジスタがマスク設定されている場合でも実行されます(ID とデータバイトを保持するために格納されます)。

NewDat ビットは、新たなデータが受信されると"1"に設定されます。CPU がメッセージオブジェクトを読み出したときには、NewDat ビットを"0"にリセットしてください。メッセージ受信時に、既に NewDat ビットが"1"に設定されている場合は、その前のデータが失われたことを示すため、MsgLst が"1"に設定されます。

RxIE ビットが"1"に設定されている場合、メッセージバッファを受信すると CAN 割込みペンディングレジスタの IntPnd ビットに"1"を設定します。そのとき、そのメッセージオブジェクトの TxRqst ビットは"0"にリセットされます。これは、リモートフレーム送信処理中に、要求データフレームを受信した場合、送信処理を防ぐために行われます。

■ リモートフレーム

リモートフレーム受信時の動作は、下記の 3 つの処理があります。一致するメッセージオブジェクトの設定より、リモートフレーム受信時の処理が選択されます。

1. Dir="1"(送信方向), RmtEn="1", UMask="1"または"0"
   一致したリモートフレームの受信を行い、このメッセージオブジェクトの TxRqst ビットのみ"1"に設定し、リモートフレームに対するデータフレームの自動返信(送信)を行います(TxRqst ビット以外のメッセージオブジェクトは変更されません)。

2. Dir="1"(送信方向), RmtEn="0", UMask="0"
   受信したリモートフレームがメッセージオブジェクトと一致したとしても、受信しないでリモートフレームを無効にします(このメッセージオブジェクトの TxRqst ビットは変更されません)。

3. Dir="1"(送信方向), RmtEn="0", UMask="1"
   受信したリモートフレームがメッセージオブジェクトと一致した場合、このメッセージオブジェクトの TxRqst ビットは"0"にリセットされ、リモートフレームは受信データフレームのように処理されます。受信したアービトレーションフィールドとコントロールフィールド(ID + IDE + RTR + DLC)は、メッセージ RAM のメッセージオブジェクトへ格納され、このメッセージオブジェクトの NewDat ビットが"1"に設定されます。メッセージオブジェクトのデータフィールドは変更されません。

■ 受信メッセージオブジェクトの設定

表 3-2 に受信メッセージオブジェクトの初期化方法を示します。

表 3-2 受信メッセージオブジェクトの初期化

MsgVal	Arb	Data	Mask	EoB	Dir	NewDat	MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
1	appl.	appl.	appl.	1	0	0	0	appl.	0	0	0	0

IFx アービトレーションレジスタ(ID28-0, Xtd ビット)は、アプリケーションによって与えられます。受容フィルタに用いられる受信メッセージ ID とメッセージの種類を定義します。

標準フレーム(11 ビット ID)を設定した場合は、ID28～ID18 が使用され、ID17～ID0 は無効です。また、標準フレームが受信されると、ID17～ID0 は"0"にリセットされます。拡張フレーム(29 ビット ID)を設定した場合は、ID28～ID0 を使用します。

RxIE ビットが"1"に設定された場合、受信データフレームがメッセージオブジェクトへ格納されると IntPnd ビットが"1"に設定されます。

データ長コード(DLC3-0)は、アプリケーションによって与えられます。CAN コントローラが、受信データフレームをメッセージオブジェクトへ格納する時、受信データ長コードと 8 バイトのデータを格納します。データ長コードが 8 未満の場合は、メッセージオブジェクトの残りのデータは不定データが書込まれます。

UMask="1"のとき、IFx マスクレジスタ(Msk28-0, UMask, MXtd, MDir ビット)は、マスク設定によりグループ化された ID を持つデータフレームの受信を許可するために使用します。詳細は「3.3 メッセージ受信動作」のデータフレーム受信を参照してください。

＜注意事項＞

IFx マスクレジスタの Dir ビットのマスク設定は禁止です。

■ 受信メッセージの処理

CPU は、メッセージインタフェースレジスタを介して、受信メッセージをいつでも読み出せます。

受信メッセージ処理の例を示します。IFx コマンドマスクレジスタに"0x007F"、メッセージオブジェクトのメッセージ番号を IFx コマンド要求レジスタに書き込んでください。この手順によって、指定されたメッセージ番号の受信メッセージをメッセージ RAM からメッセージインタフェースレジスタに転送します。このとき、IFx コマンドマスクレジスタの設定により、メッセージオブジェクトの NewDat ビットと IntPnd ビットを"0"にクリアすることが可能です。

受信メッセージの処理は、受容フィルタにより一致した場合、メッセージを受信します。メッセージオブジェクトで受容フィルタのマスクを使用している場合は、マスク設定されたデータが受容フィルタから除外され、メッセージを受信するか判断します。

NewDat ビットは、メッセージオブジェクトが最後に読み出されてから、新しいメッセージが受信されたかを示します。

MsgLst ビットは、受信したデータがメッセージオブジェクトから読み出されない状態で次の受信データを受信したために前のデータを失ってしまったことを示します。MsgLst ビットは自動的にリセットされません。

リモートフレーム送信処理中に、受容フィルタにより一致するデータフレームが受信された場合には、TxRqst ビットは自動的に"0"にリセットされます。

3.4. FIFO バッファ機能

受信メッセージ処理におけるメッセージオブジェクトの FIFO バッファの構成および動作について説明します。

■ FIFO バッファの構成

FIFO バッファの受信メッセージオブジェクトの構成は、EoB ビットを除いて、受信メッセージオブジェクトの構成と同じです(「3.3 メッセージ受信動作」の受信メッセージオブジェクトの設定を参照してください)。

FIFO バッファは、2 つ以上の受信メッセージオブジェクトを連結して使用します。この FIFO バッファへ受信メッセージを格納するためには、受信メッセージオブジェクトの ID とマスクを使用する場合はそれらの設定を一致させなければなりません。

FIFO バッファの最初の受信メッセージオブジェクトは、優先順位の高いメッセージ番号の小さい番号です。FIFO バッファの最後の受信メッセージオブジェクトは、EoB ビットに"1"を設定し、FIFO バッファブロックの終わりを示してください。(FIFO バッファ構成を使用するメッセージオブジェクトの最終メッセージオブジェクト以外は、EoB ビットに"0"を設定してください)。

＜注意事項＞

・FIFO バッファで使用するメッセージオブジェクトの ID とマスク設定は、必ず同じ設定にしてください。
・FIFO バッファを使用しない場合は、必ず EoB ビットに"1"を設定してください。

■ FIFO バッファによるメッセージ受信

受信メッセージが、FIFO バッファの ID と一致した場合は、最小メッセージ番号の FIFO バッファの受信メッセージオブジェクトへ格納されます。

FIFO バッファの受信メッセージオブジェクトへメッセージが格納されると、この受信メッセージオブジェクトの NewDat ビットが"1"に設定されます。EoB ビットが"0"の受信メッセージオブジェクトへ NewDat ビットをセットすると、最後の受信メッセージオブジェクト(EoB ビット="1")に到達するまで、受信メッセージオブジェクトが保護されます。この間、CAN コントローラによる FIFO バッファ書込みは行われません。

下記両者を満たす場合、次に受信されたメッセージが最終メッセージオブジェクトへ書き込まれるため、メッセージは上書きされます。

・最終 FIFO バッファまで有効なデータが格納された
・受信メッセージオブジェクトの NewDat ビットに"0"書込み(書込み保護の解除)が行われない

最終 FIFO バッファまで有効なデータが格納された状態で受信メッセージオブジェクトの NewDat ビットに"0"書込み(書込み保護の解除)が行われないと次に受信されたメッセージが最終メッセージオブジェクトへ書込まれ、メッセージは上書きされてしまいます。

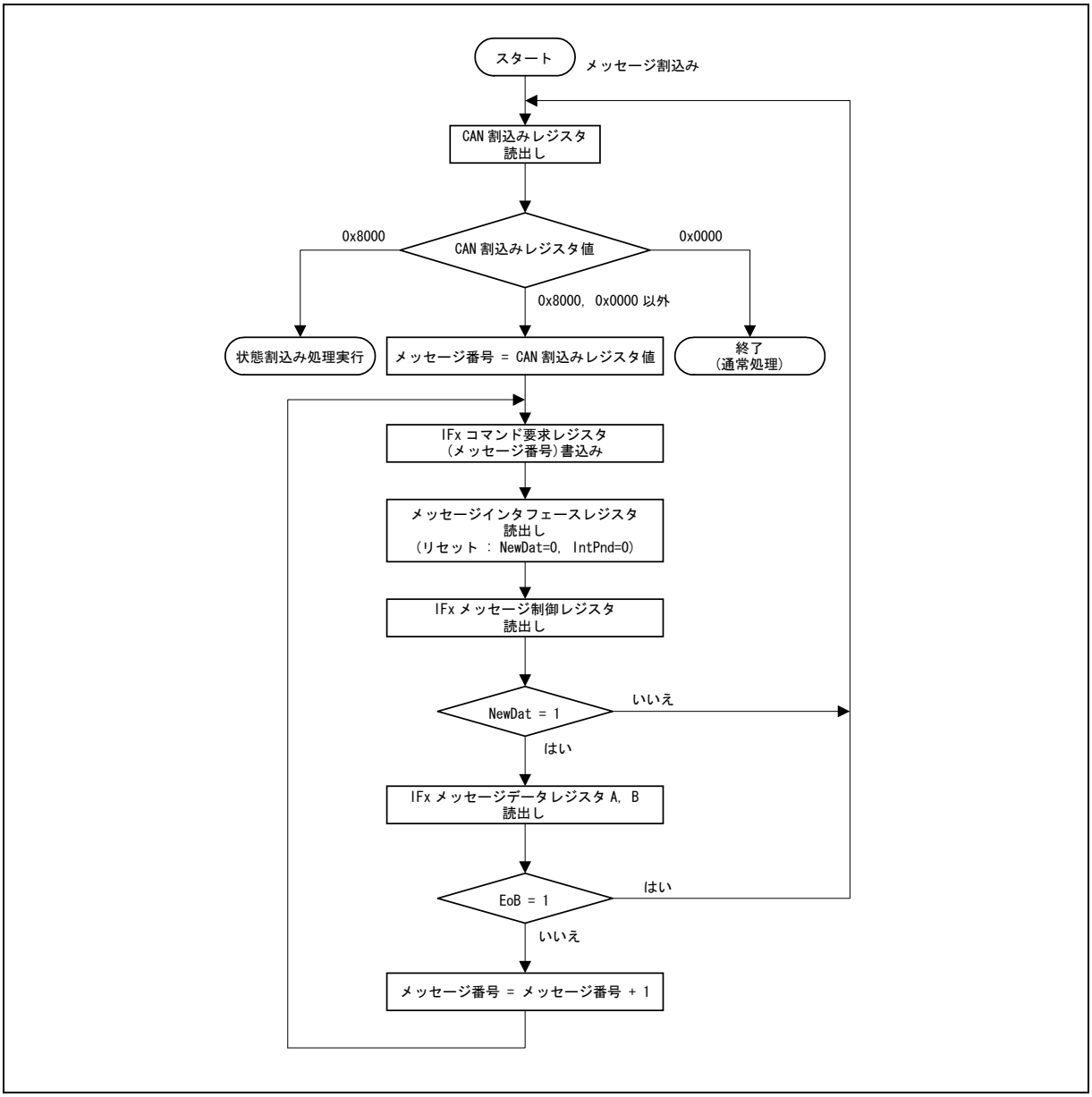
■ FIFO バッファからの読出し

CPU が受信メッセージオブジェクトの内容を読み出すには、IFx コマンド要求レジスタへ受信メッセージ番号を書き込むことによって、メッセージインタフェースレジスタに転送され読み出せます。このとき、IFx コマンドマスクレジスタの WR/RD を"0"(読出し)および、TxRqst/NewDat=1, ClrIntPnd=1 に設定し、NewDat ビットと IntPnd ビットを"0"にリセットしてください。

FIFO バッファの機能を保証するために、FIFO バッファの受信メッセージオブジェクトは、必ず最小のメッセージ番号から読み出してください。

図 3-2 に FIFO バッファで連結されるメッセージオブジェクトの CPU の処理方法を示します。

図 3-2 FIFO バッファの CPU 処理



3.5. 割込み機能

ステータス割込み(IntId=0x8000)およびメッセージ割込み(IntId=メッセージ番号)による割込み処理について説明します。

複数の割込みが保留中である場合、CAN 割込みレジスタは、保留中の最高優先度の割込みコードを示します。割込みコードの設定された時間順は無視され、常に優先順位の高い割込みコードが表示されます。CPU がクリアするまで割込みコードは保持されます。

ステータス割込み(IntId ビットの 0x8000)は、最高優先度です。

メッセージ割込みの優先度は、メッセージ番号の小さいメッセージが高く、大きいメッセージが低くなります。

メッセージ割込みは、メッセージオブジェクトの IntPnd ビットのクリアによってクリアされます。ステータス割込みは、CAN ステータスレジスタの読出しでクリアされます。

CAN 割込みペンディングレジスタの IntPnd ビットは、割込みの有無を示します。保留中の割込みがない時は、IntPnd ビットは"0"を示します。

CAN 制御レジスタの IE ビットおよび、IFx メッセージ制御レジスタの TxIE ビット, RxIE ビットに"1"をセットしている状態で IntPnd ビットが"1"になると、CPU への割込み信号がアクティブになります。割込み信号は、CAN 割込みペンディングレジスタが"0"にクリアされる(割込み要因リセット)か、CAN 制御レジスタの IE ビットが"0"にリセットされるまでアクティブ状態を保持します。

CAN 割込みレジスタの 0x8000 は、CAN コントローラによって CAN ステータスレジスタが更新されたことを示します。この割込みが最高優先度です。CAN ステータスレジスタの更新による割込みは、CAN 制御レジスタの EIE ビットと SIE ビットにより、CAN 割込みレジスタへの設定許可または禁止を制御できます。また、CPU への割込み信号の制御は、CAN 制御レジスタの IE ビットで行えます。

CAN ステータスレジスタの RxOk ビット、TxOk ビット、LEC ビットは、CPU からの書込みにより更新(リセット)できます。しかし、その書込みにより割込みのセットまたはリセットを行うことはできません。

CAN 割込みレジスタの 0x8000, 0x0000 以外は、メッセージ割込みが保留中であることを示し、優先度の高い保留中のメッセージ割込みを示します。

CAN 割込みレジスタは、IE がリセットされた場合でも更新されます。

CPU へのメッセージ割込みの原因は、CAN 割込みレジスタまたは CAN 割込みペンディングレジスタで確認できます(「4.5 メッセージハンドラレジスタ」を参照してください)。メッセージ割込みをクリアする場合、同時にメッセージデータを読み出すことは可能です。CAN 割込みレジスタで示されているメッセージ割込みをクリアすると次に優先度の高い割込みが CAN 割込みレジスタに設定されます。これにより、次の割込み処理を待つことになります。割込みがない場合には、CAN 割込みレジスタは 0x0000 を示します。

＜注意事項＞

- ステータス割込み(IntId=0x8000)は、CAN ステータスレジスタの読出しアクセスにより割込みクリアされます。
- CAN ステータスレジスタの書込みアクセスによる、ステータス割込み(IntId=0x8000)は発生しません。

3.6. ビットタイミング

ビットタイミングについての概要と CAN コントローラにおけるビットタイミングについて説明します。

CAN ネットワークの各 CAN ノードは、それぞれクロック発振器(通常は水晶発振器)を持っています。ビットタイムのタイムパラメータは、CAN ノードごとに個別に構成できます。CAN ノードの発振周期(fosc)が異なっていても、共通のビットレートを作り出せます。

これらの発振器の周波数は、温度や電圧の変化、コンポーネントの悪化により少し異なります。その変動が発振器の許容範囲(df)内である限りは、CAN ノードはビットストリームへ再同期化することで異なるビットレートを補償できます。

CAN 仕様に応じて、ビットタイムは 4 つの区分に分けられ(図 3-3 参照)、同期化部(Sync_Seg), 伝送時間部(Prop_Seg), フェーズバッファ部 1(Phase_Seg1), フェーズバッファ部 2(Phase_Seg2)で構成されます。それぞれの区分は、プログラマブルな時間量(表 3-3 参照)から成ります。ビットタイムの基本単位時間(tq)は、CAN コントローラのシステムクロック fsys とボーレートプリスケーラ(BRP)で定義されます。

$$tq = BRP / fsys$$

CAN のシステムクロック fsys は、Clock 入力の周波数(図 2-1 参照)です。同期化部の Sync_Seg は、CAN バスのエッジを期待するビットタイム内のタイミングです。伝送時間部の Prop_Seg は、CAN ネットワーク内の物理的遅延時間を補償します。フェーズバッファ部の Phase_Seg1, Phase_Seg2 は、サンプリングポイントを指定してください。再同期化ジャンプ幅(SJW)は、エッジフェーズエラーを補償するために再同期化時のサンプリングポイントの移動幅を定義してください。

図 3-3 ビットタイミング

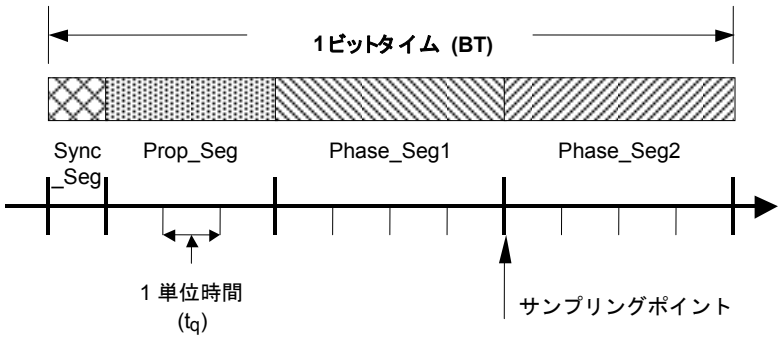


表 3-3 CAN ビットタイムのパラメータ

パラメータ	レンジ	機能
BRP	[1-32]	時間量の長さ tq の定義
Sync_Seg	1 tq	固定長　システムクロックへの同期化
Prop_Seg	[1-8] tq	物理遅延時間の補償
Phase_Seg1	[1-8] tq	サンプリングポイント前のエッジフェーズエラー保証 同期化により一時的に長くされる可能性あります
Phase_Seg2	[1-8] tq	サンプリングポイント後のエッジフェーズエラー保証 同期化により一時的に短くされる可能性あります
SJW	[1-4] tq	再同期化ジャンプ幅 どちらかのフェーズバッファ部より長くなることはありません

次に CAN コントローラにおけるビットタイミングを示します。

図 3-4 CAN コントローラにおけるビットタイミング

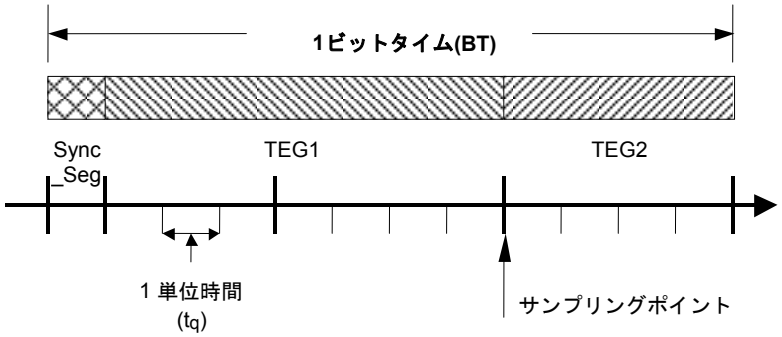


表 3-4 CAN コントローラのパラメータ

パラメータ	レンジ	機能
BRPE, BRP	[0-1023]	時間量の長さ tq の定義 ビットタイミングレジスタおよびプレスケーラ拡張レジスタにより最大 1024 までプリスケーラを拡張できます
Sync_Seg	1 tq	システムクロックへの同期化 固定長
TSeg1	[1-15] tq	サンプリングポイント前のタイムセグメントです Prop_Seg と Phase_Seg1 に相当します ビットタイミングレジスタにより制御できます
TSeg2	[0-7] tq	サンプリングポイント後のタイムセグメントです Phase_Seg2 に相当します ビットタイミングレジスタにより制御できます
SJW	[0-3] tq	再同期化ジャンプ幅です ビットタイミングレジスタにより制御できます

各パラメータの関係を以下に示します。

$$
\begin{aligned}
tq &= ([BRPE, BRP]+1) / fsys \\
BT &= SYNC_SEG + TEG1 + TEG2 \\
&= (1 + (TSeg1 + 1) + (TSeg2 + 1)) \times tq \\
&= (3 + TSeg1 + TSeg2) \times tq
\end{aligned}
$$

3.7. テストモード

テストモードの設定方法および動作について説明します。

■ テストモード設定

CAN 制御レジスタの Test ビットに"1"をセットすることでテストモードになります。テストモードに設定すると、CAN テストレジスタのビット Tx1, Tx0, LBack, Silent, Basic ビットが有効となります。

CAN 制御レジスタの Test ビットを"0"にリセットすることにより、すべてのテストレジスタ機能を無効にします。

■ サイレントモード

CAN テストレジスタの Silent ビットを"1"に設定することにより、CAN コントローラをサイレントモードに設定できます。

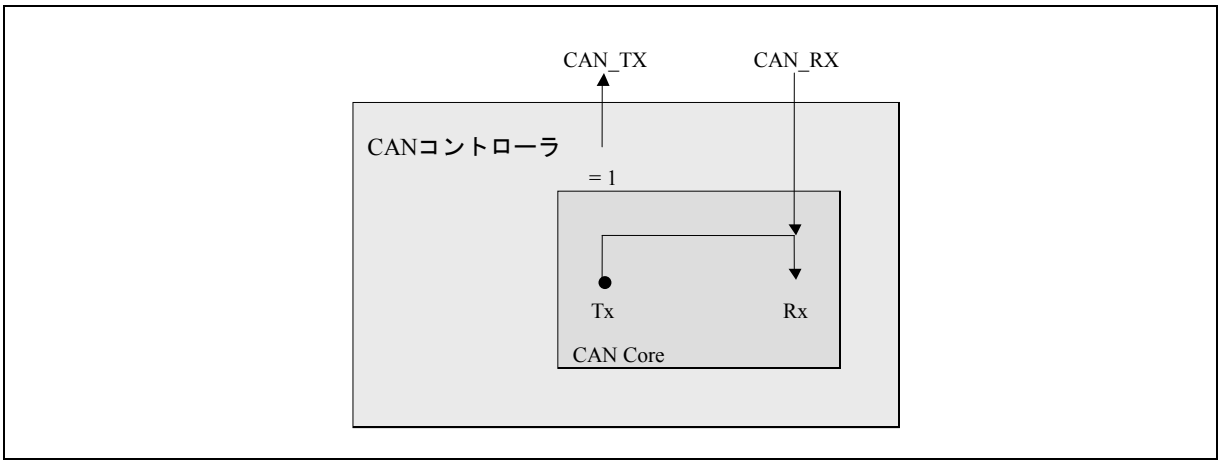
サイレントモードでは、データフレームとリモートフレームを受信可能であるが、CAN バス上にはレセッシブのみ出力し、メッセージおよび ACK の送信を行いません。

CAN コントローラがドミナントビット(ACK ビット, オーバロードフラグ, アクティブエラーフラグ)の送信を要求された場合、CAN コントローラ内部の折り返し回路で RX 側に送信されます。この動作では、CAN バス上においてレセッシブ状態であっても、受信側では CAN コントローラ内部で折り返し送信されたドミナントビットを受信します。

サイレントモードでは、ドミナントビット(ACK ビット, エラーフラグ)送信による影響がない状態で、CAN バス上のトラフィック解析ができます。

図 3-5 にサイレントモードでの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 3-5 サイレントモードでの CAN コントローラ



■ ループバックモード

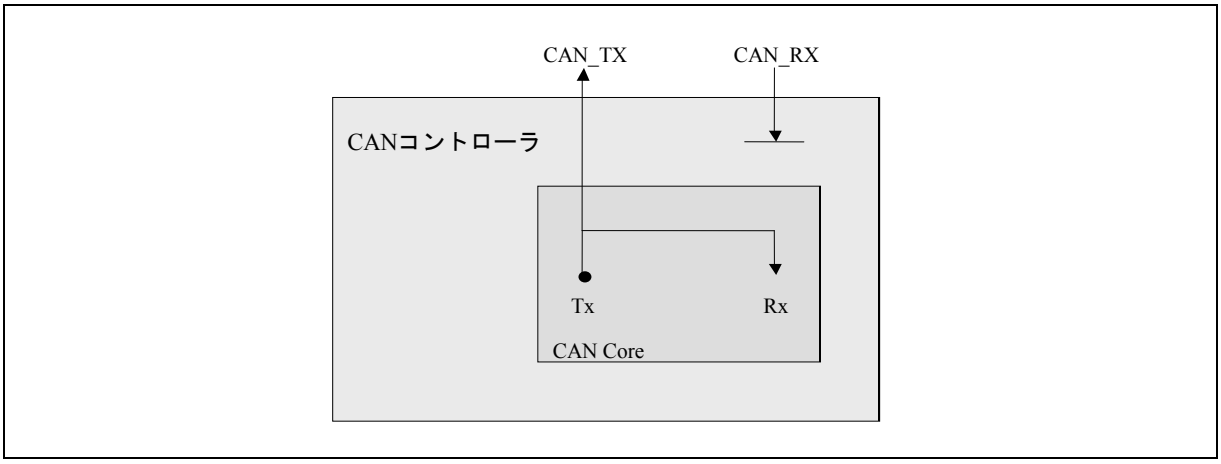
CAN テストレジスタの LBack ビットを"1"に設定することにより、CAN コントローラをループバックモードに設定できます。

ループバックモードは、自己診断機能に使用できます。

ループバックモードでは、CAN コントローラ内部で TX 側と RX 側が接続され、CAN コントローラが送信したメッセージを、RX 側で受信したメッセージとして扱い、受容フィルタを通過したメッセージは、受信バッファに格納します。

図 3-6 にループバックモードでの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 3-6 ループバックモードの CAN コントローラ



＜注意事項＞

外部信号から独立するため、データ/リモートフレームのアクノリッジスロットでのドミナントビットはサンプリングされません。そのため通常、CAN コントローラはアクノリッジエラーを発生しますが、本テストモードではアクノリッジエラーは発生しません。

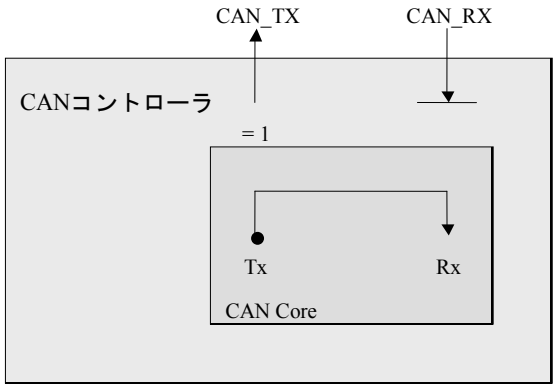
■ サイレントモードとループバックモードの結合

CAN テストレジスタの LBack ビットと Silent ビットを同時に"1"に設定することにより、ループバックモードとサイレントモードを結合させ動作することが可能です。

このモードは、「ホットセルフテスト」用に使用できます。「ホットセルフテスト」とは、CAN コントローラがループバックモードでテストしたときに、CAN_TX 端子にはレセッシブの固定出力、CAN_RX 端子からの入力は無効となるため、CAN システムの動作に影響がないことを意味しています。

図 3-7 にサイレントモードとループバックモードの結合したときの信号 CAN_TX と CAN_RX の CAN コントローラへの接続を示します。

図 3-7 サイレントモードとループバックモードの結合された CAN コントローラ



■ ベーシックモード

CAN テストレジスタの Basic ビットを"1"に設定することにより、CAN コントローラをベーシックモードに設定できます。

ベーシックモードでは、CAN コントローラは、メッセージ RAM を使用せずに動作します。

IF1 メッセージインタフェースレジスタは、送信制御用として使用されます。

メッセージ送信を行う場合、まず、IF1 メッセージインタフェースレジスタに送信する内容を設定します。次に、IF1 コマンド要求レジスタの BUSY ビットに"1"をセットすることで送信要求します。BUSY ビットが"1"に設定されている間、IF1 メッセージインタフェースレジスタをロックしている、または送信が保留されていることを示します。

BUSY ビットに"1"がセットされると CAN コントローラは以下の動作を行います。

CAN バスがバスアイドルになるとすぐに、IF1 メッセージインタフェースレジスタの内容を、送信用シフトレジスタへロードし、送信を開始します。正常に送信完了すると、BUSY ビットが"0"にリセットされ、ロックされていた IF1 メッセージインタフェースレジスタを開放します。

送信が保留されているときに、IF1 コマンド要求レジスタの BUSY ビットを"0"にリセットすることでいつでも中断できます。また、送信中に BUSY ビットを"0"にリセットすると、調停負けやエラーなどの場合に行われる再送信を停止します。

IF2 メッセージインタフェースレジスタは、受信制御用として使用されます。

メッセージの受信は、受容フィルタを使用せずにすべて受信します。IF2 コマンド要求レジスタの Busy ビットを"1"に設定することにより、受信したメッセージの内容を読み出すことが可能となります。

Busy ビットに"1"がセットされると CAN コントローラは以下の動作を行います。

・受信したメッセージ(受信用のシフトレジスタの内容)を受容フィルタなしで、IF2 メッセージインタフェースレジスタへ格納します。

新しいメッセージが IF2 メッセージインタフェースレジスタに格納された場合、CAN コントローラが NewDat ビットを"1"に設定します。また、NewDat ビットが"1"のときに、さらに新しいメッセージを受信した場合は、CAN コントローラが MsgLst を"1"に設定します。

＜注意事項＞

・ベーシックモードでは、制御/状態ビットに関係するすべてのメッセージオブジェクトと IFx コマンドマスクレジスタの制御モード設定は無効です。
・コマンド要求レジスタのメッセージ番号は無効です。
・IF2 メッセージ制御レジスタの NewDat ビットと MsgLst ビットは通常時と同様に動作し、DLC3-0 は受信された DLC を示し、他の制御ビットは"0"として読み出されます。

■ 端子 CAN_TX のソフトウェア制御

CAN 送信端子である CAN_TX は、4 つの出力機能あります。

・シリアルデータ出力(通常出力)
・CAN コントローラのビットタイミングをモニタするための、CAN サンプリングポイント信号出力
・ドミナント固定出力
・レセッシブ固定出力

ドミナントおよびレセッシブの固定出力は、CAN 受信端子の CAN_RX モニタ機能と共に、CAN バスの物理層のチェックに使用できます。

CAN_TX 端子の出力モードは、CAN テストレジスタの Tx1 と Tx0 ビットにより制御可能です。

＜注意事項＞

CAN メッセージ送信もしくはループバックモード、サイレントモード、ベーシックモードを使用する際は、CAN_TX をシリアルデータ出力に設定してください。

3.8. ソフトウェア初期化

ソフトウェアによる初期化について説明します。

ソフトウェアでの初期化要因を以下に示します。

・ハードウェアリセット
・CAN 制御レジスタの Init ビットの設定
・バスオフ状態への遷移

ハードウェアによるリセットは、メッセージ RAM (MsgVal, NewDat, IntPnd, TxRqst ビットを除く) 以外すべて初期化されます。メッセージ RAM はハードウェアによるリセット後、CPU によって初期化するかメッセージ RAM の MsgVal を"0"にしてください。また、ビットタイミングレジスタを設定する場合には、CAN 制御レジスタの Init ビットを"0"にクリアする前に設定してください。

CAN 制御レジスタの Init ビットは、以下の条件で"1"に設定されます。

・CPU からの"1"書込み
・ハードウェアリセット
・バスオフ

Init ビットが"1"に設定されると、CAN バスの全メッセージ送受信は停止され、CAN バス出力の CAN_TX 端子はレセッシブ出力となります。(CAN_TX テストモードは除く)

Init ビットに"1"をセットすると、エラーカウンタは変化しませんし、レジスタも変更されません。

CAN 制御レジスタの Init ビットと CCE ビットが"1"に設定されると、ボーレート制御用のビットタイミングレジスタとプリスケーラ拡張レジスタへの設定が可能となります。

Init ビットを"0"にリセットすることによりソフトウェア初期化を終了します。

Init ビットが"0"にリセットされてから、連続した 11 ビットのレセッシブの発生(=バスアイドル) を待つことにより、CAN バス上のデータ転送と同期化した後、メッセージの転送が行われます。

通常動作中にメッセージオブジェクトのマスク, ID, XTD, EoB, RmtEn を変更する場合、MsgVal を無効に設定してから変更してください。

4. CAN コントローラのレジスタ

CAN には、以下のレジスタがあります。
・CAN 制御レジスタ(CTRLR)
・CAN ステータスレジスタ(STATR)
・CAN エラーカウンタ(ERRCNT)
・CAN ビットタイミングレジスタ(BTR)
・CAN 割込みレジスタ(INTR)
・CAN テストレジスタ(TESTR)
・CAN プリスケーラ拡張レジスタ(BRPER)
・IFx コマンド要求レジスタ(IFxCREQ)
・IFx コマンドマスクレジスタ(IFxCMSK)
・IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)
・IFx アービトレーション 1, 2(IFxARB1, IFxARB2)
・IFx メッセージ制御レジスタ(IFxMCTR)
・IFx データレジスタ A1, A2, B1, B2(IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)
・CAN 送信要求レジスタ 1, 2(TREQR1, TREQR2)
・CAN データ更新レジスタ 1, 2(NEWDT1, NEWDT2)
・CAN 割込みペンディングレジスタ 1, 2(INTPND1, INTPND2)
・CAN メッセージ有効レジスタ 1, 2(MSGVAL1, MSGVAL2)

■ 全体コントロールレジスター覧

表 4-1 全体コントロールレジスター覧

レジスタ略称	レジスタ名	参照先
CTRLR	CAN 制御レジスタ	4.2.1
STATR	CAN ステータスレジスタ	4.2.2
ERRCNT	CAN エラーカウンタ	4.2.3
BTR	CAN ビットタイミングレジスタ	4.2.4
INTR	CAN 割込みレジスタ	4.2.5
TESTR	CAN テストレジスタ	4.2.6
BRPER	CAN プリスケーラ拡張レジスタ	4.2.7

■ メッセージインタフェースレジスター覧

表 4-2 メッセージインタフェースレジスター覧

レジスタ略称	レジスタ名	参照先
IF1CREQ	IF1 コマンド要求レジスタ	4.3.1
IF1CMSK	IF1 コマンドマスクレジスタ	4.3.2
IF1MSK1	IF1 マスクレジスタ 1	4.3.3
IF1MSK2	IF1 マスクレジスタ 2	4.3.3
IF1ARB1	IF1 アービトレーションレジスタ 1	4.3.4
IF1ARB2	IF1 アービトレーションレジスタ 2	4.3.4
IF1MCTR	IF1 メッセージ制御レジスタ	4.3.5
IF1DTA1	IF1 データ A レジスタ 1(リトルエンディアン)	4.3.6
IF1DTA2	IF1 データ A レジスタ 2(リトルエンディアン)	4.3.6
IF1DTB1	IF1 データ B レジスタ 1(リトルエンディアン)	4.3.6
IF1DTB2	IF1 データ B レジスタ 2(リトルエンディアン)	4.3.6
IF1DTA2	IF1 データ A レジスタ 2(ビッグエンディアン)	4.3.6
IF1DTA1	IF1 データ A レジスタ 1(ビッグエンディアン)	4.3.6
IF1DTB2	IF1 データ B レジスタ 2(ビッグエンディアン)	4.3.6
IF1DTB1	IF1 データ B レジスタ 1(ビッグエンディアン)	4.3.6
IF2CREQ	IF2 コマンド要求レジスタ	4.3.1
IF2CMSK	IF2 コマンドマスクレジスタ	4.3.2
IF2MSK1	IF2 マスクレジスタ 1	4.3.3
IF2MSK2	IF2 マスクレジスタ 2	4.3.3
IF2ARB1	IF2 アービトレーションレジスタ 1	4.3.4
IF2ARB2	IF2 アービトレーションレジスタ 2	4.3.4
IF2MCTR	IF2 メッセージ制御レジスタ	4.3.5
IF2DTA1	IF2 データ A レジスタ 1(リトルエンディアン)	4.3.6
IF2DTA2	IF2 データ A レジスタ 2(リトルエンディアン)	4.3.6
IF2DTB1	IF2 データ B レジスタ 1(リトルエンディアン)	4.3.6
IF2DTB2	IF2 データ B レジスタ 2(リトルエンディアン)	4.3.6
IF2DTA2	IF2 データ A レジスタ 2(ビッグエンディアン)	4.3.6
IF2DTA1	IF2 データ A レジスタ 1(ビッグエンディアン)	4.3.6
IF2DTB2	IF2 データ B レジスタ 2(ビッグエンディアン)	4.3.6
IF2DTB1	IF2 データ B レジスタ 1(ビッグエンディアン)	4.3.6

■ メッセージハンドラレジスター覧

表 4-3 メッセージハンドラレジスター覧

レジスタ略称	レジスタ名	参照先
TREQ1	CAN 送信要求レジスタ 1	4.5.1
TREQ2	CAN 送信要求レジスタ 2	4.5.1
NEWDT1	CAN データ更新レジスタ 1	4.5.2
NEWDT2	CAN データ更新レジスタ 2	4.5.2
INTPND1	CAN 割込みペンディングレジスタ 1	4.5.3
INTPND2	CAN 割込みペンディングレジスタ 2	4.5.3
MSGVAL1	CAN メッセージ有効レジスタ 1	4.5.4
MSGVAL2	CAN メッセージ有効レジスタ 2	4.5.4

4.1. CAN レジスタ機能

CAN レジスタは、256 バイトのアドレス空間が割り当てられています。メッセージ RAM への CPU のアクセスは、メッセージインタフェースレジスタを介して行います。

本節では CAN レジスタを掲載し、それぞれのレジスタの詳細機能を記載します。

■ 全体コントロールレジスタ

・CAN 制御レジスタ(CTRLR)
・CAN ステータスレジスタ(STATR)
・CAN エラーカウンタ(ERRCNT)
・CAN ビットタイミングレジスタ(BTR)
・CAN 割込みレジスタ(INTR)
・CAN テストレジスタ(TESTR)
・CAN プリスケーラ拡張レジスタ(BRPER)

■ メッセージインタフェースレジスタ

・IFx コマンド要求レジスタ(IFxCREQ)
・IFx コマンドマスクレジスタ(IFxCMSK)
・IFx マスクレジスタ 1, 2(IFxMSK1, IFxMSK2)
・IFx アービトレーションレジスタ 1, 2(IFxARB1, IFxARB2)
・IFx メッセージ制御レジスタ(IFxMCTR)
・IFx データレジスタ A1, A2, B1, B2(IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)

■ メッセージハンドラレジスタ

・CAN 送信要求レジスタ 1, 2(TREQR1, TREQR2)
・CAN データ更新レジスタ 1, 2(NEWDT1, NEWDT2)
・CAN 割込みペンディングレジスタ 1, 2(INTPND1, INTPND2)
・CAN メッセージ有効レジスタ 1, 2(MSGVAL1, MSGVAL2)

4.2. 全体コントロールレジスタ

全体コントロールレジスタは、CAN プロトコル制御および動作モードを制御し、ステータス情報を提供します。

■ 全体コントロールレジスタ

- CAN 制御レジスタ(CTRLR)
- CAN ステータスレジスタ(STATR)
- CAN エラーカウンタ(ERRCNT)
- CAN ビットタイミングレジスタ(BTR)
- CAN 割込みレジスタ(INTR)
- CAN テストレジスタ(TESTR)
- CAN プリスケーラ拡張レジスタ(BRPER)

4.2.1. CAN 制御レジスタ (CTRLR)

CAN 制御レジスタは、CAN コントローラの動作モードを制御します。

■ レジスタ構成

・CAN 制御レジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0
初期値	0	0	0	0	0	0	0	0

・CAN 制御レジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Test	CCE	DAR	予約	EIE	SIE	IE	Init
属性	R/W	R/W	R/W	R0,W0	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1

■ レジスタ機能

[bit15:8] 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit7] Test : テストモード許可ビット

bit	機能
0	通常動作 [初期値]
1	テストモード

＜注意事項＞

Test ビットに"1"を設定する場合、Init ビットが"1"のときに設定してください。

[bit6] CCE : ビットタイミングレジスタ書込み許可ビット

bit	機能
0	CAN ビットタイミングレジスタおよび CAN プリスケーラ拡張レジスタへの書込みを禁止します。 [初期値]
1	CAN ビットタイミングレジスタおよび CAN プリスケーラ拡張レジスタへの書込みを許可します。Init ビットが"1"のときに有効です。

[bit5] DAR : 自動再送禁止ビット

bit	機能
0	調停負けまたはエラー検出時のメッセージの自動再送を許可します。 [初期値]
1	自動再送を禁止します。

CAN 仕様(ISO11898、6.3.3 リカバリ処理 参照)より、CAN コントローラは調停負けあるいは転送中のエラー検出によりフレームの自動再送を行います。自動再送する場合は、DAR ビットに"0"を設定します。CAN を Time Triggered CAN(TTCAN, ISO11898-1 参照)環境で動作させるためには、DAR ビットに"1"を設定してください。

＜注意事項＞

・DAR ビットに"1"を設定したモードでは、メッセージオブジェクト(メッセーオブジェクトについては「4.4 メッセージオブジェクト」を参照してください)の TxRqst ビットと NewDat ビットの動作が異なります。
  ・フレーム送信を開始したとき、メッセージオブジェクトの TxRqst が"0"にリセットされますが、NewDat ビットはセットされたままです。
  ・フレーム送信が正常終了すると NewDat は"0"にリセットされます。
  送信が調停負けもしくはエラー検出すると、NewDat はセットされたままです。
  送信を再開するためには、CPU により TxRqst に"1"を設定してください。

・フレーム送出中(TxRqst="1")に CAN 制御レジスタ(CTRLR)の DAR ビットを"0"から"1"に変更すると送出中のフレームがもう一度送出されますので DAR ビットを変更する場合、Init ビットが"1"のときに変更してください。
・DAR ビットに"1"を設定して、複数のメッセージバッファによる送信を行った場合、以下の動作になります。
  ・フレーム送信開始前または送信中に他のメッセージバッファの TxRqst に"1"が設定された場合(複数のメッセージバッファの TxRqst に"1"が設定された場合)、フレーム送信の開始時、設定されたすべての TxRxst が"0"にリセットされ、その中で優先順位の高いメッセージバッファのデータが送信されます。

  フレーム送信が正常終了すると送信されたメッセージバッファの NewDat が"0"にリセットされ、そのときメッセージバッファの TxIE が"1"であれば、メッセージオブジェクトの IntPnd は"1"に設定されます。

  他のメッセージバッファはフレーム送信開始時、TxRqst が"0"にリセットされたためにフレーム送信は行われません。
  NewDat または IntPnd によって送信されたメッセージバッファを確認後、送信したいメッセージバッファに対し、再度 TxRqst と NewDat に"1"を設定してください。

[bit4] 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit3] EIE : エラー割込みコード許可ビット

bit	機能
0	CAN ステータスレジスタの BOff または EWarn ビットの変化により、CAN 割込みレジスタへの割込みコードの設定を禁止します。 [初期値]
1	CAN ステータスレジスタの BOff または EWarn ビットの変化により、CAN 割込みレジスタへのステータス割込みコードの設定を許可します。

[bit2] SIE : ステータス割込みコード許可ビット

bit	機能
0	CAN ステータスレジスタの TxOk, RxOk または LEC ビットの変化により、CAN 割込みレジスタへの割込みコードの設定を禁止します。 [初期値]
1	CAN ステータスレジスタの TxOk, RxOk または LEC ビットの変化により、CAN 割込みレジスタへのステータス割込みコードの設定を許可します。 CPU からの書込みによって発生した TxOk, RxOk, LEC ビットの変化は CAN 割込みレジスタには設定されません。

[bit1] IE : 割込み許可ビット

bit	機能
0	割込みの発生を禁止します。 [初期値]
1	割込みの発生を許可します。

[bit0] Init : 初期化ビット

bit	機能
0	CAN コントローラ動作可能
1	初期化 [初期値]

＜注意事項＞

- バスオフリカバリシーケンス(CAN仕様Rev. 2.0参照)は、Initビットの設定/解除によって短縮はできません。デバイスがバスオフになると、CANコントローラ自身がInitビットを"1"に設定し、すべてのバス動作を停止します。バスオフ状態からInitビットを"0"にクリアすると、バスアイドルが連続的に129回(11ビットのレセッシブを1回とする)発生するまでバス動作を停止状態にします。バスオフリカバリシーケンス実行後、エラーカウンタをリセットします。
- バスオフリカバリシーケンス中にInitビットに"1"を設定し、再度Initビットに"0"を設定した場合、バスオフリカバリシーケンスを最初から実施します(11ビットのレセッシブを1回として129回再度実施)。
- CANビットタイミングレジスタへの書込みは、InitおよびCCEビットに"1"を設定してください。
- 送受信途中でInitビットに"1"を設定した場合、即送受信を中止します。
- 送信中、Initビットに"1"を設定する場合、送信完了後にInitビットに"1"を設定してください。もし、送信中、Initビットに"1"を設定した場合、Initビットに"0"を設定してから2ビット時間経過後に送信の設定(TxRqst="1")を行ってください。
- 低消費電力モード(停止モード、クロックモード)へ遷移する前、および供給クロックを変更する前にInitビットに"1"を書込んでCANコントローラを初期化状態しなければなりません。
- 次のレジスタにより、CANインタフェースに供給するクロックの分周比を変更する場合は、Initビットに"1"を設定し、CANコントローラを停止した状態で行ってください。
  - CANビットタイミングレジスタ(BTR)
  - CANプリスケーラ拡張レジスタ(BRPER)
  - CANプリスケーラ(CANPRE)

4.2.2. CAN ステータスレジスタ (STATR)

CAN ステータスレジスタは、CAN ステータスおよび CAN バス状態を表示します。

■ レジスタ構成

・CAN ステータスレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0
初期値	0	0	0	0	0	0	0	0

・CAN ステータスレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	BOff	EWarn	EPass	RxOk	TxOk	LEC		
属性	R,WX	R,WX	R,WX	R,W	R,W	R,W	R,W	R,W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:8] 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit7] BOff : バスオフビット

bit	機能
0	CAN コントローラはバスオフ状態でないことを示します。 [初期値]
1	CAN コントローラはバスオフ状態であることを示します。

[bit6] EWarn : ワーニングビット

bit	機能
0	送信と受信カウンタが共に 96 未満であることを示します。 [初期値]
1	送信または受信カウンタが 96 以上であることを示します。

[bit5] EPass : エラーパッシブビット

bit	機能
0	送信と受信カウンタが共に 128 未満(エラーアクティブ状態)であることを示します。 [初期値]
1	受信カウンタの RP ビットが"1"または送信カウンタが 128 以上 255 以下(エラーパッシブ状態)であることを示します。

[bit4] RxOk : メッセージ正常受信ビット

bit	機能
0	CAN バス上で正常なメッセージ通信が行われていない またはバスアイドル状態であることを示します。 [初期値]
1	CAN バス上で正常なメッセージ通信が行われたことを示します。

[bit3] TxOk : メッセージ正常送信ビット

bit	機能
0	バスアイドル状態もしくは正常なメッセージ送信が行われていないことを示します。 [初期値]
1	正常なメッセージ送信が行われたことを示します。

＜注意事項＞

RxOk および TxOk ビットは、CPU によってのみリセットされます。

[bit2:0] LEC : ラストエラーコードビット

bit2:0	状態	機能
0	正常	正常に送信または受信されたことを示します。 [初期値]
1	Stuff エラー	メッセージ内において 6 ビット以上連続してドミナントまたはレセッシブを検出したことを示します。
2	Form エラー	受信されたフレームの固定フォーマット部が間違って検出したことを示します。
3	Ack エラー	送信メッセージに対し、他のノードからアクノリッジされなかったことを示します。
4	Bit1 エラー	調停フィールドを除くメッセージの送信データにおいて、レセッシブを送信したにも関らずドミナントを検出したことを示します。
5	Bit0 エラー	メッセージの送信データにおいて、ドミナントを送信したにも関らずレセッシブを検出したことを示します。 バスリカバリ中には、11 ビットのレセッシブを検出するごとに設定されます。このビットを読み出すことによりバスリカバリシーケンスを監視できます。
6	CRC エラー	受信したメッセージの CRC データと計算した CRC の結果が一致しなかったことを示します。
7	未検出	CPU によって LEC ビットに"7"の書込みを行ってから、LEC 値が"7"を読み出した場合、その期間は送受信しなかったことを示します。(バスアイドル状態)

LEC ビットは CAN バス上で発生した最後のエラーを示すコードを保持します。メッセージがエラーなしで転送(受信/送信)完了すると"0"にクリアされます。未検出コード"7"は、コード更新をチェックするために CPU によって設定されます。

＜注意事項＞

- EIE ビットが"1"のときに BOff および EWarn ビットが変化した場合、もしくは SIE ビットが"1"のときに RxOk, TxOk および LEC ビットが変化した場合、ステータス割込みコード(0x8000)は、CAN 割込みレジスタに設定されます。
- RxOk, TxOk ビットは CPU の書込みによって更新されるため、CAN コントローラによってセットされた RxOk, TxOk ビットが消えてしまいます。もし RxOk, TxOk ビットを使用する場合には、RxOk または TxOk ビットが"1"に設定されてから(45×BT)時間以内にクリアしてください。BT は 1 ビットタイムを示します。
- SIE ビットが"1"のとき、LEC ビットの変化による割込みが発生した場合には CAN ステータスレジスタに書き込まないでください。
- EPass ビットの変化あるいは RxOk, TxOk および LEC ビットへの CPU 書込み動作では発生しません。
- BOff ビットが"1"になった場合、EPass ビット、EWarn ビットは"1"の状態になっています。また、EPass ビットが"1"になった場合、EWarn ビットは"1"の状態になっています。
- 本レジスタを読み出すことにより、CAN 割込みレジスタのステータス割込み(0x8000)はクリアされます。

4.2.3. CAN エラーカウンタ (ERRCNT)

CAN エラーカウンタは、受信エラーパッシブ表示および受信エラーカウンタ，送信エラーカウンタを示します。

■ レジスタ構成

・CAN エラーカウンタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	RP	REC6-0						
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN エラーカウンタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	TEC7-0							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15] RP : 受信エラーパッシブ表示

bit	機能
0	受信エラーカウンタはエラーパッシブ状態でないことを示します。 [初期値]
1	受信エラーカウンタは CAN 仕様で定義されているエラーパッシブ状態に到達したことを示します。

[bit14:8] REC6-0 : 受信エラーカウンタ

受信エラーカウンタ値。受信エラーカウンタ値の範囲は 0～127 です。
受信エラーカウンタが 128 以上になる場合、RP ビットに"1"を設定し、受信エラーカウンタは更新されません。

例) RP=0, REC6-0=127, 受信エラーで+8 される場合、
その結果は、RP=1, REC6-0=127
RP=0, REC6-0=126, 受信エラーで+8 される場合、
その結果は、RP=1, REC6-0=126
RP=0, REC6-0=119, 受信エラーで+8 される場合、
その結果は、RP=0, REC6-0=127
RP=1, REC6-0=126, 正常受信された場合、
その結果は、RP=0, REC6-0=125

[bit7:0] TEC7-0 : 送信エラーカウンタ

送信エラーカウンタ値。送信エラーカウンタ値の範囲は 0～255 です。
送信エラーカウンタが 256 以上になる場合、CAN 制御レジスタの Init ビットに"1"を設定し、送信エラーカウンタは更新されません。

例) Init=0, TEC7-0=255, 送信エラーで+8 される場合、
その結果は、Init=1, TEC7-0=255
Init=0, TEC7-0=254, 送信エラーで+8 される場合、
その結果は、Init=1, TEC7-0=254
Init=0, TEC7-0=247, 送信エラーで+8 される場合、
その結果は、Init=0, TEC7-0=255

4.2.4. CAN ビットタイミングレジスタ (BTR)

CAN ビットタイミングレジスタは、プリスケーラおよびビットタイミングを設定します。

■ レジスタ構成

・CAN ビットタイミングレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	TSeg2			TSeg1			
属性	R0,W0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	1	0	0	0	1	1

・CAN ビットタイミングレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	SJW		BRP					
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1

■ レジスタ機能

[bit15] 予約ビット
予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit14:12] TSeg2 : タイムセグメント 2 設定ビット
有効設定値は 0～7 です。TSeg2+1 の値がタイムセグメント 2 になります。
タイムセグメント 2 は、CAN 仕様のフェーズバッファセグメント(PHASE_SEG2)に相当します。

[bit11:8] TSeg1 : タイムセグメント 1 設定ビット
有効設定値は 1～15 です。0 の設定は禁止です。TSeg1+1 の値がタイムセグメント 1 になります。
タイムセグメント 1 は、CAN 仕様のプロパゲーションセグメント(PROP_SEG) + フェーズバッファセグメント 1(PHASE_SEG1)に相当します。

[bit7:6] SJW : 再同期化ジャンプ幅設定ビット
有効設定値は 0～3 です。SJW+1 の値が再同期ジャンプ幅です。

[bit5:0] BRP : ボーレートプリスケーラ設定ビット
有効設定値は 0～63 です。BRP+1 の値がボーレートプリスケーラになります。
システムクロック(fsys)を分周して、CAN コントローラの基本単位時間(tq)を決定します。

＜注意事項＞

CAN 制御レジスタの CCE ビットと Init ビットが"1"に設定されているときに、CAN ビットタイミングレジスタおよび CAN プリスケーラ拡張レジスタを設定してください。

4.2.5. CAN 割込みレジスタ (INTR)

CAN 割込みレジスタは、メッセージ割込みコードおよびステータス割込みコードを表示します。

■ レジスタ構成

・CAN 割込みレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	IntId15-8							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN 割込みレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	IntId7-0							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

bit15-0	機能
0x0000	割込みなし
0x0001 - 0x0020	割込み要因はメッセージオブジェクトの番号を示します。 (メッセージ割込みコード)
0x0021 - 0x7FFF	未使用
0x8000	CAN ステータスレジスタの変化による割込みを示します。 (ステータス割込みコード)
0x8001 - 0xFFFF	未使用

複数の割込みコードが保留中である場合、CAN 割込みレジスタは優先度の高い割込みコードを示します。割込みコードが CAN 割込みレジスタに設定されていても優先度の高い割込みコードが発生した場合には、CAN 割込みレジスタは優先度の高い割込みコードに更新されます。

優先度の高い割込みコードは、ステータス割込みコード(0x8000)、メッセージ割込み(0x0001, 0x0002, 0x0003, ……, 0x0020)の順になります。

IntId ビットが 0x0000 以外で、CAN 制御レジスタの IE ビットが"1"に設定されると、CPU への割込み信号がアクティブになります。IntId の値が 0x0000 になる(割込み要因がリセットされる)もしくは CAN 制御レジスタの IE ビットが"0"にリセットされると、割込み信号はインアクティブになります。

対象となるメッセージオブジェクト(メッセージオブジェクトについては「4.4 メッセージオブジェクト」を参照してください)の IntPnd ビットを"0"にクリアすることでメッセージ割込みコードはクリアされます。

ステータス割込みコードは CAN ステータスレジスタを読み出すことでクリアされます。

＜注意事項＞

CAN 割込みレジスタをリードする際はハーフワードまたはワードでアクセスしてください。

4.2.6. CAN テストレジスタ (TESTR)

CAN テストレジスタは、テストモードの設定および RX 端子のモニタを行います。動作については、「3.7 テストモード」を参照してください。

■ レジスタ構成

・CAN テストレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0
初期値	0	0	0	0	0	0	0	0

・CAN テストレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Rx	Tx1	Tx0	LBack	Silent	Basic	予約	予約
属性	R,WX	R/W	R/W	R/W	R/W	R/W	R0,W0	R0,W0
初期値	r	0	0	0	0	0	0	0

bit7 の Rx の初期値 r は、CAN バス上のレベルが表示されます。

■ レジスタ機能

[bit15:8] 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit7] Rx : Rx 端子モニタビット

bit	機能
0	CAN バスはドミナントであることを示します。
1	CAN バスはレセッシブであることを示します。

[bit6:5] Tx1-0 : TX 端子コントロールビット

bit6	bit5	機能
0	0	通常動作 [初期値]
0	1	サンプリングポイントが Tx 端子に出力されます。
1	0	TX 端子にドミナントを出力します。
1	1	TX 端子にレセッシブを出力します。

[bit4] LBack : ループバックモード

bit	機能
0	ループバックモードを禁止します。 [初期値]
1	ループバックモードを許可します。

[bit3] Silent : サイレントモード

bit	機能
0	サイレントモードを禁止します。 [初期値]
1	サイレントモードを許可します。

[bit2] Basic : ベーシックモード

bit	機能
0	ベーシックモードを禁止します。 [初期値]
1	ベーシックモードを許可します。 IF1 レジスタは送信メッセージとして、IF2 レジスタは受信メッセージとして使用されます。

[bit1:0] 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

＜注意事項＞

- CAN 制御レジスタの Test ビットを"1"に設定した後、本レジスタへ書込んでください。テストモードが有効となるのは、CAN 制御レジスタの Test ビットが"1"のときです。途中で CAN 制御レジスタの Test ビットを"0"にするとテストモードから通常モードになります。
- Tx ビットを"00"以外に設定した場合、メッセージは送信できません。

4.2.7. CAN プリスケーラ拡張レジスタ(BRPER)

CAN プリスケーラ拡張レジスタは、CAN ビットタイミングで設定したプリスケーラと組み合せることにより、CAN コントローラで使用するプリスケーラを拡張します。

■ レジスタ構成

・CAN プリスケーラ拡張レジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0
初期値	0	0	0	0	0	0	0	0

・CAN プリスケーラ拡張レジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	BRPE			
属性	R0,W0	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:4] 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit3:0] BRPE : ボーレートプリスケーラ拡張ビット

CAN ビットタイミングレジスタの BRP と BRPE を組み合せることにより、1023 までボーレートプリスケーラを拡張できます。

{BRPE(MSB:4 ビット), BRP(LSB:6 ビット)} + 1 の値が CAN コントローラのプリスケーラ値になります。

4.3. メッセージインタフェースレジスタ

CPU からメッセージ RAM へのアクセスを制御するために 2 組のメッセージインタフェースレジスタを提供します。

メッセージ RAM への CPU アクセスを制御するために使用される 2 組のメッセージインタフェースレジスタがあります。この 2 組のレジスタは、転送された(する)データ(メッセージオブジェクト)をバッファすることで、メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避します。メッセージオブジェクト(メッセージオブジェクトについては、「4.4 メッセージオブジェクト」を参照してください)は、メッセージインタフェースレジスタとメッセージ RAM 間を一度に転送します。

テストベーシックモードを除き、2 組のメッセージインタフェースレジスタの機能は同一で、独立して動作可能です。例えば、IF1 のメッセージインタフェースレジスタをメッセージ RAM への書込み動作中に、IF2 のメッセージインタフェースレジスタをメッセージ RAM からの読出しに使用することも可能です。表 4-2 に 2 組のメッセージインタフェースレジスタを示します。

メッセージインタフェースレジスタは、コマンドレジスタ(コマンド要求、コマンドマスクレジスタ)と、このコマンドレジスタによって制御されるメッセージバッファレジスタ(マスク, アービトレーション, メッセージ制御, データレジスタ)から構成されます。コマンドマスクレジスタは、データ転送の方向とメッセージオブジェクトのどの部分が転送されるのかを示します。コマンド要求レジスタは、メッセージ番号の選択と、コマンドマスクレジスタに設定された動作を行います。

4.3.1. IFx コマンド要求レジスタ (IFxCREQ)

IFx コマンド要求レジスタは、メッセージ RAM のメッセージ番号の選択とメッセージ RAM とメッセージバッファレジスタ間の転送を行います。また、テストのベーシックモードでは、IF1 を送信制御用に IF2 を受信制御用として使用します。

■ レジスタ構成

・IFx コマンド要求レジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	BUSY	予約	予約	予約	予約	予約	予約	予約
属性	R/W	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0
初期値	0	0	0	0	0	0	0	0

・IFx コマンド要求レジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Message Number							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	1

■ レジスタ機能

IFx コマンド要求レジスタへメッセージ番号を書き込むとすぐにメッセージ RAM とメッセージバッファレジスタ(マスク, アービトレーション, メッセージ制御, データレジスタ)とのメッセージ転送が開始されます。この書込み動作で、BUSY ビットが"1"に設定され、BUSY ビットが"1"の間転送処理中であることを示します。その転送が終了すると、BUSY ビットが"0"にリセットされます。

BUSY ビットが"1"のときに、CPU からメッセージインタフェースレジスタへアクセスが発生すると、BUSY ビットが"0"になるまで(コマンド要求レジスタ書込み後、Clock で 3～6 サイクル期間)、CPU はウェイトします。

テストのベーシックモードでは、BUSY ビットの使用方法が異なります。IF1 コマンド要求レジスタは、送信メッセージとして使用され、BUSY ビットに"1"をセットすることによりメッセージ送信開始を指示します。メッセージ転送が正常終了すると、BUSY ビットは"0"にリセットされます。また、BUSY ビットを"0"にリセットすることにより、いつでもメッセージ転送を中断させることが可能です。

IF2 コマンド要求レジスタは、受信メッセージとして使用され、BUSY ビットを"1"に設定することにより、受信したメッセージを IF2 メッセージインタフェースレジスタに格納します。

[bit15] BUSY : ビジーフラグビット

・テストベーシックモード以外

bit	機能
0	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理を行っていないことを示します。 [初期値]
1	メッセージインタフェースレジスタとメッセージ RAM 間でデータ転送処理中であることを示します。

・テストベーシックモード

・IF1 コマンド要求レジスタ

bit	機能
0	メッセージ送信を禁止します。
1	メッセージ送信を許可します。

・IF2 コマンド要求レジスタ

bit	機能
0	メッセージ受信を禁止します。
1	メッセージ受信を許可します。

[bit14:8] 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit7:0] Message Number : メッセージ番号(32 メッセージバッファ)

bit7-0	機能
0x00, 0x40, 0x60, 0x80, 0xA0, 0xC0, 0xE0	設定禁止です。 設定した場合、0x20 として解釈され、0x20 が読み出されます。
0x01 - 0x20	処理を行うメッセージ番号を設定します。
0x21-0x3F, 0x41-0x5F, 0x61-0x7F, 0x81-0x9F, 0xA1-0xBF, 0xC1-0xDF, 0xE1-0xFF	設定禁止です。設定した場合、0x01-0x1F として解釈され、解釈された値が読み出されます。

＜注意事項＞

BUSY ビットは、読出し/書込みが可能です。テストのベーシックモード時以外は、このビットに何を書いても動作に影響しません(ベーシックモードについては「3.7 テストモード」を参照してください)。

4.3.2. IFx コマンドマスクレジスタ (IFxCMSK)

IFx コマンドマスクレジスタは、メッセージインタフェースレジスタとメッセージ RAM 間の転送方向を制御し、どのデータを更新するかを設定します。また、テストのベーシックモードでは本レジスタは無効です。

■ レジスタ構成

・IFx コマンドマスクレジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	予約	予約	予約	予約	予約	予約	予約	予約
属性	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0	R0,W0
初期値	0	0	0	0	0	0	0	0

・IFx コマンドマスクレジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	WR/RD	Mask	Arb	Control	CIP	TxRqst/ NewDat	Data A	Data B
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

[bit15:8] 予約ビット

予約ビットは、"0"が読み出され、書込みの場合"0"を設定してください。

[bit7] WR/RD : 書込み/読出し制御ビット

bit	機能
0	メッセージ RAM からデータを読み出すことを示します。メッセージ RAM からの読出しは IFx コマンド要求レジスタへの書込みによって実行されます。メッセージ RAM から読み出すデータは、Mask, Arb, Control, CIP, TxRqst/NewDat, Data A, Data B ビットの設定に依存します。 [初期値]
1	メッセージ RAM へデータを書き込むことを示します。メッセージ RAM への書込みは IFx コマンド要求レジスタへの書込みによって実行されます。メッセージ RAM への書込みデータは、Mask, Arb, Control, CIP, TxRqst/NewDat, Data A, Data B ビットの設定に依存します。

＜注意事項＞

リセット後、メッセージ RAM のデータは不定です。メッセージ RAM のデータが不定状態でメッセージ RAM のデータを読み出すことは禁止です。

IFx コマンドマスクレジスタの bit6-0 は、転送方向(WR/RD ビット)の設定により違った意味になります。

● 転送方向が書込みの場合(WR/RD="1")

[bit6] Mask : マスクデータ更新ビット

bit	機能
0	メッセージオブジェクト*1 のマスクデータ(ID マスク + MDir + MXtd)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のマスクデータ(ID マスク + MDir + MXtd)を更新することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit5] Arb : アービトレーションデータ更新ビット

bit	機能
0	メッセージオブジェクト*1 のアービトレーションデータ(ID + Dir + Xtd + MsgVal)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のアービトレーションデータ(ID + Dir + Xtd + MsgVal)を更新することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit4] Control : 制御データ更新ビット

bit	機能
0	メッセージオブジェクト*1 の制御データ(IFx メッセージ制御レジスタ)を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 の制御データ(IFx メッセージ制御レジスタ)を更新することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit3] CIP : 割込みクリアビット

本ビットに"0"または"1"を設定しても CAN コントローラへの動作に影響を与えません。

[bit2] TxRqst/NewDat : メッセージ送信要求ビット

bit	機能
0	メッセージオブジェクト*1 および CAN 送信要求レジスタの TxRqst ビットを変更しないことを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN 送信要求レジスタの TxRqst ビットに"1"を設定(送信要求)することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit1] Data A : データ 0-3 更新ビット

bit	機能
0	メッセージオブジェクト*1 のデータ 0-3 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のデータ 0-3 を更新することを示します

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit0] Data B : データ 4-7 更新ビット

bit	機能
0	メッセージオブジェクト*1 のデータ 4-7 を更新しないことを示します。 [初期値]
1	メッセージオブジェクト*1 のデータ 4-7 を更新することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

- IFx コマンドマスクレジスタの TxRqst/NewDat ビットが"1"に設定されると、IFx メッセージ制御レジスタの TxRqst ビットの設定は無効です。
- テストのベーシックモードでは本レジスタは無効です。

● 転送方向が読出しの場合(WR/RD="0")

[bit6] Mask : マスクデータ更新ビット

bit	機能
0	メッセージオブジェクト*1 から IFx マスクレジスタ 1, 2 へデータ(ID マスク + MDir + MXtd)を転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx マスクレジスタ 1, 2 へデータ(ID マスク + MDir + MXtd)を転送することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit5] Arb : アービトレーションデータ更新ビット

bit	機能
0	メッセージオブジェクト*1 から IFx アービトレーション 1, 2 へデータ(ID+ Dir + Xtd + MsgVal)を転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx アービトレーション 1, 2 へデータ(ID+ Dir + Xtd + MsgVal)を転送することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit4] Control : 制御データ更新ビット

bit	機能
0	メッセージオブジェクト*1 から IFx メッセージ制御レジスタへデータを転送しないことを示します。 [初期値]
1	メッセージオブジェクト*1 から IFx メッセージ制御レジスタへデータを転送することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit3] CIP : 割込みクリアビット

bit	機能
0	メッセージオブジェクト*1 および CAN 割込みペンディングレジスタの IntPnd ビットを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN 割込みペンディングレジスタの IntPnd ビットを"0"にクリアすることを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit2] TxRqst/NewDat : データ更新ビット

bit	機能
0	メッセージオブジェクト*1 および CAN データ更新レジスタの NewDat ビットを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データ更新レジスタの NewDat ビットを"0"にクリアすることを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit1] Data A : データ 0-3 更新ビット

bit	機能
0	メッセージオブジェクト*1 および CAN データレジスタ A1, A2 のデータを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データレジスタ A1, A2 のデータを更新することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

[bit0] Data B : データ 4-7 更新ビット

bit	機能
0	メッセージオブジェクト*1 および CAN データレジスタ B1, B2 のデータを保持することを示します。 [初期値]
1	メッセージオブジェクト*1 および CAN データレジスタ B1, B2 のデータを更新することを示します。

*1 :「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

- メッセージオブジェクトへの読出しアクセスにより、IntPnd および NewDat ビットは"0"にリセットすることが可能です。ただし、IFx メッセージ制御レジスタの IntPnd および NewDat ビットには、読出しアクセスによりリセットされる前の IntPnd, NewDat ビットが格納されます。
- テストのベーシックモードでは無効です。

4.3.3. IFx マスクレジスタ 1, 2 (IFxMSK1, IFxMSK2)

IFx マスクレジスタ 1, 2 は、メッセージ RAM のメッセージオブジェクトマスクデータを書込み/読出しするために用いられます。また、テストのベーシックモードでは、設定されているマスクデータは無効です。

各ビットの機能については「4.4 メッセージオブジェクト」に記述されています。

■ レジスタ構成

・IFx マスクレジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	MXtd	MDir	予約	Msk28-24				
属性	R/W	R/W	R1,W1	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

・IFx マスクレジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Msk23-16							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

・IFx マスクレジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	Msk15-8							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

・IFx マスクレジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	Msk7-0							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

本レジスタのビット説明については「4.4 メッセージオブジェクト」を参照してください。

本レジスタの予約ビット(IFx マスクレジスタ 2 の bit13)は"1"が読み出されます。

書込み時は"1"を書込んでください。

4.3.4. IFx アービトレーションレジスタ 1, 2 (IFxARB1, IFxARB2)

IFx アービトレーションレジスタ 1, 2 は、メッセージ RAM のメッセージオブジェクトアービトレーションデータを書込み/読出しするために用いられます。また、テストのベーシックモードでは無効です。

各ビットの機能については、「4.4 メッセージオブジェクト」に記述されています。

■ レジスタ構成

・IFx アービトレーションレジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	MsgVal	Xtd	Dir	ID28-24				
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

・IFx アービトレーションレジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	ID23-16							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

・IFx アービトレーションレジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	ID15-8							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

・IFx アービトレーションレジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	ID7-0							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

本レジスタのビット説明については「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

送信途中でメッセージオブジェクトの MsgVal ビットを"0"にクリアした場合、送信が完了した時点で CAN ステータスレジスタの TxOk ビットは"1"になります。ただし、メッセージオブジェクトおよび CAN 送信要求レジスタの TxRqst ビットは"0"にクリアされません。このため、メッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。

4.3.5. IFx メッセージ制御レジスタ(IFxMCTR)

IFx メッセージ制御レジスタは、メッセージ RAM のメッセージオブジェクト制御データを書込み/読出しするために用いられます。また、テストのベーシックモードでは、IF1 メッセージ制御レジスタは無効です。IF2 メッセージ制御レジスタの NewDat と MsgLst は通常の動作を行い、DLC ビットは受信したメッセージの DLC を表示します。その他の制御ビットは無効("0")として動作します。

各ビットの機能については「4.4 メッセージオブジェクト」に記述されています。

■ レジスタ構成

・IFx メッセージ制御レジスタ(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	NewDat	MsgLst	IntPnd	UMask	TxIE	RxIE	RmtEn	TxRqst
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

・IFx メッセージ制御レジスタ(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	EoB	予約	予約	予約	DLC3-0			
属性	R/W	R0,W0	R0,W0	R0,W0	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

本レジスタのビット説明については「4.4 メッセージオブジェクト」を参照してください。

＜注意事項＞

TxRqst, NewDat および IntPnd ビットは、IFx コマンドマスクレジスタの WR/RD ビットの設定によって以下のような動作になります。

・転送方向が書込みの場合(IFx コマンドマスクレジスタ : WR/RD="1")
  ・IFx コマンドマスクレジスタの TxRqst/NewDat が"0"に設定されている場合のみ、本レジスタの TxRqst ビットが有効です。

・転送方向が読出しの場合(IFx コマンドマスクレジスタ : WR/RD="0")
  ・IFx コマンドマスクレジスタの CIP ビットを"1"、IFx コマンド要求レジスタへの書込みによりメッセージオブジェクトおよび CAN 割込みペンディングレジスタの IntPnd ビットをリセットした場合、本レジスタにはリセットされる前の IntPnd ビットが格納されます。
  ・IFx コマンドマスクレジスタの TxRqst/NewDat ビットを"1"、IFx コマンド要求レジスタへの書込みによりメッセージオブジェクトおよび CAN データ更新レジスタの NewDat ビットをリセットした場合、本レジスタにはリセットする前の NewDat ビットが格納されます。

4.3.6. IFx データレジスタ A1, A2, B1, B2 (IFxDTA1, IFxDTA2, IFxDTB1, IFxDTB2)

IFx データレジスタ A1, A2, B1, B2 は、メッセージ RAM のメッセージオブジェクト送受信データを書込み/読出しするために用いられます。データフレームの送受信のみ使用され、リモートフレームの送受信には使用されません。

■ レジスタ構成

	addr+3	addr+2	addr+1	addr+0
IFx データ A レジスタ 1(リトルエンディアン)			Data(1)	Data(0)
IFx データ A レジスタ 2(リトルエンディアン)	Data(3)	Data(2)		
IFx データ B レジスタ 1(リトルエンディアン)			Data(5)	Data(4)
IFx データ B レジスタ 2(リトルエンディアン)	Data(7)	Data(6)		
IFx データ A レジスタ 2(ビッグエンディアン)			Data(2)	Data(3)
IFx データ A レジスタ 1(ビッグエンディアン)	Data(0)	Data(1)		
IFx データ B レジスタ 2(ビッグエンディアン)			Data(6)	Data(7)
IFx データ B レジスタ 1(ビッグエンディアン)	Data(4)	Data(5)		

・IFx データレジスタ

bit	15 7	14 6	13 5	12 4	11 3	10 2	9 1	8 0
Field	Data							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

・送信メッセージデータの設定
設定したデータは、MSB(bit7, bit15)より開始して Data(0), Data(1), …, Data(7)の順で送信されます。

・受信メッセージデータ
受信メッセージデータは、MSB(bit7, bit15)より開始して Data(0), Data(1), …, Data(7)の順で格納されます。

＜注意事項＞

・受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定データが書込まれます。
・メッセージオブジェクトへの転送は、Data A もしくは Data B の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけを更新することはできません。

4.4. メッセージオブジェクト

メッセージ RAM には、32 のメッセージオブジェクトがあります。メッセージ RAM への CPU アクセスと CAN コントローラからのアクセスの競合を回避するために、CPU はメッセージオブジェクトへ直接、アクセスはできません。これらのアクセスは、IFx メッセージインタフェースレジスタ経由で行います。

本節では、メッセージオブジェクトの構成と機能を説明します。

■ メッセージオブジェクトの構成

メッセージオブジェクト

UMask	Msk28-0	MXtd	MDir	EoB	New Dat		MsgLst	RxIE	TxIE	IntPnd	RmtEn	TxRqst
MsgVal	ID28-0	Xtd	Dir	DLC3-0	Data0	Data1	Data2	Data3	Data4	Data5	Data6	Data7

＜注意事項＞

メッセージオブジェクトは、CAN 制御レジスタの Init ビット、ハードウェアリセットでは初期化されません。ハードウェアリセットの場合、ハードウェアリセット解除後、CPU によってメッセージ RAM を初期化するかメッセージ RAM の MsgVal を"0"にしてください。

■ メッセージオブジェクトの機能

ID28-0, Xtd, Dir ビットは、メッセージを送信する場合、ID とメッセージの種類に使用されます。メッセージを受信する場合、Msk28-0, MXtd, MDir ビットと共に受容フィルタで使用されます。

受容フィルタを通過したデータフレームもしくはリモートフレームの ID, IDE, RTR, DLC および DATA は、メッセージオブジェクトの ID28-ID0, Xtd, Dir, DLC3-DLC0, Data7-Data0 に格納されます。Xtd は拡張フレームか標準フレームかを示し、Xtd が"1"の場合、29 ビット ID(拡張フレーム)を、Xtd が"0"の場合は、11 ビット ID(標準フレーム)を受信します。

受信したデータフレームもしくはリモートフレームが 1 つ以上のメッセージオブジェクトと一致した場合は、一致した最小のメッセージ番号に格納されます。詳細は「3.3 メッセージ受信動作」の受信メッセージの受容フィルタを参照してください。

MsgVal : 有効メッセージビット

bit	機能
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能です。

＜注意事項＞

・CAN 制御レジスタの Init ビットを"0"にリセットする前に未使用のメッセージオブジェクトの MsgVal ビットを"0"にリセットしてください。
・ID28-0, Xtd, Dir, DLC3-0 を変更する前には、メッセージオブジェクトの MsgVal ビットを必ず"0"にリセットしてください。
・送信中に MsgVal ビットを"0"にすると送信が完了した時点で CAN ステータスレジスタの TxOk ビットは"1"になります。ただし、メッセージオブジェクトおよび CAN 送信要求レジスタの TxRqst ビットは"0"にクリアされません。このため、メッセージインタフェースレジスタによって TxRqst ビットを"0"にクリアしてください。

UMask : 受容マスク許可ビット

bit	機能
0	Msk28-0, MXtd, MDir を使用しません。
1	Msk28-0, MXtd, MDir を使用します。

＜注意事項＞

・CAN 制御レジスタの Init ビットが"1"のとき、あるいは MsgVal ビットが"0"のときに UMask ビットを変更してください。
・Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask の設定により動作が異なります
  ・UMask が"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納し、NewDat ビットは"1"に設定され、データは変更しません(データフレームのように取り扱います)。
  ・UMask が"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。

ID28-0 : メッセージ ID

	機能
ID28 - ID0	29 ビット ID(拡張フレーム)を指示します。
ID28 - ID18	11 ビット ID(標準フレーム)を指示します。

Msk28-0 : ID マスク

bit	機能
0	メッセージオブジェクトの ID と対応するビットをマスクします。
1	メッセージオブジェクトの ID と対応するビットをマスクしません。

Xtd : 拡張 ID 許可ビット

bit	機能
0	メッセージオブジェクトは 11 ビット ID(標準フレーム)が使用されます。
1	メッセージオブジェクトは 29 ビット ID(拡張フレーム)が使用されます。

MXtd : 拡張 ID マスクビット

bit	機能
0	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行いません。受信したフレームの IDE ビットにしたがって標準フレームの ID として比較するか、拡張フレームの ID として比較するか決定します。
1	メッセージオブジェクトの Xtd に設定した値と、受信したフレームの IDE の値の比較を行います。

＜注意事項＞

11 ビット ID(標準フレーム)がメッセージオブジェクトに設定されると、受信したデータフレームの ID は、ID28～ID18 へ書き込まれます。ID マスクは、Msk28～Msk18 が使用されます。

Dir : メッセージ方向ビット

bit	機能
0	受信方向を示します。 TxRqst が"1"に設定されると、リモートフレームの送信を行い、TxRqst が"0"のときは、受容フィルタを通過したデータフレームを受信します。
1	送信方向を示します。 TxRqst が"1"に設定されると、データフレームを送信します。TxRqst が"0"で RmtEn が"1"に設定されている場合、受容フィルタを通過したリモートフレームの受信によって、CAN コントローラ自身が TxRqst を"1"に設定します。

MDir : メッセージ方向マスクビット

bit	機能
0	受容フィルタでメッセージ方向ビット(Dir)をマスクします。
1	受容フィルタでメッセージ方向ビット(Dir)をマスクしません。

＜注意事項＞

MDir ビットは常に"1"を設定してください。

EoB : エンドオブバッファビット(詳細は「3.4 FIFO バッファ機能」を参照してください)

bit	機能
0	メッセージオブジェクトは FIFO バッファとして使用され、最終メッセージでないことを示します。
1	単一メッセージオブジェクトまたは FIFO バッファの最終メッセージオブジェクトを示します。

＜注意事項＞

・EoB ビットは、2～32 メッセージの FIFO バッファを構成するために使用します。
・単一メッセージオブジェクト(FIFO を使用しない場合)は、必ず EoB ビットに"1"を設定してください。

NewDat : データ更新ビット

bit	機能
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

MsgLst : メッセージロスト

bit	機能
0	メッセージロストは発生していません。
1	メッセージロストが発生しています。

＜注意事項＞

MsgLst ビットは Dir ビットが"0"のとき(受信方向)のみ有効です。

RxIE : 受信割込みフラグイネーブルビット

bit	機能
0	フレーム受信成功後、IntPnd は変更されません。
1	フレーム受信成功後、IntPnd が"1"に設定されます。

TxIE : 送信割込みフラグイネーブルビット

bit	機能
0	フレーム送信成功後、IntPnd は変更されません。
1	フレーム送信成功後、IntPnd が"1"に設定されます。

IntPnd : 割込みペンディングビット

bit	機能
0	割込み要因がありません。
1	割込み要因があります。 他に優先度の高い割込みがない場合は、CAN 割込みレジスタの IntId ビットはこのメッセージオブジェクトを示します。

RmtEn : リモートイネーブル

bit	機能
0	リモートフレームの受信で、TxRqst は変更されません。
1	Dir ビットが"1"でリモートフレームを受信すると、TxRqst が"1"に設定されます。

＜注意事項＞

Dir ビットが"1"かつ RmtEn ビットが"0"のとき、UMask の設定により動作が異なります

・UMask が"1"の場合は、受容フィルタを通過しリモートフレームを受信したとき、TxRqst ビットを"0"にリセットします。そのとき、受信した ID, IDE, RTR, DLC はメッセージオブジェクトに格納します。NewDat ビットは"1"に設定され、データは変更しません(データフレームのように取り扱います)。
・UMask が"0"の場合は、リモートフレーム受信に対し、TxRqst ビットはそのまま保持し、リモートフレームを無視します。

TxRqst : 送信要求ビット

bit	機能
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

DLC3-0 : データ長コード

bit	機能
0-8	データフレーム長は 0～8 バイトです。
9-15	設定禁止です。 設定された場合は、8 バイト長です。

＜注意事項＞

データフレームを受信すると DLC ビットには、受信した DLC が格納されます。

Data 0-7 : データ 0-7

	機能
Data 0	CAN データフレームの最初のデータバイト
Data 1	CAN データフレームの 2 番目のデータバイト
Data 2	CAN データフレームの 3 番目のデータバイト
Data 3	CAN データフレームの 4 番目のデータバイト
Data 4	CAN データフレームの 5 番目のデータバイト
Data 5	CAN データフレームの 6 番目のデータバイト
Data 6	CAN データフレームの 7 番目のデータバイト
Data 7	CAN データフレームの 8 番目のデータバイト

＜注意事項＞

- CAN バスへのシリアル出力は、MSB(bit7 もしくは bit15)より出力します。
- 受信メッセージデータが 8 バイトより少ない場合は、データレジスタの残りのバイトには不定が書込まれます。
- メッセージオブジェクトへの転送は、Data A もしくは Data B の 4 バイト単位で行われますので、4 バイトのうちある一部のデータだけの更新はできません。

4.5. メッセージハンドラレジスタ

メッセージハンドラレジスタは、すべて読出し専用です。メッセージオブジェクトの TxRqst, NewDat, IntPnd, MsgVal ビットと IntId ビットは、ステータスを表示します。

■ メッセージハンドラレジスタ

- CAN 送信要求レジスタ 1, 2(TREQR1, TREQR2)
- CAN データ更新レジスタ 1, 2(NEWDT1, NEWDT2)
- CAN 割込みペンディングレジスタ 1, 2(INTPND1, INTPND2)
- CAN メッセージ有効レジスタ 1, 2(MSGVAL1, MSGVAL2)

4.5.1. CAN 送信要求レジスタ (TREQR1, TREQR2)

CAN 送信要求レジスタは、全メッセージオブジェクトの TxRqst ビットを表示します。TxRqst ビットを読み出すことにより、どのメッセージオブジェクトの送信要求がペンディング中であるかチェックできます。

■ レジスタ構成

・CAN 送信要求レジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	TxRqst32-25							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN 送信要求レジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	TxRqst24-17							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN 送信要求レジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	TxRqst16-9							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN 送信要求レジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	TxRqst8-1							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

TxRqst32-1： 送信要求ビット

bit	機能
0	送信アイドル状態(送信中でもないし、送信待ち状態でもない)を示します。
1	送信中または、送信待ちであることを示します。

TxRqst ビットのセット/リセット条件を以下に示します。

・セット条件
- IFx コマンドマスクレジスタの WR/RD に"1", TxRqst に"1"を設定して、IFx コマンド要求レジスタへの書込みにより特定オブジェクトの TxRqst に設定できます。
- IFx コマンドマスクレジスタの WR/RD に"1", TxRqst に"0", Control に"1"、IFx メッセージ制御レジスタの TxRqst に"1"を設定して、IFx コマンド要求レジスタへの書込みにより特定オブジェクトの TxRqst に設定できます。
- Dir ビットが"1", RmtEn ビットが"1"に設定し、受容フィルタを通過したリモートフレームの受信によりセットされます。

・リセット条件
・IFx コマンドマスクレジスタの WR/RD に"1", TxRqst に"0", Control に"1"、IFx メッセージ制御レジスタの TxRqst に"0"を設定して、IFx コマンド要求レジスタへの書込みにより特定オブジェクトの TxRqst をリセットできます。
・フレームの送信が正常終了すると、リセットされます。
・Dir が"1", RmtEn が"0"、UMask が"1"の場合、受容フィルタを通過したリモートフレームの受信によりリセットされます。

＜注意事項＞

・下記いずれかの条件の場合、後述のいずれかのイベントが発生するまでメッセージが送信されない可能性があります。

条件 ： ① 優先順位が最下位のメッセージバッファを送信に使用している場合
② TXRqst に"1"を設定したが、送信中止のため、TxRqst に"0"を設定した場合
③ ②のタイミングの際に、再度 TxRqst に"1"を設定した場合

イベント ： ・CAN バス上に有効なメッセージが流れる
・他のメッセージバッファに対して送信要求が発行される
・Init ビットによって CAN が初期化される

システム上、もし送信を中止する状況が発生する場合は、下記手順を行ってください。

1. 下記いずれかを実行する
・送信メッセージバッファとして優先順位が最下位のメッセージバッファを使用しない
・送信中止後、上記のいずれかのイベントを発生させる

2. 再度 TxRqst に"1"を設定する

・TxRqst ビットが"1"のときに ID28-0, DLC3-0, Xtd, Data7-0 のメッセージオブジェクトを変更すると変更前後のメッセージオブジェクトが混在して送出されたり、変更後のメッセージオブジェクトが送出されない可能性があるので TxRqst ビットが"0"のときにそれらを変更してください。

4.5.2. CAN データ更新レジスタ (NEWDT1, NEWDT2)

CAN データ更新レジスタは、全メッセージオブジェクトの NewDat ビットを表示します。NewDat ビットを読み出すことにより、どのメッセージオブジェクトのデータが更新されたかチェックできます。

■ レジスタ構成

・CAN データ更新レジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	NewDat32-25							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN データ更新レジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	NewDat24-17							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN データ更新レジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	NewDat16-9							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN データ更新レジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	NewDat8-1							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

NewDat32-1 : データ更新ビット

bit	機能
0	有効なデータがないことを示します。
1	有効なデータがあることを示します。

NewDat ビットのセット/リセット条件を以下に示します。

・セット条件
- IFx コマンドマスクレジスタの WR/RD に"1", Control に"1"、IFx メッセージ制御レジスタの NewDat に"1"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトに設定できます。
- 受容フィルタを通過したデータフレームの受信によりセットされます。
- Dir が"1", RmtEn が"0"、UMask が"1"の場合、受容フィルタを通過したリモートフレームの受信によりセットされます。

- リセット条件
  - IFx コマンドマスクレジスタの WR/RD に"0", NewDat に"1"を設定した場合、IFx コマンド要求レジスタの書込みにより特定オブジェクトの NewDat をリセットできます。
  - IFx コマンドマスクレジスタの WR/RD に"1", Control に"1"、IFx メッセージ制御レジスタの NewDat に"0"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトの NewDat をリセットできます。
  - 送信用シフトレジスタ(内部レジスタ)へデータを転送終了後、リセットされます。

4.5.3. CAN 割込みペンディングレジスタ(INTPND1, INTPND2)

CAN 割込みペンディングレジスタは、全メッセージオブジェクトの IntPnd ビットを表示します。IntPnd ビットを読み出すことにより、どのメッセージオブジェクトが割込みペンディング中であるかチェックできます。

■ レジスタ構成

・CAN 割込みペンディングレジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	IntPnd32-25							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN 割込みペンディングレジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	IntPnd24-17							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN 割込みペンディングレジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	IntPnd16-9							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN 割込みペンディングレジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	IntPnd8-1							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

IntPnd32-1：割込みペンディングビット

bit	機能
0	割込み要因がありません。
1	割込み要因があります。

IntPnd ビットのセット/リセット条件を以下に示します。

・セット条件
- TxIE が"1"に設定されている場合、フレームの正常送信完了によりセットされます。
- RxIE が"1"に設定されている場合、受容フィルタを通過したフレームの正常受信完了によりセットされます。
- IFx コマンドマスクレジスタの WR/RD に"1", Control に"1", IFx メッセージ制御レジスタの IntPnd に"1"を設定して、IFx コマンド要求レジスタの書込みにより、特定オブジェクトの IntPnd をセットできます。

- リセット条件
  - IFx コマンドマスクレジスタの WR/RD に"0", CIP に"1"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトの IntPnd をリセットできます。
  - IFx コマンドマスクレジスタの WR/RD に"1", Control に"1"、IFx メッセージ制御レジスタの IntPnd に"0"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトの IntPnd をリセットできます。

4.5.4. CAN メッセージ有効レジスタ (MSGVAL1, MSGVAL2)

CAN メッセージ有効レジスタは、全メッセージオブジェクトの MsgVal ビットを表示します。MsgVal ビットを読み出すことにより、どのメッセージオブジェクトが有効であるかチェックできます。

■ レジスタ構成

・CAN メッセージ有効レジスタ 2(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	MsgVal32-25							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN メッセージ有効レジスタ 2(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	MsgVal24-17							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN メッセージ有効レジスタ 1(上位バイト)

bit	15	14	13	12	11	10	9	8
Field	MsgVal16-9							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

・CAN メッセージ有効レジスタ 1(下位バイト)

bit	7	6	5	4	3	2	1	0
Field	MsgVal8-1							
属性	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX	R,WX
初期値	0	0	0	0	0	0	0	0

■ レジスタ機能

MsgVal32-1：メッセージ有効ビット

bit	機能
0	メッセージオブジェクトは無効です。 メッセージの送受信は行いません。
1	メッセージオブジェクトは有効です。 メッセージの送受信が可能です。

MsgVal ビットのセット/リセット条件を以下に示します。

・セット条件
IFx コマンドマスクレジスタの WR/RD に"1", Arb に"1"、IFx アービトレーションレジスタ 2 の MsgVal に"1"を設定して、IFx コマンド要求レジスタへの書込みにより特定オブジェクトの MsgVal をセットできます。

・リセット条件
IFx コマンドマスクレジスタの WR/RD に"1", Arb に"1"、IFx アービトレーションレジスタ 2 の MsgVal に"0"を設定して、IFx コマンド要求レジスタの書込みにより特定オブジェクトの MsgVal をリセットできます。

5. 補足

入出力信号表を表 5-1, 表 5-2 に示します。

表 5-1 入出力信号表(入力信号)

NO	信号名	I/O	極性	EDGE*1	機能
1	CAN_CLK	I	-	-	動作クロック
2	CAN_RESET	I	H	ASYNC	リセット。 本信号が"H"になると初期化されます。
3	CAN_SELECT	I	H	CAN_CLK↑	レジスタ選択信号。本信号が"H"になると CAN_ADDR で示されたレジスタが選択されます。
4	CAN_WR_B	I	L	CAN_CLK↑	アクセス方向信号。本信号が"H"で CAN_SELECT="H"の場合、リード方向を示し、本信号が"L"で CAN_SELECT="H"の場合、ライト方向を示します。
5	CAN_WR_SIZE [1:0]	I	-	CAN_CLK↑	アクセスサイズ。リード時、本信号は無視され、32 ビットでアクセスされます。ただし、CAN_WR_SIZE="11"は禁止です。 ・"00" : 8 ビットアクセス ・"01" : 16 ビットアクセス ・"10" : 32 ビットアクセス ・"11" : 設定禁止(32 ビットアクセス) CAN_SELECT="H"のとき、本信号は有効になります。
6	CAN_ADDR [7:0]	I	-	CAN_CLK↑	アドレス信号。CAN_SELECT="H"のとき、CAN_WR_SIZE と本信号によってアクセスするレジスタが選択されます。
7	CAN_DATA_IN [31:0]	I	-	CAN_CLK↑	レジスタへの書込みデータ入力。
8	CAN_RX	I	-	ASYNC	CAN 受信データ入力。

表 5-2 入出力信号表(出力信号)

NO	信号名	I/O	極性	EDGE*1	初期値	機能
9	CAN_DATA_OUT [31:0]	O	-	CAN_CLK↑	-	レジスタデータ出力。 レジスタの読出しがない場合"L"を出力します。
10	CAN_WAIT_B	O	L	CAN_CLK↑	H	転送信号。 本信号はメッセージ RAM とインタフェースレジスタ間のデータ転送中であることを示します。本信号が"L"のとき、インタフェースレジスタ(IF1/IF2)へのアクセスは禁止です。
11	CAN_INT	O	H	CAN_CLK↑	L	割込み信号。本信号が"H"のとき、割込みを要求します。
12	CAN_TX	O	-	CAN_CLK↑	H	CAN 送信データ出力。

*1 : 変化タイミングを示す。

CHAPTER　:HDMI-CEC/リモコン受信

HDMI-CEC/リモコン受信について説明します。

1. 構成

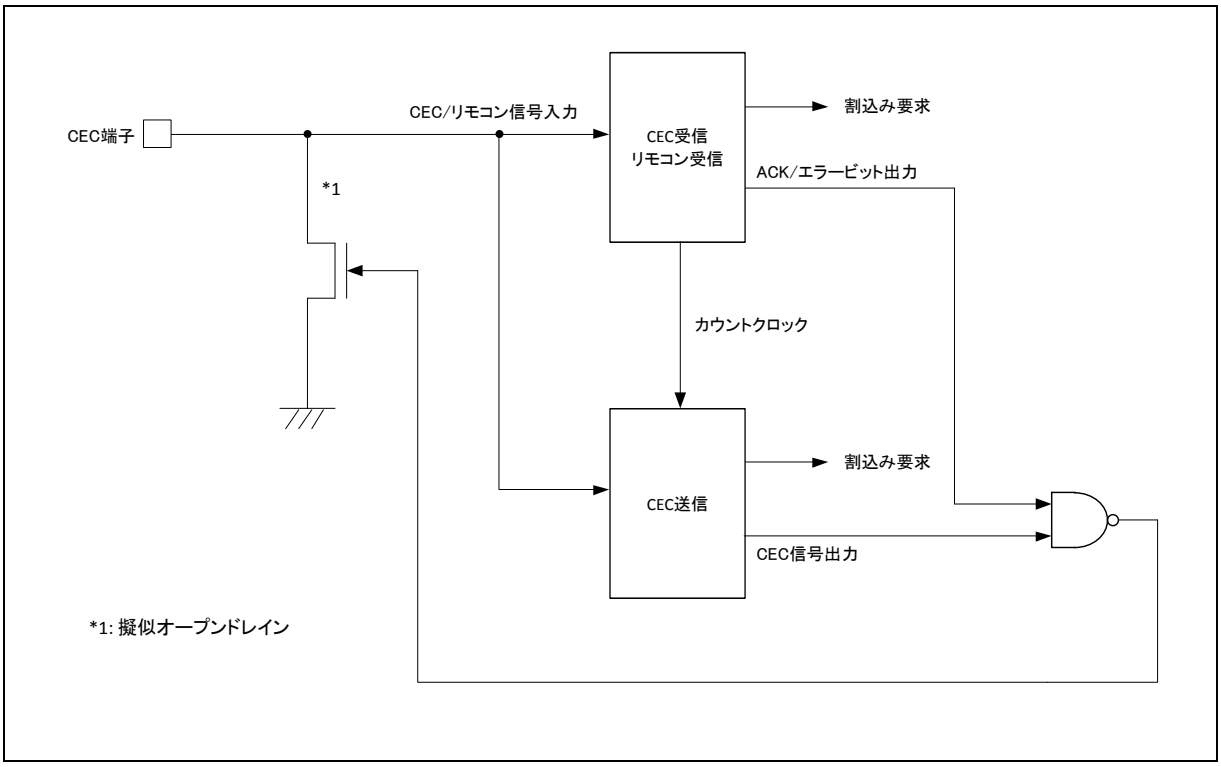
管理コード: 9BFRCECTOP-J1.0

1. 構成

HDMI-CEC/リモコン受信の構成を示します。

■ 構成

図 1-1 HDMI-CEC/リモコン受信の構成



● CEC 受信/リモコン受信

『CEC 受信/リモコン受信』の章を参照してください。

● CEC 送信

『CEC 送信』の章を参照してください。

CHAPTER:CEC 受信/リモコン受信

CEC 受信/リモコン受信の機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. 設定例
5. レジスタ

管理コード: 9BFRCEC-J1.0

1. 概要

HDMI-CEC 信号、赤外線リモコン信号の受信を行ないます。以下に特長を示します。

■ 特長

・スタートビット、データビットの検出タイミングを調整可能
・ノイズフィルタ搭載
・以下の規格に対応した動作モードを選択可能
  ・SIRCS
  ・NEC/家電協
  ・HDMI-CEC

■ 各動作モードの特長

● SIRCS モード

・スタートビット検出と割込み出力
・最小パルス幅違反検出
・デバイスアドレス比較
・カウンタオーバフロー検出と割込み出力

● NEC/家電協モード

・スタートビット検出と割込み出力
・リピートコード検出と割込み出力
・最小パルス幅違反検出
・カウンタオーバフロー検出と割込み出力

● HDMI-CEC モード

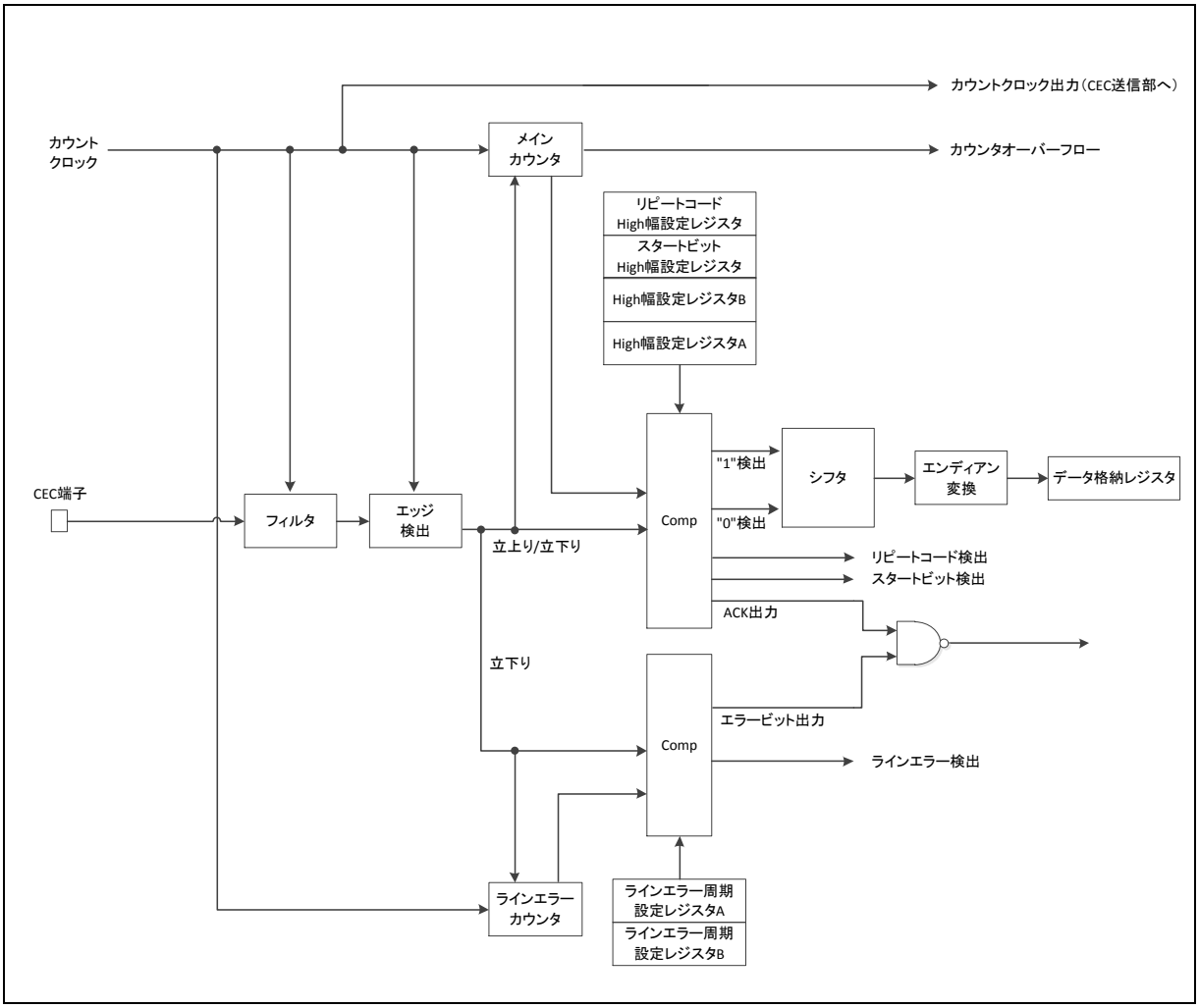
・スタートビット検出と割込み出力
・最小パルス幅違反検出
・デバイスアドレス比較
・カウンタオーバフロー検出と割込み出力
・ACK 検出と割込み出力
・ACK 自動出力
・EOM 検出
・最大データビット幅違反検出と割込み出力
・最小データビット幅違反検出と割込み出力 (HDMI-CEC ラインエラーハンドリング規格に対応)
・エラーパルス自動出力 (HDMI-CEC ラインエラーハンドリング規格に対応)

2. 構成

ブロックダイヤグラムを示します。

■ ブロックダイヤグラム

図 2-1 CEC 受信/リモコン受信のブロックダイヤグラム

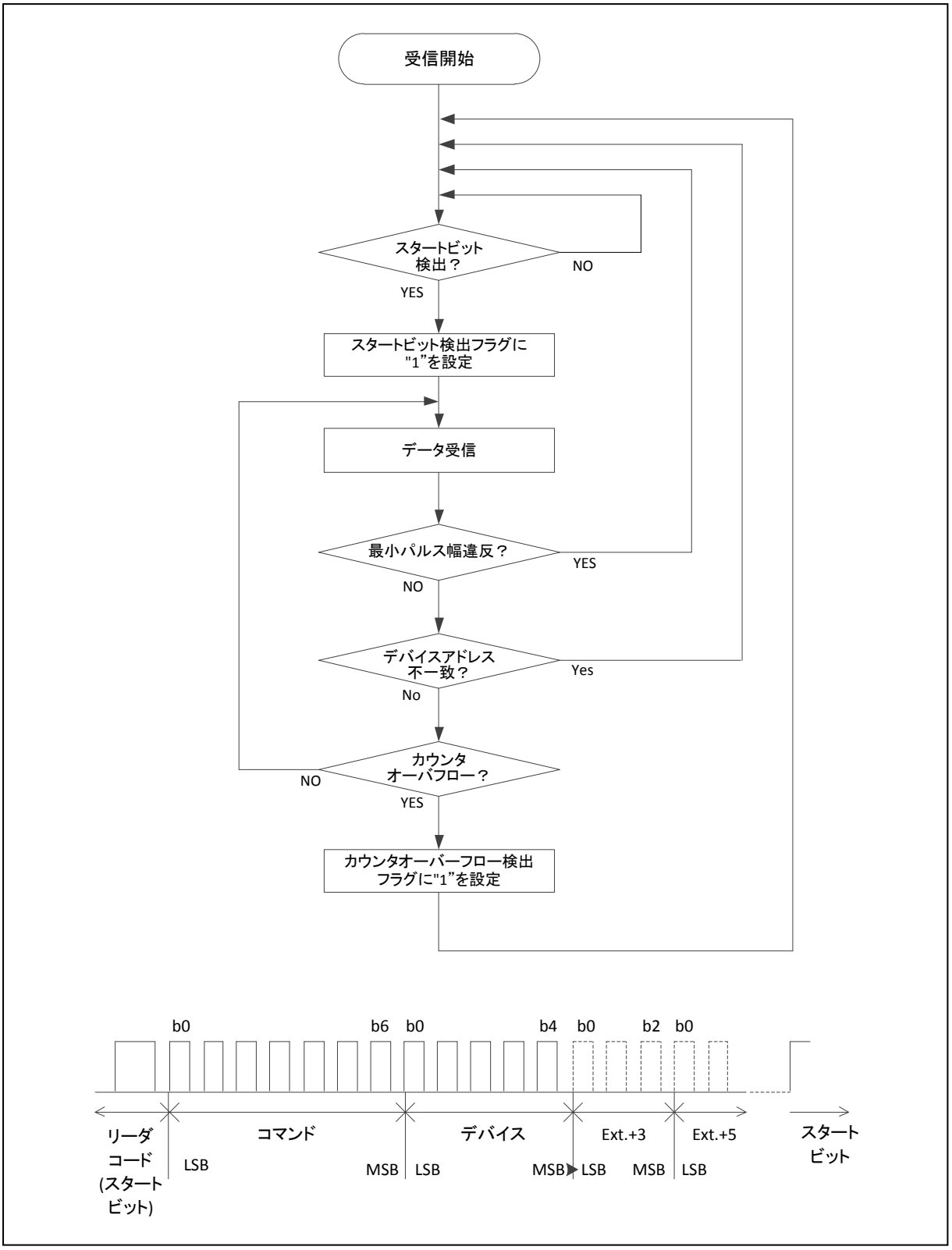


3. 動作説明

各モードの動作について説明します。

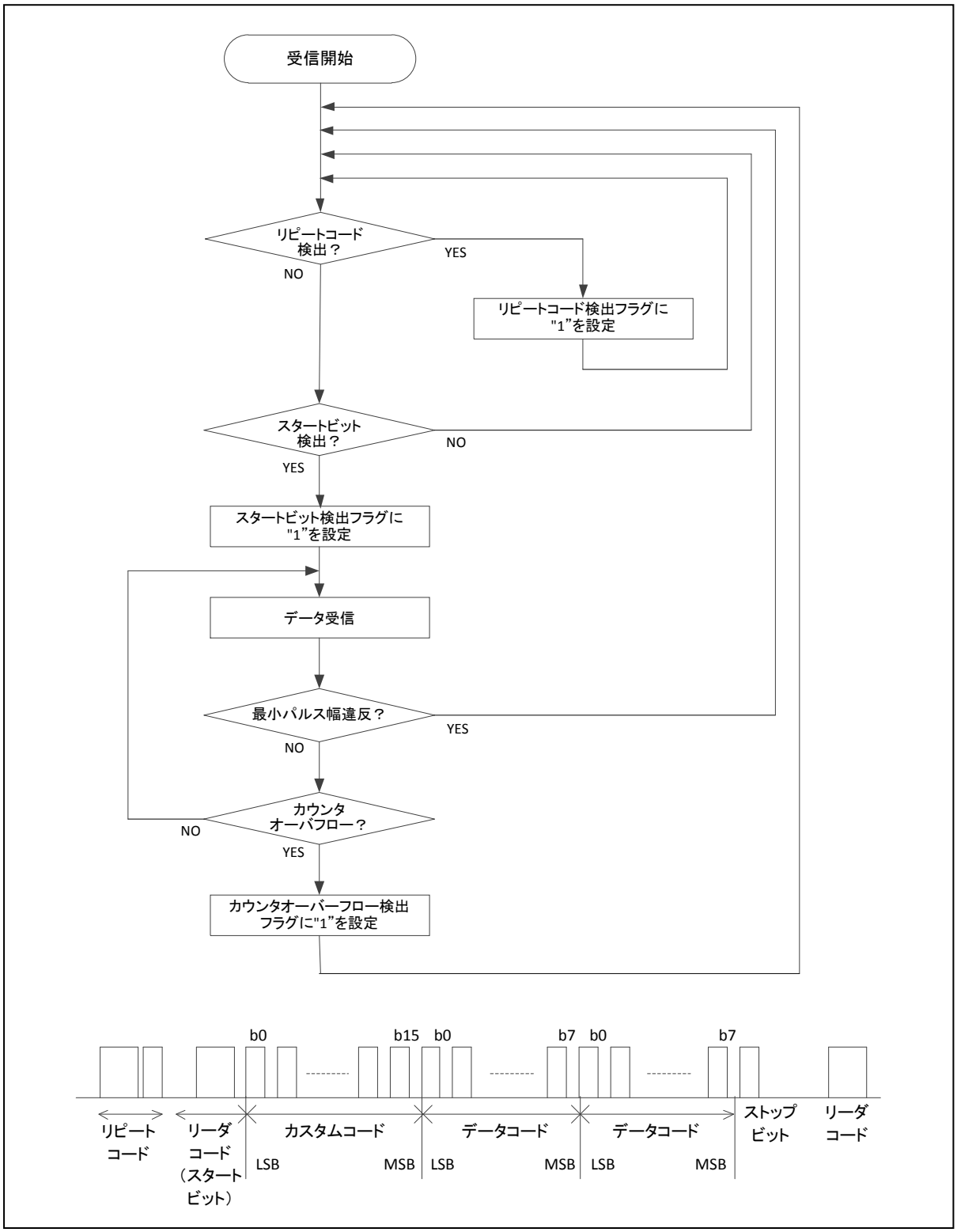
■ SIRCS モードの動作説明

図 3-1 動作フローチャートと波形



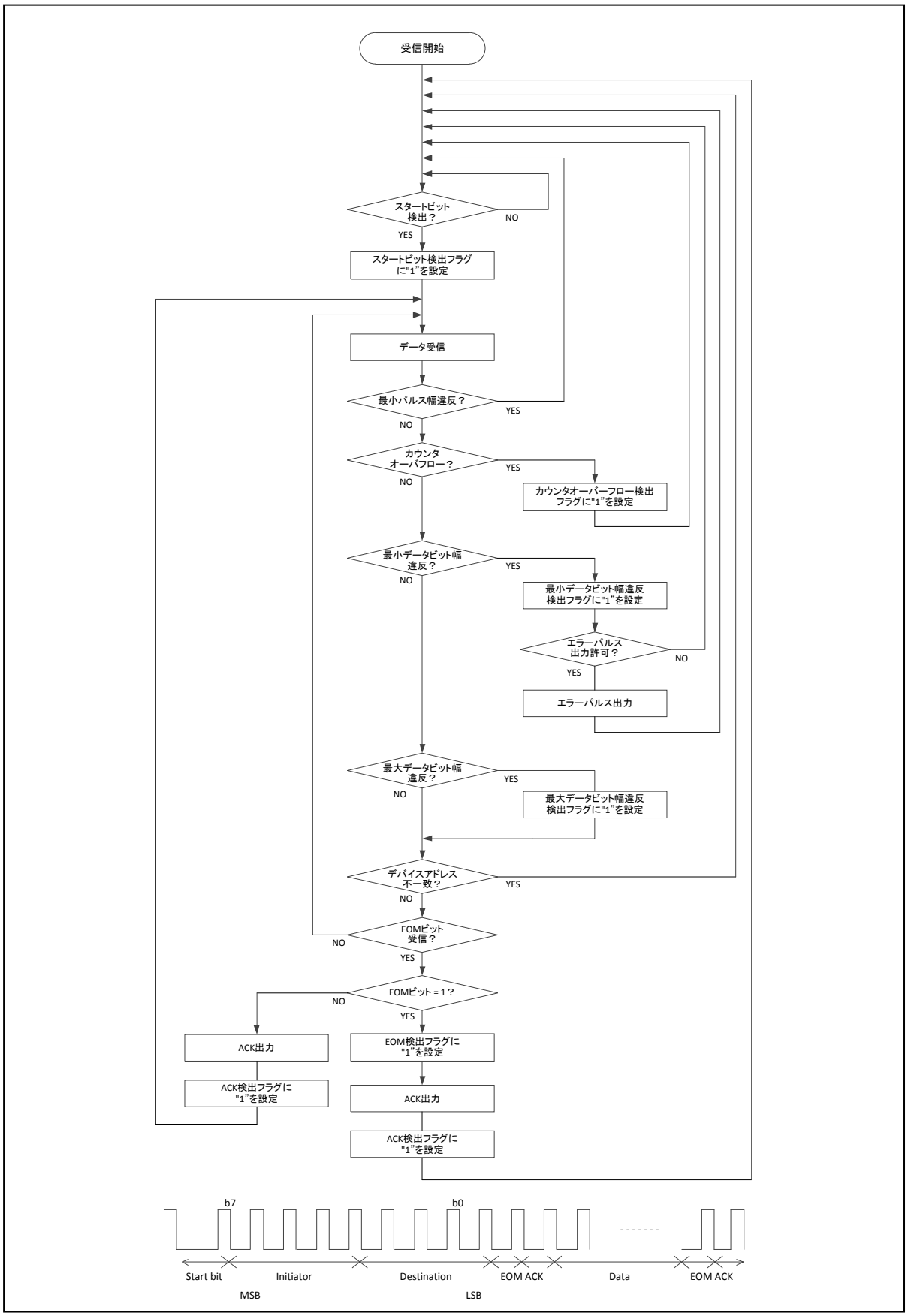
■ NEC/家電協モードの動作フローチャート

図 3-2 NEC/家電協モードの動作フローチャートと波形



■ HDMI-CEC モードの動作フローチャート

図 3-3 HDMI-CEC モードの動作フローチャートと波形



4. 設定例

設定例を説明します。(動作クロックが 32.768kHz の場合)

表 4-1　リモコン(SIRCS)時の設定例

レジスタ	設定値	備考
受信制御レジスタ	MOD=00, THSEL=0, ADRCE=1	
受信割込み制御レジスタ	ACKIE=0, OVFSEL=0, OVFIE=1	3.9 ms
スタートビット"H"幅設定レジスタ	76	2.3 ms
"H"幅設定レジスタ A	17	0.52 ms
"H"幅設定レジスタ B	37	1.1 ms

表 4-2　リモコン(NEC)時の設定例

レジスタ	設定値	備考
受信制御レジスタ	MOD=10, THSEL=0	
受信割込み制御レジスタ	ACKIE=0, OVFSEL=1, OVFIE=1	7.8 ms
スタートビット"H"幅設定レジスタ	144	4.4 ms
"H"幅設定レジスタ A	15	0.46 ms
"H"幅設定レジスタ B	52	1.6 ms
リピートコード割込み制御レジスタ	RCIE=1	
リピートコード"H"幅設定レジスタ	65	2.0ms

表 4-1　HDMI-CEC 時の設定例

レジスタ	設定値	備考
受信制御レジスタ	MOD=11, THSEL=1, ADRCE=1	
受信割込み制御レジスタ	ACKIE=1, OVFSEL=1, OVFIE=1	(7.8 ms)
スタートビット"H"幅設定レジスタ	114	3.5 ms
"H"幅設定レジスタ A	13	0.4 ms
"H"幅設定レジスタ B	42	1.3 ms
最大/最小データビット幅違反制御レジスタ	LELIE=1, LESIE=1, LELE=1, LESE=1, EPE=1	
最大データビット幅設定レジスタ	91	2.8ms
最小データビット幅設定レジスタ	65	2.0ms

5. レジスタ

レジスター覧を示します。

表 5-1 レジスター覧

レジスタ略称	レジスタ名	参照先
RCCR	受信制御レジスタ	5.1
RCST	受信割込み制御レジスタ	5.2
RCADR1	デバイスアドレス設定レジスタ 1	5.3
RCADR2	デバイスアドレス設定レジスタ 2	5.3
RCSHW	スタートビット"H"幅設定レジスタ	5.4
RCDAHW	"H"幅設定レジスタ A	5.5
RCDBHW	"H"幅設定レジスタ B	5.6
RCDTHH	データ格納レジスタ HH	5.7
RCDTHL	データ格納レジスタ HL	5.7
RCDTLH	データ格納レジスタ LH	5.7
RCDTLL	データ格納レジスタ LL	5.7
RCCKD	クロック分周レジスタ	5.8
RCRC	リピートコード割込み制御レジスタ	5.9
RCRHW	リピートコード”H”幅設定レジスタ	5.10
RCLEIC	データビット幅違反割込み制御レジスタ	5.11
RCLESW	最小データビット幅設定レジスタ	5.12
RCLELW	最大データビット幅設定レジスタ	5.13

5.1. 受信制御レジスタ(RCCR)

受信制御レジスタ(RCCR)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	THSEL	Reserved	Reserved	Reserved	ADRCE	MOD1	MOD0	EN
属性	R/W				R/W	R/W	R/W	R/W
初期値	0				0	0	0	0

[bit7] THSEL : しきい値選択ビット

"H"幅設定レジスタ A/B によって"0", "1"を判定する基準を設定します。

状態	THSEL	
	0	1
W ＞ 幅 A	"0"データ	"1"データ
W ＜ 幅 B		
W ＞ 幅 A	"1"データ	"0"データ
W ≧ 幅 B		

[bit6:4] Reserved : 予約ビット

読出しは常に"0"です。
書込みの場合には、"0"を設定してください。

[bit3] ADRCE : アドレス比較許可ビット

初期値は"0"(比較禁止)で、"1"にすると受信アドレスとデバイスアドレスの比較が許可されます。
比較許可の場合、アドレスが一致したときのみ ACK/OVF 割込みが発生します。
CEC モードの場合､アドレス一致を検出すると ACK 応答を返します。ブロードキャストアドレスの場合は一致とみなしますが、ACK 応答は行いません。
SIRCS モード・HDMI-CEC モード以外のときは"0"に設定してください。

[bit2:1] MOD1, MOD0 : 動作モード設定ビット

bit2	bit1	機能
0	0	SIRCS モード [初期値]
0	1	設定禁止
1	0	NEC/家電協モード
1	1	HDMI-CEC モード

SIRCS モード以外(MOD1=1 のとき)は、入力信号を内部で反転して処理しています。
“H”幅比較は”L”幅に対して適用されます。

[bit0] EN : 動作許可ビット

本ビットを"1"にすると、受信動作が開始されます。
初期値は"0"(停止)です。

＜注意事項＞

本ビットが"1"のとき(動作中)は、下記の設定レジスタ・ビットは変更しないでください。

RCCR レジスタの THSEL ビット, ADRCE ビット, MOD ビット
RCST レジスタの OVFSEL ビット
RCSHW, RCDAHW, RCDBHW, RCADR1, RCADR2, RCCKD レジスタ
RCRC, RCRHW ,RCLE, RCLELW, RCLESW レジスタ

5.2. 受信割込み制御レジスタ(RCST)

受信割込み制御レジスタ(RCST)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	STIE	ACKIE	OVFIE	OVFSEL	ST	ACK	EOM	OVF
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] STIE : スタートビット割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit6] ACKIE : ACK 割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

HDMI-CEC モードのみ有効です。

[bit5] OVFIE : カウンタオーバフロー割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

本割込みは、スタートビットが検出された後にオーバフローが発生した場合のみ発生します。
スタートビット未検出の状態では割込みは発生しません。

[bit4] OVFSEL : カウンタオーバフロー検出条件設定ビット

bit	説明
0	カウンタが 128 クロックカウントするとオーバフローが発生します。
1	カウンタが 256 クロックカウントするとオーバフローが発生します。

[bit3] ST : スタートビット検出ビット

bit	説明
0	スタートビット未検出
1	スタートビット検出

"0"書込みでクリアされます。
STIE ビットが"1"のとき、スタートビットを検出すると割込みが発生します。

[bit2] ACK : ACK 検出ビット

bit	説明
0	ACK 未検出
1	ACK 検出

"0"書込みでクリアされます。
ACKIE ビットが"1"のとき、ACK を検出すると割込みが発生します。
アドレス比較許可の場合は、アドレス一致した場合のみ割込みが発生します。
HDMI-CEC モードのみ有効です。

[bit1] EOM : EOM 検出ビット

bit	説明
0	EOM 未検出
1	EOM 検出

"0"書込みでクリアされます。
HDMI-CEC モードのみ有効です。

[bit0] OVF : カウンタオーバフロー検出ビット

bit	説明
0	カウンタオーバフロー未検出
1	カウンタオーバフロー検出

アドレス比較許可の場合は、アドレス一致した場合のみ割込みが発生します。
"0"書込みでクリアされます。
SIRCS モード時は、2 バイト目を受信するまでは OVF ビットはセットされません。

5.3. デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)

デバイスアドレス設定レジスタ 1, 2 (RCADR1, RCADR2)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	Reserved			RCADR1, 2				
属性				R/W	R/W	R/W	R/W	R/W
初期値				0	0	0	0	0

[bit7:5] Reserved : 予約ビット

読出しは常に"0"です。
書込みの場合には、"0"を設定してください。

[bit4:0] RCADR1, 2 : デバイスアドレス設定ビット

本レジスタに設定したアドレスが,受信したデバイスアドレスや HDMI-CEC のデスティネーションと比較されます。
HDMI-CEC モード時は、本レジスタに 0x0F (ブロードキャストアドレス)を設定しないでください。

5.4. スタートビット"H"幅設定レジスタ(RCSHW)

スタートビット"H"幅設定レジスタ(RCSHW)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	RCSHW							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:0] RCSHW

スタートビットの"H"期間を設定するレジスタです。
設定値を超える幅の"H"が受信されると、スタートビットと認識します。
受信した信号の"H"幅が設定値未満の場合、スタートビット未検出となり、再度スタートビット"H"の検出待ち状態となります。
OVFSEL=0 のときは RCSHW ≦ 127(オーバフロー検出を超えない値)としてください。

5.5. "H"幅設定レジスタ A (RCDAHW)

"H"幅設定レジスタ A (RCDAHW)のビット構成を示します。

bit	7	6	5	4	3	2	1	0
Field	RCDAHW							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:0] RCDAHW

"H"期間を設定するレジスタ A です。
本レジスタに設定する値は、2 ≦ RCDAHW ＜ RCDBHW となるようにしてください。
また、 CEC モード時は、RCDAHW＜46 となるようにしてください(ACK 応答パルス幅未満)。
"H"幅＜RCDAHW となる"H"幅を受信すると、最小パルス幅違反として検出します。

5.6. "H"幅設定レジスタ B (RCDBHW)

"H"幅設定レジスタ B (RCDBHW)のビット構成に示します。

bit	7	6	5	4	3	2	1	0
Field	RCDBHW							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:0] RCDBHW

"H"期間を設定するレジスタ B です。
RCCDAHW より小さい値は設定しないでください。
必ず RCCDAHW ＜ RCCDBHW ＜ RCSHW となるように設定してください。

5.7. データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)

データ格納レジスタ (RCDTHH, RCDTHL, RCDTLH, RCDTLL)のビット構成を示します。

bit	31	30	29	28	27	26	25	24
Field	RCDTHH							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	RCDTHL							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	RCDTLH							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	RCDTLL							
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

受信したデータを格納するレジスタです。
HDMI-CEC モードの場合は RCDTHH レジスタに受信データが格納されます。
リモコンモードの場合は、8 ビット受信するごとに RCDTHH レジスタから順に格納されます。
カウンタオーバフロー割込み発生時は、それまで受信されたビットが MSB 詰めで格納されます。
RCCR レジスタの EN ビットが"0"のときは、本レジスタからは不定が読み出されます。
4 バイト分を超える信号が入力された場合、超過分は無視され、レジスタには反映されません。

5.8. クロック分周設定レジスタ (RCCKD)

クロック分周設定レジスタ (RCCKD)のビット構成を示します。

bit	15	14	13	12	11	10	9	8
Field	Reserved			CKSEL	CKDIV			
属性				R/W	R/W	R/W	R/W	R/W
初期値				0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	CKDIV							
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit15:13] Reserved : 予約ビット

読出しは常に"0"です。

書込みの場合には、"0"を設定してください。

[bit12] CKSEL : 動作クロック選択ビット

bit	説明
0	周辺クロック(PCLK)を分周したクロックが選択されます。
1	サブクロックが選択されます。

[bit11:0] CKDIV : 動作クロック分周設定ビット

分周比は CKDIV＋1 となります。

1 分周 (非分周)～4096 分周まで設定できます(CKSEL=1 の時は分周されません)。

5.9. リピートコード割込み制御レジスタ(RCRC)

リピートコード割込みを制御します。

bit	7	6	5	4	3	2	1	0
Field	Reserved			RCIE	Reserved			RC
属性				R/W				R/W
初期値				0				0

[bit7:5] Reserved: 予約ビット
読出しは常に"0"です。
書込みの場合には、"0"を設定してください。

[bit4] RCIE: リピートコード割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit3:1] Reserved: 予約ビット
読出しは常に"0"です。
書込みの場合には、"0"を設定してください。

[bit0] RC: リピートコード検出フラグビット

bit	説明
0 リード時	リピートコード未検出
1 リード時	リピートコード検出
0 ライト時	本フラグをクリアします
1 ライト時	影響しません

＜注意事項＞

リピートコードは NEC/家電協モード時のみ検出します。

5.10. リピートコード"H"幅設定レジスタ(RCRHW)

リピートコードを判定する”H”幅を設定します。

bit	7						0
Field	RCRHW						
属性	R/W						
初期値	0x00						

[bit7:0] RCRHW: リピートコード"H"幅設定ビット

リピートコードの"H"期間を設定するビットです。
スタートビット・リピートコード待ち状態時に、RCRHW＜"H"幅＜RCSHW となる"H"幅を受信すると、リピートコードとして検出します。
本レジスタに設定する値は、RCRHW＜RCSHW となるように設定してください。

＜注意事項＞

リピートコードは NEC/家電協モード時のみ検出します。

5.11. データビット幅違反制御レジスタ(RCLE)

最大/最小データビット幅違反を制御します。

bit	7	6	5	4	3	2	1	0
Field	LELIE	LESIE	LELE	LESE	EPE	Reserved	LEL	LES
属性	R/W	R/W	R/W	R/W	R/W		R/W	R/W
初期値	0	0	0	0	0		0	0

[bit7] LELIE: 最大データビット幅違反割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit6] LESIE: 最小データビット幅違反割込み許可ビット

bit	説明
0	割込み禁止
1	割込み許可

[bit5] LELE: 最大データビット幅違反検出許可ビット

bit	説明
0	最大データビット幅違反検出禁止
1	最大データビット幅違反検出許可

[bit4] LESE: 最小データビット幅違反検出許可ビット

bit	説明
0	最小データビット幅違反検出禁止
1	最小データビット幅違反検出許可

[bit3] EPE: エラーパルス出力許可ビット

bit	説明
0	出力禁止
1	出力許可

EPE="1 "設定時、最小データビット幅違反を検出すると、116～120 サイクルの"L"パルスを出力します。

[bit2] Reserved: 予約ビット

読出しは常に"0"です。
書込みの場合には、"0"を設定してください。

[bit1] LEL: 最大データビット幅違反検出フラグビット

bit	説明
0 リード時	最大データビット幅違反は検出していません
1 リード時	最大データビット幅違反を検出しました
0 ライト時	本フラグをクリアします
1 ライト時	影響しません

[bit0] LES: 最小データビット幅違反検出フラグビット

bit	説明
0 リード時	最小データビット幅違反は検出していません
1 リード時	最小データビット幅違反を検出しました
0 ライト時	本フラグをクリアします
1 ライト時	影響しません

＜注意事項＞

最大/最小データビット幅違反は HDMI-CEC モード時のみ検出します。

5.12. 最大データビット幅設定レジスタ(RCLELW)

最大データビット幅を設定します。

bit	7						0
Field	RCLELW						
属性	R/W						
初期値	0x00						

[bit7:0] RCLELW: 最大データビット幅設定ビット

最大データビット幅を設定するビットです。

RCLELW 値以上の幅のデータビットを受信すると、最大データビット幅違反として検出します。

＜注意事項＞

最大データビット幅違反は HDMI-CEC モード時のみ検出します。

5.13. 最小データビット幅設定レジスタ(RCLESW)

最小データビット幅を設定します。

bit	7						0
Field	RCLESW						
属性	R/W						
初期値	0x00						

[bit7:0] RCLESW: 最小データビット幅設定ビット

最小データビット幅を設定するビットです。

RCLESW 値未満の幅のデータビットを受信すると、最小データビット幅違反として検出します。

＜注意事項＞

最小データビット幅違反は HDMI-CEC モード時のみ検出します。

CHAPTER:CEC 送信

CEC(Consumer Electronics Control)送信機能と動作について示します。

1. CEC 送信の概要
2. CEC 送信回路のブロックダイヤグラム
3. CEC 送信割込み
4. CEC 送信のレジスタ一覧
5. CEC 送信の動作説明
6. CEC 送信のレジスタセット

1. CEC 送信の概要

HDMI(High Definition Multimedia Interface)で規格化される CEC 信号の送信を行います。送信仕様の概要を以下に示します。

■ ヘッダー自動送信

シグナルフリーを判定してヘッダブロックの自動送信。

■ バスエラー検出

アービトレーションロストを検出してステータス割込みを発生。

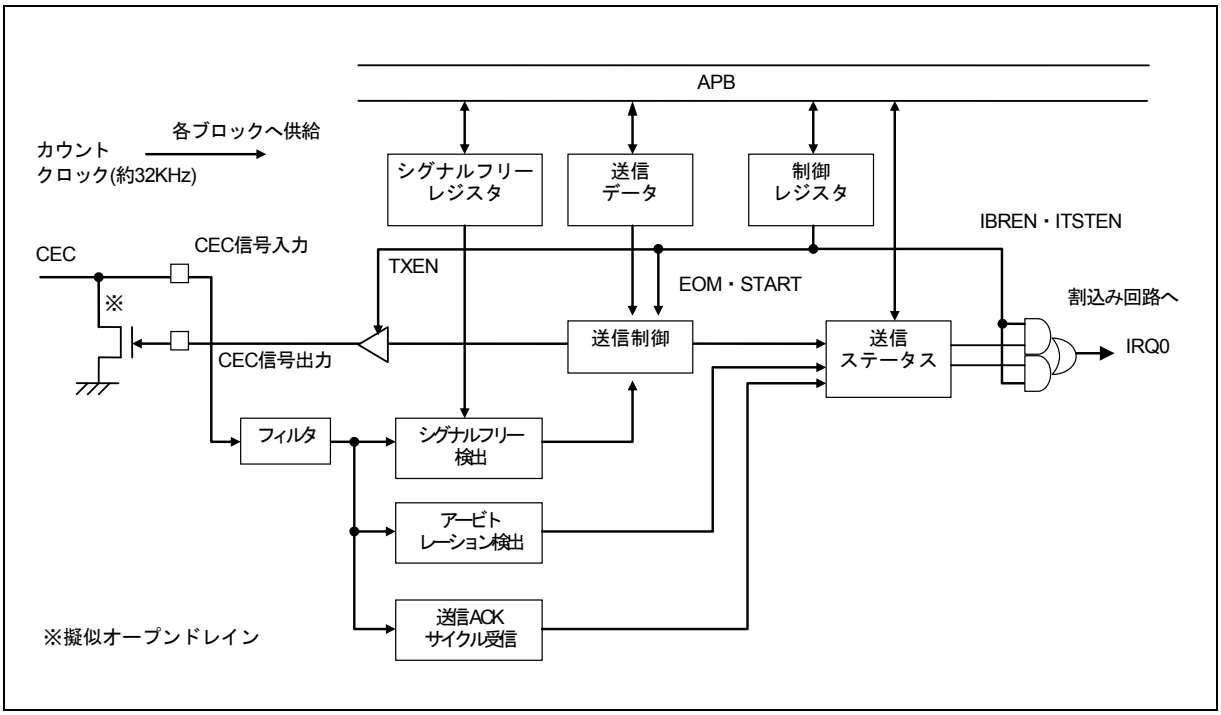
■ データ送信

・1 バイトデータの設定により START, EOM, ACK を自動生成して CEC 送信出力。
・1 ブロック(1 バイトのデータと EOM, ACK)を送信した時に送信ステータス割込みを発生。

2. CEC 送信回路のブロックダイヤグラム

図 2-1 に、CEC 送信回路のブロックダイヤグラムを示します。

図 2-1 CEC 送信回路のブロックダイヤグラム



3. CEC 送信割込み

CEC 送信機能での割込み要求フラグ，割込み許可ビットと割込み要因をまとめた一覧を示します。

■ 割込み制御ビットと割込み要因

割込み制御ビットと割込み要因を表 3-1 に示します。

表 3-1 各モードでの割込み制御ビットと割込み要因

送信ステータス (TXSTS)	送信制御 (TXCTRL)	割込み要因	割込み要因出力信号
割込み要求フラグビット	割込み要求許可ビット		
ITST : bit4	ITSTEN : bit4	送信ステータス検出	IRQ0
IBR : bit5	IBREN : bit5	バスエラー検出	

4. CEC 送信のレジスター覧

CEC 送信のレジスター覧を示します。

■ CEC 送信のレジスター覧

表 4-1 CEC 送信のレジスター覧

レジスタ略称	レジスタ名	参照先
TXCTRL	送信制御レジスタ	6.1
TXDATA	送信データレジスタ	6.2
TXSTS	送信ステータスレジスタ	6.3
SFREE	シグナルフリー時間設定レジスタ	6.4

5. CEC 送信の動作説明

CEC 送信の動作について説明します。

5.1 CEC 送信動作
5.2 割込み要因とタイミングチャート
5.3 アービトレーションロスト検出
5.4 シグナルフリー検出
5.5 フィルタ機能
5.6 CEC 送信動作について

5.1. CEC 送信動作

送信時の基本動作を説明します。

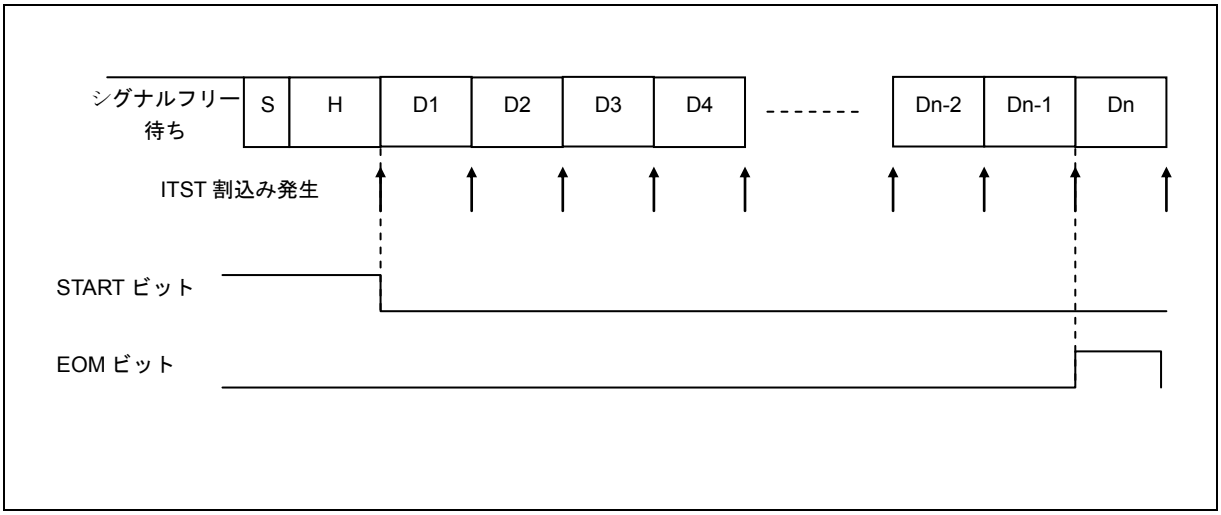
■ 基本動作

基本動作は以下となります。

・先ず CEC のカウントクロックの設定を受信側で設定します。
・次に送信の各種設定を行い、送信データを TXDATA レジスタに書き込むと、シグナルフリー状態を検出するまで待ちます。シグナルフリー状態を検出するとスタートビットを自動送信します。
・スタートビット送信後に TXDATA レジスタに設定された 1 バイトデータと EOM 設定ビットに設定されたデータと、ACK ビットを自動送信します。
・ACK ビットの自動送信の直後に、TXSTS レジスタの ITST ビットの割込みが発生するので、ACK サイクル値を確認して正常なら次の送信に向けて各種設定と送信データの書込みを行います。
・EOM が"1"に設定された状態で送信が終了するまで同様に送信を行います。

CEC 送信時の基本動作タイミングを図 5-1 に示します。

図 5-1 CEC 送信の基本動作タイミングチャート



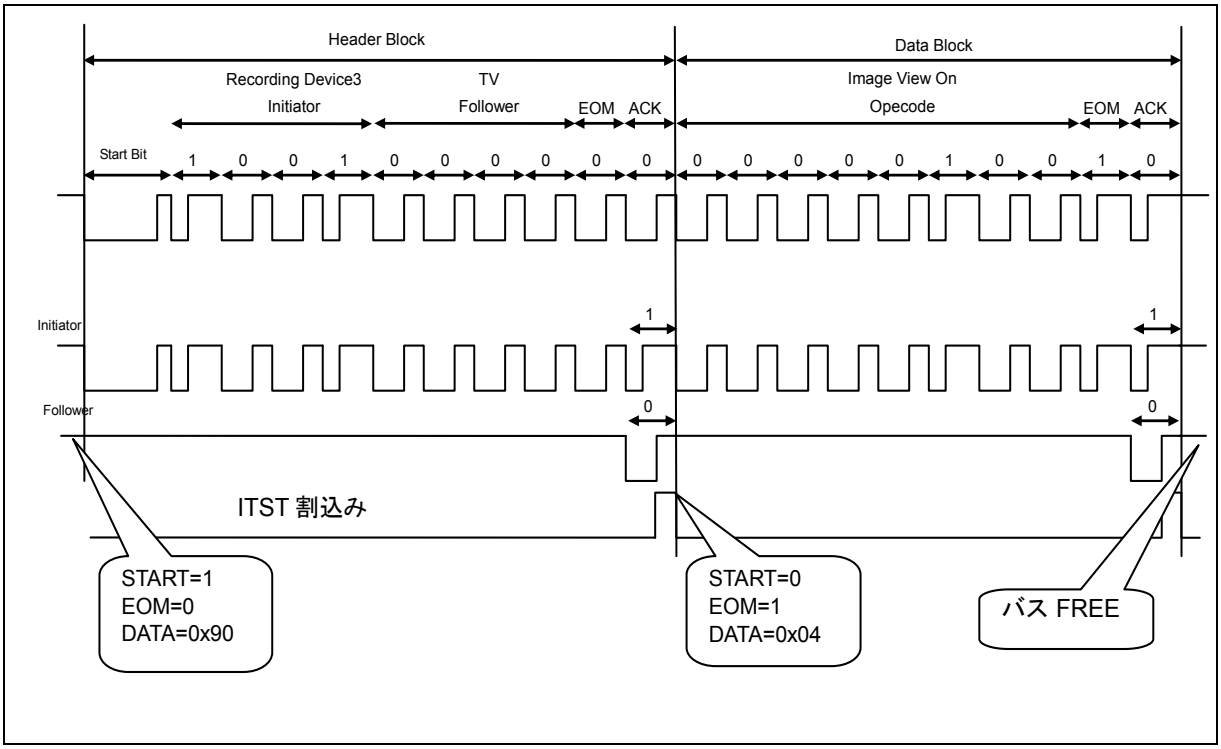
5.2. 割込み要因とタイミングチャート

割込み要因とタイミングチャートについて示します。

■ 割込み要因とタイミングチャート

図 5-2 にヘッダブロックと単一のデータブロック送信の場合で、ITST 割込み要因とタイミングチャートを示します。

図 5-2 CEC 送信の割込み要因とタイミングチャート



5.3. アービトレーションロスト検出

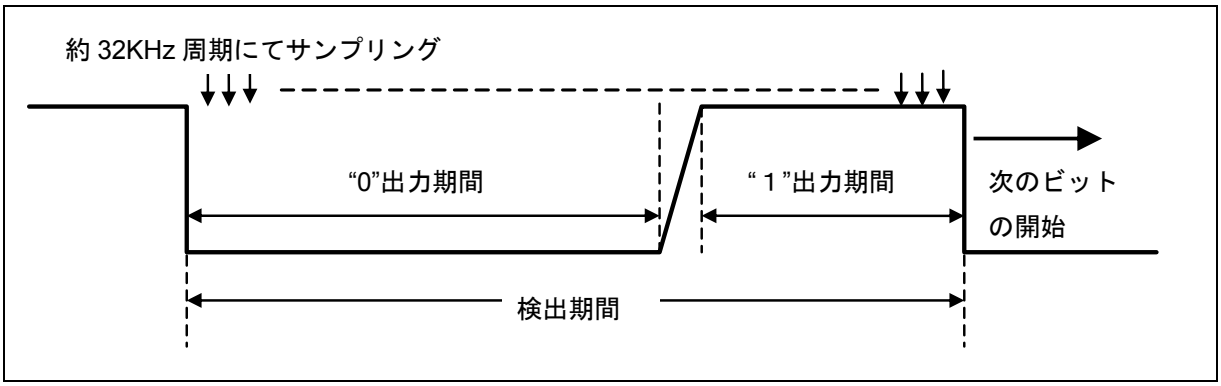
アービトレーションロスト検出について示します。

■ アービトレーションロストの検出方法

図 5-3 にアービトレーションロストの検出方法を示します。

各ビット毎に下記検出期間にて、バス上のデータを約 32KHz 周期にてサンプリングし、送信出力と比較し、2 サンプリング連続で違いが検出された場合、アービトレーションロストを検出します。アービトレーションロストを検出すると、TXSTS レジスタの IBR が"1"になります。

図 5-3 アービトレーションロスト検出期間

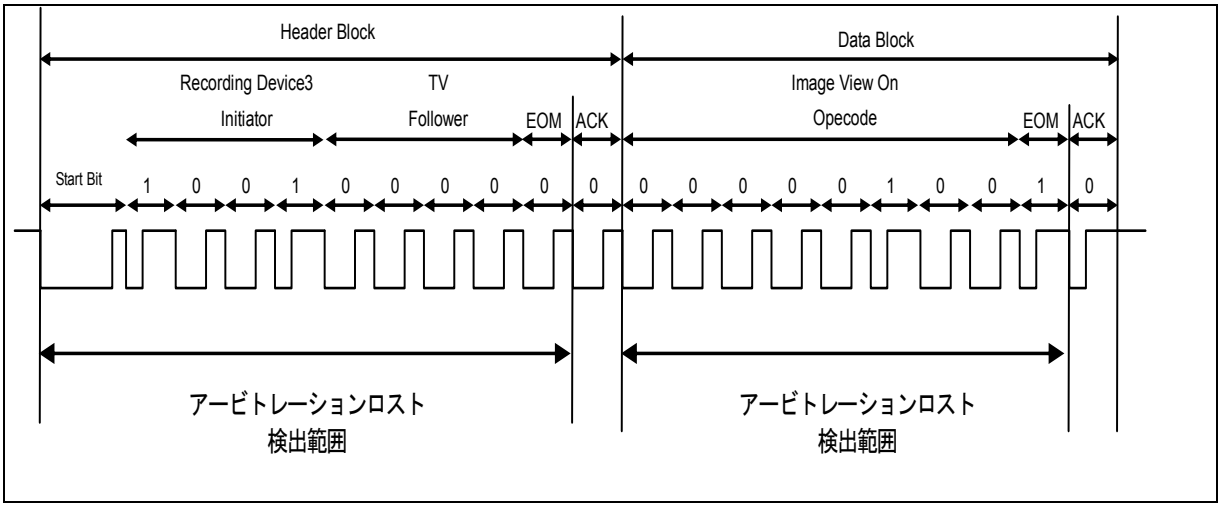


■ アービトレーションロストの検出範囲

図 5-4 にアービトレーションロストの検出範囲を示します。

各ブロック転送の中で ACK サイクルを除く EOM までが検出範囲となります。

図 5-4 アービトレーションロスト検出範囲



5.4. シグナルフリー検出

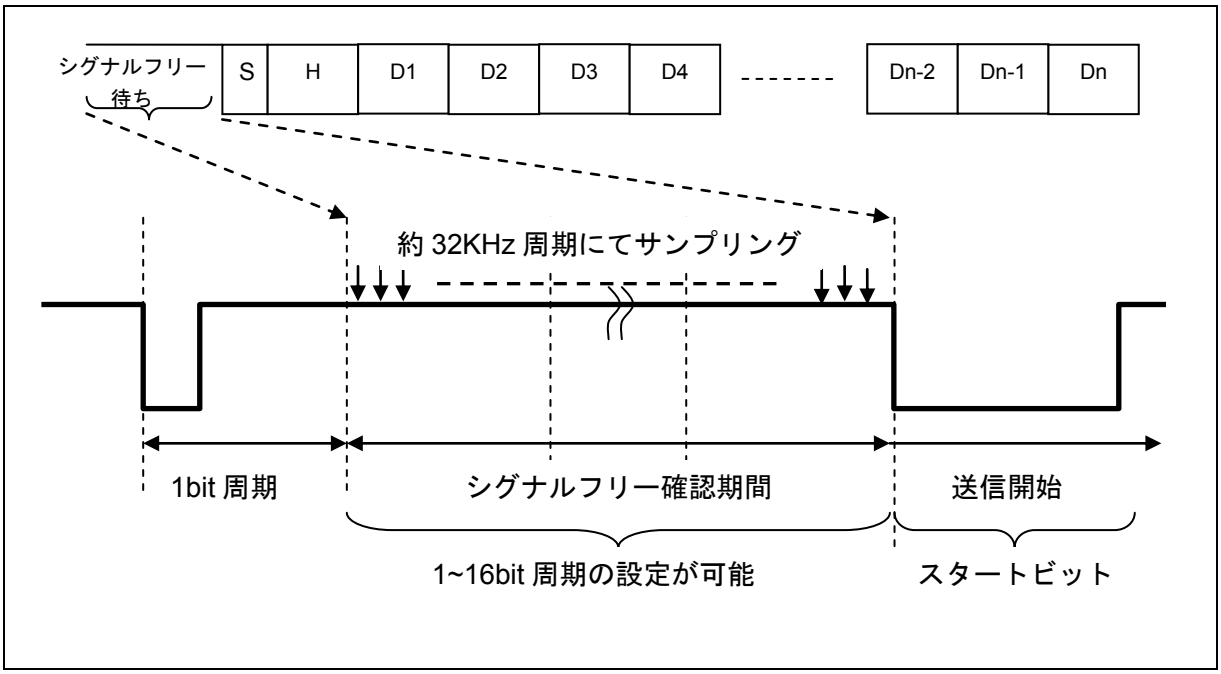
シグナルフリー検出について示します。

■ シグナルフリーの検出方法

図 5-5 にシグナルフリー検出を示します。

SFREE レジスタに設定した周期分の期間で、前フレーム終了時から CEC のバス上に変化がない場合にはシグナルフリー検出状態とします。

図 5-5 シグナルフリー検出



5.5. フィルタ機能

送信側の CEC 信号の入力をフィルタする機能について説明します。

■ CEC 信号のフィルタについて

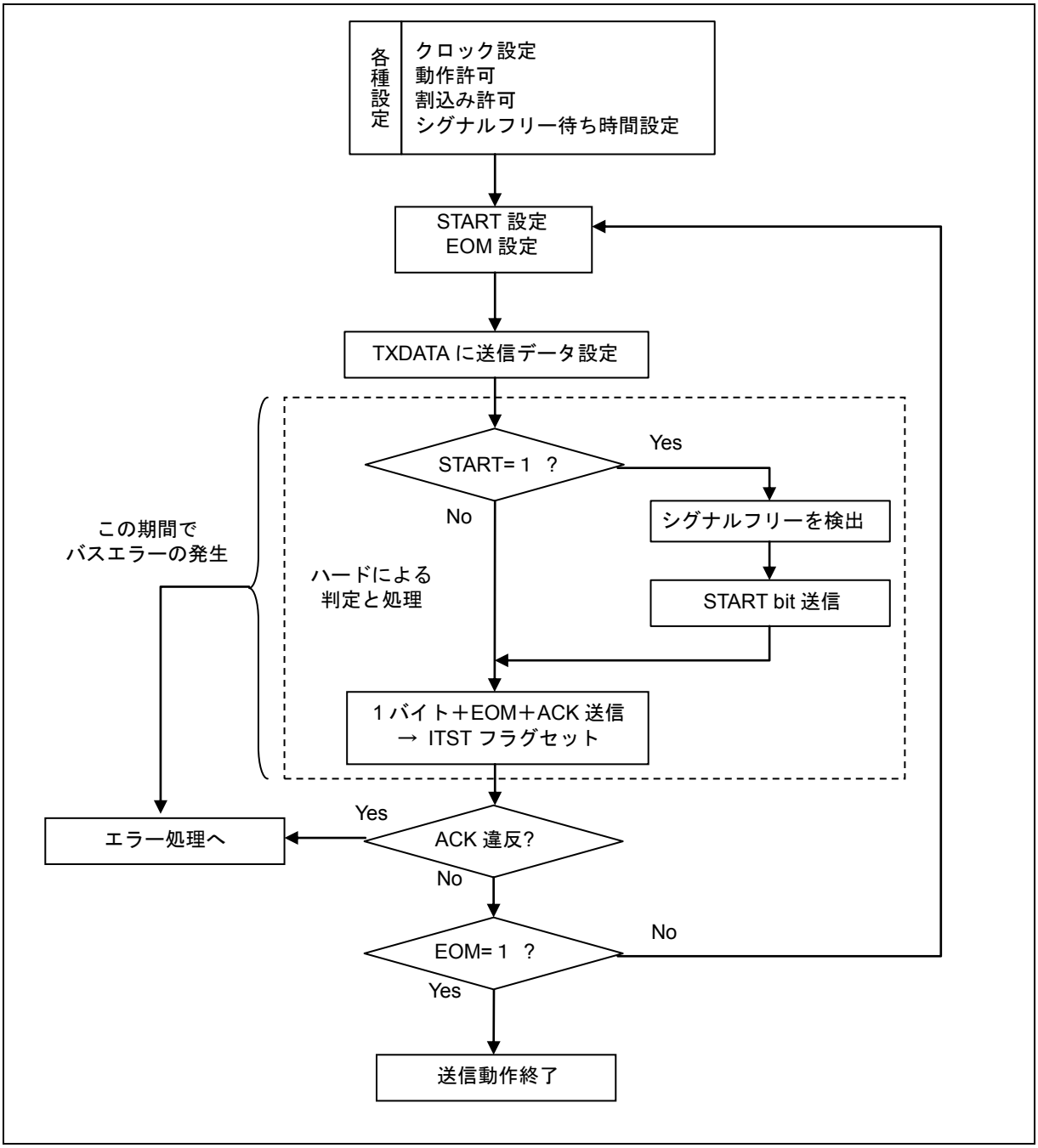
CEC 信号の入力がカウントクロックの 2 クロック未満の幅で変化した場合、フィルタによりノイズと判断され、その信号は除去されます。

カウントクロックの 2 クロック以上の幅で変化した入力は、CEC 信号と判断され、その信号はフィルタを通過します。

5.6. CEC 送信動作について

CEC 送信動作についてフローを示します。

■ CEC 送信動作フロー例



6. CEC 送信のレジスタセット

CEC 送信のすべてのレジスタについて説明します。

6.1 送信制御レジスタ(TXCTRL)

6.2 送信データレジスタ(TXDATA)

6.3 送信ステータスレジスタ(TXSTS)

6.4 シグナルフリー時間設定レジスタ(SFREE)

6.1. 送信制御レジスタ(TXCTRL)

送信制御レジスタ(TXCTRL)は、CEC 送信を制御します。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	IBREN	ITSTEN	EOM	START	予約	TXEN
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出し値は"0"です。

このビットへの書込みは"0"を書き込んでください。

[bit5] IBREN : バスエラー検出割込み許可ビット

・TXSTS レジスタ bit5 IBR の割込み要求を制御します。

・IBREN ビットが許可されていて TXSTS レジスタ bit5 IBR ビットが設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit4] ITSTEN : 送信ステータス割込み許可ビット

・TXSTS レジスタ bit4 ITST の割込み要求を制御します。

・ITSTEN ビットが許可されていて TXSTS レジスタ bit4 ITST ビットが設定されると CPU に割込み要求を発生します。

bit	説明
0	割込み要求を禁止
1	割込み要求を許可

[bit3] EOM : EOM 設定ビット

・EOM 送信ビットを制御します。

・START ビットとの組合せによる設定でブロック送信を選択します。

bit	説明
0	EOM0 出力
1	EOM1 出力

[bit2] START : START 設定ビット

・START ビットを送信データに付加するヘッダブロック送信を設定します。
・EOM ビットとの組合せによる設定でブロック送信を選択します。

bit	説明
0	START ビット送信無効
1	START ビット送信有効

EOM, START の設定により CEC 送信は以下のブロック送信となります。

	START=1	START=0
EOM=0	ヘッダブロック送信 （フレーム最初）	データブロック （後続ブロックあり）
EOM=1	ヘッダブロック送信 （Polling Message）	最終データブロック （フレーム最後）

[bit1] 予約 : 予約ビット

読出し値は"0"です。
このビットへの書込みは"0"を書き込んでください。

[bit0] TXEN : 送信動作許可ビット

・CEC 送信動作を制御します。
・TXEN ビットを禁止に変更するとステータスレジスタの各ビットの自動クリアが発生します。

bit	説明
0	CEC 送信動作を禁止
1	CEC 送信動作を許可

＜注意事項＞

TXEN ビットに"0"を設定すると、直ちに出力を停止します。その際 CEC 信号に不正な波形が出力される場合があります。

6.2. 送信データレジスタ(TXDATA)

送信データレジスタ(TXDATA)は送信データを設定するためのレジスタです。

bit	7							0
Field	TXDATA[7:0]							
属性	R/W							
初期値	0x00							

TXDATA レジスタに値を設定すると、条件の違いにより以下のどちらかの CEC 送信を開始します。

以下の条件の成立により自動でヘッダブロック送信を開始します。

・TXEN=1 である。
・START=1 である。
・SFREE レジスタで設定した期間で CEC バス上の IDLE を検出した。

＜注意事項＞

TXDATA レジスタに値を設定する時に、SFREE レジスタで設定した期間の IDLE を検出していた場合は TXDATA レジスタを設定すると同時にヘッダブロック送信を開始します。

以下の条件でデータブロック送信を直ちに開始します。

・TXEN=1 である。
・START=0 である。

6.3. 送信ステータスレジスタ(TXSTS)

送信ステータスレジスタ(TXSTS)は送信時のステータスを表示するためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	IBR	ITST	予約	予約	予約	ACKSV
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
初期値	0	0	0	0	0	0	0	0

[bit7:6] 予約 : 予約ビット

読出し値は"0"です。

このビットへの書込みは"0"を書き込んでください。

[bit5] IBR : バスエラー検出割込み要求ビット

・アービトレーションロストを検出すると IBR ビットが"1"に設定されます。
・IBR ビットは"0"書込みによりクリアされます。
・IBR ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト操作におけるリード値は、ビット値にかかわらず"1"になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

＜注意事項＞

・IBR ビットが"1"に自動設定される時に、同時に"0"書込みによるクリアが行われた場合はクリアを無視して、"1"セットになります。
・"0"書込みは IBR ビットが"1"の時にしてください。"1"に自動設定されるのを意図せずにクリアしてしまうことがあります。
・ラインエラー信号を検出した時もバスエラー検出として IBR ビットが"1"に設定されます。

[bit4] ITST : 送信ステータス割込み要求ビット

・各ブロック転送での 10bit 目のデータであるステータスビットの通信が終了した時に ITST ビットが"1"に設定されます。
・ITST ビットは"0"書込みによりクリアされます。
・ITST ビットに"1"書込みしてもビット値には影響しません。
・リードモディファイライト操作におけるリード値は、ビット値にかかわらず"1"になります。

bit	説明
0	割込み要因のクリア
1	割込み要因の検出

＜注意事項＞

・ITST ビットが"1"に自動設定される時に、同時に"0"書込みによるクリアが行われた場合はクリアを無視して、"1"セットになります。
・"0"書込みは ITST ビットが"1"の時にしてください。"1"に自動設定されるのを意図せずにクリアしてしまうことがあります。

[bit3:1] 予約 : 予約ビット

読出し値は"0"です。

このビットへの書込みは"0"を書き込んでください。

[bit0] ACKSV : ACK サイクル値ビット

・各ブロック転送での 10bit 目のデータである ACK サイクルの受信データ値を表示します。
・ITST が"0"から"1"になった時に更新します。
・ACKSV ビットに書込みしてもビット値には影響しません。

bit	説明
0	ACK サイクルで 0 を受信
1	ACK サイクルで 1 を受信

6.4. シグナルフリー時間設定レジスタ(SFREE)

シグナルフリー時間設定レジスタ(SFREE)は送信開始前に確認するシグナルフリー時間の設定をするためのレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	SFREE[3:0]			
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:4] 予約 : 予約ビット

読出し値は"0"です。

このビットへの書込みは"0"を書き込んでください。

[bit3:0] SFREE : シグナルフリー時間設定ビット

・送信開始前に CEC バス上のフリー状態を確認する時間の設定をします。

・CEC バス上に設定されたビット周期分の通信がないことを確認して送信動作に移ります。

bit3:0	説明
0000	(設定値＋1)周期 Ex1) 0000: 1bit 周期　Ex2) 0111:8bit 周期 Ex3) 1000: 9bit 周期　Ex3) 1111:16bit 周期
0001	
…	
1110	
1111	

APPENDIXES

レジスタマップ、制限事項について説明します。

A レジスタマップ

B 注意事項一覧

C 制限事項一覧

D TYPE 分類一覧

管理コード: 9BFAPPENDIXES-J03.0

A. レジスタマップ

レジスタマップについて説明します。

1. レジスタマップ

管理コード: 9BFREGMAP-J05.1

1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

[各表の見方]

モジュール/機能名およびベースアドレス

Clock/Reset　　Base_Address : 0x4001_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[B,H,W] 00000-0-
0x004	-	-	-	SCM_STR[B,H,W] 00000-0-
0x008	STB_CTL[B,H,W] 00000000 00000000 -------- ---0--00			
0x00C	-	-	RST_STR[B,H,W] -------0 00000-01	

- : 予約領域
* : Test レジスタ領域

リセット後のレジスタ初期値
"1" : 初期値は"1"
"0" : 初期値は"0"
"X" : 初期値は不定
" - " : 予約ビット

レジスタ名

アクセス単位
(B : バイト, H : ハーフワード, W : ワード)

最右のレジスタ番地(ワードアクセスした場合は、"+0"の列のレジスタがデータのLSB 側になる)

＜注意事項＞

- レジスタテーブルはリトルエンディアンで表されています。
- データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。
  - ワードアクセス　　: アドレスは 4 の倍数(最下位 2 ビットは"0x00")
  - ハーフワードアクセス : アドレスは 2 の倍数(最下位ビットは"0x0")
  - バイトアクセス　　: -
- Test レジスタ領域にはアクセスしないでください。
- レジスタテーブルに記載していない領域にはアクセスしないでください。
- レジスタマップ中に記載してある*1, *2, *3, *4 は下記を意味します。
  - *1 : TYPE0 の初期値です。
  - *2 : TYPE1～TYPE7 の初期値です。
  - *3 : TYPE0,3,7 の初期値です。
  - *4 : TYPE1,2,4,5,6 の初期値です。

FLASH_IF　　Base_Address : 0x4000_0000

■ TYPE6 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	FASZR[B,H,W]			
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C	*			
0x010	FSYNDN[B,H,W]			
0x014	FBFCR[B,H,W]			
0x018 - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0xFFC	-	-	-	-

■ TYPE6 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	-
0x004	FRWTR[B,H,W]			
0x008	FSTR[B,H,W]			
0x00C - 0x01C	-	-	-	-
0x020	FICR[B,H,W]			
0x024	FISR[B,H,W]			
0x028	FICLR[B,H,W]			
0x02C - 0x0FC	-	-	-	-
0x100	CRTRMM[B,H,W]			
0x104 - 0xFFC	-	-	-	-

＜注意事項＞

Flash_IF 部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

Clock/Reset Base_Address : 0x4001_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008	STB_CTL[W] 00000000 00000000 -------- ---0-000			
0x00C	-	-	RST_STR[W] -------0 00000-01	
0x010	-	-	-	BSC_PSR[W] -----000
0x014	-	-	-	APBC0_PSR[W] ------00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] X-----00
0x024 - 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ------00
0x02C - 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] -0000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] ---00000
0x040	-	-	CSV_CTL[W] -111--00 ------11	
0x044	-	-	-	CSV_STR[W] ------00
0x048	-	-	FCSWH_CTL[W] 11111111 11111111	
0x04C	-	-	FCSWL_CTL[W] 00000000 00000000	
0x050	-	-	FCSWD_CTL[W] 00000000 00000000	
0x054	-	-	-	DBWDT_CTL[W] 0-0-----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0--000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C - 0xFFC	-	-	-	-

HW WDT Base_Address : 0x4001_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WDG_LDR[W] 00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	WDG_CTL[W]			
	-	-	-	------11
0x00C	WDG_ICL[W]			
	-	-	-	XXXXXXXX
0x010	WDG_RIS[W]			
	-	-	-	-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W] 00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

SW WDT Base_Address : 0x4001_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WdogLoad[W] 11111111 11111111 11111111 11111111			
0x004	WdogValue[W] 11111111 11111111 11111111 11111111			
0x008	WdogControl[W]			
	-	-	-	------00
0x00C	WdogIntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	WdogRIS[W]			
	-	-	-	-------0
0x014 - 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xFFC	-	-	-	-

Dual_Timer Base_Address : 0x4001_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] -------- -------- -------- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] -------- -------- -------- -------0			
0x014	Timer1MIS[W] -------- -------- -------- -------0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] -------- -------- -------- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] -------- -------- -------- -------0			
0x034	Timer2MIS[W] -------- -------- -------- -------0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

MFT unit0 Base_Address : 0x4002_0000
MFT unit1 Base_Address : 0x4002_1000
MFT unit2 Base_Address : 0x4002_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	OCCP0[H,W] 00000000 00000000	
0x004	-	-	OCCP1[H,W] 00000000 00000000	
0x008	-	-	OCCP2[H,W] 00000000 00000000	
0x00C	-	-	OCCP3[H,W] 00000000 00000000	
0x010	-	-	OCCP4[H,W] 00000000 00000000	
0x014	-	-	OCCP5[H,W] 00000000 00000000	
0x018	-	-	OCSB10[B,H,W] -110--00	OCSA10[B,H,W] 00001100
0x01C	-	-	OCSB32[B,H,W] -110--00	OCSA32[B,H,W] 00001100
0x020	-	-	OCSB54[B,H,W] -110--00	OCSA54[B,H,W] 00001100
0x024	-	-	OCSC[B,H,W] --000000	-
0x028	-	-	TCCP0[H,W] 11111111 11111111	
0x02C	-	-	TCDT0[H,W] 00000000 00000000	
0x030	-	-	TCSA0[B,H,W] 000---00 01000000	
0x034	-	-	TCSB0[B,H,W] -------- -----000	
0x038	-	-	TCCP1[H,W] 11111111 11111111	
0x03C	-	-	TCDT1[H,W] 00000000 00000000	
0x040	-	-	TCSA1[B,H,W] 000---00 01000000	
0x044	-	-	TCSB1[B,H,W] -------- -----000	
0x048	-	-	TCCP2[H,W] 11111111 11111111	
0x04C	-	-	TCDT2[H,W] 00000000 00000000	
0x050	-	-	TCSA2[B,H,W] 000---00 01000000	
0x054	-	-	TCSB2[B,H,W] -------- -----000	
0x058	-	-	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x05C	-	-	-	OCFS54[B,H,W] 00000000
0x060	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x064	-	-	-	-
0x068	-	-	ICCP0[H,W] XXXXXXXX XXXXXXXX	
0x06C	-	-	ICCP1[H,W] XXXXXXXX XXXXXXXX	
0x070	-	-	ICCP2[H,W] XXXXXXXX XXXXXXXX	
0x074	-	-	ICCP3[H,W] XXXXXXXX XXXXXXXX	
0x078	-	-	ICSB10[B,H,W] ------00	ICSA10[B,H,W] 00000000
0x07C	-	-	ICSB32[B,H,W] ------00	ICSA32[B,H,W] 00000000
0x080	-	-	WFTM10[H,W] 00000000 00000000	
0x084	-	-	WFTM32[H,W] 00000000 00000000	
0x088	-	-	WFTM54[H,W] 00000000 00000000	
0x08C	-	-	WFSA10[H,W] ---00000 000000	
0x090	-	-	WFSA32[H,W] ---00000 000000	
0x094	-	-	WFSA54[H,W] ---00000 000000	
0x098	-	-	WFIR[H,W] 00000000 0000--00	
0x09C	-	-	NZCL[H,W] -------- ---00000	
0x0A0	-	-	ACCP0[H,W] 00000000 00000000	
0x0A4	-	-	ACCPDN0[H,W] 00000000 00000000	
0x0A8	-	-	ACCP1[H,W] 00000000 00000000	
0x0AC	-	-	ACCPDN1[H,W] 00000000 00000000	
0x0B0	-	-	ACCP2[H,W] 00000000 00000000	
0x0B4	-	-	ACCPDN2[H,W] 00000000 00000000	
0x0B8	-	-	-	ACSB[B,H,W] -000-111
0x0BC	-	-	ACSA[B,H,W] --000000 --000000	
0x0C0	-	-	ATSA[H,W] --000000 --000000	
0x0C4 - 0x0FC	-	-	-	-

PPG Base_Address : 0x4002_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	TTCR0 [B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0 [B,H,W] 00000000	-
0x00C	-	-	-	COMP2 [B,H,W] 00000000
0x010	-	-	COMP4 [B,H,W] 00000000	-
0x014	-	-	-	COMP6 [B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1 [B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1 [B,H,W] 00000000	-
0x02C	-	-	-	COMP3 [B,H,W] 00000000
0x030	-	-	COMP5 [B,H,W] 00000000	-
0x034	-	-	-	COMP7 [B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2 [B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8 [B,H,W] 00000000	-
0x04C	-	-	-	COMP10 [B,H,W] 00000000
0x050	-	-	COMP12 [B,H,W] 00000000	-
0x054	-	-	-	COMP14 [B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG [B,H,W] 00000000 00000000	
0x104	-	-	REVC [B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1 [B,H,W] -------- 00000000	
0x144	-	-	REVC1 [B,H,W] -------- 00000000	
0x148 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	-	-	PPGC0 [B,H,W] 00000000	PPGC1 [B,H,W] 00000000
0x204	-	-	PPGC2 [B,H,W] 00000000	PPGC3 [B,H,W] 00000000
0x208	-	-	PRLH0 [B,H,W] XXXXXXXX	PRLL0 [B,H,W] XXXXXXXX
0x20C	-	-	PRLH1 [B,H,W] XXXXXXXX	PRLL1 [B,H,W] XXXXXXXX
0x210	-	-	PRLH2 [B,H,W] XXXXXXXX	PRLL2 [B,H,W] XXXXXXXX
0x214	-	-	PRLH3 [B,H,W] XXXXXXXX	PRLL3 [B,H,W] XXXXXXXX
0x218	-	-	-	GATEC0 [B,H,W] --00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4 [B,H,W] 00000000	PPGC5 [B,H,W] 00000000
0x244	-	-	PPGC6 [B,H,W] 00000000	PPGC7 [B,H,W] 00000000
0x248	-	-	PRLH4 [B,H,W] XXXXXXXX	PRLL4 [B.H.W] XXXXXXXX
0x24C	-	-	PRLH5 [B,H,W] XXXXXXXX	PRLL5 [B,H,W] XXXXXXXX
0x250	-	-	PRLH6 [B,H,W] XXXXXXXX	PRLL6 [B,H,W] XXXXXXXX
0x254	-	-	PRLH7 [B,H,W] XXXXXXXX	PRLL7 [B,H,W] XXXXXXXX
0x258	-	-	-	GATEC4 [B,H,W] ------00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8 [B,H,W] 00000000	PPGC9 [B,H,W] 00000000
0x284	-	-	PPGC10 [B,H,W] 00000000	PPGC11 [B,H,W] 00000000
0x288	-	-	PRLH8 [B,H,W] XXXXXXXX	PRLL8 [B,H,W] XXXXXXXX
0x28C	-	-	PRLH9 [B,H,W] XXXXXXXX	PRLL9 [B,H,W] XXXXXXXX
0x290	-	-	PRLH10 [B,H,W] XXXXXXXX	PRLL10 [B,H,W] XXXXXXXX
0x294	-	-	PRLH11 [B,H,W] XXXXXXXX	PRLL11 [B,H,W] XXXXXXXX
0x298	-	-	-	GATEC8 [B,H,W] --00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12 [B,H,W] 00000000	PPGC13 [B,H,W] 00000000
0x2C4	-	-	PPGC14 [B,H,W] 00000000	PPGC15 [B,H,W] 00000000
0x2C8	-	-	PRLH12 [B,H,W] XXXXXXXX	PRLL12 [B,H,W] XXXXXXXX
0x2CC	-	-	PRLH13 [B,H,W] XXXXXXXX	PRLL13 [B,H,W] XXXXXXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2D0	-	-	PRLH14 [B,H,W] XXXXXXXX	PRLL14 [B,H,W] XXXXXXXX
0x2D4	-	-	PRLH15 [B,H,W] XXXXXXXX	PRLL15 [B,H,W] XXXXXXXX
0x2D8	-	-	-	GATEC12 [B,H,W] ------00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16 [B,H,W] 00000000	PPGC17 [B,H,W] 00000000
0x304	-	-	PPGC18 [B,H,W] 00000000	PPGC19 [B,H,W] 00000000
0x308	-	-	PRLH16 [B,H,W] XXXXXXXX	PRLL16 [B,H,W] XXXXXXXX
0x30C	-	-	PRLH17 [B,H,W] XXXXXXXX	PRLL17 [B,H,W] XXXXXXXX
0x310	-	-	PRLH18 [B,H,W] XXXXXXXX	PRLL18 [B,H,W] XXXXXXXX
0x314	-	-	PRLH19 [B,H,W] XXXXXXXX	PRLL19 [B,H,W] XXXXXXXX
0x318	-	-	-	GATEC16 [B,H,W] --00---00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20 [B,H,W] 00000000	PPGC21 [B,H,W] 00000000
0x344	-	-	PPGC22 [B,H,W] 00000000	PPGC23 [B,H,W] 00000000
0x348	-	-	PRLH20 [B,H,W] XXXXXXXX	PRLL20 [B.H.W] XXXXXXXX
0x34C	-	-	PRLH21 [B,H,W] XXXXXXXX	PRLL21 [B,H,W] XXXXXXXX
0x350	-	-	PRLH22 [B,H,W] XXXXXXXX	PRLL22 [B,H,W] XXXXXXXX
0x354	-	-	PRLH23 [B,H,W] XXXXXXXX	PRLL23 [B,H,W] XXXXXXXX
0x358	-	-	-	GATEC20 [B,H,W] ------00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W] 00000000
0x384 - 0xFFC	-	-	-	-

Base Timer ch.0 Base Address : 0x4002_5000
Base Timer ch.1 Base Address : 0x4002_5040
Base Timer ch.2 Base Address : 0x4002_5080
Base Timer ch.3 Base Address : 0x4002_50C0
Base Timer ch.4 Base Address : 0x4002_5200
Base Timer ch.5 Base Address : 0x4002_5240
Base Timer ch.6 Base Address : 0x4002_5280
Base Timer ch.7 Base Address : 0x4002_52C0
Base Timer ch.8 Base Address : 0x4002_5400
Base Timer ch.9 Base Address : 0x4002_5440
Base Timer ch.10 Base Address : 0x4002_5480
Base Timer ch.11 Base Address : 0x4002_54C0
Base Timer ch.12 Base Address : 0x4002_5600
Base Timer ch.13 Base Address : 0x4002_5640
Base Timer ch.14 Base Address : 0x4002_5680
Base Timer ch.15 Base Address : 0x4002_56C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL [H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF [H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	TMR [H,W] 00000000 00000000	
0x00C	-	-	TMCR [B,H,W] -0000000 00000000	
0x010	-	-	TMCR2 [B,H,W] -------0	STC [B,H,W] 0000-000
0x014 - 0x03C	-	-	-	-

IO Selector for ch.0-ch.3 (Base Timer) Base Address : 0x4002_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL0123 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7(Base Timer) Base Address : 0x4002_5300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL4567 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11(Base Timer) Base Address : 0x4002_5500

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL89AB [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15(Base Timer) Base Address : 0x4002_5700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSELCDEF [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simulation Startup(Base Timer) Base Address : 0x4002_5F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] XXXXXXXX XXXXXXXX	

QPRC ch.0 Base Address : 0x4002_6000
QPRC ch.1 Base Address : 0x4002_6040
QPRC ch.2 Base Address : 0x4002_6080

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -------- -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

12bit A/DC unit0 Base_Address : 0x4002_7000
12bit A/DC unit1 Base_Address : 0x4002_7100
12bit A/DC unit2 Base_Address : 0x4002_7200

■ TYPE3/TYPE7 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- 0001--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 1000-000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W] ----0000
0x03C	-	-	-	ADCEN[B,H,W] --00--00
0x040 - 0x0FC	-	-	-	-

■ TYPE3/TYPE7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ----0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- ---X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX---- ---X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00------		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	-	-
0x03C	-	-	ADCEN[B,H,W] 11111111 ------00	
0x040 - 0x0FC	-	-	-	-

10bit D/AC Base_Address : 0x4002_8000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	DACR0[B,H,W] -------0	DADR0[B,H,W] ------XX XXXXXXXX	
0x04	-	DACR1[B,H,W] -------0	DADR1[B,H,W] ------XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

CR Trim Base_Address : 0x4002_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W] ------01
0x004	-	-	MCR_FTRM[B,H,W] ------01 10000000 *3 -------- 01111111 *4	
0x008	-	-	-	*
0x00C	MCR_RLR[W] 00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

EXTI Base_Address : 0x4003_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W]			
	00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W]			
	XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W]			
	11111111 11111111 11111111 11111111			
0x00C	ELVR[R/W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[R/W]			
	00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -------0
0x018	-	-	-	NMICL[B,H,W] -------1
0x01C	-	-	-	-
0x020 - 0x0FC	-	-	-	-

INT-Req. READ　　Base_Address : 0x4003_1000

■ TYPE3/TYPE7 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004	*			
0x008	ODDPKS[B] ---00000	-	-	*
0x00C	-	-	-	IRQCMODE[B,H,W] -------0
0x010	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W] -------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W] -------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W] -------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W] -------- -------- -------- 00000000			
0x024	IRQ04MON[B,H,W] -------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W] -------- 00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W] -------- ----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W] -------- -------- -------- -------0			
0x034	IRQ08MON[B,H,W] -------- -------- -------- ------00			
0x038	IRQ09MON[B,H,W] -------- -------- -------- -------0			
0x03C	IRQ10MON[B,H,W] -------- -------- -------- ------00			
0x040	IRQ11MON[B,H,W] -------- -------- -------- -------0			
0x044	IRQ12MON[B,H,W] -------- -------- -------- ------00			
0x048	IRQ13MON[B,H,W] -------- -------- -------- -------0			
0x04C	IRQ14MON[B,H,W] -------- -------- -------- ------00			
0x050	IRQ15MON[B,H,W] -------- -------- -------- -------0			
0x054	IRQ16MON[B,H,W] -------- -------- -------- ------00			
0x058	IRQ17MON[B,H,W] -------- -------- -------- -------0			
0x05C	IRQ18MON[B,H,W] -------- -------- -------- ------00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x060	IRQ19MON[B,H,W] -------- -------- -------- -------0			
0x064	IRQ20MON[B,H,W] -------- -------- -------- ------00			
0x068	IRQ21MON[B,H,W] -------- -------- -------- -------0			
0x06C	IRQ22MON[B,H,W] -------- -------- -------- ------00			
0x070	IRQ23MON[B,H,W] -------- -------- -------0 00000000			
0x074	IRQ24MON[B,H,W] -------- -------- -------- 00000000			
0x078	IRQ25MON[B,H,W] -------- -------- -------- ----0000			
0x07C	IRQ26MON[B,H,W] -------- -------- -------- ----0000			
0x080	IRQ27MON[B,H,W] -------- -------- -------- ---00000			
0x084	IRQ28MON[B,H,W] -------- ------00 00000000 00000000			
0x088	IRQ29MON[B,H,W] -------- -------- ----0000 00000000			
0x08C	IRQ30MON[B,H,W] -------- ------00 00000000 00000000			
0x090	IRQ31MON[B,H,W] -------- -------- 00000000 00000000			
0x094	IRQ32MON[B,H,W] -------- -------- -------- 00000000			
0x098	IRQ33MON[B,H,W] -------- -------- -------- -----000			
0x09C	IRQ34MON[B,H,W] -------- -------- -------- ---00000			
0x0A0	IRQ35MON[B,H,W] -------- -------- -------- --000000			
0x0A4	IRQ36MON[B,H,W] -------- -------- -------- --000000			
0x0A8	IRQ37MON[B,H,W] -------- -------- -------- -0000000			
0x0AC	IRQ38MON[B,H,W] -------- -------- -------- -------0			
0x0B0	IRQ39MON[B,H,W] -------- -------- -------- -------0			
0x0B4	IRQ40MON[B,H,W] -------- -------- -------- -------0			
0x0B8	IRQ41MON[B,H,W] -------- -------- -------- -------0			
0x0BC	IRQ42MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0C0	IRQ43MON[B,H,W] -------- -------- -------- -------0			
0x0C4	IRQ44MON[B,H,W] -------- -------- -------- -------0			
0x0C8	IRQ45MON[B,H,W] -------- -------- -------- -------0			
0x0CC	IRQ46MON[B,H,W] -------- -------- 00000000 00000000			
0x0D0	IRQ47MON[B,H,W] -------- -------- 00000000 00000000			
0x0D4 - 0x1FC	-	-	-	-
0x200	DRQSEL1[B,H,W] 00000000 00000000 00000000 00000000			
0x204	DQESEL[B,H,W] 00000000 00000000 00000000 00000000			
0x208	*			
0x20C	ODDPKS[B] ---00000	-	-	*
0x210	RCINTSEL3[B,H,W] ---00000	RCINTSEL2[B,H,W] ---00000	RCINTSEL1[B,H,W] ---00000	RCINTSEL0[B,H,W] ---00000
0x214	RCINTSEL7[B,H,W] ---00000	RCINTSEL6[B,H,W] ---00000	RCINTSEL5[B,H,W] ---00000	RCINTSEL4[B,H,W] ---00000
0x218 - 0xFFC	-	-	-	-

■ TYPE3/TYPE7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	*			
0x004	*			
0x008	*			
0x00C	-	-	-	-
0x010	EXC02MON[B,H,W] -------- -------- -------- ------00			
0x014	IRQ00MON[B,H,W] -------- -------- -------- -------0			
0x018	IRQ01MON[B,H,W] -------- -------- -------- -------0			
0x01C	IRQ02MON[B,H,W] -------- -------- -------- -------0			
0x020	IRQ03MON[B,H,W] -------- -------- -------- 00000000			
0x024	IRQ04MON[B,H,W] -------- -------- -------- 00000000			
0x028	IRQ05MON[B,H,W] -------- -------- -------- 0-------			
0x02C	IRQ06MON[B,H,W] -------- -------- -------- -------0			
0x030	IRQ07MON[B,H,W] -------- -------- -------- ------00			
0x034	IRQ08MON[B,H,W] -------- -------- -------- -------0			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x038	IRQ09MON[B,H,W] -------- -------- -------- ------00			
0x03C	IRQ10MON[B,H,W] -------- -------- -------- -------0			
0x040	IRQ11MON[B,H,W] -------- -------- -------- ------00			
0x044	IRQ12MON[B,H,W] -------- -------- -------- -------0			
0x048	IRQ13MON[B,H,W] -------- -------- -------- ------00			
0x04C	IRQ14MON[B,H,W] -------- -------- -------- -------0			
0x050	IRQ15MON[B,H,W] -------- -------- -------- ------00			
0x054	IRQ16MON[B,H,W] -------- -------- -------- -------0			
0x058	IRQ17MON[B,H,W] -------- -------- -------- ------00			
0x05C	IRQ18MON[B,H,W] -------- -------- -------- -------0			
0x060	IRQ19MON[B,H,W] -------- -------- -------- ------00			
0x064	IRQ20MON[B,H,W] -------- -------- -------- ------0			
0x068	IRQ21MON[B,H,W] -------- -------- -------- ------00			
0x06C	IRQ22MON[B,H,W] -------- -------- -------- -----000			
0x070	IRQ23MON[B,H,W] -------- -------- -------- --000000			
0x074	IRQ24MON[B,H,W] -------- -------- -------- ----0000			
0x078	IRQ25MON[B,H,W] -------- -------- -------- --000000			
0x07C	IRQ26MON[B,H,W] -------- -------- -------- ----0000			
0x080	IRQ27MON[B,H,W] -------- -------- -------- --000000			
0x084	IRQ28MON[B,H,W] -------- -------- 00000000 00000000			
0x088	IRQ29MON[B,H,W] -------- -------- -------- ---0----			
0x08C	IRQ30MON[B,H,W] -------- -------- -------- --0-----			
0x090	IRQ31MON[B,H,W] -------- -------- -------- -0------			

LCDC Base_Address : 0x4003_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	LCDCC3[B,H,W] 0011111-	LCDCC2[B,H,W] --010100	LCDCC1[B,H,W] -00000--
0x04	LCDC_PSR[B,H,W] -------- -0000000 00000000 00000000			
0x08	LCDC_COMEN[B,H,W]			
	-------- -------- -------- 00000000			
0x0C	LCDC_SEGEN1[B,H,W]			
	00000000 00000000 00000000 00000000			
0x10	LCDC_SEGEN2[B,H,W]			
	-------- -------- -------- 00000000			
0x14	-	-	LCDC_BLINK[B,H,W] 00000000 00000000	
0x18	-	-	-	-
0x1C	LCDRAM03[B,H,W] 00000000	LCDRAM02[B,H,W] 00000000	LCDRAM01[B,H,W] 00000000	LCDRAM00[B,H,W] 00000000
0x20	LCDRAM07[B,H,W] 00000000	LCDRAM06[B,H,W] 00000000	LCDRAM05[B,H,W] 00000000	LCDRAM04[B,H,W] 00000000
0x24	LCDRAM11[B,H,W] 00000000	LCDRAM10[B,H,W] 00000000	LCDRAM09[B,H,W] 00000000	LCDRAM08[B,H,W] 00000000
0x28	LCDRAM15[B,H,W] 00000000	LCDRAM14[B,H,W] 00000000	LCDRAM13[B,H,W] 00000000	LCDRAM12[B,H,W] 00000000
0x2C	LCDRAM19[B,H,W] 00000000	LCDRAM18[B,H,W] 00000000	LCDRAM17[B,H,W] 00000000	LCDRAM16[B,H,W] 00000000
0x30	LCDRAM23[B,H,W] 00000000	LCDRAM22[B,H,W] 00000000	LCDRAM21[B,H,W] 00000000	LCDRAM20[B,H,W] 00000000
0x34	LCDRAM26[B,H,W] 00000000	LCDRAM25[B,H,W] 00000000	LCDRAM24[B,H,W] 00000000	LCDRAM24[B,H,W] 00000000
0x38	LCDRAM31[B,H,W] 00000000	LCDRAM30[B,H,W] 00000000	LCDRAM29[B,H,W] 00000000	LCDRAM28[B,H,W] 00000000
0x3C	LCDRAM35[B,H,W] 00000000	LCDRAM34[B,H,W] 00000000	LCDRAM33[B,H,W] 00000000	LCDRAM32[B,H,W] 00000000
0x40	LCDRAM39[B,H,W] 00000000	LCDRAM38[B,H,W] 00000000	LCDRAM37[B,H,W] 00000000	LCDRAM36[B,H,W] 00000000
0x44 - 0xFC	-	-	-	-

GPIO Base_Address : 0x4003_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	PFR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x004	PFR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x008	PFR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x00C	PFR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x010	PFR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x014	PFR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x018	PFR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x01C	PFR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x020	PFR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x024	PFR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x028	PFRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x02C	PFRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x030	PFRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x034	PFRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x038	PFRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x03C	PFRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100	PCR0[B,H,W] ---- ---- ---- ---- 0000 0000 0001 1111			
0x104	PCR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x108	PCR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x10C	PCR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x110	PCR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x114	PCR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x118	PCR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x11C	PCR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x120	PCR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x124	PCR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x128	PCRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x12C	PCRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x130	PCRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x134	PCRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x138	PCRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x13C	PCRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x140 – 0x1FC	-			

-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	DDR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x204	DDR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x208	DDR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x20C	DDR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x210	DDR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x214	DDR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x218	DDR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x21C	DDR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x220	DDR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x224	DDR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x228	DDRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x22C	DDRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x230	DDRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x234	DDRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x238	DDRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x23C	DDRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300	PDIR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x304	PDIR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x308	PDIR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x30C	PDIR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x310	PDIR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x314	PDIR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x318	PDIR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x31C	PDIR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x320	PDIR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x324	PDIR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x328	PDIRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x32C	PDIRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x330	PDIRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x334	PDIRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x338	PDIRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x33C	PDIRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400	PDOR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x404	PDOR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x408	PDOR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x40C	PDOR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x410	PDOR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x414	PDOR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x418	PDOR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x41C	PDOR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x420	PDOR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x424	PDOR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x428	PDORA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x42C	PDORB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x430	PDORC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x434	PDORD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x438	PDORE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x43C	PDORF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x440 - 0x4FC	-	-	-	-
0x500	ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111			
0x504 - 0x57C	-	-	-	-
0x580	SPSR[B,H,W] ---- ---- ---- ---- ---- ---- ---0 ---1 *1 ---- ---- ---- ---- ---- ---- ---0 0101 *2			
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600	EPFR00[B,H,W] ---- --00 ---- --11 ---- --0- ---- --00			
0x604	EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x608	EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x60C	EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000			
0x610	EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x614	EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x618	EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x61C	EPFR07[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----			
0x620	EPFR08[B,H,W] ---- 0000 0000 0000 0000 0000 0000 0000			
0x624	EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x628	EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x62C	EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000			
0x630	EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x634	EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--			
0x638	EPFR14[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x63C	EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000			
0x640 – 0x6FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x700	PZR0[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x704	PZR1[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x708	PZR2[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x70C	PZR3[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x710	PZR4[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x714	PZR5[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x718	PZR6[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x71C	PZR7[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x720	PZR8[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x724	PZR9[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x728	PZRA[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x72C	PZRB[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x730	PZRC[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x734	PZRD[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x738	PZRE[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x73C	PZRF[B,H,W] ---- ---- ---- ---- 0000 0000 0000 0000			
0x740 - 0x7FC	-	-	-	-
0x800	*			
0x804	*			
0x808 - 0xFFC	-	-	-	-

HDMI-CEC/Remote Control Receiver ch.0 Base_Address : 0x4003_4000
HDMI-CEC/Remote Control Receiver ch.1 Base_Address : 0x4003_4100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W] --0000-0
0x04	-	-	-	TXDATA[B,H,W] 00000000
0x08	-	-	-	TXSTS[B,H,W] --00---0
0x0C	-	-	-	SFREE[B,H,W] ----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W] 0---0000	RCST[B,H,W] 00000000
0x44	-	-	RCSHW[B,H,W] 00000000	RCDAHW[B,H,W] 00000000
0x48	-	-	RCDBHW[B,H,W] 00000000	-
0x4C	-	-	RCADR1[B,H,W] ---00000	RCADR2[B,H,W] ---00000
0x50	-	-	RCDTHH[B,H,W] 00000000	RCDTHL[B,H,W] 00000000
0x54	-	-	RCDTLH[B,H,W] 00000000	RCDTLL[B,H,W] 00000000
0x58	-	-	RCCKD[H,W] ---00000 00000000	
0x5C	-	-	RCRC[B,H,W] ---0---0	RCRHW[B,H,W] 00000000
0x60	-	-	RCLE[B,H,W] 00000-00	-
0x64	-	-	RCLELW[B,H,W] 00000000	RCLESW[B,H,W] 00000000
0x68 - 0xFC	-	-	-	-

LVD Base_Address : 0x4003_5000

■ TYPE3/TYPE7 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LVD_CTL[B,H,W] 010000--
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 0-------
0x014 - 0xFFC	-	-	-	-

■ TYPE3/TYPE7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W] 1-0001-- 0-00000-	
0x004	-	-	-	LVD_STR[B,H,W] 0-------
0x008	-	-	-	LVD_CLR[B,H,W] 1-------
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 01------
0x014 - 0x7FC	-	-	-	-

DS_Mode Base_Address : 0x4003_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W] -------0
0x004	-	-	-	RCK_CTL[B,H,W] ------01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W] -------0
0x704	-	-	-	WRFSR[B,H,W] ------00
0x708	-	-	WIFSR[B,H,W] ------00 00000000	
0x70C	-	-	WIER[B,H,W] ------00 00000-00	
0x710	-	-	-	WILVR[B,H,W] -----000
0x714	-	-	-	DSRAMR[B,H,W] ------00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W] 00000000	BUR03[B,H,W] 00000000	BUR02[B,H,W] 00000000	BUR01[B,H,W] 00000000
0x804	BUR08[B,H,W] 00000000	BUR07[B,H,W] 00000000	BUR06[B,H,W] 00000000	BUR05[B,H,W] 00000000
0x808	BUR012[B,H,W] 00000000	BUR11[B,H,W] 00000000	BUR10[B,H,W] 00000000	BUR09[B,H,W] 00000000
0x80C	BUR16[B,H,W] 00000000	BUR15[B,H,W] 00000000	BUR14[B,H,W] 00000000	BUR13[B,H,W] 00000000
0x810 - 0xEFC	-	-	-	-

USB Clock Base_Address : 0x4003_6000

■ TYPE2 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] ------00
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] ----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] ---10111 *1 -0111011 *2
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028 - 0x02C	-	-	-	-
0x030	-	-	-	USBEN[B,H,W] -------0
0x034 - 0x0FC	-	-	-	-

■ TYPE2 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] -0000000
0x004	-	-	-	UPCR1[B,H,W] ------00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] -0111011
0x014	-	-	-	UP_STR[B,H,W] -------0
0x018	-	-	-	UPINT_ENR[B,H,W] -------0
0x01C	-	-	-	UPINT_CLR[B,H,W] -------0
0x020	-	-	-	UPINT_STR[B,H,W] -------0
0x024	-	-	-	UPCR5[B,H,W] ----0100
0x028	-	-	-	UPCR6[B,H,W] ----0010
0x02C	-	-	-	UPCR7[B,H,W] -------0
0x030	-	-	-	USBEN[B,H,W] -------0
0x034	-	-	-	USBEN1[B,H,W] -------0
0x038 - 0x0FC	-	-	-	-

CAN_Prescaler Base_Address : 0x4003_7000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CANPRE[B,H,W] ----1011
0x004 - 0xFFC	-	-	-	-

MFS ch.0 Base_Address : 0x4003_8000
MFS ch.1 Base_Address : 0x4003_8100
MFS ch.2 Base_Address : 0x4003_8200
MFS ch.3 Base_Address : 0x4003_8300
MFS ch.4 Base_Address : 0x4003_8400
MFS ch.5 Base_Address : 0x4003_8500
MFS ch.6 Base_Address : 0x4003_8600
MFS ch.7 Base_Address : 0x4003_8700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	SCR / IBCR[B,H,W] 0--0000	SMR[B,H,W] 000000-0
0x004	-	-	SSR[B,H,W] 0-00011	ESCR / IBSR[B,H,W] 0000000
0x008	-	-	RDR/TDR[H,W] -----0 00000000	
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] --------	ISBA[B,H,W] --------
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000
0x01C - 0x0FC	-	-	-	-

MFS Noise Filter Cntrol Base_Address : 0x4003_8800

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	I2CDNF[B,H,W] 00000000	
0x004 - 0x0FC	-	-	-	-

CRC Base_Address : 0x4003_9000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W] -0000000
0x004	CRCINIT[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W] 11111111 11111111 11111111 11111111			

Watch Counter Base_Address : 0x4003_A000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	WCCR[B,H,W] 00--0000	WCRL[B,H,W] --000000	WCRD[B,H,W] --000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W] -----000 -------0	
0x014	-	-	-	CLK_EN[B,H,W] ------00
0x018 - 0xFFC	-	-	-	-

RTC Base_Address : 0x4003_B000

■ TYPE3/TYPE4/TYPE5 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1[B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR[B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR[B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS [B,H,W] -------0
0x024	-	-	WTCALEN[B,H,W] -------0	WTCAL [B,H,W] -0000000
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV [B,H,W] ----0000
0x02C - 0xFFC	-	-	-	-

■ TYPE6/TYPE7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1[B,H,W] 00000000 00000000 ---00000 -00000-0			
0x004	WTCR2[B,H,W] -------- -------- -----000 -------0			
0x008	WTBR[B,H,W] -------- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] -----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR[B,H,W] -------- ------00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] ------00	WTCLKS [B,H,W] -------0
0x024	-	WTCALEN[B,H,W] -------0	WTCAL [B,H,W] ------00 00000000	
0x028	-	-	WTDIVEN[B,H,W] ------00	WTDIV [B,H,W] ----0000
0x02C	-	-	-	WTCALPRD [B,H,W] --010011
0x030	-	-	-	WTCOSEL [B,H,W] -------0
0x034 - 0xFFC	-	-	-	-

EXT-Bus I/F Base_Address : 0x4003_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	MODE0[W] -------- -------- --000-00 00000000			
0x0004	MODE1[W] -------- -------- --000-00 00000000			
0x0008	MODE2[W] -------- -------- --000-00 00000000			
0x000C	MODE3[W] -------- -------- --000-00 00000000			
0x0010	MODE4[W] -------- -------- --000-00 00000001			
0x0014	MODE5[W] -------- -------- --000-00 00000000			
0x0018	MODE6[W] -------- -------- --000-00 00000000			
0x001C	MODE7[W] -------- -------- --000-00 00000000			
0x0020	TIM0[W] 00000101 01011111 11110000 00001111			
0x0024	TIM1[W] 00000101 01011111 11110000 00001111			
0x0028	TIM2[W] 00000101 01011111 11110000 00001111			
0x002C	TIM3[W] 00000101 01011111 11110000 00001111			
0x0030	TIM4[W] 00000101 01011111 11110000 00001111			
0x0034	TIM5[W] 00000101 01011111 11110000 00001111			
0x0038	TIM6[W] 00000101 01011111 11110000 00001111			
0x003C	TIM7[W] 00000101 01011111 11110000 00001111			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	AREA0[W] -------- -0001111 -------- 00000000			
0x0044	AREA1[W] -------- -0001111 -------- 00010000			
0x0048	AREA2[W] -------- -0001111 -------- 00100000			
0x004C	AREA3[W] -------- -0001111 -------- 00110000			
0x0050	AREA4[W] -------- -0001111 -------- 01000000			
0x0054	AREA5[W] -------- -0001111 -------- 01010000			
0x0058	AREA6[W] -------- -0001111 -------- 01100000			
0x005C	AREA7[W] -------- -0001111 -------- 01110000			
0x0060	ATIM0[W] -------- -------- ----0100 01011111			
0x0064	ATIM1[W] -------- -------- ----0100 01011111			
0x0068	ATIM2[W] -------- -------- ----0100 01011111			
0x006C	ATIM3[W] -------- -------- ----0100 01011111			
0x0070	ATIM4[W] -------- -------- ----0100 01011111			
0x0074	ATIM5[W] -------- -------- ----0100 01011111			
0x0078	ATIM6[W] -------- -------- ----0100 01011111			
0x007C	ATIM7[W] -------- -------- ----0100 01011111			
0x0080 - 0x02FC	-	-	-	-
0x0300	DCLKR[W] -------- -------- -------- ---00001			
0x0304 - 0x03FC	-	-	-	-

USB ch.0 Base_Address : 0x4004_0000
USB ch.1 Base_Address : 0x4005_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] ------00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	-	HTOKEN[B,H,W] 00000000
0x2120	-	-	UDCC[B,H,W] -------- 10100-00	
0x2124	-	-	EP0C[H,W] ------0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EP0IS[H,W] 10---1-- --------	
0x2148	-	-	EP0OS[H,W] 100--00- -XXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2160	-	-	EP0DTH[B,H,W] XXXXXXXX	EP0DTL[B,H,W] XXXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXXX	EP1DTL[B,H,W] XXXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXXX	EP2DTL[B,H,W] XXXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXXX	EP3DTL[B,H,W] XXXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXXX	EP4DTL[B,H,W] XXXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXXX	EP5DTL[B,H,W] XXXXXXXX
0x2178 - 0x217C	-	-	-	-

DMAC Base_Address : 0x4006_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	DMACR[B,H,W] 00-00000 -------- -------- --------			
0x0010	DMACA0[B,H,W] 00000000 0---0000 00000000 00000000			
0x0014	DMACB0[B,H,W] --000000 00000000 00000000 -------0			
0x0018	DMACSA0[B,H,W] 00000000 00000000 00000000 00000000			
0x001C	DMACDA0[B,H,W] 00000000 00000000 00000000 00000000			
0x0020	DMACA1[B,H,W] 00000000 0---0000 00000000 00000000			
0x0024	DMACB1[B,H,W] --000000 00000000 00000000 -------0			
0x0028	DMACSA1[B,H,W] 00000000 00000000 00000000 00000000			
0x002C	DMACDA1[B,H,W] 00000000 00000000 00000000 00000000			
0x0030	DMACA2[B,H,W] 00000000 0---0000 00000000 00000000			
0x0034	DMACB2[B,H,W] --000000 00000000 00000000 -------0			
0x0038	DMACSA2[B,H,W] 00000000 00000000 00000000 00000000			
0x003C	DMACDA2[B,H,W] 00000000 00000000 00000000 00000000			
0x0040	DMACA3[B,H,W] 00000000 0---0000 00000000 00000000			
0x0044	DMACB3[B,H,W] --000000 00000000 00000000 -------0			
0x0048	DMACSA3[B,H,W] 00000000 00000000 00000000 00000000			
0x004C	DMACDA3[B,H,W] 00000000 00000000 00000000 00000000			
0x0050	DMACA4[B,H,W] 00000000 0---0000 00000000 00000000			
0x0054	DMACB4[B,H,W] --000000 00000000 00000000 -------0			
0x0058	DMACSA4[B,H,W] 00000000 00000000 00000000 00000000			
0x005C	DMACDA4[B,H,W] 00000000 00000000 00000000 00000000			
0x0060	DMACA5[B,H,W] 00000000 0---0000 00000000 00000000			
0x0064	DMACB5[B,H,W] --000000 00000000 00000000 -------0			
0x0068	DMACSA5[B,H,W] 00000000 00000000 00000000 00000000			
0x006C	DMACDA5[B,H,W] 00000000 00000000 00000000 00000000			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0070	DMACA6[B,H,W] 00000000 0---0000 00000000 00000000			
0x0074	DMACB6[B,H,W] --000000 00000000 00000000 -------0			
0x0078	DMACSA6[B,H,W] 00000000 00000000 00000000 00000000			
0x007C	DMACDA6[B,H,W] 00000000 00000000 00000000 00000000			
0x0080	DMACA7[B,H,W] 00000000 0---0000 00000000 00000000			
0x0084	DMACB7[B,H,W] --000000 00000000 00000000 -------0			
0x0088	DMACSA7[B,H,W] 00000000 00000000 00000000 00000000			
0x008C	DMACDA7[B,H,W] 00000000 00000000 00000000 00000000			
0x0090 - 0x00FC	-	-	-	-

CAN ch.0 Base_Address : 0x4006_2000
CAN ch.1 Base_Address : 0x4006_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	STATR[B,H,W] -------- 00000000		CTRLR[B,H,W] -------- 000-0001	
0x0004	BTR[B,H,W] -0100011 00000001		ERRCNT[B,H,W] 00000000 00000000	
0x0008	TESTR[B,H,W] -------- X00000--		INTR[B,H,W] 00000000 00000000	
0x000C	-	-	BRPER[B,H,W] -------- ----0000	
0x0010	IF1CMSK[B,H,W] -------- 00000000		IF1CREQ[B,H,W] 0------- 00000001	
0x0014	IF1MSK2[B,H,W] 11-11111 11111111		IF1MSK1[B,H,W] 11111111 11111111	
0x0018	IF1ARB2[B,H,W] 00000000 00000000		IF1ARB1[B,H,W] 00000000 00000000	
0x001C	-	-	IF1MCTR[B,H,W] 00000000 0---0000	
0x0020	IF1DTA2[B,H,W] 00000000 00000000		IF1DTA1[B,H,W] 00000000 00000000	
0x0024	IF1DTB2[B,H,W] 00000000 00000000		IF1DTB1[B,H,W] 00000000 00000000	
0x0028 - 0x002F	-	-	-	-
0x0030	IF1DTA1[B,H,W] 00000000 00000000		IF1DTA2[B,H,W] 00000000 00000000	
0x0034	IF1DTB1[B,H,W] 00000000 00000000		IF1DTB2[B,H,W] 00000000 00000000	
0x0038 - 0x003C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	IF2CMSK[B,H,W] -------- 00000000		IF2CREQ[B,H,W] 0------- 00000001	
0x0044	IF2MSK2[B,H,W] 11-11111 11111111		IF2MSK1[B,H,W] 11111111 11111111	
0x0048	IF2ARB2[B,H,W] 00000000 00000000		IF2ARB1[B,H,W] 00000000 00000000	
0x004C	-	-	IF2MCTR[B,H,W] 00000000 0---0000	
0x0050	IF2DTA2[B,H,W] 00000000 00000000		IF2DTA1[B,H,W] 00000000 00000000	
0x0054	IF2DTB2[B,H,W] 00000000 00000000		IF2DTB1[B,H,W] 00000000 00000000	
0x0058 - 0x005C	-	-	-	-
0x0060	IF2DTA1[B,H,W] 00000000 00000000		IF2DTA2[B,H,W] 00000000 00000000	
0x0064	IF2DTB1[B,H,W] 00000000 00000000		IF2DTB2[B,H,W] 00000000 00000000	
0x0068 - 0x007C	-	-	-	-
0x0080	TREQR2[B,H,W] 00000000 00000000		TREQR1[B,H,W] 00000000 00000000	
0x0084 - 0x008F	-	-	-	-
0x0090	NEWDT2[B,H,W] 00000000 00000000		NEWDT1[B,H,W] 00000000 00000000	
0x0094 - 0x009F	-	-	-	-
0x00A0	INTPND2[B,H,W] 00000000 00000000		INTPND1[B,H,W] 00000000 00000000	
0x00A4 - 0x00AF	-	-	-	-
0x00B0	MSGVAL2[B,H,W] 00000000 00000000		MSGVAL1[B,H,W] 00000000 00000000	
0x00B4 - 0x0FFC	-	-	-	-

Ethernet-MAC ch.0 Base_Address : 0x4006_4000
Ethernet-MAC ch.1 Base_Address : 0x4006_7000

＜注意事項＞

Ethernet-MAC 部のレジスタ詳細は『ペリフェラルマニュアル Ethernet 編』を参照してください。

Ethernet-Control Base_Address : 0x4006_6000

＜注意事項＞

Ethernet-Control 部のレジスタ詳細は『ペリフェラルマニュアル Ethernet 編』を参照してください。

WorkFlash_IF Base_Address : 0x200E_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WFASZR[B,H,W]			
0x004	WFRWTR[B,H,W]			
0x008	WFSTR[B,H,W]			
0x00C - 0xFFF	-	-	-	-

＜注意事項＞

WorkFlash_IF 部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

B. 注意事項一覧

各機能仕様の注意事項について示します。

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

管理コード: 9BPRECAUTION-J01.3

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。
高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。

また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

■ 機能マクロへの影響

項目	機能/モード	影響
ベースクロック	HCLK/FCLK	高速 CR クロックの最大周波数において、ベースクロック周波数は、ご使用する製品の『データシート』に記載されているベースクロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	－	各規格で規定されている周波数精度を満たせないため、使用できません。
Ethernet-MAC		
CAN		
マルチファンクションシリアルインタフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差を持つので、ボーレート誤差範囲を超える場合は使用できません。
	CSIO	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	I2C	
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。 スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差を持つので、ボーレート誤差範囲を超える場合は使用できません。

項目	機能/モード	影響
デバッグインタフェース	シリアルワイヤ	高速 CR クロックの周波数変動により、SWV(シリアルワイヤビュー)が使用できない場合があります。
フラッシュメモリ	シリアル書込み	TYPE0，TYPE1，TYPE2，TYPE4 製品ではシリアル書込みは行えません。 シリアル書込みを行うには、X0/X1 端子へのクロック供給が必要です。
外部バスインタフェース	クロック出力	外バスクロック出力を使用する場合、接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。

C. 制限事項一覧

各製品の相違点について示します。

1. TYPE0 製品 制限事項一覧
2. TYPE1 製品 制限事項一覧

管理コード: 9BLIMITIONS-J02.0

1. TYPE0 製品 制限事項一覧

MB9A100A,MB9B500A/400A/300A/100A シリーズ, MB9A100,MB9B500/400/300/100 シリーズの相違点を表に示します。

表中の「項目」は本書の記載内容です。

項目	内容
タイマ編 1.6.7 ハードウェア ウォッチドッグタイマ ロードレジスタ (WDG_LDR)	『6.7. ハードウェアウォッチドッグタイマ ロードレジスタ』の<注意事項>に、以下の制限事項を追加。 ・ハードウェアウォッチドッグタイマのリロード期間中*(カウンタリロード後の低速 CR 4 サイクル期間)に、WDG_LDR へ再度書込みが行われた場合、その書込みは無視されます。 WDG_LDR への書込みが反映されたかどうかは、当該レジスタのソフトウェア読出しにて確認してください。 *: カウンタのリロード条件 1. ウォッチドッグタイマのクリア(WDG_ICL レジスタへの書込み) 2. WDG_LDR への書込み
タイマ編 1.6.9 ハードウェア ウォッチドッグタイマ 制御レジスタ (WDG_CTL)	『6.9. ハードウェアウォッチドッグタイマ 制御レジスタ』の<注意事項>に、以下の制限事項を追加。 WDG_CTL レジスタの INTEN(ウォッチドッグカウンタ イネーブル)ビットへの"0"書込み後、低速 CR(50kHz～150kHz)で 2 サイクル以内に再度"1"を書き込んだ場合に、WDG_LDR からのカウント値のリロードがされないまま動作を再開する可能性があります。 INTEN ビットを"0"にしてから再度"1"にする場合は必ず低速 CR の 2 クロック分を確保してから行ってください。または、INTEN に"1"を書込み後、すぐに WDG_ICL レジスタにてタイマをクリアして、リロードを実行してください。
タイマ編 3-2 時計カウンタ	『CHAPTER 3-2: 時計カウンタ』に、以下の制限事項を追加。 ※MB9A100,MB9B500/400/300/100 シリーズのみの制限事項です。 サブタイマモードもしくは低速 CR タイマモードにおいて、サブ水晶発振による時計カウンタを使用している場合、割込みによる復帰時に低速 CR ×35cycle(Typ 350μs)時計カウンタが引き伸ばされ、実時間に対してカウント値にずれが生じます。 サブスリープモードもしくは低速 CR スリープモードでは、カウンタのずれは発生しません。
アナログマクロ編 1-3.5.13 サンプリング時間選択 レジスタ(ADSS)	『5.13. サンプリング時間選択レジスタ』に、以下の制限事項を追加。 本シリーズは、サンプリング時間設定レジスタ(ADST1)に設定されたサンプリング時間を使用することはできません。 サンプリング時間設定レジスタ(ADST0)に設定されたサンプリング時間のみを有効にしてください。 サンプリング時間選択レジスタ(ADSS0～ADSS3)の各ビット値は常に"0"を書き込んで使用してください。

項目	内容
通信マクロ編 1-2.7.9 1-3.5.9 1-4.6.9 1-5.5.12 FIFO バイトレジスタ(FBYTE)	1-2 章『7.9. FIFO バイトレジスタ(FBYTE)』、 1-3 章『5.9. FIFO バイトレジスタ(FBYTE)』、 1-4 章『6.9. FIFO バイトレジスタ(FBYTE)』、 1-5 章『5.12. FIFO バイトレジスタ(FBYTE)』に、以下の注意事項を追加 ・下記の条件をすべて満たす場合、受信 FIFO に FBYTE の設定数の有効なデータがあるにも関わらず、受信データフルフラグ(SSR:RDRF)が"1"に設定されません。なお、FBYTE の設定値が"2"以上の場合、本動作はおこりません。 ・FBYTE の設定値が"1" ・受信 FIFO の有効なデータ数が FBYTE の設定数と同じ"1"の場合 ・マルチファンクションシリアルインタフェースマクロがデータを受信し、受信 FIFO に受信データを書き込むとき、同時に受信 FIFO のデータの読出しを行った場合 ただし、その後、下記のいずれかの場合に受信データフルフラグ(SSR:RDRF)が"1"に設定されます。 ・次のデータを受信した場合 ・受信 FIFO アイドル許可(FCR:FRIIE=1)のとき、8 ビット時間以上の受信アイドル時間を検出した場合
通信マクロ編 3-1.2 ■USB ファンクションのエンドポイント構成	『■USB ファンクションのエンドポイント構成』に、以下の注意事項を追加。 USB ファンクションは ISO(アイソクロナス転送)をサポートしていません。 設定組み合わせの Comb1 のみ有効です。
通信マクロ編 3-1.3 DMA 転送機能	『■データ数自動転送モード』に、以下の制限事項を追加。 本シリーズは、IN 方向のデータ数自動転送モードでショートパケット転送を使用した場合、DMA 転送が終了してもパケット送信が始まらないことがあります。 また、DMA 転送の転送元と転送先を共に USB に設定することは禁止です。 [回避策] CPU で転送を行ってください。
通信マクロ編 3-1.3.7 NULL 転送機能 通信マクロ編 3-1.5.3 EP1～5 制御レジスタ(EP1C～EP5C)	NULL 転送モードの制限事項として、以下の説明文を追加。 本シリーズは、NULL 転送モードを使用した場合、DMA 転送終了後に NULL 転送が行われないことがありますので、EP1C～EP5C.NULL="0"で使用してください。 [回避策] NULL 転送を行う場合は、DMAE=0 に設定し、バッファデータを書き込まないで DRQ ビットをクリアして NULL 転送を行ってください。 「22-1.5.9. EP1～5 ステータスレジスタ(EP1S～EP5S)」の[bit10] DRQ ビットの＜注意事項＞を参照してください。

<table>
<tr><th>項目</th><th>内容</th></tr>
<tr><td>通信マクロ編 3-1.5.3
EP1～5 制御レジスタ
(EP1C～EP5C)</td><td>[bit14:13]TYPE エンドポイント転送タイプは以下をサポートしています。
<table><tr><th>TYPE</th><th>動作モード</th></tr><tr><td>00</td><td>指定禁止</td></tr><tr><td>01</td><td>指定禁止</td></tr><tr><td>10</td><td>Bulk 転送</td></tr><tr><td>11</td><td>Interrupt 転送</td></tr></table></td></tr>
<tr><td>通信マクロ編 3-1.5.10
EP0～5 データレジスタ
(EP0DTH～EP5DTH/
EP0DTL～EP5DTL)</td><td>『5.10. EP0～5 データレジスタ』に、以下の制限事項を追加。

本シリーズは、AHB バス上で上記レジスタへの連続リードアクセスが発生した場合、リードデータが不定になります。

[回避策]
連続リードが起きないようにプログラミングしてください。C 言語にてプログラミングを行う場合、コンパイラのオプションなどによる最適化により、意図せず AHB 上で連続リードアクセスが発生する可能性があります。
回避例については「■添付資料 1」を参照してください。</td></tr>
</table>

2. TYPE1 製品 制限事項一覧

MB9A002,MB9A310,MB9A110 シリーズの相違点を表に示します。

表中の「項目」は本書の記載内容です。

項目	内容
通信マクロ編 1-2.7.9 1-3.5.9 1-4.6.9 1-5.5.12 FIFO バイトレジスタ(FBYTE)	1-2 章『7.9. FIFO バイトレジスタ(FBYTE)』、 1-3 章『5.9. FIFO バイトレジスタ(FBYTE)』、 1-4 章『6.9. FIFO バイトレジスタ(FBYTE)』、 1-5 章『5.12. FIFO バイトレジスタ(FBYTE)』に、以下の注意事項を追加 ・下記の条件をすべて満たす場合、受信 FIFO に FBYTE の設定数の有効なデータがあるにも関わらず、受信データフルフラグ(SSR:RDRF)が"1"に設定されません。なお、FBYTE の設定値が"2"以上の場合、本動作はおこりません。 ・FBYTE の設定値が"1" ・受信 FIFO の有効なデータ数が FBYTE の設定数と同じ"1"の場合 ・マルチファンクションシリアルインタフェースマクロがデータを受信し、受信 FIFO に受信データを書き込むとき、同時に受信 FIFO のデータの読出しを行った場合 ただし、その後、下記のいずれかの場合に受信データフルフラグ(SSR:RDRF)が"1"に設定されます。 ・次のデータを受信した場合 ・受信 FIFO アイドル許可(FCR:FRIIE=1)のとき、8 ビット時間以上の受信アイドル時間を検出した場合

■ 添付資料 1

例) 以下の C ソースコードをコンパイルすると、コンパイラオプションなどにより最適化されて連続リードアクセスが発生する場合があります。

```
void do_ep0o(void)
{
        int i;
        int length;
        unsigned int b0,b1,b2,b3;

        b0 = (unsigned int)IO_EP0DT;
        b1 = (unsigned int)IO_EP0DT;
        b2 = (unsigned int)IO_EP0DT;
        b3 = (unsigned int)IO_EP0DT;
        buffer[0] = (unsigned short)b0;
        buffer[1] = (unsigned short)b1;
        buffer[2] = (unsigned short)b2;
        buffer[3] = (unsigned short)b3;
}
```

以下は回避方法です(記述どおりに処理を実行させます)。

```
void do_ep0o(void)
{
        int i;
        int length;
        volatile int b0;

        b0 = (unsigned int)IO_EP0DT;
        buffer[0] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[1] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[2] = (unsigned short)b0;
        b0 = (unsigned int)IO_EP0DT;
        buffer[3] = (unsigned short)b0;
}
```

D. 製品 TYPE 一覧

製品 TYPE について示します。

1. 製品 TYPE 一覧

管理コード: 9xTYPE_LIST-J03.0

1. 製品 TYPE 一覧

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。
本書内の"TYPE0"などの表記は、以下の一覧の製品に置き換えてお読みください。

表 1 TYPE0 型格一覧

本書での表記	フラッシュメモリサイズ			
	512Kbyte	384Kbyte	256Kbyte	128Kbyte
TYPE0	MB9BF506N MB9BF506R MB9BF506NA MB9BF506RA MB9BF506NB MB9BF506RB	MB9BF505N MB9BF505R MB9BF505NA MB9BF505RA MB9BF505NB MB9BF505RB	MB9BF504N MB9BF504R MB9BF504NA MB9BF504RA MB9BF504NB MB9BF504RB	-
	MB9BF406N MB9BF406R MB9BF406NA MB9BF406RA	MB9BF405N MB9BF405R MB9BF405NA MB9BF405RA	MB9BF404N MB9BF404R MB9BF404NA MB9BF404RA	-
	MB9BF306N MB9BF306R MB9BF306NA MB9BF306RA MB9BF306NB MB9BF306RB	MB9BF305N MB9BF305R MB9BF305NA MB9BF305RA MB9BF305NB MB9BF305RB	MB9BF304N MB9BF304R MB9BF304NA MB9BF304RA MB9BF304NB MB9BF304RB	-
	MB9BF106N MB9BF106R MB9BF106NA MB9BF106RA	MB9BF105N MB9BF105R MB9BF105NA MB9BF105RA	MB9BF104N MB9BF104R MB9BF104NA MB9BF104RA	MB9BF102N MB9BF102R MB9BF102NA MB9BF102RA
	-	MB9AF105N MB9AF105R MB9AF105NA MB9AF105RA	MB9AF104N MB9AF104R MB9AF104NA MB9AF104RA	MB9AF102N MB9AF102R MB9AF102NA MB9AF102RA

表 2 TYPE1 型格一覧

本書での表記	フラッシュメモリサイズ				
	512Kbyte	384Kbyte	256Kbyte	128Kbyte	64Kbyte
TYPE1	MB9AF316M MB9AF316N	MB9AF315M MB9AF315N	MB9AF314L MB9AF314M MB9AF314N	MB9AF312L MB9AF312M MB9AF312N	MB9AF311L MB9AF311M MB9AF311N
	MB9AF116M MB9AF116N	MB9AF115M MB9AF115N	MB9AF114L MB9AF114M MB9AF114N	MB9AF112L MB9AF112M MB9AF112N	MB9AF111L MB9AF111M MB9AF111N

表 3 TYPE2 型格一覧

本書での表記	フラッシュメモリサイズ		
	1Mbyte	768Kbyte	512Kbyte
TYPE2	MB9BFD18S MB9BFD18T	MB9BFD17S MB9BFD17T	MB9BFD16S MB9BFD16T
	MB9BF618S MB9BF618T	MB9BF617S MB9BF617T	MB9BF616S MB9BF616T
	MB9BF518S MB9BF518T	MB9BF517S MB9BF517T	MB9BF516S MB9BF516T
	MB9BF418S MB9BF418T	MB9BF417S MB9BF417T	MB9BF416S MB9BF416T
	MB9BF318S MB9BF318T	MB9BF317S MB9BF317T	MB9BF316S MB9BF316T
	MB9BF218S MB9BF218T	MB9BF217S MB9BF217T	MB9BF216S MB9BF216T
	MB9BF118S MB9BF118T	MB9BF117S MB9BF117T	MB9BF116S MB9BF116T

表 4 TYPE3 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE3	MB9AF132K MB9AF132L	MB9AF131K MB9AF131L
	MB9AF132KA MB9AF132LA	MB9AF131KA MB9AF131LA

表 5 TYPE4 型格一覧

本書での表記	フラッシュメモリサイズ			
	512Kbyte	384Kbyte	256Kbyte	128Kbyte
TYPE4	MB9BF516N MB9BF516R	MB9BF515N MB9BF515R	MB9BF514N MB9BF514R	MB9BF512N MB9BF512R
	MB9BF416N MB9BF416R	MB9BF415N MB9BF415R	MB9BF414N MB9BF414R	MB9BF412N MB9BF412R
	MB9BF316N MB9BF316R	MB9BF315N MB9BF315R	MB9BF314N MB9BF314R	MB9BF312N MB9BF312R
	MB9BF116N MB9BF116R	MB9BF115N MB9BF115R	MB9BF114N MB9BF114R	MB9BF112N MB9BF112R

表 6 TYPE5 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE5	MB9AF312K	MB9AF311K
	MB9AF112K	MB9AF111K

表 7 TYPE6 型格一覧

本書での表記	フラッシュメモリサイズ		
	256Kbyte	128Kbyte	64Kbyte
TYPE6	MB9AFB44L MB9AFB44M MB9AFB44N	MB9AFB42L MB9AFB42M MB9AFB42N	MB9AFB41L MB9AFB41M MB9AFB41N
	MB9AFA44L MB9AFA44M MB9AFA44N	MB9AFA42L MB9AFA42M MB9AFA42N	MB9AFA41L MB9AFA41M MB9AFA41N
	MB9AF344L MB9AF344M MB9AF344N	MB9AF342L MB9AF342M MB9AF342N	MB9AF341L MB9AF341M MB9AF341N
	MB9AF144L MB9AF144M MB9AF144N	MB9AF142L MB9AF142M MB9AF142N	MB9AF141L MB9AF141M MB9AF141N

表 8 TYPE7 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE7	MB9AFA32L MB9AFA32M MB9AFA32N	MB9AFA31L MB9AFA31M MB9AFA31N
	MB9AF132M MB9AF132N	MB9AF131M MB9AF131N

MN706-00024-1v0-J

FUJITSU SEMICONDUCTOR・CONTROLLER MANUAL

32 ビット・マイクロコントローラ

FM3 ファミリ

ペリフェラルマニュアル 通信マクロ編

2012 年 3 月第 1 版発行

発行　富士通セミコンダクター株式会社

編集　企画部　プロモーション推進部