



32 ビット・マイクロコントローラ  
FM3 ファミリ  
ペリフェラルマニュアル

富士通セミコンダクターのマイコンを効率的に開発するための情報を下記 URL にてご紹介いたします。  
ご採用を検討中、またはご採用いただいたお客様に有益な情報を公開しています。

<http://edevice.fujitsu.com/micom/jp-support/>

富士通セミコンダクター株式会社



# はじめに

富士通セミコンダクター製品につきまして、平素より格別のご愛顧を賜り厚くお礼申し上げます。

本ファミリをご利用になる前に、本書およびご使用する製品の『データシート』をご一読ください。

## ■ 本書の目的と対象読者

本書は、実際に本ファミリを使用して製品を開発される技術者を対象に、本ファミリの機能や動作、使い方について解説しています。アナログマクロ、タイマ、通信マクロに関する記述は、別冊のペリフェラルマニュアルを参照してください。

※ 本マニュアルは周辺機能の構成および動作を説明するものであり、各デバイスの仕様を説明するものではありません。

デバイス仕様の詳細については、それぞれのデータシートを参照してください。

## ■ 商標

ARM is the registered trademark of ARM Limited in the EU and other countries.

Cortex is trademark of ARM Limited in the EU and other countries.

その他の社名および製品名は各社の商標もしくは登録商標です。

## ■ サンプルプログラムおよび開発環境

FM3 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本シリーズで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

- マイコンサポート情報

<http://edevice.fujitsu.com/micom/jp-support/>

\*：サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。

また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

## ■ 本書の全体構成

ペリフェラルマニュアルには、以下に示す 15 つの章および APPENDICES から構成されています。

CHAPTER 1：システム概要

CHAPTER 2-1：クロック

CHAPTER 2-2：高速 CR トリミング

CHAPTER 3：クロック監視機能

CHAPTER 4：リセット

CHAPTER 5-1：低電圧検出構成

CHAPTER 5-2：低電圧検出(A)

CHAPTER 5-3：低電圧検出(B)

CHAPTER 5-4：低電圧検出(C)

CHAPTER 6： 低消費電力モード

- CHAPTER 7-1 : 割込み構成
- CHAPTER 7-2 : 割込み(A)
- CHAPTER 7-3 : 割込み(B)
- CHAPTER 7-4 : 割込み(C)
- CHAPTER 8 : 外部割込み・NMI 制御部
- CHAPTER 9 : DMAC
- CHAPTER 10 : I/O ポート
- CHAPTER 11 : CRC (Cyclic Redundancy Check)
- CHAPTER 12 : 外部バスインターフェース
- CHAPTER 13 : デバッグインターフェース
- CHAPTER 14 : フラッシュメモリ
- CHAPTER 15 : ユニーク ID レジスタ
- APPENDIXES

- 本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。
- 本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。したがいまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。
- 本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができるとの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。
- 本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。
- 半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。
- 本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。
- 本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。

## 関連マニュアル

本ファミリに関連するマニュアルを示します。状況に応じて必要なマニュアルを参照してください。

本書に記載したマニュアルの内容は予告なく変更することがあります。最新版をお問い合わせください。

### ■ ペリフェラルマニュアル

- ・ FM3 ファミリ ペリフェラルマニュアル (本書)  
(以降、『ペリフェラルマニュアル』とよびます。)
- ・ FM3 ファミリ ペリフェラルマニュアル タイマ編  
(以降、『タイマ編』とよびます。)
- ・ FM3 ファミリ ペリフェラルマニュアル アナログマクロ編  
(以降、『アナログマクロ編』とよびます。)
- ・ FM3 ファミリ ペリフェラルマニュアル 通信マクロ編  
(以降、『通信マクロ編』とよびます。)
- ・ FM3 ファミリ ペリフェラルマニュアル Ethernet 編  
(以降、『Ethernet 編』とよびます。)

### ■ データシート

デバイス仕様、電気的特性、外形寸法、オーダ型格などの詳細は以下を参照してください。

- ・ 32 ビット FM3 ファミリ DATA SHEET

※ データシートはシリーズごとに用意されています。

お使いのシリーズ用のデータシートを参照してください。

### ■ CPU プログラミングマニュアル

ARM Cortex-M3 コアの詳細は <http://www.arm.com/> から入手できる以下を参照してください。

- ・ Cortex-M3 テクニカルリファレンスマニュアル
- ・ ARMv7-M アーキテクチャ アプリケーション レベル リファレンス マニュアル

### ■ フラッシュプログラミングマニュアル

内蔵されているフラッシュメモリの機能や動作の詳細は以下を参照してください。

- ・ FM3 ファミリ フラッシュプログラミングマニュアル

※本マニュアルはシリーズごとに用意されています。

お使いのシリーズ用のマニュアルを参照してください。

# 本書の使い方

## ■ 機能の探し方

本書では次の方法で、使いたい機能の説明を探すことができます。

- ・ 目次から探す  
本書の内容を記載順に示します。
- ・ レジスタから探す  
本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『APPENDICES』の『A.レジスタマップ』を参照してください。

## ■ 章について

本書では、基本的に1つの周辺機能を1つの章で説明しています。

## ■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32ビット単位でのアクセスを指します。
ハーフワード	16ビット単位でのアクセスを指します。
バイト	8ビット単位でのアクセスを指します。

## ■ 表記について

- ・ 本書のレジスタ説明中のビット構成図では以下のように表記しています。

- ・ bit : ビット番号
- ・ Field : ビットフィールド名
- ・ 属性 : 各ビットのリード、ライト属性
  - ・ R : リードオンリ
  - ・ W : ライトオンリ
  - ・ R/W : リード・ライト可能
  - ・ - : 未定義
- ・ 初期値: リセット直後のレジスタ初期値
  - ・ 0 : 初期値"0"
  - ・ 1 : 初期値"1"
  - ・ X : 初期値不定

- ・ 本書では、複数のビットを以下のように表記しています。

例 : bit7 から bit0 の場合は bit7:0

- ・ 本書では、アドレスなどの数値を以下のように表記しています。

- ・ 16進数 : プレフィックス(接頭辞)として"0x"を付けて表記しています(例 : 0xFFFF)。
- ・ 2進数 : プレフィックス(接頭辞)として"0b"を付けて表記しています(例 : 0b1111)。
- ・ 10進数 : 数値だけで表記しています(例 : 1000)。

## ■ 本マニュアルにおける対象製品

- ・本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。  
本書内の"TYPE0"などの表記は、以下の一覧の製品に置き換えてお読みください。

表 1 TYPE0 型格一覧

本書での表記	フラッシュメモリサイズ			
	512Kbyte	384Kbyte	256Kbyte	128Kbyte
TYPE0	MB9BF506N MB9BF506R MB9BF506NA MB9BF506RA MB9BF506NB MB9BF506RB	MB9BF505N MB9BF505R MB9BF505NA MB9BF505RA MB9BF505NB MB9BF505RB	MB9BF504N MB9BF504R MB9BF504NA MB9BF504RA MB9BF504NB MB9BF504RB	-
	MB9BF406N MB9BF406R MB9BF406NA MB9BF406RA	MB9BF405N MB9BF405R MB9BF405NA MB9BF405RA	MB9BF404N MB9BF404R MB9BF404NA MB9BF404RA	-
	MB9BF306N MB9BF306R MB9BF306NA MB9BF306RA MB9BF306NB MB9BF306RB	MB9BF305N MB9BF305R MB9BF305NA MB9BF305RA MB9BF305NB MB9BF305RB	MB9BF304N MB9BF304R MB9BF304NA MB9BF304RA MB9BF304NB MB9BF304RB	-
	MB9BF106N MB9BF106R MB9BF106NA MB9BF106RA	MB9BF105N MB9BF105R MB9BF105NA MB9BF105RA	MB9BF104N MB9BF104R MB9BF104NA MB9BF104RA	MB9BF102N MB9BF102R MB9BF102NA MB9BF102RA
	-	MB9AF105N MB9AF105R MB9AF105NA MB9AF105RA	MB9AF104N MB9AF104R MB9AF104NA MB9AF104RA	MB9AF102N MB9AF102R MB9AF102NA MB9AF102RA
	-	-	-	-
	-	-	-	-
	-	-	-	-
	-	-	-	-
	-	-	-	-

表 2 TYPE1 型格一覧

本書での表記	フラッシュメモリサイズ				
	512Kbyte	384Kbyte	256Kbyte	128Kbyte	64Kbyte
TYPE1	MB9AF316M MB9AF316N	MB9AF315M MB9AF315N	MB9AF314L MB9AF314M MB9AF314N	MB9AF312L MB9AF312M MB9AF312N	MB9AF311L MB9AF311M MB9AF311N
	MB9AF116M MB9AF116N	MB9AF115M MB9AF115N	MB9AF114L MB9AF114M MB9AF114N	MB9AF112L MB9AF112M MB9AF112N	MB9AF111L MB9AF111M MB9AF111N

表 3 TYPE2 型格一覧

本書での表記	フラッシュメモリサイズ		
	1Mbyte	768Kbyte	512Kbyte
TYPE2	MB9BFD18S MB9BFD18T	MB9BFD17S MB9BFD17T	MB9BFD16S MB9BFD16T
	MB9BF618S MB9BF618T	MB9BF617S MB9BF617T	MB9BF616S MB9BF616T
	MB9BF518S MB9BF518T	MB9BF517S MB9BF517T	MB9BF516S MB9BF516T
	MB9BF418S MB9BF418T	MB9BF417S MB9BF417T	MB9BF416S MB9BF416T
	MB9BF318S MB9BF318T	MB9BF317S MB9BF317T	MB9BF316S MB9BF316T
	MB9BF218S MB9BF218T	MB9BF217S MB9BF217T	MB9BF216S MB9BF216T
	MB9BF118S MB9BF118T	MB9BF117S MB9BF117T	MB9BF116S MB9BF116T

表 4 TYPE3 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE3	MB9AF132K MB9AF132L	MB9AF131K MB9AF131L
	MB9AF132KA MB9AF132LA	MB9AF131KA MB9AF131LA

表 5 TYPE4 型格一覧

本書での表記	フラッシュメモリサイズ			
	512Kbyte	384Kbyte	256Kbyte	128Kbyte
TYPE4	MB9BF516N MB9BF516R	MB9BF515N MB9BF515R	MB9BF514N MB9BF514R	MB9BF512N MB9BF512R
	MB9BF416N MB9BF416R	MB9BF415N MB9BF415R	MB9BF414N MB9BF414R	MB9BF412N MB9BF412R
	MB9BF316N MB9BF316R	MB9BF315N MB9BF315R	MB9BF314N MB9BF314R	MB9BF312N MB9BF312R
	MB9BF116N MB9BF116R	MB9BF115N MB9BF115R	MB9BF114N MB9BF114R	MB9BF112N MB9BF112R

表 6 TYPE5 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE5	MB9AF312K	MB9AF311K
	MB9AF112K	MB9AF111K

表 7 TYPE6 型格一覧

本書での表記	フラッシュメモリサイズ		
	256Kbyte	128Kbyte	64Kbyte
TYPE6	MB9AFB44L	MB9AFB42L	MB9AFB41L
	MB9AFB44M	MB9AFB42M	MB9AFB41M
	MB9AFB44N	MB9AFB42N	MB9AFB41N
	MB9AFA44L	MB9AFA42L	MB9AFA41L
	MB9AFA44M	MB9AFA42M	MB9AFA41M
	MB9AFA44N	MB9AFA42N	MB9AFA41N
	MB9AF344L	MB9AF342L	MB9AF341L
	MB9AF344M	MB9AF342M	MB9AF341M
	MB9AF344N	MB9AF342N	MB9AF341N
	MB9AF144L	MB9AF142L	MB9AF141L
	MB9AF144M	MB9AF142M	MB9AF141M
	MB9AF144N	MB9AF142N	MB9AF141N

表 8 TYPE7 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE7	MB9AFA32L	MB9AFA31L
	MB9AFA32M	MB9AFA31M
	MB9AFA32N	MB9AFA31N
	MB9AF132M	MB9AF131M
	MB9AF132N	MB9AF131N

# 目次

CHAPTER 1: システム概要 .....	1
1. バス構成 .....	2
1.1. バス構成図 .....	4
1.2. メモリ構成 .....	5
1.3. メモリマップ .....	6
1.4. ペリフェラル・アドレスマップ .....	7
2. Cortex-M3 の構成 .....	10
3. モード .....	12
CHAPTER 2-1: クロック .....	15
1. クロック生成部 概要 .....	16
2. クロック生成部 構成・ブロックダイヤグラム .....	17
3. クロック生成部 動作説明 .....	21
3.1. クロックモード選択 .....	21
3.2. 内部バスクロック分周制御 .....	22
3.3. PLL クロック制御 .....	23
3.4. 発振安定待ち時間 .....	27
3.5. 割込み要因 .....	29
4. クロック設定手順例 .....	30
5. クロック生成部 レジスター一覧 .....	32
5.1. システムクロックモード制御レジスタ(SCM_CTL) .....	33
5.2. システムクロックモード状態レジスタ(SCM_STR) .....	35
5.3. ベースクロックプリスケーラレジスタ(BSC_PSR) .....	37
5.4. APB0 プリスケーラレジスタ(APBC0_PSR) .....	38
5.5. APB1 プリスケーラレジスタ(APBC1_PSR) .....	39
5.6. APB2 プリスケーラレジスタ(APBC2_PSR) .....	40
5.7. ソフトウェアウォッチドッグクロックプリスケーラレジスタ(SWC_PSR) .....	41
5.8. トレースクロックプリスケーラレジスタ(TTC_PSR) .....	42
5.9. クロック安定待ち時間レジスタ(CSW_TMR) .....	43
5.10. PLL クロック安定待ち時間設定レジスタ(PSW_TMR) .....	45
5.11. PLL 制御レジスタ 1(PLL_CTL1) .....	46
5.12. PLL 制御レジスタ 2(PLL_CTL2) .....	47
5.13. デバッグブレーク ウォッチドッグタイマ制御レジスタ(DBWDT_CTL) .....	49
5.14. 割込みイネーブルレジスタ(INT_ENR) .....	50
5.15. 割込み状態レジスタ(INT_STR) .....	51
5.16. 割込みクリアレジスタ(INT_CLR) .....	52
6. クロック生成部 使用上の注意点 .....	54
CHAPTER 2-2: 高速 CR トリミング .....	57
1. 高速 CR トリミング機能 概要 .....	58
2. 高速 CR トリミング機能 構成・ブロックダイヤグラム .....	59
3. 高速 CR トリミング機能 動作説明 .....	60

---

4. 高速 CR トリミング機能 設定手順例.....	61
5. 高速 CR トリミング機能 レジスター覧 .....	73
5.1. 高速 CR 発振 分周設定レジスタ(MCR_PSR) .....	74
5.2. 高速 CR 発振 周波数トリミング設定レジスタ(MCR_FTRM).....	76
5.3. 高速 CR 発振 レジスタ書き込み保護レジスタ(MCR_RLR) .....	80
6. 高速 CR トリミング機能 使用上の注意点.....	81
 CHAPTER 3: クロック監視機能.....	83
1. 概要 .....	84
2. 構成・ブロックダイヤグラム .....	85
3. 動作説明 .....	87
4. 設定手順例 .....	88
5. 動作例 .....	90
6. レジスター覧 .....	94
6.1. CSV 制御レジスタ(CSV_CTL).....	95
6.2. CSV 状態レジスタ(CSV_STR) .....	97
6.3. 周波数検出ウィンドウ設定レジスタ(上位)(FCSWH_CTL) .....	98
6.4. 周波数検出ウィンドウ設定レジスタ(下位)(FCSWL_CTL) .....	99
6.5. 周波数検出カウンタレジスタ(FCSWD_CTL).....	100
7. 使用上の注意.....	101
 CHAPTER 4: リセット .....	103
1. 概要 .....	104
2. 構成 .....	105
3. 動作説明 .....	106
3.1. リセット要因 .....	107
3.2. デバイス内部のリセット .....	112
3.2.1. Cortex-M3 へのリセット .....	113
3.2.2. 周辺回路へのリセット .....	114
3.3. リセットシーケンス .....	115
3.4. リセット解除後の動作 .....	117
4. レジスター .....	118
4.1. リセット要因レジスタ(RST_STR : ReSeT STatus Register).....	119
 CHAPTER 5-1: 低電圧検出構成 .....	123
1. 構成 .....	124
 CHAPTER 5-2: 低電圧検出(A).....	125
1. 概要 .....	126
2. 構成 .....	127
3. 動作説明 .....	129
4. 設定手順例 .....	132
5. レジスター .....	133
5.1. 低電圧検出電圧設定レジスタ(LVD_CTL) .....	134
5.2. 低電圧検出割込み要因レジスタ(LVD_STR) .....	136

---

5.3. 低電圧検出割込み要因クリアレジスタ(LVD_CLR) .....	137
5.4. 低電圧検出電圧保護レジスタ(LVD_RLR) .....	138
5.5. 低電圧検出回路状態レジスタ(LVD_STR2).....	139
<b>CHAPTER 5-3: 低電圧検出(B).....</b>	<b>141</b>
1. 概要 .....	142
2. 構成 .....	143
3. 動作説明 .....	145
4. 設定手順例 .....	148
5. レジスタ .....	150
5.1. 低電圧検出電圧設定レジスタ(LVD_CTL) .....	151
5.2. 低電圧検出割込み要因レジスタ(LVD_STR) .....	154
5.3. 低電圧検出割込み要因クリアレジスタ(LVD_CLR) .....	155
5.4. 低電圧検出電圧保護レジスタ(LVD_RLR) .....	156
5.5. 低電圧検出回路状態レジスタ(LVD_STR2).....	157
<b>CHAPTER 5-4: 低電圧検出(C).....</b>	<b>159</b>
1. 概要 .....	160
2. 構成 .....	161
3. 動作説明 .....	163
4. 設定手順例 .....	166
5. レジスタ .....	168
5.1. 低電圧検出電圧設定レジスタ(LVD_CTL) .....	169
5.2. 低電圧検出割込み要因レジスタ(LVD_STR) .....	173
5.3. 低電圧検出割込み要因クリアレジスタ(LVD_CLR) .....	174
5.4. 低電圧検出電圧保護レジスタ(LVD_RLR) .....	175
5.5. 低電圧検出回路状態レジスタ(LVD_STR2).....	176
<b>CHAPTER 6: 低消費電力モード .....</b>	<b>177</b>
1. 低消費電力モードの概要.....	178
2. CPU 動作モードの構成.....	184
3. スタンバイモードの動作説明 .....	191
3.1. スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ)の動作.....	194
3.2. タイマモード(高速 CR タイマ, メインタイマ, PLL タイマ, 低速 CR タイマ, サブタイマ)の動作 .....	196
3.3. RTC モードの動作 .....	199
3.4. ストップモードの動作 .....	202
4. スタンバイモードの設定手順例.....	205
5. ディープスタンバイモードの動作説明.....	211
5.1. ディープスタンバイ RTC モードの動作 .....	213
5.2. ディープスタンバイストップモードの動作 .....	215
6. ディープスタンバイモードの設定手順例 .....	217
7. ディープスタンバイ復帰要因判定の手順 .....	219
8. 低消費電力モードのレジスター一覧 .....	220

---

8.1. スタンバイモードコントロールレジスタ(STB_CTL).....	221
8.2. サブ発振回路電源制御レジスタ(REG_CTL) .....	223
8.3. サブクロック供給制御レジスタ(RCK_CTL) .....	224
8.4. RTC モード制御レジスタ(PMD_CTL) .....	225
8.5. ディープスタンバイ復帰要因レジスタ 1(WRFSR) .....	226
8.6. ディープスタンバイ復帰要因レジスタ 2(WIFSR) .....	227
8.7. ディープスタンバイ復帰許可レジスタ(WIER) .....	229
8.8. WKUP 端子入力レベルレジスタ(WILVR) .....	231
8.9. ディープスタンバイ RAM 保持レジスタ(DSRAMR) .....	232
8.10. バックアップレジスタ 01~16(BUR01~16).....	233
9. 使用上の注意.....	234
<b>CHAPTER 7-1: 割込み構成.....</b>	<b>235</b>
1. 構成 .....	236
<b>CHAPTER 7-2: 割込み(A).....</b>	<b>239</b>
1. 概要 .....	240
2. 構成 .....	241
3. 例外と割込み要因ベクタ .....	242
4. レジスタ .....	245
4.1. DMA 要求選択レジスタ (DRQSEL) .....	247
4.2. DMA 要求選択レジスタ (DRQSEL1) .....	250
4.3. DMA 要求拡張選択レジスタ (DQESEL) .....	251
4.4. EXC02 一括読出しレジスタ (EXC02MON) .....	254
4.5. IRQ00 一括読出しレジスタ (IRQ00MON) .....	255
4.6. IRQ01 一括読出しレジスタ (IRQ01MON) .....	256
4.7. IRQ02 一括読出しレジスタ (IRQ02MON) .....	257
4.8. IRQ03 一括読出しレジスタ (IRQ03MON) .....	258
4.9. IRQ04 一括読出しレジスタ (IRQ04MON) .....	260
4.10. IRQ05 一括読出しレジスタ (IRQ05MON) .....	261
4.11. IRQ06 一括読出しレジスタ (IRQ06MON) .....	263
4.12. IRQ07/09/11/13/15/17/19/21 一括読出しレジスタ (IRQxxMON) .....	266
4.13. IRQ08/10/12/14/16/18/20/22 一括読出しレジスタ (IRQxxMON) .....	267
4.14. IRQ23 一括読出しレジスタ (IRQ23MON) .....	268
4.15. IRQ24 一括読出しレジスタ (IRQ24MON) .....	269
4.16. IRQ25/26 一括読出しレジスタ (IRQxxMON) .....	271
4.17. IRQ27 一括読出しレジスタ (IRQ28MON) .....	272
4.18. IRQ28 一括読出しレジスタ (IRQ28MON) .....	273
4.19. IRQ29 一括読出しレジスタ (IRQ29MON) .....	275
4.20. IRQ30 一括読出しレジスタ (IRQ30MON) .....	277
4.21. IRQ31 一括読出しレジスタ (IRQ31MON) .....	279
4.22. IRQ32 一括読出しレジスタ (IRQ32MON) .....	281
4.23. IRQ33 一括読出しレジスタ (IRQ33MON) .....	282
4.24. IRQ34 一括読出しレジスタ (IRQ34MON) .....	283
4.25. IRQ35 一括読出しレジスタ (IRQ35MON) .....	284
4.26. IRQ36 一括読出しレジスタ (IRQ36MON) .....	285
4.27. IRQ37 一括読出しレジスタ (IRQ37MON) .....	286

---

4.28. IRQ38/39/40/41/42/43/44/45 一括読出しレジスタ (IRQxxMON) .....	288
4.29. IRQ46 一括読出しレジスタ (IRQ46MON) .....	289
4.30. IRQ47 一括読出しレジスタ (IRQ47MON) .....	291
4.31. USB ch.0 奇数パケットサイズ DMA 許可レジスタ (ODDPKS) .....	292
4.32. USB ch.1 奇数パケットサイズ DMA 許可レジスタ (ODDPKS1) .....	294
5. 使用上の注意 .....	296
 CHAPTER 7-3: 割込み(B).....	297
1. 概要 .....	298
2. 構成 .....	299
3. 例外と割込み要因ベクタ .....	300
4. レジスタ .....	303
4.1. DMA 要求選択レジスタ (DRQSEL) .....	305
4.2. EXC02 一括読出しレジスタ (EXC02MON) .....	308
4.3. IRQ00 一括読出しレジスタ (IRQ00MON) .....	309
4.4. IRQ01 一括読出しレジスタ (IRQ01MON) .....	310
4.5. IRQ02 一括読出しレジスタ (IRQ02MON) .....	311
4.6. IRQ03～IRQ10 一括読出しレジスタ (IRQ03MON～IRQ10MON).....	312
4.7. IRQ11/39/40 一括読出しレジスタ (IRQxxMON).....	313
4.8. IRQ12 一括読出しレジスタ(IRQ12MON) .....	314
4.9. IRQ13 一括読出しレジスタ(IRQ13MON) .....	315
4.10. IRQ14 一括読出しレジスタ (IRQ14MON) .....	317
4.11. IRQ15/16/17/18 一括読出しレジスタ(IRQxxMON).....	319
4.12. IRQ19/21/42/44 一括読出しレジスタ(IRQxxMON) .....	320
4.13. IRQ20/22/43/45 一括読出しレジスタ (IRQxxMON) .....	321
4.14. IRQ23 一括読出しレジスタ (IRQ23MON) .....	322
4.15. IRQ24 一括読出しレジスタ (IRQ24MON) .....	323
4.16. IRQ25/26 一括読出しレジスタ (IRQxxMON).....	325
4.17. IRQ27 一括読出しレジスタ (IRQxxMON).....	326
4.18. IRQ28/29/30 一括読出しレジスタ (IRQxxMON).....	327
4.19. IRQ31 一括読出しレジスタ (IRQ31MON) .....	329
4.20. IRQ32 一括読出しレジスタ (IRQ32MON) .....	331
4.21. IRQ33 一括読出しレジスタ (IRQ33MON) .....	332
4.22. IRQ34 一括読出しレジスタ (IRQ34MON) .....	333
4.23. IRQ35 一括読出しレジスタ (IRQ35MON) .....	334
4.24. IRQ36 一括読出しレジスタ (IRQ36MON) .....	335
4.25. IRQ37 一括読出しレジスタ (IRQ37MON) .....	336
4.26. IRQ38 一括読出しレジスタ (IRQ38MON) .....	338
4.27. IRQ41 一括読出しレジスタ (IRQ41MON) .....	339
4.28. IRQ46 一括読出しレジスタ (IRQ46MON) .....	340
4.29. IRQ47 一括読出しレジスタ (IRQ47MON) .....	342
4.30. USB ch.0 奇数パケットサイズ DMA 許可レジスタ (ODDPKS) .....	344
4.31. 割込み要因ベクタリロケート設定レジスタ (IRQCMODE).....	346
4.32. 割込み要因選択レジスタ 0(RCINTSEL0) .....	347
4.33. 割込み要因選択レジスタ 1(RCINTSEL1) .....	348
5. 使用上の注意 .....	350

---

CHAPTER 7-4: 割込み(C).....	351
1. 概要 .....	352
2. 構成 .....	353
3. 例外と割込み要因ベクタ .....	354
4. レジスタ .....	356
4.1. EXC02一括読出しレジスタ (EXC02MON) .....	358
4.2. IRQ00一括読出しレジスタ (IRQ00MON) .....	359
4.3. IRQ01一括読出しレジスタ (IRQ01MON) .....	360
4.4. IRQ02一括読出しレジスタ (IRQ02MON) .....	361
4.5. IRQ03一括読出しレジスタ (IRQ03MON) .....	362
4.6. IRQ04一括読出しレジスタ (IRQ04MON) .....	363
4.7. IRQ05一括読出しレジスタ (IRQ05MON) .....	364
4.8. IRQ06/08/10/12/14/16/18/20一括読出しレジスタ (IRQxxMON) .....	365
4.9. IRQ07/09/11/13/15/17/19/21一括読出しレジスタ (IRQxxMON) .....	366
4.10. IRQ22一括読出しレジスタ (IRQ22MON) .....	367
4.11. IRQ23一括読出しレジスタ (IRQ23MON) .....	368
4.12. IRQ24一括読出しレジスタ (IRQ24MON) .....	370
4.13. IRQ25一括読出しレジスタ (IRQ25MON) .....	371
4.14. IRQ26一括読出しレジスタ (IRQ26MON) .....	372
4.15. IRQ27一括読出しレジスタ (IRQ27MON) .....	373
4.16. IRQ28一括読出しレジスタ (IRQ28MON) .....	374
4.17. IRQ29一括読出しレジスタ (IRQ29MON) .....	376
4.18. IRQ30一括読出しレジスタ (IRQ30MON) .....	377
4.19. IRQ31一括読出しレジスタ (IRQ31MON) .....	378
5. 使用上の注意 .....	379
CHAPTER 8: 外部割込み・NMI 制御部 .....	381
1. 概要 .....	382
2. ブロックダイヤグラム .....	383
3. 動作説明および設定手順例 .....	384
3.1. 外部割込み制御部の動作 .....	385
3.2. NMI 制御部の動作 .....	387
3.3. タイマモードおよびストップモードからの復帰 .....	388
4. レジスタ .....	390
4.1. 外部割込み許可レジスタ(ENIR : ENable Interrupt request Register) .....	391
4.2. 外部割込み要因レジスタ(EIRR : External Interrupt Request Register) .....	392
4.3. 外部割込み要因クリアレジスタ(EICL: External Interrupt CLear register) .....	393
4.4. 外部割込み要求レベルレジスタ (ELVR : External interrupt LeVel Register) .....	394
4.5. 外部割込み要求レベルレジスタ 1 (ELVR1 : External interrupt LeVel Register 1) .....	395
4.6. マスク不能割込み要因レジスタ (NMIRR : Non Maskable Interrupt Request Register) .....	396
4.7. マスク不能割込み要因クリアレジスタ (NMICL: Non Maskable Interrupt CLear register) .....	397

---

CHAPTER 9: DMAC .....	399
1. DMAC の概要 .....	400
2. DMAC の構成 .....	401
2.1. DMAC とシステム構成 .....	402
2.2. DMAC の入出力信号 .....	404
3. DMAC の機能と動作 .....	407
3.1. ソフトウェア・Block 転送 .....	408
3.2. ソフトウェア・Burst 転送 .....	410
3.3. ハードウェア・Demand 転送 .....	411
3.4. ハードウェア・Block 転送/Burst 転送 .....	412
3.5. チャネル優先順位制御 .....	414
4. DMAC の制御 .....	415
4.1. DMAC 制御概要 .....	416
4.2. ソフトウェア転送時の DMAC 動作と制御手順 .....	417
4.3. ハードウェア(EM=0)転送時の DMAC 動作と制御手順 .....	424
4.4. ハードウェア(EM=1)転送時の DMAC 動作と制御手順 .....	433
5. DMAC のレジスタ .....	437
5.1. レジスター一覧 .....	438
5.2. DMAC 全体コンフィギュレーションレジスタ(DMACR) .....	439
5.3. コンフィギュレーション A レジスタ(DMACA) .....	441
5.4. コンフィギュレーション B レジスタ(DMACB) .....	444
5.5. 転送元アドレスレジスタ(DMACSA) .....	448
5.6. 転送先アドレスレジスタ(DMACDA) .....	449
6. 使用上の注意 .....	450
CHAPTER 10: I/O ポート .....	451
1. 概要 .....	452
2. 構成・ブロックダイヤグラム・動作説明 .....	453
3. 設定手順例 .....	462
4. レジスター一覧 .....	463
4.1. ポート機能設定レジスタ(PFRx) .....	467
4.2. プルアップ設定レジスタ(PCR <sub>x</sub> ) .....	469
4.3. ポート入出力方向設定レジスタ(DDR <sub>x</sub> ) .....	471
4.4. ポート入力データレジスタ(PDIR <sub>x</sub> ) .....	473
4.5. ポート出力データレジスタ x(PDOR <sub>x</sub> ) .....	475
4.6. アナログ入力設定レジスタ(ADE) .....	477
4.7. 拡張機能端子設定レジスタ(EPFR <sub>x</sub> ) .....	478
4.8. 拡張機能端子設定レジスタ 00(EPFR00) .....	479
4.9. 拡張機能端子設定レジスタ 01(EPFR01) .....	482
4.10. 拡張機能端子設定レジスタ 02(EPFR02) .....	487
4.11. 拡張機能端子設定レジスタ 03(EPFR03) .....	491
4.12. 拡張機能端子設定レジスタ 04(EPFR04) .....	497
4.13. 拡張機能端子設定レジスタ 05(EPFR05) .....	501
4.14. 拡張機能端子設定レジスタ 06(EPFR06) .....	505
4.15. 拡張機能端子設定レジスタ 07(EPFR07) .....	509
4.16. 拡張機能端子設定レジスタ 08(EPFR08) .....	513

---

4.17. 拡張機能端子設定レジスタ 09(EPFR09) .....	518
4.18. 拡張機能端子設定レジスタ 10(EPFR10) .....	522
4.19. 拡張機能端子設定レジスタ 11(EPFR11) .....	529
4.20. 拡張機能端子設定レジスタ 12(EPFR12) .....	535
4.21. 拡張機能端子設定レジスタ 13(EPFR13) .....	539
4.22. 拡張機能端子設定レジスタ 14(EPFR14) .....	543
4.23. 拡張機能端子設定レジスタ 15(EPFR15) .....	547
4.24. 特殊ポート設定レジスタ(SPSR) .....	551
4.25. ポート擬似オープンドレイン設定レジスタ(PZRx) .....	554
5. 使用上の注意 .....	556
CHAPTER 11: CRC (Cyclic Redundancy Check) .....	559
1. CRC の概要 .....	560
2. CRC の動作説明 .....	561
2.1. CRC 計算シーケンス .....	562
2.2. CRC 使用例 .....	563
3. CRC のレジスタ .....	567
3.1. CRC 制御レジスタ(CRCCR) .....	568
3.2. 初期値レジスタ(CRCINIT) .....	571
3.3. Input Data レジスタ(CRCIN) .....	572
3.4. CRC レジスタ(CRCR) .....	573
CHAPTER 12: 外部バスインターフェース .....	575
1. 外部バスインターフェースの概要 .....	576
2. ブロックダイヤグラム .....	578
3. 動作説明 .....	581
3.1. バスアクセスモード .....	582
3.2. SRAM, NOR フラッシュメモリアクセス .....	587
3.3. NAND フラッシュメモリアクセス .....	589
3.3.1. NAND フラッシュメモリに対するリードアクセス .....	590
3.3.2. ライト(自動プログラム)アクセス .....	591
3.3.3. 自動ブロック消去アクセス .....	592
3.4. 8 ビット NAND フラッシュメモリ リード/ライトコマンド発行 .....	593
3.5. 8 ビット NAND フラッシュメモリ ステータスリード .....	594
3.6. 8 ビット NAND フラッシュメモリ データライト .....	595
3.7. 自動ウェイト設定 .....	596
3.8. 外部 RDY .....	599
4. 接続例 .....	600
5. 設定手順例 .....	603
6. レジスタ .....	604
6.1. モードレジスタ 0~7 (MODE0~MODE7) .....	605
6.2. タイミングレジスタ 0~7 (TIM0~TIM7) .....	613
6.3. エリアレジスタ 0~7 (AREA0~AREA7) .....	617
6.4. ALE タイミングレジスタ 0~7 (ATIM0~ATIM7) .....	620
6.5. 分周クロックレジスタ (DCLKR) .....	622
7. 使用上の注意 .....	623

---

CHAPTER 13: デバッグインターフェース.....	625
1. 概要 .....	626
2. 端子説明 .....	627
2.1. デバッグ端子について .....	628
2.2. ETM 端子について .....	629
2.3. 端子の初期機能について .....	630
2.4. JTAG 端子の内部プルアップについて .....	631
CHAPTER 14: フラッシュメモリ .....	633
CHAPTER 15: ユニーク ID レジスタ .....	635
1. 概要 .....	636
2. レジスタ .....	637
2.1. ユニーク ID レジスタ 0 (UIDR0).....	638
2.2. ユニーク ID レジスタ 1 (UIDR1).....	639
APPENDIXES .....	641
A. レジスタマップ .....	642
1. レジスタマップ .....	643
B. 注意事項一覧 .....	689
1. 高速 CR クロックをマスタクロックに使用する場合の注意事項 .....	690
C. 制限事項一覧 .....	692
1. TYPE0 製品制限事項一覧 .....	693
2. TYPE1 製品制限事項一覧 .....	696
D. 製品 TYPE 一覧 .....	698
1. 製品 TYPE 一覧 .....	699



## 本版での主な変更内容

本版よりペリフェラルマニュアルから機能抜き出してを分冊(タイマ編, アナログマクロ編, 通信マクロ編)しております。

変更箇所は、本文中のページ左側の | によって示しています。

ページ	場所	変更箇所
-	-	TYPE6, TYPE7 を追加
6	CHAPTER 1: システム概要 1.3 メモリマップ	図 1-2 メモリマップを訂正
7~9	1.4 ペリフェラル・アドレスマップ	表 1-1 ペリフェラル・アドレスマップを訂正
26	CH1APTER 2-1: クロック 3.3 PLL クロック制御	「■メイン PLL クロック生成のための倍率設定」 表 3-4 に TYPE7 の設定例を追加 表 3-5 に TYPE6 の設定例を追加
59	CHAPTER 2-2: 高速 CR トリミング 2 高速 CR トリミング機能 構成・ブロックダイヤグラム	図 2-1 にベースタイマを追加 「■構成」の「●高速 CR 発振器」, 「●高速 CR トリミング制御回路/レジスタ部」, 「●多機能タイマ インプットキャプチャ/ベースタイマ」のベースタイマの説明文を追加
62, 64~67	4 高速 CR トリミング機能 設定手順例	「■周波数トリミングデータ算出方法」 TYPE6 製品の説明を追加
67		「■ベースタイマを用いたトリミングデータ取得例」を新規追加
68		「■周波数トリミング手順例」を変更 図 4-6 を変更
71		「■Xtrm 算出手順例 (TYPE6 製品)」を追加
76~79	5.2 高速 CR 発振 周波数 トリミング設定レジスタ (MCR_FTRM)	TYPE3, TYPE7 製品の MCR_FTRM レジスタ初期値を訂正 TYPE6 製品の説明を追加
103~122	CHAPTER 4: リセット	製品 TYPE の追加
110	3.1 リセット要因	「■ディープスタンバイ遷移リセット(DSTR)」 ディープスタンバイ遷移リセットで初期化されない機能とレジスタに "HDMI-CEC/リモコン受信" を追加
124	CHAPTER 5-1: 低電圧検出構成 1 構成	参照する章の説明を削除し、「■低電圧検出参考章」を追加
-	CHAPTER 5-2: 低電圧検出(A)	Chapter 名を変更 低電圧検出 → 低電圧検出(A)
-	CHAPTER 5-3: 低電圧検出(B)	Chapter 名を変更 低電圧検出(TYPE3 製品) → 低電圧検出(B)
142	1. 概要	「●低電圧リセット回路の動作」と「●低電圧割込み回路の動作」の説明文を訂正 スタンバイモード時 → スタンバイモード時、ディープスタンバイモード時
145, 146	3. 動作説明	「●回路動作説明」の説明文を訂正 設定された電源電圧(VCC)が → 電源電圧(VCC)が設定された

ページ	場所	変更箇所
145, 146		説明文を下記のように訂正  スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。 → スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード)、ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。
151	5.1 低電圧検出電圧設定レジスタ(LVD_CTL)	「5.1 低電圧検出電圧設定レジスタ(LVD_CTL)」のサマリ文を訂正 LVDRE の初期値を訂正
153		<注意事項>を訂正 「本レジスタの bit15~8 は TYPE3 製品のみにあります。」を削除 本レジスタの bit7~0 は → 本レジスタは
157	5.5. 低電圧検出割込み要因クリアレジスタ (LVD_STR2)	[bit5:0] 予約ビットを訂正 "読み出し値は不定です。 → 読出しへ常に"0"が読み出されます。
159~176	CHAPTER 5-4: 低電圧検出(C)	「CHAPTER 5-4: 低電圧検出(C)」の章を追加
179	CHAPTER 6: 低消費電力モード 1. 低消費電力モードの概要	「■製品 TYPE 別の低消費電力モード」を変更 表 1-1 に TYPE6,7 を追加 表 1-2 を追加
211, 212	5. ディープスタンバイモードの動作説明	表 5-2, 表 5-3 に HDMI-CEC/リモコン受信を追加
213		「5.1 ディープスタンバイ RTC モードの動作」を変更 HDMI-CEC/リモコン受信の動作を追加
220	8. 低消費電力モードのレジスター一覧	「サブ発振回路電源制御レジスタ(REG_CTL)」, 「サブクロック供給制御レジスタ(RCK_CTL)」を追加
223	8.2 サブ発振回路電源制御レジスタ(REG_CTL)	「8.2 サブ発振回路電源制御レジスタ(REG_CTL)」を追加
224	8.3 サブクロック供給制御レジスタ(RCK_CTL)	「8.3 サブクロック供給制御レジスタ(RCK_CTL)」を追加
227, 228	8.6 ディープスタンバイ復帰要因レジスタ 2(WIFSR)	WCEC0I/WCEC1I,WUI5/WUI4 ビットを追加
229, 230	8.7 ディープスタンバイ復帰許可レジスタ(WIER)	WCEC0E/WCEC1E,WUI5E/WUI4E ビットを追加
234	9. 使用上の注意	「9. 使用上の注意」を追加
236	CHAPTER 7-1: 割込み構成) 1. 構成	「■割込みコントローラ参照章」を変更 表 1-1 に TYPE6/TYPE7 製品を追加 「■割込み要因ベクタリロケート機能」を変更 表 1-2 ベクタ No.43,52,53,63 を訂正
-	CHAPTER 7-2: 割込み(A)	Chapter 名を変更 割込み → 割込み(A)
243	3. 例外と割込み要因ベクタ	表 3-1 ベクタ No.43,52,53,63 を訂正
271	4.16. IRQ25/26 一括読み出しレジスタ(IRQxxMON)	IRQ27MON の記載を削除

ページ	場所	変更箇所
272	4.17. IRQ27一括読出しレジスタ (IRQ27MON)	「4.17. IRQ27一括読出しレジスタ (IRQ27MON)」を追加
285	4.26. IRQ36一括読出しレジスタ (IRQ36MON)	[bit5] RCEC0INT を追加
286	4.27. IRQ37一括読出しレジスタ (IRQ37MON)	[bit6] RCEC1INT を追加
291	4.30. IRQ47一括読出しレジスタ (IRQ47MON)	[bit11] FLASHINT を追加
-	CHAPTER 7-3: 割込み(B)	Chapter名を変更 割込み(割込み要因ベクタリスト選択時) → 割込み(B)
301, 302	3. 例外と割込み要因ベクタ	表 3-1 ベクタ No.43, 52, 53, 63 を訂正
325	4.16. IRQ25/26一括読出しレジスタ (IRQxxMON)	IRQ27MON の記載を削除
326	4.17. IRQ27一括読出しレジスタ (IRQ27MON)	「4.17. IRQ27一括読出しレジスタ (IRQ27MON)」を追加
335	4.24. IRQ36一括読出しレジスタ (IRQ36MON)	[bit5] RCEC0INT を追加
336	4.25. IRQ37一括読出しレジスタ (IRQ37MON)	[bit6] RCEC1INT を追加
342	4.29. IRQ47一括読出しレジスタ (IRQ47MON)	[bit11] FLASHINT を追加
-	CHAPTER 7-4: 割込み(C)	Chapter名を変更 割込み(TYPE3 製品) → 割込み(C)
376	4.17. IRQ29一括読出しレジスタ (IRQ29MON)	[bit4] LCDCINT を追加
377	4.18. IRQ30一括読出しレジスタ (IRQ30MON)	[bit5] RCEC0INT を追加
378	4.19. IRQ31一括読出しレジスタ (IRQ31MON)	[bit6] RCEC1INT を追加
452	CHAPTER 10: I/O ポート 1. 概要	「・特殊 I/O ポート」を変更 10ビット DA コンバータ, LCD コントローラの端子を追加
454, 455	2. 構成・ブロックダイヤグラム・動作説明	図 2-1 を訂正 図 2-1 の説明文, <注意事項>を訂正
499	4.12. 拡張機能端子設定レジスタ 04(EPFR04)	[bit6:4] TIOB0S の設定を訂正
543	4.22. 拡張機能端子設定レジスタ 14(EPFR14)	[bit31:30]に CEC1B/CEC0B を追加
551, 552	4.24. 特殊ポート設定レジスタ (SPSR)	[bit3:2]MAINXC の設定を追加 [bit1:0]SUBXC の設定を追加
623	CHAPTER 12: 外部バスインターフェース 7. 使用上の注意	「●MCU タイプと各機能の設定について」 表 7-2 を訂正
635~639	CHAPTER 15: ユニーク ID レジスタ	「ユニーク ID レジスタ」の章を追加
652	APPENDIXES A. レジスタマップ PPG	IGBTC レジスタを追加
658	10bit D/AC	10bitD/AC のレジスタマップを追加

ページ	場所	変更箇所
660～662	INT-Req READ	「■TYPE3/TYPE7 製品以外」 IRQ27MON,IRQ36MON,IRQ37MON レジスタの初期値を訂正
663	INT-Req READ	「■TYPE3/TYPE7 製品」 IRQ29MON,IRQ30MON,IRQ31MON レジスタの初期値を訂正
664	LCDC	LCDC のレジスタマップを追加
669	GPIO	SPSR レジスタの初期値を訂正
670		EPFR14 レジスタの初期値を訂正
672	HDMI-CEC/Remote Control Receiver	「HDMI-CEC/Remote Control Receiver」のレジスタマップを追加
674	DS_Mode	Base_Address のアドレス値を変更
		REG_CTL, RCK_CTL レジスタを追加
		WIFSR,WIER レジスタの初期値を訂正
679, 680	RTC	RTC のレジスタマップを TYPE3/TYPE4/TYPE5 製品と TYPE6/TYPE7 製品に分割
694	C. 制限事項一覧 1. TYPE0 製品 制限事項一覧	MFS のFBYTE 設定数に関する注意事項を追加
696	2. TYPE1 製品 制限事項一覧	「2. TYPE1 製品 制限事項一覧」を追加
699～701	D. 製品 TYPE 一覧 1. 製品 TYPE 一覧	表 1, 表 4 に型格を追加 TYPE6, TYPE7 製品の型格一覧を追加(表 7, 表 8)

前版は表紙右上の番号が MN706-00002-4v1-J です。

(タイマ編)

ページ	場所	変更箇所
-	-	TYPE6, TYPE7 を追加
74	CHAPTER 4-1: リアルタイムクロック 1. リアルタイムクロックの構成	「■リアルタイムクロック参照章」を追加
		「■リアルタイムクロックの構成」を変更 図 1-1 リアルタイムクロック を削除 図 1-1 RTC クロック制御部(A)と RTC カウント部の構成, 図 1-2 RTC クロック制御部(B)と RTC カウント部の構成を追加
83	CHAPTER 4-2: RTC カウント部 3. RTC カウント部の設定手順例	「■時刻書換え設定手順例(時刻カウント継続)」 図 3-3 および説明文の手順(1),(2)の記述を訂正 <注意事項>を訂正
84	3. RTC カウント部の設定手順例	「■時刻書換え設定手順例(時刻カウントリセット)」 図 3-4 および説明文の手順(1), (2)の記述を訂正 <注意事項>を訂正
87	3. RTC カウント部の設定手順例	「■タイマ割込み設定手順例(何(時間, 分, 秒)後)」 図 3-7 および説明文で「7MCLK 後に」を削除。 「12MCLK 後に」を「タイマカウンタが停止後」に変更
88	3. RTC カウント部の設定手順例	「■タイマ割込み設定手順例(何(時間、分、秒)間隔)」 図 3-8 および説明文で「7MCLK 後に」を削除
94	6. 時刻書換えエラー	「時刻書換え(時刻カウント継続)において SCST フラグが "1"の間に 0.5 秒生成カウンタの 0.5 秒パルスが 2 回検出され た場合の例」の記述で(2)の文章中の「時刻書換えエラーフ ラグが"1"になり、」を削除

ページ	場所	変更箇所
103	7.1 制御レジスタ 1 (WTCR1)	[bit6]BUSY:ビギービット 「(SCST="0"またはSCRST="0"になった9MCLK サイクル)」を削除 [bit5]SCRST,[bit4]SCST の説明文を訂正
104		[bit2]RUN:RTC カウント部動作ビット 「RUN が"0"になるのは、ST="0"になった12MCLK サイクル後になります。」を削除
105	7.2 制御レジスタ 2 (WTCR2)	[bit10]TMRUN:RTC カウンタ動作ビット 「TMRUN が"0"になるのは、TMST="0"になった12MCLK サイクル後になります。」を削除
123	CHAPTER 4-3: RTC クロック制御部(A)	Chapter 名を変更 RTC クロック制御部 → RTC クロック制御部(A)
128	3. 周波数補正部の動作	「■周波数補正範囲」を追加
137	CHAPTER 4-4: RTC クロック制御部(B)	「CHAPTER 4-4: RTC クロック制御部(B)」の章を追加
445	CHAPTER 7-3: PPG IGBT モード	「CHAPTER 7-3: PPG IGBT モード」の章を追加
510	APPENDIXES A. レジスタマップ PPG	IGBTC レジスタを追加
516	10bit D/AC	10bitD/AC のレジスタマップを追加
519	INT-Req READ	「■TYPE3/TYPE7 製品以外」 IRQ27MON,IRQ36MON,IRQ37MON レジスタの初期値を訂正
521	INT-Req READ	「■TYPE3/TYPE7 製品」 IRQ29MON,IRQ30MON,IRQ31MON レジスタの初期値を訂正
522	LCDC	LCDC のレジスタマップを追加
527	GPIO	SPSR レジスタの初期値を訂正
528		EPFR14 レジスタの初期値を訂正
530	HDMI-CEC/Remote Control Receiver	「HDMI-CEC/Remote Control Receiver」のレジスタマップを追加
532	DS_Mode	Base_Address のアドレス値を変更
		REG_CTL, RCK_CTL レジスタを追加
		WIFSR,WIER レジスタの初期値を訂正
537, 538	RTC	RTC のレジスタマップを TYPE3/TYPE4/TYPE5 製品と TYPE6/TYPE7 製品に分割
552	C. 制限事項一覧 1. TYPE0 製品 制限事項一覧	MFS のFBYTE 設定数に関する注意事項を追加
554	2. TYPE1 製品 制限事項一覧	「2. TYPE1 製品 制限事項一覧」を追加
557~559	D. 製品 TYPE 一覧 1. 製品 TYPE 一覧	表 1, 表 4 に型格を追加 TYPE6, TYPE7 製品の型格一覧を追加(表 7, 表 8)

前版は表紙右上の番号が MN706-00002-4v1-J です。

(アナログマクロ編)

ページ	場所	変更箇所
-	-	TYPE6, TYPE7 を追加
4	CHAPTER 1-1: A/D コンバータ 2. 機能と動作	説明文を訂正 表 2-1 を追加

ページ	場所	変更箇所
7	CHAPTER 1-2: 12 ビット A/D コンバータ(A)	Chapter 名を変更 12 ビット A/D コンバータ → 12 ビット A/D コンバータ(A)
65	CHAPTER 1-3: 12 ビット A/D コンバータ(B)	Chapter 名を変更 12 ビット A/D コンバータ(TYPE3 製品) → 12 ビット A/D コンバータ(B)
92	5. レジスタ	「■12 ビット A/D コンバータのレジスター一覧」 ADCT のレジスタ名を訂正 コンペア時間設定レジスタ → クロック分周比設定レジスタ
125～133	CHAPTER 2: 10 ビット D/A コンバータ	「CHAPTER 2: 10 ビット D/A コンバータ」の章を追加
135～180	CHAPTER 3: LCD コントローラ	「CHAPTER 3: LCD コントローラ」の章を追加
192	APPENDIXES A. レジスタマップ PPG	IGBTC レジスタを追加
198	10bit D/AC	10bitD/AC のレジスタマップを追加
201	INT-Req READ	「■TYPE3/TYPE7 製品以外」 IRQ27MON,IRQ36MON,IRQ37MON レジスタの初期値を訂正
203	INT-Req READ	「■TYPE3/TYPE7 製品」 IRQ29MON,IRQ30MON,IRQ31MON レジスタの初期値を訂正
204	LCDC	LCDC のレジスタマップを追加
209	GPIO	SPSR レジスタの初期値を訂正
210		EPFR14 レジスタの初期値を訂正
212	HDMI-CEC/Remote Control Receiver	「HDMI-CEC/Remote Control Receiver」のレジスタマップを追加
214	DS_Mode	Base_Address のアドレス値を変更
		REG_CTL, RCK_CTL レジスタを追加
		WIFSR, WIER レジスタの初期値を訂正
219, 220	RTC	RTC のレジスタマップを TYPE3/TYPE4/TYPE5 製品と TYPE6/TYPE7 製品に分割
234	C. 制限事項一覧 1. TYPE0 製品 制限事項一覧	MFS のFBYTE 設定数に関する注意事項を追加
236	2. TYPE1 製品 制限事項一覧	「2. TYPE1 製品 制限事項一覧」を追加
240～242	D. 製品 TYPE 一覧 1. 製品 TYPE 一覧	表 1, 表 4 に型格を追加 TYPE6, TYPE7 製品の型格一覧を追加(表 7, 表 8)

前版は表紙右上の番号が MN706-00002-4v1-J です。

(通信マクロ編)

ページ	場所	変更箇所
-	-	TYPE6, TYPE7 を追加
23	CHAPTER 1-2: UART(非同期シリアルインターフェース) 4. 専用ボーレートジェネレータ	「■ボーレートの計算」 「(3)ボーレートの誤差」 計算式を訂正

ページ	場所	変更箇所
67	CHAPTER 1-3: CSIO(クロック同期シリアルインターフェース) 2. CSIO(クロック同期シリアルインターフェース)の割込み 2.2. 受信 FIFO 使用時の割込み発生とフラグセットのタイミング	図 2-4 を訂正
173	CHAPTER 1-4: LIN インタフェース(v2.1)(LIN 通信インターフェース(v2.1)) 6.9 FIFO バイトレジスタ(FBYTE)	<注意事項>に説明文を追加
251, 252	CHAPTER 1-5: I <sup>2</sup> C インタフェース(I <sup>2</sup> C 通信制御インターフェース 5.6 拡張 I <sup>2</sup> C バス制御レジスタ(EIBCR)	「5.6 拡張 I <sup>2</sup> C バス制御レジスタ(EIBCR)」を追加
279	CHAPTER 2-2: USB クロック生成 3.動作説明	「● USB-PLL 出力クロック」 TYPE6 製品の説明を追加
280		「●USB-PLL 出力クロック」 表 3-1 PLL 分周比設定例 を訂正
288	5.5.USB-PLL 制御レジスタ 4(UPCR4)	TYPE6 製品の説明を追加
290, 291	5.6.USB-PLL 制御レジスタ 5(UPCR5)	製品タイプごとの説明に変更
513, 514	CHAPTER 6-1: HDMI-CEC/リモコン受信	「CHAPTER 6-1: HDMI-CEC/リモコン受信」の章を追加
515~538	CHAPTER 6-2: CEC/リモコン受信	「CHAPTER 6-2: CEC/リモコン受信」の章を追加
539~557	CHAPTER 6-3: CEC 送信	「CHAPTER 6-3: CEC 送信」の章を追加
570	APPENDIXES A.レジスタマップ PPG	IGBTC レジスタを追加
576	10bit D/AC	10bitD/AC のレジスタマップを追加
579	INT-Req READ	「■TYPE3/TYPE7 製品以外」 IRQ27MON,IRQ36MON,IRQ37MON レジスタの初期値を訂正
581	INT-Req READ	「■TYPE3/TYPE7 製品」 IRQ29MON,IRQ30MON,IRQ31MON レジスタの初期値を訂正
582	LCDC	LCDC のレジスタマップを追加
587	GPIO	SPSR レジスタの初期値を訂正
588		EPFR14 レジスタの初期値を訂正
590	HDMI-CEC/Remote Control Receiver	「HDMI-CEC/Remote Control Receiver」のレジスタマップを追加
592	DS_Mode	Base_Address のアドレス値を変更
		REG_CTL, RCK_CTL レジスタを追加
		WIFSR,WIER レジスタの初期値を訂正

ページ	場所	変更箇所
597, 598	RTC	RTC のレジスタマップを TYPE3/TYPE4/TYPE5 製品と TYPE6/TYPE7 製品に分割
612	C. 制限事項一覧 1. TYPE0 製品 制限事項一覧	MFS の FBYTE 設定数に関する注意事項を追加
614	2. TYPE1 製品 制限事項一覧	「2. TYPE1 製品 制限事項一覧」を追加
617～619	D. 製品 TYPE 一覧 1. 製品 TYPE 一覧	表 1, 表 4 に型格を追加 TYPE6, TYPE7 製品の型格一覧を追加(表 7, 表 8)

前版は表紙右上の番号が MN706-00002-4v1-J です。

## CHAPTER: システム概要

---

本シリーズのシステム概要について説明します。

---

1. バス構成
2. Cortex-M3 の構成
3. モード

---

管理コード: 9BFSYSTEM-J05.0

## 1. バス構成

本シリーズのバス構成について説明します。

本シリーズのバスは、AHB バスマトリクス回路によりマルチレイヤーバスを実現しています。マスタ、スレーブの構成を以下に示します。

### ● マスタ

- Cortex-M3 CPU(I-code バス, D-code バス, System バス)
- DMAC
- Ethernet

### ● スレーブ

- オンチップフラッシュメモリ(メインフラッシュ, ワークフラッシュ)
- オンチップ SRAM(SRAM0, SRAM1)
- 外部バス
- USB ch.0/ch.1
- AHB-AHB バスブリッジ
- AHB-APB バスブリッジ(APB0～APB2)

バス構成図については、図 1-1 を参照してください。

## ■ 特長

### ● RAM 構成

本シリーズはオンチップ SRAM 領域を 2 つの独立した SRAM (SRAM0, SRAM1)に分割して配置しています。SRAM0 は Cortex-M3 コアの I-Code バス, D-Code バスに接続されます。SRAM1 は Cortex-M3 コアの System バスに接続されます。また SRAM0, SRAM1 は DMAC やそのほかのバスマスタにも接続されます。これにより CPU や DMAC などの複数のバスマスタによる RAM への競合を回避することが可能となり、パフォーマンスの向上が図られます。

また、分割した RAM のアドレス領域は連続しているため、RAM 領域を最大限活用することができるです。

### ● APB 拡張バスについて

APB1, APB2 ペリフェラルバスは、AMBA3.0 を元に以下の機能を独自に追加した拡張 APB バスです(APB0 は含まれません)。

#### ・ ハーフワード(16 ビット), バイト(8 ビット)アクセス対応

対応するレジスタについては、ハーフワードアクセス、バイトアクセスが可能となります。  
対応するレジスタについては、「レジスタマップ」を参照してください。

#### ・ リードモディファイライト(RMW)信号追加

ビットバンド操作時の HMASTLOCK 信号を使って生成しています。

RMW 信号は、ビットバンド操作のリードモディファイライト処理時に誤って関係のないフラグがクリアされることを防ぐために追加した信号です。

対応するフラグは、リードモディファイライト処理中のリード時は"1"を読み出し、また、"1"のライトを無視するように設計されています。

こうすることで「リード→モディファイ→ライト」シーケンスのリード直後にフラグがセットされた場合、次のライト時に誤ってクリアされることを防ぎます。

対応するフラグ、レジスタは「リードモディファイライト」時はビット値にかかわらず"1"が読めます」のように記述されています。

### <注意事項>

- RMW を禁止しているレジスタに対しては、ビットバンド操作禁止です。
- ビットバンド操作を行わずにソフトウェア中でリードモディファイライト処理を行う場合には RMW 信号は出力されません。  
よって、この場合には RMW 対応のレジスタであってもリード時はフラグの値が読みますので、ライト時に誤って関係のないフラグをクリアされないようにしてください。
- ビットバンド操作の詳細については、『Cortex-M3 テクニカルリファレンスマニュアル』を参照してください。

### ● 優先順位について

TYPE0 製品は、バス権の優先度を DMAC>CPU とされています。

バースト転送などで常に DMAC アクセスが行われる場合など、DMAC のアクセス設定によっては CPU のアクセスが制限されることがあります。DMAC 転送設定を行う際には注意をお願いします。

TYPE0 製品以外は、バス権の優先度はラウンドロビン方式で決定されます。

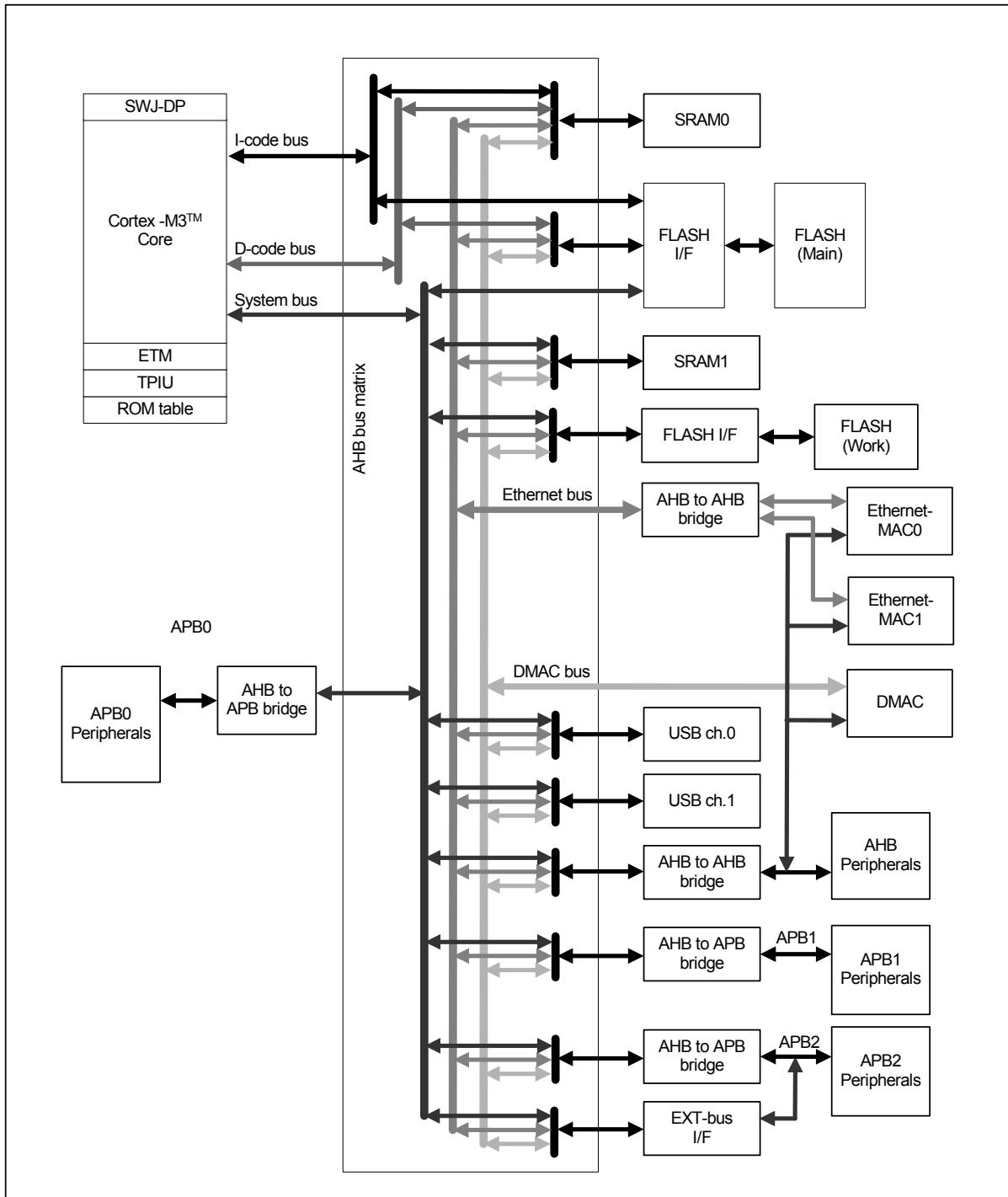
### ● エンディアンについて

本シリーズのエンディアン(バイトオーダ)はリトルエンディアンです。

## 1.1. バス構成図

図 1-1 に本シリーズのバス構成図を示します。

図 1-1 バス構成図



### <注意事項>

一部 DMAC 転送が行えない領域があります。詳しくは表 1-1 の「DMAC 転送」欄を参照してください。

## 1.2. メモリ構成

---

本シリーズのメモリ構成を示します。

---

本シリーズには 4G バイトのアドレス空間があります。

最大 1M バイトのフラッシュメモリ、最大 512K バイトの SRAM0 領域、最大 512K バイトの SRAM1 領域が定義されています。

また、外部バス領域として 0x60000000~0xDFFFFFFF の 2G バイトの領域が定義されており、この領域に外部メモリ・デバイスを接続することが可能です。

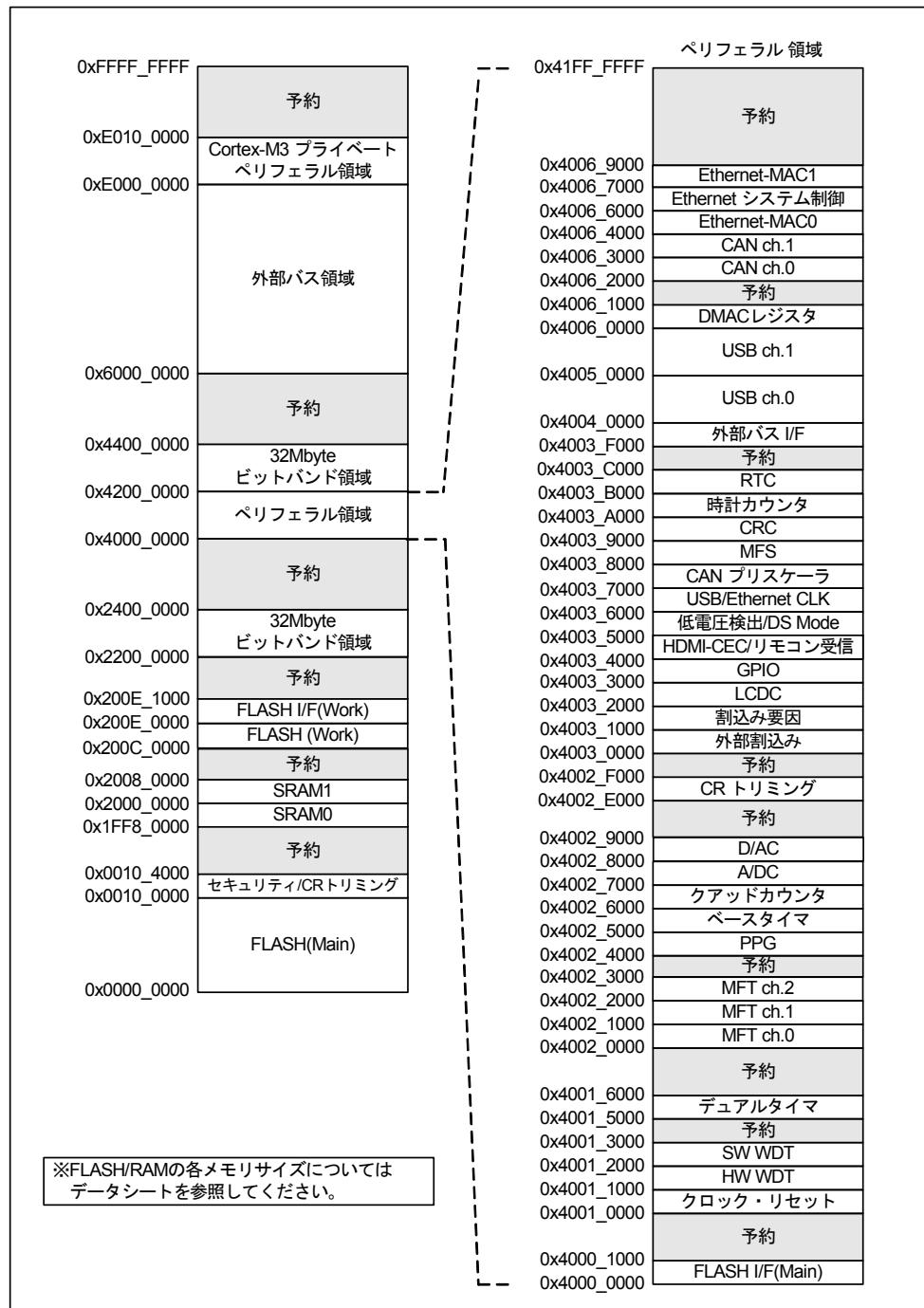
ここでは、「1.3 メモリマップ」でメモリマップ、「1.4 ペリフェラル・アドレスマップ」でペリフェラル・アドレスマップについて説明します。

図 1-2 に記載されている Cortex-M3 プライベートペリフェラル領域、ピットバンド領域の詳細については、『Cortex-M3 テクニカルリファレンスマニュアル』を参照してください。

### 1.3. メモリマップ

図 1-2 に本シリーズのメモリマップを示します。

図 1-2 メモリマップ



#### <注意事項>

- 予約領域にはアクセスしないでください。
- フラッシュメモリの詳細については、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

## 1.4. ペリフェラル・アドレスマップ

表 1-1 に本シリーズのペリフェラル・アドレスマップを示します。

表 1-1 ペリフェラル・アドレスマップ

スタート アドレス	エンド アドレス	バス	DMAC 転送	ペリフェラル	レジスタ マップ	詳細
0x4000_0000	0x4000_0FFF	AHB	不可	FLASH IF レジスタ(Main)/ ユニーク ID レジスタ	『FLASH_IF』 『Unique ID』	*1 『第 32 章』
0x4000_1000	0x4000_FFFF			予約	-	-
0x4001_0000	0x4001_0FFF	APB0	不可	クロック・リセット制御	『Clock/ Reset』	『第 2-1 章』 『第 3 章』 『第 5 章』 『第 10 章』
0x4001_1000	0x4001_1FFF			ハードウェアウォッチドッグ タイマ	『HW WDT』	『第 11 章』
0x4001_2000	0x4001_2FFF			ソフトウェアウォッチドッグ タイマ	『SW WDT』	『第 11 章』
0x4001_3000	0x4001_4FFF			予約	-	-
0x4001_5000	0x4001_5FFF			デュアルタイマ	『Dual_ Timer』	『第 12 章』
0x4001_6000	0x4001_FFFF			予約	-	-
0x4002_0000	0x4002_0FFF	APB1	可	多機能タイマ unit0	『MFT』	『第 16 章』
0x4002_1000	0x4002_1FFF			多機能タイマ unit1	『MFT』	『第 16 章』
0x4002_2000	0x4002_2FFF			多機能タイマ unit2	『MFT』	『第 16 章』
0x4002_3000	0x4002_3FFF			予約	-	-
0x4002_4000	0x4002_4FFF			PPG	『PPG』	『第 17 章』
0x4002_5000	0x4002_5FFF			ベースタイマ	『Base Timer』 『Base Timer Selector』	『第 15-1 章』 『第 15-2 章』
0x4002_6000	0x4002_6FFF			クアッドカウンタ	『QPRC』	『第 18-1 章』 『第 18-2 章』
0x4002_7000	0x4002_7FFF			A/D コンバータ	『A/DC』	『第 19-2 章』 『第 19-3 章』
0x4002_8000	0x4002_8FFF			D/A コンバータ	『D/AC』	『第 20 章』
0x4002_9000	0x4002_DFFF			予約	-	-
0x4002_E000	0x4002_EFFF			高速 CR トリミング	『CR Trim』	『第 2-2 章』

\*1: 「FLASH IF レジスタ」の詳細については、『フラッシュプログラミングマニュアル』を参照してください。

スタートアドレス	エンドアドレス	バス	DMAC転送	ペリフェラル	レジスタマップ	詳細
0x4002_F000	0x4002_FFFF	APB2 可		予約	-	-
0x4003_0000	0x4003_0FFF			外部割込み	『EXTI』	『第 7 章』
0x4003_1000	0x4003_1FFF			割込み要因確認レジスタ	『INT-Req READ』	『第 6-2 章』 『第 6-3 章』
0x4003_2000	0x4003_2FFF			LCDC	『LCDC』	『第 28 章』
0x4003_3000	0x4003_3FFF			GPIO	『GPIO』	『第 9 章』
0x4003_4000	0x4003_4FFF			HDMI-CEC/リモコン受信	『RCEC』	『第 26 章』
0x4003_5000	0x4003_57FF			低電圧検出	『LVD』	『第 4-2 章』 『第 4-3 章』
0x4003_5800	0x4003_5FFF			ディープスタンバイ制御部	『DS_Mode』	『第 5 章』
0x4003_6000	0x4003_6FFF			USB クロック生成部 USB/Ethernet クロック生成部	『USB Clock』	『第 22-2 章』 『第 22-3 章』
0x4003_7000	0x4003_7FFF			CAN プリスケーラ	『CAN_Prescaler』	『第 25-1 章』
0x4003_8000	0x4003_8FFF			マルチファンクションシリアル	『MFS』	『第 21-2 章』 『第 21-3 章』 『第 21-4 章』 『第 21-5 章』 『第 21-6 章』
0x4003_9000	0x4003_9FFF			CRC	『CRC』	『第 27 章』
0x4003_A000	0x4003_AFFF			時計カウンタ	『Watch Counter』	『第 13-1 章』 『第 13-2 章』
0x4003_B000	0x4003_EFFF			リアルタイムクロック	『RTC』	『第 14-2 章』 『第 14-3 章』
0x4003_F000	0x4003_FFFF			外部バス I/F	『EXT-Bus I/F』	『第 29 章』
0x4004_0000	0x4004_FFFF	AHB 可		USB ch.0	『USB』	『第 23-1 章』 『第 23-2 章』
0x4005_0000	0x4005_FFFF			USB ch.1	『USB』	『第 23-1 章』 『第 23-2 章』
0x4006_0000	0x4006_0FFF			DMAC レジスタ	『DMAC』	『第 8 章』
0x4006_1000	0x4006_1FFF			予約	-	-
0x4006_2000	0x4006_2FFF			CAN ch.0	『CAN』	『第 25-2 章』
0x4006_3000	0x4006_3FFF			CAN ch.1	『CAN』	『第 25-2 章』

スタートアドレス	エンドアドレス	バス	DMAC転送	ペリフェラル	レジスタマップ	詳細
0x4006_4000	0x4006_5FFF	AHB	可	Ethernet MAC0	*2	*2
0x4006_6000	0x4006_6FFF			Ethernet システム制御	*2	*2
0x4006_7000	0x4006_8FFF			Ethernet MAC1	*2	*2
0x4006_9000	0x41FF_FFFF			予約	-	-

\*2: 「Ethernet MAC0」, 「Ethernet システム制御」, 「Ethernet MAC1」の詳細については、『MB9Axxx/9Bxxx シリーズ ペリフェラルマニュアル Ethernet 編』を参照してください。

スタートアドレス	エンドアドレス	バス	DMAC転送	ペリフェラル	レジスタマップ	詳細
0x200E_0000	0x200E_1000	AHB	可	Flash I/F レジスタ(Work)	『FLASH_IF』	*3

\*3: 「Flash I/F レジスタ(Work)」の詳細については、『フラッシュプログラミングマニュアル』を参照してください。

## 2. Cortex-M3 の構成

本シリーズに搭載のコアの構成について説明します。

本シリーズに搭載されている Cortex-M3 コアブロックの構成\*は、以下になります。

- Cortex-M3 コア
- NVIC
- MPU
- DWT
- ITM
- FPB
- ETM
- SWJ-DP
- TPIU
- ROM テーブル

\*: 構成は品種により異なります。詳細はご使用される製品の『データシート』を参照してください。

### ■ Cortex-M3 コア

本シリーズは高性能 32 ビットプロセッサコア(ARM 社製 Cortex-M3 コア)を搭載しています。

本ペリフェラルマニュアルでは Cortex-M3 コアの詳細については記載していません。

詳細については『Cortex-M3 テクニカルリファレンスマニュアル』を参照してください。

- Cortex-M3 コアのバージョンについて  
Cortex-M3 コアのバージョンについてはご使用される製品の『データシート』を参照してください。

### ■ NVIC(ネスト型ベクタ割込みコントローラ)

本シリーズは 1 個の NMI(ノンマスカブル割込み)と最大 48 個の周辺割込み(IRQ0～IRQ47)<sup>\*1</sup> が利用できます。

また、割込み優先度レジスタ(0xE000E400～)は 4 ビットで構成されており、16 の割込み優先度レベルを設定できます。

周辺割込みの詳細については、別章『割込み』を、NMI の動作については、別章『外部割込み・NMI 制御部』もあわせて参照してください。

NMI 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。

NMI 機能を使用する場合は、ポートの設定にて NMI を許可してください。

詳細は別章『I/O ポート』を参照してください。

\*1 : 「Cortex-M3 テクニカルリファレンスマニュアル」では例外タイプ : IRQ を外部割込みと定義しています。

本ペリフェラルマニュアルでは、外部端子による割込み「外部割込み・NMI 制御部」と区別するため、例外タイプ : IRQ を周辺割込みと表現します。

・ **SysTick タイマ**

SysTick タイマは NVIC に統合された、OS タスク管理用のシステムタイマです。

本シリーズでは STCLK を HCLK の 8 分周で生成し、SysTick 較正レジスタ (アドレス: 0xE000E01C) の値を以下のように設定しています。

bit31 : NOREF = 0  
bit30 : SKEW = 1  
bit23:0 : TENMS = 0x0186A0 (100000)<sup>\*1</sup>

\*1 : TENMS の値については、HCLK の 1/8 クロックを STCLK に入力し HCLK が 80MHz 時 (1/8 で 10MHz) に 10ms となる値に設定しています。

HCLK はクロック制御部にてほかの周波数に変更可能ですが、TENMS の値が必ず 10ms を示すわけではありません。よって HCLK の周波数にあわせて適切な割込みタイミングの計算をしてください。

■ **DWT(データウォッチポイント&トレースユニット)**

本シリーズではデバッグ機能として DWT を搭載しています。

DWT は 4 つのコンパレータを持ち、各コンパレータをハードウェア・ウォッチポイントに設定できます。

■ **ITM(計装トレース マクロセル)**

本シリーズではデバッグ機能として ITM を搭載しています。

ITM は printf 形式のデバッグをサポートする、オプションのアプリケーション駆動型トレースソースです。オペレーティングシステム(OS)およびアプリケーションのイベントをトレースして、システム診断情報を送信します。

■ **FPB(フラッシュパッチ&ブレークポイント)**

FPB は以下の機能があります。

- ・ ハードウェアブレークポイント機能
- ・ コードメモリ空間(FLASH)から SRAM 空間へのリマップ機能

FPB は 6 つの命令コンパレータと 2 つのリテラルコンパレータを備えています。

■ **MPU(メモリ保護ユニット)\***

本シリーズでは Cortex-M3 のオプションコンポーネントである、MPU を搭載しています。最大 8 領域まで定義できます。

\*: MPU を搭載していない品種があります。詳細はご使用する製品の『データシート』を参照してください。

■ **ETM(エンベデッド トレース マクロセル)\***

本シリーズでは、Cortex-M3 のオプションコンポーネントである、ETM を搭載しており、命令トレースをサポートします。

\*: ETM を搭載していない品種があります。詳細はご使用する製品の『データシート』を参照してください。

■ **SWJ-DP**

本シリーズでは、SWJ-DP を搭載しシリアルワイヤプロトコルと、JTAG プロトコルの両方をサポートします。

■ **TPIU(トレースポート インタフェース ユニット)**

ETM/ITM トレース情報を TPIU を経由して出力します。

■ **ROM テーブル**

ROM テーブルは、外部のデバッグツールにデバッグコンポーネントのアドレス情報を提供します。

### 3. モード

動作モードの機能について説明します。

本シリーズは、以下の動作モードを使用できます。

- ・ユーザモード  
内部 ROM(Flash)起動 : CPU はリセットベクタを Flash から取得し、動作を開始します。
- ・シリアルライタモード  
Flash シリアル書き込みが可能になります。  
\*: 本モードの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

動作モードは、電源投入リセット、低電圧検出リセット、INITX 端子入力リセットの解除後に決定されます。

\*: 消費電力制御モードやクロック選択モードについては別章『低消費電力モード』および『クロック』を参照してください。

#### ■ 動作モード設定方法

動作モードは、MD 端子(MD1, MD0)入力により設定します。

TYPE0 製品

MD 端子		動作モード
MD1	MD0	
0	0	ユーザモード 内部 ROM(Flash)起動
0	1	シリアルライタモード
1	0	設定禁止
1	1	設定禁止

TYPE0 製品以外

MD 端子		動作モード
MD1	MD0	
-	0	ユーザモード 内部 ROM(Flash)起動
0	1	シリアルライタモード
1	1	設定禁止

## ■ 起動シーケンス

起動シーケンスにおける動作モードを決定するプロセスを以下に示します。

1. MD 端子のサンプリング
2. 動作モードの決定とモードデータの保持

以下にこれらのプロセスを解説します。

### 1. MD 端子のサンプリング

動作モードは、MD 端子入力(MD1, MD0)により設定されます。これらを電源投入リセット, 低電圧検出リセット, INITX 端子入力リセットによりサンプリングします。  
サンプリング要因である各リセットが解除されるまでは、MD1, MD0 端子入力を確定してください。

### 2. 動作モードの決定とモードデータの保持

各リセットによってサンプリングされた MD1, MD0 は、再び各リセットが入力されるまで保持されます。  
保持された MD1, MD0 から動作モードを決定します。よって、リセット解除後に MD1, MD0 が変化しても、動作モードに影響しません。

## ■ MD1 端子について

TYPE0 製品以外の MD1 端子は GPIO と兼用しています。モード確定後は GPIO として使用できます。



## CHAPTER : クロック

動作クロックについて説明します。

1. クロック生成部 概要
2. クロック生成部 構成・ブロックダイヤグラム
3. クロック生成部 動作説明
4. クロック設定手順例
5. クロック生成部 レジスター一覧
6. クロック生成部 使用上の注意点

## 1. クロック生成部 概要

クロック生成部の概要を説明します。

クロック生成部は MCU を動作させるための様々なクロックを生成します。

ソースクロックとは、本 MCU の外部/内蔵発振クロックの総称です。

以下に示す 5 種類のクロックです。

- ・ メインクロック(CLKMO)
- ・ サブクロック(CLKSO)
- ・ 高速 CR クロック(CLKHC)
- ・ 低速 CR クロック(CLKLC)
- ・ メイン PLL クロック(CLKPLL)

ソースクロックから 1 つを選択してください。本章では、選択されたクロックをマスタクロックとよびます。本 MCU を動作させるために使用する、内部バスクロックの生成元になるクロックです。

マスタクロックを分周することにより、ベースクロックが生成されます。また、ベースクロックを分周することにより、各バスクロックが生成されます。

本章では、ベースクロックおよび各バスクロックを内部バスクロックとよびます。内部バスクロックは、以下に示す 5 種類のクロックです。

- ・ ベースクロック(FCLK/HCLK)
- ・ APB0 バスクロック(PCLK0)
- ・ APB1 バスクロック(PCLK1)
- ・ APB2 バスクロック(PCLK2)
- ・ TRACE クロック(TPIUCLK)

ソースクロック、マスタクロック、内部バスクロック以外のクロックとして、以下のクロックがあります。

- ・ USB クロック (TYPE0/TYPE1/TYPE4/TYPE5 製品)
- ・ USB/Ethernet クロック (TYPE2 製品)
- ・ CAN プリスケーラクロック
- ・ ソフトウェアウォッチドッグタイマカウントクロック

クロック生成部の特長を以下に示します。

- ・ メインクロック(CLKMO)の発振安定待ち時間を設定できます。
- ・ メインクロック(CLKMO)の発振安定待ち時間完了割込みを設定できます。
- ・ サブクロック(CLKSO)の発振安定待ち時間を設定できます。
- ・ サブクロック(CLKSO)の発振安定待ち時間完了割込みを設定できます。
- ・ メイン PLL クロック(CLKPLL)の発振安定待ち時間を設定できます。
- ・ メイン PLL クロック(CLKPLL)の発振安定待ち時間完了割込みを設定できます。
- ・ PLL 通倍率を設定できます。
- ・ マスタクロックを選択できます。
- ・ 各内部バスクロックの分周比を設定できます。
- ・ APB1 バスクロック, APB2 バスクロックの動作/停止を選択できます。
- ・ ソフトウェアウォッチドッグタイマのカウントクロック分周比を設定できます。
- ・ ソフトウェアウォッチドッグタイマのカウントクロックの動作/停止を設定できます。
- ・ デバッグ時のウォッチドッグタイマのカウント動作を設定できます。
- ・ クロック関連の割込みイネーブル、割込みステータス確認、割込み要因クリアの各レジスタを持ちます。

## 2. クロック生成部 構成・ブロックダイヤグラム

クロック生成部の構成を説明します。

### ■ ソースクロック

ソースクロックとは本 MCU の外部/内蔵発振クロックの総称です。以下に示す 5 種類があります。

#### ● メインクロック(CLKMO)

CLKMO は、メインクロック発振端子(X0, X1)に水晶振動子を接続して発生させるか、外部クロックを入力したクロックです。

#### ● サブクロック(CLKSO)

CLKSO は、サブクロック発振端子(X0A, X1A)に水晶振動子を接続して発生させるか、外部クロックを入力したクロックです。

#### ● 高速 CR クロック(CLKHC)

CLKHC は、内蔵高速 CR 発振器の出力クロックです。

#### ● 低速 CR クロック(CLKLC)

CLKLC は、内蔵低速 CR 発振器の出力クロックです。

#### ● メイン PLL クロック(CLKPLL)

発振クロック、もしくは高速 CR クロックを PLL クロック倍増回路(PLL 発振回路)によって倍増したクロックです。

### ■ マスタクロック

ソースクロックから選択された信号をマスタクロックとよびます。

マスタクロックは、すべてのバスクロックの元になるクロックです。

(注意事項)下記のクロックをマスタクロックに使用する場合は『APPENDIX B 注意事項一覧』の『1. 高速 CR をマスタクロックに使用する場合の注意事項』を参照してください。

- ・ 高速 CR クロック
- ・ メイン PLL クロック(PLL の入力クロックに高速 CR クロックを選択した場合)

## ■ 内部バスクロック

以下の信号は内部生成されたバスクロックです。

### ● ベースクロック(HCLK/FCLK)

HCLK/FCLK を合わせてベースクロックとよびます。HCLK/FCLK 両方が CPU に供給されます。

HCLK は AHB バスに接続されているマクロ用のクロックです。

マスタクロックの 1~16 分周を設定できます。

このクロックは、タイマモードおよび RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

また、CPU はスリープモード時に HCLK のみ供給を停止します。FCLK は供給し続けます。

### ● APB0 バスクロック(PCLK0)

PCLK0 は、APB0 バスに接続された周辺マクロ用クロックです。

ベースクロックの 1~8 分周を設定できます。

このクロックは、タイマモードおよび RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

### ● APB1 バスクロック(PCLK1)

PCLK1 は、APB1 バスに接続された周辺マクロ用クロックです。

ベースクロックの 1~8 分周を設定できます。

このクロックは、タイマモードおよび RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

また、レジスタでクロック供給を停止することも可能です。

### ● APB2 バスクロック(PCLK2)

PCLK2 は、APB2 バスに接続された周辺マクロ用クロックです。

ベースクロックの 1~8 分周を設定できます。

このクロックは、タイマモードおよび RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

また、レジスタでクロック供給を停止することも可能です。

### ● TPIU クロック(TPIUCLK)

TRACE 用クロックです。

TYPE0, TYPE1 製品では、ベースクロックの 1~2 分周を設定できます。

TYPE0, TYPE1 以外の製品は、ベースクロックの 1~8 分周を設定できます。

このクロックは、タイマモードおよび RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

このクロック出力は、ETM 搭載製品にのみ有効です。

## ■ ソースクロック、内部バスクロック以外のクロック

### ● USB クロック

USB が通信で使用する 48MHz のクロックを生成します。

USB 用 PLL 発振器を設定し、USB クロックを生成します。

このクロックは、タイマモードおよび RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

また、このクロックは、マスタクロックの周波数によらず、独立して設定可能です。

USB クロックの動作設定は、『通信マクロ編』の『USB クロック生成』を参照してください。

### ● USB/Ethernet クロック

USB が通信で使用する 48MHz のクロックを生成します。

また、Ether-PHY 用のクロックも生成します。

USB/Ethernet 用 PLL 発振器を設定し、USB/Ethernet クロックを生成します。

このクロックは、タイマモードおよび RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

また、このクロックは、マスタクロックの周波数によらず、独立して設定可能です。

USB/Ethernet 用 PLL の動作設定は、『通信マクロ編』の『USB/Ethernet PLL クロック生成』を参照してください。

### ● CAN プリスケーラクロック

CAN プリスケーラ用のクロックです。このクロックは CLKPLL と同じです。

使用する周波数の分周設定は、プリスケーラ側で行ってください。

このクロックは、RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

また、レジスタでクロック供給を停止することも可能です。

CAN プリスケーラの動作設定は、『通信マクロ編』の『CAN プリスケーラ』を参照してください。

### ● ソフトウェアウォッチドッグタイマ カウントクロック(SWDOGCLK)

SWDOGCLK は、APB0 バスに接続されたソフトウェアウォッチドッグタイマ用クロックです。

APB0 バスクロックの 1~8 分周を設定できます。

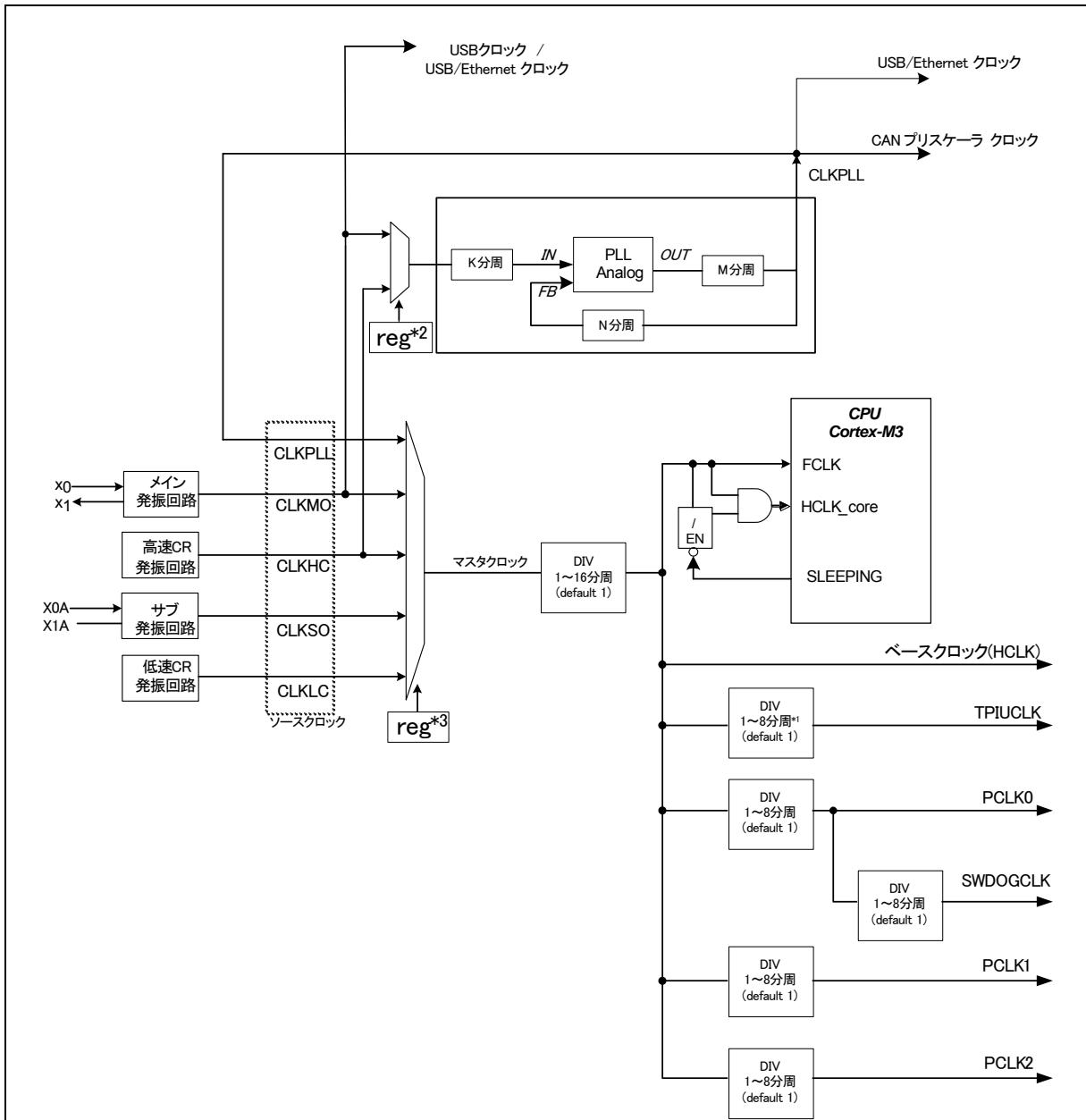
このクロックは、タイマモードおよび RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードで停止します。

ソフトウェアウォッチドッグタイマの動作設定は、『タイマ編』の『ウォッチドッグタイマ』を参照してください。

## ■ ブロックダイヤグラム

図 2-1 にクロック生成部のブロックダイヤグラムを示します。

図 2-1 クロック生成部 ブロックダイヤグラム



\*1: TYPE0, TYPE1 製品は 1~2 分周になります。

\*2: PSW\_TMR.PINC (PLL 入力クロック選択ビット)

\*3: SCM\_CTL.RCS (マスタクロック切換え制御ビット)

### 3. クロック生成部 動作説明

クロック生成部について説明します。

#### 3.1. クロックモード選択

##### ■ クロックモード定義(マスタクロック選択)

MCU のクロックモードはシステムクロックモード制御レジスタで選択されたソースクロックで定義されます。クロックモードには、メインクロックモード、サブクロックモード、高速 CR クロックモード、低速 CR クロックモード、メイン PLL クロックモードの 5 種類があります。

##### ● メインクロックモード

メインクロックモードでは、メインクロック(CLKMO)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

メイン PLL クロック(CLKPLL)はシステムクロックモード制御レジスタ(SCM\_CTL)の PLLE ビットの設定によって、サブクロック(CLKSO)はシステムクロックモード制御レジスタ(SCM\_CTL)の SOSCE ビットの設定によって、状態を決定できます。高速 CR クロック(CLKHC), 低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

##### ● サブクロックモード

サブクロックモードでは、サブクロック(CLKSO)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

メインクロック(CLKMO), 高速 CR クロック(CLKHC), メイン PLL クロック(CLKPLL)はハードウェアで停止します。低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

##### ● 高速 CR クロックモード

高速 CR クロックモードでは、内蔵高速 CR クロック(CLKHC)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

メインクロック(CLKMO), メイン PLL クロック(CLKPLL), サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM\_CTL)の MOSCE, PLLE, SOSCE ビットの設定によって状態を決定できます。高速 CR クロック(CLKHC), 低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

##### ● 低速 CR クロックモード

低速 CR クロックモードでは、内蔵低速 CR クロック(CLKLC)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

また、低速 CR クロックモード時、メインクロック(CLKMO), 高速 CR クロック(CLKHC), メイン PLL クロック(CLKPLL)はハードウェアで停止します。サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM\_CTL)の SOSCE ビットの設定によって状態を決定できます。

##### ● メイン PLL クロックモード

メイン PLL クロックモードでは、メイン PLL クロック(CLKPLL)がマスタクロックとして使用されます。CPU を動作させるバスクロックと大部分の周辺機能を動作させます。

サブクロック(CLKSO)は、システムクロックモード制御レジスタ(SCM\_CTL)の SOSCE ビットの設定によって状態を決定できます。高速 CR クロック(CLKHC), 低速 CR クロック(CLKLC)はユーザプログラムで停止できません。

## 3.2. 内部バスクロック分周制御

内部バスクロック分周について説明します。

内部バスクロックは、それぞれ独立してベースクロックからの分周比を設定できます。  
この機能により、各回路に最適な動作周波数を設定します。

内部バスクロック周波数の最大値については、各製品ごとに異なります。詳細はご使用する製品の『データシート』を参照してください。

内部バスクロックの分周比は、ベースクロックプリスケーラレジスタ(BSC\_PSR), APB0 プリスケーラレジスタ(APBC0\_PSR), APB1 プリスケーラレジスタ(APBC1\_PSR), APB2 プリスケーラレジスタ(APBC2\_PSR), トレースクロック プリスケーラレジスタ(TTC\_PSR)にて設定します。各レジスタの詳細は「5. クロック生成部 レジスター一覧」を参照してください。

### ■ バスクロック分周設定

- ・ 分周設定比はソフトウェアリセットではクリアされず、ソフトウェアリセット発生前の設定が維持されます。
- ・ ソフトウェアリセット以外のリセット発生によって初期化されます。  
初期状態からマスタクロックを、より高速なソースクロックに変更する前に、必ず分周比を設定してください。
- ・ マスタクロックの選択, PLL の倍率の設定, 分周比の設定の組合せで、各内部バスの最大動作周波数を超える設定をした場合、動作は保証されません。

### 3.3. PLL クロック制御

PLL クロック制御を説明します。

PLL クロック制御回路は、メインクロックもしくは高速 CR からのメイン PLL クロック生成に使用されます。PLL 発振回路について、動作(発振)許可・禁止、入力クロック選択、安定待ち時間設定および遅倍設定を行うことが可能です。

#### ■ PLL 動作説明

以下に、メイン PLL クロック動作について説明します。

- ・ PLL クロック発振安定待ち時間設定レジスタ(PSW\_TMR)により、以下の設定を行います。
  - ・ PLL の入力クロック選択
  - ・ メイン PLL クロックの安定待ち時間の設定
  - ・ システムクロックモード制御レジスタ(SCM\_CTL)の PLL 発振許可ビット(PLLE)を"1"にセットすることで、PLL 回路が発振を開始します。
  - ・ PLL クロック安定待ち時間経過後、システムクロックモード状態レジスタ(SCM\_STR)の「PLL 発振安定ビット」が安定状態を示すことでメイン PLL クロックモードへの遷移準備が完了します。
  - ・ システムクロックモード制御レジスタ(SCM\_CTL)のマスタクロック切換え制御ビット(RCS[2:0])をメイン PLL クロックモード(RCS[2:0]=010)に設定することで、メイン PLL クロックモードへと遷移します。

#### ■ メイン PLL クロックの発振安定待ち時間の設定

「5.10 PLL クロック安定待ち時間設定レジスタ(PSW\_TMR)」を参照してください。

#### <注意事項>

- ・ PLL クロック制御回路のブロックダイヤグラムは「2 クロック生成部 構成・ブロックダイヤグラム」を参照してください。
- ・ 各内部バスクロックの分周設定順序については、「4 クロック設定手順例」を参照してください。
- ・ 発振安定待ち時間については「3.4 発振安定待ち時間」を参照してください。
- ・ PLL の入力クロックに高速 CR を選択する場合は『APPENDIX B 注意事項一覧』の『1. 高速 CR をマスタクロックに使用する場合の注意事項』を参照してください。

**■ メイン PLL クロック生成のための遅倍率設定**

PLL 制御レジスタ 1(PLL\_CTL1)および PLL 制御レジスタ 2(PLL\_CTL2)にて、PLL 遅倍回路における各分周クロックです。表 3-1～表 3-5 に各製品 TYPE の分周設定例を示します。

表 3-1 PLL 遅倍率設定例 TYPE0 製品

入力クロック	K	PLLin	N	PLLout	M	CLKPLL
4MHz	1	4MHz	20	80MHz	1	80MHz
4MHz	1	4MHz	15	60MHz	1	60MHz
4MHz	1	4MHz	15	120MHz	2	60MHz
5MHz	1	5MHz	16	80MHz	1	80MHz
5MHz	1	5MHz	12	60MHz	1	60MHz
5MHz	1	5MHz	12	120MHz	2	60MHz
6MHz	1	6MHz	10	60MHz	1	60MHz
6MHz	1	6MHz	10	120MHz	2	60MHz
8MHz	1	8MHz	10	80MHz	1	80MHz
10MHz	1	10MHz	8	80MHz	1	80MHz
10MHz	1	10MHz	6	60MHz	1	60MHz
10MHz	1	10MHz	6	120MHz	2	60MHz
12MHz	1	12MHz	5	60MHz	1	60MHz
12MHz	1	12MHz	5	120MHz	2	60MHz
15MHz	1	15MHz	4	60MHz	1	60MHz
16MHz	1	16MHz	5	80MHz	1	80MHz
20MHz	1	20MHz	4	80MHz	1	80MHz
30MHz	1	30MHz	2	120MHz	2	60MHz
40MHz	2	20MHz	4	80MHz	1	80MHz
48MHz	3	16MHz	5	80MHz	1	80MHz
48MHz	4	12MHz	5	60MHz	1	60MHz

**<注意事項>**

- PLL の特性はご使用する製品の『データシート』を参照してください。
- PLLin は『データシート』の「PLL 入力クロック周波数 :  $f_{PLL1}$ 」の範囲内にしてください。
- 「M×N」の値が PLLin に対する遅倍率になります。この値が『データシート』の「PLL 遅倍率」の範囲内にしてください。
- PLLin が「M×N」遅倍された周波数が PLLout になります。この値が『データシート』の「PLL マクロ発振クロック周波数 :  $f_{PLLO}$ 」の範囲内にしてください。
- PLLout が「M」分周された値が CLKPLL になります。
- PLL と分周器の構成は図 2-1 を参照してください。

表 3-2 PLL 適倍率設定例 TYPE1/TYPE5 製品

入力クロック	K	PLLin	N	PLLout	M	CLKPLL
4MHz	1	4MHz	10	200MHz	5	40MHz
5MHz	1	5MHz	8	200MHz	5	40MHz
8MHz	1	8MHz	5	240MHz	6	40MHz
8MHz	2	4MHz	10	200MHz	5	40MHz
10MHz	1	10MHz	4	200MHz	5	40MHz
10MHz	1	10MHz	4	240MHz	6	40MHz
10MHz	1	10MHz	4	280MHz	7	40MHz
10MHz	2	5MHz	8	200MHz	5	40MHz
12MHz	3	4MHz	10	200MHz	5	40MHz
16MHz	2	8MHz	5	240MHz	6	40MHz
16MHz	4	4MHz	10	200MHz	5	40MHz
20MHz	2	10MHz	4	200MHz	5	40MHz
20MHz	4	5MHz	8	200MHz	5	40MHz

表 3-3 PLL 適倍率設定例 TYPE2/TYPE4 製品

入力クロック	K	PLLin	N	PLLout	M	CLKPLL
4MHz	1	4MHz	36	288MHz	2	144MHz
8MHz	2	4MHz	36	288MHz	2	144MHz
8MHz	1	8MHz	18	288MHz	2	144MHz
12MHz	3	4MHz	36	288MHz	2	144MHz
12MHz	2	6MHz	24	288MHz	2	144MHz
12MHz	1	12MHz	12	288MHz	2	144MHz
16MHz	1	16MHz	9	288MHz	2	144MHz
16MHz	2	8MHz	18	288MHz	2	144MHz
16MHz	4	4MHz	36	288MHz	2	144MHz

### <注意事項>

- PLL の特性はご使用する製品の『データシート』を参照してください。
- PLLin は『データシート』の「PLL 入力クロック周波数 :  $f_{PLL}$ 」の範囲内にしてください。
- 「M×N」の値が PLLin に対する適倍率になります。この値が『データシート』の「PLL 適倍率」の範囲内にしてください。
- PLLin が「M×N」適倍された周波数が PLLout になります。この値が『データシート』の「PLL マクロ発振クロック周波数 :  $f_{PLLO}$ 」の範囲内にしてください。
- PLLout が「M」分周された値が CLKPLL になります。
- PLL と分周器の構成は図 2-1 を参照してください。

表 3-4 PLL 過倍率設定例 TYPE3/TYPE7 製品

入力クロック	K	PLLIn	N	PLLout	M	CLKPLL
4MHz	1	4MHz	3	12MHz	1	12MHz
4MHz	1	4MHz	4	16MHz	1	16MHz
4MHz	1	4MHz	5	20MHz	1	20MHz
5MHz	1	5MHz	2	10MHz	1	10MHz
5MHz	1	5MHz	4	20MHz	1	20MHz
6MHz	1	6MHz	2	12MHz	1	12MHz
6MHz	1	6MHz	3	18MHz	1	18MHz
8MHz	1	8MHz	2	16MHz	1	16MHz
10MHz	1	10MHz	2	20MHz	1	20MHz
10MHz	2	5MHz	4	20MHz	1	20MHz
10MHz	1	10MHz	1	10MHz	1	10MHz
12MHz	2	6MHz	3	18MHz	1	18MHz

表 3-5 PLL 過倍率設定例 TYPE6 製品

入力クロック	K	PLLIn	N	PLLout	M	CLKPLL
4MHz	1	4MHz	10	80MHz	2	40MHz
8MHz	1	8MHz	5	120MHz	3	40MHz
8MHz	2	4MHz	10	80MHz	2	40MHz
10MHz	1	10MHz	8	80MHz	1	40MHz
10MHz	2	5MHz	4	120MHz	3	40MHz
12MHz	3	4MHz	10	80MHz	2	40MHz
16MHz	2	8MHz	5	120MHz	3	40MHz
16MHz	4	4MHz	10	80MHz	2	40MHz
20MHz	2	10MHz	4	120MHz	3	40MHz
20MHz	4	5MHz	8	80MHz	2	40MHz

#### <注意事項>

- PLL の特性はご使用する製品の『データシート』を参照してください。
- PLLIn は『データシート』の「PLL 入力クロック周波数 :  $f_{PLL}$ 」の範囲内にしてください。
- 「M×N」の値が PLLIn に対する過倍率になります。この値が『データシート』の「PLL 過倍率」の範囲内にしてください。
- PLLIn が「M×N」過倍された周波数が PLLout になります。この値が『データシート』の「PLL マクロ発振クロック周波数 :  $f_{PLLO}$ 」の範囲内にしてください。
- PLLout が「M」分周された値が CLKPLL になります。
- PLL と分周器の構成は図 2-1 を参照してください。

## 3.4. 発振安定待ち時間

発振安定待ち時間を説明します。

ソースクロックが安定動作状態になっていない場合、発振安定待ち時間が必要です。発振安定待ち時間中は、内部および外部のクロック供給は停止し、内蔵タイムカウンタのみが動作して、クロック安定待ち時間レジスタ(CSW\_TMR)、もしくはPLLクロック発振安定待ち時間設定レジスタ(PSW\_TMR)にて設定された安定待ち時間の経過を待ちます。発振安定待ち時間が経過すると、対応する発振器の準備は完了し、クロックをマスタクロックとして使用できます。

### ■ 発振安定待ち時間の設定

- ・ メインクロック(CLKMO)  
クロック安定待ち時間レジスタ(CSW\_TMR)にて、メインクロックの安定待ち時間を設定してください。設定した安定待ち時間は CLKHC にてカウントされます。
- ・ サブクロック(CLKSO)  
クロック安定待ち時間レジスタ(CSW\_TMR)にて、サブクロックの安定待ち時間を設定してください。設定した安定待ち時間は CLKLC にてカウントされます。
- ・ メイン PLL クロック  
PLL クロック発振安定待ち時間設定レジスタ(PSW\_TMR)により、以下の設定をしてください。設定した安定待ち時間は CLKHC にてカウントされます。
- ・ PLL の入力クロック選択
- ・ メイン PLL クロックの安定待ち時間の設定

### ■ 発振安定待ち発生要因

- ・ ソフトウェアでの発振許可後  
システムクロックモード制御レジスタ(SCM\_CTL)の PLL 発振許可ビット(PLLE), サブクロック発振許可ビット(SOSCE), メインクロック発振許可ビット(MOSCE)を"1"に設定することで、各発振器は発振安定待ち時間を持ちます。
- ・ RTC モードからの時計カウンタ割込み, RTC 割込み, 外部割込み復帰時  
時計カウンタ割込み, RTC 割込み, 外部割込みにて RTC モード前のクロックモードに復帰します。RTC モード時はサブクロック以外のソースクロックが停止しているため、サブクロック以外はハードウェアが自動で発振安定待ち時間を持ちます。
- ・ ストップモードからの外部割込み復帰時  
外部割込みにてストップモード前のクロックモードに復帰します。ストップモード時はすべてのソースクロックが停止しているため、ハードウェアが自動で発振安定待ち時間を持ちます。
- ・ PLL 動作許可後  
PLL 動作許可後、PLL 発振安定待ち時間を持ちます。

### <注意事項>

- ・ 各発振安定待ち時間の設定値変更は、クロック許可前に行ってください。
- ・ ソフトウェアリセット後は発振安定待ち時間を待ちません。
- ・ メインクロック/サブクロック/メイン PLL 各クロック安定待ち時間は、内蔵 CR にて安定待ち時間設定レジスタ分カウントを行うものです。カウント終了にて、発振安定待ち完了フラグが立ちますので、各発振器の状態とは独立しています。そのため、発振安定待ち時間の設定が短すぎる場合、発振器の発振安定前に、発振安定待ち時間が完了してしまう可能性があります。
- ・ メインクロック発振器とサブクロック発振器の安定待ち時間は、発振子の種類(水晶, セラミックなど)によって異なるため、使用する発振子に対して適切な発振安定待ち時間を選択する必要があります。

- 
- PLL 発振安定待ち時間はご使用する製品の『データシート』の「電気的特性：PLL クロック」の LOCKUP 時間を参照の上、設定してください。
-

## 3.5. 割込み要因

クロック関係の割込み要因について説明します。

クロック生成部は以下の割込み要因を持ちます。

### ■ 割込み要因

クロック生成部は以下の4種類の割込み要因があります。

- ・ FCS(異常周波数検出)割込み  
FCS(異常周波数検出)機能を有効にし、メインクロックの異常周波数を検出した際に割込みが発生します。
- ・ メイン PLL クロック発振安定待ち完了割込み  
メイン PLL クロック発振安定待ち完了により、割込みが発生します。
- ・ サブクロック発振安定待ち完了割込み  
サブクロック発振安定待ち完了により、割込みが発生します。
- ・ メインクロック発振安定待ち完了割込み  
メインクロック発振安定待ち完了により、割込みが発生します。

### ■ レジスタ

各割込み要因について以下の3種類のレジスタがあります。

- ・ 割込みイネーブルレジスタ  
各割込みのイネーブル設定を行います。
- ・ 割込み状態レジスタ  
各割込みの状態を示します。このレジスタはリードオンリです。
- ・ 割込み要因クリアレジスタ  
各割込み要因のクリアを行います。このレジスタはライトオンリです。

## 4. クロック設定手順例

クロックの設定手順例を説明します。

### ■ 設定手順例

図 4-1 クロック設定手順例 (電源投入→高速 CR ランモード→希望するクロックモード)

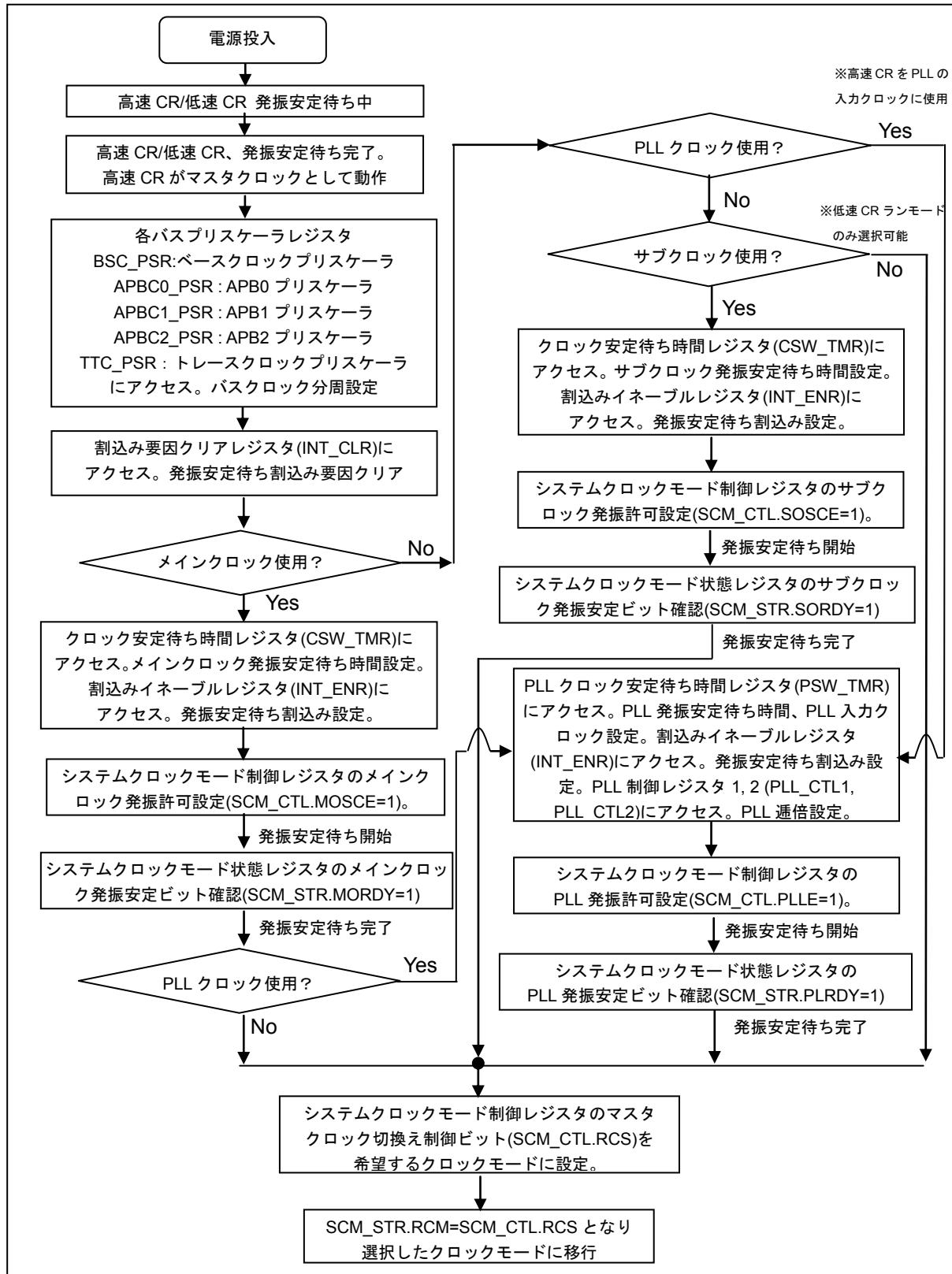
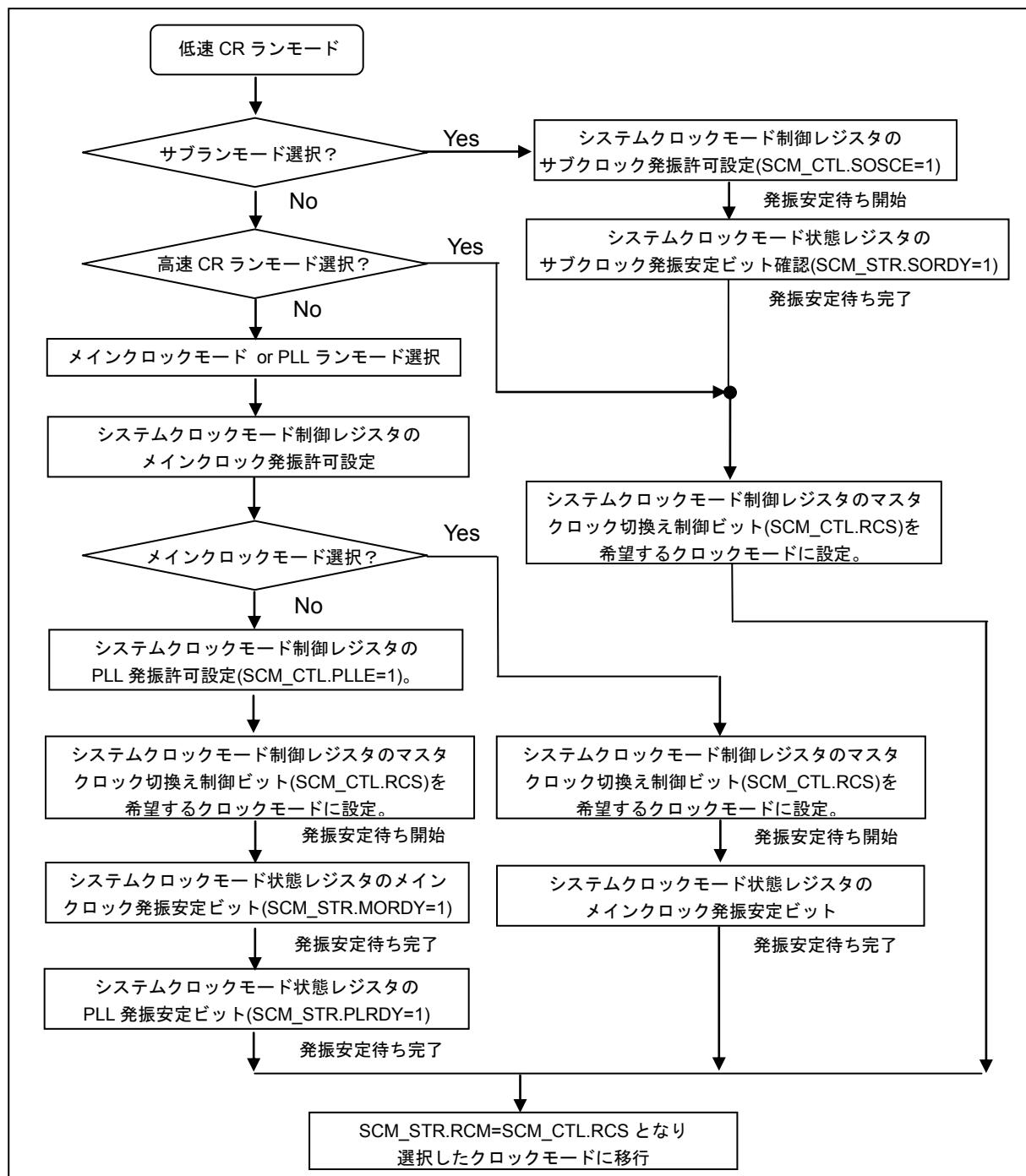


図 4-2 クロック設定手順例 (低速 CR ランモード→希望するクロックのランモード)



#### <注意事項>

- 図 4-2 では各クロックの発振安定待ち時間の設定、割込みの設定、PLL 週波数倍数設定、およびバスクロックの分周設定は既に、設定済みであるものとして省略しています。
- サブクロックモード、低速 CR クロックモード時は、メインクロック(CLKMO)、高速 CR クロック(CLKHc)、メイン PLL クロック(CLKPLL)はハードウェアで停止しているため、CLKMO、CLKHc、CLKPLL は各発振許可設定ビット=1 だけでは発振開始しません。各発振許可設定ビット=1 かつ、SCM\_CTL.RCS を変更することにより、発振開始します。
- メインクロック/サブクロック発振安定待ち時間の設定が短く、各発振器の安定前に発振安定待ち時間が完了した場合、クロック監視機能によりリセットがかかる場合があります。

## 5. クロック生成部 レジスター覧

クロック生成のレジスター覧を説明します。

### ■ クロック生成部のレジスター覧

レジスタ略称	レジスタ名	参照先
SCM_CTL	システムクロックモード制御レジスタ	5.1
SCM_STR	システムクロックモード状態レジスタ	5.2
BSC_PSR	ベースクロックプリスケーラレジスタ	5.3
APBC0_PSR	APB0 プリスケーラレジスタ	5.4
APBC1_PSR	APB1 プリスケーラレジスタ	5.5
APBC2_PSR	APB2 プリスケーラレジスタ	5.6
SWC_PSR	ソフトウェアウォッチドッグクロックプリスケーラレジスタ	5.7
TTC_PSR	トレースクロックプリスケーラレジスタ	5.8
CSW_TMR	クロック安定待ち時間レジスタ	5.9
PSW_TMR	PLL クロック安定待ち時間設定レジスタ	5.10
PLL_CTL1	PLL 制御レジスタ 1	5.11
PLL_CTL2	PLL 制御レジスタ 2	5.12
DBWDT_CTL	デバッグブレークウォッチドッグタイマ制御レジスタ	5.13
INT_ENR	割込みイネーブルレジスタ	5.14
INT_STR	割込み状態レジスタ	5.15
INT_CLR	割込みクリアレジスタ	5.16

## 5.1. システムクロックモード制御レジスタ(SCM\_CTL)

SCM\_CTL レジスタは、マスタクロックの選択およびクロックの発振許可を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	RCS[2:0]		PLLE	SOSCE	予約	MOSCE	予約	
初期値	000		0	0	-	0	-	
属性	R/W		R/W	R/W	-	R/W	-	

### ■ レジスタ機能

[bit7:5] RCS : マスタクロック切換え制御ビット

bit7	bit6	bit5	説明
0	0	0	高速 CR クロック[初期値]
0	0	1	メインクロック
0	1	0	メイン PLL クロック
0	1	1	設定禁止
1	0	0	低速 CR クロック
1	0	1	サブクロック
1	1	0	設定禁止
1	1	1	設定禁止

[bit4] PLLE : PLL 発振許可ビット

bit	説明
0	PLL 発振禁止[初期値]
1	PLL 発振許可

[bit3] SOSCE : サブクロック発振許可ビット

bit	説明
0	サブクロック発振禁止[初期値]
1	サブクロック発振許可

[bit2] 予約 : 予約ビット

このビットからは、"0"が読み出されます。  
書き込みの場合には、"0"を設定してください。

[bit1] MOSCE : メインクロック発振許可ビット

bit	説明
0	メインクロック発振禁止[初期値]
1	メインクロック発振許可

[bit0] 予約 : 予約ビット

このビットからは、"0"が読み出されます。  
書き込みの場合には、"0"を設定してください。

<注意事項>

- ・ 本レジスタはソフトウェアリセットでは初期化されません。
- ・ クロックモードを変更する場合、遷移先のクロックの発振許可設定をしてから、クロック切換え制御ビット(SCM\_CTL:RCS[2:0])を変更してください。
- ・ RTC モード制御レジスタ(PMD\_CTL)の RTCE ビット(PMD\_CTL:RTCE)が"1"の時、SOSCE ビット, SORDY ビットの値に関わらずサブクロック発振許可状態になります。
- ・ PMD\_CTL:RTCE ビットへの"1"書き込みは、SORDY ビットが"1"の時のみ有効です。
- ・ RTC モード, ディープスタンバイ RTC モードを搭載していない製品には PMD\_CTL:RTCE ビットがありません。『低消費電力モード』の章の表 1-1 を参照してください。

## 5.2. システムクロックモード状態レジスタ(SCM\_STR)

SCM\_STR レジスタは、マスタクロックの選択状態およびクロックの発振安定待ち状態を示します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	RCM[2:0]			PLRDY	SORDY	予約	MORDY	予約
初期値	000			0	0	-	0	-
属性	R			R	R	-	R	-

### ■ レジスタ機能

[bit7:5] RCM2～RCM0：マスタクロックの選択状態ビット

bit7	bit6	bit5	説明
0	0	0	高速 CR クロック [初期値]
0	0	1	メインクロック
0	1	0	PLL クロック
0	1	1	設定禁止
1	0	0	低速 CR クロック
1	0	1	サブクロック
1	1	0	設定禁止
1	1	1	設定禁止

[bit4] PLRDY : PLL 発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態 [初期値]
1	安定状態

[bit3] SORDY : サブクロック発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態 [初期値]
1	安定状態

[bit2] 予約 : 予約ビット

このビットからは、"0"が読み出されます。

[bit1] MORDY：メインクロック発振安定ビット

bit	説明
0	安定待ちまたは発振停止状態[初期値]
1	安定状態

[bit0] 予約：予約ビット

このビットからは、"0"が読み出されます。

---

<注意事項>

- ・ 本レジスタはソフトウェアリセットでは初期化されません。
  - ・ RTC モード制御レジスタ(PMD\_CTL)の RTCE ビット(PMD\_CTL:RTCE)が"1"の時、SOSCE ビット, SORDY ビットの値に関わらずサブクロック発振許可状態になります。
  - ・ PMD\_CTL:RTCE ビットへの"1"書き込みは、SORDY ビットが"1"の時のみ有効です。
  - ・ RTC モード, ディープスタンバイ RTC モードを搭載していない製品には PMD\_CTL:RTCE ビットがありません。『低消費電力モード』の章の表 1-1 を参照してください。
-

### 5.3. ベースクロックプリスケーラレジスタ(BSC\_PSR)

BSC\_PSR レジスタは、ベースクロックの分周比を設定します。

#### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field			予約				BSR	
初期値	-						000	
属性	-						R/W	

#### ■ レジスタ機能

##### [bit7:3] 予約 : 予約ビット

これらのビットからは、"0b00000"が読み出されます。  
書き込みの場合には、"0b00000"を設定してください。

##### [bit2:0] BSR : ベースクロック分周比設定ビット

bit2	bit1	bit0	説明
0	0	0	1/1[初期値]
0	0	1	1/2
0	1	0	1/3
0	1	1	1/4
1	0	0	1/6
1	0	1	1/8
1	1	0	1/16
1	1	1	設定禁止

#### <注意事項>

本レジスタはソフトウェアリセットでは初期化されません。

## 5.4. APB0 プリスケーラレジスタ(APBC0\_PSR)

APBC0\_PSR レジスタは、APB0 バスクロックの分周を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0	
Field							予約		APBC0
初期値							-		00
属性							-		R/W

### ■ レジスタ機能

[bit7:2] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。  
書き込みの場合には、"0b0000000"を設定してください。

[bit1:0] APBC0 : APB0 バスクロック分周設定ビット

bit1	bit0	説明
0	0	1/1[初期値]
0	1	1/2
1	0	1/4
1	1	1/8

### <注意事項>

本レジスタはソフトウェアリセットでは初期化されません。

## 5.5. APB1 プリスケーラレジスタ(APBC1\_PSR)

APBC1\_PSR レジスタは、APB1 バスクロックの分周を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	APBC1EN		予約	APBC1RST		予約	APBC1	
初期値	1	-		0	-		00	
属性	R/W	-		R/W	-		R/W	

### ■ レジスタ機能

[bit7] APBC1EN : APB1 クロックイネーブルビット

bit	説明
0	PCLK1 出力禁止
1	PCLK1 出力許可 [初期値]

[bit6:5] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

[bit4] APBC1RST : APB1 バスリセット制御ビット

bit	説明
0	APB1 バスリセット 非アクティブ [初期値]
1	APB1 バスリセット アクティブ

[bit3:2] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

[bit1:0] APBC1 : APB1 バスクロック分周設定ビット

bit1	bit0	説明
0	0	1/1[初期値]
0	1	1/2
1	0	1/4
1	1	1/8

### <注意事項>

本レジスタはソフトウェアリセットでは初期化されません。

## 5.6. APB2 プリスケーラレジスタ(APBC2\_PSR)

APBC2\_PSR レジスタは、APB2 バスクロックの分周を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	APBC2EN	予約		APBC2RST	予約		APBC2	
初期値	1	-		0	-		00	
属性	R/W	-		R/W	-		R/W	

### ■ レジスタ機能

[bit7] APBC2EN : APB2 クロックイネーブルビット

bit	説明
0	PCLK2 出力禁止
1	PCLK2 出力許可 [初期値]

[bit6:5] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

[bit4] APBC2RST : APB2 バスリセット制御ビット

bit	説明
0	APB2 バスリセット 非アクティブ[初期値]
1	APB2 バスリセット アクティブ

[bit3:2] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

[bit1:0] APBC2 : APB2 バスクロック分周設定ビット

bit1	bit0	説明
0	0	1/1[初期値]
0	1	1/2
1	0	1/4
1	1	1/8

### <注意事項>

本レジスタはソフトウェアリセットでは初期化されません。

## 5.7. ソフトウェアウォッチドッグクロックプリスケーラレジスタ(SWC\_PSR)

SWC\_PSR レジスタは、ソフトウェアウォッチドッグクロックの分周および出力イネーブルを設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	TESTB			予約			SWDS	
初期値	X			-			00	
属性	R/W			-			R/W	

### ■ レジスタ機能

[bit7] TESTB : TEST ビット

bit	説明
0	設定禁止
1	常に"1"を書き込んでください。

\* 本ビットの読み出し値は不定です。

[bit6:2] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。  
書き込みの場合には、"0b000000"を設定してください。

[bit1:0] SWDS : ソフトウェアウォッチドッグクロック分周比設定ビット

bit1	bit0	説明
0	0	PCLK0 の 1 分周に設定されます。[初期値]
0	1	PCLK0 の 2 分周に設定されます。
1	0	PCLK0 の 4 分周に設定されます。
1	1	PCLK0 の 8 分周に設定されます。

### <注意事項>

- ・ 本レジスタはソフトウェアリセットでは初期化されません。
- ・ 本レジスタに値を書き込むとき、TESTB ビットには必ず"1"を書き込んでください。

## 5.8. トレースクロックプリスケーラレジスタ(TTC\_PSR)

TTC\_PSR レジスタは、トレースクロック分周を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					TTC		
初期値	-					00		
属性	-					R/W		

### ■ レジスタ機能

[bit7:2] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。  
書き込みの場合には、"0b0000000"を設定してください。

[bit1:0] TTC : トレースクロック分周比設定ビット

bit1	bit0	説明
0	0	1 分周 [初期値]
0	1	2 分周
1	0	4 分周
1	1	8 分周

### <注意事項>

本レジスタはソフトウェアリセットでは初期化されません。

TYPE0, TYPE1 製品は1分周、もしくは2分周のみ設定可能です。

## 5.9. クロック安定待ち時間レジスタ(CSW\_TMR)

CSW\_TMR レジスタは、メイン/サブクロック安定待ち時間を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0	
Field	予約	SOWT			MOWT				
初期値	-	000				0000			
属性	-	R/W				R/W			

### ■ レジスタ機能

#### [bit7] 予約 : 予約ビット

このビットからは、"0"が読み出されます。  
書き込みの場合には、"0"を設定してください。

#### [bit6:4] SOWT : サブクロックの安定待ち時間設定ビット

bit6	bit5	bit4	説明
0	0	0	$2^{10}/F_{CRL}$ : 約 10.3ms * [初期値]
0	0	1	$2^{11}/F_{CRL}$ : 約 20.5ms *
0	1	0	$2^{12}/F_{CRL}$ : 約 41ms *
0	1	1	$2^{13}/F_{CRL}$ : 約 82ms *
1	0	0	$2^{14}/F_{CRL}$ : 約 164ms *
1	0	1	$2^{15}/F_{CRL}$ : 約 327ms *
1	1	0	$2^{16}/F_{CRL}$ : 約 655ms *
1	1	1	$2^{17}/F_{CRL}$ : 約 1.31s *

\*:  $F_{CRL}=100\text{kHz}$  の場合

#### [bit3:0] MOWT : メインクロックの安定待ち時間設定ビット

bit3	bit2	bit1	bit0	説明
0	0	0	0	$2^1/F_{CRH}$ : 約 500ns * [初期値]
0	0	0	1	$2^5/F_{CRH}$ : 約 8 μs *
0	0	1	0	$2^6/F_{CRH}$ : 約 16 μs *
0	0	1	1	$2^7/F_{CRH}$ : 約 32 μs *
0	1	0	0	$2^8/F_{CRH}$ : 約 64 μs *
0	1	0	1	$2^9/F_{CRH}$ : 約 128 μs *
0	1	1	0	$2^{10}/F_{CRH}$ : 約 256 μs *
0	1	1	1	$2^{11}/F_{CRH}$ : 約 512 μs *
1	0	0	0	$2^{12}/F_{CRH}$ : 約 1.0ms *
1	0	0	1	$2^{13}/F_{CRH}$ : 約 2.0ms *
1	0	1	0	$2^{14}/F_{CRH}$ : 約 4.0ms *
1	0	1	1	$2^{15}/F_{CRH}$ : 約 8.0ms *
1	1	0	0	$2^{17}/F_{CRH}$ : 約 33.0ms *
1	1	0	1	$2^{19}/F_{CRH}$ : 約 131ms *
1	1	1	0	$2^{21}/F_{CRH}$ : 約 524ms *
1	1	1	1	$2^{23}/F_{CRH}$ : 約 2.0s *

\*:  $F_{CRH}=4\text{MHz}$  の場合

**<注意事項>**

- 各発振安定待ち時間設定は、SCM\_CTL レジスタの各発振許可ビット(SOSCE, MOSCE)を有効にする前に行ってください。  
各発振器の発振安定待ち中に、MOWT, SOWT ビットを変更すると各発振安定待ち時間は保証されません。
  - 本レジスタはソフトウェアリセットでは初期化されません。
-

## 5.10. PLL クロック安定待ち時間設定レジスタ(PSW\_TMR)

PSW\_TMR レジスタは、メイン PLL クロック安定待ち時間を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field		予約		PINC	予約		POWT	
初期値	-			0	-		000	
属性	-			R/W	-		R/W	

### ■ レジスタ機能

#### [bit7:5] 予約 : 予約ビット

これらのビットからは、"0b000"が読み出されます。  
書き込みの場合には、"0b000"を設定してください。

#### [bit4] PINC : PLL 入力クロック選択ビット

bit	説明
0	CLKMO(メインクロック発振)を選択[初期値]
1	CLKHC(高速 CR クロック)を選択

(注意事項) 本ビットを "1" に設定する場合はいくつかの制限があります。

『APPENDIXES B 注意事項一覧』の「1. 高速 CR をマスタクロックに使用する場合の注意事項」を必ず参照してください。

#### [bit3] 予約 : 予約ビット

このビットからは、"0"が読み出されます。  
書き込みの場合には、"0"を設定してください。

#### [bit2:0] POWT : メイン PLL クロックの安定待ち時間設定ビット

bit2	bit1	bit0	説明
0	0	0	$2^0 / F_{CRH}$ : 約 128 $\mu s$ * [初期値]
0	0	1	$2^{10} / F_{CRH}$ : 約 256 $\mu s$ *
0	1	0	$2^{11} / F_{CRH}$ : 約 512 $\mu s$ *
0	1	1	$2^{12} / F_{CRH}$ : 約 1.02ms *
1	0	0	$2^{13} / F_{CRH}$ : 約 2.05ms *
1	0	1	$2^{14} / F_{CRH}$ : 約 4.10ms *
1	1	0	$2^{15} / F_{CRH}$ : 約 8.20ms *
1	1	1	$2^{16} / F_{CRH}$ : 約 16.40ms *

\*:  $F_{CRH}=4MHz$  の場合

### <注意事項>

- 各発振安定待ち時間設定は、SCM\_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。
- PLL 発振器の発振安定待ち中に、POWT ビットを変更すると発振安定待ち時間は保証されません。
- 本レジスタはソフトウェアリセットでは初期化されません。

## 5.11. PLL 制御レジスタ 1(PLL\_CTL1)

PLL\_CTL1 レジスタは、PLL の分周比を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	PLLK				PLLM			
初期値	0000				0000			
属性	R/W				R/W			

### ■ レジスタ機能

[bit7:4] PLLK : PLL 入力クロック分周比設定ビット

bit7:4	説明
0000	
0001	
.	(PLLK の値+1)分周になります 例 : PLLK の値(0000)+1 ⇒ 1 分周[初期値]
.	
1111	

[bit3:0] PLLM : PLL の VCO クロックの分周比設定ビット

bit3:0	説明
0000	
0001	
.	(PLLM の値+1)分周になります 例 : PLLM の値(0000)+1 ⇒ 1 分周[初期値]
.	
1111	

### <注意事項>

- 各分周比設定は、SCM\_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。
- 本レジスタはソフトウェアリセットでは初期化されません。

## 5.12. PLL 制御レジスタ 2(PLL\_CTL2)

PLL\_CTL2 レジスタは、PLL の分周比を設定します。

### ■ TYPE0 製品

#### ● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field		予約				PLLN		
初期値	-					00000		
属性	-					R/W		

#### ● レジスタ機能

##### [bit7:5] 予約 : 予約ビット

これらのビットからは、"0b000"が読み出されます。  
書き込みの場合には、"0b000"を設定してください。

##### [bit4:0] PLLN : PLL のフィードバック分周比設定ビット

bit4:0	説明
00000	
00001	
.	(PLLN の値+1)分周になります 例 : PLLN の値(0000)+1 ⇒ 1 分周[初期値]
.	
11111	

### <注意事項>

- 分周比設定は、SCM\_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。
- 本レジスタはソフトウェアリセットでは初期化されません。

## ■ TYPE0 製品以外

### ● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約			PLLN				
初期値	-					000000		
属性	-					R/W		

### ● レジスタ機能

[bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書き込みの場合には、"0b00"を設定してください。

[bit5:0] PLLN : PLL のフィードバック分周比設定ビット

bit5:0	説明
000000	
000001	
.	(PLLN の値+1)分周になります 例 : PLLN の値(000000)+1 ⇒ 1 分周[初期値]
110001	
110010	
.	設定禁止
111111	

### <注意事項>

- 分周比設定は、SCM\_CTL レジスタの PLL 発振許可ビット(PLLE)を有効にする前に行ってください。
- 本レジスタはソフトウェアリセットでは初期化されません。

## 5.13. デバッグブレーク ウオッチドッグタイマ 制御レジスタ(DBWDT\_CTL)

DBWDT\_CTL レジスタは、デバッグの際のツールブレーク時のウォッチドッグタイマのカウント動作を設定します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	DPHWBE	予約	DPSWBE					予約
初期値	0	0	0			-		-
属性	R/W	-	R/W			-		-

### ■ レジスタ機能

[bit7] DPHWBE : HW-WDG デバッグモード ブレークビット

bit	説明
0	ツールブレーク時、HW-WDG はカウントを停止する[初期値]
1	ツールブレーク時、HW-WDG はカウントを継続する

[bit6] 予約 : 予約ビット

このビットからは、"0"が読み出されます。  
書き込みの場合には、"0"を設定してください。

[bit5] DPSWBE : SW-WDG デバッグモード ブレークビット

bit	説明
0	ツールブレーク時、SW-WDG はカウントを停止する[初期値]
1	ツールブレーク時、SW-WDG はカウントを継続する

[bit4:0] 予約 : 予約ビット

これらのビットからは、"0b00000"が読み出されます。  
書き込みの場合には、"0b00000"を設定してください。

### <注意事項>

本レジスタはソフトウェアリセットでは初期化されません。

## 5.14. 割込みイネーブルレジスタ(INT\_ENR)

INT\_ENR レジスタは、割込みのイネーブル設定を行います。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		FCSE		予約	PCSE	SCSE	MCSE
初期値	-		0		-	0	0	0
属性	-		R/W		-	R/W	R/W	R/W

### ■ レジスタ機能

#### [bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit5] FCSE : 異常周波数検出割込みイネーブルビット

bit	説明
0	FCS 割込み禁止
1	FCS 割込み許可

#### [bit4:3] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit2] PCSE : PLL 発振安定待ち完了割込みイネーブルビット

bit	説明
0	PLL 発振安定待ち完了割込み禁止
1	PLL 発振安定待ち完了割込み許可

#### [bit1] SCSE : サブクロック発振安定待ち完了割込みイネーブルビット

bit	説明
0	サブクロック発振安定待ち完了割込み禁止
1	サブクロック発振安定待ち完了割込み許可

#### [bit0] MCSE : メインクロック発振安定待ち完了割込みイネーブルビット

bit	説明
0	メインクロック発振安定待ち完了割込み禁止
1	メインクロック発振安定待ち完了割込み許可

### <注意事項>

「異常周波数検出」については、別章『クロック監視機能』を参照してください。

## 5.15. 割込み状態レジスタ(INT\_STR)

INT\_STR レジスタは、割込みの状態を示します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0	
Field	予約		FCSI		予約		PCSI	SCSI	MCSI
初期値	-		0		-		0	0	0
属性	-		R		-		R	R	R

### ■ レジスタ機能

#### [bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit5] FCSI : 異常周波数検出割込み状態ビット

bit	説明
0	FCS 割込みはアサートされていない。
1	FCS 割込みはアサートされた。

#### [bit4:3] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit2] PCSI : PLL 発振安定待ち完了割込み状態ビット

bit	説明
0	PLL 発振安定待ち完了割込みはアサートされていない。
1	PLL 発振安定待ち完了割込みはアサートされた。

#### [bit1] SCSI : サブクロック発振安定待ち完了割込み状態ビット

bit	説明
0	サブクロック発振安定待ち完了割込みはアサートされていない。
1	サブクロック発振安定待ち完了割込みはアサートされた。

#### [bit0] MCSI : メインクロック発振安定待ち完了割込み状態ビット

bit	説明
0	メインクロック発振安定待ち完了割込みはアサートされていない。
1	メインクロック発振安定待ち完了割込みはアサートされた。

## 5.16. 割込みクリアレジスタ(INT\_CLR)

INT\_CLR レジスタは、割込み要因をクリアします。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約		FCSC		予約	PCSC	SCSC	MCS
初期値	-		0	-	-	0	0	0
属性	-		W	-	-	W	W	W

### ■ レジスタ機能

#### [bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit5] FCSC : 異常周波数検出割込み要因クリアビット

bit	説明	
書き込み時	0	FCS 割込み要因は書き込みに影響されません。
	1	FCS 割込み要因クリアを行う。
読み出し時	常に"0"が読み出されます。	

#### [bit4:3] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit2] PCSC : PLL 発振安定待ち完了割込み要因クリアビット

bit	説明	
書き込み時	0	PLL 発振安定待ち完了割込み要因は書き込みに影響されません。
	1	PLL 発振安定待ち完了割込み要因クリアを行う。
読み出し時	常に"0"が読み出されます。	

#### [bit1] SCSC : サブクロック発振安定待ち完了割込み要因クリアビット

bit	説明	
書き込み時	0	サブクロック発振安定待ち完了割込み要因は書き込みに影響されません。
	1	サブクロック発振安定待ち完了割込み要因クリアを行う。
読み出し時	常に"0"が読み出されます。	

[bit0] MCSC : メインクロック発振安定待ち完了割込み要因クリアビット

bit	説明	
書込み時	0	メインクロック発振安定待ち完了割込み要因は書込みに影響されません。
	1	メインクロック発振安定待ち完了割込み要因クリアを行う。
読み出し時	常に"0"が読み出されます。	

<注意事項>

本レジスタをクリアすることで、INT\_STR レジスタの各割込み状態ビット(FCSI, PCSI, SCSI, MCSI)もクリアされます。

## 6. クロック生成部 使用上の注意点

クロック生成部の使用上の注意点を説明します。

- ・ メインクロック発振器とサブクロック発振器の発振安定待ち時間  
メインクロック発振器とサブクロック発振器の安定待ち時間は、発振子の種類(水晶、セラミックなど)によって異なるため、使用する発振子に対して適切な発振安定待ち時間を選択してください。
- ・ PLL 発振安定後の分周設定変更  
PLL 発振が安定してから PLL の分周比を変更する場合は、いったん PLL 発振を停止し、分周比の変更後、再度 PLL 発振許可を行ってください。
- ・ クロック生成部によるクロック制御から独立したペリフェラル群について  
以下のペリフェラルは、クロック生成部によるクロック制御から独立して動作します。  
各動作クロックの取り扱いについては、以下の章を参照してください。
  - ・ USB 動作クロック生成部 : 『通信マクロ編』の『USB クロック生成』を参照してください。
  - ・ クロック監視機能 : 別章『クロック監視機能』を参照してください。
  - ・ ウオッチドッグタイマ : 『タイマ編』の『ウォッチドッグタイマ』を参照してください。
  - ・ 時計カウンタ : 『タイマ編』の『時計カウンタ』を参照してください。
  - ・ リアルタイムクロック : 『タイマ編』の『リアルタイムクロック』を参照してください。
  - ・ CAN プリスケーラ : 『通信マクロ編』の『CAN プリスケーラ』を参照してください。
- ・ 発振安定待ち時間の設定  
メインクロック発振器、サブクロック発振器、PLL 発振器の各発振安定待ち時間設定レジスタにて発振安定待ち時間を設定してから、各発振器を有効にしてください。  
また、発振安定待ち中に、発振安定待ち時間を変更しないでください。
- ・ メイン PLL クロック使用時のメインクロック発振確認  
PLL 発振を使用中にメインクロック発振を停止することを禁止します。
- ・ クロックモードの切換え  
クロックモードの切換えは SCM\_CTL レジスタの RCS[2:0]ビットを変更することにより行われます。  
クロックモードの切換えは以下の手順で行ってください。
  1. 各発振器の発振安定待ち時間を設定する。
  2. 使用するクロックの発振許可ビット(SCM\_CTL.xxxE) を"1"に設定する。
  3. 使用するクロックの発振安定ビット(SCM\_STR.xxRDY)が 1 になったことを確認する。
  4. SCM\_CTL.RCS[2:0]を切り換える。
  5. SCM\_STR.RCM[2:0]=SCM\_CTL.RCS[2:0]となるまで待つ。
- ・ クロックモードの切換えと発振安定ビットの関係  
以下のクロックモード切換えの場合、発振安定ビット(SCM\_STR.xxxRDY)=1 になるタイミングが異なります。
- ・ 高速 CR ラン・メインラン・PLL ランから別クロックモードに切り換える場合  
SCM\_CTL.xxxE=1 にすることで、発振安定待ちは開始されます。発振安定待ち時間経過後、SCM\_STR.xxxRDY=1 を確認することができます。
- ・ 低速 CR ラン・サブランから、高速 CR ラン・メインラン・PLL ランに切り換える場合  
SCM\_CTL.MOSCE=1(PLL=1)にしても、発振安定待ちは開始されません。SCM\_CTL.RCS を切り換えることで、メインクロック発振安定待ち(もしくは、高速 CR 発振安定待ち・PLL 発振安定待ち)が開始されます。発振安定待ち時間経過後、SCM\_STR.xxRDY=1 を確認することができます。

- ・ 割込みによりスタンバイモードが解除されると、SCM\_CTL レジスタの RCS[2:0]ビットに示されているクロックモードで再開します。
- ・ マスタクロックはソフトウェアリセット以外のリセット要因が発生すると、高速 CR クロック(CLKHC)に設定されます。クロックモードも高速 CR クロックモードに設定されます。
- ・ ソフトウェアリセット以外のリセットが行われた後、メインクロック発振器、サブクロック発振器、PLL 発振は停止します。リセット後、再度これらの発振を使用したい場合、SCM\_CTL レジスタによって発振器を有効にしてください。
- ・ 各クロックモードと発振器の発振/停止の関係は、別章『低消費電力モード』を参照してください。



## CHAPTER : 高速 CR トリミング

高速 CR トリミング機能について説明します。

1. 高速 CR トリミング機能 概要
2. 高速 CR トリミング機能 構成・ブロックダイヤグラム
3. 高速 CR トリミング機能 動作説明
4. 高速 CR トリミング機能 設定手順例
5. 高速 CR トリミング機能 レジスター一覧
6. 高速 CR トリミング機能 使用上の注意点

## 1. 高速 CR トリミング機能 概要

内蔵高速 CR 発振器の周波数トリミング機能を説明します。

本デバイスの内蔵高速 CR 発振器は、プロセスばらつきにより、周波数精度に変動幅を持ちます。トリミング機能を設定することで、周波数精度の変動幅を抑えられます。

周波数トリミング設定部は次の機能を持ちます。

- 周波数トリミングレジスタ(MCR\_FTRM)にトリミング値を書き込むことにより、高速 CR の周波数トリミング設定が可能
- インプットキャプチャまたはベースタイマを使用することにより、一定期間内のカウント値から、周波数トリミングレジスタへの設定値を算出することが可能  
インプットキャプチャまたはベースタイマのどちらが使用できるかは製品 TYPE によって異なります。分類については、表 1-1 を参照してください。

表 1-1 使用可能なタイマの分類

製品 TYPE	使用可能なタイマ	
	多機能タイマ (インプットキャプチャ ch.3)	ベースタイマ ch.0
TYPE0~TYPE5, TYPE7	○	×
TYPE6	×	○

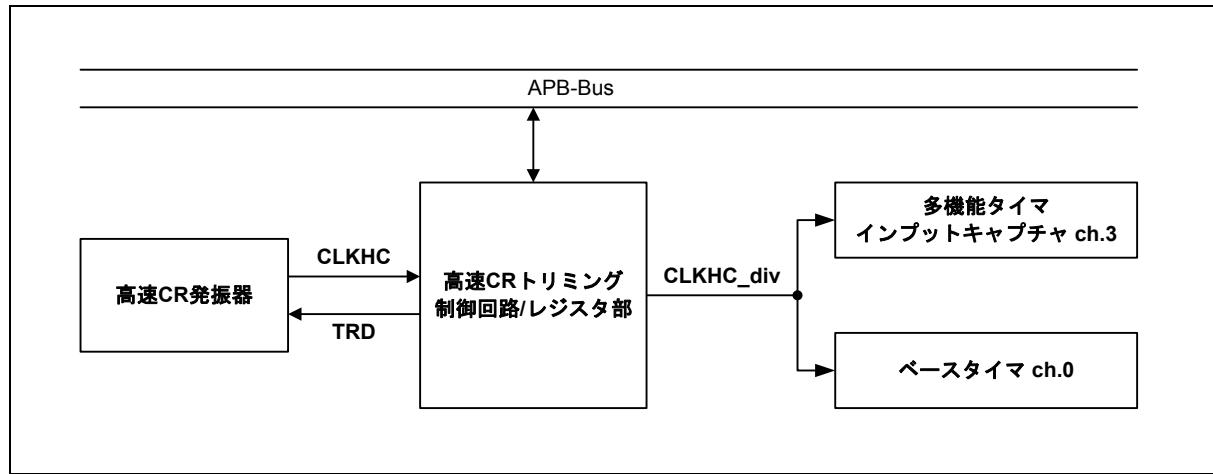
高速 CR 発振器の周波数精度はご使用する製品の『データシート』の電気的特性を参照してください。

## 2. 高速 CR トリミング機能 構成・ブロックダイヤグラム

内蔵高速 CR 発振器の周波数トリミング機能の構成・ブロックダイヤグラムを説明します。

図 2-1 に内蔵高速 CR 発振器の周波数トリミング機能のブロックダイヤグラムを示します。

図 2-1 高速 CR 発振器 タイミング回路のブロックダイヤグラム



### ■ 構成

#### ● 高速 CR 発振器

高速 CR 発振器です。CLKHC(高速 CR クロック)を出力します。

また、高速 CR 発振 周波数トリミング設定レジスタ(MCR\_FTRM)の TRD ビットにより、周波数トリミングを行えます。

#### ● 高速 CR トリミング制御回路・レジスタ部

高速 CR クロックのトリミング設定を行うための制御回路、レジスタを持ちます。

また、高速 CR 発振 分周設定レジスタ(MCR\_PSR)の CSR ビットで設定した分周比で分周した高速 CR クロック(CLKHC\_div)を多機能タイマ(インプットキャプチャ ch.3)/ベースタイマ ch.0 に出力します。

#### ● 多機能タイマ インプットキャプチャ/ベースタイマ

高速 CR クロックの周波数トリミングデータを算出するため、周波数をカウントできます。

### <注意事項>

クロック定義については、別章『クロック』を参照してください。

### 3. 高速 CR トリミング機能 動作説明

高速 CR 発振器の周波数トリミング機能の動作説明をします。

#### ■ 高速 CR 発振 周波数トリミング機能 動作説明

##### ● 周波数トリミング設定

周波数トリミングレジスタ(MCR\_FTRM)にトリミングデータ値を書き込むことにより、プロセスばらつきによる高速 CR クロックの誤差を補正できます。

##### ● レジスタ Lock 機能

周波数トリミング設定レジスタ(MCR\_FTRM)には書き込み保護機能があります。  
これはシステム暴走時などに不正にレジスタを書き換えられないようにするためにです。

##### ● トリミングデータ取得

周波数トリミング設定レジスタ(MCR\_FTRM)に書込むデータ取得方法は以下の 3 通りあります。

- ・工場出荷時のフラッシュメモリの「CR トリミング」領域に保存されている値を用いる。
- ・ユーザ自身がインプットキャプチャまたはベースタイマを使用することにより、一定期間内のカウント値から、周波数トリミング設定レジスタへの設定値を算出する。
- ・高速 CR クロックを外部端子に出力し、波形モニタを行い、周波数トリミング設定レジスタへの設定値を算出する。

#### <注意事項>

- ・フラッシュメモリを消去する場合、「CR トリミング」領域も同時に消去されます。「CR トリミング」領域の値を使用する場合、フラッシュメモリを消去する前に「CR トリミング」領域のデータを別領域(RAM など)に保存してください。  
あるいは、「CR トリミング」領域以外のセクタを消去するようにしてください。
- ・「CR トリミング」領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

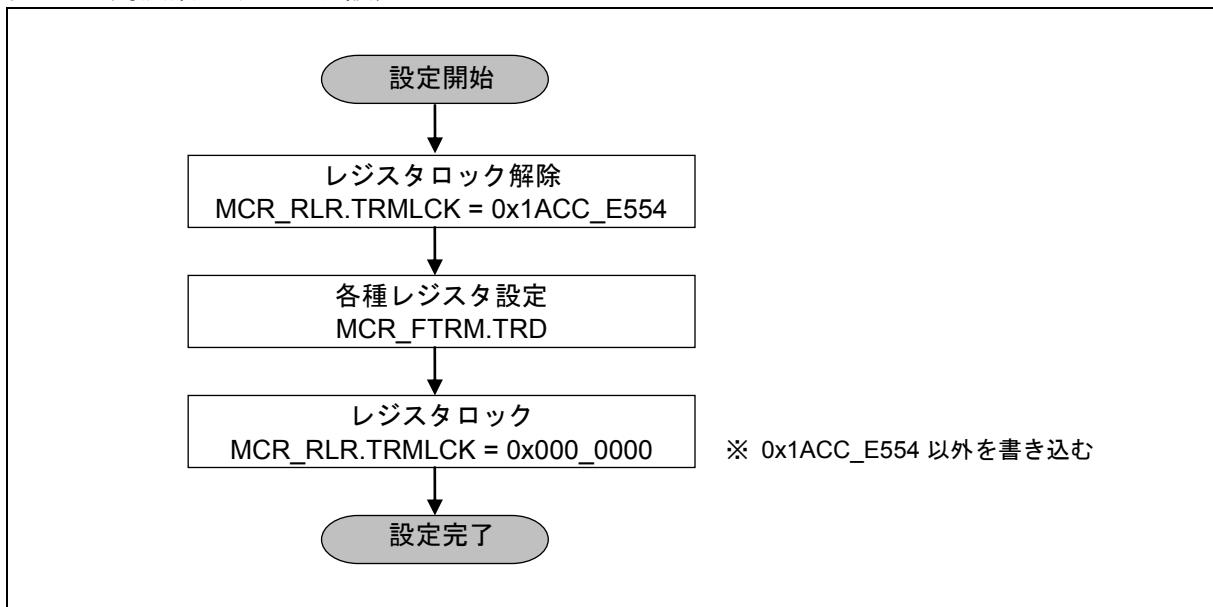
## 4. 高速 CR トリミング機能 設定手順例

高速 CR 発振器の周波数トリミング機能の設定手順例を説明します。

### ■ 周波数トリミング設定

周波数トリミング設定は、図 4-1 に示す手順で設定してください。

図 4-1 周波数トリミング設定



1. TRMLCK[31:0] ビットに「0x1ACCE554」を書き込み、MCR\_FTRM レジスタのロックを解除する。
2. MCR\_FTRM レジスタを設定する。
3. TRMLCK[31:0] ビットに「0x1ACCE554 以外」の値を書き込み、MCR\_FTRM レジスタにロックをかける。

### ■ 周波数トリミングデータ 取得例

フラッシュメモリの「CR トリミング」領域から取得する場合

- フラッシュメモリの「CR トリミング」領域を読み出し、取得した値を周波数トリミングレジスタ(MCR\_FTRM)に書き込んでください。

## ■周波数トリミングデータ算出方法

以下に高速 CR 発振器のトリミングデータ算出方法を説明します。

### ● TYPE6 製品以外

- ターゲット発振周波数  $Y_{tgt} = 4[\text{MHz}]$  とします。そのときのTRD ビットの値を  $X_{trm}$  とします。
- TRD ビットの初期値に対して-20%の値を  $X_{trmmin}$  とします。そのときの周波数を  $Y_{min}[\text{Hz}]$  とします。
- TRD ビットの初期値に対して+20%の値を  $X_{trmmax}$  とします。そのときの周波数を  $Y_{max}[\text{Hz}]$  とします。
- 下記の式より、ターゲット発振周波数  $Y_{tgt}$  となる TRD 設定値  $X_{trm}$  を求めます。

$$\text{傾き } K = \frac{Y_{max} - Y_{min}}{X_{trmmax} - X_{trmmin}}$$

$$\text{TRD 設定値 } X_{trm} = \frac{Y_{tgt} - Y_{min}}{K} + X_{trmmin}$$

(例) TYPE0, TYPE3 製品

$Y_{tgt} = 4\text{MHz}$ ,  $Y_{max}=4.8\text{MHz}$ ,  $Y_{min}=3.2\text{MHz}$ ,  $X_{trmmax}=460$ ,  $X_{trmmin}=308$  の場合、 $X_{trm}$  の値は以下のようになります。

$$K = \frac{4.8\text{M} - 3.2\text{M}}{460 - 308} = 10526$$

$$X_{trm} = \frac{4.8\text{M} - 3.2\text{M}}{10526} + 308 = 384$$

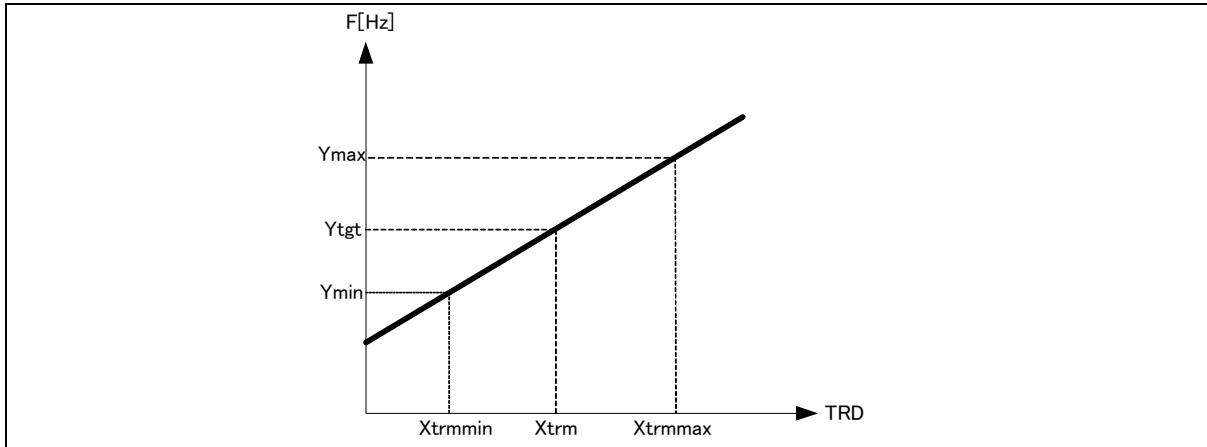
(例) TYPE1, TYPE2, TYPE4, TYPE5 製品

$Y_{tgt} = 4\text{MHz}$ ,  $Y_{max}=4.8\text{MHz}$ ,  $Y_{min}=3.2\text{MHz}$ ,  $X_{trmmax}=150$ ,  $X_{trmmin}=100$  の場合、 $X_{trm}$  の値は以下のようになります。

$$K = \frac{4.8\text{M} - 3.2\text{M}}{150 - 100} = 32000$$

$$X_{trm} = \frac{4.8\text{M} - 3.2\text{M}}{32000} + 100 = 125$$

図 4-2 高速 CR クロックのトリミング方法



<注意事項>

$Y_{\min}$ ,  $Y_{\max}$  の測定方法については「■インプットキャプチャを用いたトリミングデータ取得例」を参照してください。

### ● TYPE6 製品

1. ターゲット発振周波数 Ftgt を 4MHz としその周期を Ttgt = 250[ns](=4[MHz])とします。そのときの高速 CR 発振 周波数トリミング設定レジスタの TRD ビット[9:5]の値を Xtrm\_coarse、TRD[4:0]ビットの値を Xtrm\_fine とし、TRD[9:0]ビットの値を Xtrm とします。
2. TRD[4:0]ビットに 0b00000 を設定します
3. TRD[9:5]ビットに 0b00000 を設定したときの値を Xtrmmin\_coarse とします。そのときの周期を Tmax\_coarse[sec]とします。
4. TRD[9:5]ビットに 0b11111 を設定したときの値を Xtrmmax\_coarse とします。そのときの周期を Tmin\_coarse [sec]とします。
5. 下記の式より、ターゲット発振周期 Ttgt 以上となる TRD[9:5]設定値 Xtrm\_coarse を求めます。

$$Xtrm\_coarse = \frac{\frac{Ttgt - T_{\max\_coarse} - T_{\min\_coarse}}{31} - T_{\max\_coarse}}{\frac{T_{\min\_coarse} - T_{\max\_coarse}}{31}}$$

※小数点以下は切り捨て

6. 求めた Xtrm\_coarse を TRD[9:5]ビットに設定します。
7. TRD ビットを設定した後の高速 CR クロック FCRH が Ftgt 以下となっているか確認します。Ftgt を超えている場合は、Xtrm\_coarse から 1 を減算し、手順 6.に戻ります。Ftgt 以下となっている場合は、手順 8.に進みます。
8. TRD[4:0]ビットに 0b00000 を設定したときの値を Xtrmmin\_fine とします。そのときの周期を Tmax\_fine[sec]とします。
9. TRD[4:0]ビットに 0b11111 を設定したときの値を Xtrmmax\_fine とします。そのときの周期を Tmin\_fine [sec]とします。また、
10. 下記の式より、ターゲット発振周期 Ttgt となる TRD[4:0]設定値 Xtrm\_fine を求めます。

$$Xtrm\_fine = \frac{\frac{Ttgt - T_{\max\_fine} - T_{\min\_fine}}{31} - T_{\max\_fine}}{\frac{T_{\min\_fine} - T_{\max\_fine}}{31}}$$

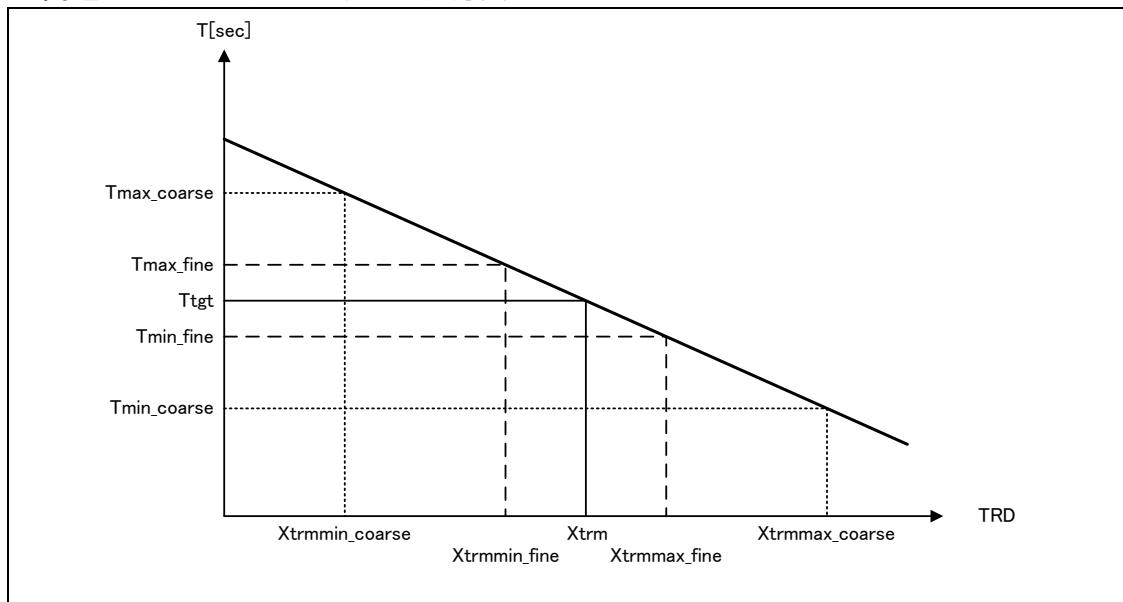
※小数点以下は切り上げ

11. 求めた Xtrm\_fine を TRD[4:0]ビットに設定します。
12. TRD ビットを設定した後の高速 CR クロック FCRH が Ftgt 以上かつ高速 CR クロックの発振周波数の規格内となっているか確認します。FCRH が規格を超えている場合は、Xtrm\_fine から 1 を減算し、手順 11.に戻ります。また、FCRH が Ftgt 未満であれば、Xtrm\_fine に 1 を加算し、手順 11.に戻ります。規格内となっていれば、トリミングデータの算出は完了です。

### <注意事項>

高速 CR クロックの発振周波数の規格値については、ご使用する製品の『データシート』を参照してください。

図 4-3 高速 CR クロックのトリミング方法



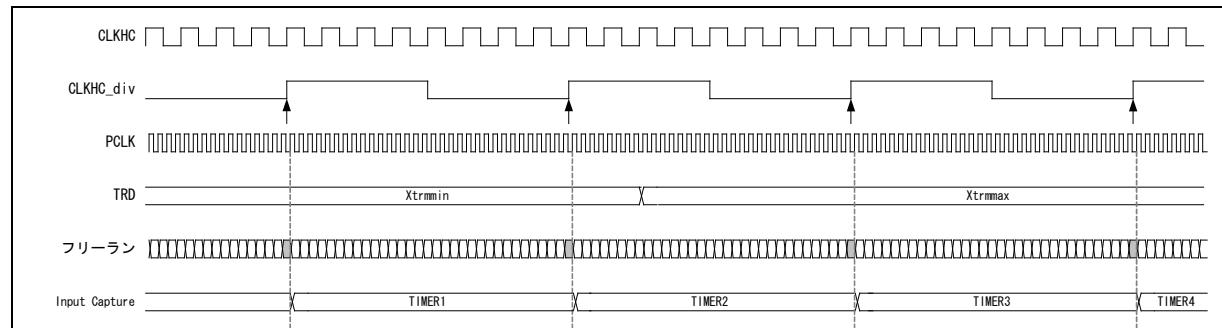
<注意事項>

$T_{\text{min\_coarse/fine}}, T_{\text{max\_coarse/fine}}$  の測定方法については「■ベースタイマを用いたトリミングデータ取得例」を参照してください。

### ■ インプットキャプチャを用いたトリミングデータ取得例

高速 CR 発振 トリミング方法のタイムチャートを図 4-4 に示します。

図 4-4 高速 CR 発振とトリミング方法のタイムチャート



メインクロック(CLKMC)をマスタクロック(測定基準クロック)としてフリーランタイマを動作させます。

測定前にフリーランタイマを一度クリアします(オーバフロー対策)。

Xtrrmin および Xtrrmax 設定に対して、分周した高速 CR クロック(CLKHC\_div)の立上りでトリガをかけ、そのときのインプットキャプチャのタイマ値を読み出して下記を計算します。

$$Y_{\min} = \frac{DIV}{(TIMER2 - TIMER1) \times PCLK}$$

$$Y_{\max} = \frac{DIV}{(TIMER4 - TIMER3) \times PCLK}$$

- TIMER1, TIMER2 : Ymin 時のインプットキャプチャタイマ値
- TIMER3, TIMER4 : Ymax 時のインプットキャプチャタイマ値
- PCLK : メインクロックがマスタクロック時の周期
- DIV : 分周比(CSR 設定値)
- CLKHC\_div : 高速 CR クロック(CLKHC)の分周クロック

(例) PCLK = 40MHz (25ns), 分周比 1/8, TIMER2 – TIMER1 = 100 のとき、

$$Y_{\min} = \frac{8}{(100 \times 25 \text{ sec}) \times 10^{-9}} \doteq 3.2\text{MHz}$$

#### <注意事項>

トリミングに使用できるインプットキャプチャは、多機能タイマ Unit0 の ICU ch.3 になります。

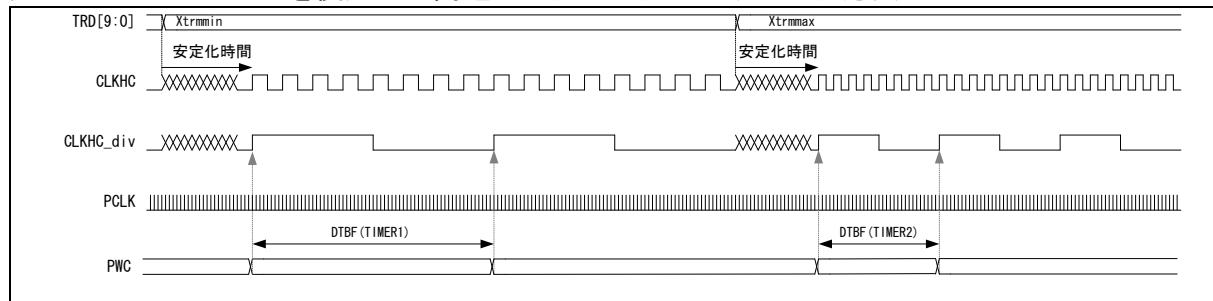
図 4-4 の PCLK は APB1 バスクロックになります。

このときの PCLK はメインクロックをマスタクロックにしてください。

### ■ ベースタイマを用いたトリミングデータ取得例

高速 CR 発振 トリミング方法のタイムチャートを図 4-5 に示します。

図 4-5 ベースタイマを使用した高速 CR クロックのトリミング方法のタイムチャート



メインクロック(CLKMC)をマスタクロック(測定基準クロック)としてベースタイマを動作させます。

Xtrrmin および Xtrrmax 設定に対して、分周した高速 CR クロック(CLKHC\_div)の立上りでトリガをかけ、そのときのベースタイマのタイマ値を読み出して下記を計算します。

$$T_{max} = (TIMER1 \times PCLK) / DIV$$

$$T_{min} = (TIMER2 \times PCLK) / DIV$$

- TIMER1,TIMER2 : ベースタイマ(PWC)のカウント値
- PCLK : APB1 バスクロック
- DIV : 分周設定レジスタ(MCR\_PSR)の CSR ビットで設定された分周比

(例) PCLK = 40MHz (25ns), 分周比 1/8, TIMER1 = 100 のとき、

$$T_{max} = (100 \times 25ns) / 8 = 312.5ns$$

#### <注意事項>

トリミングに使用できるベースタイマは、ch.0 になります。

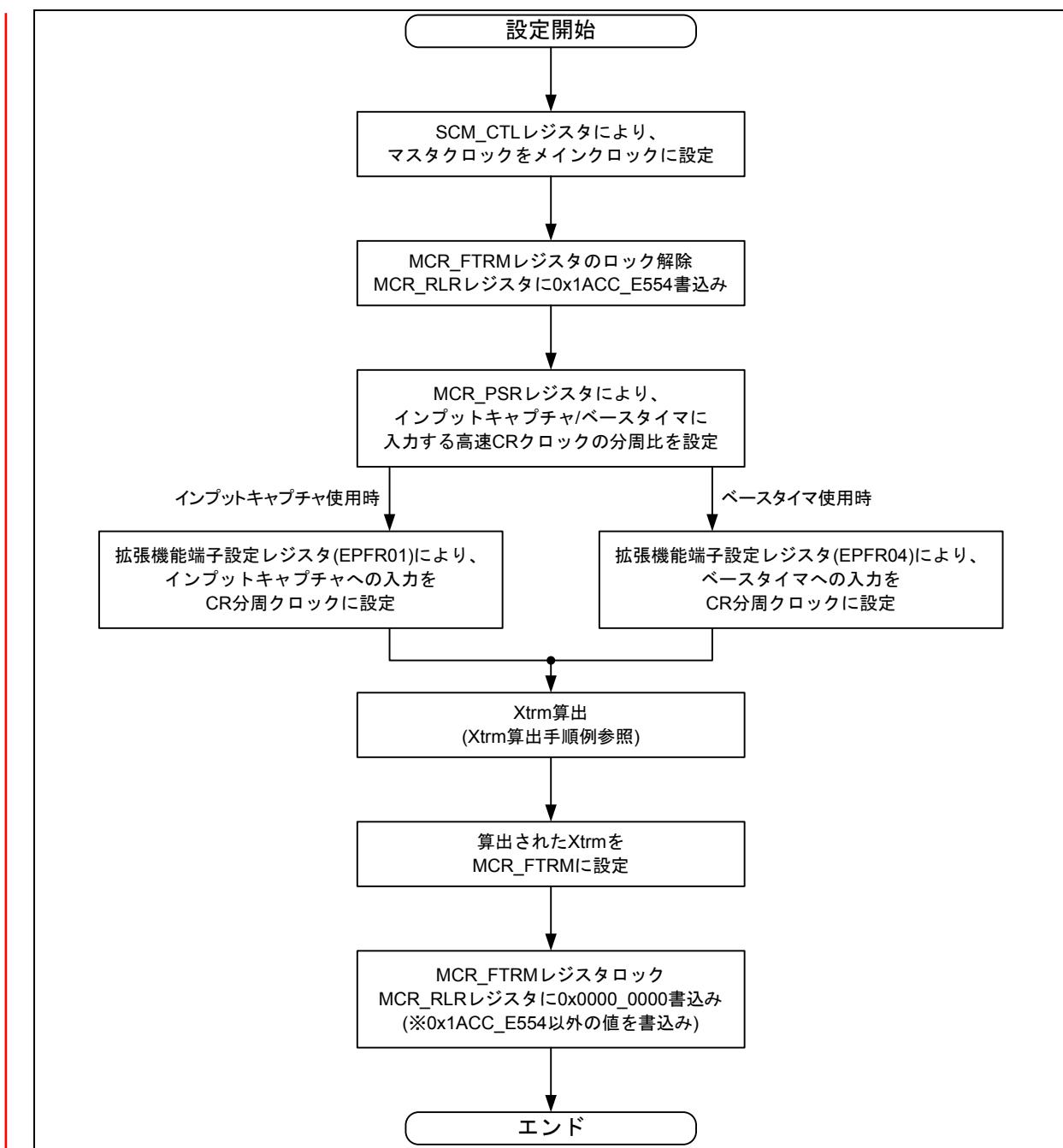
図 4-4 の PCLK は APB1 バスクロックになります。

このときの PCLK はメインクロックをマスタクロックにしてください。

### ■周波数トリミング手順例

図 4-6 に高速 CR 発振のトリミング手順例を示します。

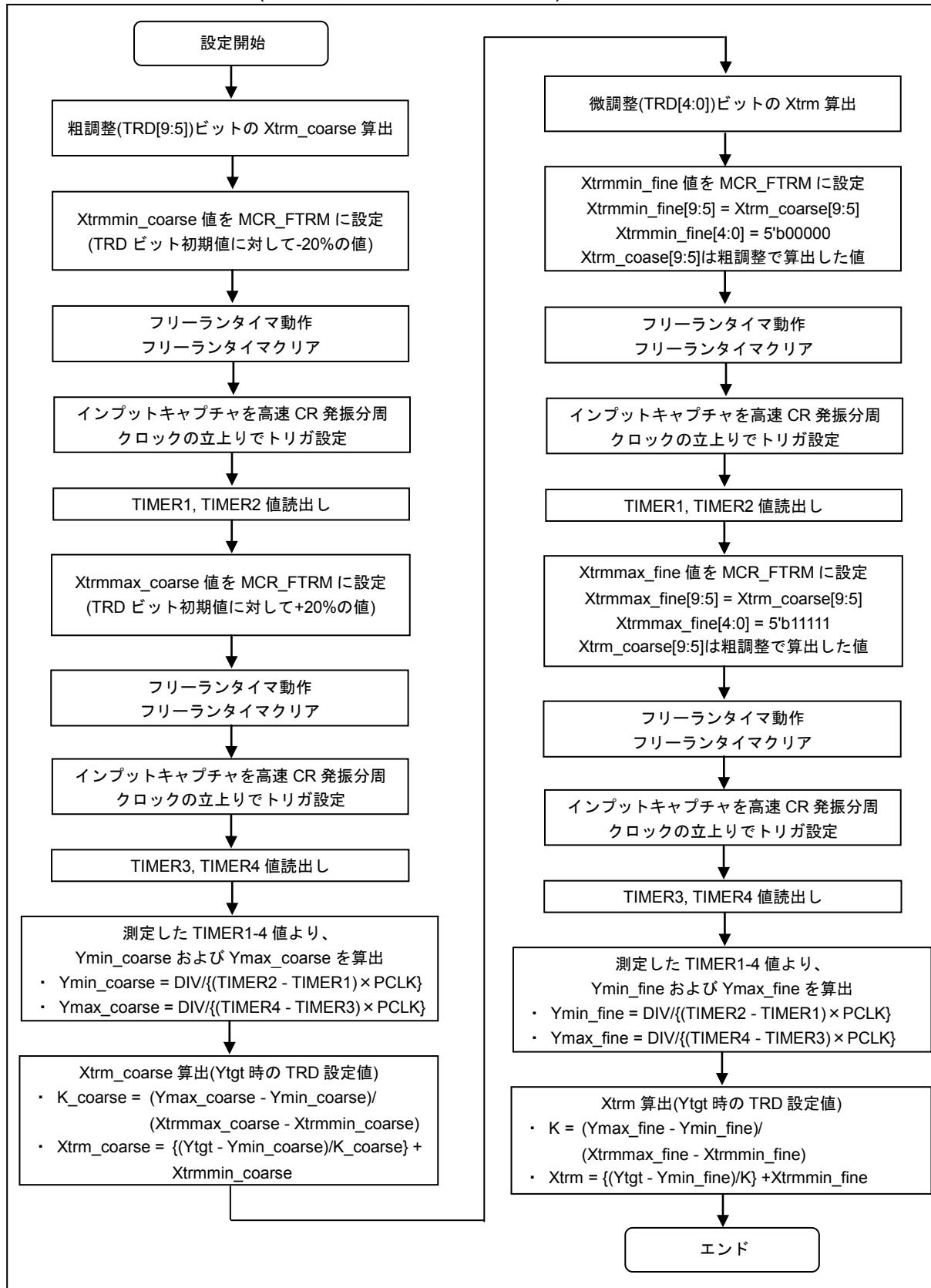
図 4-6 高速 CR 発振のトリミング手順例



■ Xtrm 算出手順例 (TYPE0, TYPE3, TYPE7 製品)

図 4-7 に TYPE0, TYPE3, TYPE7 製品の Xtrm 算出手順例を示します。粗調整および微調整の 2 段階での周波数トリミングを行ってください。

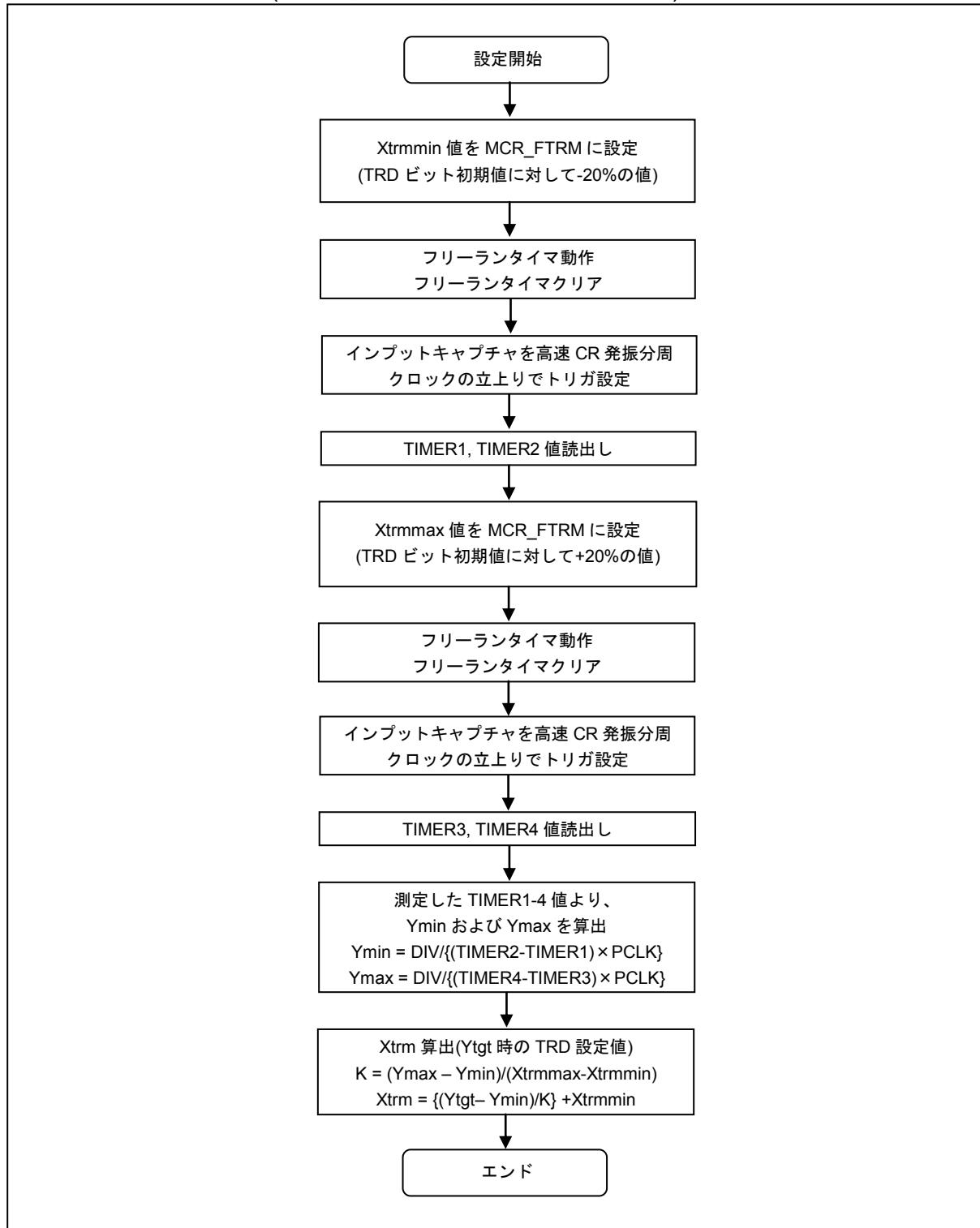
図 4-7 Xtrm 算出手順例 (TYPE0, TYPE3, TYPE7 製品)



■ Xtrm 算出手順例 (TYPE1, TYPE2, TYPE4, TYPE5 製品)

図 4-8 に TYPE1, TYPE2, TYPE4, TYPE5 製品の Xtrm 算出手順例を示します。

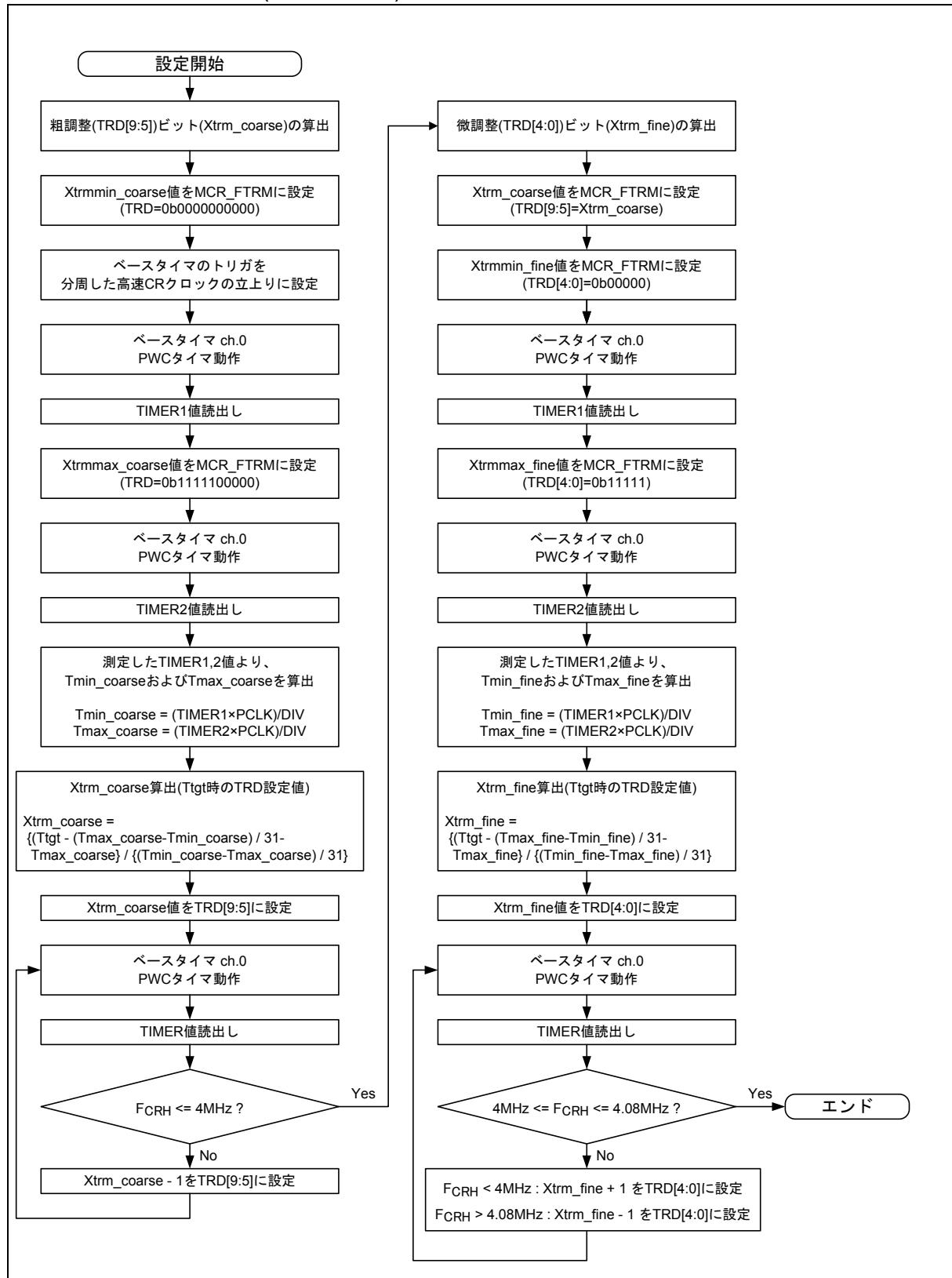
図 4-8 Xtrm 算出手順例 (TYPE1, TYPE2, TYPE4, TYPE5 製品)



## ■ Xtrm 算出手順例 (TYPE6 製品)

図 4-9 に TYPE6 製品の Xtrm 算出手順例を示します。粗調整および微調整の 2 段階での周波数トーリミングを行ってください。

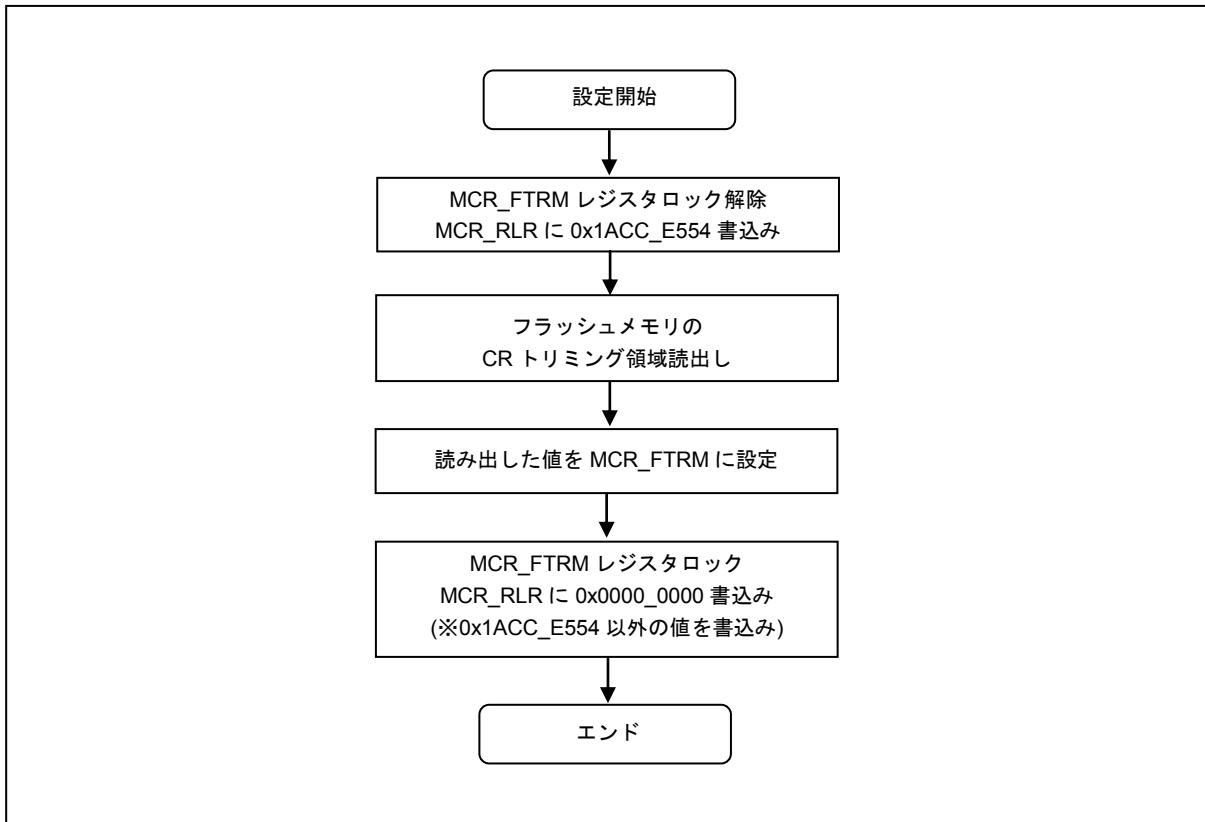
図 4-9 Xtrm 算出手順例 (TYPE6 製品)



### ■ フラッシュメモリ内部の CR トリミング領域保存データの使用手順例

以下にフラッシュメモリの CR トリミング領域に保存されているトリミングデータを読み出して周波数トリミング設定レジスタに設定する手順例を図 4-10 に示します。

図 4-10 CR トリミング領域保存データの使用手順例



#### <注意事項>

CR トリミング領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

## 5. 高速 CR トリミング機能 レジスター一覧

高速 CR 発振器の周波数トリミング機能のレジスター一覧を説明します。

表 5-1 にレジスター一覧を示します。

表 5-1 レジスター一覧表

レジスタ略称	レジスタ名	参照先
MCR_PSR	高速 CR 発振 分周設定レジスタ	5.1
MCR_FTRM	高速 CR 発振 周波数トリミングレジスタ	5.2
MCR_RLR	高速 CR 発振 レジスタ書き込み保護レジスタ	5.3

## 5.1. 高速 CR 発振 分周設定レジスタ(MCR\_PSR)

MCR\_PSR レジスタは、高速 CR 発振の分周比を設定します。  
分周されたクロックはインプットキャプチャに入力できます。  
このレジスタは製品 TYPE によりレジスタ機能が異なります。

### ■ TYPE3, TYPE7 製品以外

#### ● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field							予約	CSR
初期値							-	01
属性							-	R/W

#### ● レジスタ機能

[bit7:2] 予約 : 予約ビット  
これらのビットからは、"0b000000"が読み出されます。  
書き込みの場合には、"0b000000"を設定してください。

[bit1:0] CSR : 高速 CR 発振分周比設定ビット

bit1	bit0	説明
0	0	1/4
0	1	1/8[初期値]
1	0	1/16
1	1	1/32

## ■ TYPE3, TYPE7 製品

### ● レジスタ構成

bit	7	6	5	4	3	2	1	0
Field			予約				CSR	
初期値			-				001	
属性			-				R/W	

### ● レジスタ機能

[bit7:3] 予約 : 予約ビット

これらのビットからは、"0b00000"が読み出されます。  
書き込みの場合には、"0b00000"を設定してください。

[bit2:0] CSR : 高速 CR 発振分周比設定ビット

bit2	bit1	bit0	説明
0	0	0	1/4
0	0	1	1/8[初期値]
0	1	0	1/16
0	1	1	1/32
1	0	0	1/64
1	0	1	1/128
1	1	0	1/256
1	1	1	1/512

## 5.2. 高速 CR 発振 周波数トリミング設定レジスタ (MCR\_FTRM)

MCR\_FTRM レジスタは、周波数トリミング値を設定します。

レジスタ構成、レジスタ機能について説明します。

このレジスタは製品 TYPE によりレジスタ機能が異なります。

### ■ TYPE0 製品

#### ● レジスタ構成

bit	31		16
Field		予約	
初期値	-	-	-
属性	-	-	-
bit	15	10 9 8 7 6 5 4 3 2 1 0	
Field	予約		TRD[9:0]
初期値	-	0110000000	
属性	-	R/W	

#### ● レジスタ機能

##### [bit31:10] 予約 : 予約ビット

これらのビットからは、常に"0"が読み出されます。

書き込みは動作に影響しません。

##### [bit9:0] TRD[9:0] : 周波数トリミング設定ビット

bit9:5	説明
ライト時	高速 CR 発振器の出力周波数の粗調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 6% の周波数ステップで変動します。
リード時	設定された値が読み出されます。 初期値は 0b01100 が読み出されます。

bit4:0	説明
ライト時	高速 CR 発振器の出力周波数の微調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 0.4% の周波数ステップで変動します。
リード時	設定された値が読み出されます。 初期値は 0b00000 が読み出されます。

**<注意事項>**

- ・本レジスタはソフトウェアリセット時には初期化されません。
- ・TRD ビットに設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。

**■ TYPE3, TYPE7 製品**

**● レジスタ構成**

bit	31	16									
Field	予約	予約									
初期値	-	-									
属性	-	-									
bit	15	10	9	8	7	6	5	4	3	2	1   0
Field	予約	予約									TRD[9:0]
初期値	-	-									0110001110
属性	-	-									R/W

**● レジスタ機能**

[bit31:10] 予約 : 予約ビット

これらのビットからは、常に"0"が読み出されます。  
書き込みは動作に影響しません。

[bit9:0] TRD[9:0] : 周波数トリミング設定ビット

bit9:5	説明
ライト時	高速 CR 発振器の出力周波数の粗調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 6% の周波数ステップで変動します。
リード時	設定された値が読み出されます。 初期値は 0b01100 が読み出されます。

bit4:0	説明
ライト時	高速 CR 発振器の出力周波数の微調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 0.4% の周波数ステップで変動します。
リード時	設定された値が読み出されます。 初期値は 0b01110 が読み出されます。

**<注意事項>**

- ・本レジスタはソフトウェアリセット時には初期化されません。
- ・TRD ビットに設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。

## ■ TYPE1, TYPE2, TYPE4, TYPE5 製品

### ● レジスタ構成

bit	31	Field	予約	16
初期値	-		-	
属性	-		-	
bit	15	8	7	6
Field	予約	TRD[7:0]	5	4
初期値	-	01111111	3	2
属性	-	R/W	1	0

### ● レジスタ機能

[bit31:8] : 予約ビット

これらのビットからは、常に"0"が読み出されます。書き込みは動作に影響しません。

[bit7:0] TRD[7:0] : 周波数トリミング設定ビット

bit7:0	説明
ライト時	高速 CR 発振器の出力周波数の調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 0.4% の周波数ステップで変動します。
リード時	設定された値が読み出されます。 初期値は 0b01111111 が読み出されます。

### <注意事項>

- ・本レジスタはソフトウェアリセット時には初期化されません。
- ・TRD ビットに設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。

## ■ TYPE6 製品

### ● レジスタ構成

bit	31									16			
Field										予約			
初期値										-			
属性										-			
bit	15		10	9	8	7	6	5	4	3	2	1	0
Field		予約									TRD[9:0]		
初期値		-									1000000000		
属性		-									R/W		

### ● レジスタ機能

#### [bit31:10] 予約 : 予約ビット

これらのビットからは、常に"0"が読み出されます。  
書き込みは動作に影響しません。

#### [bit9:0] TRD[9:0] : 周波数トリミング設定ビット

bit9:5	説明
ライト時	高速 CR 発振器の出力周波数の粗調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 1% の周波数ステップで変動します。
リード時	設定された値が読み出されます。 初期値は 0b01100 が読み出されます。

bit4:0	説明
ライト時	高速 CR 発振器の出力周波数の微調整を行うビットです。 設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。 ±1 の設定を行うごとに約 0.4% の周波数ステップで変動します。
リード時	設定された値が読み出されます。 初期値は 0b00000 が読み出されます。

### <注意事項>

- ・本レジスタはソフトウェアリセット時には初期化されません。
- ・TRD ビットに設定する値は周波数トリミング機能動作説明のトリミングデータ取得を参照してください。

### 5.3. 高速 CR 発振 レジスタ書き込み保護レジスタ(MCR\_RLR)

MCR\_RLR レジスタは、周波数トリミング設定レジスタ(MCR\_FTRM)に対する書き込み保護を制御します。

#### ■ レジスタ構成

bit	31	16
Field	TRMLCK[31:16]	
初期値	0x0000	
属性	R/W	
bit	15	0
Field	TRMLCK[15:0]	
初期値	0x0001	
属性	R/W	

#### ■ レジスタ機能

[bit31:0] TRMLCK[31:0] : レジスタ書き込み保護ビット

bit31:0	説明
リード時	0x00000000 リード時 MCR_FTRM レジスタはロック解除状態 0x00000001 リード時 MCR_FTRM レジスタはロック状態
0x1ACCE554 以外 ライト時	MCR_FTRM レジスタはロックされます。
0x1ACCE554 ライト時	MCR_FTRM レジスタがロック解除されます。

#### <注意事項>

本レジスタはソフトウェアリセット時には初期化されません。

## 6. 高速 CR トリミング機能 使用上の注意点

高速 CR トリミング機能の使用上の注意点を説明します。

- 低速 CR 発振器について  
本トリミング機能は高速 CR 発振器にのみ有効です。  
低速 CR 発振器には適用できません。
- 「CR トリミング」領域に保存されているデータについて  
「CR トリミング」領域には、工場出荷時に設定した周波数トリミングデータが保存されています。「CR トリミング」領域のアドレスについては、ご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。
- インプットキャプチャの使用方法について  
インプットキャプチャの使用方法は、『タイマ編』の『多機能タイマ』および『I/O ポート』の章を参照してください。
- ベースタイマの使用方法について  
ベースの使用方法は、『タイマ編』の『ベースタイマ』および『I/O ポート』の章を参照してください。
- FCS(異常周波数検出機能)について  
FCS 機能(異常周波数検出機能)については、『クロック監視機能』の章を参照してください。  
また、FCS 機能有効後には CR トリミングを行わないでください。



## CHAPTER: クロック監視機能

クロック監視機能について説明します。

1. 概要
2. 構成・ブロックダイヤグラム
3. 動作説明
4. 設定手順例
5. 動作例
6. レジスター一覧
7. 使用上の注意

## 1. 概要

クロック監視機能の概要を説明します。

クロック監視機能は以下の 2 種類の機能を持ちます。

- **クロック故障検出機能(CSV : Clock failure detection by clock Super Visor)**

クロック故障検出機能は、メインクロックとサブクロックを監視します。一定期間監視対象のクロック立上りエッジが検出されなかった場合は、発振器が故障したと判断しシステムリセット要求を出力します。

- **異常周波数検出機能(FCS : anomalous Frequency detection by Clock Super visor)**

異常周波数検出機能は、メインクロックの周波数を監視します。高速 CR の分周クロックのエッジから次のエッジまでの一定期間、メインクロックにより、内部のカウンタがカウントアップします。カウント値が、設定したウィンドウの範囲外になった場合、メインクロックの周波数が異常であると判断し、CPUへの割込み要求、もしくはシステムリセット要求を出力します。

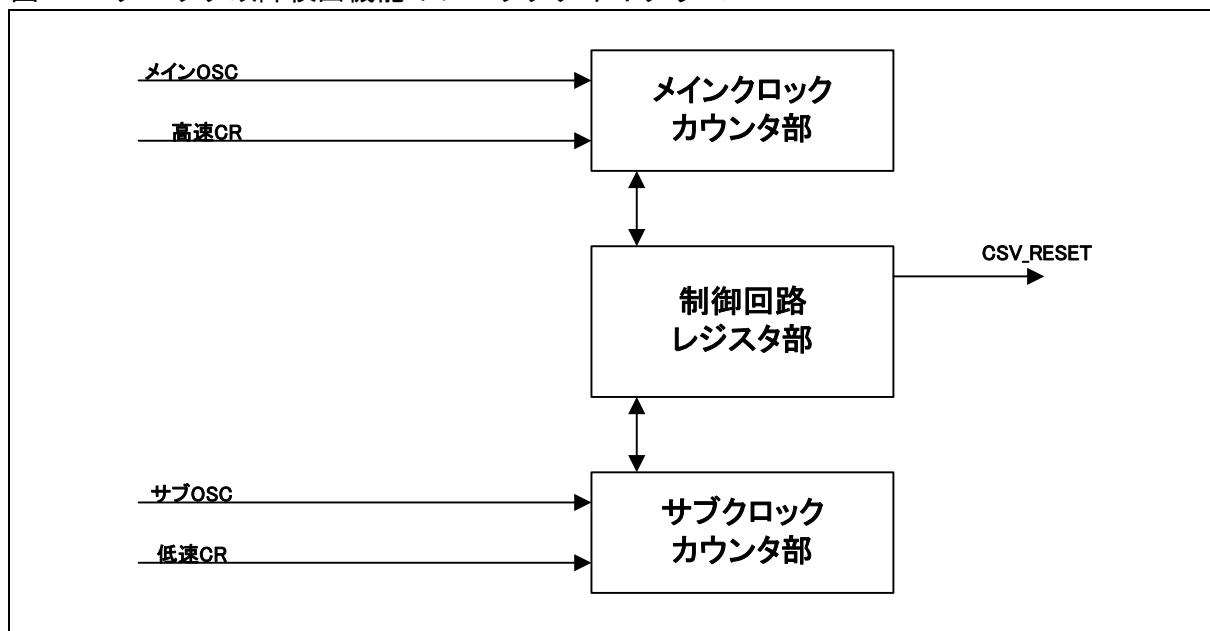
## 2. 構成・ブロックダイヤグラム

クロック監視機能のブロックダイヤグラムを説明します。

### ■ クロック故障検出機能

図 2-1 にクロック故障検出機能のブロックダイヤグラムを示します。

図 2-1 クロック故障検出機能のブロックダイヤグラム



クロック故障検出機能は、以下の 3 種類のブロックから構成されます。

#### ● 制御回路・レジスタ部

- ・クロック故障検出機能の制御回路を持ちます。
- ・設定レジスタを持ち、クロック故障検出機能のイネーブル/ディセーブルを設定します。

#### ● メインクロックカウンタ部

メインクロックを高速 CR クロックで監視しているカウンタ部です。

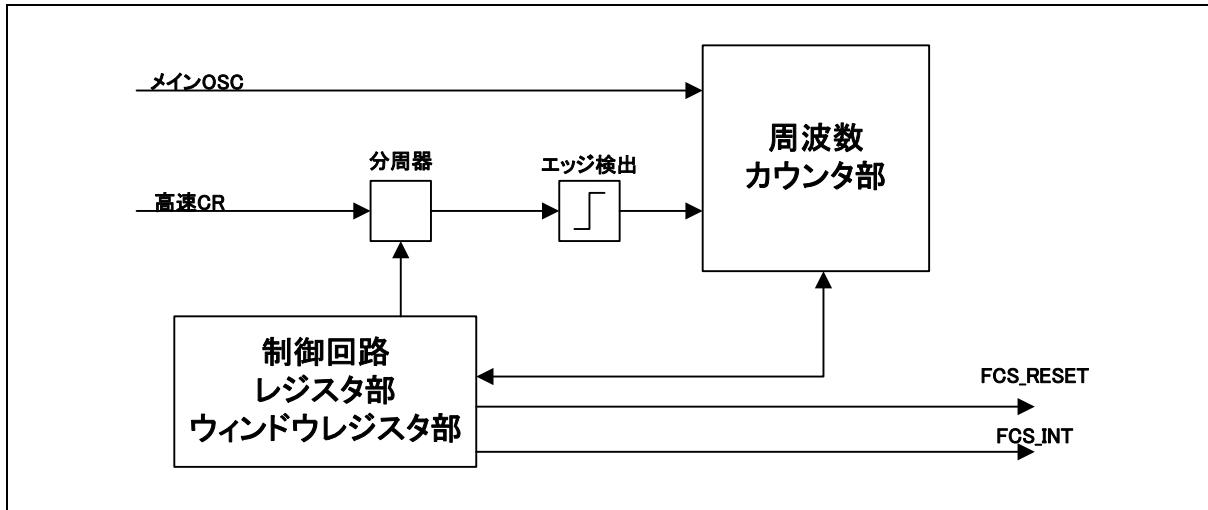
#### ● サブクロックカウンタ部

サブクロックを低速 CR クロックで監視しているカウンタ部です。

## ■ 異常周波数検出機能

図 2-2 に異常周波数検出機能のブロックダイヤグラムを示します。

図 2-2 異常周波数検出機能のブロックダイヤグラム



異常周波数検出機能は、以下の 3 種類のブロックから構成されます。

### ● 制御回路・レジスタ部・ウィンドウレジスタ部

- ・異常周波数検出機能の制御回路を持ちます。
- ・設定レジスタを持ち、異常周波数検出機能のイネーブル/ディセーブルを設定します。
- ・測定の際、周波数範囲を定めるウィンドウレジスタを持ちます。

### ● 周波数カウンタ部

メインクロックによるカウンタ部です。

### ● 分周器・エッジ検出部

- ・高速 CR を分周します。
- ・高速 CR の分周クロックの立上りエッジを検出します。

## 3. 動作説明

クロック監視機能の動作を説明します。

### ■ クロック故障検出機能

クロック故障検出機能は、メインクロックとサブクロックを監視します。一定期間、監視対象のクロック立上りエッジが検出されなかった場合は、発振器が故障したと判断し、システムリセット要求を出力します。

- このリセット要求を CSV リセット要求とよびます。
- CSV 機能では、メインクロックとサブクロックを独立して監視します。
- メイン発振器・サブ発振器が発振停止したとき、監視を停止します。
- 発振安定待ち時間中は監視を停止します。
- CSV 機能は、メイン・サブ発振器の発振安定待ち完了から自動的に有効になります。

#### <注意事項>

- CSV 制御レジスタ(CSV\_CTL)により、メインクロック、サブクロック、それぞれ独立にイネーブル/ディセーブルを設定可能です。
- メインクロックは高速 CR クロック、サブクロックは低速 CR クロックで監視されており、それぞれ、メインクロックは高速 CR 32 クロックの間、サブクロックは低速 CR 32 クロックの間に立上りエッジが検出されない場合、発振器が故障したと判断します。

### ■ 異常周波数検出機能

異常周波数検出機能は、メインクロックを監視します。

高速 CR の分周クロックの立上りエッジから次の立上りエッジまでの期間、メインクロックにより、内部のカウンタがカウントアップします。カウント値が、設定したウィンドウの範囲外になった場合、メインクロックの周波数が異常であると判断し、CPU への割込み要求、もしくはシステムリセット要求を出力します。

- この割込み要求を FCS 割込み要求、リセット要求を FCS リセット要求とよびます。
- FCS 機能では、メインクロックの周波数のみを監視します。
- メイン発振器が発振停止したとき、監視を停止します。
- 発振安定待ち時間中は監視を停止します。
- FCS 機能は、ユーザプログラムにより、ソフトウェアで起動されます。

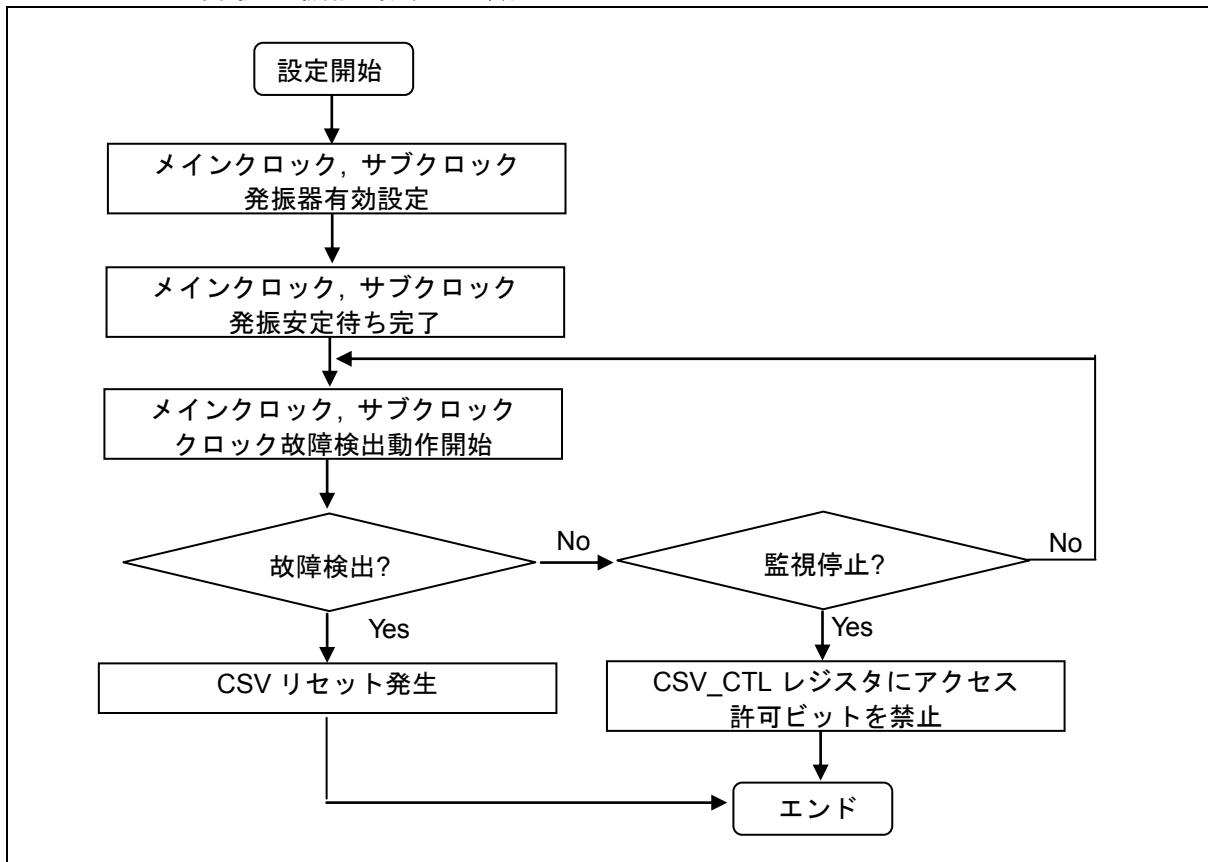
#### <注意事項>

- FCS リセット許可をしている場合  
カウンタ値が設定ウィンドウから外れた場合、1回目は割込み要求が発生します。割込み要求がクリアされないまま、カウンタ値が設定ウィンドウ外に外れた場合、システムリセット要求を出力します。  
FCS リセット許可されていない場合は、リセット要求はマスクされます。
- カウンタ値は設定したウィンドウ外に外れたときに、周波数検出カウンタレジスタ(FCSWD\_CTL) に保存します。

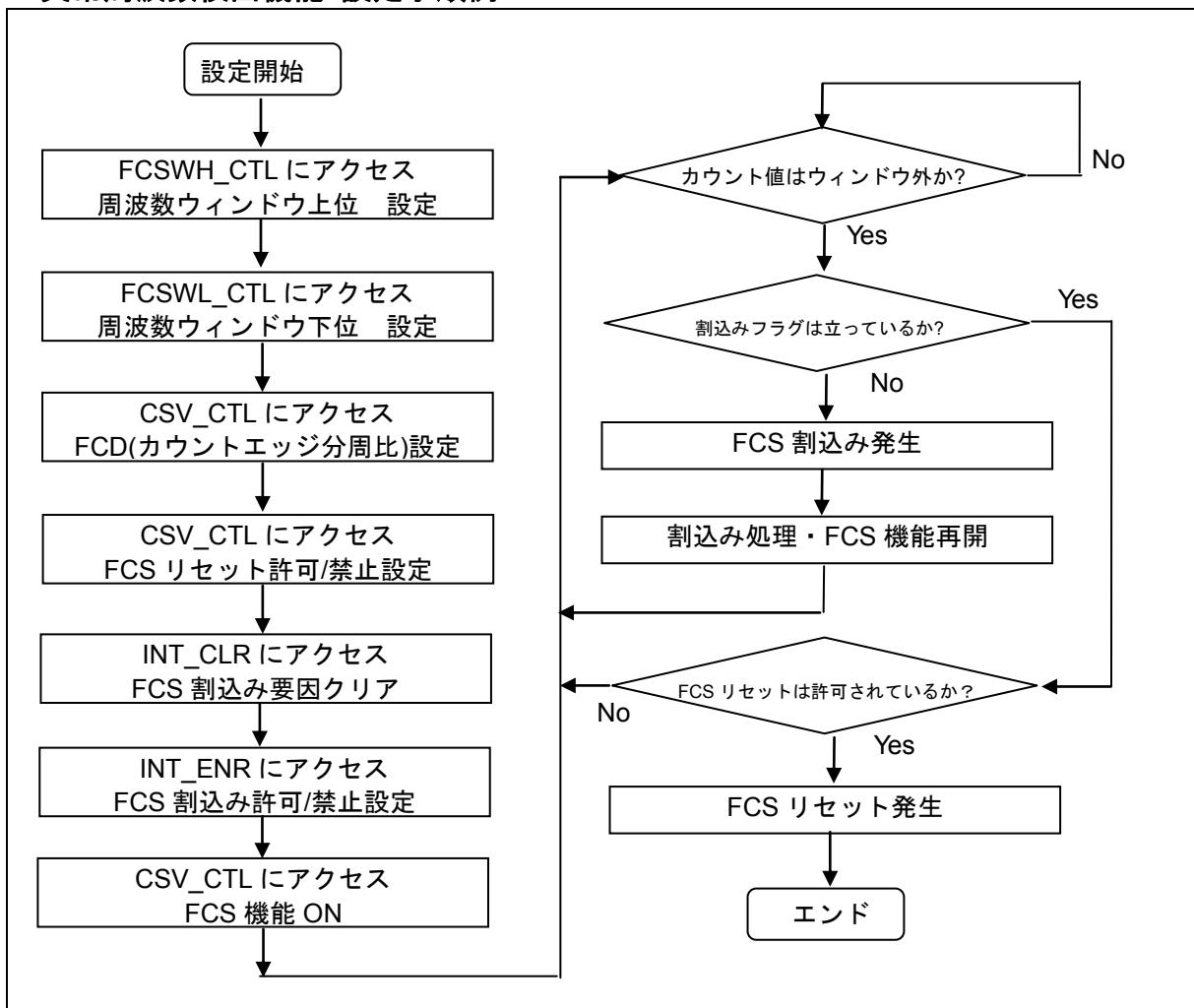
## 4. 設定手順例

クロック監視機能の設定手順例を説明します。

### ■ クロック故障検出機能 設定手順例



■ 異常周波数検出機能 設定手順例



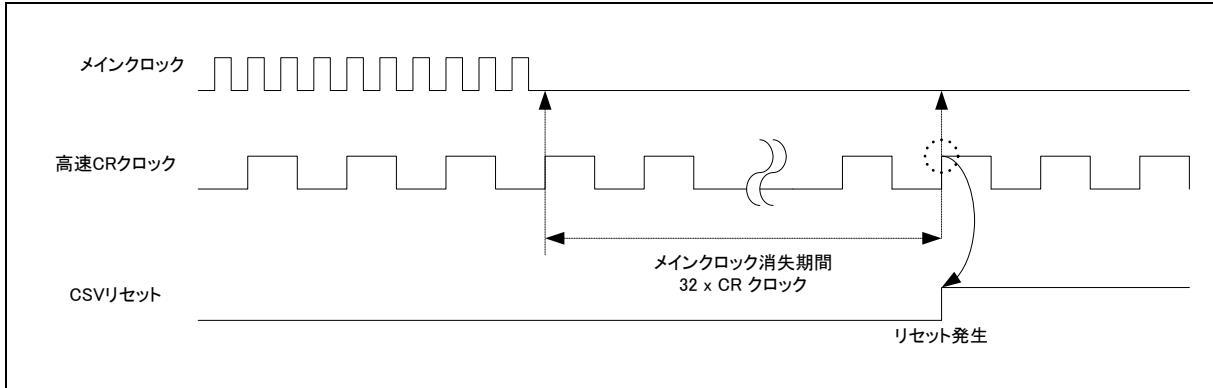
## 5. 動作例

クロック監視機能の動作例を説明します。

### ■ クロック故障検出

図 5-1 にクロック故障検出の動作例を示します。

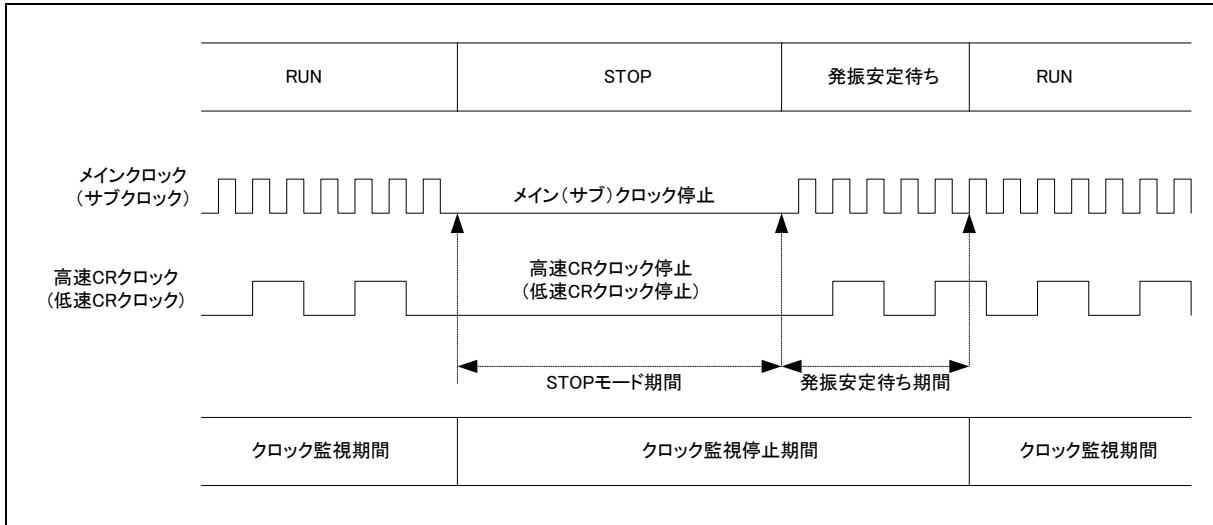
図 5-1 クロック故障検出動作例



1. メインクロックが故障により停止します。
  2. 高速 CR クロックによるカウントアップします。
  3. 高速 CR 32 クロック期間、メインクロックが停止していた場合、クロック故障と認識し、CSV リセットを発行します。
- (注意事項) サブクロック監視の場合、低速 CR 32 クロック期間サブクロックが停止していた場合、クロック故障と判断します。

図 5-2 にストップモード時のクロック故障検出の動作例を示します。

図 5-2 ストップモード時のクロック故障検出動作例

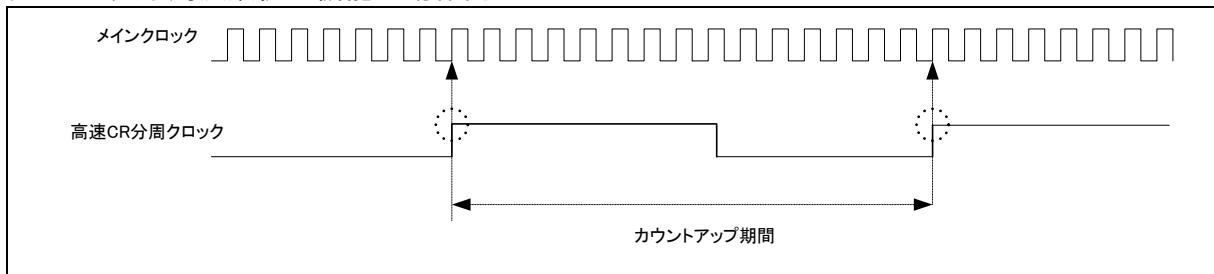


1. ストップモード時、メインクロックおよび高速 CR クロックが停止します。  
その間、クロック監視機能も停止します。
2. ストップモード解除により、メインクロックおよび高速 CR クロックの発振が再開され、発振 安定待ち時間を取ります。その間、クロック監視機能は停止を継続します。
3. 発振安定待ち時間完了により、クロック監視を再開します。

## ■ 異常周波数検出

図 5-3 に異常周波数検出機能の動作例を示します。

図 5-3 異常周波数検出機能 動作例



1. 高速 CR の分周クロックの立上りエッジを検出します。
2. エッジ検出から、メインクロックによりカウントアップします。
3. 再度高速 CR の分周クロックの立上りエッジを検出するまで、カウントアップを継続します。
4. メインクロックによるカウント値=α とします。  
ウィンドウ下限設定値=B, ウィンドウ上限値=A のとき、カウント値 α とウィンドウ値を比較し、  
 $B \leq \alpha \leq A$   
の範囲内に α がある場合、周波数は問題ないと判断します。  
カウント値 α がウィンドウの範囲外  
 $\alpha < B$ 、もしくは、 $A < \alpha$   
となつた場合、周波数が異常になつていると判断し、割込みを発生します。  
設定により、割込み発生後割込みフラグがクリアされずに再度異常周波数を検出した場合、リセットを発生します。

## ■ 異常周波数検出機能のウィンドウ設定例

高速 CR の分周クロックのエッジ間でカウントを行います。測定間隔は CR の精度にも影響を受けています。ウィンドウレジスタ値を設定する際は CR の精度も考慮した値を設定してください。  
CR 発振器の周波数精度についてはデータシートにて確認してください。

### ● 算出方法

CR 精度の影響を加味したカウント値の範囲の算出後、ウィンドウレジスタ値を設定します。カウント値の範囲は以下の計算式にて算出します。

$$\text{カウント値} = \left\{ \frac{1}{\text{CRの分周クロック周波数} \times \left( 1 \pm \frac{\text{CR精度}}{100} \right)} \right\} \times \text{メインクロック周波数}$$

例：周波数 K[Hz]で±Z%精度の CR 発振器を Y 分周したクロックを用いて、周波数 L[Hz]のメインクロックのカウント値を算出します。

$$\begin{aligned} \text{カウント値 A(CR の周波数精度プラス側)} &= 1 / [ (K/Y) \times (1 + Z/100) ] \times L \\ \text{カウント値 B(CR の周波数精度マイナス側)} &= 1 / [ (K/Y) \times (1 - Z/100) ] \times L \end{aligned}$$

この計算式より、内蔵 CR 精度の影響を加味したカウント値は A~B の範囲になります。  
ウィンドウ下限はカウント値 A よりも小さい値を、ウィンドウ上限はカウント値 B よりも大きい値を設定してください。

ウィンドウの設定はユーザのメイン発振の周波数変動の許容値によります。

### ● 算出例

周波数 4MHz で±5%精度の CR 発振器を 1024 分周したクロックを用いて、周波数 4MHz のメインクロックのカウント値を算出します。

カウント値 A(CR の周波数精度プラス側)

$$\text{カウント値 A} = \left\{ \frac{1}{\frac{4 \times 10^6}{1024} \times \left( 1 + \frac{5}{100} \right)} \right\} \times 4 \times 10^6 \approx 975$$

カウント値 B(CR の周波数精度マイナス側)

$$\text{カウント値 B} = \left\{ \frac{1}{\frac{4 \times 10^6}{1024} \times \left( 1 - \frac{5}{100} \right)} \right\} \times 4 \times 10^6 \approx 1078$$

これにより、高速 CR 誤差を含むカウント値の範囲は 975~1078 になります。ウィンドウ設定値を仮にカウント範囲の±5%としたとき、ウィンドウ設定値は以下のようになります。

$$\begin{aligned} \text{ウィンドウ下限} &= 975 \times 0.95(-5\%) = 926.25 \approx 3.43\text{MHz} \\ \text{ウィンドウ上限} &= 1078 \times 1.05(+5\%) = 1131.9 \approx 4.64\text{MHz} \end{aligned}$$

これにより、メインクロックの周波数が 3.4MHz~4.6MHz の範囲を外れたとき、異常周波数であると確認できます。表 5-1 にウィンドウ設定例を示します。

表 5-1 ウィンドウ設定例

高速 CR 分周クロック	メイン 水晶発振	高速 CR 誤差	高速 CR 誤差を含む カウント値	ウィンドウ 設定値下限	ウィンドウ 設定値上限
CR:4MHz の 1024 分周	4MHz	±5%	975( $\div 3.61\text{MHz}$ ) ～1078( $\div 4.42\text{MHz}$ )	926( $\div 3.43\text{MHz}$ )	1131( $\div 4.64\text{MHz}$ )

## 6. レジスター一覧

クロック監視機能のレジスター一覧を説明します。

### ■ レジスター一覧

レジスター一覧を表 6-1 に示します。

表 6-1 レジスター一覧表

略称	レジスタ名	参照先
CSV_CTL	CSV 制御レジスタ	6.1
CSV_STR	CSV 状態レジスタ	6.2
FCSWH_CTL	周波数検出ウィンドウ設定レジスタ(上位)	6.3
FCSWL_CTL	周波数検出ウィンドウ設定レジスタ(下位)	6.4
FCSWD_CTL	周波数検出カウンタレジスタ	6.5

## 6.1. CSV 制御レジスタ(CSV\_CTL)

CSV\_CTL レジスタは CSV 機能を制御する設定を行います。

### ■ レジスタ構成

Field	bit 15	14	13	12	11	10	9	8
属性	予約		FCD		予約	FCSRE	FCSDE	
初期値	0		111		00	0	0	
Field	bit 7	6	5	4	3	2	1	0
属性			予約			SCSVE	MCSVE	
初期値			-			R/W	R/W	

### ■ レジスタ機能

#### [bit15] 予約 : 予約ビット

このビットからは、"0"が読み出されます。  
書き込みの場合には、"0"を設定してください。

#### [bit14:12] FCD : FCS カウント期間設定ビット

bit14:12		説明
書き込み時	000	設定禁止
	001	
	010	
	011	
	100	
	101	高速 CR 発振の 256 分周
	110	高速 CR 発振の 512 分周
	111	高速 CR 発振の 1024 分周 [初期値]
読み出し時		レジスタ値が読み出されます。

#### [bit11:10] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit9] FCSRE : FCS リセット出力許可ビット

bit		説明
書き込み時	0	FCS リセットは禁止される [初期値]
	1	FCS リセットは許可される
読み出し時		レジスタ値が読み出されます。

[bit8] FCSDE : FCS 機能許可ビット

bit	説明	
書込み時	0	FCS 機能は禁止される [初期値]
	1	FCS 機能は許可される
読み出し時	レジスタ値が読み出されます。	

[bit7:2] 予約ビット

これらのビットからは、"0b000000"が読み出されます。  
書込みの場合には、"0b000000"を設定してください。

[bit1] SCSVE : サブ CSV 機能許可ビット

bit	説明	
書込み時	0	サブ CSV 機能は禁止される
	1	サブ CSV 機能は許可される[初期値]
読み出し時	レジスタ値が読み出されます	

[bit0] MCSVE : メイン CSV 機能許可ビット

bit	説明	
書込み時	0	メイン CSV 機能は禁止される
	1	メイン CSV 機能は許可される[初期値]
読み出し時	レジスタ値が読み出されます	

<注意事項>

本レジスタはソフトウェアリセットでは初期化されません。

## 6.2. CSV 状態レジスタ(CSV\_STR)

CSV\_STR レジスタは CSV 機能の状態を示します。

### ■ レジスタ構成

bit	7	6	5	4	3	2	1	0
Field	予約					SCMF	MCMF	
属性	-					R	R	
初期値	000000					0	0	

### ■ レジスタ機能

#### [bit7:2] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。

書き込みの場合には、"0b000000"を設定してください。

#### [bit1] SCMF : サブクロック故障検出フラグ

bit	説明	
書込み時	動作に影響しません	
読み出し時	0	サブクロック故障は検出されていない[初期値]
	1	サブクロック故障が検出された

#### [bit0] MCMF : メインクロック故障検出フラグ

bit	説明	
書込み時	動作に影響しません	
読み出し時	0	メインクロック故障は検出されていない[初期値]
	1	メインクロック故障が検出された

### <注意事項>

本レジスタは読み出しでクリアされます。

## 6.3. 周波数検出ウィンドウ設定レジスタ(上位)(FCSWH\_CTL)

FCSWH\_CTL レジスタは周波数検出ウィンドウ設定レジスタ(上位)を設定します。

### ■ レジスタ構成

bit	15	0
Field	FWH	
属性	R/W	
初期値	0xFFFF	

### ■ レジスタ機能

[bit15:0] FWH : 周波数検出ウィンドウ設定ビット(上位)

bit15:0	説明
書き込み時	任意の値の書き込みが可能です。
読み出し時	レジスタ値が読み出されます。

### <注意事項>

- FCSWL\_CTL(周波数検出ウィンドウ設定レジスタ(下位))よりも大きな値を設定してください。
- 本レジスタはソフトウェアリセットでは初期化されません。

## 6.4. 周波数検出ウィンドウ設定レジスタ(下位)(FCSWL\_CTL)

FCSWL\_CTL レジスタは周波数検出ウィンドウ設定レジスタ(下位)を設定します。

### ■ レジスタ構成

bit	15	0
Field	FWL	
属性	R/W	
初期値	0x0000	

### ■ レジスタ機能

[bit15:0] FWL : 周波数検出ウィンドウ設定ビット(下位)

bit15:0	説明
書込み時	任意の値の書き込みが可能です。
読み出し時	レジスタ値が読み出されます。

### <注意事項>

- FCSWH\_CTL(周波数検出ウィンドウ設定レジスタ(上位))よりも小さな値を設定してください。
- 本レジスタはソフトウェアリセットでは初期化されません。

## 6.5. 周波数検出カウンタレジスタ(FCSWD\_CTL)

FCSWD\_CTL レジスタは周波数検出のメインクロックによるカウンタ値を示します。

### ■ レジスタ構成

bit	15	0
Field	FWD	
属性	R	
初期値	0x0000	

### ■ レジスタ機能

[bit15:0] FWD : 周波数検出カウントデータ

bit15:0	説明
書き込み時	動作に影響しません
読み出し時	カウント値が読み出されます。

### <注意事項>

- ・本レジスタは異常検出したときのみカウント値を保持します。
- ・本レジスタはソフトウェアリセットでは初期化されません。

## 7. 使用上の注意

クロック監視機能の使用上の注意を説明します。

- 周波数検出の割込み要因のイネーブル、クリアについては、別章『クロック』を参照してください。
- クロック故障検出および異常周波数検出のリセット要因については、別章『リセット』を参照してください。
- リセット発生後の動作について  
クロック故障検出によるリセット発生後、クロックモードは高速 CR に戻ります。  
故障したクロックを再度選択しないでください。
- 周波数検出機能を使う際の内蔵高速 CR クロックについて  
周波数故障検出機能は内蔵高速 CR 自身の周波数精度に影響されます。  
周波数ウインドウを設定する際は、内蔵高速 CR の精度を考慮した値を設定してください。また、異常周波数検出機能を有効にした後は、高速 CR クロックのトリミングを行わないでください。
- 異常周波数検出機能を使う際の設定順序について  
FCS を有効(FCSDE=1)にする前に、カウント期間設定(FCD)、リセット許可(FCSRE)、周波数ウインドウ設定(FWH/FWL)を設定してください。  
また、FCS を有効にした後、FCD/FCSRE/FWH/FWL の変更をする場合は、いったん FCS 機能を停止し、設定変更を行ってください。FCS 有効時に設定変更は行わないでください。
- 異常周波数検出機能を使う際のイネーブル設定について  
CSV 制御レジスタ(CSV\_CTL)の FCSRE ビットの設定により、異常周波数検出時の動作が変わります。表 7-1 に FCS 機能と FCSRE ビットの設定一覧を示します。

表 7-1 FCS 機能と FCSRE ビットの設定一覧

	FCSRE=0	FCSRE=1
FCSDE=0	FCS 機能停止	FCS 機能停止
FCSDE=1	FCS 機能有効 異常検出で割込み発生	FCS 機能有効 1 回目の異常検出で割込みを発生 2 回目の異常検出でリセットを発生

- 周波数検出機能の割込み設定とメインタイマモード  
クロックモードがメインタイマモード時には、内部バスクロックが停止していますので、FCSRE=0 のときは異常を検出しても割込みは発生しません。  
メインタイマモード時は FCSRE=0 と設定しないでください。FCSRE=1 の場合はリセットが発生します。
- CSV OFF 設定と外部リセットについて  
CSV 機能を OFF にした場合、クロック故障が発生しても CSV リセットが発生しないだけでなく、外部リセット(INITX)も受け付けなくなります。特別な理由がない場合、CSV 機能は OFF にしないことを推奨します。



## CHAPTER: リセット

リセットの機能と動作について説明します。

1. 概要
2. 構成
3. 動作説明
4. レジスタ

---

管理コード: 9BFRESET-J03.1

## 1. 概要

本シリーズは以下のリセット要因を持ち、各要因の受付けによりデバイス内部の初期化のためのリセットを発行します。

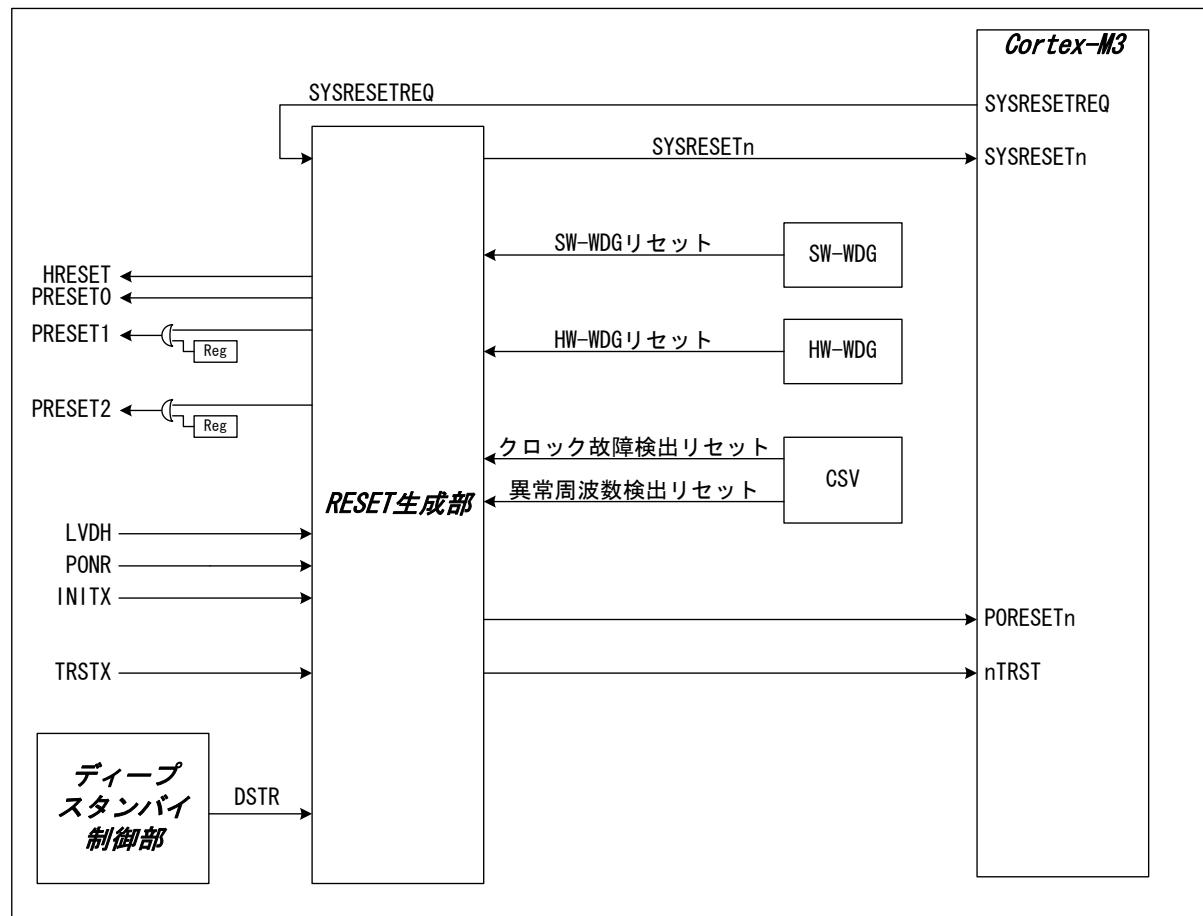
- ・電源投入リセット
- ・INITX 端子入力
- ・外部電源・低電圧検出リセット
- ・ソフトウェア・ウォッチドッグリセット
- ・ハードウェア・ウォッチドッグリセット
- ・クロック故障検出リセット
- ・異常周波数検出リセット
- ・ソフトウェアリセット
- ・TRSTX 端子入力
- ・ディープスタンバイ遷移リセット

## 2. 構成

リセット回路の構成を説明します。

### ■ リセットのブロックダイヤグラム

図 2-1 リセットのブロックダイヤグラム



PONR	: 電源投入リセット
INITX	: INITX 端子入力リセット
LVDH	: 低電圧検出リセット
TRSTX	: TRSTX 端子入力リセット
HRESET	: AHB バスリセット(全リセット要因で発行されるバスリセット)
PRESET0, 1, 2	: APB0, 1, 2 バスリセット(全リセット要因で発行されるバスリセット)
SW-WDG リセット	: ソフトウェア・ウォッチドッグリセット
HW-WDG リセット	: ハードウェア・ウォッチドッグリセット
PORESETn	: Cortex-M3 に入力されるパワーオンリセット
SYSRESETn	: Cortex-M3 に入力されるシステムリセット
SYSRESETREQ	: Cortex-M3 内部リセット制御レジスタ「SYSRESETREQ ビット」信号
nTRST	: SWJ-DP リセット
DSTR	: ディープスタンバイ遷移リセット

### 3. 動作説明

---

本シリーズのリセットの各動作について説明します。

---

- 3.1 リセット要因
- 3.2 デバイス内部のリセット
- 3.3 リセットシーケンス
- 3.4 リセット解除後の動作

## 3.1. リセット要因

各リセット要因について説明します。

### ■ 電源投入リセット(PONR)

電源投入後に発生する電源投入リセットです。

発生要因	電源の立上りを検出することにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	すべてのレジスタの設定、ハードウェアを初期化
対応フラグ	リセット要因レジスタ(RST_STR)の bit0(PONR)=1

### ■ INITX 端子入力リセット(INITX)

デバイス外部から入力されるリセットです。

発生要因	INITX 端子へ"L"レベルを入力することにより発生
解除要因	INITX 端子へ"H"レベルを入力することにより解除
初期化対象	デバッグ回路とディープスタンバイ制御部以外のすべてのレジスタの設定、ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 <ul style="list-style-type: none"><li>・リセット要因レジスタ(RST_STR)</li><li>・低電圧検出電圧設定レジスタ(LVD_CTL)の bit15:8</li><li>・ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR, WIFSR)</li><li>・ディープスタンバイ RAM 保持レジスタ(DSRAMR)</li><li>・バックアップレジスタ 01~16(BUR01~16)</li></ul>
対応フラグ	リセット要因レジスタ(RST_STR)の bit1(INITX)=1

\* INITX 端子から非同期にリセットが入力されてもオンチップ SRAM の内容は保持されます。

**■ 低電圧検出リセット 外部電圧監視(LVDH)**

外部電圧の低下を検出した場合に低電圧検出回路から入力されるリセットです。

**● TYPE3, TYPE7 製品以外**

発生要因	外部電圧が、規定の電圧レベル以下になることにより発生
解除要因	外部電圧が、規定の電圧レベル以上になることにより解除
初期化対象	すべてのレジスタの設定、ハードウェアを初期化
対応フラグ	リセット要因レジスタ(RST_STR)の bit0(PONR)=1

**● TYPE3, TYPE7 製品**

発生要因	外部電圧が、規定の電圧レベル以下になることにより発生
解除要因	外部電圧が、規定の電圧レベル以上になることにより解除
初期化対象	SVHR=0001 時 すべてのレジスタの設定、ハードウェアを初期化 SVHR=0100 時 すべてのレジスタの設定、ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 • 低電圧検出電圧設定レジスタ(LVD_CTL)の bit15:8 • ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR, WIFSR) • バックアップレジスタ 01~16(BUR01~16)
対応フラグ	SVHR=0001 時 リセット要因レジスタ(RST_STR)の bit0(PONR)=1 SVHR=0100 時 リセット要因レジスタ(RST_STR)の bit3(LVDH)=1

**■ ソフトウェア・ウォッチドッグリセット(SWDGR)**

ソフトウェア・ウォッチドッグタイムから入力されるリセットです。

発生要因	ソフトウェア・ウォッチドッグタイムがアンダフローすることにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とハードウェア・ウォッチドッグタイム(制御レジスタ含む) とディープスタンバイ制御部以外のすべてのレジスタの設定、ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 • リセット要因レジスタ(RST_STR) • 低電圧検出電圧設定レジスタ(LVD_CTL)の bit15:8 • ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR, WIFSR) • ディープスタンバイ RAM 保持レジスタ(DSRAMR) • バックアップレジスタ 01~16(BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit4(SWDT)=1

**■ ハードウェア・ウォッチドッグリセット(HWDGR)**

ハードウェア・ウォッチドッグタイマから入力されるリセットです。

発生要因	ハードウェア・ウォッチドッグタイマがアンダフローすることにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とディープスタンバイ制御部以外のすべてのレジスタの設定、ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 • リセット要因レジスタ(RST_STR) • 低電圧検出電圧設定レジスタ(LVD_CTL)の bit15:8 • ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR, WIFSR) • ディープスタンバイ RAM 保持レジスタ(DSRAMR) • バックアップレジスタ 01~16(BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit5(HWDT)=1

**■ クロック故障検出リセット(CSVR)**

監視中のメインまたはサブ水晶発振の故障により入力されるリセットです。

発生要因	メイン水晶・サブ水晶のクロック故障を検出することにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路とクロック故障検出回路(一部のレジスタ)とディープスタンバイ制御部以外のすべてのレジスタの設定、ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 • リセット要因レジスタ(RST_STR) • 低電圧検出電圧設定レジスタ(LVD_CTL)の bit15:8 • ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR, WIFSR) • ディープスタンバイ RAM 保持レジスタ(DSRAMR) • バックアップレジスタ 01~16(BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit6(CSVR)=1 CSV 状態レジスタ(CSV_STR)の bit1(SCMF)=1 または bit0(MCMF)=1 (注意事項) CSV_STR の詳細は『クロック監視機能』の章を参照してください。

**■ 異常周波数検出リセット(FCSR)**

メイン水晶発振の異常周波数を検出することにより入力されるリセットです。

発生要因	メイン水晶発振の周波数が任意の設定値から外れた場合に発生
解除要因	リセット発行後、自動的に解除
初期化対象	デバッグ回路と異常周波数検出(一部のレジスタ)とディープスタンバイ制御部以外のすべてのレジスタの設定、ハードウェアを初期化 (注意事項) 以下のレジスタは初期化されません。 • リセット要因レジスタ(RST_STR) • 低電圧検出電圧設定レジスタ(LVD_CTL)の bit15:8 • ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR, WIFSR) • ディープスタンバイ RAM 保持レジスタ(DSRAMR) • バックアップレジスタ 01~16(BUR01~16)
対応フラグ	リセット要因レジスタ(RST_STR)の bit7(FCSR)=1

**■ ソフトウェアリセット(SRST)**

リセット制御レジスタへのアクセスにより発生するソフトウェアリセットです。

発生要因	Cortex-M3 内部リセット制御レジスタ(SYSRESETREQ ビット)への書き込みにより発生
解除要因	リセット発行後、自動的に解除
初期化対象	下記以外のすべてのレジスタの設定、ハードウェアを初期化 ソフトウェアリセットで初期化されない機能とレジスタ <ul style="list-style-type: none"> <li>・デバッグ回路</li> <li>・ディープスタンバイ制御部</li> <li>・RTC</li> <li>・クロック制御に関わるすべてのレジスタ</li> <li>・ソフト/ハードウェア・ウォッチドッグタイマの一部のレジスタ</li> <li>・クロック故障検出回路の一部のレジスタ</li> <li>・異常周波数検出の一部のレジスタ</li> <li>・CR トリミング機能の一部のレジスタ</li> <li>・リセット要因レジスタ(RST_STR)</li> <li>・低電圧検出電圧設定レジスタ(LVD_CTL)の bit15:8</li> <li>・RTC モード制御レジスタ(PMD_CTL)</li> <li>・ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR, WIFSR)</li> <li>・ディープスタンバイ RAM 保持レジスタ(DSRAMR)</li> <li>・バックアップレジスタ 01~16(BUR01~16)</li> </ul>
対応フラグ	リセット要因レジスタ(RST_STR)の bit8(SRST)=1

**■ ディープスタンバイ遷移リセット(DSTR)**

ディープスタンバイモードへの遷移時に発生するリセットです。

発生要因	ディープスタンバイモードに遷移することにより発生
解除要因	ディープスタンバイモードから復帰することにより解除
初期化対象	下記以外のすべてのレジスタの設定、ハードウェアを初期化 ディープスタンバイ遷移リセットで初期化されない機能とレジスタ <ul style="list-style-type: none"> <li>・ディープスタンバイ制御部</li> <li>・RTC</li> <li>・HDMI-CEC/リモコン受信</li> <li>・GPIO の一部のレジスタ</li> <li>・低電圧検出回路のレジスタ</li> <li>・RTC モード制御レジスタ(PMD_CTL)</li> <li>・ディープスタンバイ復帰要因レジスタ 1, 2(WRFSR, WIFSR)</li> <li>・ディープスタンバイ復帰許可レジスタ(WIER)</li> <li>・WKUP 端子入力レベルレジスタ(WILVR)</li> <li>・ディープスタンバイ RAM 保持レジスタ(DSRAMR)</li> <li>・バックアップレジスタ 01~16(BUR01~16)</li> </ul>
対応フラグ	ディープスタンバイ復帰要因レジスタ 1,2 のいずれかのビットが"1" (注意事項) 復帰要因により"1"になるビットは異なります。

**<注意事項>**

- ・ソフトウェアリセットを制御している「リセット制御レジスタ(SYSRESETREQ)」については、『Cortex -M3 テクニカルリファレンスマニュアル』の「3章 システム制御」を参照してください。

- 各リセット要因の発生状態を確認できるリセット要因レジスタは、電源投入リセットでのみ初期化されます。
-

## 3.2. デバイス内部のリセット

---

デバイスの内部リセット信号について説明します。

---

デバイスの内部へ接続されるリセットは、Cortex-M3 コアへ入力されるリセットと、周辺回路へ入力されるリセットに分けられます。

3.2.1 Cortex-M3 へのリセット

3.2.2 周辺回路へのリセット

### 3.2.1. Cortex-M3 へのリセット

Cortex-M3 へ入力されるリセットは PORESETn, SYSRESETn, nTRST の 3 種類です。  
下記に 3 種類のリセットのリセット要因を示します。

#### ■ パワーオンリセット PORESETn

リセット要因	<ul style="list-style-type: none"><li>・電源投入リセット(PONR)</li><li>・低電圧検出リセット(LVDH)</li><li>・ディープスタンバイ遷移リセット(DSTR)</li></ul>
--------	---

#### ■ システムリセット SYSRESETn

リセット要因	<ul style="list-style-type: none"><li>・電源投入リセット(PONR)</li><li>・低電圧検出リセット(LVDH)</li><li>・INITX 端子入力(INITX)</li><li>・ソフトウェア・ウォッチドッグリセット(SWDGR)</li><li>・ハードウェア・ウォッチドッグリセット(HWDGR)</li><li>・クロック故障検出リセット(CSVR)</li><li>・異常周波数検出リセット(FCSR)</li><li>・ソフトウェアリセット(SRST)</li><li>・ディープスタンバイ遷移リセット(DSTR)</li></ul>
--------	---

#### ■ SWJ-DP リセット nTRST

リセット要因	<ul style="list-style-type: none"><li>・電源投入リセット(PONR)</li><li>・低電圧検出リセット(LVDH)</li><li>・TRSTX 端子入力(TRSTX)</li><li>・ディープスタンバイ遷移リセット(DSTR)</li></ul>
--------	--

### 3.2.2. 周辺回路へのリセット

周辺回路へ入力されるバスリセット(HRESET, PRESET0, 1, 2)は、基本的にすべてのリセット要因により発生します。また、PRESET1, 2についてはレジスタ設定にてリセット制御が可能です。

下記にバスリセットのリセット要因を示します。

#### ■ 周辺回路リセット

##### ● HRESET, PRESET0

リセット要因	<ul style="list-style-type: none"><li>電源投入リセット(PONR)</li><li>低電圧検出リセット(LVDH)</li><li>INITX 端子入力(INITX)</li><li>ソフトウェア・ウォッチドッグリセット(SWDGR)</li><li>ハードウェア・ウォッチドッグリセット(HWDGR)</li><li>クロック故障検出リセット(CSVR)</li><li>異常周波数検出リセット(FCSR)</li><li>ソフトウェアリセット(SRST)</li><li>ディープスタンバイ遷移リセット(DSTR)</li></ul>
--------	--

##### ● PRESET1, 2

リセット要因	<ul style="list-style-type: none"><li>電源投入リセット(PONR)</li><li>低電圧検出リセット(LVDH)</li><li>INITX 端子入力(INITX)</li><li>ソフトウェア・ウォッチドッグリセット(SWDGR)</li><li>ハードウェア・ウォッチドッグリセット(HWDGR)</li><li>クロック故障検出リセット(CSVR)</li><li>異常周波数検出リセット(FCSR)</li><li>ソフトウェアリセット(SRST)</li><li>APB バスリセット(APBC1_PSR, APBC2_PSR)</li><li>ディープスタンバイ遷移リセット(DSTR)</li></ul>
--------	---

#### <注意事項>

- 周辺回路は、基本的にすべてのリセット要因により初期化されますが、周辺回路の仕様によつては特定の要因のみで初期化されるレジスタが存在します。各レジスタの初期化条件については各章のレジスタ初期化条件を参照してください。
- APB バスリセット(APBC1\_PSR, APBC2\_PSR)の詳細は、別章『クロック』を参照してください。

### 3.3. リセットシーケンス

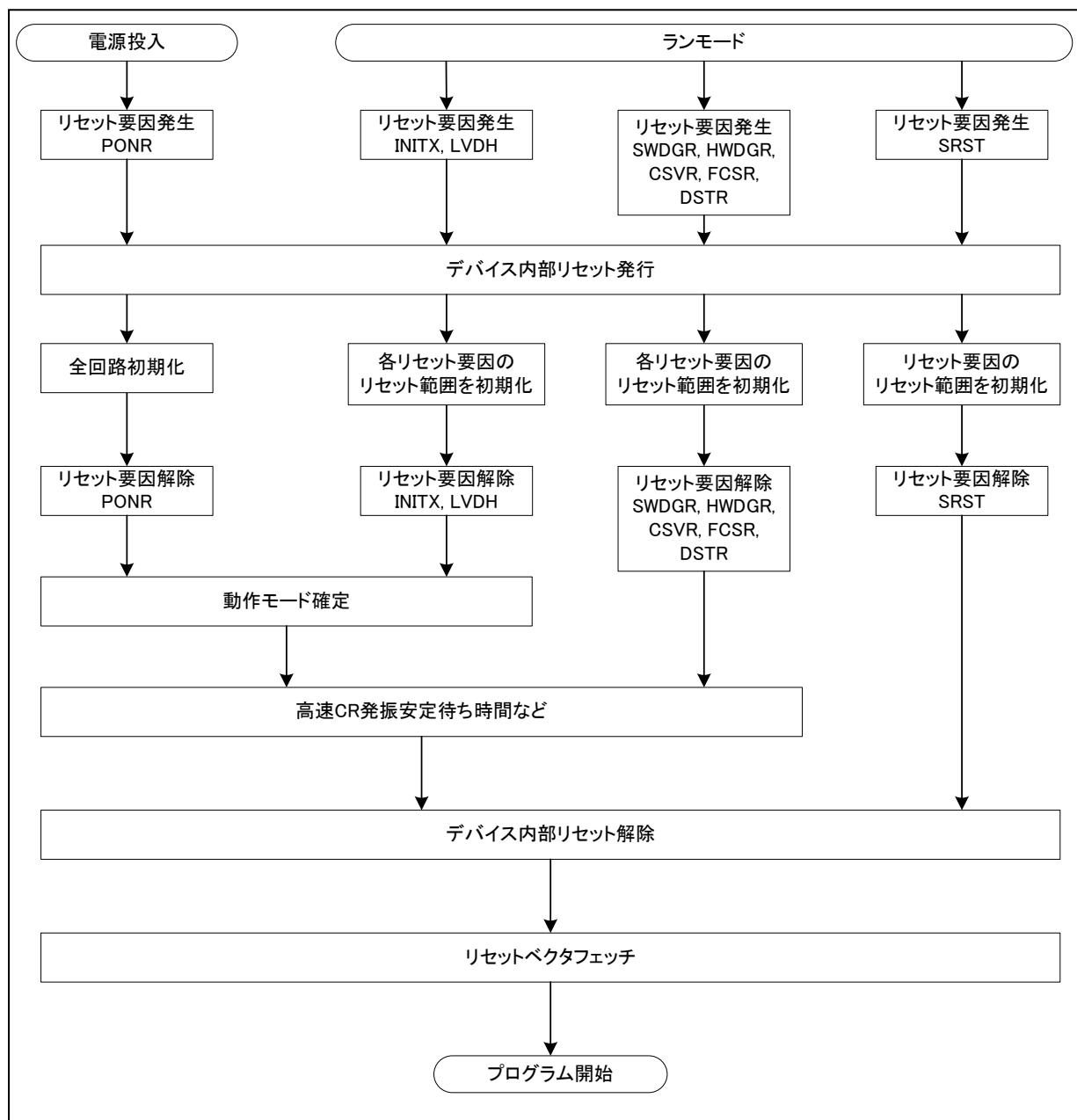
リセット要因の解除により、本品種は初期状態からプログラムおよびハードウェア動作を開始します。

このリセットから動作開始にいたる一連の動作をリセットシーケンスとよびます。

以下、リセットシーケンスについて説明します。

#### ■ リセット状態遷移図

リセット状態の遷移を下図に示します。詳細動作については「3.4. リセット解除後の動作」以降の項を参照してください。



## 3. 動作説明

## 1. リセット要因の取込み

発生したリセット要因が取り込まれ、リセットがデバイス内部に発行されるまで保持されます。

## 2. リセットの発行

リセット発行準備が完了すると、デバイス内部へのリセットが発行されます。

## 3. リセットの解除

リセット要因が解除されると、高速 CR の発振安定待ち時間など解除に必要な時間分、デバイス内部リセットが延長されます。延長時間が終了するとリセットが解除されます。

## 4. 動作モード確定

PONR, LVDH, INITX 解除と同時に動作モードが決定し、各ハードウェアに通知します。ほかのリセット要因では動作モードは変化しません。

## 5. リセットベクタフェッチ

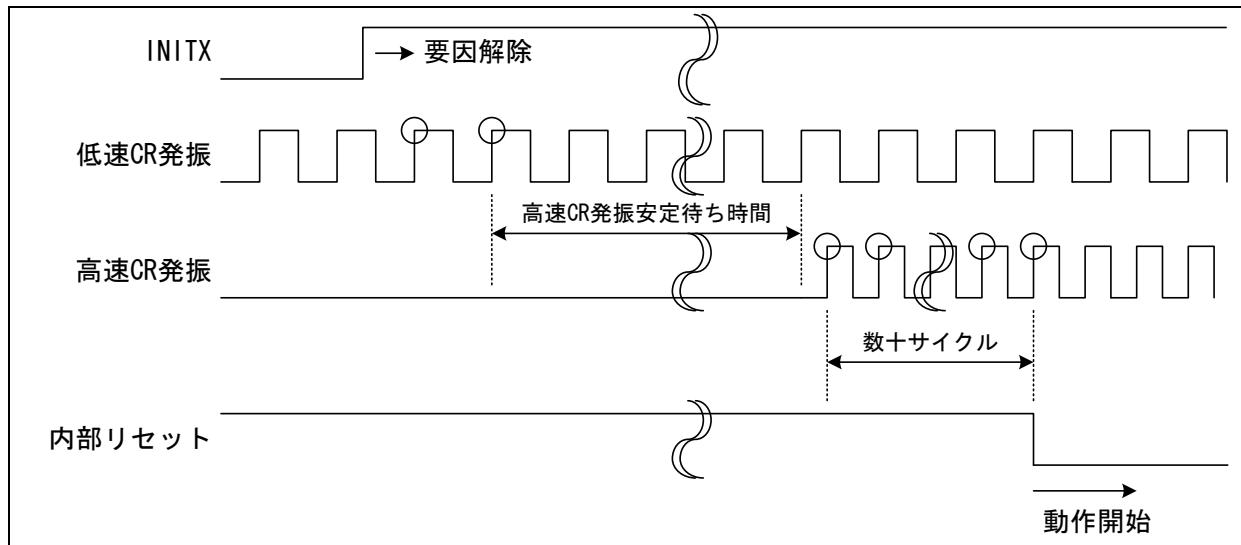
デバイス内部リセットの解除後に、CPU がリセットベクタの取込みを開始します。CPU は取得したリセットベクタをプログラムカウンタに取り込んで、プログラム動作を開始します。

### 3.4. リセット解除後の動作

#### ■ PONR, LVDH, INITX, HWDGR, SWDGR, CSVR, FCSR, DSTR

例として、INITX 端子入力リセットの要因解除後の動作波形を図 3-1 に示します。

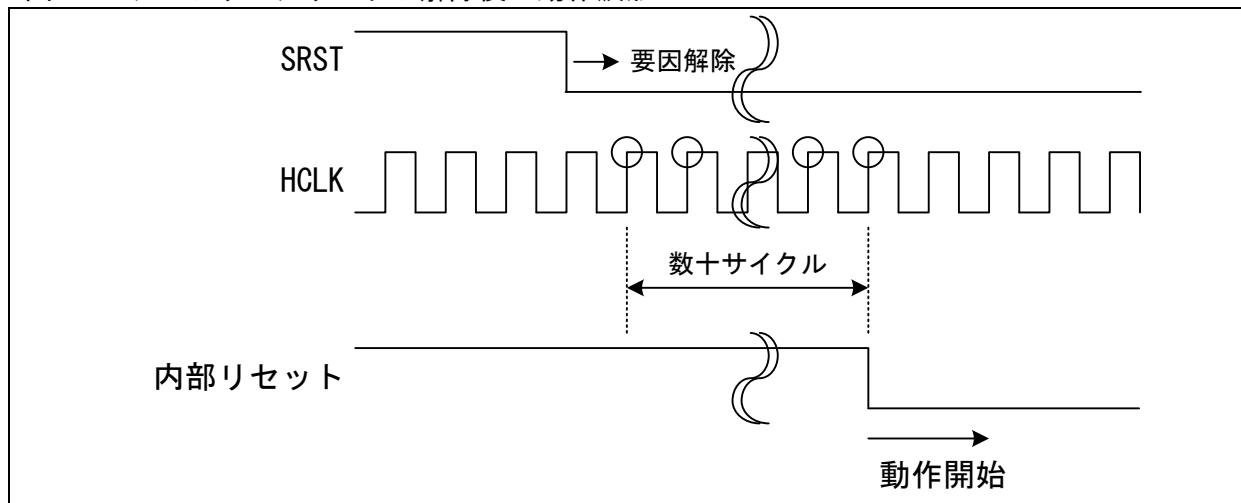
図 3-1 INITX 端子入力リセット解除後の動作波形



#### ■ SRST

ソフトウェアリセット解除後の動作波形を図 3-2 に示します。

図 3-2 ソフトウェアリセット解除後の動作波形



## 4. レジスタ

レジスタの構成と機能について説明します。

### ■ レジスター一覧

略称	レジスタ名	参照先
RST_STR	リセット要因レジスタ	4.1

## 4.1. リセット要因レジスタ(RST\_STR : ReSeT STatus Register)

直前までに発生した各種リセット要因を表示します。電源投入時に値が初期化されます。  
 また、読み出すことにより全ビットがクリアされます。  
 電源投入後、読み出すまでの間に発生したリセット要因をすべて格納します。

### ■ TYPE3, TYPE7 製品以外

bit	15	14	13	12	11	10	9	8
Field	予約							SRST
属性	-	-	-	-	-	-	-	R
初期値	-	-	-	-	-	-	-	0
bit	7	6	5	4	3	2	1	0
Field	FCSR	CSVR	HWDT	SWDT	予約	予約	INITX	PONR
属性	R	R	R	R	-	-	R	R
初期値	0	0	0	0	-	-	0	1

### ■ TYPE3, TYPE7 製品

bit	15	14	13	12	11	10	9	8
Field	予約							SRST
属性	-	-	-	-	-	-	-	R
初期値	-	-	-	-	-	-	-	0
bit	7	6	5	4	3	2	1	0
Field	FCSR	CSVR	HWDT	SWDT	LVDH	予約	INITX	PONR
属性	R	R	R	R	R	-	R	R
初期値	0	0	0	0	0	-	0	1

(注意事項) 初期値は電源投入時の値です。

#### [bit15:9] 予約 : 予約ビット

予約ビットです。読み出し値は不定です。

#### [bit8] SRST : ソフトウェアリセットフラグ

Cortex-M3 内部リセット制御レジスタ(SYSRESETREQ ビット)への"1"書き込みにより発生するリセットを示します。

ソフトウェアリセットが発生すると、SRST=1 となります。

bit	説明
0	ソフトウェアリセットは発行されていません。
1	ソフトウェアリセットが発行されました。

#### [bit7] FCSR : 異常周波数検出リセットフラグ

メイン発振の異常周波数を検出した場合のリセットを示します。

メイン発振の周波数が設定値から外れた場合に、リセットが発行され FCSR=1 となります。

bit	説明
0	異常周波数検出リセットは発行されていません。
1	異常周波数検出リセットが発行されました。

**[bit6] CSVR : クロック故障検出リセットフラグ**

メイン・サブ発振の故障を検出した場合のリセットを示します。

停止を検出した場合、リセットが発行され CSVR=1 となります。

bit	説明
0	クロック故障検出リセットは発行されていません。
1	クロック故障検出リセットが発行されました。

(注意事項) メイン発振とサブ発振のどちらが故障したか判断する方法については、別章『クロック監視機能』を参照してください。

**[bit5] HWDT : ハードウェア・ウォッチドッギングリセットフラグ**

ハードウェア・ウォッチドッギングタイマからのリセットを示します。

タイマがアンダフローした場合、リセットが発行され HWDT=1 となります。

bit	説明
0	ハードウェア・ウォッチドッギングリセットは発行されていません。
1	ハードウェア・ウォッチドッギングリセットが発行されました。

**[bit4] SWDT : ソフトウェア・ウォッチドッギングリセットフラグ**

ソフトウェア・ウォッチドッギングタイマからのリセットを示します。

タイマがオーバフローした場合、リセットが発行され SWDT=1 となります。

bit	説明
0	ソフトウェア・ウォッチドッギングリセットは発行されていません。
1	ソフトウェア・ウォッチドッギングリセットが発行されました。

**● TYPE3, TYPE7 製品以外****[bit3] 予約 : 予約ビット**

予約ビットです。読み出し値は不定です。

**● TYPE3, TYPE7 製品****[bit3] LVDH : 低電圧検出リセットフラグ**

低電圧検出時のリセット(SVHR=0100 時)を示します。

低電圧を検出した場合、リセットが発行され LVDH=1 となります。

bit	説明
0	低電圧検出リセット(SVHR=0100 時)は発行されていません。
1	低電圧検出リセット(SVHR=0100 時)が発行されました。

**● 全製品 TYPE****[bit2] 予約 : 予約ビット**

予約ビットです。読み出し値は不定です。

## [bit1] INITX : INITX 端子入力リセットフラグ

外部から入力されるリセットを示します。

外部からリセットが入力された場合、INITX=1 となります。

bit	説明
0	INITX 端子入力リセットは発行されていません。
1	INITX 端子入力リセットが発行されました。

## ● TYPE3, TYPE7 製品以外

## [bit0] PONR : 電源投入リセット・低電圧検出リセットフラグ

電源投入時、および低電圧検出時のリセットを示します。

電源の立上り、または低電圧を検出した場合、リセットが発行され PONR=1 となります。

bit	説明
0	電源投入リセット、または低電圧検出リセットは発行されていません。
1	電源投入リセット、または低電圧検出リセットが発行されました。

## ● TYPE3, TYPE7 製品

## [bit0] PONR : 電源投入リセット・低電圧検出リセットフラグ

電源投入時、低電圧検出時のリセット(SVHR=0001 時)およびディープスタンバイ遷移リセットを示します。

電源の立上り、低電圧を検出した場合またはディープスタンバイモードに遷移した場合、リセットが発行され PONR=1 となります。

bit	説明
0	電源投入リセット、低電圧検出リセット(SVHR=0001 時)またはディープスタンバイ遷移リセットは発行されていません。
1	電源投入リセット、低電圧検出リセット(SVHR=0001 時)またはディープスタンバイ遷移リセットが発行されました。

<注意事項>

● TYPE3, TYPE7 製品以外

本レジスタは電源投入リセット、低電圧検出リセットにより初期化されます。それ以外のリセット要因では初期化されません。また、読み出しにより全ビットがクリアされます。

● TYPE3, TYPE7 製品

本レジスタは電源投入リセット、低電圧検出リセット(SVHR=0001 時)、ディープスタンバイ復帰リセットにより初期化されます。それ以外のリセット要因では初期化されません。また、読み出しにより全ビットがクリアされます。

ディープスタンバイモードからの復帰かどうかの判断は、ディープスタンバイ復帰要因レジスタ1,2(WRFSR, WIFSR)で行ってください。詳細は、『低消費電力モード』の『8.5. ディープスタンバイ復帰要因レジスタ 1(WRFSR)』および『8.6. ディープスタンバイ復帰要因レジスタ 2(WIFSR)』を参照してください。

## CHAPTER: 低電圧検出構成

低電圧検出の構成について説明します。

### 1. 構成

---

管理コード: 9xFLVDTOP-J01.1

## 1. 構成

低電圧検出の構成については下記の関連する章の説明を参照してください。

### ■ 低電圧検出参考章

表 1-1 低電圧検出章対応表

製品 TYPE	参照先
TYPE0～TYPE2, TYPE4, TYPE5	『低電圧検出(A)』の章
TYPE3, TYPE7	『低電圧検出(B)』の章
TYPE6	『低電圧検出(C)』の章

## CHAPTER: 低電圧検出(A)

低電圧検出回路(A)の機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

## 1. 概要

低電圧検出回路は、電源電圧を監視し、検出電圧よりも電源電圧が低下したときにリセット信号および割込み信号を発生させる回路です。

### ■ 低電圧検出回路の概要

#### ● 低電圧リセット回路の動作

- ・電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときにリセット信号を発生させます。
- ・常に電源電圧を監視します。
- ・スタンバイモード時、ディープスタンバイモード時も電源電圧を監視します。
- ・スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、リセット信号を発生させます。

#### ● 低電圧割込み回路の動作

- ・電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。
- ・動作の許可もしくは停止を選択できます。初期状態は停止しています。
- ・検出電圧の設定が可能です。
- ・スタンバイモード時、ディープスタンバイモード時も電源電圧を監視できます。
- ・スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、スタンバイモード、ディープスタンバイモードから復帰します。

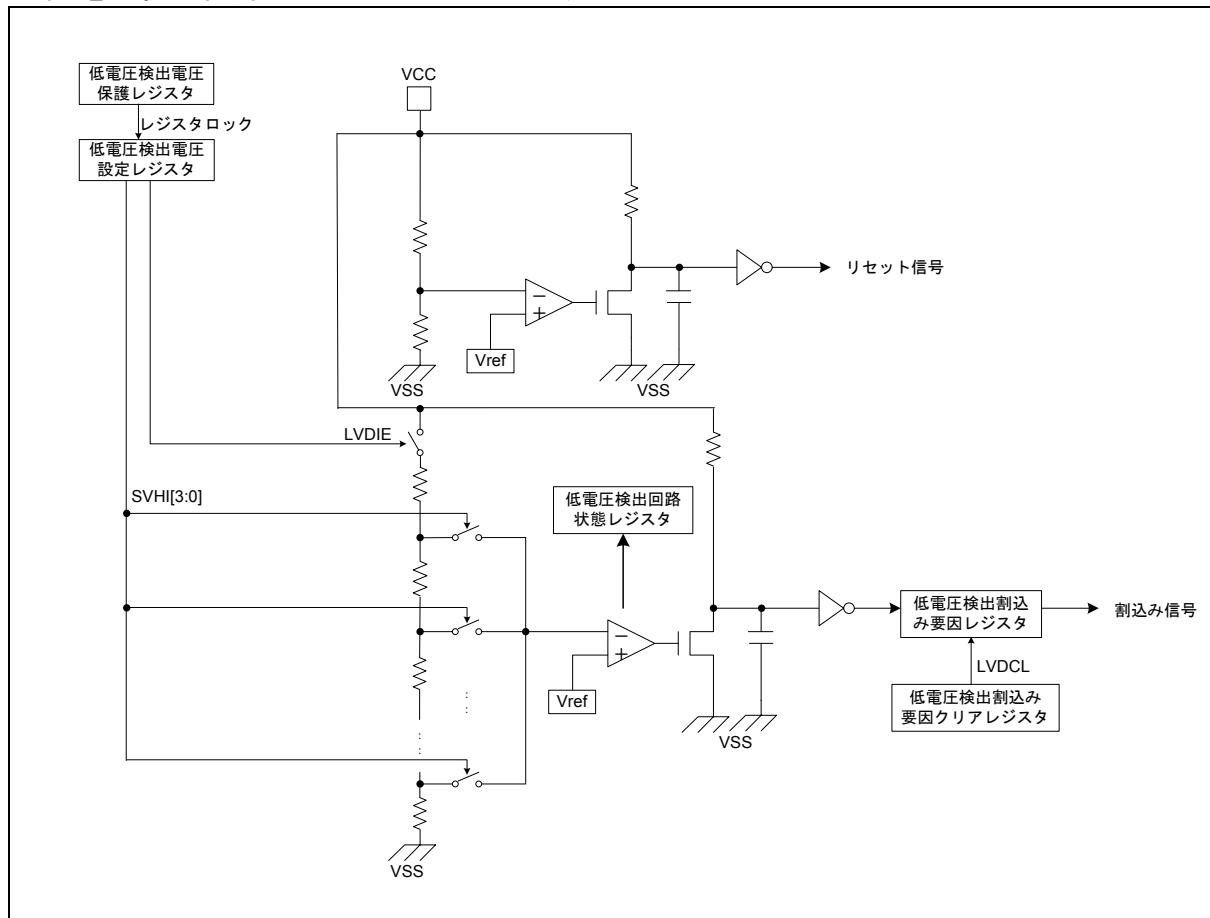
### <注意事項>

- ・低電圧検出割込みの許可をしたとき、および低電圧検出割込みの検出電圧設定を行った場合は、低電圧検出回路の安定待ち期間経過後に VCC 電圧監視を開始します。  
低電圧検出回路の安定待ち期間については、ご使用する品種の『データシート』を参照してください。
- ・低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB2 プリスケーラレジスタ(APBC2\_PSR)により PCLK2 の停止を行うと、電源電圧の監視が行われません。状態フラグの読み出しを行い、安定待ち期間が完了したのち遷移させてください。
- ・低電圧検出電圧設定レジスタ(LVD\_CTL)は、誤書き込み防止のため、書き込み保護されております。書き込み保護を解除する場合は、低電圧検出電圧保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込んでください。

## 2. 構成

低電圧検出回路のブロックダイヤグラムを示します。

### ■ 低電圧検出回路のブロックダイヤグラム



#### ● 低電圧検出電圧設定レジスタ (LVD\_CTL)

低電圧検出割込みの電源電圧監視の許可制御、低電圧検出割込みの検出電圧設定を行うレジスタです。

#### ● 低電圧検出電圧保護レジスタ (LVD\_RLR)

低電圧検出電圧設定レジスタの書き込み保護を行うレジスタです。

#### ● 低電圧検出割込み要因レジスタ (LVD\_STR)

低電圧検出割込みの要因を保持するレジスタです。

#### ● 低電圧検出割込み要因クリアレジスタ (LVD\_CLR)

低電圧検出割込み要因をクリアするレジスタです。

#### ● 低電圧検出回路状態レジスタ (LVD\_STR2)

低電圧検出割込み回路の動作状態を確認するレジスタです。

## ■ 低電圧検出回路の端子

低電圧検出回路に使用する端子を以下に示します。

- VCC 端子  
低電圧検出回路は本端子の電源電圧を監視します。
- VSS 端子  
電源検出の基準となる GND 端子です。

### 3. 動作説明

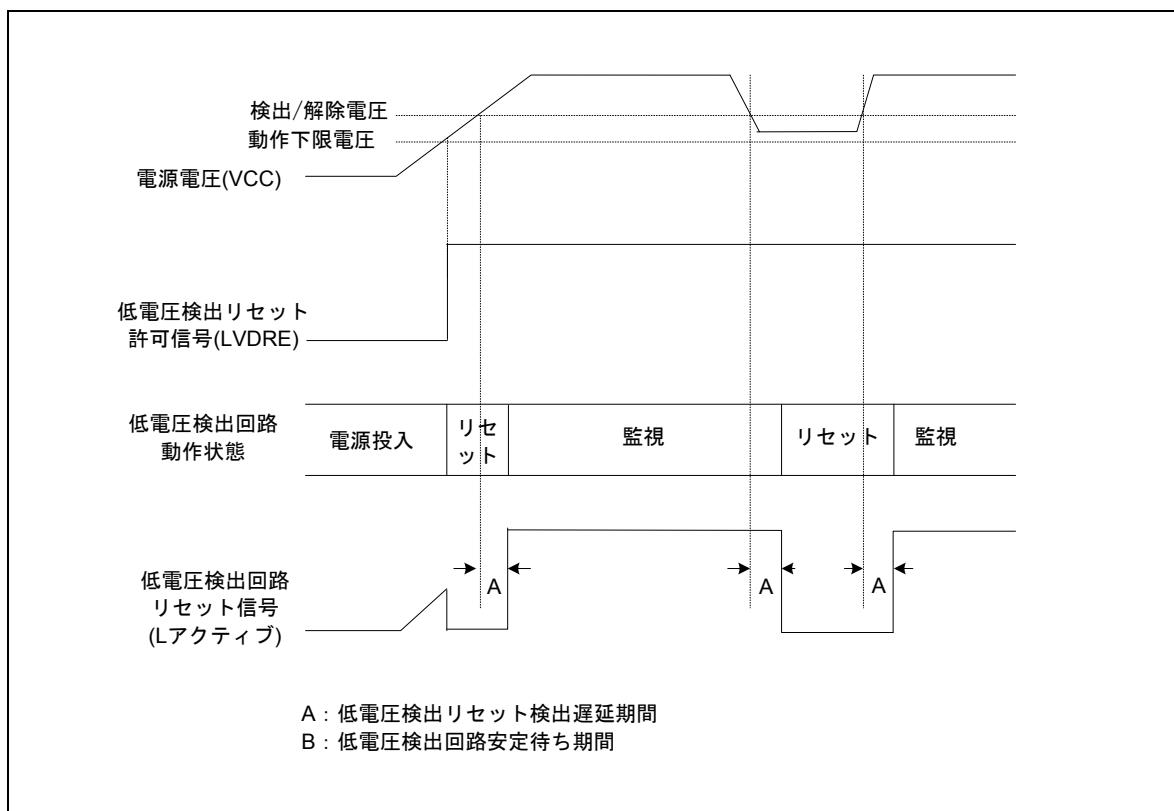
低電圧検出リセット回路の動作および低電圧検出割込み回路の動作について説明します。

#### ■ 低電圧検出リセット回路の動作

##### ● 回路動作説明

低電圧検出リセット回路は、電源投入後から常に監視状態になります。電源電圧(VCC)が検出電圧よりも低下したときにリセット信号を発生させます。解除電圧よりも電源電圧が高くなると、リセットを解除します。

スタンバイモード(スリープモード, タイマモード, RTCモード, ストップモード)、ディープスタンバイモード(ディープスタンバイ RTCモード, ディープスタンバイストップモード)でも動作可能です。



## ■ 低電圧検出割込み回路の動作

### ● 回路動作説明

低電圧検出割込み回路は、電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。

低電圧検出電圧設定レジスタ (LVD\_CTL) の LVDIE ビットが"1"のときに割込み要求が許可され有効になります。初期値は許可されていません。低電圧検出電圧設定レジスタ (LVD\_CTL) の SVHI ビットにより割込みの検出電圧の設定が可能です。割込み要求許可および割込み検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ (LVD\_STR2) の低電圧検出割込み状態グラグ(LVDIRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード), ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。また、スタンバイモード, ディープスタンバイモードからの復帰に使用できます。

### ● 低電圧検出割込み要求

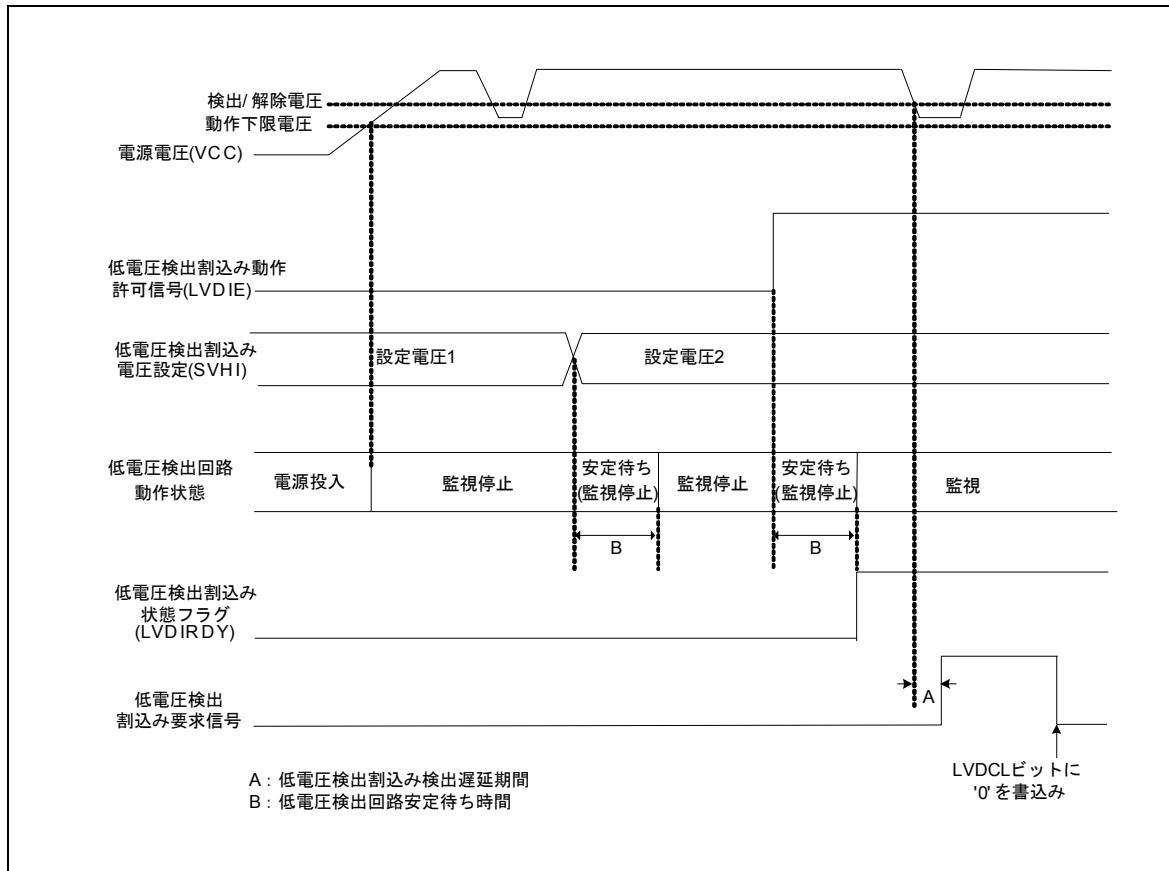
低電圧検出割込みが有効かつ電源電圧 VCC が設定された電圧よりも低下したときに、低電圧検出割込み要因レジスタ (LVD\_STR) の LVDIR ビットが"1"になり、割込み要求信号を発生させます。

LVDIR ビットを読み出すことで、割込み要求を確認することができます。

### ● 低電圧検出割込み要求の取下げ

低電圧検出割込み検出要求を取り下げるには、低電圧検出割込み要因クリアレジスタ (LVD\_CLR)の LVDCL ビットに"0"を書き込んでください。これにより低電圧検出割込み要因がクリアされ、低電圧検出割込み要求が取り下げられます。

また、電源電圧が設定された検出電圧よりも低下している間に、LVDCL ビットに"0"書き込みを行った場合も、割込み要求が取り下げられます。



---

<注意事項>

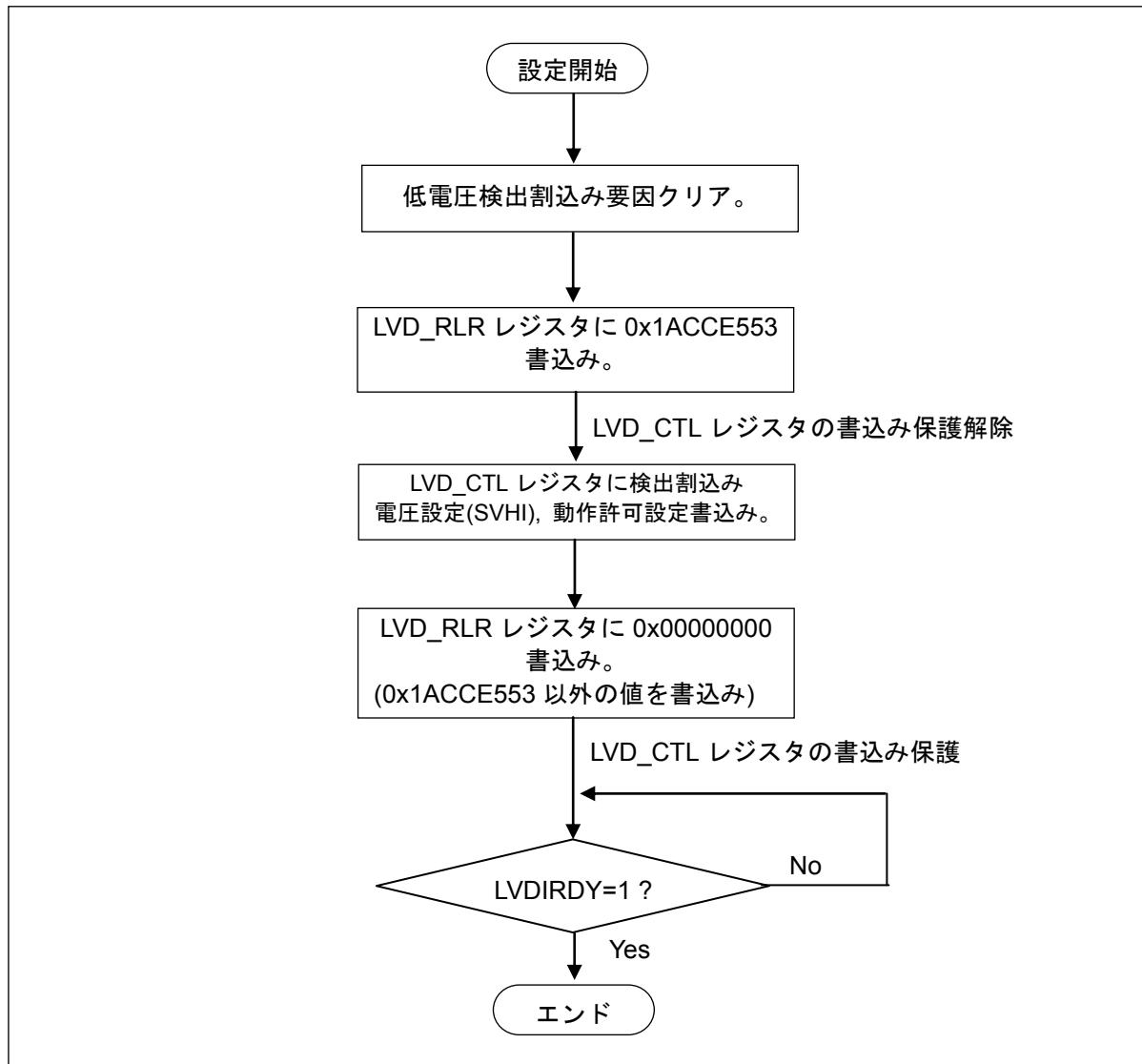
低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB2 プリスケーラレジスタ(APBC2\_PSR)により PCLK2 の停止を行うと、電源電圧の監視が行われません。低電圧検出回路状態レジスタ(LVD\_STR2)の低電圧検出割込み状態フラグ(LVDIRDY)が"1"になっているのを確認後、遷移させてください。

---

## 4. 設定手順例

低電圧検出回路の設定手順例を説明します。

図 4-1 低電圧検出割込み設定手順例



## 5. レジスタ

低電圧検出回路で使用するレジスタの構成と機能について説明します。

### ■ 低電圧検出回路のレジスター一覧

表 5-1 低電圧検出回路のレジスター一覧

レジスタ略称	レジスタ名	参照先
LVD_CTL	低電圧検出電圧設定レジスタ	5.1
LVD_STR	低電圧検出割込み要因レジスタ	5.2
LVD_CLR	低電圧検出割込み要因クリアレジスタ	5.3
LVD_RLR	低電圧検出電圧保護レジスタ	5.4
LVD_STR2	低電圧検出回路状態レジスタ	5.5

## 5.1. 低電圧検出電圧設定レジスタ(LVD\_CTL)

低電圧検出電圧設定レジスタ(LVD\_CTL)は、低電圧検出割込みの電源電圧監視の許可制御、低電圧検出割込みの検出電圧設定を行うレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDIE	予約		SVHI			予約	
属性	R/W	-		R/W			-	
初期値	0	1		0000			00	

### [bit7] LVDIE : 低電圧検出割込み動作許可ビット

このビットは、低電圧検出割込みの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出割込み回路は動作停止します。

bit	説明
0	低電圧検出割込みの発生を許可しません。[初期値]
1	低電圧検出割込みの発生を許可します。

### [bit6] 予約 : 予約ビット

読み出し値は不定です。  
書き込みは"1"を設定してください。

### [bit5:2] SVHI : 低電圧検出割込み電圧設定ビット

これらのビットは、低電圧検出割込みの検出電圧設定を行います。

bit5:2	説明
0000	低電圧検出割込みの電圧を 2.8V 中心に設定します。[初期値]
0001	低電圧検出割込みの電圧を 3.0V 中心に設定します。
0010	低電圧検出割込みの電圧を 3.2V 中心に設定します。
0011	低電圧検出割込みの電圧を 3.6V 中心に設定します。
0100	低電圧検出割込みの電圧を 3.7V 中心に設定します。
0101	設定禁止
0110	設定禁止
0111	低電圧検出割込みの電圧を 4.0V 中心に設定します。
1000	低電圧検出割込みの電圧を 4.1V 中心に設定します。
1001	低電圧検出割込みの電圧を 4.2V 中心に設定します。
上記以外	設定禁止

[bit1:0] 予約 : 予約ビット

読み出しは常に"0"が読み出されます。  
書き込みは動作に影響しません。

<注意事項>

- 低電圧検出割込み動作許可ビット(LVDIE)は、必ず低電圧検出割込み要因クリアレジスタ(LVD\_CLR)の LVDCL ビットに"0"を書き込み、低電圧検出割込み要因ビット(LVDIR)をクリアしてから許可してください。
- 低電圧検出割込み動作許可ビット(LVDIE)を許可しない場合は、低電圧割込み検出用の低電圧検出回路は停止します。そのため、低電圧検出割込み要因ビット(LVDIR)のセットは行いません。
- 低電圧検出電圧設定レジスタ(LVD\_CTL)は初期状態で書き込み保護されており、保護を解除しない限り書き込みは無効になります。低電圧検出電圧設定レジスタ(LVD\_CTL)に書き込みを行う場合は、低電圧検出電圧保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込み、書き込み保護を解除してください。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.2. 低電圧検出割込み要因レジスタ(LVD\_STR)

低電圧検出割込み要因レジスタ(LVD\_STR)は、低電圧検出割込みの要因を保持するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDIR				予約			
属性	R				-			
初期値	0				0000000			

[bit7] LVDIR : 低電圧検出割込み要因ビット

bit	説明
0	低電圧検出割込み要求は検出されていません。[初期値]
1	低電圧検出割込み要求が検出されました。

[bit6:0] 予約 : 予約ビット

読み出しは常に"0"が読み出されます。  
書き込みは動作に影響しません。

### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。

### 5.3. 低電圧検出割込み要因クリアレジスタ(LVD\_CLR)

低電圧検出割込み要因クリアレジスタ(LVD\_CLR)は、低電圧検出割込み要因をクリアするレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDCL				予約			
属性	R/W				-			
初期値	1				0000000			

[bit7] LVDCL：低電圧検出割込み要因クリアビット

bit	説明
0	低電圧検出割込み要因レジスタ(LVD_STR)の低電圧検出割込み要因ビット(LVDIR)を"0"にクリアします。
1	書き込みは動作に影響しません。[初期値]

読み出しは常に"1"が読み出されます。

[bit6:0] 予約：予約ビット

読み出しは常に"0"が読み出されます。  
書き込みは動作に影響しません。

#### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.4. 低電圧検出電圧保護レジスタ(LVD\_RLR)

低電圧検出電圧保護レジスタ(LVD\_RLR)は、低電圧検出電圧設定レジスタ(LVD\_CTL)を書き込み保護するレジスタです。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LVDLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LVDLCK[15:0]															
属性	R/W															
初期値	0x0001															

### [bit31:0] LVDLCK[31:0] : 低電圧検出電圧設定レジスタ保護ビット

- 0x1ACCE553 を書き込むことにより、低電圧検出電圧設定レジスタ(LVD\_CTL)の書き込みが可能となります(書き込み保護解除)。
- 0x1ACCE553 以外の値を書き込むと、低電圧検出電圧設定レジスタ(LVD\_CTL)の書き込みが無効になります(書き込み保護)。
- 低電圧検出電圧設定レジスタ(LVD\_CTL)の保護が解除されているときは、0x00000000 が読み出されます。
- 低電圧検出電圧設定レジスタ(LVD\_CTL)の保護されているときは、0x00000001 が読み出されます。

### <注意事項>

- 低電圧検出電圧設定レジスタ(LVD\_CTL)は、初期状態で書き込み保護されております。LVD\_CTL レジスタに書き込みを行う場合は、低電圧検出電圧保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込み、書き込み保護を解除してください。
- LVD\_CTL レジスタの書き込み保護を有効にしたい場合は、LVD\_RLR レジスタに 0x1ACCE553 以外の値を書き込んでください。
- LVD\_CTL レジスタの書き込み保護を解除した場合は、LVD\_RLR レジスタに 0x1ACCE553 以外の値を書き込むまで保護が解除されたままになります。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.5. 低電圧検出回路状態レジスタ(LVD\_STR2)

低電圧検出回路状態レジスタ(LVD\_STR2)は、低電圧検出割込みの動作状態を確認するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDIRDY				予約			
属性	R				-			
初期値	0				1000000			

[bit7] LVDIRDY：低電圧検出割込み状態フラグ

bit	説明
0	安定待ち状態もしくは監視停止状態[初期値]
1	監視状態

書き込みは動作に影響しません。

[bit6:0] 予約：予約ビット

読み出し値は不定です。

書き込みは動作に影響しません。

### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。



## CHAPTER: 低電圧検出(B)

低電圧検出回路の機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

## 1. 概要

低電圧検出回路は、電源電圧を監視し、検出電圧よりも電源電圧が低下したときにリセット信号および割込み信号を発生させる回路です。

### ■ 低電圧検出回路の概要

#### ● 低電圧リセット回路の動作

- ・電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときにリセット信号を発生させます。
- ・動作許可もしくは停止を選択できます。初期状態は動作しています。
- ・検出電圧の設定が可能です。
- ・スタンバイモード時、ディープスタンバイモード時も電源電圧を監視します。
- ・スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、リセット信号を発生させます。

#### ● 低電圧割込み回路の動作

- ・電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。
- ・動作の許可もしくは停止を選択できます。初期状態は停止しています。
- ・検出電圧の設定が可能です。
- ・スタンバイモード時、ディープスタンバイモード時も電源電圧を監視できます。
- ・スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、スタンバイモード、ディープスタンバイモードから復帰します。

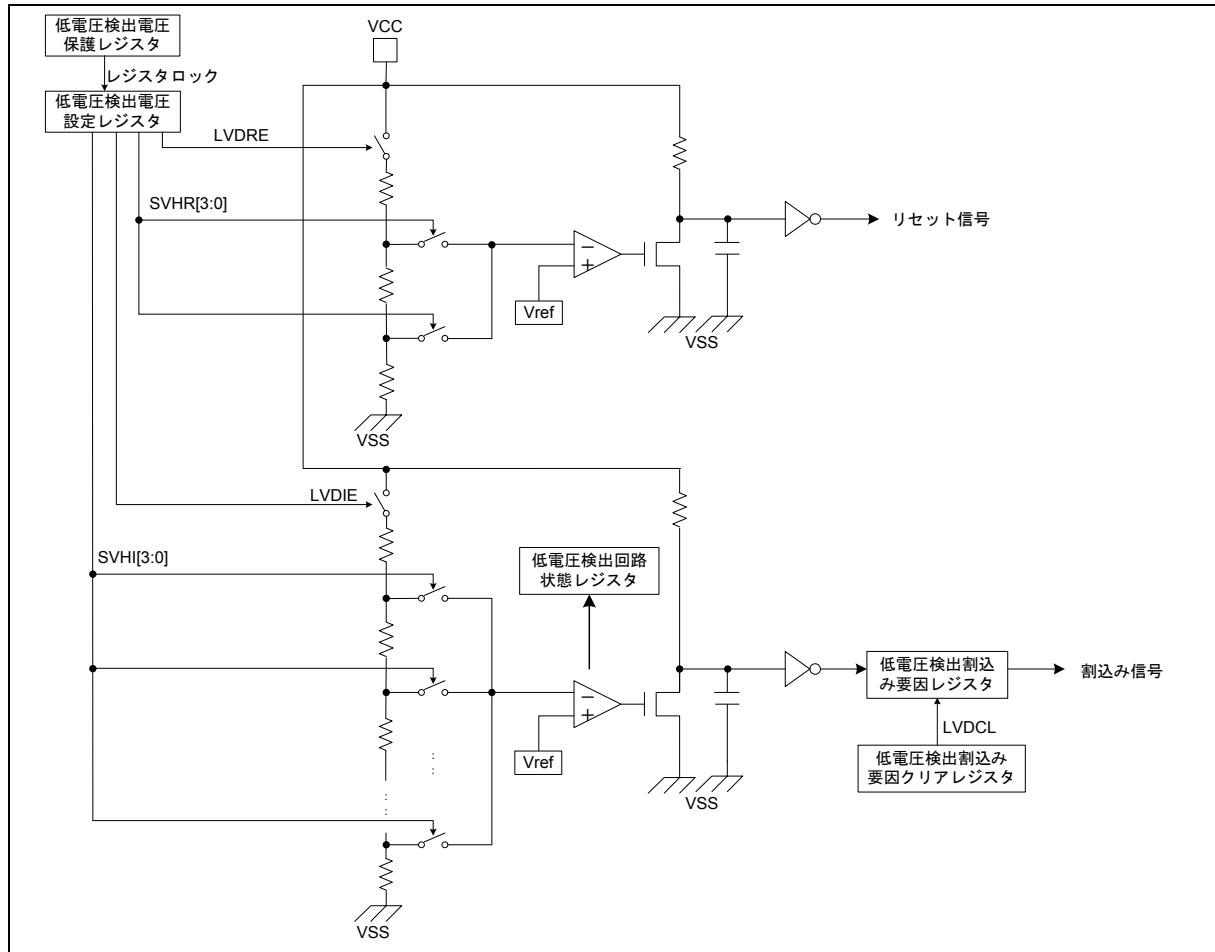
### <注意事項>

- ・低電圧検出割込みの許可をしたとき、および低電圧検出割込みの検出電圧設定を行った場合は、低電圧検出回路の安定待ち期間経過後に VCC 電圧監視を開始します。  
低電圧検出回路の安定待ち期間については、ご使用する品種の『データシート』を参照してください。
- ・低電圧検出回路の安定待ち期間中にタイマモード、RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモードおよび APB2 プリスケーラレジスタ (APBC2\_PSR)により PCLK2 の停止を行うと、電源電圧の監視が行われません。状態フラグの読み出しを行い、安定待ち期間が完了したのち遷移させてください。
- ・低電圧検出電圧設定レジスタ(LVD\_CTL)は、誤書き込み防止のため、書き込み保護されております。書き込み保護を解除する場合は、低電圧検出電圧保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込んでください。

## 2. 構成

低電圧検出回路のブロックダイヤグラムを示します。

### ■ 低電圧検出回路のブロックダイヤグラム



#### ● 低電圧検出電圧設定レジスタ (LVD\_CTL)

低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御、低電圧検出リセットと低電圧検出割込みの検出電圧設定を行うレジスタです。

#### ● 低電圧検出電圧保護レジスタ (LVD\_RLR)

低電圧検出電圧設定レジスタの書き込み保護を行うレジスタです。

#### ● 低電圧検出割込み要因レジスタ (LVD\_STR)

低電圧検出割込みの要因を保持するレジスタです。

#### ● 低電圧検出割込み要因クリアレジスタ (LVD\_CLR)

低電圧検出割込み要因をクリアするレジスタです。

#### ● 低電圧検出回路状態レジスタ (LVD\_STR2)

低電圧検出割込み回路の動作状態を確認するレジスタです。

## ■ 低電圧検出回路の端子

低電圧検出回路に使用する端子を以下に示します。

- VCC 端子  
低電圧検出回路は本端子の電源電圧を監視します。
- VSS 端子  
電源検出の基準となる GND 端子です。

### 3. 動作説明

低電圧検出リセット回路の動作および低電圧検出割込み回路の動作について説明します。

#### ■ 低電圧検出リセット回路の動作

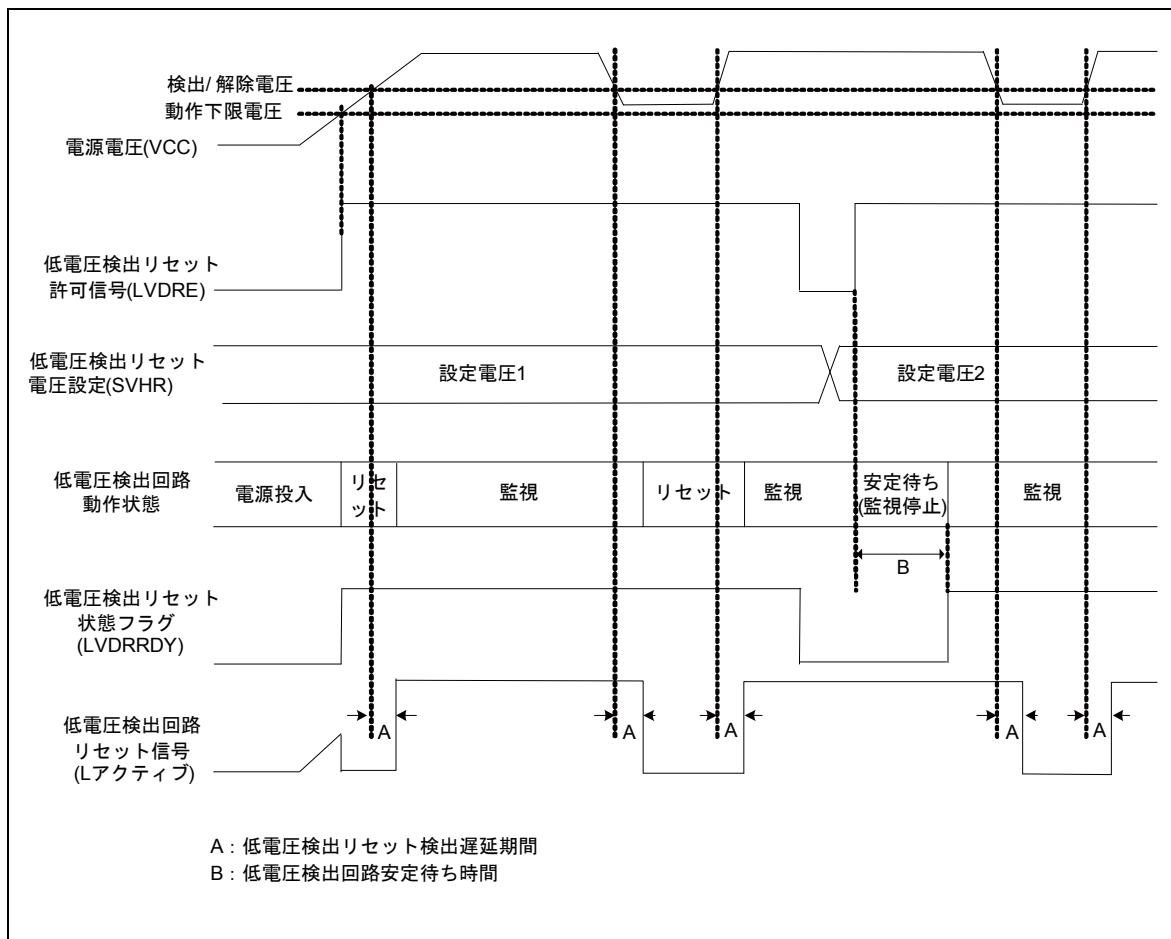
##### ● 回路動作説明

低電圧検出リセット回路は、電源投入後から監視状態になります。電源電圧(VCC)が設定された検出電圧よりも低下したときにリセット信号を発生させます。解除電圧よりも電源電圧が高くなると、リセットを解除します。

低電圧検出電圧設定レジスタの LVDRE ビットが"1"のときにリセット動作は有効です。低電圧検出電圧設定レジスタ(LVD\_CTL)の SVHR ビットによりリセットの検出電圧の設定が可能です。リセット許可およびリセット検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ(LVD\_STR2)の低電圧検出リセット状態フラグ(LVDRRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード、タイマモード、RTCモード、ストップモード)、ディープスタンバイモード(ディープスタンバイ RTC モード、ディープスタンバイストップモード)でも動作可能です。

低電圧検出割込みが有効(LVDIE=1)かつローパワーモード(LVDIM=1)時、低速 CR タイマモード、サブタイマモード、RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモード中は低電圧検出リセットの動作が停止します。



## ■ 低電圧検出割込み回路の動作

### ● 回路動作説明

低電圧検出割込み回路は、電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。

低電圧検出電圧設定レジスタ(LVD\_CTL)の LVDIE ビットが"1"のときに割込み要求が許可され有効になります。初期値は許可されていません。低電圧検出電圧設定レジスタ(LVD\_CTL)の SVHI ビットにより割込みの検出電圧の設定が可能です。割込み要求許可および割込み検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ(LVD\_STR2)の低電圧検出割込み状態グラグ(LVDIRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード)とディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。また、スタンバイモードとディープスタンバイモードからの復帰に使用できます。

### ● 低電圧検出割込み要求

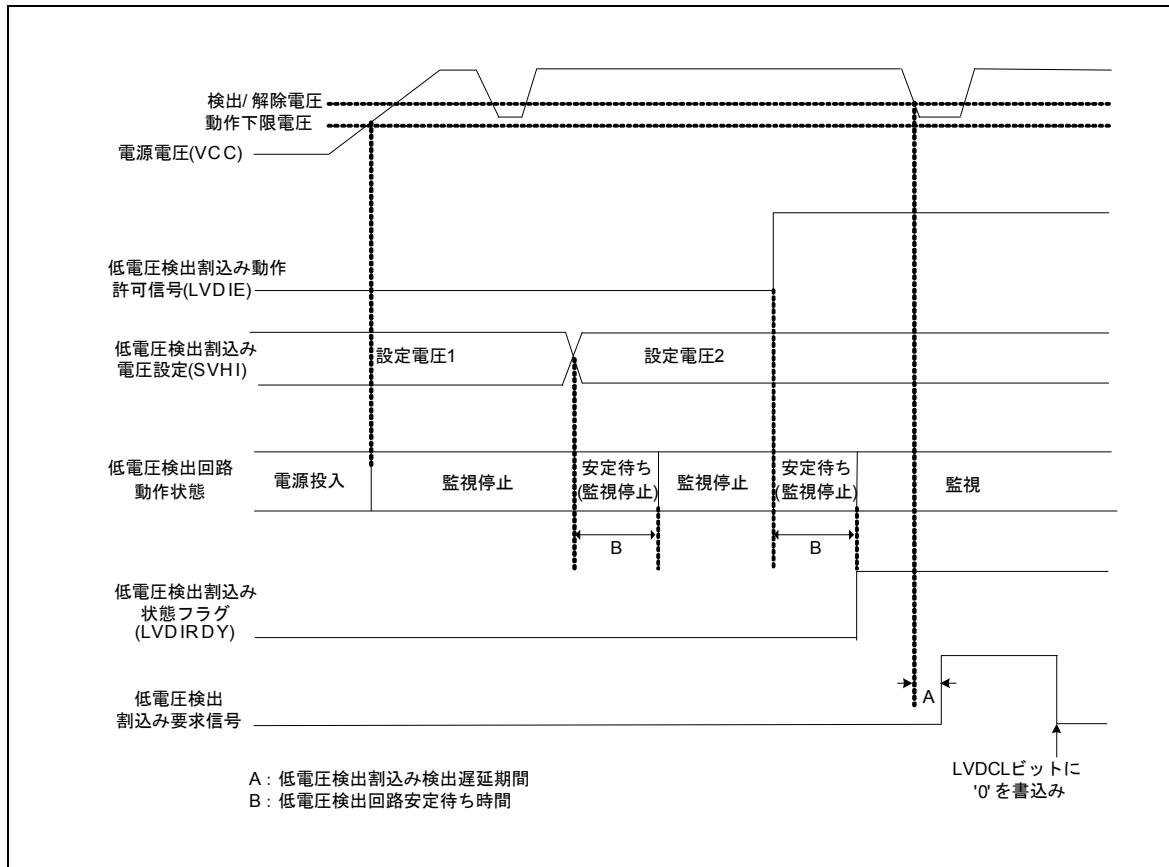
低電圧検出割込みが有効かつ電源電圧 VCC が設定された電圧よりも低下したときに、低電圧検出割込み要因レジスタ(LVD\_STR)の LVDIR ビットが"1"になり、割込み要求信号を発生させます。

LVDIR ビットを読み出すことで、割込み要求を確認することができます。

### ● 低電圧検出割込み要求の取下げ

低電圧検出割込み検出要求を取り下げるには、低電圧検出割込み要因クリアレジスタ(LVD\_CLR)の LVDCL ビットに"0"を書き込んでください。これにより低電圧検出割込み要因がクリアされ、低電圧検出割込み要求が取り下げられます。

また、電源電圧が設定された検出電圧よりも低下している間に、LVDCL ビットに"0"書き込みを行った場合も、割込み要求が取り下げられます。



---

<注意事項>

低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB2 プリスケーラレジスタ(APBC2\_PSR)により PCLK2 の停止を行うと、電源電圧の監視が行われません。低電圧検出回路状態レジスタ(LVD\_STR2)の低電圧検出割込み状態フラグ(LVDIRDY)が"1"になっているのを確認後、遷移させてください。

---

## 4. 設定手順例

低電圧検出回路の設定手順例を説明します。

図 4-1 低電圧検出リセット設定手順例

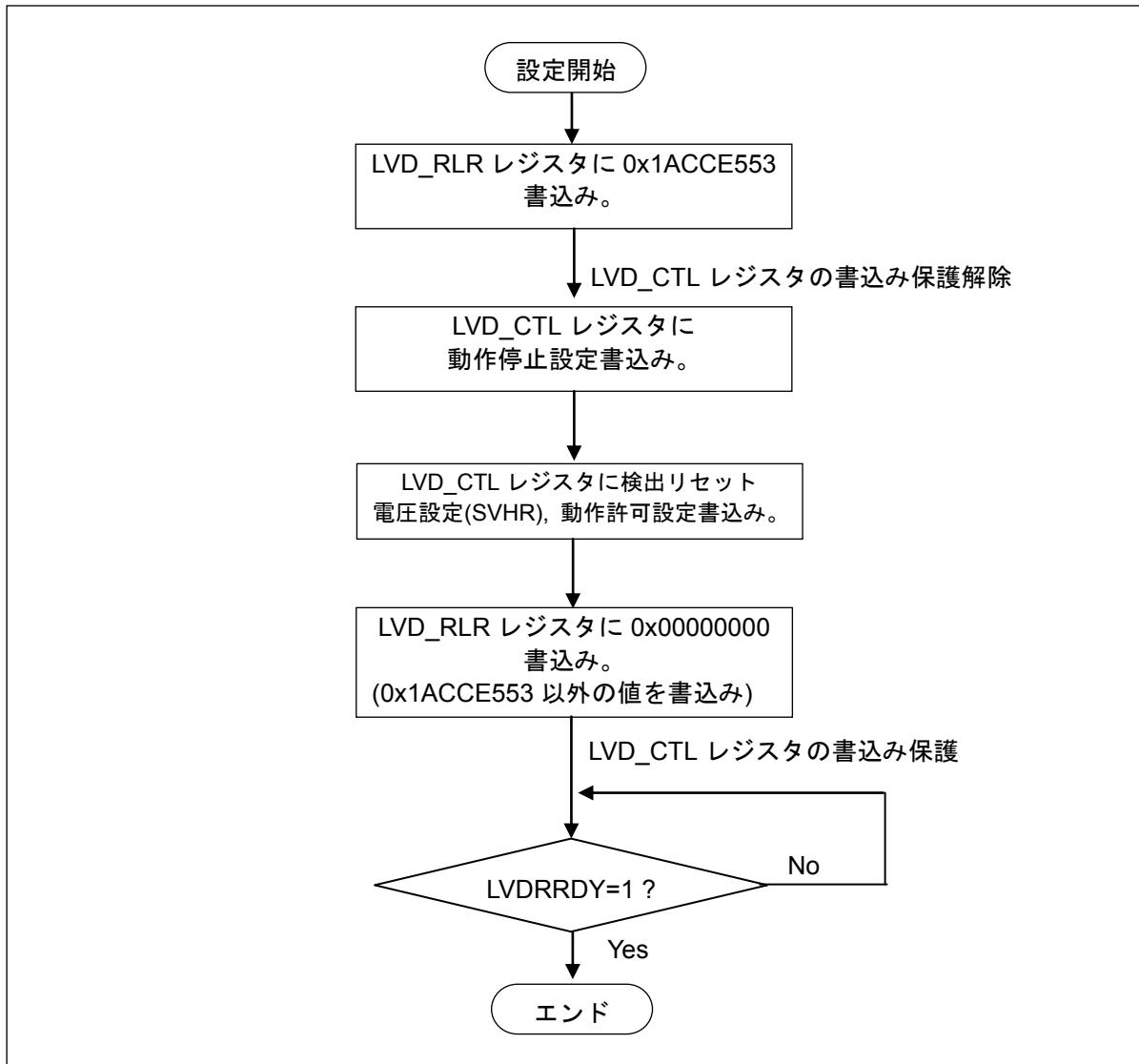
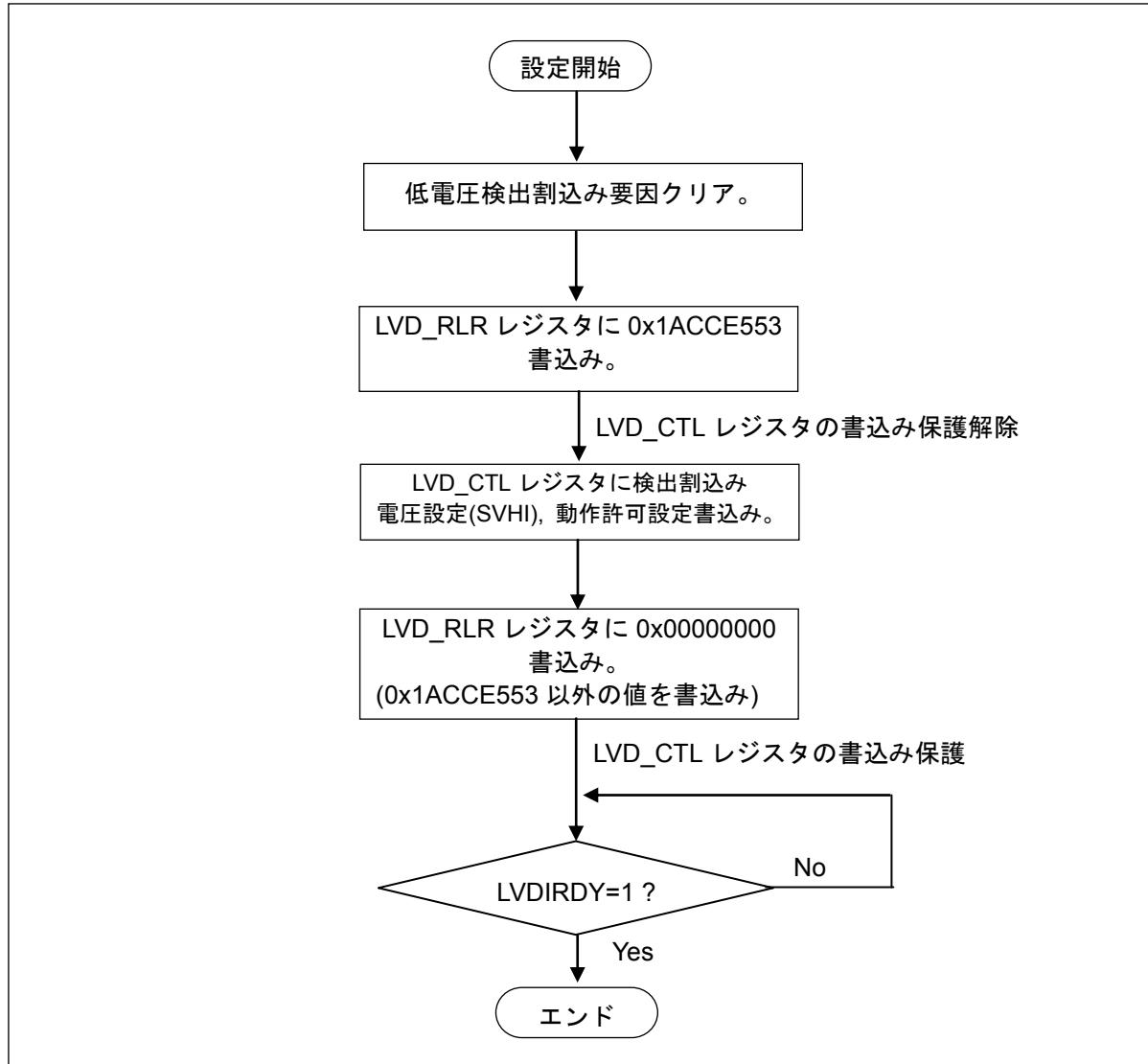


図 4-2 低電圧検出割込み設定手順例



## 5. レジスタ

低電圧検出回路で使用するレジスタの構成と機能について説明します。

### ■ 低電圧検出回路のレジスター一覧

表 5-1 低電圧検出回路のレジスター一覧

レジスタ略称	レジスタ名	参照先
LVD_CTL	低電圧検出電圧設定レジスタ	5.1
LVD_STR	低電圧検出割込み要因レジスタ	5.2
LVD_CLR	低電圧検出割込み要因クリアレジスタ	5.3
LVD_RLR	低電圧検出電圧保護レジスタ	5.4
LVD_STR2	低電圧検出回路状態レジスタ	5.5

## 5.1. 低電圧検出電圧設定レジスタ(LVD\_CTL)

低電圧検出電圧設定レジスタ(LVD\_CTL)は、低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御、低電圧検出リセットと低電圧検出割込みの検出電圧設定、低電圧検出割込みのモード選択を行うレジスタです。

bit	15	14	13	12	11	10	9	8
Field	LVDRE	予約		SVHR			予約	
属性	R/W	-		R/W			-	
初期値	1	0		0001			00	

bit	7	6	5	4	3	2	1	0
Field	LVDIE	予約		SVHI		LVDIM	予約	
属性	R/W	-		R/W		R/W	-	
初期値	0	0		0000		0	0	

### [bit15] LVDRE : 低電圧検出リセット動作許可ビット

このビットは、低電圧検出リセットの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出リセット回路は動作停止します。

bit	説明
0	低電圧検出リセットの発生を許可しません。
1	低電圧検出リセットの発生を許可します。 [初期値]

### [bit14] 予約 : 予約ビット

読み出しは常に"0"です。  
書き込みは動作に影響しません。

### [bit13:10] SVHR : 低電圧検出リセット電圧設定ビット

これらのビットは、低電圧検出リセットの検出電圧設定を行います。

bit13:10	説明
0001	低電圧検出リセットの電圧を 1.53V 中心に設定します。 [初期値]
0100	低電圧検出リセットの電圧を 1.93V 中心に設定します。
上記以外	設定禁止

### [bit9:8] 予約 : 予約ビット

読み出しは常に"0"です。  
書き込みは動作に影響しません。

## [bit7] LVDIE : 低電圧検出割込み動作許可ビット

このビットは、低電圧検出割込みの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出割込み回路は動作停止します。

bit	説明
0	低電圧検出割込みの発生を許可しません。[初期値]
1	低電圧検出割込みの発生を許可します。

## [bit6] 予約 : 予約ビット

読み出し値は不定です。  
書き込みは動作に影響しません。

## [bit5:2] SVHI : 低電圧検出割込み電圧設定ビット

これらのビットは、低電圧検出割込みの検出電圧設定を行います。

bit5:2	説明
0000	低電圧検出割込みの電圧を 2.0V 中心に設定します。[初期値]
0001	低電圧検出割込みの電圧を 2.1V 中心に設定します。
0010	低電圧検出割込みの電圧を 2.2V 中心に設定します。
0011	低電圧検出割込みの電圧を 2.3V 中心に設定します。
0100	低電圧検出割込みの電圧を 2.4V 中心に設定します。
0101	低電圧検出割込みの電圧を 2.5V 中心に設定します。
0110	低電圧検出割込みの電圧を 2.6V 中心に設定します。
0111	低電圧検出割込みの電圧を 2.8V 中心に設定します。
1000	低電圧検出割込みの電圧を 3.0V 中心に設定します。
1001	低電圧検出割込みの電圧を 3.2V 中心に設定します。
1010	低電圧検出割込みの電圧を 3.6V 中心に設定します。
1011	低電圧検出割込みの電圧を 3.7V 中心に設定します。
1100	低電圧検出割込みの電圧を 4.0V 中心に設定します。
1101	低電圧検出割込みの電圧を 4.1V 中心に設定します。
1110	低電圧検出割込みの電圧を 4.2V 中心に設定します。
1111	設定禁止

**[bit1] LVDIM : 低電圧検出割込みローパワーモード選択ビット**

このビットは、低電圧検出割込みのモードの選択を行います。

bit	説明
0	通常モード[初期値]
1	ローパワーモード

**[bit0] 予約 : 予約ビット**

読み出しは常に"0"が読み出されます。

書き込みは"0"を設定してください。

**<注意事項>**

- 低電圧検出割込み動作許可ビット(LVDIE)は、必ず低電圧検出割込み要因クリアレジスタ(LVD\_CLR)の LVDCL ビットに"0"を書き込み、低電圧検出割込み要因ビット(LVDIR)をクリアしてから許可してください。
- 低電圧検出割込み動作許可ビット(LVDIE)を許可しない場合は、低電圧割込み検出用の低電圧検出回路は停止します。そのため、低電圧検出割込み要因ビット(LVDIR)のセットは行いません。
- 低電圧検出電圧設定レジスタ(LVD\_CTL)は初期状態で書き込み保護されており、保護を解除しない限り書き込みは無効になります。低電圧検出電圧設定レジスタ(LVD\_CTL)に書き込みを行う場合は、低電圧検出設定保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込み、書き込み保護を解除してください。
- LVDIE=1 かつ LVDIM=1 時、低速 CR タイマモード、サブタイマモード、RTC モード、ストップモード、ディープスタンバイ RTC モード、ディープスタンバイストップモード中は低電圧検出リセットの動作が停止します。
- 本レジスタの bit15:8 は電源投入リセットと低電圧検出リセット(SVHR=0001 時)で初期化されます。それ以外のリセット要因では初期化されません。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.2. 低電圧検出割込み要因レジスタ(LVD\_STR)

低電圧検出割込み要因レジスタ(LVD\_STR)は、低電圧検出割込みの要因を保持するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDIR				予約			
属性	R				-			
初期値	0				0000000			

[bit7] LVDIR : 低電圧検出割込み要因ビット

bit	説明
0	低電圧検出割込み要求は検出されていません。[初期値]
1	低電圧検出割込み要求が検出されました。

[bit6:0] 予約 : 予約ビット

読み出しは常に"0"が読み出されます。  
書き込みは動作に影響しません。

### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。

### 5.3. 低電圧検出割込み要因クリアレジスタ(LVD\_CLR)

低電圧検出割込み要因クリアレジスタ(LVD\_CLR)は、低電圧検出割込み要因をクリアするレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDCL				予約			
属性	R/W				-			
初期値	1				0000000			

[bit7] LVDCL : 低電圧検出割込み要因クリアビット

bit	説明
0	低電圧検出割込み要因レジスタ(LVD_STR)の低電圧検出割込み要因ビット(LVDIR)を"0"にクリアします。
1	動作に影響しません。[初期値]

読み出しは常に"1"が読み出されます。

[bit6:0] 予約 : 予約ビット

読み出しは常に"0"が読み出されます。  
書き込みは動作に影響しません。

#### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.4. 低電圧検出電圧保護レジスタ(LVD\_RLR)

低電圧検出電圧保護レジスタ(LVD\_RLR)は、低電圧検出電圧設定レジスタ(LVD\_CTL)を書き込み保護するレジスタです。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LVDLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LVDLCK[15:0]															
属性	R/W															
初期値	0x0001															

### [bit31:0] LVDLCK[31:0] : 低電圧検出電圧設定レジスタ保護ビット

- 0x1ACCE553 を書き込むことにより、低電圧検出電圧設定レジスタ(LVD\_CTL)の書き込みが可能となります(書き込み保護解除)。
- 0x1ACCE553 以外の値を書き込むと、低電圧検出電圧設定レジスタ(LVD\_CTL)の書き込みが無効になります(書き込み保護)。
- 低電圧検出電圧設定レジスタ(LVD\_CTL)の保護が解除されているときは、0x00000000 が読み出されます。
- 低電圧検出電圧設定レジスタ(LVD\_CTL)の保護されているときは、0x00000001 が読み出されます。

### <注意事項>

- 低電圧検出電圧設定レジスタ(LVD\_CTL)は、初期状態で書き込み保護されております。LVD\_CTL レジスタに書き込みを行う場合は、低電圧検出電圧保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込み、書き込み保護を解除してください。
- LVD\_CTL レジスタの書き込み保護を有効にしたい場合は、LVD\_RLR レジスタに 0x1ACCE553 以外の値を書き込んでください。
- LVD\_CTL レジスタの書き込み保護を解除した場合は、LVD\_RLR レジスタに 0x1ACCE553 以外の値を書き込むまで保護が解除されたままになります。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.5. 低電圧検出回路状態レジスタ(LVD\_STR2)

低電圧検出回路状態レジスタ(LVD\_STR2)は、低電圧検出割込みの動作状態を確認するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDIRDY	LVDRRDY						予約
属性	R	R					-	
初期値	0	1				000000		

[bit7] LVDIRDY：低電圧検出割込み状態フラグ

bit	説明
0	安定待ち状態もしくは監視停止状態[初期値]
1	監視状態

書き込みは動作に影響しません。

[bit6] LVDRRDY：低電圧検出リセット状態フラグ

bit	説明
0	安定待ち状態もしくは監視停止状態
1	監視状態[初期値]

書き込みは動作に影響しません。

[bit5:0] 予約：予約ビット

読み出しへ常に"0"が読み出されます。

書き込みは動作に影響しません。

### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。



## CHAPTER: 低電圧検出(C)

低電圧検出回路(C)の機能と動作について示します。

1. 概要
2. 構成
3. 動作説明
4. 設定手順例
5. レジスタ

## 1. 概要

低電圧検出回路は、電源電圧を監視し、検出電圧よりも電源電圧が低下したときにリセット信号および割込み信号を発生させる回路です。

### ■ 低電圧検出回路の概要

#### ● 低電圧リセット回路の動作

- ・電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときにリセット信号を発生させます。
- ・動作許可もしくは停止を選択できます。初期状態は動作しています。
- ・検出電圧の設定が可能です。
- ・スタンバイモード時、ディープスタンバイモード時も電源電圧を監視します。
- ・スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、リセット信号を発生させます。

#### ● 低電圧割込み回路の動作

- ・電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。
- ・動作の許可もしくは停止を選択できます。初期状態は停止しています。
- ・検出電圧の設定が可能です。
- ・スタンバイモード時、ディープスタンバイモード時も電源電圧を監視できます。
- ・スタンバイモード時、ディープスタンバイモード時に電源電圧低下を検出すると、スタンバイモード、ディープスタンバイモードから復帰します。

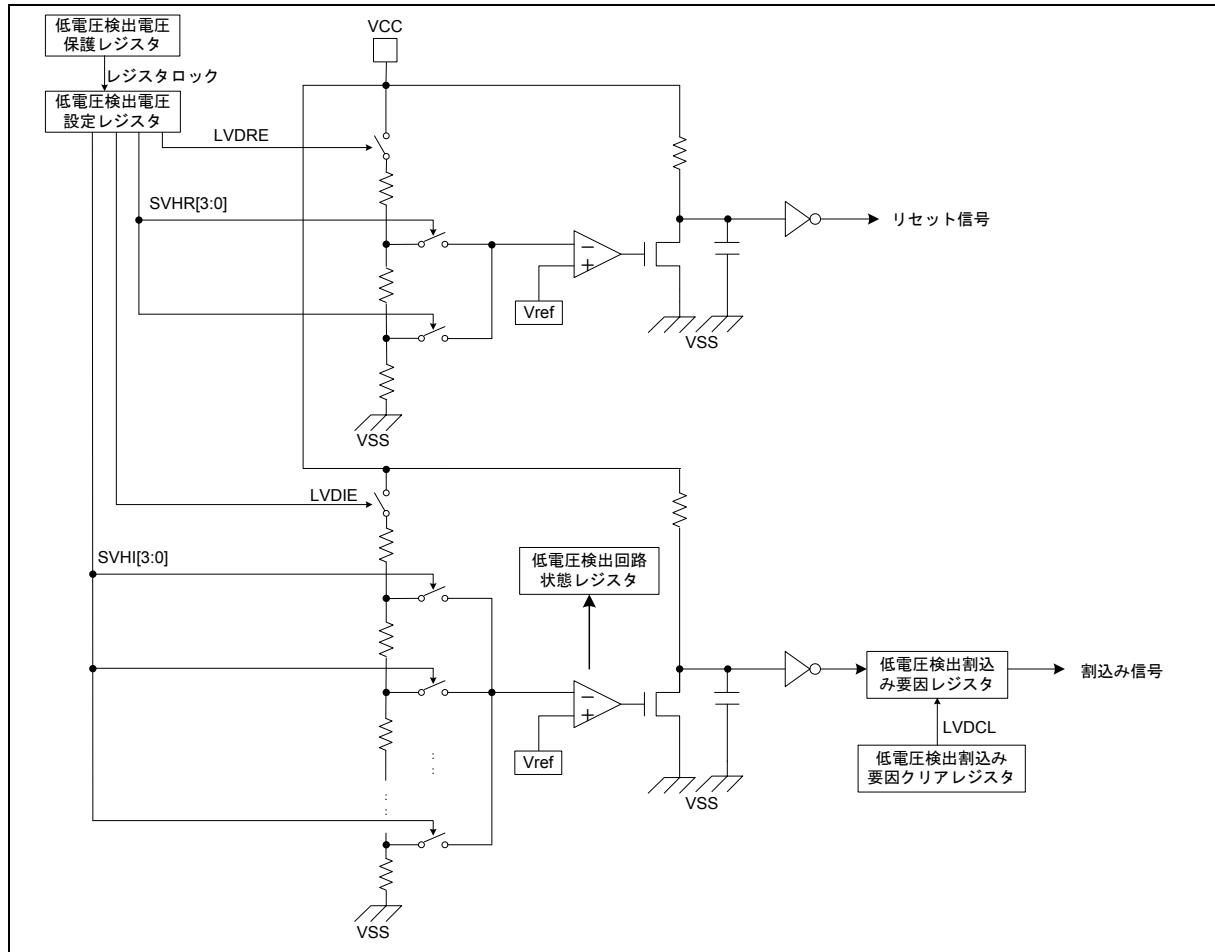
### <注意事項>

- ・低電圧検出割込みの許可をしたとき、および低電圧検出割込みの検出電圧設定を行った場合は、低電圧検出回路の安定待ち期間経過後に VCC 電圧監視を開始します。  
低電圧検出回路の安定待ち期間については、ご使用する品種の『データシート』を参照してください。
- ・低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB2 プリスケーラレジスタ (APBC2\_PSR)により PCLK2 の停止を行うと、電源電圧の監視が行われません。状態フラグの読み出しを行い、安定待ち期間が完了したのち遷移させてください。
- ・低電圧検出電圧設定レジスタ(LVD\_CTL)は、誤書き込み防止のため、書き込み保護されております。書き込み保護を解除する場合は、低電圧検出電圧保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込んでください。

## 2. 構成

低電圧検出回路のブロックダイヤグラムを示します。

### ■ 低電圧検出回路のブロックダイヤグラム



#### ● 低電圧検出電圧設定レジスタ (LVD\_CTL)

低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御、低電圧検出リセットと低電圧検出割込みの検出電圧設定を行うレジスタです。

#### ● 低電圧検出電圧保護レジスタ (LVD\_RLR)

低電圧検出電圧設定レジスタの書き込み保護を行うレジスタです。

#### ● 低電圧検出割込み要因レジスタ (LVD\_STR)

低電圧検出割込みの要因を保持するレジスタです。

#### ● 低電圧検出割込み要因クリアレジスタ (LVD\_CLR)

低電圧検出割込み要因をクリアするレジスタです。

#### ● 低電圧検出回路状態レジスタ (LVD\_STR2)

低電圧検出割込み回路の動作状態を確認するレジスタです。

## ■ 低電圧検出回路の端子

低電圧検出回路に使用する端子を以下に示します。

- VCC 端子  
低電圧検出回路は本端子の電源電圧を監視します。
- VSS 端子  
電源検出の基準となる GND 端子です。

### 3. 動作説明

低電圧検出リセット回路の動作および低電圧検出割込み回路の動作について説明します。

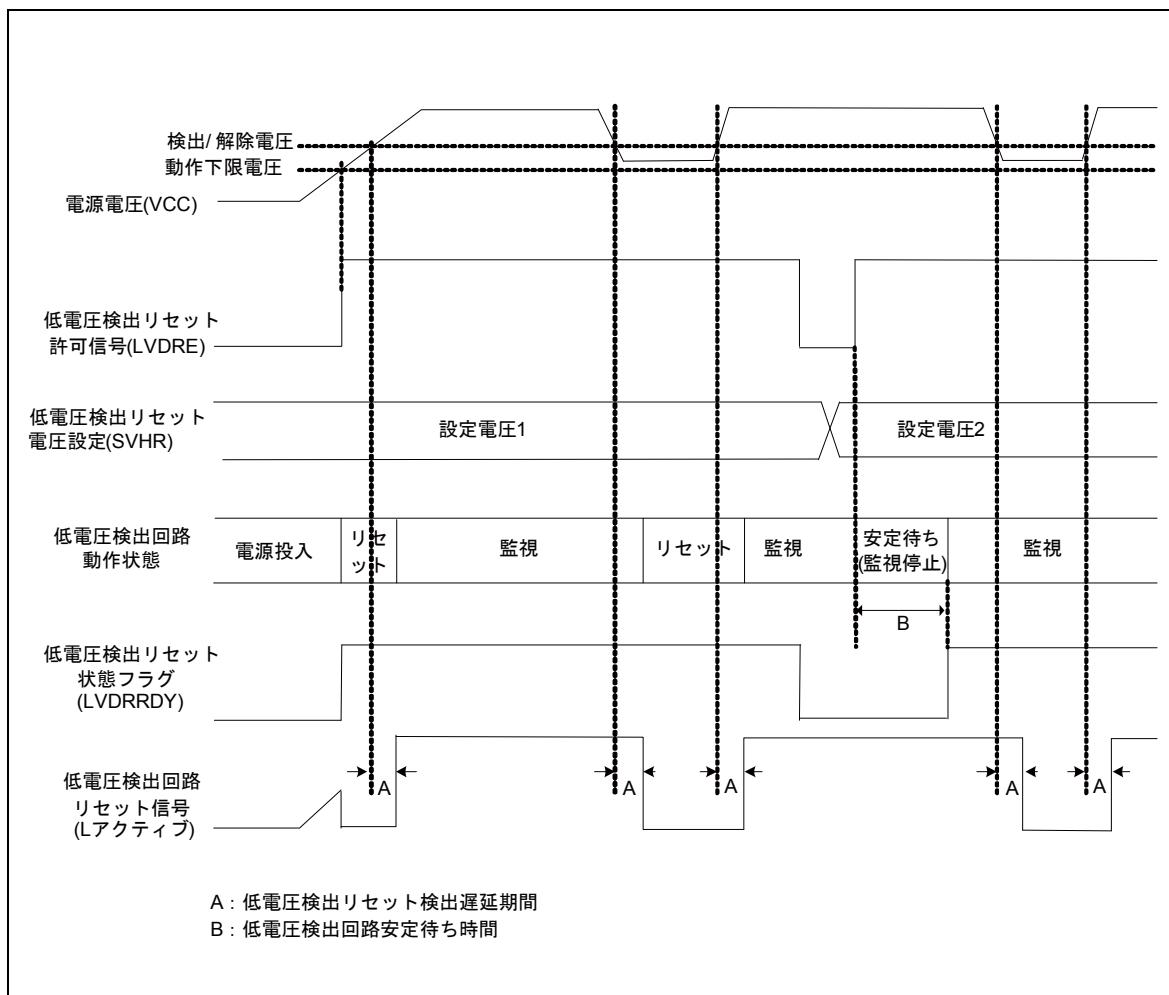
#### ■ 低電圧検出リセット回路の動作

##### ● 回路動作説明

低電圧検出リセット回路は、電源投入後から常に監視状態になります。電源電圧(VCC)が設定された検出電圧よりも低下したときにリセット信号を発生させます。解除電圧よりも電源電圧が高くなると、リセットを解除します。

低電圧検出電圧設定レジスタの LVDRE ビットが"1"のときにリセット動作は有効です。低電圧検出電圧設定レジスタ(LVD\_CTL)の SVHR ビットによりリセットの検出電圧の設定が可能です。リセット許可およびリセット検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ(LVD\_STR2)の低電圧検出リセット状態フラグ(LVDRRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード、タイマモード、RTCモード、ストップモード)、ディープスタンバイモード(ディープスタンバイ RTC モード、ディープスタンバイストップモード)でも動作可能です。



## ■ 低電圧検出割込み回路の動作

### ● 回路動作説明

低電圧検出割込み回路は、電源電圧(VCC)を監視し、設定された電圧よりも電源電圧が低下したときに割込み信号を発生させます。

低電圧検出電圧設定レジスタ (LVD\_CTL) の LVDIE ビットが"1"のときに割込み要求が許可され有効になります。初期値は許可されていません。低電圧検出電圧設定レジスタ (LVD\_CTL) の SVHI ビットにより割込みの検出電圧の設定が可能です。割込み要求許可および割込み検出電圧の設定を行ったときは、低電圧検出回路の安定待ち期間経過後に低電圧検出回路状態レジスタ (LVD\_STR2) の低電圧検出割込み状態グラグ(LVDIRDY)が"1"となり電源電圧監視を開始します。

スタンバイモード(スリープモード, タイマモード, RTC モード, ストップモード), ディープスタンバイモード(ディープスタンバイ RTC モード, ディープスタンバイストップモード)でも動作可能です。また、スタンバイモード, ディープスタンバイモードからの復帰に使用できます。

### ● 低電圧検出割込み要求

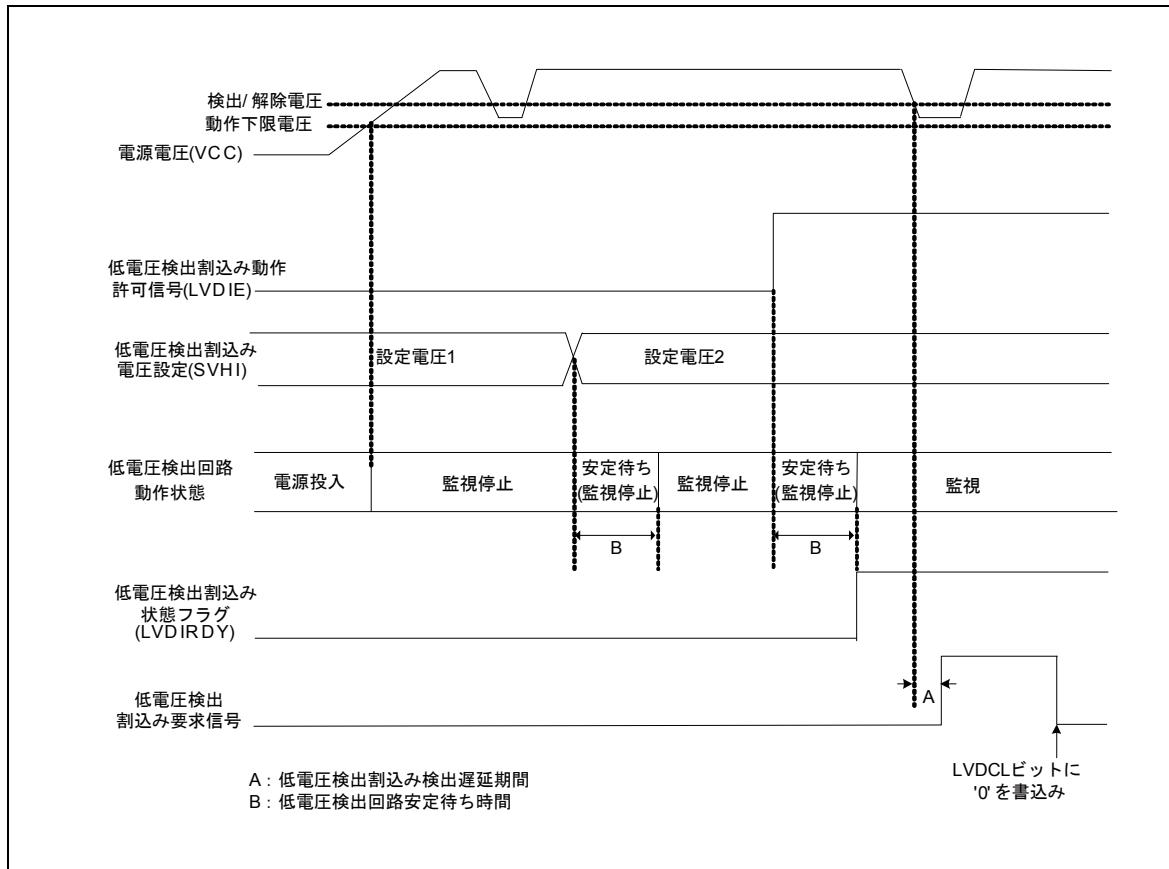
低電圧検出割込みが有効かつ電源電圧 VCC が設定された電圧よりも低下したときに、低電圧検出割込み要因レジスタ (LVD\_STR) の LVDIR ビットが"1"になり、割込み要求信号を発生させます。

LVDIR ビットを読み出すことで、割込み要求を確認することができます。

### ● 低電圧検出割込み要求の取下げ

低電圧検出割込み検出要求を取り下げるには、低電圧検出割込み要因クリアレジスタ (LVD\_CLR)の LVDCL ビットに"0"を書き込んでください。これにより低電圧検出割込み要因がクリアされ、低電圧検出割込み要求が取り下げられます。

また、電源電圧が設定された検出電圧よりも低下している間に、LVDCL ビットに"0"書き込みを行った場合も、割込み要求が取り下げられます。



---

<注意事項>

低電圧検出回路の安定待ち期間中にタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードおよび APB2 プリスケーラレジスタ(APBC2\_PSR)により PCLK2 の停止を行うと、電源電圧の監視が行われません。低電圧検出回路状態レジスタ(LVD\_STR2)の低電圧検出割込み状態フラグ(LVDIRDY)が"1"になっているのを確認後、遷移させてください。

---

## 4. 設定手順例

低電圧検出回路の設定手順例を説明します。

図 4-1 低電圧検出リセット設定手順例

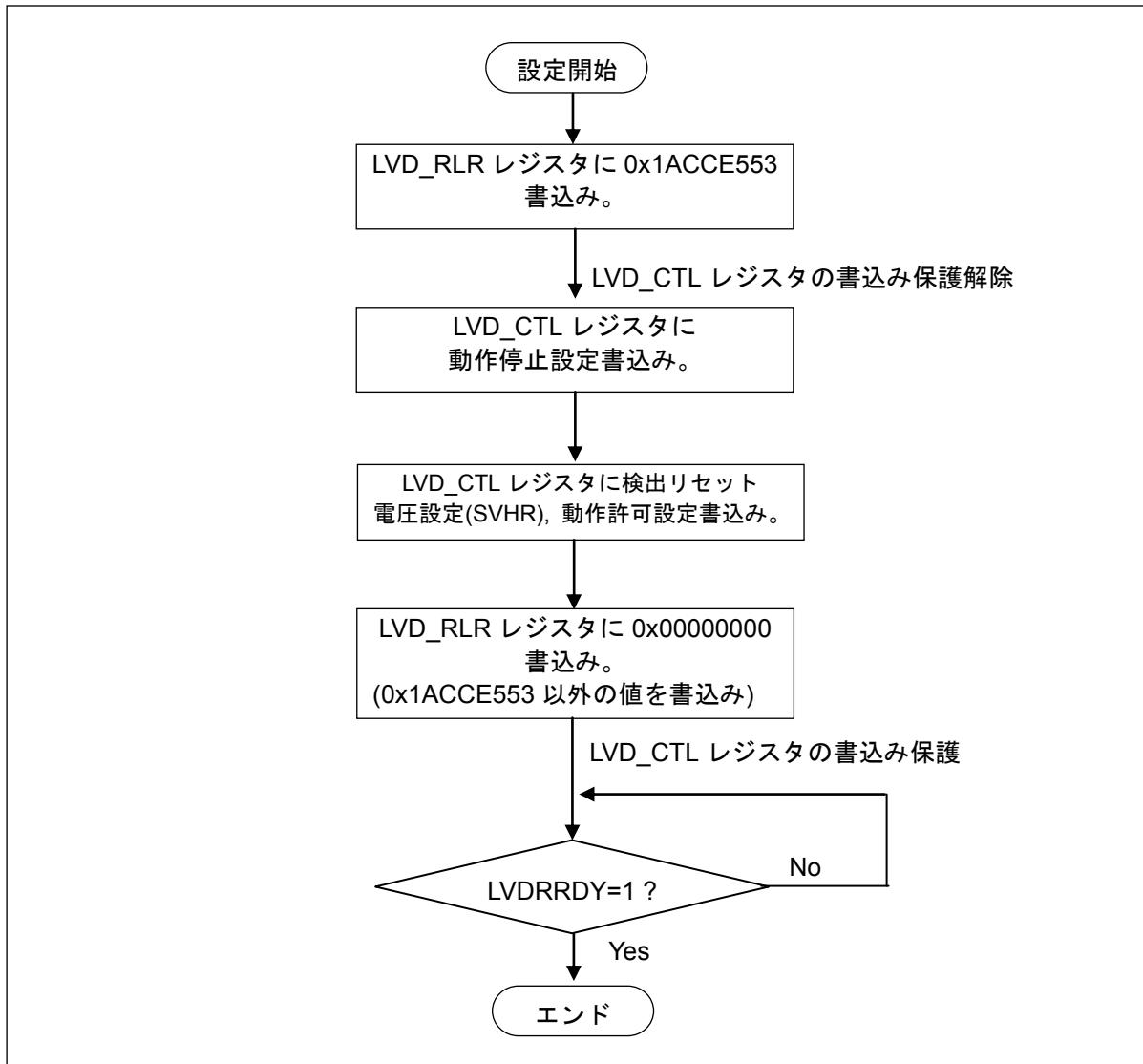
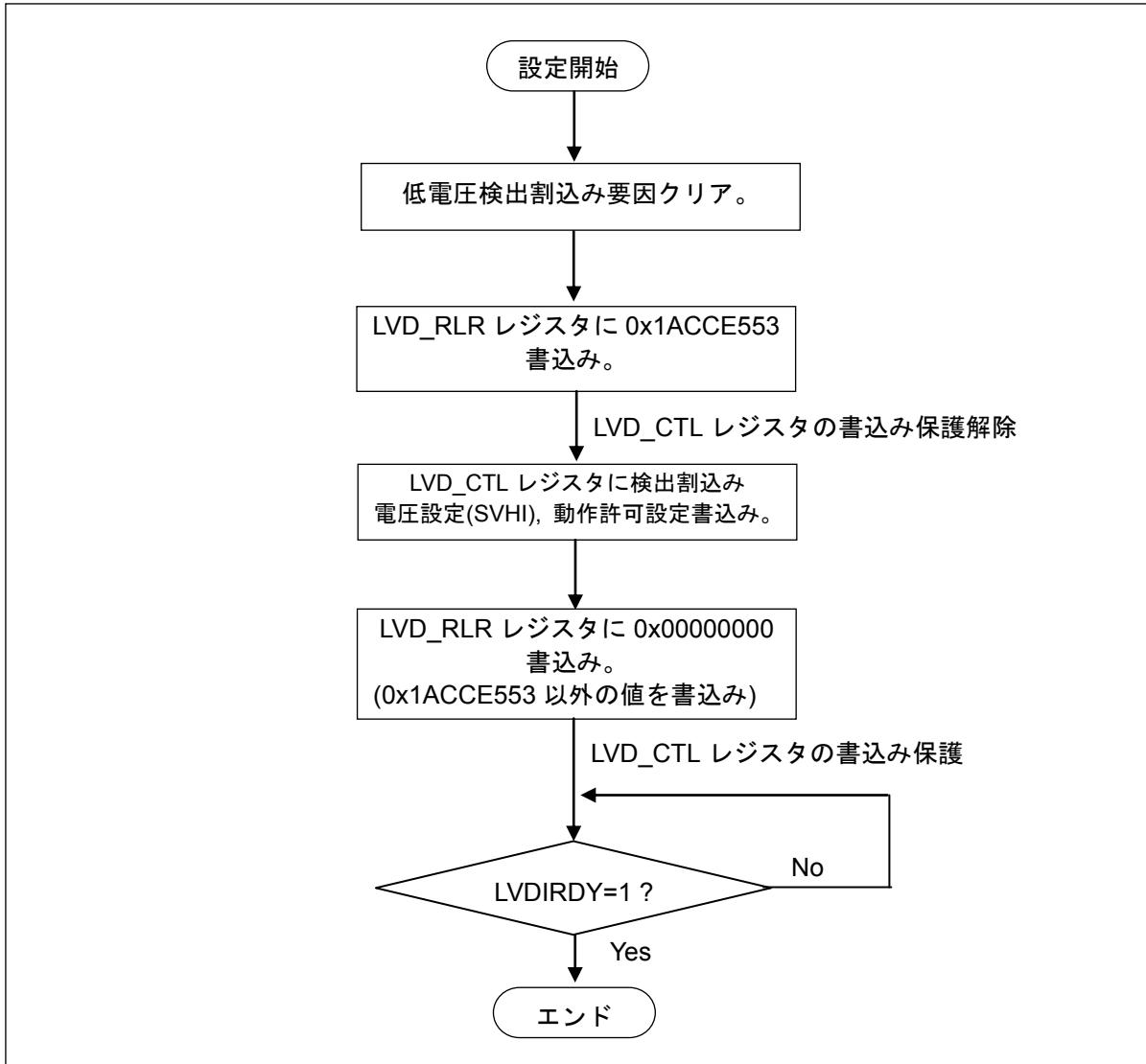


図 4-2 低電圧検出割込み設定手順例



## 5. レジスタ

低電圧検出回路で使用するレジスタの構成と機能について説明します。

### ■ 低電圧検出回路のレジスター一覧

表 5-1 低電圧検出回路のレジスター一覧

レジスタ略称	レジスタ名	参照先
LVD_CTL	低電圧検出電圧設定レジスタ	5.1
LVD_STR	低電圧検出割込み要因レジスタ	5.2
LVD_CLR	低電圧検出割込み要因クリアレジスタ	5.3
LVD_RLR	低電圧検出電圧保護レジスタ	5.4
LVD_STR2	低電圧検出回路状態レジスタ	5.5

## 5.1. 低電圧検出電圧設定レジスタ(LVD\_CTL)

低電圧検出電圧設定レジスタ(LVD\_CTL)は、低電圧検出リセットと低電圧検出割込みの電源電圧監視の許可制御、低電圧検出リセットと低電圧検出割込みの検出電圧設定を行うレジスタです。

bit	15	14	13	12	11	10	9	8
Field	LVDRE			SVHR			予約	
属性	R/W			R/W			-	
初期値	1			00000			00	

bit	7	6	5	4	3	2	1	0
Field	LVDIE			SVHI			予約	
属性	R/W			R/W			-	
初期値	0			00100			00	

### [bit15] LVDRE : 低電圧検出リセット動作許可ビット

このビットは、低電圧検出リセットの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出リセット回路は動作停止します。

bit	説明
0	低電圧検出リセットの発生を許可しません。
1	低電圧検出リセットの発生を許可します。[初期値]

## [bit14:10] SVHR : 低電圧検出リセット電圧設定ビット

これらのビットは、低電圧検出リセットの検出電圧設定を行います。

bit14:10	説明
00000	低電圧検出リセットの電圧を 1.50V 中心に設定します。[初期値]
00001	低電圧検出リセットの電圧を 1.55V 中心に設定します。
00010	低電圧検出リセットの電圧を 1.60V 中心に設定します。
00011	低電圧検出リセットの電圧を 1.65V 中心に設定します。
00100	低電圧検出リセットの電圧を 1.70V 中心に設定します。
00101	低電圧検出リセットの電圧を 1.75V 中心に設定します。
00110	低電圧検出リセットの電圧を 1.80V 中心に設定します。
00111	低電圧検出リセットの電圧を 1.85V 中心に設定します。
01000	低電圧検出リセットの電圧を 1.90V 中心に設定します。
01001	低電圧検出リセットの電圧を 1.95V 中心に設定します。
01010	低電圧検出リセットの電圧を 2.00V 中心に設定します。
01011	低電圧検出リセットの電圧を 2.05V 中心に設定します。
01100	低電圧検出リセットの電圧を 2.50V 中心に設定します。
01101	低電圧検出リセットの電圧を 2.60V 中心に設定します。
01110	低電圧検出リセットの電圧を 2.70V 中心に設定します。
01111	低電圧検出リセットの電圧を 2.80V 中心に設定します。
10000	低電圧検出リセットの電圧を 2.90V 中心に設定します。
10001	低電圧検出リセットの電圧を 3.00V 中心に設定します。
10010	低電圧検出リセットの電圧を 3.10V 中心に設定します。
10011	低電圧検出リセットの電圧を 3.20V 中心に設定します。
上記以外	設定禁止

## [bit9:8] 予約 : 予約ビット

読み出しは常に"0"です。

書き込みは動作に影響しません。

**[bit7] LVDIE : 低電圧検出割込み動作許可ビット**

このビットは、低電圧検出割込みの電源電圧監視の動作許可を行います。許可しない場合は、低電圧検出割込み回路は動作停止します。

bit	説明
0	低電圧検出割込みの発生を許可しません。[初期値]
1	低電圧検出割込みの発生を許可します。

**[bit6:2] SVHI : 低電圧検出割込み電圧設定ビット**

これらのビットは、低電圧検出割込みの検出電圧設定を行います。

bit6:2	説明
00100	低電圧検出リセットの電圧を 1.70V 中心に設定します。[初期値]
00101	低電圧検出リセットの電圧を 1.75V 中心に設定します。
00110	低電圧検出リセットの電圧を 1.80V 中心に設定します。
00111	低電圧検出リセットの電圧を 1.85V 中心に設定します。
01000	低電圧検出リセットの電圧を 1.90V 中心に設定します。
01001	低電圧検出リセットの電圧を 1.95V 中心に設定します。
01010	低電圧検出リセットの電圧を 2.00V 中心に設定します。
01011	低電圧検出リセットの電圧を 2.05V 中心に設定します。
01100	低電圧検出リセットの電圧を 2.50V 中心に設定します。
01101	低電圧検出リセットの電圧を 2.60V 中心に設定します。
01110	低電圧検出リセットの電圧を 2.70V 中心に設定します。
01111	低電圧検出リセットの電圧を 2.80V 中心に設定します。
10000	低電圧検出リセットの電圧を 2.90V 中心に設定します。
10001	低電圧検出リセットの電圧を 3.00V 中心に設定します。
10010	低電圧検出リセットの電圧を 3.10V 中心に設定します。
10011	低電圧検出リセットの電圧を 3.20V 中心に設定します。
上記以外	設定禁止

**[bit1:0] 予約 : 予約ビット**

読み出しが常に"0"が読み出されます。

書き込みは動作に影響しません。

<注意事項>

- ・低電圧検出割込み動作許可ビット(LVDIE)は、必ず低電圧検出割込み要因クリアレジスタ(LVD\_CLR)の LVDCL ビットに"0"を書き込み、低電圧検出割込み要因ビット(LVDIR)をクリアしてから許可してください。
- ・低電圧検出割込み動作許可ビット(LVDIE)を許可しない場合は、低電圧割込み検出用の低電圧検出回路は停止します。そのため、低電圧検出割込み要因ビット(LVDIR)のセットは行いません。
- ・低電圧検出電圧設定レジスタ(LVD\_CTL)は初期状態で書き込み保護されており、保護を解除しない限り書き込みは無効になります。低電圧検出電圧設定レジスタ(LVD\_CTL)に書き込みを行う場合は、低電圧検出電圧保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込み、書き込み保護を解除してください。
- ・本レジスタの bit15:8 は電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。
- ・本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.2. 低電圧検出割込み要因レジスタ(LVD\_STR)

低電圧検出割込み要因レジスタ(LVD\_STR)は、低電圧検出割込みの要因を保持するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDIR				予約			
属性	R				-			
初期値	0				0000000			

[bit7] LVDIR : 低電圧検出割込み要因ビット

bit	説明
0	低電圧検出割込み要求は検出されていません。[初期値]
1	低電圧検出割込み要求が検出されました。

[bit6:0] 予約 : 予約ビット

読み出しは常に"0"が読み出されます。  
書き込みは動作に影響しません。

### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。

### 5.3. 低電圧検出割込み要因クリアレジスタ(LVD\_CLR)

低電圧検出割込み要因クリアレジスタ(LVD\_CLR)は、低電圧検出割込み要因をクリアするレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDCL				予約			
属性	R/W				-			
初期値	1				0000000			

[bit7] LVDCL：低電圧検出割込み要因クリアビット

bit	説明
0	低電圧検出割込み要因レジスタ(LVD_STR)の低電圧検出割込み要因ビット(LVDIR)を"0"にクリアします。
1	書き込みは動作に影響しません。[初期値]

読み出しは常に"1"が読み出されます。

[bit6:0] 予約：予約ビット

読み出しは常に"0"が読み出されます。  
書き込みは動作に影響しません。

#### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.4. 低電圧検出電圧保護レジスタ(LVD\_RLR)

低電圧検出電圧保護レジスタ(LVD\_RLR)は、低電圧検出電圧設定レジスタ(LVD\_CTL)を書き込み保護するレジスタです。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LVDLCK[31:16]															
属性	R/W															
初期値	0x0000															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LVDLCK[15:0]															
属性	R/W															
初期値	0x0001															

### [bit31:0] LVDLCK[31:0] : 低電圧検出電圧設定レジスタ保護ビット

- 0x1ACCE553 を書き込むことにより、低電圧検出電圧設定レジスタ(LVD\_CTL)の書き込みが可能となります(書き込み保護解除)。
- 0x1ACCE553 以外の値を書き込むと、低電圧検出電圧設定レジスタ(LVD\_CTL)の書き込みが無効になります(書き込み保護)。
- 低電圧検出電圧設定レジスタ(LVD\_CTL)の保護が解除されているときは、0x00000000 が読み出されます。
- 低電圧検出電圧設定レジスタ(LVD\_CTL)の保護されているときは、0x00000001 が読み出されます。

### <注意事項>

- 低電圧検出電圧設定レジスタ(LVD\_CTL)は、初期状態で書き込み保護されております。LVD\_CTL レジスタに書き込みを行う場合は、低電圧検出電圧保護レジスタ(LVD\_RLR)に 0x1ACCE553 を書き込み、書き込み保護を解除してください。
- LVD\_CTL レジスタの書き込み保護を有効にしたい場合は、LVD\_RLR レジスタに 0x1ACCE553 以外の値を書き込んでください。
- LVD\_CTL レジスタの書き込み保護を解除した場合は、LVD\_RLR レジスタに 0x1ACCE553 以外の値を書き込むまで保護が解除されたままになります。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5.5. 低電圧検出回路状態レジスタ(LVD\_STR2)

低電圧検出回路状態レジスタ(LVD\_STR2)は、低電圧検出割込みの動作状態を確認するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	LVDIRDY	LVDRRDY						予約
属性	R	R					-	
初期値	0	1				000000		

[bit7] LVDIRDY：低電圧検出割込み状態フラグ

bit	説明
0	安定待ち状態もしくは監視停止状態[初期値]
1	監視状態

書き込みは動作に影響しません。

[bit6] LVDRRDY：低電圧検出リセット状態フラグ

bit	説明
0	安定待ち状態もしくは監視停止状態
1	監視状態[初期値]

書き込みは動作に影響しません。

[bit5:0] 予約：予約ビット

読み出しは常に"0"が読み出されます。

書き込みは動作に影響しません。

### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## CHAPTER: 低消費電力モード

低消費電力モードの機能と動作について示します。

1. 低消費電力モードの概要
2. CPU動作モードの構成
3. スタンバイモードの動作説明
4. スタンバイモードの設定手順例
5. ディープスタンバイモードの動作説明
6. ディープスタンバイモードの設定手順例
7. ディープスタンバイ復帰要因判定の手順
8. 低消費電力モードのレジスター一覧
9. 使用上の注意

## 1. 低消費電力モードの概要

低消費電力モードとして、消費電力を低減するために、スリープモード、タイマモード、RTC モード、ストップモードのスタンバイモードと、ディープスタンバイ RTC モード、ディープスタンバイストップモードのディープスタンバイモードを利用できます。

### ■ CPU 動作モードの概要

CPU 動作モードにはそれぞれ下記の動作モードがあります。

#### ●ランモード

- ・ 高速 CR ランモード
- ・ メインランモード
- ・ PLL ランモード
- ・ 低速 CR ランモード
- ・ サブランモード

#### ●スタンバイモード

- ・ スリープモード
  - ・ 高速 CR スリープモード
  - ・ メインスリープモード
  - ・ PLL スリープモード
  - ・ 低速 CR スリープモード
  - ・ サブスリープモード
- ・ タイマモード
  - ・ 高速 CR タイマモード
  - ・ メインタイマモード
  - ・ PLL タイマモード
  - ・ 低速 CR タイマモード
  - ・ サブタイマモード
- ・ RTC モード
- ・ ストップモード

#### ●ディープスタンバイモード

- ・ ディープスタンバイ RTC モード
- ・ ディープスタンバイストップモード

■ 製品 TYPE 別の低消費電力モード

表 1-1 低消費電力モード

		TYPE0～TYPE2, TYPE4	TYPE3, TYPE7	TYPE5, TYPE6
スタンバイ モード	スリープモード	○	○	○
	タイマモード	○	○	○
	RTC モード	—	○	○
	ストップモード	○	○	○
ディープ スタンバイ モード	ディープ スタンバイ RTC モード	—	○	○
	ディープ スタンバイ RTC モード (オンチップ SRAM 保持)	—	—	○
	ディープ スタンバイ ストップモード	—	○	○
	ディープ スタンバイ ストップモード (オンチップ SRAM 保持)	—	—	○

表 1-2 低消費電力レジスタ対応

		TYPE0～TYPE5	TYPE6	TYPE7
サブ発振回路電源制御レジスタ (REG_CTL)		—	○	—
サブクロック供給制御レジスタ (RCK_CTL)		—	○	○

## ■ ランモードの概要

ランモードは、マスタクロックとして選択されたクロックで定義されます。マスタクロックの周波数を分周したベースクロックを CPU クロック, AHB バスクロック, APB バスクロックに供給し, CPU, バスおよび大部分の周辺機能を動作させます。

また、ソースクロックの周波数をダイナミックに変更することが可能です。メイン発振, サブ発振を使用しない場合は、ソースクロックの発振器を停止させることができます。

マスタクロックとして選択されたクロックにより、下記のモードに分かれます。

### ●高速 CR ランモード

このモードでは、高速 CR 発振クロックがマスタクロックとして使用されます。メイン発振, サブ発振を使用しない場合は、それぞれの発振器を停止させることができます。PLL 過倍回路の状態は、PLLE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。リセット解除後にこのモードに遷移します。

### ●メインランモード

このモードでは、メイン発振クロックがマスタクロックとして使用されます。PLL 過倍回路, サブ発振器の状態は、それぞれ PLLE, SOSCE ビットの設定によって異なります。高速 CR 発振器および低速 CR 発振器は常に動作状態となります。

### ●PLL ランモード

このモードでは、メイン発振クロックもしくは高速 CR 発振クロックの過倍である PLL クロックがマスタクロックとして使用されます。高速 CR 発振器および低速 CR 発振器は常に動作状態となります。メイン発振器, サブ発振器の状態は MOSCE, SOSCE ビットの設定によって異なります。

### ●低速 CR ランモード

このモードでは、低速 CR 発振クロックがマスタクロックとして使用されます。サブ発振器の状態は、SOSCE ビットの設定によって異なります。メイン発振器, 高速 CR 発振器および PLL 過倍回路は使用できません。

### ●サブランモード

このモードでは、サブ発振クロックがマスタクロックとして使用されます。低速 CR 発振器は常に動作状態となります。メイン発振器, 高速 CR 発振器および PLL 過倍回路は使用できません。

## ■ スリープモードの概要

スリープモードはスタンバイモードの 1 つに分類されます。スリープモードは、CPU へのクロックを停止します。これにより CPU が停止状態になるため、消費電力が削減されます。AHB バスおよび APB バスクロックに接続されているリソースは動作を継続します。

スリープモード遷移時のマスタクロックにより、下記のモードに分かれます。

### ● 高速 CR スリープモード

高速 CR 発振クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、高速 CR スリープモードに遷移します。このモードでの各発振器の状態は、PLL 通倍回路、メイン発振器、サブ発振器の状態はそれぞれ PLLE, MOSCE, SOSCE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。

### ● メインスリープモード

メインクロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、メインスリープモードに遷移します。このモードでの各発振器の状態は、PLL 通倍回路、サブ発振器の状態はそれぞれ PLLE, SOSCE ビットの設定によって異なります。高速 CR 発振器、低速 CR 発振器は常に動作状態となります。

### ● PLL スリープモード

PLL クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、PLL スリープモードに遷移します。このモードでの各発振器の状態は、高速 CR 発振器および低速 CR 発振器は、常に動作状態となります。メイン発振器、サブ発振器の状態は MOSCE, SOSCE ビットの設定によって異なります。

### ● 低速 CR スリープモード

低速 CR クロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、低速 CR スリープモードに遷移します。このモードでの各発振器の状態は、サブ発振器は、SOSCE ビットの設定によって異なります。メイン発振器、高速 CR 発振器および PLL 通倍回路は使用できません。

### ● サブスリープモード

サブクロックがマスタクロックとして選択されているときに、スリープモードへの遷移要求を行うことで、サブスリープモードに遷移します。このモードでの各発振器の状態は、低速 CR 発振器は常に動作状態となります。メイン発振器、高速 CR 発振器および PLL 通倍回路は使用できません。

## ■ タイマモードの概要

タイマモードはスタンバイモードの 1 つに分類されます。タイマモードは、ベースクロックの供給を停止します。これにより、CPU クロック, AHB バスロックおよび、すべての APB バスロック停止するため、消費電力がさらに削減されます。この場合は、発振器, PLL, ハードウェアウォッチドッグタイマ, 時計カウンタ, RTC, クロック故障検出機能, 低電圧検出回路を除くすべての機能が停止します。

タイマモード遷移時のマスタクロックにより、下記のモードに分かれます。

### ● 高速 CR タイマモード

高速 CR 発振クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、高速 CR タイマモードに遷移します。このモードでの各発振器の状態は、PLL 通常倍回路, メイン発振器, サブ発振器の状態はそれぞれ PLLE, MOSCE, SOSCE ビットの設定によって異なります。低速 CR 発振器は常に動作状態となります。

### ● メインタイマモード

メインクロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、メインタイマモードに遷移します。このモードでの各発振器の状態は、PLL 通常倍回路, サブ発振器の状態はそれぞれ PLLE, SOSCE ビットの設定によって異なります。高速 CR 発振器, 低速 CR 発振器は常に動作状態となります。

### ● PLL タイマモード

PLL クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、PLL タイマモードに遷移します。このモードでの各発振器の状態は、高速 CR 発振器および低速 CR 発振器は、常に動作状態となります。メイン発振器, サブ発振器の状態は MOSCE, SOSCE ビットの設定によって異なります。

### ● 低速 CR タイマモード

低速 CR クロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、低速 CR タイマモードに遷移します。このモードでの各発振器の状態は、サブ発振器は、SOSCE ビットの設定によって異なります。メイン発振器, 高速 CR 発振器および PLL 通常倍回路は使用できません。

### ● サブタイマモード

サブクロックがマスタクロックとして選択されているときに、タイマモードへの遷移要求を行うことで、サブタイマモードに遷移します。このモードでの各発振器の状態は、サブ発振器および低速 CR 発振器は常に動作状態となります。メイン発振器, 高速 CR 発振器および PLL 通常倍回路は使用できません。

## ■ RTC モードの概要

RTC モードはスタンバイモードの 1 つに分類されます。RTC モードは、サブ発振器以外の発振を停止します。時計カウンタ, RTC, 低電圧検出回路以外のすべての機能が停止状態になります。

## ■ ストップモードの概要

ストップモードはスタンバイモードの 1 つに分類されます。ストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止状態になります。

## ■ ディープスタンバイ RTC モードの概要

ディープスタンバイ RTC モードはディープスタンバイモードの 1 つに分類されます。ディープスタンバイ RTC モードは、サブ発振器以外の発振を停止します。RTC, 低電圧検出回路以外のすべての機能が停止状態になります。RTC, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュメモリ, オンチップ SRAM\*, 周辺機能をチップ内部で電源オフします。

## ■ ディープスタンバイストップモードの概要

ディープスタンバイストップモードはディープスタンバイモードの 1 つに分類されます。ディープスタンバイストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止状態になります。RTC, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュメモリ, オンチップ SRAM\*, 周辺機能をチップ内部で電源オフします。

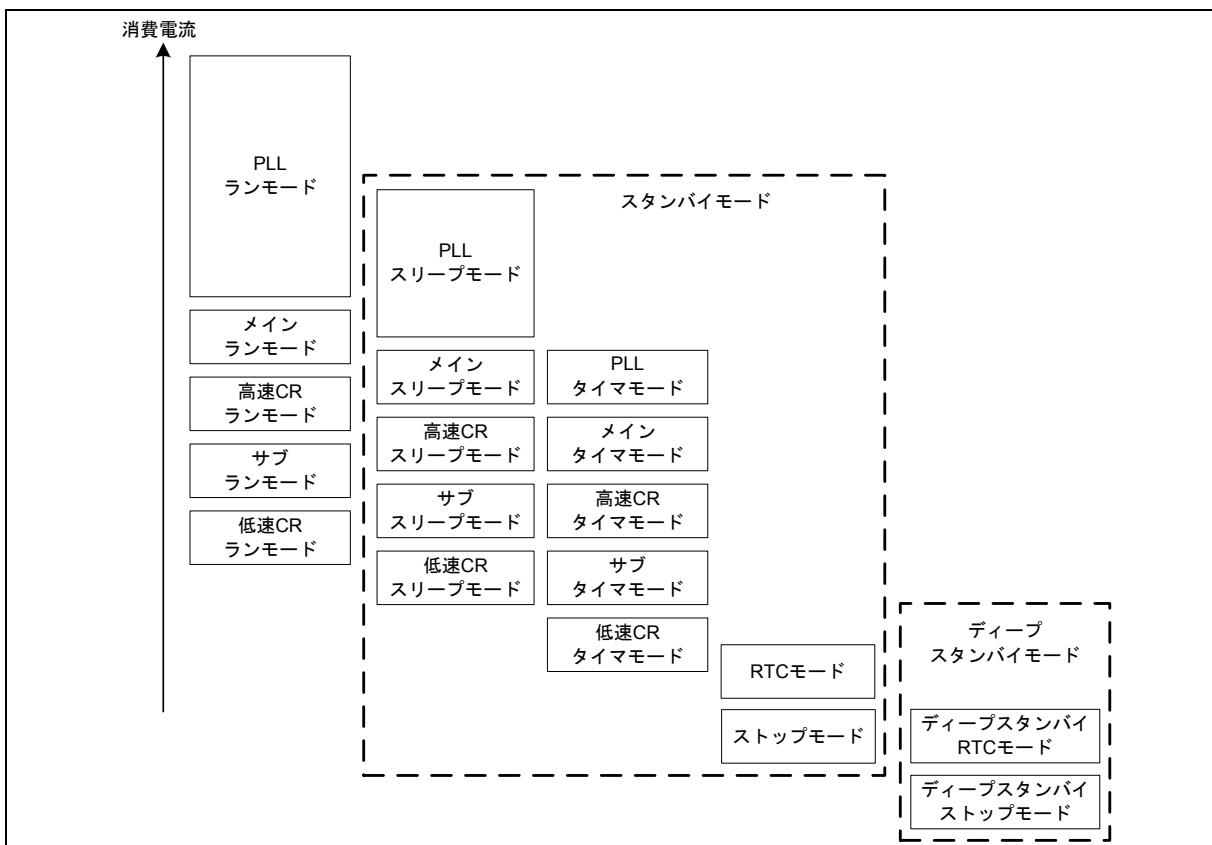
\*: 製品 TYPE によりオンチップ SRAM の内容は保持可能です。

オンチップ SRAM の内容を保持設定にした場合は、オンチップ SRAM は電源オンになります。  
対応する製品 TYPE については表 1-1 を参照してください。

## ■ CPU 動作モードと消費電流の関係

CPU 動作モードと消費電流の関係を図 1-1 に示します。

図 1-1 CPU 動作モードと消費電流の関係図



### <注意事項>

図 1-1 では、モードごとの消費電流の大小関係程度しか示していません。実際の消費電流は各モードでの発振器と PLL の起動、選択された周波数などのクロック構成により変わります。

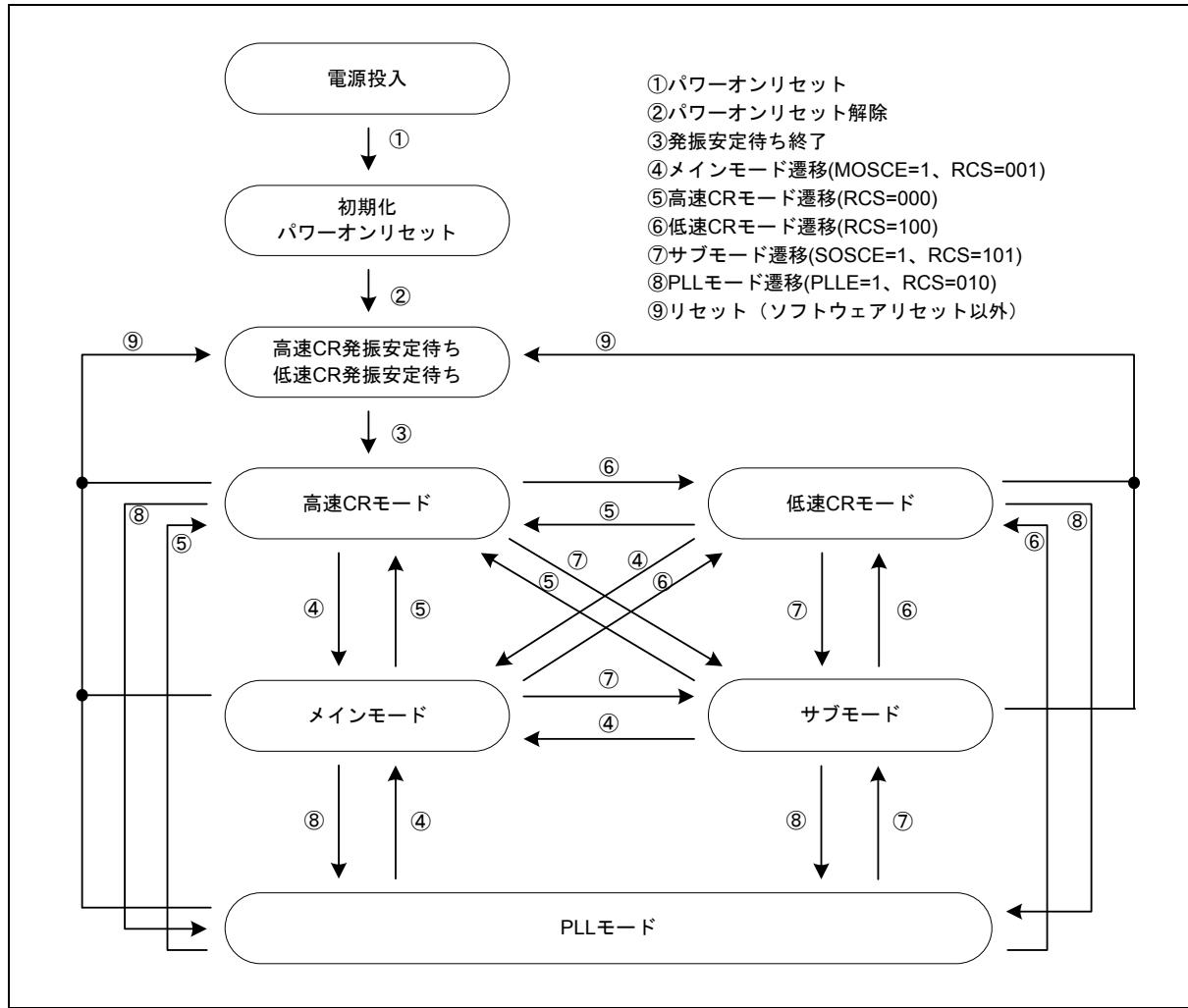
## 2. CPU 動作モードの構成

CPU 動作モードの構成について説明します。

### ■ CPU 動作モード遷移図

CPU 動作モードの遷移図を図 2-1 に示します。

図 2-1 CPU 動作モードの遷移図



#### ●高速 CR モード

高速 CR 発振クロックがマスタクロックとして使用されます。

#### ●メインモード

メイン発振クロックがマスタクロックとして使用されます。

#### ●低速 CR モード

低速 CR 発振クロックがマスタクロックとして使用されます。

#### ●サブモード

サブ発振クロックがマスタクロックとして使用されます。

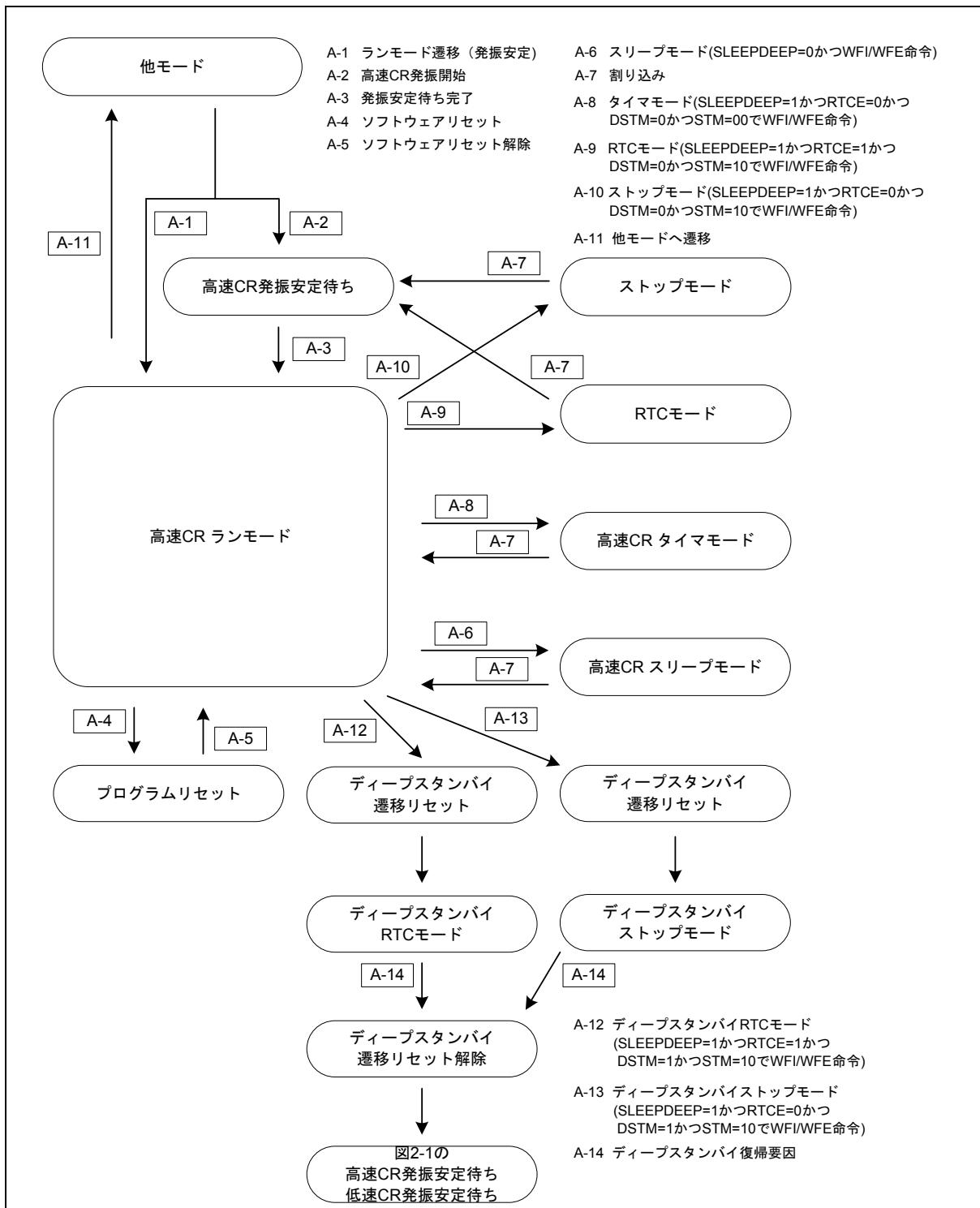
#### ●PLL モード

PLL 発振クロックがマスタクロックとして使用されます。

## ■ 高速 CR モード遷移図

高速 CR モードでは、高速 CR 発振クロックがマスタクロックとして使用されます。

図 2-2 高速 CR モード遷移図



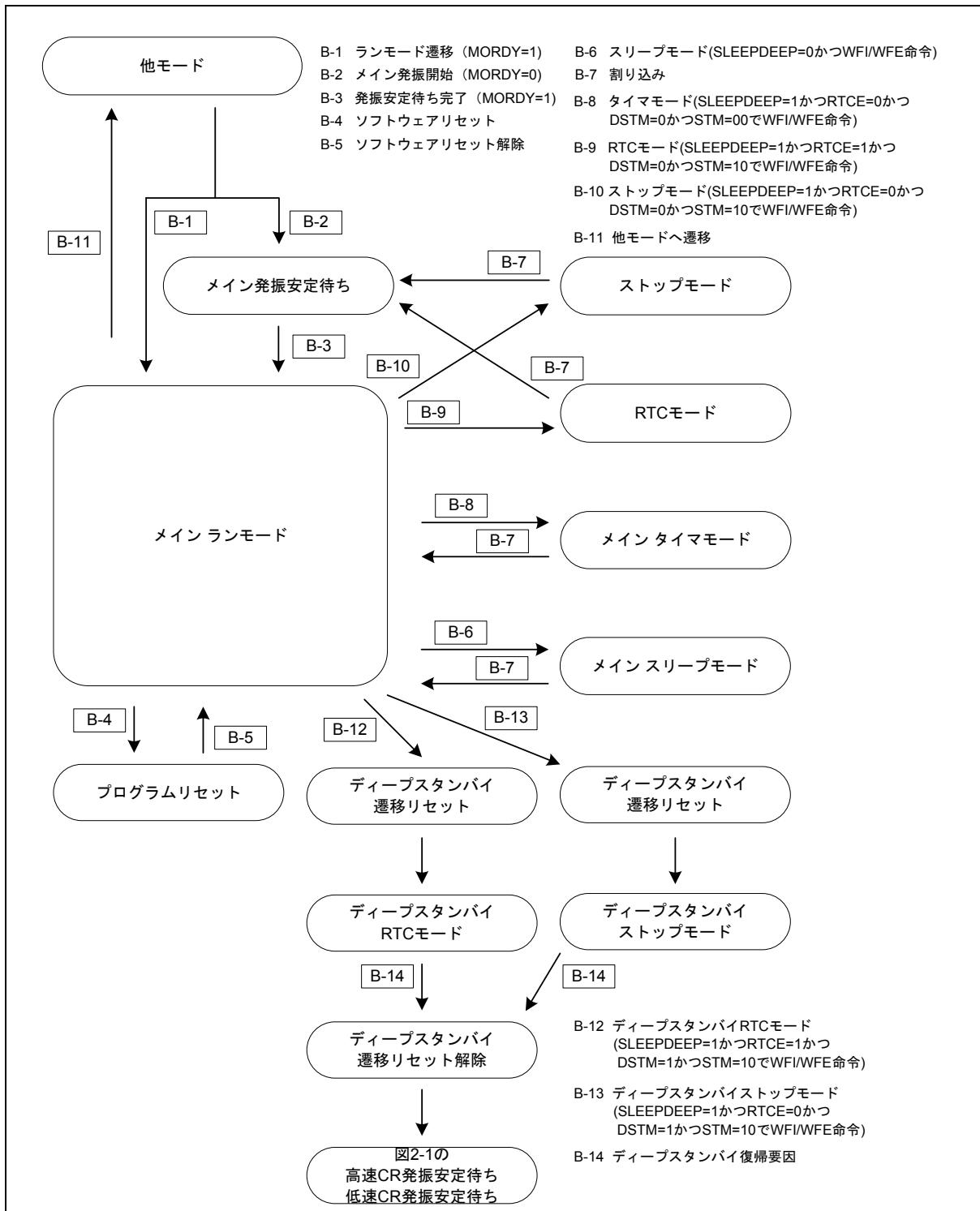
### <注意事項>

RTC モード、ディープスタンバイ RTC モード、ディープスタンバイストップモードを搭載していない製品があります。詳細は表 1-1 を参照してください。

## ■ メインモード遷移図

メインモードでは、メイン発振クロックがマスタクロックとして使用されます。

図 2-3 メインモード遷移図



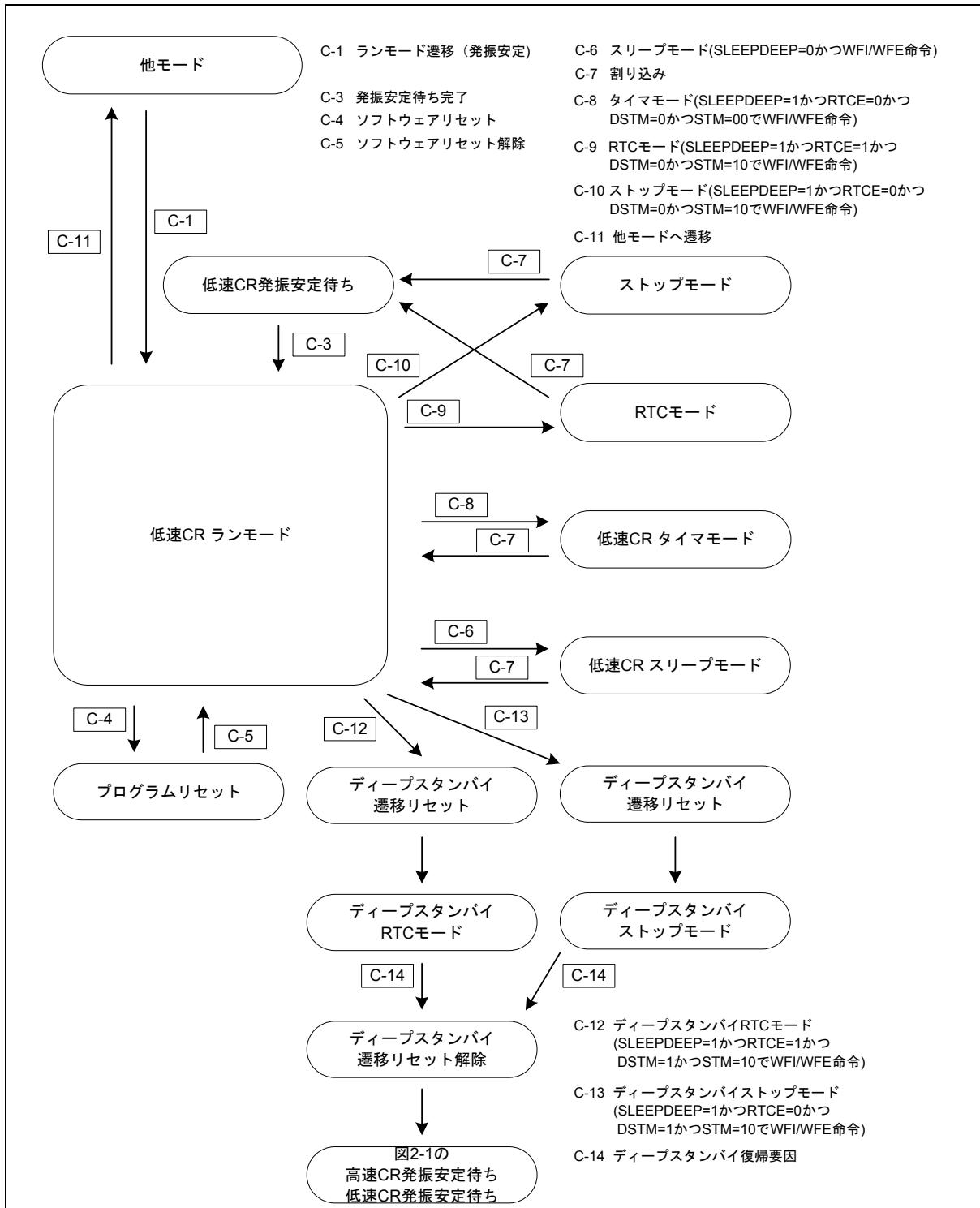
### <注意事項>

RTC モード、ディープスタンバイ RTC モード、ディープスタンバイストップモードを搭載していない製品があります。表 1-1(低消費電力モード)を参照してください。

**■ 低速 CR モード遷移図**

低速 CR モードでは、低速 CR 発振クロックがマスタクロックとして使用されます。

図 2-4 低速 CR モード遷移図



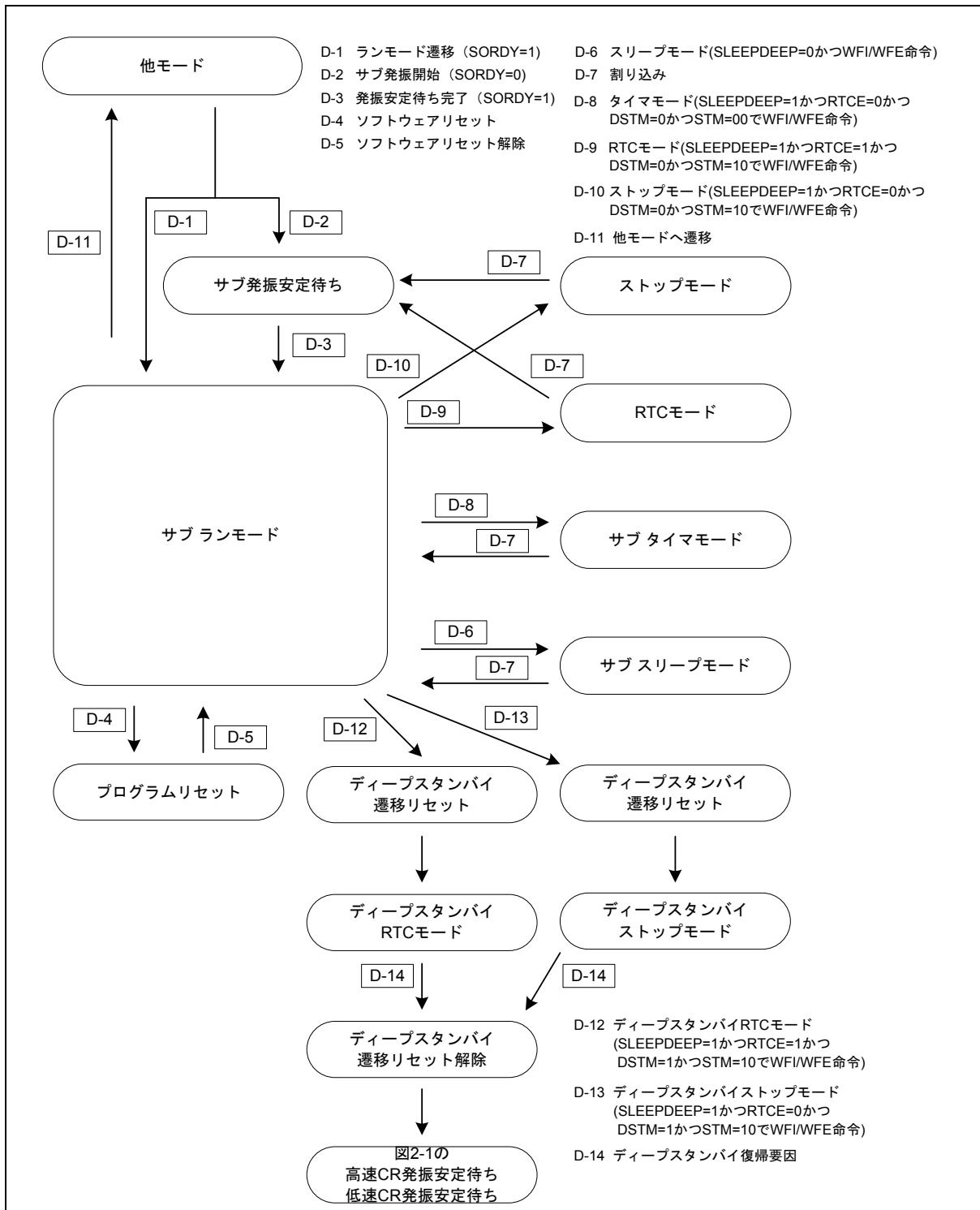
## &lt;注意事項&gt;

RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品があります。表 1-1(低消費電力モード)を参照してください。

## ■ サブモード遷移図

サブモードでは、サブ発振クロックがマスタクロックとして使用されます。

図 2-5 サブモード遷移図



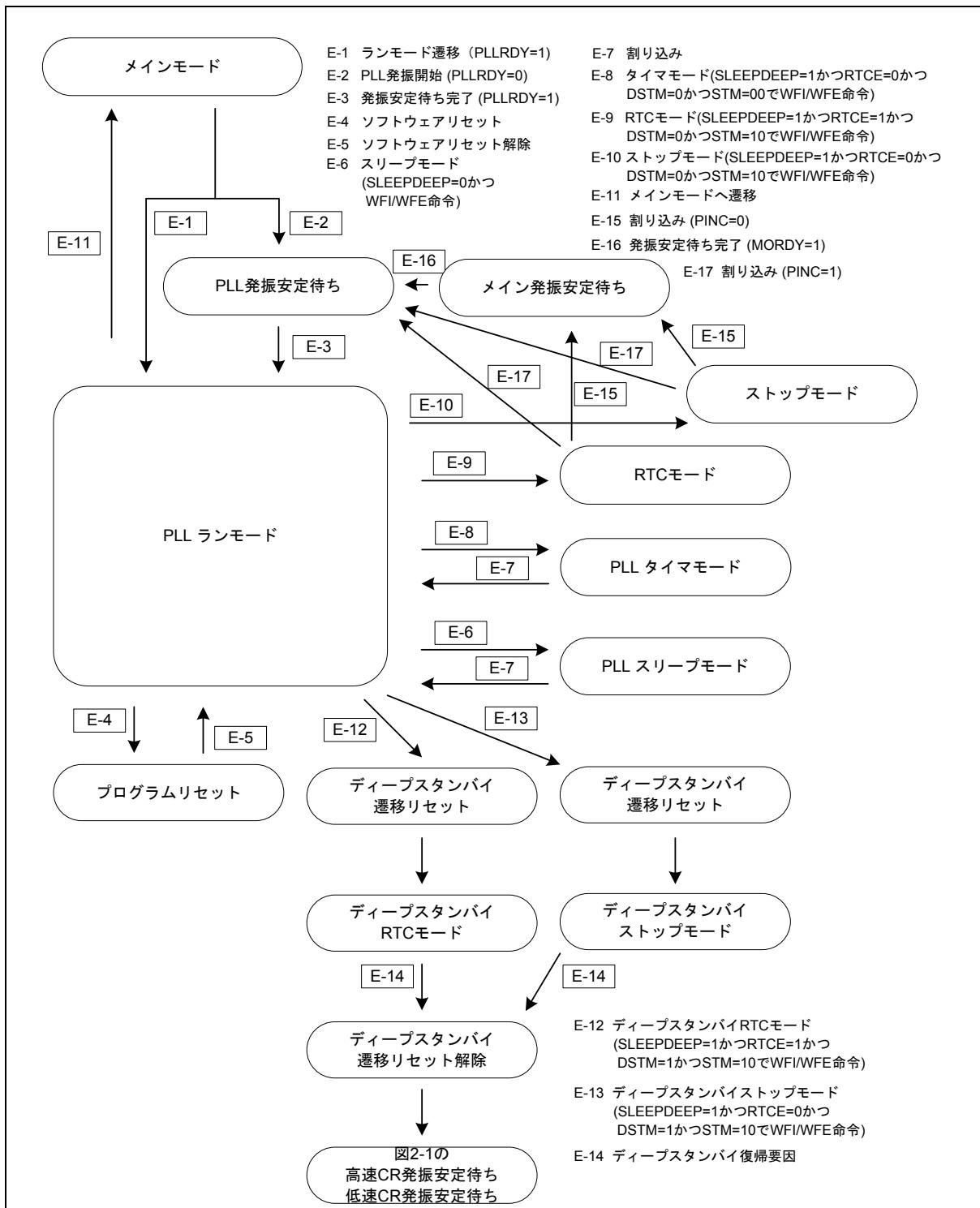
### ＜注意事項＞

RTC モード、ディープスタンバイ RTC モード、ディープスタンバイストップモードを搭載していない製品があります。表 1-1(低消費電力モード)を参照してください。

### ■ PLL モード遷移図

PLL モードでは、PLL クロックがマスタクロックとして使用されます。

図 2-6 PLL モード遷移図



### <注意事項>

RTC モード、ディープスタンバイ RTC モード、ディープスタンバイストップモードを搭載していない製品があります。詳細は表 1-1 を参照してください。

MOSCE:システムクロックモード制御レジスタ(SCM\_CTL)の MOSCE ビット  
SOSCE:システムクロックモード制御レジスタ(SCM\_CTL)の SOSCE ビット  
PLLE:システムクロックモード制御レジスタ(SCM\_CTL)の PLLE ビット  
RCS:システムクロックモード制御レジスタ(SCM\_CTL)の RCS ビット  
MORDY:システムクロックモード状態レジスタ(SCM\_STR)の MORDY ビット  
SORDY:システムクロックモード状態レジスタ(SCM\_STR)の SORDY ビット  
PLRDY:システムクロックモード状態レジスタ(SCM\_STR)の PLRDY ビット  
PINC:PLL クロック安定待ち時間レジスタ(PSW\_TMR)の PINC ビット

\* SCM\_CTL, SCM\_STR, PSW\_TMR レジスタについては、別章『クロック』を参照してください。

---

**<注意事項>**

低速 CR タイマモード, サブタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モードおよびディープスタンバイストップモードからの復帰時は、内蔵レギュレータの電圧 安定待ち時間(数百μs)を確保します。その後に各ランモードへの復帰動作を行います。

---

### 3. スタンバイモードの動作説明

スタンバイモードの動作について説明します。

スタンバイモードには、スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ), タイマモード(高速 CR タイマ, メインタイマ, PLL タイマ, 低速 CR タイマ, サブタイマ)および RTC モード, ストップモードがあります。

#### ■スタンバイモード時のクロック動作状態

スリープモード, タイマモード, RTC モード, ストップモードにある間の発振クロック, CPU クロック, AHB バスクロック, APB バスクロックの状態を示します。

表 3-1 スリープモード時のクロック動作状態

	スリープモード				
	高速 CR スリープモード	メイン スリープモード	PLL スリープモード	低速 CR スリープモード	サブ スリープモード
高速 CR クロック	動作	動作	動作	停止	停止
メイン クロック	MOSCE ビット によって異なる	動作	MOSCE ビット によって異なる	停止	停止
PLL クロック	PLLE ビットに よって異なる	PLLE ビットに よって異なる	動作	停止	停止
低速 CR クロック	動作	動作	動作	動作	動作
サブ クロック	SOSCE ビット によって異なる	SOSCE ビット によって異なる	SOSCE ビット によって異なる	SOSCE ビット によって異なる	動作
USB PLL クロック	設定禁止	UPLLEN ビット によって異なる	UPLLEN ビット によって異なる	停止	停止
CPU クロック	停止				
AHB バス クロック	高速 CR クロック	メイン クロック	PLL クロック	低速 CR クロック	サブ クロック
APB0 バス クロック	高速 CR クロック	メイン クロック	PLL クロック	低速 CR クロック	サブ クロック
APB1 バス クロック	高速 CR クロック	メイン クロック	PLL クロック	低速 CR クロック	サブ クロック
* 動作許可は、APBC1EN ビットによって異なる					
APB2 バス クロック	高速 CR クロック	メイン クロック	PLL クロック	低速 CR クロック	サブ クロック
* 動作許可は、APBC2EN ビットによって異なる					

表 3-2 タイマモード時のクロック動作状態

	タイマモード				
	高速 CR タイマモード	メイン タイマモード	PLL タイマモード	低速 CR タイマモード	サブ タイマモード
高速 CR クロック	動作	動作	動作	停止	停止
メイン クロック	MOSCE ビット によって異なる	動作	MOSCE ビット によって異なる	停止	停止
PLL クロック	PLLE ビットに よって異なる	PLLE ビットに よって異なる	動作	停止	停止
低速 CR クロック	動作	動作	動作	動作	動作
サブ クロック	SOSCE ビット によって異なる	SOSCE ビット によって異なる	SOSCE ビット によって異なる	SOSCE ビット によって異なる	動作
USB PLL クロック	停止	停止	停止	停止	停止
CPU クロック	停止				
AHB バス クロック	停止				
APB0 バス クロック	停止				
APB1 バス クロック	停止				
APB2 バス クロック	停止				

表 3-3 RTC モードとストップモード時のクロック動作状態

	RTC モード	ストップモード
高速 CR クロック		
メインクロック	停止	
メイン PLL クロック		
低速 CR クロック		
サブクロック	動作	
USB PLL クロック		停止
CPU クロック		
AHB バスクロック	停止	
APB0 バスクロック		
APB1 バスクロック		
APB2 バスクロック		

MOSCE:システムクロックモード制御レジスタ(SCM\_CTL)の MOSCE ビット

SOSCE:システムクロックモード制御レジスタ(SCM\_CTL)の SOSCE ビット

PLLE:システムクロックモード制御レジスタ(SCM\_CTL)の PLLE ビット

UPLLEN:USB-PLL 設定レジスタ 1(UPCR1)の UPLLEN ビット

APBC1EN:周辺バスクロック分周レジスタ(APBC1\_PSR)の APBC1EN ビット

APBC2EN:周辺バスクロック分周レジスタ(APBC2\_PSR)の APBC2EN ビット

\* : SCM\_CTL, SCM\_STR レジスタについては、別章『クロック』を参照してください。

UPCR1 レジスタについては、『通信マクロ編』の『USB クロック生成』を参照してください。

### ■スタンバイモードからの復帰要因

スリープモード, タイマモード, RTC モード, ストップモードからの復帰要因を表 3-4 に示します。

表 3-4 スタンバイモードからの復帰要因

	スリープモード	タイマモード	RTC モード	ストップモード
リセット 復帰要因	<ul style="list-style-type: none"> <li>INITX 端子入力リセット</li> <li>低電圧検出リセット</li> <li>ソフトウェアウォッチドッグリセット</li> <li>ハードウェアウォッチドッグリセット</li> <li>クロック故障検出リセット</li> <li>異常周波数検出リセット</li> </ul>	<ul style="list-style-type: none"> <li>INITX 端子入力リセット</li> <li>低電圧検出リセット</li> <li>ハードウェアウォッチドッグリセット</li> <li>クロック故障検出リセット</li> </ul>	<ul style="list-style-type: none"> <li>INITX 端子入力リセット</li> <li>低電圧検出リセット</li> </ul>	<ul style="list-style-type: none"> <li>INITX 端子入力リセット</li> <li>低電圧検出リセット</li> </ul>
割込み 復帰要因	<ul style="list-style-type: none"> <li>各周辺機能からの有効な割込み</li> </ul>	<ul style="list-style-type: none"> <li>NMI 割込み</li> <li>外部割込み</li> <li>ハードウェアウォッチドッグタイマ割込み</li> <li>USB ウェイクアップ割込み</li> <li>時計カウンタ割込み</li> <li>RTC 割込み</li> <li>HDMI-CEC/リモコン受信割込み</li> <li>低電圧検出割込み</li> </ul>	<ul style="list-style-type: none"> <li>NMI 割込み</li> <li>外部割込み</li> <li>USB ウェイクアップ割込み</li> <li>時計カウンタ割込み</li> <li>RTC 割込み</li> <li>HDMI-CEC/リモコン受信割込み</li> <li>低電圧検出割込み</li> </ul>	<ul style="list-style-type: none"> <li>NMI 割込み</li> <li>外部割込み</li> <li>USB ウェイクアップ割込み</li> <li>低電圧検出割込み</li> </ul>

### 3.1. スリープモード(高速 CR スリープ, メインスリープ, PLL スリープ, 低速 CR スリープ, サブスリープ)の動作

スリープモードはスタンバイモードの 1 つに分類されます。スリープモードは、CPU クロックが停止します。これにより消費電力が削減されます。

#### ■ スリープモード機能

##### ● CPU, オンチップメモリ

スリープモードでは、CPU に供給しているクロックが停止します。AHB バスロックは動作を継続します。オンチップメモリは動作を行い、データを保持します。

##### ● 周辺機能

APB0 バスロックはスリープモードでも動作します。APB1 バスロックおよび APB2 バスロックはそれぞれ APBC1EN および APBC2EN により異なります。周辺機能は遷移時の状態で動作します。

##### ● 時計カウンタ, RTC

時計カウンタ, RTC はスリープモードの影響を受けません。スリープモードに遷移する前の設定に従って動作を続けます。

##### ● 発振クロック

それぞれの発振クロックの状態を、表 3-1(スリープモード時のクロック動作状態)に示します。

##### ● リセットと割込み

リセットと割込みはスリープモードからの復帰に使用できます。

##### ● 外部バス

外部バスはスリープモード中でも動作します。

##### ● 端子の状態

スリープモードにある間は、すべての端子で設定が保持されます。

**■スリープモード設定手順**

次の手順を実施するとスリープモードへ遷移します。

- 1.Cortex-M3 システムコントロールレジスタの SLEEPDEEP ビットに"0"を設定してください。
- 2.WFI もしくは WFE 命令を実行してください。  
システムクロックモード制御レジスタ(SCM\_CTL)の RCM ビットに示されている現在のクロックモードに応じて、対応するスリープモードに遷移します。

システムクロックモード制御レジスタ(SCM\_CTL)については、別章『クロック』を参照してください。

**■スリープモードからの復帰**

次のいずれかの場合に CPU がスリープモードから復帰します。

**●リセットによる復帰**

リセット(INITX 端子入力リセット、低電圧検出リセット、ソフトウェアウォッチドッグリセット、ハードウェアウォッチドッグリセット、クロッククスーパバイザリセット、周波数異常検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

**●割込みによる復帰**

スリープモードにある間に周辺機能から発生した有効な割込みを受け付けると、スリープモードから復帰して、SCM\_CTL の RCS ビットに示されているクロックモードに応じたランモードに遷移します。

表 3-5 スリープモードからの割込み復帰後の動作モード

	スリープモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の 動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

RCM : システムクロックモード状態レジスタ(SCM\_STR)の RCM ビット

\* SCM\_CTL, SCM\_STR レジスタについては、別章『クロック』を参照してください。

**●復帰時の発振安定待ち**

リセットにより復帰をした場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、発振安定待ちはありません。

## 3.2. タイマモード(高速 CR タイマ, メインタイマ, PLL タイマ, 低速 CR タイマ, サブタイマ)の動作

タイマモードは、ベースクロックの供給を停止します。これにより、CPU クロック, AHB バスクロックおよび、すべての APB バスクロックが停止するため、消費電力がさらに削減されます。本モードでは、発振器, PLL, ハードウェアオッヂドッグタイマ, 時計カウンタ, RTC, クロック故障検出機能、低電圧検出回路を除くすべての機能が停止します。

### ■ タイマモード機能

#### ● CPU, オンチップメモリ

タイマモードでは、CPU に供給している CPU クロック、オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止します。ただし、オンチップメモリの内容は保持されます。また、デバッグ機能が停止します。

#### ● 周辺機能

すべての APB クロックはタイマモードで停止し、ハードウェアオッヂドッグタイマ、時計カウンタ、RTC、クロックスーパバイザ、低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

#### ● 時計カウンタ, RTC

時計カウンタ、RTC はタイマモードの影響を受けません。タイマモードに遷移する前の設定に従って動作を続けます。

#### ● 発振クロック

それぞれの発振クロックの状態を、表 3-2 に示します。

#### ● リセットと割込み

リセットと割込みはタイマモードからの復帰に使用できます。

#### ● 外部バス

外部バスはタイマモードで停止します。

#### ● 端子の状態

スタンバイモード制御レジスタ(STB\_CTL)の SPL ビットにより、外部端子がタイマモードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御できます。

### ■ タイマモード設定手順

次の手順を実施するとタイマモードへ遷移します。

1. RTC モード制御レジスタ(PMD\_CTL)の RTCE ビットに"0"を設定してください。
  2. スタンバイモード制御レジスタ(STB\_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"0"かつ STM ビットに"0b00"を書き込んでください。SPL ビットにより、タイマモードでの端子状態を設定してください。
  3. Cortex-M3 システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
  4. WFI もしくは WFE 命令を実行してください。
- システムクロックモード制御レジスタ(SCM\_CTL)の RCM ビットに示されている現在のクロックモードに応じて、対応するタイマモードへの遷移が要求されます。

---

<注意事項>

RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品には RTCE ビットと DSTM ビットがありません。詳細は表 1-1 を参照してください。

---

**■ タイマモードからの復帰**

次のいずれかの場合に CPU がタイマモードから復帰します。

**●リセットによる復帰**

リセット(INITX 端子入力リセット, 低電圧検出リセット, ハードウェアオッヂドッギリセット, クロックスープライザリセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアオッヂドッギリセットは動作しないため、復帰できません。

**●割込みによる復帰**

タイマモードにある間に有効な NMI 割込み, 外部割込み, ハードウェアオッヂドッギタイマ割込み, USB ウェイクアップ割込み, 時計カウンタ割込み, RTC 割込み, 低電圧検出割込みの要求を受け付けると、タイマモードから復帰して、SCM\_CTL の RCS ビットに示されているクロックモードに応じたランモードに遷移します。

表 3-6 タイマモードからの割込み復帰後の動作モード

	タイマモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の 動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

**●復帰時の発振安定待ち**

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、発振安定待ちはありません。

**●復帰時の内蔵レギュレータ電圧安定待ち**

低速 CR タイマモード, サブタイマモードからのリセットおよび割込みによる復帰時は、内蔵レギュレータの電圧安定待ち時間(数百μs)を自動的に確保します。その後に復帰動作を行います。

**<注意事項>**

- 復帰に使用する割込みの優先度設定が CPU を復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPU は復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定は CPU が復帰可能なレベルに設定してください。
- タイマモードへ遷移する前に必ず表 3-4 のタイマモードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。
- デバッグ中にタイマモードに遷移した場合は、CPU へのクロックが停止するため、ICE からランモードへの復帰ができません。リセットもしくは割込みによる復帰を使用してください。
- 低速 CR タイマモード, サブタイマモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。

### 3.3. RTC モードの動作

RTC モードは、サブ発振器以外の発振を停止します。時計カウンタ、RTC、低電圧検出回路以外のすべての機能が停止します。

#### ■ RTC モード機能

##### ●CPU、オンチップメモリ

RTC モードでは、CPU に供給している CPU クロック、オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止します。ただし、オンチップメモリの内容は保持されます。またデバッグ機能が停止します。

##### ●周辺機能

すべての APB バスクロックは停止し、時計カウンタ、RTC、低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

##### ●時計カウンタ、RTC

時計カウンタ、RTC は RTC モードの影響を受けません。RTC モードに遷移する前の設定に従って動作を続けます。

##### ●発振クロック

それぞれの発振クロックの状態を、表 3-3 に示します。

##### ●リセットと割込み

リセットと割込みは RTC モードからの復帰に使用できます。

##### ●外部バス

外部バスは RTC モードで停止します。

##### ●端子の状態

スタンバイモード制御レジスタ(STB\_CTL)の SPL ビットにより、外部端子が RTC モードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御します。

#### ■ RTC モード設定手順

次の手順を実施すると RTC モードへ遷移します。

1. システムクロックモード状態レジスタ(SCM\_STR)の SORDY ビットが"1"の状態で、RTC モード制御レジスタ(PMD\_CTL)の RTCE ビットに"1"を設定してください。
2. スタンバイモード制御レジスタ(STB\_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"0"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、RTC モードでの端子状態を設定してください。
3. Cortex-M3 システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
4. WFI もしくは WFE 命令を実行してください。

#### <注意事項>

RTC モード、ディープスタンバイ RTC モード、ディープスタンバイストップモードを搭載していない製品には RTCE ビットと DSTM ビットがありません。詳細は表 1-1 を参照してください。

**■ RTC モード復帰**

次のいずれかの場合に CPU が RTC モードから復帰します。

**●リセットによる復帰**

リセット(INITX 端子入力リセット, 低電圧検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパー・バイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

**●割込みによる復帰**

RTC モードにある間に有効な NMI 割込み, 外部割込み, USB ウェイクアップ割込み, 時計カウンタ割込み, RTC 割込み, 低電圧検出割込みの要求を受け付けると、RTC モードから復帰して、SCM\_CTL の RCS ビットに示されているクロックモードに応じたランモードに遷移します。

表 3-7 RTC モードからの割込み復帰後の動作モード

	RTC モード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

**●復帰時の発振安定待ち**

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、RTC モード遷移前のマスタクロックにより、発振安定待ちが変わります。表 3-8 に示します。

表 3-8 RTC モードからの割込み復帰時の発振安定待ち

	RTC モード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の発振安定待ち	高速 CR クロック	有	有	有	無
	メイン クロック	MOSCE="0": 無 MOSCE="1": 有	有	PINC="0": 有 PINC="1": 無	無
	PLL クロック	無	PLLE="0": 無 PLLE="1": 有	有	無
	低速 CR クロック	有	有	有	有
	サブ クロック	無	無	無	無

**●復帰時の内蔵レギュレータ電圧安定待ち**

RTC モードからの復帰時は、内蔵レギュレータの電圧安定待ち時間(数百μs)を自動的に確保します。その後に復帰動作を行います。

**<注意事項>**

- ・復帰に使用する割込みの優先度設定が CPU を復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPU は復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定は CPU が復帰可能なレベルに設定してください。
- ・RTC モードへ遷移する前に必ず表 3-4 のタイマモードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。
- ・デバッグ中に RTC モードに遷移した場合は、CPU へのクロックが停止するため、ICE からランモードへの復帰ができません。リセットもしくは割込みによる復帰を使用してください。
- ・RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。

## 3.4. ストップモードの動作

ストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止します。

### ■ ストップモード機能

#### ●CPU, オンチップメモリ

ストップモードでは、CPUに供給しているCPUクロック、オンチップメモリやDMAコントローラなどに供給しているAHBバスクロックが停止します。ただし、オンチップメモリの内容は保持されます。またデバッグ機能が停止します。

#### ●周辺機能

すべてのAPBバスクロックは停止し、低電圧検出回路以外のすべてのリソースは最後の状態のまま停止します。

#### ●発振クロック

すべて停止します。

#### ●リセットと割込み

リセットと割込みはストップモードからの復帰に使用できます。

#### ●外部バス

外部バスはストップモードで停止します。

#### ●端子の状態

スタンバイモード制御レジスタ(STB\_CTL)のSPLビットにより、外部端子がストップモードに切り換わる直前の状態を保持するか、ハイインピーダンス状態にするかを制御します。

### ■ ストップモード設定手順

次の手順を実施するとストップモードへ遷移します。

1. RTCモード制御レジスタ(PMD\_CTL)のRTCEビットに"0"を設定してください。
2. スタンバイモード制御レジスタ(STB\_CTL)のKEYビットに"0x1ACC"およびDSTMビットに"0"かつSTMビットに"0b10"を書き込んでください。SPLビットにより、ストップモードでの端子状態を設定してください。
3. Cortex-M3システムコントロールレジスタのSLEEPDEEPビットに"1"を設定してください。
4. WFIもしくはWFE命令を実行してください。

### <注意事項>

RTCモード、ディープスタンバイ RTCモード、ディープスタンバイストップモードを搭載していない製品にはRTCEビットとDSTMビットがありません。詳細は表 1-1 を参照してください。

## ■ ストップモード復帰

次のいずれかの場合に CPU がストップモードから復帰します。

### ●リセットによる復帰

リセット(INITX 端子入力リセット、低電圧検出リセット)が発生した場合は、クロックモードに関係なく、高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット、ハードウェアウォッチドッグリセット、クロックスーパーバイザリセット、周波数異常検出リセットは動作しないため、復帰できません。

### ●割込みによる復帰

ストップモードにある間に有効な NMI 割込み、外部割込み、USB ウェイクアップ割込み、低電圧検出割込みの要求を受け付けると、ストップモードから復帰して、SCM\_CTL の RCS ビットに示されているクロックモードに応じたランモードに遷移します。

表 3-9 ストップモードからの割込み復帰後の動作モード

	ストップモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の動作モード	高速 CR ランモード	メイン ランモード	PLL ランモード	低速 CR ランモード	サブ ランモード

### ●復帰時の発振安定待ち

リセットにより復帰した場合は、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。割込みで復帰した場合は、ストップモード遷移前のマスタクロックにより、発振安定待ちが変わります。表 3-10 に示します。

表 3-10 ストップモードからの割込み復帰時の発振安定待ち

	ストップモード遷移前のマスタクロック状態				
	RCM=000 (高速 CR 発振)	RCM=001 (メイン発振)	RCM=010 (PLL 発振)	RCM=100 (低速 CR 発振)	RCM=101 (サブ発振)
割込み復帰後の発振安定待ち	高速 CR クロック	有	有	有	無
	メイン クロック	MOSCE="0": 無 MOSCE="1": 有	有	PINC="0": 有 PINC="1": 無	無
	PLL クロック	無	PLLE="0": 無 PLLE="1": 有	有	無
	低速 CR クロック	有	有	有	有
	サブ クロック	SOSCE="0": 無 SOSCE="1": 有	SOSCE="0": 無 SOSCE="1": 有	SOSCE="0": 無 SOSCE="1": 有	有

### ●復帰時の内蔵レギュレータ電圧安定待ち

ストップモードからの復帰時は、内蔵レギュレータの電圧安定待ち時間(数百μs)を自動的に確保します。その後に復帰動作を行います。

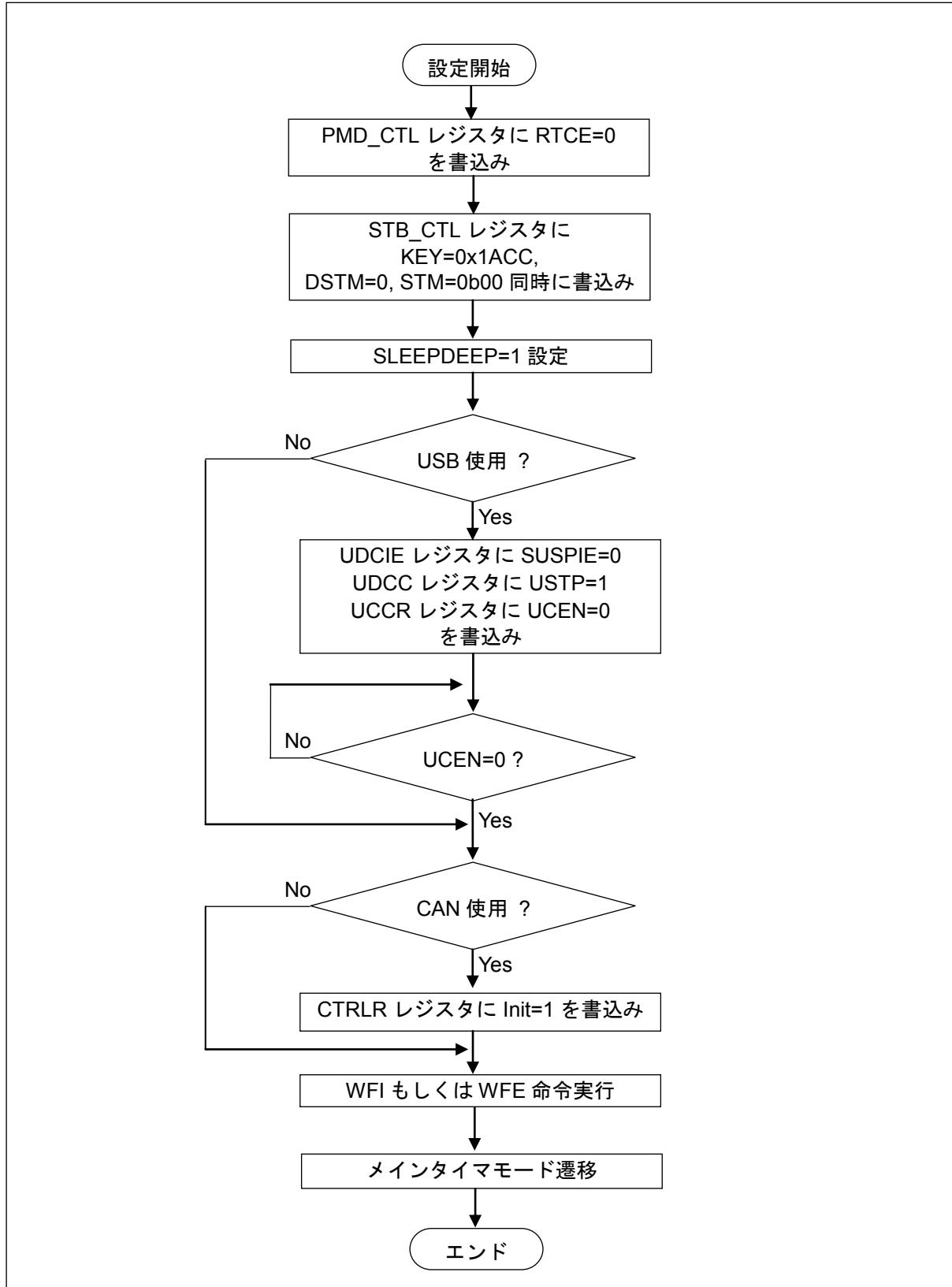
**<注意事項>**

- 復帰に使用する割込みの優先度設定が CPU を復帰させるレベルに設定されていない場合は、割込みによりクロックは復帰しますが、CPU は復帰せずに停止した状態を継続します。そのため、必ず割込み優先度設定は CPU が復帰可能なレベルに設定してください。
- ストップモードへ遷移する前に必ず表 3-4 のタイマモードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。
- デバッグ中にストップモードに遷移した場合は、CPU へのクロックが停止するため、ICE からランモードへの復帰ができません。リセットもしくは割込みによる復帰を使用してください。
- ストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。

## 4. スタンバイモードの設定手順例

各スタンバイモードの設定手順例を説明します。

図 4-1 メインタイマモード設定手順例

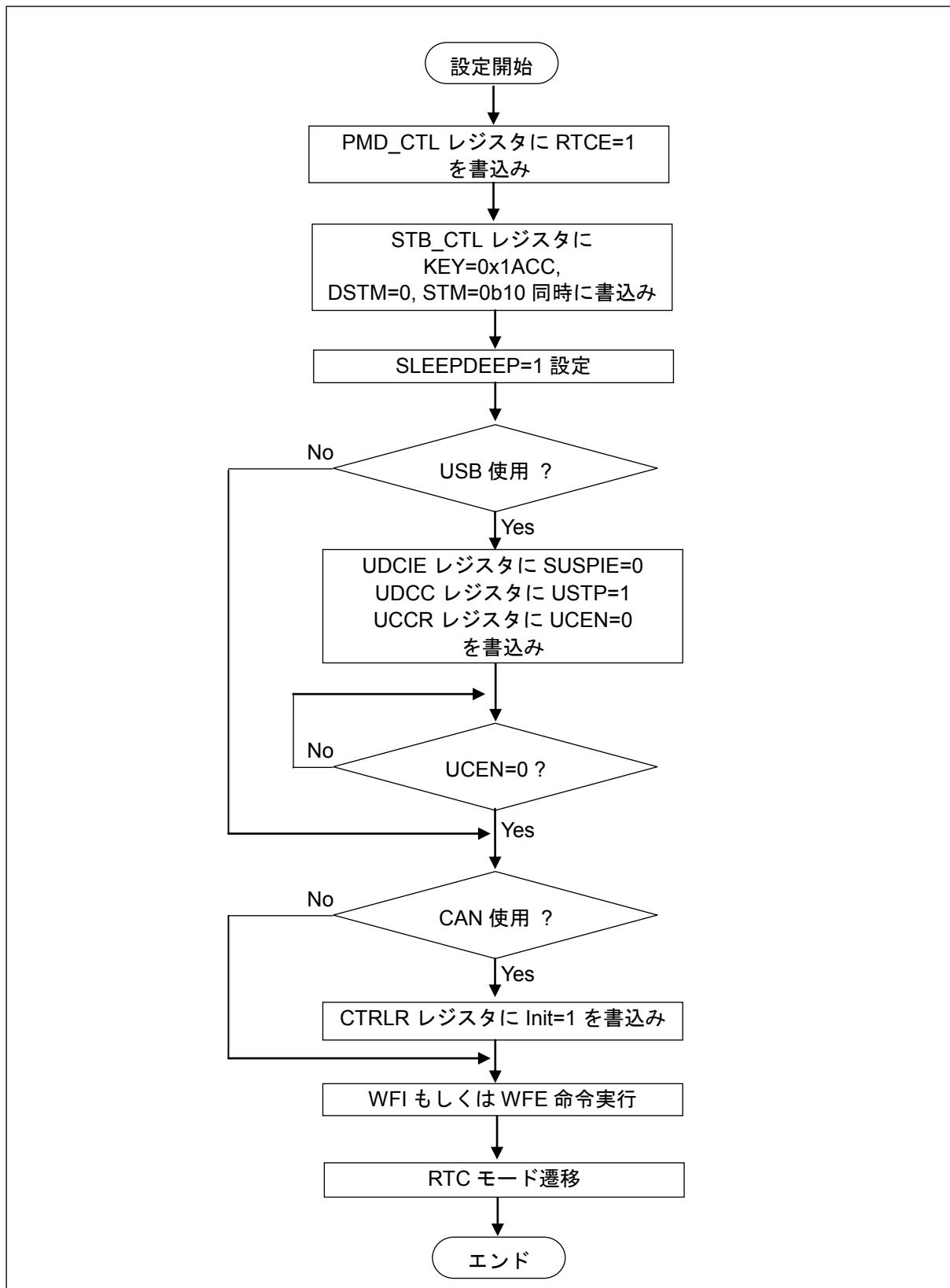


**<注意事項>**

RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品には RTCE ビットと DSTM ビットがありません。表 1-1 を参照してください。

---

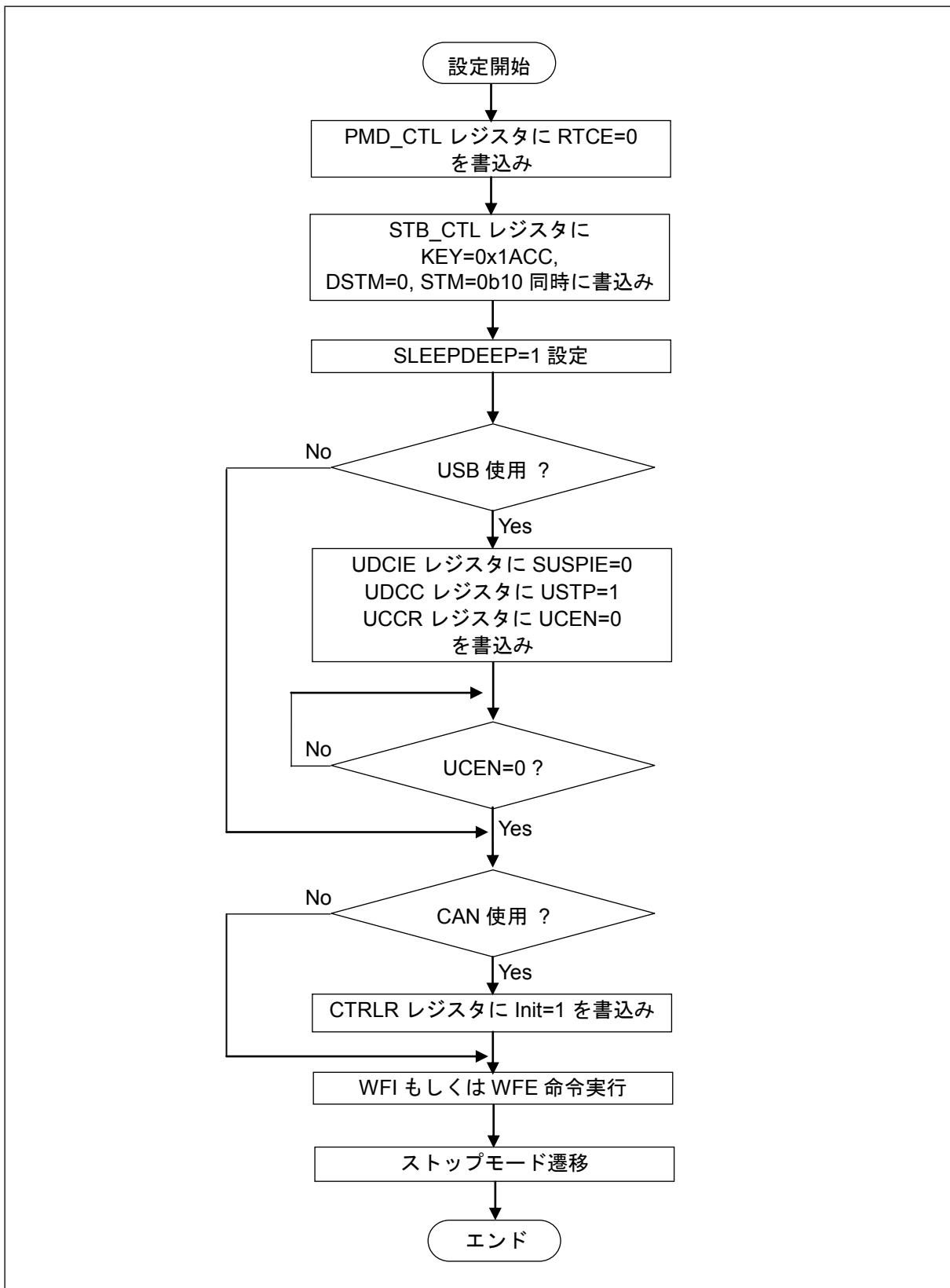
図 4-2 RTC モード設定手順例(マスタクロックはメインクロックを選択)



<注意事項>

- RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。
- RTC モード制御レジスタ(PMD\_CTL)の RTCE ビットへの"1"書き込みは、システムクロックモード状態レジスタ(SCM\_STR)の SORDY ビットが"1"のときのみ有効です。
- RTC モード、ディープスタンバイ RTC モード、ディープスタンバイトップモードを搭載していない製品にはRTCE ビットと DSTM ビットがありません。詳細は表 1-1 を参照してください。

図 4-3 ストップモード設定手順例(マスタクロックはメインクロックを選択)



<注意事項>

- ・ ストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。
- ・ RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品にはRTCE ビットと DSTM ビットがありません。詳細は表 1-1 を参照してください。

## 5. ディープスタンバイモードの動作説明

ディープスタンバイモードの動作について説明します。

ディープスタンバイモードには、ディープスタンバイ RTC モードおよびディープスタンバイストップモードがあります。

### ■ ディープスタンバイモード時のクロック動作状態

ディープスタンバイ RTC モード、ディープスタンバイストップモードにある間の発振クロック、CPU クロック、AHB バスクロック、APB バスクロックの状態を示します。

表 5-1 ディープスタンバイモード時のクロック動作状態

	ディープスタンバイ RTC モード	ディープスタンバイ ストップモード
高速 CR クロック		
メインクロック	停止	
PLL クロック		
低速 CR クロック		
サブクロック	動作	
USB PLL クロック		停止
CPU クロック		
AHB バスクロック	停止	
APB0 バスクロック		
APB1 バスクロック		
APB2 バスクロック		

### ■ ディープスタンバイモードからの復帰要因

ディープスタンバイ RTC モード、ディープスタンバイストップモードからの復帰要因を示します。

表 5-2 ディープスタンバイスタンバイモードからの復帰要因

	ディープスタンバイ RTC モード	ディープスタンバイ ストップモード
ディープスタンバイ 復帰要因	・ INITX 端子入力リセット ・ 低電圧検出リセット	・ INITX 端子入力リセット ・ 低電圧検出リセット
	・ 低電圧検出割込み ・ RTC 割込み ・ HDMI-CEC/リモコン受信割込み	・ 低電圧検出割込み
	・ WKUP 端子入力	・ WKUP 端子入力

### <注意事項>

ディープスタンバイモードからの復帰後、各割込み要因は保持されています。しかし、ディープスタンバイ遷移リセットで NVIC が初期化されているため、割込み処理は行われません。

## ■ ディープスタンバイモード時の内部電源状態とリセット状態

ディープスタンバイモード時の各機能の電源状態と、ディープスタンバイ遷移リセットでの初期化状態を示します。

表 5-3 ディープスタンバイモード時の内部電源状態と初期化状態

	電源状態	リセット状態
CPU	オフ	初期化する
オンチップフラッシュ	オフ	*1
オンチップ SRAM	オフ *2	*3
RTC	オン	初期化しない
HDMI-CEC/リモコン受信	オン	初期化しない
低電圧検出回路	オン	初期化しない
GPIO	オン	一部初期化する *4
ディープスタンバイ制御部	オン	初期化しない
上記以外の周辺機能	オフ	初期化する

\*1: オンチップフラッシュの内容は保持されます。

\*2: 製品 TYPE によりオンチップ SRAM の内容を保持可能です。

オンチップ SRAM の内容を保持する設定の時は、オンチップ SRAM は電源オンになります。

対応する製品 TYPE については表 1-1 を参照してください。

\*3: 電源状態がオフの時は、オンチップ SRAM の内容は保持されません。

オンチップ SRAM の内容を保持する設定の時は、オンチップ SRAM の内容は保持されます。

\*4: PFR0 の bit4:0 を除く PFRx レジスタが初期化され、ほかは初期化されません。

## 5.1. ディープスタンバイ RTC モードの動作

ディープスタンバイ RTC モードは、サブ発振器以外の発振を停止します。RTC, HDMI-CEC/リモコン受信, 低電圧検出回路以外のすべての機能が停止します。RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュ, オンチップ SRAM\*, 周辺機能をチップ内部で電源オフします。

### ■ ディープスタンバイ RTC モード機能

#### ●CPU, オンチップメモリ

ディープスタンバイ RTC モードでは、CPU に供給している CPU クロック, オンチップメモリや DMA コントローラなどに供給している AHB バスクロックが停止し、CPU, オンチップフラッシュ, オンチップ SRAM\*を電源オフします。CPU のレジスタの内容とオンチップ SRAM の内容は保持されません\*。オンチップフラッシュメモリの内容は保持されます。また、デバッグ機能が停止し、電源オフします。

\*: 製品 TYPE によりオンチップ SRAM の内容を保持可能です。

オンチップ SRAM の内容を保持する設定の時は、オンチップ SRAM は電源オンになります。

対応する製品 TYPE については表 1-1 を参照ください。

#### ●周辺機能

すべての APB バスクロックは停止し、RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外のすべてのリソースの電源をオフします。

#### ● RTC, HDMI-CEC/リモコン受信

RTC, HDMI-CEC/リモコン受信はディープスタンバイ RTC モードの影響を受けません。ディープスタンバイ RTC モードに遷移する前の設定に従って動作を続けます。

#### ●発振クロック

それぞれの発振クロックの状態を、表 5-1 に示します。

#### ●リセットと割込みと WKUP 端子入力

リセットと割込みと WKUP 端子入力はディープスタンバイ RTC モードからの復帰に使用できます。

#### ●端子の状態

スタンバイモード制御レジスタ(STB\_CTL)の SPL ビットにより、外部端子がディープスタンバイ RTC モード時に GPIO に切り換わるか、ハイインピーダンス状態にするかを制御します。

### ■ ディープスタンバイ RTC モードの設定手順

次の手順を実施するとディープスタンバイ RTC モードへ遷移します。

1. システムクロックモード状態レジスタ(SCM\_STR)の SORDY ビットが"1"の状態で、RTC モード制御レジスタ(PMD\_CTL)の RTCE ビットに"1"を設定してください。
2. スタンバイモード制御レジスタ(STB\_CTL)の KEY ビットに"0x1ACC"および DSTM ビットに"1"かつ STM ビットに"0b10"を書き込んでください。SPL ビットにより、ディープスタンバイ RTC モードでの端子状態を設定してください。
3. Cortex-M3 システムコントロールレジスタの SLEEPDEEP ビットに"1"を設定してください。
4. WFI もしくは WFE 命令を実行してください。

#### <注意事項>

RTC モード, ディープスタンバイ RTC モード, ディープスタンバイストップモードを搭載していない製品には RTCE ビットと DSTM ビットがありません。詳細は表 1-1 を参照してください。

## ■ ディープスタンバイ RTC モード復帰

次のいずれかの場合に CPU がディープスタンバイ RTC モードから復帰します。

### ●リセットと割込みと WKUP 端子入力による復帰

リセット(INITX 端子入力リセット、低電圧検出リセット)の発生、またはディープスタンバイ RTC モードにある間に有効な RTC 割込み、HDMI-CEC/リモコン受信割込み、低電圧検出割込み、WKUP 端子入力の要求を受け付けると、ディープスタンバイ RTC モードから復帰して、クロックモードに関係なく、ディープスタンバイ遷移リセット発生により高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット、ハードウェアウォッチドッグリセット、クロックスーパー・バイザリセット、周波数異常検出リセットは動作しないため、復帰できません。

### ●復帰時の発振安定待ち

復帰要因に関わらず、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。

### ●復帰時の内蔵レギュレータ電圧安定待ち

ディープスタンバイ RTC モードからの復帰時は、内蔵レギュレータの電圧安定待ち時間(数百μs)を自動的に確保します。その後に復帰動作を行います。

### <注意事項>

- ディープスタンバイ RTC モードへ遷移する前に必ず表 5-2 のディープスタンバイ RTC モードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。
- デバッグ中にディープスタンバイ RTC モードに遷移した場合は、デバッグ機能の電源がオフするため、ICE からランモードへの復帰ができません。リセット、割込みもしくは WKUP 端子入力による復帰を使用してください。
- ディープスタンバイ RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。

## 5.2. ディープスタンバイストップモードの動作

ディープスタンバイストップモードは、すべての発振を停止します。低電圧検出回路以外のすべての機能が停止します。RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO 以外の CPU, オンチップフラッシュ, オンチップSRAM\*, 周辺機能をチップ内部で電源オフします。

### ■ ディープスタンバイストップモード機能

#### ●CPU, オンチップメモリ

ディープスタンバイストップモードでは、CPUに供給しているCPUクロック, オンチップメモリやDMAコントローラなどに供給しているAHBバスクロックが停止し、CPU, オンチップフラッシュ, オンチップSRAM\*を電源オフします。CPUのレジスタの内容とオンチップSRAMの内容は保持されません\*。オンチップフラッシュメモリの内容は保持されます。また、デバッグ機能が停止し、電源オフします。

\* 製品TYPEによりオンチップSRAMの内容を保持可能です。

オンチップSRAMの内容を保持する設定の時は、オンチップSRAMは電源オンになります。  
対応する製品TYPEについては表1-1を参照ください。

#### ●周辺機能

すべてのAPBバスクロックは停止し、RTC, HDMI-CEC/リモコン受信, 低電圧検出回路, GPIO以外のすべてのリソースの電源をオフします。

#### ●発振クロック

すべて停止します。

#### ●リセットとWKUP端子入力

リセットとWKUP端子入力はディープスタンバイストップモードからの復帰に使用できます。

#### ●端子の状態

スタンバイモード制御レジスタ(STB\_CTL)のSPLビットにより、外部端子がディープスタンバイストップモード時にGPIOに切り換わるか、ハイインピーダンス状態にするかを制御します。

### ■ ディープスタンバイストップモードの設定手順

次の手順を実施するとディープスタンバイストップモードへ遷移します。

1. RTCモード制御レジスタ(PMD\_CTL)のRTCEビットに"0"を設定してください。
2. スタンバイモード制御レジスタ(STB\_CTL)のKEYビットに"0x1ACC"およびDSTMビットに"1"かつSTMビットに"0b10"を書き込んでください。SPLビットにより、ディープスタンバイストップモードでの端子状態を設定してください。
3. Cortex-M3システムコントロールレジスタのSLEEPDEEPビットに"1"を設定してください。
4. WFIもしくはWFE命令を実行してください。

#### <注意事項>

RTCモード、ディープスタンバイRTCモード、ディープスタンバイストップモードを搭載していない製品にはRTCEビットとDSTMビットがありません。詳細は表1-1を参照してください。

## ■ ディープスタンバイストップモード復帰

次のいずれかの場合に CPU がディープスタンバイストップモードから復帰します。

### ●リセットと割込みと WKUP 端子入力による復帰

リセット(INITX 端子入力リセット, 低電圧検出リセット)の発生またはディープスタンバイストップモードにある間に有効な低電圧検出割込み, WKUP 端子入力の要求を受け付けると、ディープスタンバイストップモードから復帰して、クロックモードに関係なく、ディープスタンバイ遷移リセットにより高速 CR ランモードに切り換わります。

ソフトウェアウォッチドッグリセット, ハードウェアウォッチドッグリセット, クロックスーパーバイザリセット, 周波数異常検出リセットは動作しないため、復帰できません。

### ●復帰時の発振安定待ち

復帰要因に関わらず、高速 CR クロックおよび低速 CR クロックの発振安定待ちを行います。

### ●復帰時の内蔵レギュレータ電圧安定待ち

ディープスタンバイストップモードからの復帰時は、内蔵レギュレータの電圧安定待ち時間(数百  $\mu$ s)を自動的に確保します。その後に復帰動作を行います。

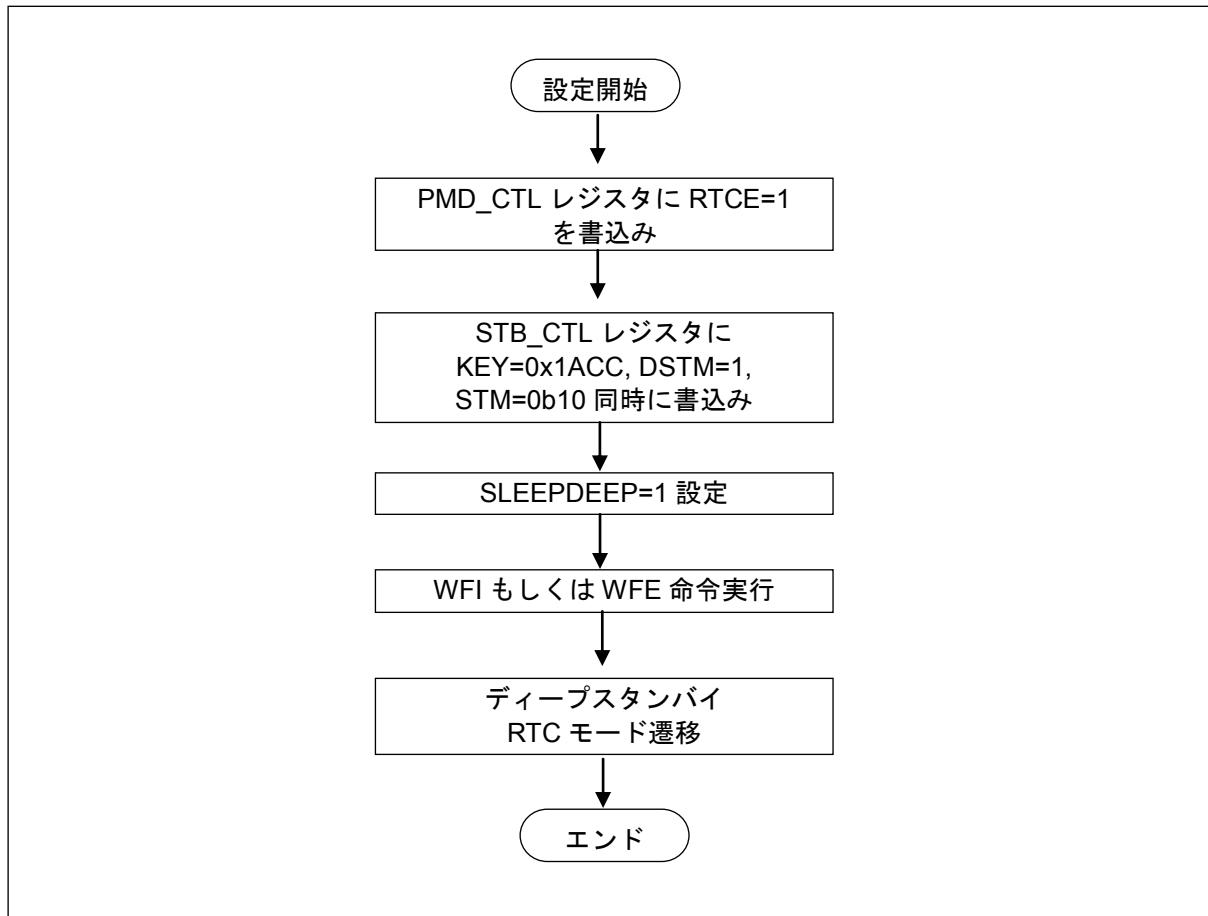
## <注意事項>

- ・ディープスタンバイストップモードへ遷移する前に必ず表 5-2 のディープスタンバイ RTC モードからの復帰要因がセットされていないことを確認してください。要因がセットされている場合は、クリアしてください。
- ・デバッグ中にディープスタンバイストップモードに遷移した場合は、デバッグ機能の電源がオフするため、ICE からランモードへの復帰ができません。リセット、割込みもしくは WKUP 端子入力による復帰を使用してください。
- ・ディープスタンバイストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。

## 6. ディープスタンバイモードの設定手順例

ディープスタンバイモードの設定手順例を説明します。

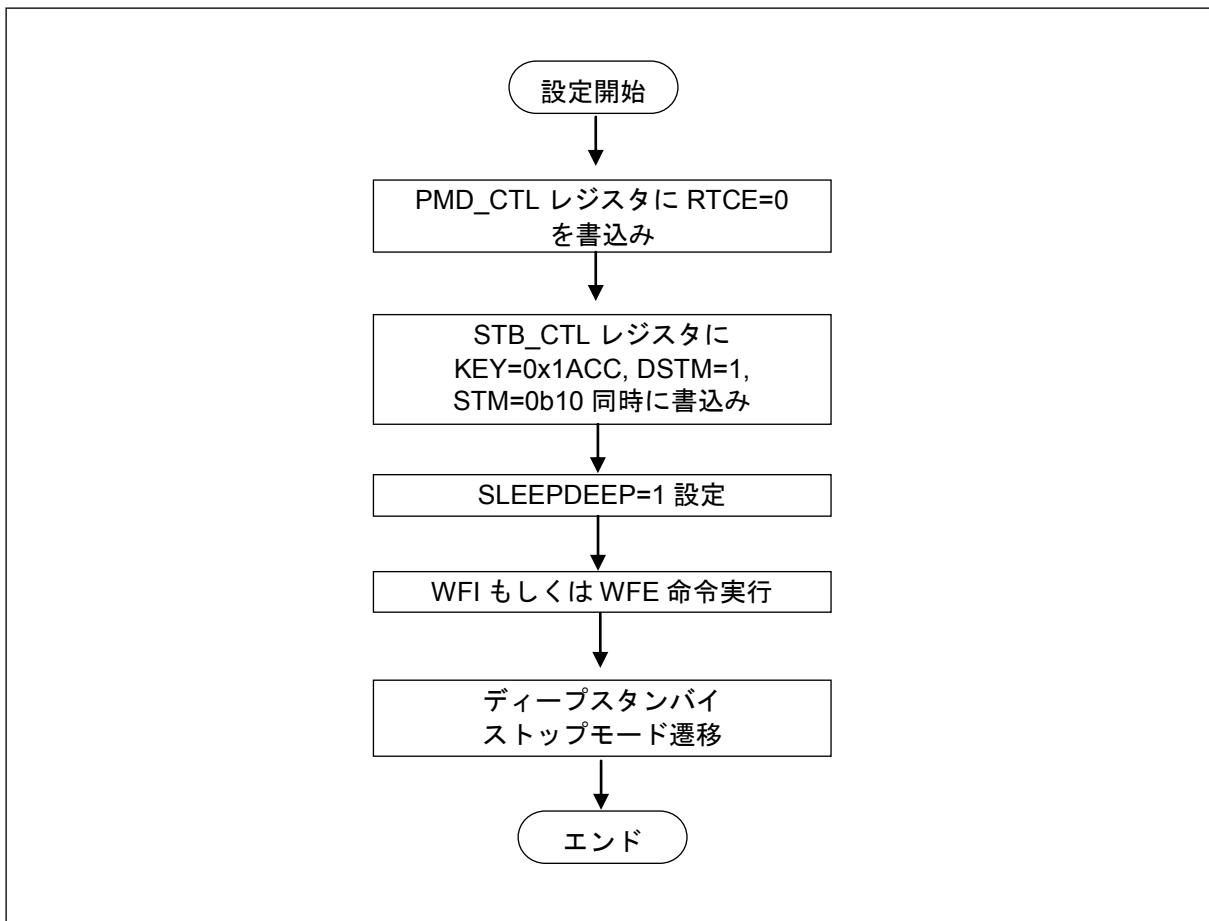
図 6-1 ディープスタンバイ RTC モードの設定手順例



### <注意事項>

- ディープスタンバイ RTC モードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。
- RTC モード制御レジスタ(PMD\_CTL)の RTCE ビットへの"1"書き込みは、システムクロックモード状態レジスタ(SCM\_STR)の SORDY ビットが"1"のときのみ有効です。

図 6-2 ディープスタンバイストップモードの設定手順例



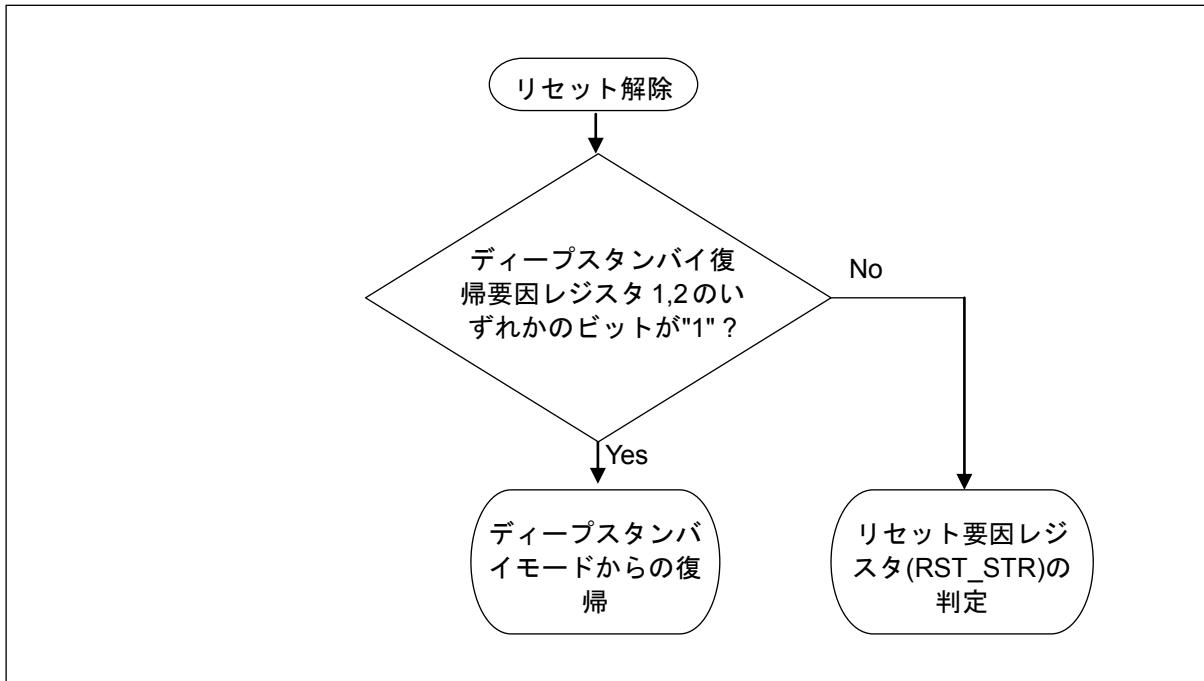
＜注意事項＞

ディープスタンバイストップモードへ遷移する場合は、フラッシュメモリの自動アルゴリズムの動作が終了していることを確認してから遷移してください。

## 7. ディープスタンバイ復帰要因判定の手順

ディープスタンバイモードからの復帰か判定する手順例を示します。

図 7-1 ディープスタンバイ復帰要因判定の手順例



### <注意事項>

ディープスタンバイモードへの遷移時、ディープスタンバイ遷移リセット後に CPU の電源がオフされます。そのためディープスタンバイモードからの復帰時、リセット要因レジスタ(RST\_STR)の値は無効です。

## 8. 低消費電力モードのレジスター覧

低消費電力モードで使用するレジスタの構成と機能について説明します。

### ■ 低消費電力モードのレジスター覧

レジスタ略称	レジスタ名	参照先
STB_CTL	スタンバイモードコントロールレジスタ	8.1

#### ●ディープスタンバイ制御部のレジスタ

レジスタ略称	レジスタ名	参照先
REG_CTL	サブ発振回路電源制御レジスタ	8.2
RCK_CTL	サブクロック供給制御レジスタ	8.3
PMD_CTL	RTC モード制御レジスタ	8.4
WRFSR	ディープスタンバイ復帰要因レジスタ 1	8.5
WIFSR	ディープスタンバイ復帰要因レジスタ 2	8.6
WIER	ディープスタンバイ復帰許可レジスタ	8.7
WILVR	WKUP 端子入力レベルレジスタ	8.8
DSRAMR	ディープスタンバイ RAM 保持レジスタ	8.9
BUR01~16	バックアップレジスタ 01~16	8.10

#### <注意事項>

システムクロックモード選択レジスタの詳細は、別章『クロック』を参照してください。

ディープスタンバイ制御部のレジスタは、ディープスタンバイモード時に電源オフしません。

## 8.1. スタンバイモードコントロールレジスタ(STB\_CTL)

スタンバイモードコントロールレジスタはスタンバイモード、ディープスタンバイモードを制御するレジスタです。SPL ビット, DSTM ビット, STM ビットの書き込みは、KEY ビットの値に 0x1ACC が同時に書き込まれたときのみ、値が有効となります。

bit	31	16 15	8
Field	KEY		予約
属性	R/W	-	-
初期値	0x0000		0x00

bit	7	6	5	4	3	2	1	0
Field	予約		SPL	予約	DSTM		STM	
属性	-		R/W	-	R/W		R/W	
初期値	000		0	0	0		00	

### [bit31:16] KEY : スタンバイモードコントロール書き込み制御ビット

このビットは SPL ビット, DSTM ビット, STM ビットの書き込み制御を解除します。

- 0x1ACC を書き込んだときのみ、SPL ビット, DSTM ビットおよび STM ビットへの書き込みが有効になります。
- 0x1ACC 以外の値を書き込んだときは SPL ビット, DSTM ビットおよび STM ビットへの書き込みは無効です。
- 読み出しが常に 0x0000 が読み出されます。

### [bit15:5] 予約 : 予約ビット

読み出しが常に"0"が読み出されます。

書き込みは動作に影響しません。

### [bit4] SPL : スタンバイ端子レベル設定ビット

このビットは、タイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード時の端子の状態を設定します。

bit	説明
0	タイマモード, RTC モード, ストップモード時に各端子の状態を保持し、ディープスタンバイ RTC モード, ディープスタンバイストップモード時に GPIO に切り替えます。[初期値]
1	タイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモード時に各端子の状態をハイインピーダンスにします。

### [bit3] 予約 : 予約ビット

読み出しが常に"0"が読み出されます。

書き込みは動作に影響しません。

## [bit2] DSTM：ディープスタンバイモード選択ビット

このビットは、スタンバイモードかディープスタンバイモードのどちらに遷移するかを選択します。

## [bit1:0] STM：スタンバイモード選択ビット

これらのビットは、DSTM ビットと RTC モード制御レジスタ(PMD\_CTL)の RTCE ビットの組合せでタイマモード, RTC モード, ストップモード, ディープスタンバイ RTC モード, ディープスタンバイストップモードに遷移するか選択します。

DSTM	STM		RTCE	説明
	bit1	bit0		
0	0	0	0	タイマモード[初期値]
0	0	0	1	設定禁止
0	0	1	0	設定禁止
0	0	1	1	設定禁止
0	1	0	0	ストップモード
0	1	0	1	RTC モード
0	1	1	0	設定禁止
0	1	1	1	設定禁止
1	0	0	0	設定禁止
1	0	0	1	設定禁止
1	0	1	0	設定禁止
1	0	1	1	設定禁止
1	1	0	0	ディープスタンバイストップモード
1	1	0	1	ディープスタンバイ RTC モード
1	1	1	0	設定禁止
1	1	1	1	設定禁止

## &lt;注意事項&gt;

- スタンバイモードコントロールレジスタ(STB\_CTL)の SPL ビット, DSTM ビット, STM ビットの書き込みは、KEY ビットに 0x1ACC が同時に書き込まれたときのみ値が有効となります。KEY ビットにそれ以外の値が書き込まれた場合は、SPL ビット, DSTM ビット, STM ビットの書き込みは無効となります。
- ディープスタンバイ RTC モード, ディープスタンバイ RTC モードを搭載していない製品には DSTM ビットと RTCE ビットがありません。表 1-1 を参照してください。搭載していない製品は DSTM ビットと RTCE ビットを"0"にしてください。

## 8.2. サブ発振回路電源制御レジスタ(REG\_CTL)

サブ発振回路電源制御レジスタはサブ発振回路の電源を制御するレジスタです。  
このレジスタは特定の製品 TYPE にのみ存在します。  
対応する製品 TYPE については表 1-2 を参照ください。

bit	7	6	5	4	3	2	1	0
Field			予約			ISUBSEL		予約
属性			-			R/W		-
初期値			00000			10		0

### [bit7:3] 予約 : 予約ビット

読み出しは常に"0b00000"が読み出されます。  
書き込みは動作に影響しません。

### [bit2:1] ISUBSEL : サブ発振回路電流設定ビット

これらのビットは、サブ発振回路への電流を設定します。

ISUBSEL		説明
bit2	bit1	
0	0	設定禁止
0	1	設定禁止
1	0	360nA[初期値]
1	1	設定禁止

### [bit0] 予約 : 予約ビット

読み出しは常に"0b0"が読み出されます。  
書き込みは動作に影響しません。

### <注意事項>

- 特定の製品 TYPE 以外には本レジスタがありません。表 1-2 を参照してください。搭載していない製品は本レジスタに書き込みは禁止です。
- 本レジスタはソフトウェアリセットとディープスタンバイ遷移リセットで初期化されません。

### 8.3. サブクロック供給制御レジスタ(RCK\_CTL)

サブクロック供給制御レジスタは RTC,HDMI-CEC/リモコン受信へのクロックを制御するレジスタです。

使用しないリソースに対してクロックの供給を止めることで、消費電流を削減できます。

このレジスタは特定の製品 TYPE にのみ存在します。

対応する製品 TYPE については表 1-2 を参照ください。

bit	7	6	5	4	3	2	1	0
Field	予約					CECCKE	RTCCKE	
属性	-					R/W	R/W	
初期値	000000					0	1	

#### [bit7:2] 予約 : 予約ビット

読出しへ常に"0b000000"が読み出されます。

書き込みは動作に影響しません。

#### [bit1] CECCKE : CEC クロック制御ビット

このビットは、HDMI-CEC/リモコン受信マクロへのサブクロックを制御します。

bit	説明
0	HDMI-CEC/リモコン受信マクロにサブクロックを供給しません。[初期値]
1	HDMI-CEC/リモコン受信マクロにサブクロックを供給します。

#### [bit0] RTCCKE : RTC クロック制御ビット

このビットは、RTC マクロへのサブクロックを制御します。

bit	説明
0	RTC マクロにサブクロックを供給しません。
1	RTC マクロにサブクロックを供給します。[初期値]

#### <注意事項>

- 特定の製品 TYPE 以外には本レジスタがありません。表 1-2 を参照してください。搭載していない製品は本レジスタに書き込みは禁止です。

## 8.4. RTC モード制御レジスタ(PMD\_CTL)

RTC モード制御レジスタは RTC モードまたはストップモード、ディープスタンバイ RTC モードまたはディープスタンバイストップモードを制御するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約						RTCE	
属性	-						R/W	
初期値	0000000						0	

### [bit7:1] 予約 : 予約ビット

読み出しへ常に"0b0000000"が読み出されます。  
書き込みは動作に影響しません。

### [bit0] RTCE : RTC モード制御ビット

このビットは、ストップモード、ディープスタンバイストップモードまたは、RTC モード、ディープスタンバイ RTC モードに遷移するかを選択します。

bit	説明
0	ストップモード、ディープスタンバイストップモード[初期値]
1	RTC モード、ディープスタンバイ RTC モード

DSTM=0 の時スタンバイモード、DSTM=1 の時ディープスタンバイモードに選択されます。

### <注意事項>

- RTC モード、ディープスタンバイ RTC モードを搭載していない製品には本レジスタがありません。表 1-1 を参照してください。搭載していない製品は本レジスタに書き込みは禁止です。
- 本レジスタはソフトウェアリセットとディープスタンバイ遷移リセットで初期化されません。
- RTCE ビットへの"1"書き込みは、システムクロックモード状態レジスタ(SCM\_STR)の SORDY ビットが"1"のときのみ有効です。
- システムクロックモード制御レジスタ(SCM\_CTL)の SOSCE ビットとシステムクロックモード状態レジスタ(SCM\_STR)の SORDY ビットの値に関わらず、RTCE=1 の時、サブ発振は許可状態です。

## 8.5. ディープスタンバイ復帰要因レジスタ 1(WRFSR)

ディープスタンバイ復帰要因レジスタ 1 はディープスタンバイモード中に発生した低電圧検出リセットと INITX 端子入力リセットによる復帰要因を示すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約					WLVDH	WINITX	
属性	-					R	R	
初期値	000000					0	0	

### [bit7:2] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。  
書き込みは動作に影響しません。

### [bit1] WLVDH : 低電圧検出リセット復帰ビット

低電圧検出リセットでディープスタンバイモードから復帰したことを示します。

bit	説明
0	低電圧検出リセットで復帰していません。[初期値]
1	低電圧検出リセットで復帰しました。

### [bit0] WINITX : INITX 端子入力リセット復帰ビット

INITX 端子入力リセットでディープスタンバイモードから復帰したことを示します。

bit	説明
0	INITX 端子入力リセットで復帰していません。[初期値]
1	INITX 端子入力リセットで復帰しました。

### <注意事項>

- TYPE3, TYPE7 製品の場合  
本レジスタは電源投入リセットと低電圧検出リセット(SVHR=0001 時)で初期化されます。それ以外のリセット要因では初期化されません。また、本レジスタは読出しにより全ビットがクリアされます。
- TYPE3, TYPE7 製品以外の場合  
本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。また、本レジスタは読出しにより全ビットがクリアされます。
- 本レジスタはディープスタンバイモード中のみセットされます。

## 8.6. ディープスタンバイ復帰要因レジスタ 2(WIFSR)

ディープスタンバイ復帰要因レジスタ 2 はディープスタンバイモード中に発生した WKUPx 端子入力、低電圧検出割込みと RTC 割込み、HDMI-CEC/リモコン受信割込みによる復帰要因を示すレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約						WCEC1I	WCEC0I
属性	-						R	R
初期値	000000						0	0

bit	7	6	5	4	3	2	1	0
Field	WUI5	WUI4	WUI3	WUI2	WUI1	WUI0	WLVDI	WRCTI
属性	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

### [bit15:10] 予約 : 予約ビット

読出しは常に"0b000000"が読み出されます。  
書き込みは動作に影響しません。

### [bit9] WCEC1I: CEC ch.1 割込み復帰ビット

HDMI-CEC/リモコン受信 ch.1 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 割込みで復帰していません。[初期値]
1	HDMI-CEC/リモコン受信 ch.1 割込みで復帰しました。

### [bit8] WCEC0I: CEC ch.0 割込み復帰ビット

HDMI-CEC/リモコン受信 ch.0 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 割込みで復帰していません。[初期値]
1	HDMI-CEC/リモコン受信 ch.0 割込みで復帰しました。

[bit7:2] WUI5~WUI0 : WKUPx 端子入力復帰ビット

WKUPx 端子入力でディープスタンバイモードから復帰したことを示します。

bit	説明
0	WKUPx 端子入力で復帰していません。[初期値]
1	WKUPx 端子入力で復帰しました。

[bit1] LVDI : LVD 割込み復帰ビット

LVD 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	LVD 割込みで復帰していません。[初期値]
1	LVD 割込みで復帰しました。

[bit0] WRTCI : RTC 割込み復帰ビット

RTC 割込みでディープスタンバイモードから復帰したことを示します。

bit	説明
0	RTC 割込みで復帰していません。[初期値]
1	RTC 割込みで復帰しました。

<注意事項>

- TYPE3, TYPE7 製品の場合  
本レジスタは電源投入リセットと低電圧検出リセット(SVHR=0001 時)で初期化されます。それ以外のリセット要因では初期化されません。また、本レジスタは読み出しにより全ビットがクリアされます。
- TYPE3, TYPE7 製品以外の場合  
本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。また、本レジスタは読み出しにより全ビットがクリアされます。
- 本レジスタはディープスタンバイモード中のみセットされます。

## 8.7. ディープスタンバイ復帰許可レジスタ(WIER)

ディープスタンバイ復帰許可レジスタはディープスタンバイモード中に発生した WKUPx 端子入力、低電圧検出割込みと RTC 割込み、HDMI-CEC/リモコン受信割込みによる復帰を許可するレジスタです。

bit	15	14	13	12	11	10	9	8
Field	予約						WCEC1E	WCEC0E
属性	-						R/W	R/W
初期値	000000						0	0

bit	7	6	5	4	3	2	1	0
Field	WUI5E	WUI4E	WUI3E	WUI2E	WUI1E	予約	WLVDE	WRTCE
属性	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

### [bit15:10] 予約 : 予約ビット

読出しへ常に"0b000000"が読み出されます。  
書き込みは動作に影響しません。

### [bit9] WCEC1E : HDMI-CEC/リモコン受信 ch.1 割込み復帰許可ビット

HDMI-CEC/リモコン受信 ch.1 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 割込みによる復帰を禁止します。[初期値]
1	HDMI-CEC/リモコン受信 ch.1 割込みによる復帰を許可します。

### [bit8] WCEC0E : HDMI-CEC/リモコン受信 ch.0 割込み復帰許可ビット

HDMI-CEC/リモコン受信 ch.0 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 割込みによる復帰を禁止します。[初期値]
1	HDMI-CEC/リモコン受信 ch.0 割込みによる復帰を許可します。

[bit7:3] WUI5E~WUI1E : WKUPx 端子入力復帰許可ビット

WKUPx 端子入力によるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	WKUPx 端子入力による復帰を禁止します。[初期値]
1	WKUPx 端子入力による復帰を許可します。

[bit2] 予約 : 予約ビット

読み出しへ常に"0"が読み出されます。

書き込みは動作に影響しません。

[bit1] WLVDE : LVD 割込み復帰許可ビット

LVD 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	LVD 割込みによる復帰を禁止します。[初期値]
1	LVD 割込みによる復帰を許可します。

[bit0] WRTCE : RTC 割込み復帰許可ビット

RTC 割込みによるディープスタンバイモードからの復帰を禁止/許可します。

bit	説明
0	RTC 割込みによる復帰を禁止します。[初期値]
1	RTC 割込みによる復帰を許可します。

<注意事項>

- WKUP0 端子入力によるディープスタンバイモードからの復帰は常に許可されています。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 8.8. WKUP 端子入力レベルレジスタ(WILVR)

WKUP 端子入力レベルレジスタはディープスタンバイモード中に発生した WKUP1~WKUP5 端子入力の有効レベルを選択するレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	WUI5LV	WUI4LV	WUI3LV	WUI2LV	WUI1LV
属性	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7:5] 予約 : 予約ビット

読み出しが常に"0b000"が読み出されます。  
書き込みは動作に影響しません。

[bit4:0] WUI5LV~WUI1LV : WKUPx 端子入力レベル選択ビット

WKUPx 端子入力の有効レベルを選択します。

bit	説明
0	WKUPx 端子入力が"L"レベルの時に復帰要求します。[初期値]
1	WKUPx 端子入力が"H"レベルの時に復帰要求します。

### <注意事項>

- WKUP0 端子入力は常に"L"レベルで復帰要求します。
- 例として WUI1LV=0 で WKUP1 が"L"レベル入力している時、ディープスタンバイモードに遷移するとすぐに復帰します。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 8.9. ディープスタンバイ RAM 保持レジスタ(DSRAMR)

ディープスタンバイ RAM 保持レジスタはディープスタンバイモード時にオンチップ SRAM の内容の保持制御を行うレジスタです。

このレジスタはオンチップ SRAM 保持が可能な製品 TYPE にのみ存在します。

対応する製品 TYPE については表 1-1 を参照してください。

bit	7	6	5	4	3	2	1	0
Field	予約	予約	予約	予約	予約	予約	SRAMR	
属性	-	-	-	-	-	-	R/W	
初期値	0	0	0	0	0	0	00	

### [bit7:2] 予約 : 予約ビット

読み出しが常に"0b000000"が読み出されます。

書き込みは動作に影響しません。

### [bit1:0] SRAMR : オンチップ SRAM 保持制御ビット

これらのビットは、ディープスタンバイモード時オンチップ SRAM の内容の保持制御を行います。

SRAMR		説明
bit1	bit0	
0	0	ディープスタンバイモード時オンチップ SRAM の内容を保持しません。[初期値]
0	1	設定禁止
1	0	設定禁止
1	1	ディープスタンバイモード時オンチップ SRAM の内容を保持します。

### <注意事項>

本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。

## 8.10. バックアップレジスタ 01~16(BUR01~16)

バックアップレジスタはディープスタンバイモード中に値が保持される汎用レジスタです。

bit	31	24	23	16	15	8	7	0
Field	BUR04		BUR03		BUR02		BUR01	
属性	R/W		R/W		R/W		R/W	
初期値	0x00		0x00		0x00		0x00	

bit	31	24	23	16	15	8	7	0
Field	BUR08		BUR07		BUR06		BUR05	
属性	R/W		R/W		R/W		R/W	
初期値	0x00		0x00		0x00		0x00	

bit	31	24	23	16	15	8	7	0
Field	BUR12		BUR11		BUR10		BUR09	
属性	R/W		R/W		R/W		R/W	
初期値	0x00		0x00		0x00		0x00	

bit	31	24	23	16	15	8	7	0
Field	BUR16		BUR15		BUR14		BUR13	
属性	R/W		R/W		R/W		R/W	
初期値	0x00		0x00		0x00		0x00	

### <注意事項>

- TYPE3, TYPE7 製品の場合  
本レジスタは電源投入リセットと低電圧検出リセット(SVHR=0001 時)で初期化されます。それ以外のリセット要因では初期化されません。
- TYPE3, TYPE7 製品以外の場合  
本レジスタは電源投入リセットと低電圧検出リセットで初期化されます。それ以外のリセット要因では初期化されません。

## 9. 使用上の注意

低消費電力モードを使用する際は、次の点を注意してください。

アナログ入力と WKUP が兼用されている端子では、WKUPx 端子入力による復帰が許可されている場合でも ADE=1 設定時は WKUPx 端子入力が遮断されます。WKUPx 端子入力による復帰を使用する場合は、ディープスタンバイモードに遷移する前に ADE=0 設定してください。

## CHAPTER: 割込み構成

---

割込みコントローラの構成について説明します。

---

### 1. 構成

---

管理コード: 9xFIRQCTOP-J02.0

## 1. 構成

割込みコントローラの構成については、下記の関連する章の説明を参照してください。

### ■ 割込みコントローラ参照章

表 1-1 割込み章対応表

製品 TYPE	割込み要因ベクタ リロケート機能	IRQCMODE 設定	参照先
TYPE0～ TYPE2	無	-	『割込み(A)』の章
TYPE3, TYPE7	無	-	『割込み(C)』の章
TYPE4, TYPE5, TYPE6	有	IRQCMODER=0 リロケート非選択時 (TYPE0～TYPE2 と互換)	『割込み(A)』の章
		IRQCMODER=1 リロケート選択時	『割込み(B)』の章

### ■ 割込み要因ベクタリロケート機能

割込み要因ベクタリロケート機能を搭載している製品は、IRQCMODER ビットおよび RCINTSEL0, RCINTSEL1 レジスタを搭載しています。

IRQCMODER ビットの設定により表 1-2 に示す 2 種類の割込み要因ベクタアサインを選択できます。

また、RCINTSEL0, RCINTSEL1 レジスタにより任意の割込み要因を選択できます。(IRQCMODER ビット, RCINTSEL0, RCINTSEL1 レジスタの詳細は『割込み(B)』を参照してください)

表 1-2 例外と割込み要因ベクタ一覧

ベクタ No.	IRQ No.	例外と割込み要因ベクタ	
		IRQCMODER=0*	IRQCMODER=1
0	-	スタックポインタ初期値	
1	-	リセット	
2	-	ノンマスカブル割込み(NMI) / ハードウェアオッヂドッグタイマ	
3	-	ハードフォルト	
4	-	メモリ管理	
5	-	バスフォルト	
6	-	用途フォルト	
7-10	-	Reserved	
11	-	SVCALL(スーパーバイザーコール)	
12	-	デバッグモニタ	
13	-	Reserved	
14	-	PendSV	
15	-	SysTick	

## 1. 構成

ベクタ No.	IRQ No.	例外と割込み要因ベクタ	
		IRQCMODER=0*	IRQCMODER=1
16	0	クロックスーパバイザによる異常周波数検出(FCS)	
17	1	ソフトウェアウォッチドッグタイマ	
18	2	低電圧検出(LVD)	
19	3	MFT unit0, unit1, unit2 波形ジェネレータ / DTIF(モータ緊急停止)	RCINTSEL0 レジスタで割込み要因選択
20	4	外部端子割込み ch.0～ch.7	RCINTSEL0 レジスタで割込み要因選択
21	5	外部端子割込み ch.8～ch.31	RCINTSEL0 レジスタで割込み要因選択
22	6	デュアルタイマ / クアッドカウンタ (QPRC) ch.0, ch.1, ch.2	RCINTSEL0 レジスタで割込み要因選択
23	7	MFS ch.0 の受信割込み	RCINTSEL1 レジスタで割込み要因選択
24	8	MFS ch.0 の送信, ステータス割込み	RCINTSEL1 レジスタで割込み要因選択
25	9	MFSch.1 の受信割込み	RCINTSEL1 レジスタで割込み要因選択
26	10	MFS ch.1 の送信, ステータス割込み	RCINTSEL1 レジスタで割込み要因選択
27	11	MFS ch.2 の受信割込み	MFT unit0 波形ジェネレータ / DTIF(モータ緊急停止)
28	12	MFS ch.2 の送信, ステータス割込み	外部端子割込み ch.0～ch.7
29	13	MFS ch.3 の受信割込み	外部端子割込み ch.8～ch.31
30	14	MFS ch.3 の送信, ステータス割込み	デュアルタイマ / クアッドカウンタ (QPRC) ch.0
31	15	MFS ch.4 の受信割込み	MFS ch.0 の受信, 送信, ステータス割込み
32	16	MFS ch.4 の送信, ステータス割込み	MFS ch.1 の受信, 送信, ステータス割込み
33	17	MFS ch.5 の受信割込み	MFS ch.2 の受信, 送信, ステータス割込み
34	18	MFS ch.5 の送信, ステータス割込み	MFS ch.3 の受信、送信, ステータス割込み
35	19	MFS ch.6 の受信割込み	MFS ch.4 の受信割込み
36	20	MFS ch.6 の送信, ステータス割込み	MFS ch.4 の送信, ステータス割込み
37	21	MFS ch.7 の受信割込み	MFS ch.5 の受信割込み
38	22	MFS ch.7 の送信, ステータス割込み	MFS ch.5 の送信, ステータス割込み
39	23	PPG ch.0/2/4/8/10/12/16/18/20	
40	24	外部メイン発振 / 外部サブ発振 / メイン PLL / USB 用 PLL / 時計カウンタ/リアルタイムカウンタ	
41	25	A/D コンバータ unit0	
42	26	A/D コンバータ unit1	
43	27	A/D コンバータ unit2 / LCD コントローラ	
44	28	MFT unit0, unit1, unit2 フリーランタイマ	MFT unit0 フリーランタイマ, インプットキャプチャ, アウトプットキャプチャ
45	29	MFT unit0, unit1, unit2 インプットキャプチャ	MFT unit1 フリーランタイマ, インプットキャプチャ, アウトプットキャプチャ

ベクタ No.	IRQ No.	例外と割込み要因ベクタ	
		IRQCMODER=0*	IRQCMODER=1
46	30	MFT unit0, unit1, unit2 アウトプットコンペア	MFT unit2 フリーランタイマ, インプットキャプチャ, アウトプットキャプチャ
47	31	ベースタイマ ch.0～ch.7	
48	32	CAN ch.0 / Ethernet ch.0	
49	33	CAN ch.1 / Ethernet ch.1	
50	34	USB ch.0 ファンクション(End Point 1～5 の DRQ)	
51	35	USB ch.0 ファンクション(End Point 0 の DRQI, DRQO と各ステータス) / USB ch.0 ホスト(各ステータス)	
52	36	USB ch.1 ファンクション(End Point 1～5 の DRQ) / HDMI-CEC, リモコン受信 ch.0	
53	37	USB ch.1 ファンクション(End Point 0 の DRQI, DRQO と各ステータス) / USB ch.1 ホスト(各ステータス) / HDMI-CEC, リモコン受信 ch.1	
54	38	DMA コントローラ(DMAC) ch.0	DMA コントローラ(DMAC) ch.0～ch.7
55	39	DMA コントローラ(DMAC) ch.1	MFT unit1 波形ジェネレータ / DTIF(モータ緊急停止)
56	40	DMA コントローラ(DMAC) ch.2	MFT unit2 波形ジェネレータ / DTIF(モータ緊急停止)
57	41	DMA コントローラ(DMAC) ch.3	クアッドカウンタ(QPRC) ch.1
58	42	DMA コントローラ(DMAC) ch.4	MFS ch.6 の受信割込み
59	43	DMA コントローラ(DMAC) ch.5	MFS ch.6 の送信, ステータス割込み
60	44	DMA コントローラ(DMAC) ch.6	MFS ch.7 の受信割込み
61	45	DMA コントローラ(DMAC) ch.7	MFS ch.7 の送信, ステータス割込み
62	46	ベースタイマ ch.8～ch.15	
63	47	Flash RDY, HANG 割込み	クアッドカウンタ(QPRC) ch.2 / Flash RDY, HANG 割込み

\* : TYPE0～TYPE2 製品と互換です。

## CHAPTER: 割込み(A)

割込みコントローラと周辺割込み要求について説明します。

1. 概要
2. 構成
3. 例外と割込み要因ベクタ
4. レジスタ
5. 使用上の注意

---

管理コード: 9BFIRQC\_A-J01.0

## 1. 概要

割込みコントローラは、割込み要求の優先度を判定して、要求を CPU へ送ります。Cortex-M3 の CPU コアはコア内部に NVIC(ネスト型ベクタ割込みコントローラ)を搭載しています。周辺からのいくつかの割込み信号は、NVIC の 1 つの割込み要因ベクタに集約して入力されます。どの割込み要求が発生しているかは、割込み要求一括読出しレジスタで確認できます。また、一部の割込み要因については割込み要求を DMA 要求信号に変換するように設定できます。

### ■ NVIC(ネスト型ベクタ割込みコントローラ)の特長

- ・ 48 個のマスク可能な周辺割込みチャネル(Cortex -M3 の 16 個の例外割込みは含みません)
- ・ プログラム可能な 16 の割込み優先度レベル(4 ビットの優先割込みを使用)
- ・ レイテンシが短い例外および割込み処理の実現
- ・ システム制御レジスタの実装
- ・ ノンマスカブル割込み(NMI)入力対応

NVIC とプロセッサコアのインターフェースとは密接に結びついており、レイテンシの短い割込み処理や、後着割込みを効率的に処理できるように工夫されています。NVIC は割込みのテールチーンを可能にするため、ネストされた割込み情報を保持します。

コアの例外を含むすべての割込みは NVIC で管理されます。例外と NVIC の詳細については、ARM 社『Cortex-M3 テクニカルリファレンスマニュアル』の『5 章 例外』と『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

### <注意事項>

『Cortex-M3 テクニカルリファレンスマニュアル』では例外タイプ:IRQ をすべて外部割込み入力と定義しています。本マニュアルでは、例外タイプ:IRQ を周辺割込みと表現します。周辺割込みには、外部端子による割込み「外部割込み・NMI 制御部」と LSI 内部の周辺リソースからの割込みがあります。

### ■ 割込み要因集約機能

各周辺リソースからの割込み要求信号を 48 要因に集約して、NVIC に入力しています。また、NMIX 外部端子の割込み要求信号は、ハードウェアウォッチドッグの割込み信号と論理 OR して NVIC に入力しています。

### ■ 周辺割込み要求一括読出し機能

割込み要求一括読出しレジスタは、1 つの割込み要求信号に集約された周辺リソースからの割込み要求信号を一度に読み出せるレジスタです。このレジスタを読み出すことにより、どの割込み要求が発生しているかを確認できます。ただし、この機能で割込み要求フラグをクリアすることはできません。割込み要求フラグは、各周辺機能のレジスタでクリアしてください。

### ■ DMA 転送要求出力選択機能

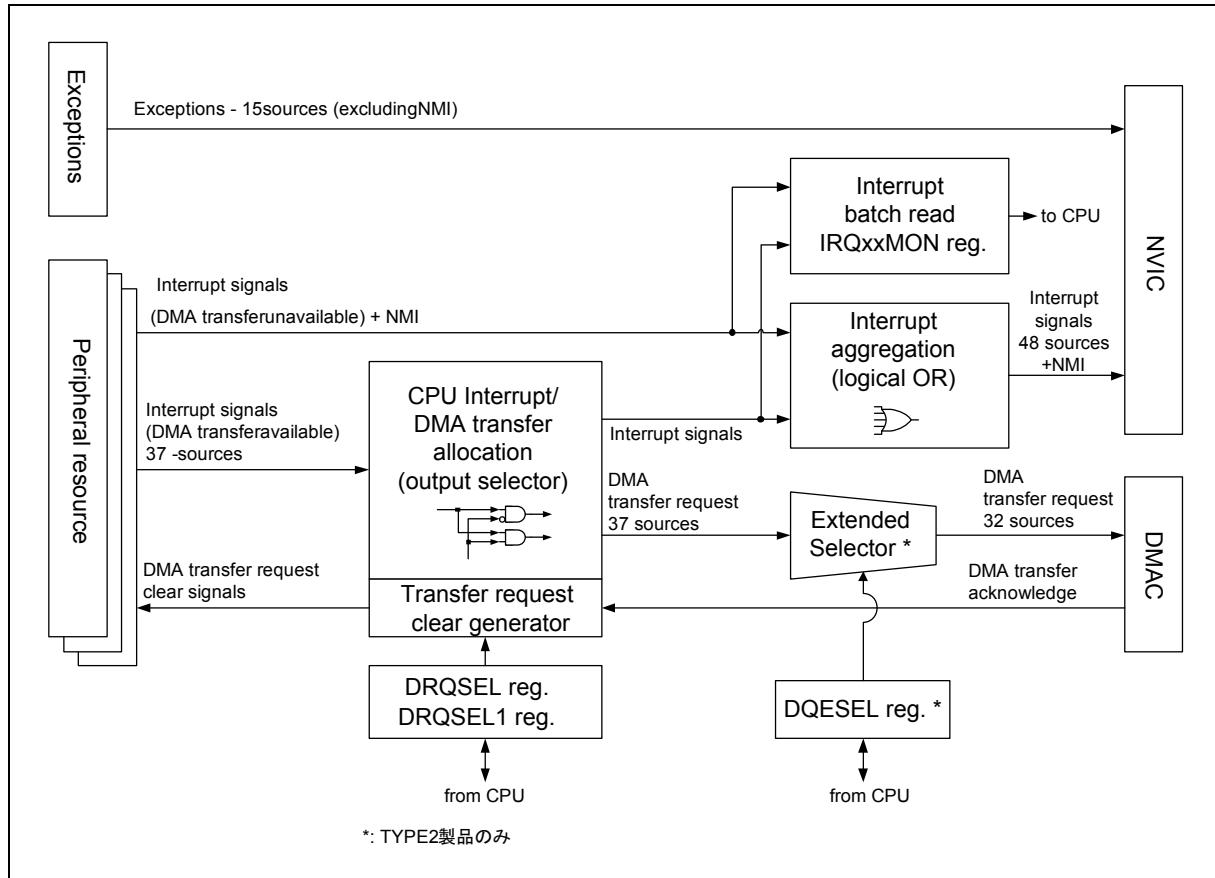
一部の周辺機能からの割込み要求を利用して DMA 転送が起動できます。DRQSEL/DRQSEL1 レジスタにて、各周辺リソースからの割込み要求信号を CPU へ割込み要求信号として出力するか、DMAC へ転送要求信号として出力するかを選択します。また、TYPE2 製品の場合は、DQESEL レジスタにて、DMAC へ接続する転送要求信号を選択します。DMA 転送要求信号については、別章の『DMAC』を参照してください。

## 2. 構成

割込みコントローラと DMA 転送要求の関連構成を示します。

### ■ 割込みコントローラ・DMA 転送要求のブロックダイヤグラム

図 2-1 割込みコントローラ・DMA 転送要求のブロックダイヤグラム



#### ● 割込み要因集約部 (Interrupt aggregation)

各周辺リソースからの割込み要求信号を 48 要因に集約（論理 OR）して、NVIC に出力します。

#### ● 周辺割込み要求一括読出しレジスタ部 (Interrupt batch read register)

1 つの割込み要求信号に集約された周辺リソースからの割込み要求信号に対し、各周辺リソースのどの割込み要求信号によって、該当割込みが発生しているかを確認できるレジスタです。

#### ● CPU 割込み要求/DMA 転送要求振り分け部 (CPU Interrupt/DMA transfer allocation)

DRQSEL/DRQSEL1 レジスタ設定を用いて、各周辺リソースからの割込み要求信号を CPU へ割込み要求信号として出力するか、DMAC へ転送要求信号として出力するかを選択する出力セレクタです。

#### ● 拡張セレクタ部 (Extended Selector)

拡張セレクタは、TYPE2 製品のみに存在します。DQESEL レジスタ設定を用いて、DMAC へ接続する転送要求信号を選択します。DMA 転送要求信号番号[10],[11],[24],[25],[26],[27],[30],[31]に、拡張セレクタが存在します。それ以外の DMA 転送要求信号には、拡張セレクタは存在しません。

### 3. 例外と割込み要因ベクタ

NVIC に入力される例外と割込みの要因ベクタ表を示します。

表 3-1 例外と割込み要因ベクタ

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ Offset
0	-	スタックポインタ初期値	0x00
1	-	リセット	0x04
2	-	ノンマスカブル割込み(NMI) / ハードウェアオッヂドッグタイマ	0x08
3	-	ハードフォルト	0x0C
4	-	メモリ管理	0x10
5	-	バスフォルト	0x14
6	-	用途フォルト	0x18
7-10	-	Reserved	0x1C - 0x2B
11	-	SVCall(スーパーバイザコール)	0x2C
12	-	デバッグモニタ	0x30
13	-	Reserved	0x34
14	-	PendSV	0x38
15	-	SysTick	0x3C
16	0	クロックスーパーバイザによる異常周波数検出(FCS)	0x40
17	1	ソフトウェアオッヂドッグタイマ	0x44
18	2	低電圧検出(LVD)	0x48
19	3	MFT unit0, unit1, unit2 波形ジェネレータ / DTIF(モータ緊急停止)	0x4C
20	4	外部端子割込み要求 ch.0～ch.7	0x50
21	5	外部端子割込み要求 ch.8～ch.31	0x54
22	6	デュアルタイマ / クアッドカウンタ(QPRC) ch.0, ch.1, ch.2	0x58
23	7	マルチファンクションシリアルインタフェース ch.0 の受信割込み要求	0x5C
24	8	マルチファンクションシリアルインタフェース ch.0 の送信割込み要求, ステータス割込み要求	0x60
25	9	マルチファンクションシリアルインタフェース ch.1 の受信割込み要求	0x64
26	10	マルチファンクションシリアルインタフェース ch.1 の送信割込み要求, ステータス割込み要求	0x68
27	11	マルチファンクションシリアルインタフェース ch.2 の受信割込み要求	0x6C
28	12	マルチファンクションシリアルインタフェース ch.2 の送信割込み要求, ステータス割込み要求	0x70
29	13	マルチファンクションシリアルインタフェース ch.3 の受信割込み要求	0x74
30	14	マルチファンクションシリアルインタフェース ch.3 の送信割込み要求, ステータス割込み要求	0x78
31	15	マルチファンクションシリアルインタフェース ch.4 の受信割込み要求	0x7C

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ Offset
32	16	マルチファンクションシリアルインタフェース ch.4 の送信割込み要求, ステータス割込み要求	0x80
33	17	マルチファンクションシリアルインタフェース ch.5 の受信割込み要求	0x84
34	18	マルチファンクションシリアルインタフェース ch.5 の送信割込み要求, ステータス割込み要求	0x88
35	19	マルチファンクションシリアルインタフェース ch.6 の受信割込み要求	0x8C
36	20	マルチファンクションシリアルインタフェース ch.6 の送信割込み要求, ステータス割込み要求	0x90
37	21	マルチファンクションシリアルインタフェース ch.7 の受信割込み要求	0x94
38	22	マルチファンクションシリアルインタフェース ch.7 の送信割込み要求, ステータス割込み要求	0x98
39	23	PPG ch.0/2/4/8/10/12/16/18/20	0x9C
40	24	外部メイン発振 / 外部サブ発振 / メイン PLL / USB 用 PLL / 時計カウンタ/リアルタイムカウンタ	0xA0
41	25	A/D コンバータ unit0	0xA4
42	26	A/D コンバータ unit1	0xA8
43	27	A/D コンバータ unit2 / LCD コントローラ	0xAC
44	28	MFT unit0, unit1, unit2 フリーランタイマ 0-2	0xB0
45	29	MFT unit0, unit1, unit2 インプットキャプチャ 0-3	0xB4
46	30	MFT unit0, unit1, unit2 アウトプットコンペア 0-5	0xB8
47	31	ベースタイマ ch.0～ch.7	0xBC
48	32	CAN ch.0 / Ethernet ch.0	0xC0
49	33	CAN ch.1 / Ethernet ch.1	0xC4
50	34	USB ch.0 ファンクション(End Point 1～5 の DRQ) *	0xC8
51	35	USB ch.0 ファンクション(End Point 0 の DRQI, DRQO と各ステータス) / USB ch.0 ホスト(各ステータス) *	0xCC
52	36	USB ch.1 ファンクション(End Point 1～5 の DRQ) */ HDMI-CEC, リモコン受信 ch.0	0xD0
53	37	USB ch.1 ファンクション(End Point 0 の DRQI, DRQO と各ステータス) / USB ch.1 ホスト(各ステータス) */ HDMI-CEC, リモコン受信 ch.1	0xD4
54	38	DMA コントローラ(DMAC) ch.0	0xD8
55	39	DMA コントローラ(DMAC) ch.1	0xDC
56	40	DMA コントローラ(DMAC) ch.2	0xE0
57	41	DMA コントローラ(DMAC) ch.3	0xE4
58	42	DMA コントローラ(DMAC) ch.4	0xE8
59	43	DMA コントローラ(DMAC) ch.5	0xEC
60	44	DMA コントローラ(DMAC) ch.6	0xF0
61	45	DMA コントローラ(DMAC) ch.7	0xF4
62	46	ベースタイマ ch.8～ch.15	0xF8

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ Offset
63	47	Flash RDY, HANG 割込み	0xFC

\*: USB 割込み要因

ベクタ No.	IRQ No.	USB 割込み要因	フラグ
50	34	USB ch.0 ファンクション(End Point 1~5 の DRQ)	DRQ (End Point 1~5)
51	35	USB ch.0 ファンクション (End Point 0 の DRQI, DRQO と各ステータス)	DRQI, DRQO, SPK, SUSP, SOF, BRST, CONF, WKUP
		USB ch.0 ホスト(各ステータス)	DIRQ, URIRQ, RWKIRQ, CNNIRQ, SOFIRQ, CMPIRQ
52	36	USB ch.1 ファンクション(End Point 1~5 の DRQ)	DRQ (End Point 1~5)
53	37	USB ch.1 ファンクション (End Point 0 の DRQI, DRQO と各ステータス)	DRQI, DRQO, SPK, SUSP, SOF, BRST, CONF, WKUP
		USB ch.1 ホスト(各ステータス)	DIRQ, URIRQ, RWKIRQ, CNNIRQ, SOFIRQ, CMPIRQ

ベクタ No.4～No.15 の例外の優先度は、NVIC に実装されたシステムハンドラ優先度レジスタ (System Handlers Priority Register、アドレス 0xE000ED18, 0xE000ED1C, 0xE000ED20) で設定可能です。ベクタ No.16 以降の周辺割込みの優先度は、NVIC に実装された割込み優先度レジスタ (IRQ Priority Register、アドレス 0xE000E400～0xE000E42C) で設定可能です。

ベクタ No.2, No.16～No.63 の割込みは一括読み出しレジスタで要因が確認できます。そのほかの例外・割込みについては『Cortex-M3 テクニカルリファレンスマニュアル』の『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

また、ベクタ No.2, No.16～No.63 の割込みは、一括読み出しされた要因が各周辺マクロ内で複数の割込み要因が論理 OR された信号の場合があります。その詳細は、各周辺リソースの割込みについての説明を参照してください。

## 4. レジスタ

DMA 転送要求選択レジスタと割込み要求一括読出しレジスタについて説明します。

### ■ DMA 転送要求選択レジスタと割込み要求一括読出しレジスター一覧

レジスタ略称	レジスタ名	参照先
DRQSEL	DMA 要求選択レジスタ	4.1
DRQSEL1* <sup>1</sup>	DMA 要求選択レジスタ 1	4.2
DQESEL* <sup>1</sup>	DMA 要求拡張選択レジスタ	4.3
EXC02MON	EXC02 一括読出しレジスタ	4.4
IRQ00MON	IRQ00 一括読出しレジスタ	4.5
IRQ01MON	IRQ01 一括読出しレジスタ	4.6
IRQ02MON	IRQ02 一括読出しレジスタ	4.7
IRQ03MON	IRQ03 一括読出しレジスタ	4.8
IRQ04MON	IRQ04 一括読出しレジスタ	4.9
IRQ05MON	IRQ05 一括読出しレジスタ	4.10
IRQ06MON	IRQ06 一括読出しレジスタ	4.11
IRQ07MON	IRQ07 一括読出しレジスタ	4.12
IRQ08MON	IRQ08 一括読出しレジスタ	4.13
IRQ09MON	IRQ09 一括読出しレジスタ	4.12
IRQ10MON	IRQ10 一括読出しレジスタ	4.13
IRQ11MON	IRQ11 一括読出しレジスタ	4.12
IRQ12MON	IRQ12 一括読出しレジスタ	4.13
IRQ13MON	IRQ13 一括読出しレジスタ	4.12
IRQ14MON	IRQ14 一括読出しレジスタ	4.13
IRQ15MON	IRQ15 一括読出しレジスタ	4.12
IRQ16MON	IRQ16 一括読出しレジスタ	4.13
IRQ17MON	IRQ17 一括読出しレジスタ	4.12
IRQ18MON	IRQ18 一括読出しレジスタ	4.13
IRQ19MON	IRQ19 一括読出しレジスタ	4.12
IRQ20MON	IRQ20 一括読出しレジスタ	4.13
IRQ21MON	IRQ21 一括読出しレジスタ	4.12
IRQ22MON	IRQ22 一括読出しレジスタ	4.13
IRQ23MON	IRQ23 一括読出しレジスタ	4.14
IRQ24MON	IRQ24 一括読出しレジスタ	4.15

レジスタ略称	レジスタ名	参照先
IRQ25MON	IRQ25 一括読出しレジスタ	4.16
IRQ26MON	IRQ26 一括読出しレジスタ	
IRQ27MON	IRQ27 一括読出しレジスタ	4.17
IRQ28MON	IRQ28 一括読出しレジスタ	4.18
IRQ29MON	IRQ29 一括読出しレジスタ	4.19
IRQ30MON	IRQ30 一括読出しレジスタ	4.20
IRQ31MON	IRQ31 一括読出しレジスタ	4.21
IRQ32MON	IRQ32 一括読出しレジスタ	4.22
IRQ33MON	IRQ33 一括読出しレジスタ	
IRQ34MON	IRQ34 一括読出しレジスタ	4.24
IRQ35MON	IRQ35 一括読出しレジスタ	4.25
IRQ36MON	IRQ36 一括読出しレジスタ	4.26
IRQ37MON	IRQ37 一括読出しレジスタ	4.27
IRQ38MON	IRQ38 一括読出しレジスタ	4.28
IRQ39MON	IRQ39 一括読出しレジスタ	
IRQ40MON	IRQ40 一括読出しレジスタ	
IRQ41MON	IRQ41 一括読出しレジスタ	
IRQ42MON	IRQ42 一括読出しレジスタ	
IRQ43MON	IRQ43 一括読出しレジスタ	
IRQ44MON	IRQ44 一括読出しレジスタ	
IRQ45MON	IRQ45 一括読出しレジスタ	
IRQ46MON	IRQ46 一括読出しレジスタ	4.29
IRQ47MON	IRQ47 一括読出しレジスタ	4.30
ODDPKS* <sup>2</sup>	USB ch.0 奇数パケットサイズ DMA 許可レジスタ	4.31
ODDPKS1* <sup>1</sup>	USB ch.1 奇数パケットサイズ DMA 許可レジスタ	4.32

\*1 : TYPE2 製品のみ(本レジスタは TYPE2 製品以外はありません。)

\*2 : 本レジスタは TYPE0 製品はありません。

NVIC 内のレジスタの詳細は、『Cortex-M3 テクニカルリファレンスマニュアル』の『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

## 4.1. DMA 要求選択レジスタ (DRQSEL)

DMA 要求選択レジスタ(DRQSEL)は、DMA 転送可能な割込み信号を CPU への割込み要求として出力させるか、DMAC への転送要求として出力させるかを選択します。

bit	31	0
Field	DRQSEL[31:0]	
属性	R/W	
初期値	0x00000000	

[bit31:0] DRQSEL :

bit 番号	bit	説明
31	0	外部割込み ch.3 の割込み信号は CPU へ割込み要求出力
	1	外部割込み ch.3 の割込み信号は DMAC へ転送要求出力(拡張有)
30	0	外部割込み ch.2 の割込み信号は CPU へ割込み要求出力
	1	外部割込み ch.2 の割込み信号は DMAC へ転送要求出力(拡張有)
29	0	外部割込み ch.1 の割込み信号は CPU へ割込み要求出力
	1	外部割込み ch.1 の割込み信号は DMAC へ転送要求出力
28	0	外部割込み ch.0 の割込み信号は CPU へ割込み要求出力
	1	外部割込み ch.0 の割込み信号は DMAC へ転送要求出力
27	0	MFS ch.7 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.7 の送信割込み信号は DMAC へ転送要求出力(拡張有)
26	0	MFS ch.7 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.7 の受信割込み信号は DMAC へ転送要求出力(拡張有)
25	0	MFS ch.6 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.6 の送信割込み信号は DMAC へ転送要求出力(拡張有)
24	0	MFS ch.6 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.6 の受信割込み信号は DMAC へ転送要求出力(拡張有)
23	0	MFS ch.5 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.5 の送信割込み信号は DMAC へ転送要求出力
22	0	MFS ch.5 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.5 の受信割込み信号は DMAC へ転送要求出力
21	0	MFS ch.4 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.4 の送信割込み信号は DMAC へ転送要求出力
20	0	MFS ch.4 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.4 の受信割込み信号は DMAC へ転送要求出力
19	0	MFS ch.3 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.3 の送信割込み信号は DMAC へ転送要求出力
18	0	MFS ch.3 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.3 の受信割込み信号は DMAC へ転送要求出力

bit 番号	bit	説明
17	0	MFS ch.2 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.2 の送信割込み信号は DMAC へ転送要求出力
16	0	MFS ch.2 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.2 の受信割込み信号は DMAC へ転送要求出力
15	0	MFS ch.1 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.1 の送信割込み信号は DMAC へ転送要求出力
14	0	MFS ch.1 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.1 の受信割込み信号は DMAC へ転送要求出力
13	0	MFS ch.0 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.0 の送信割込み信号は DMAC へ転送要求出力
12	0	MFS ch.0 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.0 の受信割込み信号は DMAC へ転送要求出力
11	0	ベースタイマ ch.6 の IRQ0 割込み信号は CPU へ割込み要求出力
	1	ベースタイマ ch.6 の IRQ0 割込み信号は DMAC へ転送要求出力(拡張有)
10	0	ベースタイマ ch.4 の IRQ0 割込み信号は CPU へ割込み要求出力
	1	ベースタイマ ch.4 の IRQ0 割込み信号は DMAC へ転送要求出力(拡張有)
9	0	ベースタイマ ch.2 の IRQ0 割込み信号は CPU へ割込み要求出力
	1	ベースタイマ ch.2 の IRQ0 割込み信号は DMAC へ転送要求出力
8	0	ベースタイマ ch.0 の IRQ0 割込み信号は CPU へ割込み要求出力
	1	ベースタイマ ch.0 の IRQ0 割込み信号は DMAC へ転送要求出力
7	0	A/D コンバータ unit2 スキャン変換割込み信号は CPU へ割込み要求出力
	1	A/D コンバータ unit2 スキャン変換割込み信号は DMAC へ転送要求出力
6	0	A/D コンバータ unit1 スキャン変換割込み信号は CPU へ割込み要求出力
	1	A/D コンバータ unit1 スキャン変換割込み信号は DMAC へ転送要求出力
5	0	A/D コンバータ unit0 スキャン変換割込み信号は CPU へ割込み要求出力
	1	A/D コンバータ unit0 スキャン変換割込み信号は DMAC へ転送要求出力
4	0	USB ch.0 の EP5 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP5 DRQ の割込み信号は DMAC へ転送要求出力
3	0	USB ch.0 の EP4 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP4 DRQ の割込み信号は DMAC へ転送要求出力
2	0	USB ch.0 の EP3 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP3 DRQ の割込み信号は DMAC へ転送要求出力
1	0	USB ch.0 の EP2 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP2 DRQ の割込み信号は DMAC へ転送要求出力
0	0	USB ch.0 の EP1 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP1 DRQ の割込み信号は DMAC へ転送要求出力

MFS: マルチファンクションシリアルインターフェース

表中の（拡張有）記載の意味は以下のとおりです。

TYPE2 製品の場合、DMA 転送要求信号（番号[10],[11],[24],[25][26],[27],[30],[31]）は、DMAC に直接接続されず、拡張セレクタ経由での接続です。拡張セレクタの選択設定を行うことで、DRQSEL1 レジスタで選択するほかの割込み要求信号を DMA 転送要求信号として接続できます。

TYPE2 製品以外の場合、拡張セレクタは存在しません。

---

#### <注意事項>

- ・割込み信号を DMAC への転送要求として選択した場合、該当する割込み要求一括読出しレジスタ(IRQxxMON, xx=00~47)の読み出しひび値は、割込み発生の有無に関わらず"0"です。
  - ・DRQSEL の設定を変更する場合は、該当する周辺からの割込み要求信号をクリアした状態にしてから変更してください。
  - ・DRQSEL/DRQSEL1 設定に記載のない割込み信号は、ハードウェアによる DMA 転送起動はできません。
-

## 4.2. DMA 要求選択レジスタ (DRQSEL1)

DMA 要求選択レジスタ(DRQSEL1)は、DMA 転送可能な割込み信号を CPU への割込み要求として出力させるか、DMAC への転送要求として出力させるかを選択します。このレジスタは TYPE2 製品のみに存在します。

bit	31	5	4	0
Field	予約			DRQSEL1[4:0]
属性		R/W		
初期値		0x00000000		

[bit31:5] 予約: 予約ビット

書き込み時は常に"0"を書き込んでください。読み出し時は"0"が読み出されます。

[bit4:0] DRQSEL1 :

bit 番号	bit	説明
4	0	USB ch.1 の EP5 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.1 の EP5 DRQ の割込み信号は拡張セレクタ経由で DMAC へ転送要求出力
3	0	USB ch.1 の EP4 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.1 の EP4 DRQ の割込み信号は拡張セレクタ経由で DMAC へ転送要求出力
2	0	USB ch.1 の EP3 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.1 の EP3 DRQ の割込み信号は拡張セレクタ経由で DMAC へ転送要求出力
1	0	USB ch.1 の EP2 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.1 の EP2 DRQ の割込み信号は拡張セレクタ経由で DMAC へ転送要求出力
0	0	USB ch.1 の EP1 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.1 の EP1 DRQ の割込み信号は拡張セレクタ経由で DMAC へ転送要求出力

<注意事項>

- ・割込み信号を DMAC への転送要求として選択した場合、該当する割込み要求一括読み出しレジスタ(IRQxxMON, xx=00~47)の読み出しひつ値は、割込み発生の有無に関わらず"0"です。
- ・DRQSEL1 の設定を変更する場合は、該当する周辺からの割込み要求信号をクリアした状態にしてから変更してください。
- ・DRQSEL/DRQSEL1 設定に記載のない割込み信号は、ハードウェアによる DMA 転送起動はできません。DMA 転送モードの詳細については、別章の『DMAC』を参照してください。
- ・本レジスタで DMAC へ転送要求出力を選択した信号は、拡張セレクタの選択により、DMAC へ接続されます。

### 4.3. DMA 要求拡張選択レジスタ (DQESEL)

DMA 要求拡張選択レジスタ(DQESEL)は、DMA 転送要求信号 (IDREQ[31:0]) のうち、[10],[11],[24],[25],[26],[27],[30],[31]の入力ソース選択を行なう拡張セレクタの設定を行なうレジスタです。このレジスタは TYPE2 製品のみに存在します。

bit	31	28	27	24	23	20	19	16
Field	ESEL31		ESEL30		ESEL27		ESEL26	
属性	R/W		R/W		R/W		R/W	
初期値	0000		0000		0000		0000	

bit	15	12	11	8	7	4	3	0
Field	ESEL25		ESEL24		ESEL11		ESEL10	
属性	R/W		R/W		R/W		R/W	
初期値	0000		0000		0000		0000	

[bit31:28] ESEL31 :

bit	説明
リード時	レジスタの設定値を読み出します。
0000 ライト時	外部割込み ch.3 を IDREQ[31]に接続します。
0001 ライト時	USB ch.1 EP1 を IDREQ[31]に接続します。
0010 ライト時	USB ch.1 EP2 を IDREQ[31]に接続します。
0011 ライト時	USB ch.1 EP3 を IDREQ[31]に接続します。
0100 ライト時	USB ch.1 EP4 を IDREQ[31]に接続します。
0101 ライト時	USB ch.1 EP5 を IDREQ[31]に接続します。
上記以外	設定禁止

[bit27:24] ESEL30 :

bit	説明
リード時	レジスタの設定値を読み出します。
0000 ライト時	外部割込み ch.2 を IDREQ[30]に接続します。
0001 ライト時	USB ch.1 EP1 を IDREQ[30]に接続します。
0010 ライト時	USB ch.1 EP2 を IDREQ[30]に接続します。
0011 ライト時	USB ch.1 EP3 を IDREQ[30]に接続します。
0100 ライト時	USB ch.1 EP4 を IDREQ[30]に接続します。
0101 ライト時	USB ch.1 EP5 を IDREQ[30]に接続します。
上記以外	設定禁止

[bit23:20] ESEL27 :

bit	説明
リード時	レジスタの設定値を読み出します。
0000 ライト時	外部割込み ch.1 を IDREQ[27]に接続します。
0001 ライト時	USB ch.1 EP1 を IDREQ[27]に接続します。
0010 ライト時	USB ch.1 EP2 を IDREQ[27]に接続します。
0011 ライト時	USB ch.1 EP3 を IDREQ[27]に接続します。
0100 ライト時	USB ch.1 EP4 を IDREQ[27]に接続します。
0101 ライト時	USB ch.1 EP5 を IDREQ[27]に接続します。
上記以外	設定禁止

[bit19:16] ESEL26 :

bit	説明
リード時	レジスタの設定値を読み出します。
0000 ライト時	MFS ch.7 受信割込みを IDREQ[26]に接続します。
0001 ライト時	USB ch.1 EP1 を IDREQ[26]に接続します。
0010 ライト時	USB ch.1 EP2 を IDREQ[26]に接続します。
0011 ライト時	USB ch.1 EP3 を IDREQ[26]に接続します。
0100 ライト時	USB ch.1 EP4 を IDREQ[26]に接続します。
0101 ライト時	USB ch.1 EP5 を IDREQ[26]に接続します。
上記以外	設定禁止

[bit15:12] ESEL25 :

bit	説明
リード時	レジスタの設定値を読み出します。
0000 ライト時	MFS ch.7 送信割込みを IDREQ[25]に接続します。
0001 ライト時	USB ch.1 EP1 を IDREQ[25]に接続します。
0010 ライト時	USB ch.1 EP2 を IDREQ[25]に接続します。
0011 ライト時	USB ch.1 EP3 を IDREQ[25]に接続します。
0100 ライト時	USB ch.1 EP4 を IDREQ[25]に接続します。
0101 ライト時	USB ch.1 EP5 を IDREQ[25]に接続します。
上記以外	設定禁止

[bit11:8] ESEL24 :

bit	説明
リード時	レジスタの設定値を読み出します。
0000 ライト時	MFS ch.6 受信割込みを IDREQ[24]に接続します。
0001 ライト時	USB ch.1 EP1 を IDREQ[24]に接続します。
0010 ライト時	USB ch.1 EP2 を IDREQ[24]に接続します。
0011 ライト時	USB ch.1 EP3 を IDREQ[24]に接続します。
0100 ライト時	USB ch.1 EP4 を IDREQ[24]に接続します。
0101 ライト時	USB ch.1 EP5 を IDREQ[24]に接続します。
上記以外	設定禁止

[bit7:4] ESEL11 :

bit	説明
リード時	レジスタの設定値を読み出します。
0000 ライト時	ベースタイマ ch.6 受信割込みを IDREQ[11]に接続します。
0001 ライト時	USB ch.1 EP1 を IDREQ[11]に接続します。
0010 ライト時	USB ch.1 EP2 を IDREQ[11]に接続します。
0011 ライト時	USB ch.1 EP3 を IDREQ[11]に接続します。
0100 ライト時	USB ch.1 EP4 を IDREQ[11]に接続します。
0101 ライト時	USB ch.1 EP5 を IDREQ[11]に接続します。
上記以外	設定禁止

[bit3:0] ESEL10 :

bit	説明
リード時	レジスタの設定値を読み出します。
0000 ライト時	ベースタイマ ch.4 要因 0 を IDREQ[10]に接続します。
0001 ライト時	USB ch.1 EP1 を IDREQ[10]に接続します。
0010 ライト時	USB ch.1 EP2 を IDREQ[10]に接続します。
0011 ライト時	USB ch.1 EP3 を IDREQ[10]に接続します。
0100 ライト時	USB ch.1 EP4 を IDREQ[10]に接続します。
0101 ライト時	USB ch.1 EP5 を IDREQ[10]に接続します。
上記以外	設定禁止

## &lt;注意事項&gt;

- ・拡張セレクタは、DRQSEL1 レジスタの設定にて、マクロからの割込み信号が DMA 転送要求信号として設定されている場合にのみ有効です。
- ・DRQSEL, DRQSEL1,DQESEL の設定値によっては、割込み信号が CPU と DMAC のどちらにも接続されないことがあります。そのような設定は禁止です。

## 4.4. EXC02 一括読み出しレジスタ (EXC02MON)

EXC02MON は、割込みベクタ No.2 に割り当てられた割込み要求を一括で読み出せます。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約										HWINT	NMI				
属性	R										R	R				
初期値	0000000000000000										0	0				

[bit31:2] 予約: 予約ビット  
"0"が読み出されます。

[bit1] HWINT:

bit	説明
0	ハードウェアウォッチドッグタイマの割込み要求なし
1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

bit	説明
0	NMIX 外部端子の割込み要求なし
1	NMIX 外部端子の割込み要求あり

## 4.5. IRQ00 一括読出しレジスタ (IRQ00MON)

IRQ00MON は、割込みベクタ No.16 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	
属性	R	
初期値	0000000000000000	
		FCSINT

[bit31:1] 予約: 予約ビット  
"0"が読み出されます。

[bit0] FCSINT:

bit	説明
0	CSV による異常周波数検出の割込み要求なし
1	CSV による異常周波数検出の割込み要求あり

## 4.6. IRQ01 一括読み出しレジスタ (IRQ01MON)

IRQ01MON は、割込みベクタ No.17 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															SWWDTINT
属性	R															R
初期値	0000000000000000															0

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] SWWDTINT:

bit	説明
0	ソフトウェアウォッチドッグタイマの割込み要求なし
1	ソフトウェアウォッチドッグタイマの割込み要求あり

## 4.7. IRQ02 一括読み出しレジスタ (IRQ02MON)

IRQ02MON は、割込みベクタ No.18 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	LVDINT
属性	R	R
初期値	0000000000000000	0

[bit31:1] 予約: 予約ビット  
"0"が読み出されます。

[bit0] LVDINT:

bit	説明
0	低電圧検出(LVD)の割込み要求なし
1	低電圧検出(LVD)の割込み要求あり

## 4.8. IRQ03 一括読出しレジスタ (IRQ03MON)

IRQ03MON は、割込みベクタ No.19 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16		
Field	予約			
属性	R			
初期値	0x0000			
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Field	予約	WAVE2INT	WAVE1INT	WAVE0INT
属性	R	R	R	R
初期値	0000	0000	0000	0000

[bit31:12] 予約: 予約ビット

"0"が読み出されます。

[bit11:8] WAVE2INT:

bit 番号	bit	説明
11	0	MFT unit2 の WFG タイマ 54 の割込み要求なし
	1	MFT unit2 の WFG タイマ 54 の割込み要求あり
10	0	MFT unit2 の WFG タイマ 32 の割込み要求なし
	1	MFT unit2 の WFG タイマ 32 の割込み要求あり
9	0	MFT unit2 の WFG タイマ 10 の割込み要求なし
	1	MFT unit2 の WFG タイマ 10 の割込み要求あり
8	0	MFT unit2 の DTIF (モータ緊急停止) の割込み要求なし
	1	MFT unit2 の DTIF (モータ緊急停止) の割込み要求あり

[bit7:4] WAVE1INT:

bit 番号	bit	説明
7	0	MFT unit1 の WFG タイマ 54 の割込み要求なし
	1	MFT unit1 の WFG タイマ 54 の割込み要求あり
6	0	MFT unit1 の WFG タイマ 32 の割込み要求なし
	1	MFT unit1 の WFG タイマ 32 の割込み要求あり
5	0	MFT unit1 の WFG タイマ 10 の割込み要求なし
	1	MFT unit1 の WFG タイマ 10 の割込み要求あり
4	0	MFT unit1 の DTIF (モータ緊急停止) の割込み要求なし
	1	MFT unit1 の DTIF (モータ緊急停止) の割込み要求あり

[bit3:0] WAVE0INT:

bit 番号	bit	説明
3	0	MFT unit0 の WFG タイマ 54 の割込み要求なし
	1	MFT unit0 の WFG タイマ 54 の割込み要求あり
2	0	MFT unit0 の WFG タイマ 32 の割込み要求なし
	1	MFT unit0 の WFG タイマ 32 の割込み要求あり
1	0	MFT unit0 の WFG タイマ 10 の割込み要求なし
	1	MFT unit0 の WFG タイマ 10 の割込み要求あり
0	0	MFT unit0 の DTIF (モータ緊急停止) の割込み要求なし
	1	MFT unit0 の DTIF (モータ緊急停止) の割込み要求あり

## 4.9. IRQ04 一括読出しレジスタ(IRQ04MON)

IRQ04MON は、割込みベクタ No.20 に割り当てられた割込み要求を一括で読み出せます。

IRQ04MON は、外部割込み ch.0 から ch.7 の割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約						EXTINT									
属性	R			R			R			0x00			0x00			

[bit31:8] 予約: 予約ビット

"0"が読み出されます。

[bit7:0] EXTINT:

bit 番号	bit	説明
7	0	外部割込み ch.7 の割込み要求なし
	1	外部割込み ch.7 の割込み要求あり
6	0	外部割込み ch.6 の割込み要求なし
	1	外部割込み ch.6 の割込み要求あり
5	0	外部割込み ch.5 の割込み要求なし
	1	外部割込み ch.5 の割込み要求あり
4	0	外部割込み ch.4 の割込み要求なし
	1	外部割込み ch.4 の割込み要求あり
3	0	外部割込み ch.3 の割込み要求なし
	1	外部割込み ch.3 の割込み要求あり
2	0	外部割込み ch.2 の割込み要求なし
	1	外部割込み ch.2 の割込み要求あり
1	0	外部割込み ch.1 の割込み要求なし
	1	外部割込み ch.1 の割込み要求あり
0	0	外部割込み ch.0 の割込み要求なし
	1	外部割込み ch.0 の割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する EXTINT ビットは"0"になります。

## 4.10. IRQ05 一括読出しレジスタ(IRQ05MON)

IRQ05MON は、割込みベクタ No.21 に割り当てられた割込み要求を一括で読み出せます。

IRQ05MON は、外部割込み ch.8 から ch.31 の割込み要求の状態を示します。

bit	31	24	23	22	21	20	19	18	17	16						
Field	予約						EXTINT									
属性	R						R									
初期値	0x00						0x00									
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXTINT															
属性	R															
初期値	0x0000															

[bit31:24] 予約: 予約ビット

"0"が読み出されます。

[bit23:0] EXTINT:

bit 番号	bit	説明
23	0	外部割込み ch.31 の割込み要求なし
	1	外部割込み ch.31 の割込み要求あり
22	0	外部割込み ch.30 の割込み要求なし
	1	外部割込み ch.30 の割込み要求あり
21	0	外部割込み ch.29 の割込み要求なし
	1	外部割込み ch.29 の割込み要求あり
20	0	外部割込み ch.28 の割込み要求なし
	1	外部割込み ch.28 の割込み要求あり
19	0	外部割込み ch.27 の割込み要求なし
	1	外部割込み ch.27 の割込み要求あり
18	0	外部割込み ch.26 の割込み要求なし
	1	外部割込み ch.26 の割込み要求あり
17	0	外部割込み ch.25 の割込み要求なし
	1	外部割込み ch.25 の割込み要求あり
16	0	外部割込み ch.24 の割込み要求なし
	1	外部割込み ch.24 の割込み要求あり
15	0	外部割込み ch.23 の割込み要求なし
	1	外部割込み ch.23 の割込み要求あり
14	0	外部割込み ch.22 の割込み要求なし
	1	外部割込み ch.22 の割込み要求あり
13	0	外部割込み ch.21 の割込み要求なし
	1	外部割込み ch.21 の割込み要求あり

bit 番号	bit	説明
12	0	外部割込み ch.20 の割込み要求なし
	1	外部割込み ch.20 の割込み要求あり
11	0	外部割込み ch.19 の割込み要求なし
	1	外部割込み ch.19 の割込み要求あり
10	0	外部割込み ch.18 の割込み要求なし
	1	外部割込み ch.18 の割込み要求あり
9	0	外部割込み ch.17 の割込み要求なし
	1	外部割込み ch.17 の割込み要求あり
8	0	外部割込み ch.16 の割込み要求なし
	1	外部割込み ch.16 の割込み要求あり
7	0	外部割込み ch.15 の割込み要求なし
	1	外部割込み ch.15 の割込み要求あり
6	0	外部割込み ch.14 の割込み要求なし
	1	外部割込み ch.14 の割込み要求あり
5	0	外部割込み ch.13 の割込み要求なし
	1	外部割込み ch.13 の割込み要求あり
4	0	外部割込み ch.12 の割込み要求なし
	1	外部割込み ch.12 の割込み要求あり
3	0	外部割込み ch.11 の割込み要求なし
	1	外部割込み ch.11 の割込み要求あり
2	0	外部割込み ch.10 の割込み要求なし
	1	外部割込み ch.10 の割込み要求あり
1	0	外部割込み ch.9 の割込み要求なし
	1	外部割込み ch.9 の割込み要求あり
0	0	外部割込み ch.8 の割込み要求なし
	1	外部割込み ch.8 の割込み要求あり

## 4.11. IRQ06 一括読出しレジスタ (IRQ06MON)

IRQ06MON は、割込みベクタ No.22 に割り当てられた割込み要求を一括で読み出せます。

bit	31		20	19	18	17	16
Field	予約				QU2DINT		
属性	R				R		
初期値	0x000				0000		
bit	15	14	13	12	11	10	9 8 7 6 5 4 3 2 1 0
Field	QU2DINT		QU2D1INT		QU2D0INT		TIMINT
属性	R		R		R		R
初期値	00		000000		000000		00

[bit31:20] 予約: 予約ビット

"0"が読み出されます。

[bit19:14] QUD2INT:

bit 番号	bit	説明
19	0	QPRC ch.2 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.2 PC 一致&RC 一致の割込み要求あり
18	0	QPRC ch.2 RC 範囲外検出の割込み要求なし
	1	QPRC ch.2 RC 範囲外検出の割込み要求あり
17	0	QPRC ch.2 PC カウント反転の割込み要求なし
	1	QPRC ch.2 PC カウント反転の割込み要求あり
16	0	QPRC ch.2 オーバフロー/アンダフロー/ゼロインデックスの割込み要求なし
	1	QPRC ch.2 オーバフロー/アンダフロー/ゼロインデックスの割込み要求あり
15	0	QPRC ch.2 PC&RC 一致の割込み要求なし
	1	QPRC ch.2 PC&RC 一致の割込み要求あり
14	0	QPRC ch.2 PC 一致の割込み要求なし
	1	QPRC ch.2 PC 一致の割込み要求あり

[bit13:8] QUD1INT:

bit 番号	bit	説明
13	0	QPRC ch.1 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.1 PC 一致&RC 一致の割込み要求あり
12	0	QPRC ch.1 RC 範囲外検出の割込み要求なし
	1	QPRC ch.1 RC 範囲外検出の割込み要求あり
11	0	QPRC ch.1 PC カウント反転の割込み要求なし
	1	QPRC ch.1 PC カウント反転の割込み要求あり
10	0	QPRC ch.1 オーバフロー/アンダフロー/ゼロインデックスの割込み要求なし
	1	QPRC ch.1 オーバフロー/アンダフロー/ゼロインデックスの割込み要求あり
9	0	QPRC ch.1 PC&RC 一致の割込み要求なし
	1	QPRC ch.1 PC&RC 一致の割込み要求あり
8	0	QPRC ch.1 PC 一致の割込み要求なし
	1	QPRC ch.1 PC 一致の割込み要求あり

[bit7:2] QUD0INT:

bit 番号	bit	説明
7	0	QPRC ch.0 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.0 PC 一致&RC 一致の割込み要求あり
6	0	QPRC ch.0 RC 範囲外検出の割込み要求なし
	1	QPRC ch.0 RC 範囲外検出の割込み要求あり
5	0	QPRC ch.0 PC カウント反転の割込み要求なし
	1	QPRC ch.0 PC カウント反転の割込み要求あり
4	0	QPRC ch.0 オーバフロー/アンダフロー/ゼロインデックスの割込み要求なし
	1	QPRC ch.0 オーバフロー/アンダフロー/ゼロインデックスの割込み要求あり
3	0	QPRC ch.0 PC&RC 一致の割込み要求なし
	1	QPRC ch.0 PC&RC 一致の割込み要求あり
2	0	QPRC ch.0 PC 一致の割込み要求なし
	1	QPRC ch.0 PC 一致の割込み要求あり

[bit1:0] TIMINT:

bit 番号	bit	説明
1	0	デュアルタイマ TIMINT2 の割込み要求なし
	1	デュアルタイマ TIMINT2 の割込み要求あり
0	0	デュアルタイマ TIMINT1 の割込み要求なし
	1	デュアルタイマ TIMINT1 の割込み要求あり

## 4.12. IRQ07/09/11/13/15/17/19/21 一括読出しレジスタ (IRQxxMON)

IRQ07MON は、割込みベクタ No.23 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ09MON は、割込みベクタ No.25 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ11MON は、割込みベクタ No.27 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ13MON は、割込みベクタ No.29 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ15MON は、割込みベクタ No.31 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ17MON は、割込みベクタ No.33 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ19MON は、割込みベクタ No.35 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ21MON は、割込みベクタ No.37 に割り当てられた割込み要求を一括で読み出せます。

IRQ07MON は、MFS ch.0 の受信割込み要求の状態を示します。  
 IRQ09MON は、MFS ch.1 の受信割込み要求の状態を示します。  
 IRQ11MON は、MFS ch.2 の受信割込み要求の状態を示します。  
 IRQ13MON は、MFS ch.3 の受信割込み要求の状態を示します。  
 IRQ15MON は、MFS ch.4 の受信割込み要求の状態を示します。  
 IRQ17MON は、MFS ch.5 の受信割込み要求の状態を示します。  
 IRQ19MON は、MFS ch.6 の受信割込み要求の状態を示します。  
 IRQ21MON は、MFS ch.7 の受信割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															MFSINT
属性	R															R
初期値	0000000000000000															0

[bit31:1] 予約: 予約ビット  
 "0"が読み出されます。

[bit0] MFSINT:

bit	説明
0	MFS 該当するチャネルの受信割込み要求なし
1	MFS 該当するチャネルの受信割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当するチャネルの MFSINT ビットは"0"になります。

## 4.13. IRQ08/10/12/14/16/18/20/22 一括読出しレジスタ (IRQxxMON)

IRQ08MON は、割込みベクタ No.24 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ10MON は、割込みベクタ No.26 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ12MON は、割込みベクタ No.28 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ14MON は、割込みベクタ No.30 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ16MON は、割込みベクタ No.32 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ18MON は、割込みベクタ No.34 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ20MON は、割込みベクタ No.36 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ22MON は、割込みベクタ No.38 に割り当てられた割込み要求を一括で読み出せます。

IRQ08MON は、MFS ch.0 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ10MON は、MFS ch.1 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ12MON は、MFS ch.2 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ14MON は、MFS ch.3 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ16MON は、MFS ch.4 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ18MON は、MFS ch.5 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ20MON は、MFS ch.6 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ22MON は、MFS ch.7 の送信割込み要求、ステータス割込み要求の状態を示します。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	MFSINT
属性	R	R
初期値	0000000000000000	00

[bit31:2] 予約: 予約ビット  
 "0"が読み出されます。

[bit1:0] MFSINT:

bit 番号	bit	説明
1	0	MFS 該当するチャネルのステータス割込み要求なし
	1	MFS 該当するチャネルのステータス割込み要求あり
0	0	MFS 該当するチャネルの送信割込み要求なし
	1	MFS 該当するチャネルの送信割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当するチャネルの MFSINT ビットは"0"になります。

## 4.14. IRQ23 一括読出しレジスタ (IRQ23MON)

IRQ23MON は、割込みベクタ No.39 に割り当てられた割込み要求を一括で読み出せます。

IRQ23MON は、PPG(ch.20, ch.18, ch.16, ch.12, ch.10, ch.8, ch.4, ch.2, ch.0)からの割込み要求の状態を示します。

bit	31		16
Field	予約		
属性		R	
初期値		0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Field	予約		PPGINT
属性	R		R
初期値	00000000		0000000000

[bit31:9] 予約: 予約ビット

"0"が読み出されます。

[bit8:0] PPGINT:

bit 番号	bit	説明
8	0	PPG ch.20 の割込み要求なし
	1	PPG ch.20 の割込み要求あり
7	0	PPG ch.18 の割込み要求なし
	1	PPG ch.18 の割込み要求あり
6	0	PPG ch.16 の割込み要求なし
	1	PPG ch.16 の割込み要求あり
5	0	PPG ch.12 の割込み要求なし
	1	PPG ch.12 の割込み要求あり
4	0	PPG ch.10 の割込み要求なし
	1	PPG ch.10 の割込み要求あり
3	0	PPG ch.8 の割込み要求なし
	1	PPG ch.8 の割込み要求あり
2	0	PPG ch.4 の割込み要求なし
	1	PPG ch.4 の割込み要求あり
1	0	PPG ch.2 の割込み要求なし
	1	PPG ch.2 の割込み要求あり
0	0	PPG ch.0 の割込み要求なし
	1	PPG ch.0 の割込み要求あり

## 4.15. IRQ24 一括読出しレジスタ (IRQ24MON)

IRQ24MON は、割込みベクタ No.40 に割り当てられた割込み要求を一括で読み出せます。

bit	31							8
Field								予約
属性								R
初期値								0x000000
bit	7	6	5	4	3	2	1	0
Field	予約		RTCINT	WCINT	UPLLINT	MPLLINT	SOSCINT	MOSCINT
属性	R		R	R	R	R	R	R
初期値	00		0	0	0	0	0	0

[bit31:6] 予約: 予約ビット  
"0"が読み出されます。

[bit5] RTCINT:

bit	説明
0	RTC の割込み要求なし
1	RTC の割込み要求あり

[bit4] WCINT:

bit	説明
0	時計カウンタの割込み要求なし
1	時計カウンタの割込み要求あり

[bit3] UPLLINT:

bit	説明
0	USB 用または USB/Ethernet 用 PLL 発振の安定待ち完了割込み要求なし
1	USB 用または USB/Ethernet 用 PLL 発振の安定待ち完了割込み要求あり

[bit2] MPLLINT:

bit	説明
0	メイン PLL 発振の安定待ち完了割込み要求なし
1	メイン PLL 発振の安定待ち完了割込み要求あり

[bit1] SOSCINT:

bit	説明
0	サブクロック発振の安定待ち完了割込み要求なし
1	サブクロック発振の安定待ち完了割込み要求あり

[bit0] MOSCINT:

bit	説明
0	メインクロック発振の安定待ち完了割込み要求なし
1	メインクロック発振の安定待ち完了割込み要求あり

## 4.16. IRQ25/26 一括読出しレジスタ (IRQxxMON)

IRQ25MON は、割込みベクタ No.41 に割り当てられた割込み要求を一括で読み出せます。  
IRQ26MON は、割込みベクタ No.42 に割り当てられた割込み要求を一括で読み出せます。

IRQ25MON は、A/D コンバータ unit0 からの割込み要求の状態を示します。

IRQ26MON は、A/D コンバータ unit1 からの割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約										ADCINT					
属性	R										R					
初期値	0x0000										0000					

[bit31:4] 予約: 予約ビット  
"0"が読み出されます。

[bit3:0] ADCINT:

bit 番号	bit	説明
3	0	A/D コンバータ該当する unit の変換結果比較の割込み要求なし
	1	A/D コンバータ該当する unit の変換結果比較の割込み要求あり
2	0	A/D コンバータ該当する unit の FIFO オーバランの割込み要求なし
	1	A/D コンバータ該当する unit の FIFO オーバランの割込み要求あり
1	0	A/D コンバータ該当する unit のスキャン変換の割込み要求なし
	1	A/D コンバータ該当する unit のスキャン変換の割込み要求あり
0	0	A/D コンバータ該当する unit の優先変換の割込み要求なし
	1	A/D コンバータ該当する unit の優先変換の割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する ADCINT ビットは"0"になります。

## 4.17. IRQ27 一括読出しレジスタ (IRQ27MON)

IRQ27MON は、割込みベクタ No.43 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	LCDCINT ADCINT
属性	R	R R
初期値	000000000000	0 0000

[bit31:5] 予約: 予約ビット

"0"が読み出されます。

[bit4] LCDCINT:

bit	説明
0	LCD コントローラの LCDC 割込み要求なし
1	LCD コントローラの LCDC 割込み要求あり

[bit3:0] ADCINT:

bit 番号	bit	説明
3	0	A/D コンバータ unit2 の変換結果比較の割込み要求なし
	1	A/D コンバータ unit2 の変換結果比較の割込み要求あり
2	0	A/D コンバータ unit2 の FIFO オーバランの割込み要求なし
	1	A/D コンバータ unit2 の FIFO オーバランの割込み要求あり
1	0	A/D コンバータ unit2 のスキャン変換の割込み要求なし
	1	A/D コンバータ unit2 のスキャン変換の割込み要求あり
0	0	A/D コンバータ unit2 の優先変換の割込み要求なし
	1	A/D コンバータ unit2 の優先変換の割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する ADCINT ビットは"0"になります。

#### 4.18. IRQ28 一括読出しレジスタ (IRQ28MON)

IRQ28MON は、割込みベクタ No.44 に割り当てられた割込み要求を一括で読み出せます。

bit	31		18	17	16											
Field	予約				FRT2INT											
属性	R				R											
初期値	0000000000000000				00											
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	FRT2INT			FRT1INT			FRT0INT									
属性	R			R			R									
初期値	0000			000000			000000									

[bit31:18] 予約: 予約ビット

"0"が読み出されます。

[bit17:12] FRT2INT:

bit 番号	bit	説明
17	0	MFT unit2 フリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT unit2 フリーランタイマ ch.2 ゼロ検出の割込み要求あり
16	0	MFT unit2 フリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT unit2 フリーランタイマ ch.1 ゼロ検出の割込み要求あり
15	0	MFT unit2 フリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT unit2 フリーランタイマ ch.0 ゼロ検出の割込み要求あり
14	0	MFT unit2 フリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT unit2 フリーランタイマ ch.2 ピーク値検出の割込み要求あり
13	0	MFT unit2 フリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT unit2 フリーランタイマ ch.1 ピーク値検出の割込み要求あり
12	0	MFT unit2 フリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT unit2 フリーランタイマ ch.0 ピーク値検出の割込み要求あり

[bit11:6] FRT1INT:

bit 番号	bit	説明
11	0	MFT unit1 フリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT unit1 フリーランタイマ ch.2 ゼロ検出の割込み要求あり
10	0	MFT unit1 フリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT unit1 フリーランタイマ ch.1 ゼロ検出の割込み要求あり
9	0	MFT unit1 フリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT unit1 フリーランタイマ ch.0 ゼロ検出の割込み要求あり
8	0	MFT unit1 フリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT unit1 フリーランタイマ ch.2 ピーク値検出の割込み要求あり
7	0	MFT unit1 フリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT unit1 フリーランタイマ ch.1 ピーク値検出の割込み要求あり
6	0	MFT unit1 フリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT unit1 フリーランタイマ ch.0 ピーク値検出の割込み要求あり

[bit5:0] FRT0INT:

bit 番号	bit	説明
5	0	MFT unit0 フリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.2 ゼロ検出の割込み要求あり
4	0	MFT unit0 フリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.1 ゼロ検出の割込み要求あり
3	0	MFT unit0 フリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.0 ゼロ検出の割込み要求あり
2	0	MFT unit0 フリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.2 ピーク値検出の割込み要求あり
1	0	MFT unit0 フリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.1 ピーク値検出の割込み要求あり
0	0	MFT unit0 フリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.0 ピーク値検出の割込み要求あり

## 4.19. IRQ29 一括読出しレジスタ (IRQ29MON)

IRQ29MON は、割込みベクタ No.45 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16		
Field	予約			
属性	R			
初期値	0x0000			
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Field	予約	ICU2INT	ICU1INT	ICU0INT
属性	R	R	R	R
初期値	0000	0000	0000	0000

[bit31:12] 予約: 予約ビット

"0"が読み出されます。

[bit11:8] ICU2INT:

bit 番号	bit	説明
11	0	MFT unit2 インプットキャプチャ ch.3 の割込み要求なし
	1	MFT unit2 インプットキャプチャ ch.3 の割込み要求あり
10	0	MFT unit2 インプットキャプチャ ch.2 の割込み要求なし
	1	MFT unit2 インプットキャプチャ ch.2 の割込み要求あり
9	0	MFT unit2 インプットキャプチャ ch.1 の割込み要求なし
	1	MFT unit2 インプットキャプチャ ch.1 の割込み要求あり
8	0	MFT unit2 インプットキャプチャ ch.0 の割込み要求なし
	1	MFT unit2 インプットキャプチャ ch.0 の割込み要求あり

[bit7:4] ICU1INT:

bit 番号	bit	説明
7	0	MFT unit1 インプットキャプチャ ch.3 の割込み要求なし
	1	MFT unit1 インプットキャプチャ ch.3 の割込み要求あり
6	0	MFT unit1 インプットキャプチャ ch.2 の割込み要求なし
	1	MFT unit1 インプットキャプチャ ch.2 の割込み要求あり
5	0	MFT unit1 インプットキャプチャ ch.1 の割込み要求なし
	1	MFT unit1 インプットキャプチャ ch.1 の割込み要求あり
4	0	MFT unit1 インプットキャプチャ ch.0 の割込み要求なし
	1	MFT unit1 インプットキャプチャ ch.0 の割込み要求あり

[bit3:0] ICU0INT:

bit 番号	bit	説明
3	0	MFT unit0 インプットキャプチャ ch.3 の割込み要求なし
	1	MFT unit0 インプットキャプチャ ch.3 の割込み要求あり
2	0	MFT unit0 インプットキャプチャ ch.2 の割込み要求なし
	1	MFT unit0 インプットキャプチャ ch.2 の割込み要求あり
1	0	MFT unit0 インプットキャプチャ ch.1 の割込み要求なし
	1	MFT unit0 インプットキャプチャ ch.1 の割込み要求あり
0	0	MFT unit0 インプットキャプチャ ch.0 の割込み要求なし
	1	MFT unit0 インプットキャプチャ ch.0 の割込み要求あり

## 4.20. IRQ30 一括読出しレジスタ (IRQ30MON)

IRQ30MON は、割込みベクタ No.46 に割り当てられた割込み要求を一括で読み出せます。

bit	31		18	17	16
Field		予約		OCU2INT	
属性		R		R	
初期値		0x0000		00	
bit	15	14	13	12	11 10 9 8 7 6 5 4 3 2 1 0
Field	OCU2INT		OCU1INT		OCU0INT
属性	R		R		R
初期値	0000		000000		000000

[bit31:18] 予約: 予約ビット

"0"が読み出されます。

[bit17:12] OCU2INT:

bit 番号	bit	説明
17	0	MFT unit2 アウトプットコンペア ch.5 の割込み要求なし
	1	MFT unit2 アウトプットコンペア ch.5 の割込み要求あり
16	0	MFT unit2 アウトプットコンペア ch.4 の割込み要求なし
	1	MFT unit2 アウトプットコンペア ch.4 の割込み要求あり
15	0	MFT unit2 アウトプットコンペア ch.3 の割込み要求なし
	1	MFT unit2 アウトプットコンペア ch.3 の割込み要求あり
14	0	MFT unit2 アウトプットコンペア ch.2 の割込み要求なし
	1	MFT unit2 アウトプットコンペア ch.2 の割込み要求あり
13	0	MFT unit2 アウトプットコンペア ch.1 の割込み要求なし
	1	MFT unit2 アウトプットコンペア ch.1 の割込み要求あり
12	0	MFT unit2 アウトプットコンペア ch.0 の割込み要求なし
	1	MFT unit2 アウトプットコンペア ch.0 の割込み要求あり

[bit11:6] OCU1INT:

bit 番号	bit	説明
11	0	MFT unit1 アウトプットコンペア ch.5 の割込み要求なし
	1	MFT unit1 アウトプットコンペア ch.5 の割込み要求あり
10	0	MFT unit1 アウトプットコンペア ch.4 の割込み要求なし
	1	MFT unit1 アウトプットコンペア ch.4 の割込み要求あり
9	0	MFT unit1 アウトプットコンペア ch.3 の割込み要求なし
	1	MFT unit1 アウトプットコンペア ch.3 の割込み要求あり
8	0	MFT unit1 アウトプットコンペア ch.2 の割込み要求なし
	1	MFT unit1 アウトプットコンペア ch.2 の割込み要求あり
7	0	MFT unit1 アウトプットコンペア ch.1 の割込み要求なし
	1	MFT unit1 アウトプットコンペア ch.1 の割込み要求あり
6	0	MFT unit1 アウトプットコンペア ch.0 の割込み要求なし
	1	MFT unit1 アウトプットコンペア ch.0 の割込み要求あり

[bit5:0] OCU0INT:

bit 番号	bit	説明
5	0	MFT unit0 アウトプットコンペア ch.5 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.5 の割込み要求あり
4	0	MFT unit0 アウトプットコンペア ch.4 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.4 の割込み要求あり
3	0	MFT unit0 アウトプットコンペア ch.3 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.3 の割込み要求あり
2	0	MFT unit0 アウトプットコンペア ch.2 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.2 の割込み要求あり
1	0	MFT unit0 アウトプットコンペア ch.1 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.1 の割込み要求あり
0	0	MFT unit0 アウトプットコンペア ch.0 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.0 の割込み要求あり

## 4.21. IRQ31 一括読出しレジスタ (IRQ31MON)

IRQ31MON は、割込みベクタ No.47 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	BTINT	
属性	R	
初期値	0x0000	

[bit31:16] 予約: 予約ビット

"0"が読み出されます。

[bit15:0] BTINT:

bit 番号	bit	説明
15	0	ベースタイマ ch.7 の IRQ1 割込み要求なし
	1	ベースタイマ ch.7 の IRQ1 割込み要求あり
14	0	ベースタイマ ch.7 の IRQ0 割込み要求なし
	1	ベースタイマ ch.7 の IRQ0 割込み要求あり
13	0	ベースタイマ ch.6 の IRQ1 割込み要求なし
	1	ベースタイマ ch.6 の IRQ1 割込み要求あり
12	0	ベースタイマ ch.6 の IRQ0 割込み要求なし
	1	ベースタイマ ch.6 の IRQ0 割込み要求あり
11	0	ベースタイマ ch.5 の IRQ1 割込み要求なし
	1	ベースタイマ ch.5 の IRQ1 割込み要求あり
10	0	ベースタイマ ch.5 の IRQ0 割込み要求なし
	1	ベースタイマ ch.5 の IRQ0 割込み要求あり
9	0	ベースタイマ ch.4 の IRQ1 割込み要求なし
	1	ベースタイマ ch.4 の IRQ1 割込み要求あり
8	0	ベースタイマ ch.4 の IRQ0 割込み要求なし
	1	ベースタイマ ch.4 の IRQ0 割込み要求あり
7	0	ベースタイマ ch.3 の IRQ1 割込み要求なし
	1	ベースタイマ ch.3 の IRQ1 割込み要求あり
6	0	ベースタイマ ch.3 の IRQ0 割込み要求なし
	1	ベースタイマ ch.3 の IRQ0 割込み要求あり
5	0	ベースタイマ ch.2 の IRQ1 割込み要求なし
	1	ベースタイマ ch.2 の IRQ1 割込み要求あり

bit 番号	bit	説明
4	0	ベースタイマ ch.2 の IRQ0 割込み要求なし
	1	ベースタイマ ch.2 の IRQ0 割込み要求あり
3	0	ベースタイマ ch.1 の IRQ1 割込み要求なし
	1	ベースタイマ ch.1 の IRQ1 割込み要求あり
2	0	ベースタイマ ch.1 の IRQ0 割込み要求なし
	1	ベースタイマ ch.1 の IRQ0 割込み要求あり
1	0	ベースタイマ ch.0 の IRQ1 割込み要求なし
	1	ベースタイマ ch.0 の IRQ1 割込み要求あり
0	0	ベースタイマ ch.0 の IRQ0 割込み要求なし
	1	ベースタイマ ch.0 の IRQ0 割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する BTINT ビットは"0"になります。

表 4-1 に示すようにベースタイマの割込み要因 IRQ0 および IRQ1 は、使用するベースタイマ機能によって異なります。

表 4-1 ベースタイマの各機能での割込み要因

機能	割込み要因 IRQ0	割込み要因 IRQ1
16 ビット PWM タイマ	アンダフロー検出/ デューティ一致検出	タイマ起動トリガ検出
16 ビット PPG タイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビットトリロードタイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビット PWC タイマ	オーバフロー検出	測定終了検出

## 4.22. IRQ32 一括読出しレジスタ (IRQ32MON)

IRQ32MON は、割込みベクタ No.48 に割り当てられた割込み要求を一括で読み出せます。

IRQ32MON は、CAN ch.0 からの割込み要求の状態を示します。

bit	31		8					
Field	予約							
属性	R							
初期値	0x000000							
bit	7	6	5	4	3	2	1	0
Field	予約			MAC0LPI	MAC0PMI	MAC0SBD	CAN0INT	
属性	R			R	R	R	R	R
初期値	0000			0	0	0	0	0

[bit31:4] 予約: 予約ビット

"0"が読み出されます。

[bit3] MAC0LPI:

bit	説明
0	Ethernet MAC ch.0 の LPI 割込み要求なし
1	Ethernet MAC ch.0 の LPI 割込み要求あり

[bit2] MAC0PMI:

bit	説明
0	Ethernet MAC ch.0 の PMI 割込み要求なし
1	Ethernet MAC ch.0 の PMI 割込み要求あり

[bit1] MAC0SBD:

bit	説明
0	Ethernet MAC ch.0 の SBD 割込み要求なし
1	Ethernet MAC ch.0 の SBD 割込み要求あり

[bit0] CAN0INT:

bit	説明
0	CAN ch.0 の割込み要求なし
1	CAN ch.0 の割込み要求あり

## 4.23. IRQ33 一括読み出しレジスタ (IRQ33MON)

IRQ33MON は、割込みベクタ No.49 に割り当てられた割込み要求を一括で読み出せます。

IRQ33MON は、CAN ch.1 からの割込み要求の状態を示します。

bit	31		8
Field	予約		
属性	R		
初期値	0x000000		
bit	7	6	5
Field	予約		3
属性	R		2
初期値	00000		1
			0
			CAN1INT
			R
			R
			R

[bit31:3] 予約: 予約ビット

"0"が読み出されます。

[bit2] MAC1PMI:

bit	説明
0	Ethernet MAC ch.1 の PMI 割込み要求なし
1	Ethernet MAC ch.1 の PMI 割込み要求あり

[bit1] MAC1SBD:

bit	説明
0	Ethernet MAC ch.1 の SBD 割込み要求なし
1	Ethernet MAC ch.1 の SBD 割込み要求あり

[bit0] CAN1INT:

bit	説明
0	CAN ch.1 の割込み要求なし
1	CAN ch.1 の割込み要求あり

## 4.24. IRQ34 一括読出しレジスタ (IRQ34MON)

IRQ34MON は、割込みベクタ No.50 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	USB0INT
属性	R	R
初期値	000000000000	00000

[bit31:5] 予約: 予約ビット

"0"が読み出されます。

[bit4:0] USB0INT:

bit 番号	bit	説明
4	0	USB ch.0 Endpoint5 DRQ の割込み要求なし
	1	USB ch.0 Endpoint5 DRQ の割込み要求あり
3	0	USB ch.0 Endpoint4 DRQ の割込み要求なし
	1	USB ch.0 Endpoint4 DRQ の割込み要求あり
2	0	USB ch.0 Endpoint3 DRQ の割込み要求なし
	1	USB ch.0 Endpoint3 DRQ の割込み要求あり
1	0	USB ch.0 Endpoint2 DRQ の割込み要求なし
	1	USB ch.0 Endpoint2 DRQ の割込み要求あり
0	0	USB ch.0 Endpoint1 DRQ の割込み要求なし
	1	USB ch.0 Endpoint1 DRQ の割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する USB0INT ビットは"0"になります。

## 4.25. IRQ35 一括読出しレジスタ (IRQ35MON)

IRQ35MON は、割込みベクタ No.51 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	USB0INT
属性	R	R
初期値	0000000000	000000

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5:0] USB0INT:

bit 番号	bit	説明
5	0	USB ch.0 ステータス(SOFIRQ, CMPIRQ)の割込み要求なし
	1	USB ch.0 ステータス(SOFIRQ, CMPIRQ)の割込み要求あり
4	0	USB ch.0 ステータス(DIRQ, URIRQ, RWKIRQ, CNNIRQ)の割込み要求なし
	1	USB ch.0 ステータス(DIRQ, URIRQ, RWKIRQ, CNNIRQ)の割込み要求あり
3	0	USB ch.0 ステータス(SPK)の割込み要求なし
	1	USB ch.0 ステータス(SPK)の割込み要求あり
2	0	USB ch.0 ステータス(SUSP, SOF, BRST, CONF, WKUP)の割込み要求なし
	1	USB ch.0 ステータス(SUSP, SOF, BRST, CONF, WKUP)の割込み要求あり
1	0	USB ch.0 Endpoint0 DRQO の割込み要求なし
	1	USB ch.0 Endpoint0 DRQO の割込み要求あり
0	0	USB ch.0 Endpoint0 DRQI の割込み要求なし
	1	USB ch.0 Endpoint0 DRQI の割込み要求あり

## 4.26. IRQ36 一括読出しレジスタ (IRQ36MON)

IRQ36MON は、割込みベクタ No.52 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6	5 4 3 2 1 0
Field	予約	RCEC0INT USB1INT
属性	R	R R
初期値	0000000000	0 00000

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5] RCEC0INT:

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 の割込み要求なし
1	HDMI-CEC/リモコン受信 ch.0 の割込み要求あり

[bit4:0] USB1INT:

bit 番号	bit	説明
4	0	USB ch.1 Endpoint5 DRQ の割込み要求なし
	1	USB ch.1 Endpoint5 DRQ の割込み要求あり
3	0	USB ch.1 Endpoint4 DRQ の割込み要求なし
	1	USB ch.1 Endpoint4 DRQ の割込み要求あり
2	0	USB ch.1 Endpoint3 DRQ の割込み要求なし
	1	USB ch.1 Endpoint3 DRQ の割込み要求あり
1	0	USB ch.1 Endpoint2 DRQ の割込み要求なし
	1	USB ch.1 Endpoint2 DRQ の割込み要求あり
0	0	USB ch.1 Endpoint1 DRQ の割込み要求なし
	1	USB ch.1 Endpoint1 DRQ の割込み要求あり

DRQSEL1 レジスタで DMA 転送要求を選択したとき、該当する USB1INT ビットは"0"になります。

## 4.27. IRQ37 一括読出しレジスタ (IRQ37MON)

IRQ37MON は、割込みベクタ No.53 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16	
Field	予約		
属性	R		
初期値	0x0000		
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Field	予約	RCEC1INT	USB1INT
属性	R	R	R
初期値	000000000	0	000000

[bit31:7] 予約: 予約ビット

"0"が読み出されます。

[bit6] RCEC1INT:

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 の割込み要求なし
1	HDMI-CEC/リモコン受信 ch.1 の割込み要求あり

[bit5:0] USB1INT:

bit 番号	bit	説明
5	0	USB ch.1 ステータス(SOFIRQ, CMPIRQ)の割込み要求なし
	1	USB ch.1 ステータス(SOFIRQ, CMPIRQ)の割込み要求あり
4	0	USB ch.1 ステータス(DIRQ, URIRQ, RWKIRQ, CNNIRQ)の割込み要求なし
	1	USB ch.1 ステータス(DIRQ, URIRQ, RWKIRQ, CNNIRQ)の割込み要求あり
3	0	USB ch.1 ステータス(SPK)の割込み要求なし
	1	USB ch.1 ステータス(SPK)の割込み要求あり
2	0	USB ch.1 ステータス(SUSP, SOF, BRST, CONF, WKUP)の割込み要求なし
	1	USB ch.1 ステータス(SUSP, SOF, BRST, CONF, WKUP)の割込み要求あり
1	0	USB ch.1 Endpoint0 DRQO の割込み要求なし
	1	USB ch.1 Endpoint0 DRQO の割込み要求あり
0	0	USB ch.1 Endpoint0 DRQI の割込み要求なし
	1	USB ch.1 Endpoint0 DRQI の割込み要求あり

## 4.28. IRQ38/39/40/41/42/43/44/45 一括読出しレジスタ (IRQxxMON)

IRQ38MON は、割込みベクタ No.54 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ39MON は、割込みベクタ No.55 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ40MON は、割込みベクタ No.56 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ41MON は、割込みベクタ No.57 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ42MON は、割込みベクタ No.58 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ43MON は、割込みベクタ No.59 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ44MON は、割込みベクタ No.60 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ45MON は、割込みベクタ No.61 に割り当てられた割込み要求を一括で読み出せます。

IRQ38MON は、DMAC ch.0 からの割込み要求の状態を示します。  
 IRQ39MON は、DMAC ch.1 からの割込み要求の状態を示します。  
 IRQ40MON は、DMAC ch.2 からの割込み要求の状態を示します。  
 IRQ41MON は、DMAC ch.3 からの割込み要求の状態を示します。  
 IRQ42MON は、DMAC ch.4 からの割込み要求の状態を示します。  
 IRQ43MON は、DMAC ch.5 からの割込み要求の状態を示します。  
 IRQ44MON は、DMAC ch.6 からの割込み要求の状態を示します。  
 IRQ45MON は、DMAC ch.7 からの割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														DMAINT	
属性	R														R	
初期値	0000000000000000														0	

[bit31:1] 予約: 予約ビット  
 "0"が読み出されます。

[bit0] DMAINT:

bit	説明
0	DMA コントローラの該当するチャネルの割込み要求なし
1	DMA コントローラの該当するチャネルの割込み要求あり

## 4.29. IRQ46 一括読出しレジスタ (IRQ46MON)

IRQ46MON は、割込みベクタ No.62 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	BTINT	
属性	R	
初期値	0x0000	

[bit31:16] 予約: 予約ビット

"0"が読み出されます。

[bit15:0] BTINT:

bit 番号	bit	説明
15	0	ベースタイマ ch.15 の IRQ1 割込み要求なし
	1	ベースタイマ ch.15 の IRQ1 割込み要求あり
14	0	ベースタイマ ch.15 の IRQ0 割込み要求なし
	1	ベースタイマ ch.15 の IRQ0 割込み要求あり
13	0	ベースタイマ ch.14 の IRQ1 割込み要求なし
	1	ベースタイマ ch.14 の IRQ1 割込み要求あり
12	0	ベースタイマ ch.14 の IRQ0 割込み要求なし
	1	ベースタイマ ch.14 の IRQ0 割込み要求あり
11	0	ベースタイマ ch.13 の IRQ1 割込み要求なし
	1	ベースタイマ ch.13 の IRQ1 割込み要求あり
10	0	ベースタイマ ch.13 の IRQ0 割込み要求なし
	1	ベースタイマ ch.13 の IRQ0 割込み要求あり
9	0	ベースタイマ ch.12 の IRQ1 割込み要求なし
	1	ベースタイマ ch.12 の IRQ1 割込み要求あり
8	0	ベースタイマ ch.12 の IRQ0 割込み要求なし
	1	ベースタイマ ch.12 の IRQ0 割込み要求あり
7	0	ベースタイマ ch.11 の IRQ1 割込み要求なし
	1	ベースタイマ ch.11 の IRQ1 割込み要求あり
6	0	ベースタイマ ch.11 の IRQ0 割込み要求なし
	1	ベースタイマ ch.11 の IRQ0 割込み要求あり
5	0	ベースタイマ ch.10 の IRQ1 割込み要求なし
	1	ベースタイマ ch.10 の IRQ1 割込み要求あり

bit 番号	bit	説明
4	0	ベースタイマ ch.10 の IRQ0 割込み要求なし
	1	ベースタイマ ch.10 の IRQ0 割込み要求あり
3	0	ベースタイマ ch.9 の IRQ1 割込み要求なし
	1	ベースタイマ ch.9 の IRQ1 割込み要求あり
2	0	ベースタイマ ch.9 の IRQ0 割込み要求なし
	1	ベースタイマ ch.9 の IRQ0 割込み要求あり
1	0	ベースタイマ ch.8 の IRQ1 割込み要求なし
	1	ベースタイマ ch.8 の IRQ1 割込み要求あり
0	0	ベースタイマ ch.8 の IRQ0 割込み要求なし
	1	ベースタイマ ch.8 の IRQ0 割込み要求あり

表 4-2 に示すようにベースタイマの割込み要因 IRQ0 および IRQ1 は、使用するベースタイマ機能によって異なります。

表 4-2 ベースタイマの各機能での割込み要因

機能	割込み要因 IRQ0	割込み要因 IRQ1
16 ビット PWM タイマ	アンダフロー検出/ デューティ一致検出	タイマ起動トリガ検出
16 ビット PPG タイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビットトリロードタイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビット PWC タイマ	オーバフロー検出	測定終了検出

## 4.30. IRQ47 一括読み出しレジスタ (IRQ47MON)

IRQ47MON は、割込みベクタ No.63 に割り当てられた割込み要求を一括で読み出せます。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field				FLASHINT												
属性	R			R											R	
初期値	0000			0											000000000000	

[bit31:12] 予約: 予約ビット

"0"が読み出されます。

[bit11] FLASHINT:

bit	説明
0	Flash の RDY, HANG 割込み要求なし
1	Flash の RDY, HANG 割込み要求あり

[bit10:0] 予約: 予約ビット

"0"が読み出されます。

## 4.31. USB ch.0 奇数パケットサイズ DMA 許可レジスタ (ODDPKS)

USB ch.0 自動転送 IN 方向転送時に最終パケットの最終データのみ有効ビット幅を強制的にバイト(8ビット)に変換して USB エンドポイントに書き込みます(TYPE1 以降の製品に存在します)。

bit	31	29	28	24	23	16
Field	予約		ODDPKS[4:0]			予約
属性	R/W		R/W			R/W
初期値	000		00000			0x00
bit	15					0
Field				予約		
属性				R/W		
初期値				0x0000		

[bit31:29] 予約: 予約ビット  
"0"を書き込んでください。"0"が読み出されます。

[bit28] ODDPKS4 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP5DT のとき、最終転送データのビット幅をバイトに変換します。

[bit27] ODDPKS3 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP4DT のとき、最終転送データのビット幅をバイトに変換します。

[bit26] ODDPKS2 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP3DT のとき、最終転送データのビット幅をバイトに変換します。

[bit25] ODDPKS1 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP2DT のとき、最終転送データのビット幅をバイトに変換します。

[bit24] ODDPKS0 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP1DT のとき、最終転送データのビット幅をバイトに変換します。

[bit23:0] 予約: 予約ビット

"0"を書き込んでください。"0"が読み出されます。

---

**<注意事項>**

- ・本レジスタは USB ch.0において、USB データ数自動転送モードで IN 方向転送時のみ有効です。
  - ・偶数バイト数を転送する場合は、"1"に設定しないでください。
-

## 4.32. USB ch.1 奇数パケットサイズ DMA 許可レジスタ (ODDPKS1)

USB ch.1 自動転送 IN 方向転送時に最終パケットの最終データのみ有効ビット幅を強制的にバイト(8 ビット)に変換して USB エンドポイントに書き込みます。(TYPE2 製品にのみ存在します)。

bit	31	29	28	24	23	16
Field	予約		ODDPKS1[4:0]			予約
属性	R/W		R/W			R/W
初期値	000		00000			0x00

bit	15	0
Field	予約	
属性	R/W	
初期値	0x0000	

[bit31:29] 予約: 予約ビット  
"0"を書き込んでください。"0"が読み出されます。

[bit28] ODDPKS14 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP5DT のとき、最終転送データのビット幅をバイトに変換します。

[bit27] ODDPKS13 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP4DT のとき、最終転送データのビット幅をバイトに変換します。

[bit26] ODDPKS12 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP3DT のとき、最終転送データのビット幅をバイトに変換します。

[bit25] ODDPKS11 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP2DT のとき、最終転送データのビット幅をバイトに変換します。

[bit24] ODDPKS10 :

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB:EP1DT のとき、最終転送データのビット幅をバイトに変換します。

[bit23:0] 予約: 予約ビット

"0"を書き込んでください。"0"が読み出されます。

---

**<注意事項>**

- ・本レジスタは USB ch.1において、USB データ数自動転送モードで IN 方向転送時のみ有効です。
  - ・偶数バイト数を転送する場合は、"1"に設定しないでください。
-

## 5. 使用上の注意

---

割込みコントローラを使用する際は、次の点を注意してください。

---

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から復帰する場合には、必ずその割込み要求をクリアしてください。
- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。
- 各周辺リソースにおける具体的なイベント検出レジスタと割込み許可レジスタの対応は、各マクロの章を参照してください。

## CHAPTER: 割込み(B)

割込み要因ベクタリロケート機能選択時の割込みコントローラと周辺割込み要求について説明します。IRQCMODER=1 に設定した場合に本章を参照してください。IRQCMODER=0 に設定した場合は『割込み(A)』章を参照してください。

1. 概要
2. 構成
3. 例外と割込み要因ベクタ
4. レジスタ
5. 使用上の注意

---

管理コード: 9BFIRQC\_B-J01.0

## 1. 概要

割込みコントローラは、割込み要求の優先度を判定して、要求を CPU へ送ります。Cortex-M3 の CPU コアはコア内部に NVIC(ネスト型ベクタ割込みコントローラ)を搭載しています。周辺からのいくつかの割込み信号は、NVIC の 1 つの割込み要因ベクタに集約して入力されます。どの割込み要求が発生しているかは、割込み要求一括読出しレジスタで確認できます。また、一部の割込み要因については割込み要求を DMA 要求信号に変換するように設定できます。

### ■ NVIC(ネスト型ベクタ割込みコントローラ)の特長

- ・ 48 個のマスク可能な周辺割込みチャネル(Cortex -M3 の 16 個の例外割込みは含みません)
- ・ プログラム可能な 16 の割込み優先度レベル(4 ビットの優先割込みを使用)
- ・ レイテンシが短い例外および割込み処理の実現
- ・ システム制御レジスタの実装
- ・ ノンマスカブル割込み(NMI)入力対応

NVIC とプロセッサコアのインターフェースとは密接に結びついており、レイテンシの短い割込み処理や、後着割込みを効率的に処理できるように工夫されています。NVIC は割込みのテールチーンを可能にするため、ネストされた割込み情報を保持します。

コアの例外を含むすべての割込みは NVIC で管理されます。例外と NVIC の詳細については、ARM 社『Cortex-M3 テクニカルリファレンスマニュアル』の『5 章 例外』と『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

### <注意事項>

『Cortex-M3 テクニカルリファレンスマニュアル』では例外タイプ:IRQ をすべて外部割込み入力と定義しています。本マニュアルでは、例外タイプ:IRQ を周辺割込みと表現します。周辺割込みには、外部端子による割込み「外部割込み・NMI 制御部」と LSI 内部の周辺リソースからの割込みがあります。

### ■ 割込み要因集約機能

各周辺リソースからの割込み要求信号を 48 要因に集約して、NVIC に入力しています。また、NMIX 外部端子の割込み要求信号は、ハードウェアウォッチドッグの割込み信号と論理 OR して NVIC に入力しています。

### ■ 周辺割込み要求一括読出し機能

割込み要求一括読出しレジスタは、1 つの割込み要求信号に集約された周辺リソースからの割込み要求信号を一度に読み出せるレジスタです。このレジスタを読み出すことにより、どの割込み要求が発生しているかを確認できます。ただし、この機能で割込み要求フラグをクリアすることはできません。割込み要求フラグは、各周辺機能のレジスタでクリアしてください。

### ■ DMA 転送要求出力選択機能

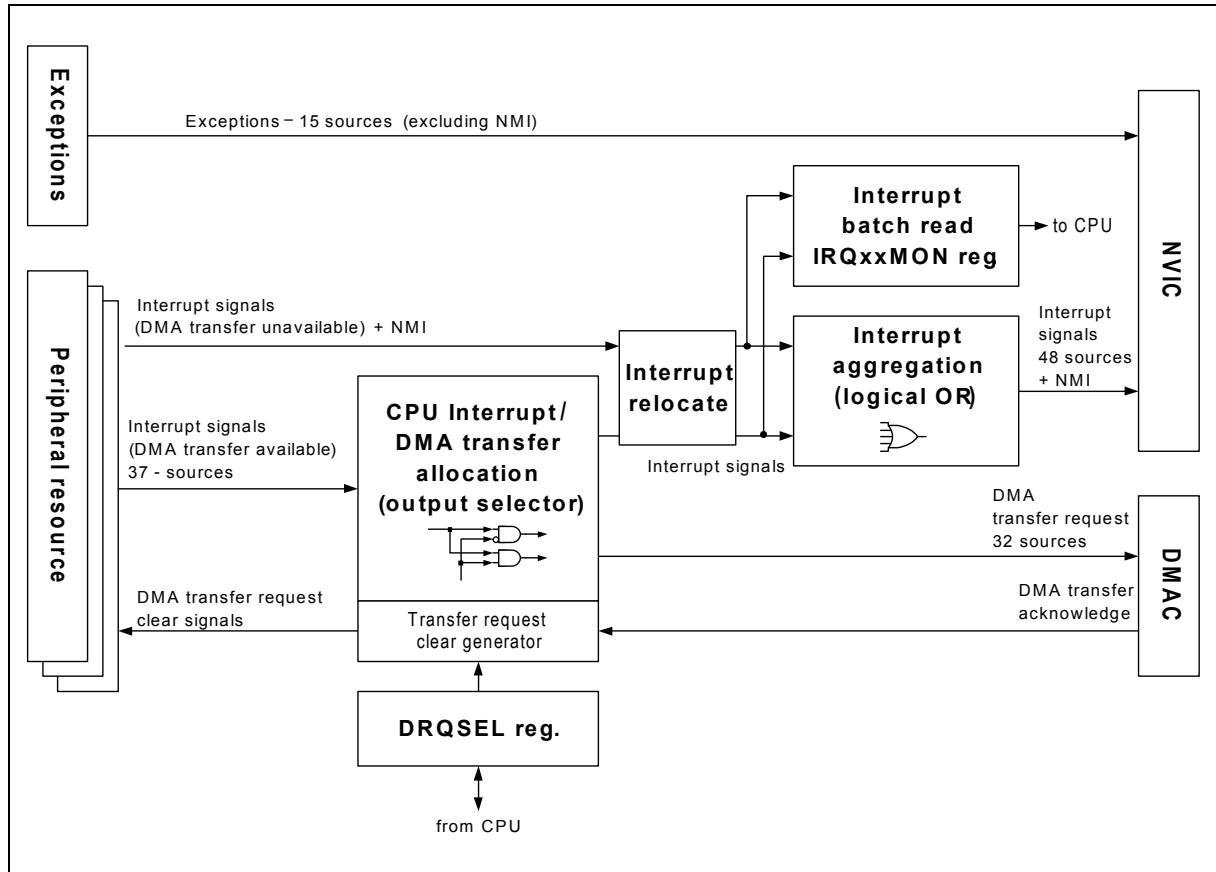
一部の周辺機能からの割込み要求を利用して DMA 転送が起動できます。DRQSEL レジスタにて、各周辺リソースからの割込み要求信号を CPU へ割込み要求信号として出力するか、DMAC へ転送要求信号として出力するかを選択します。また、DMA 転送要求信号については、別章の『DMAC』を参照してください。

## 2. 構成

割込みコントローラと DMA 転送要求の関連構成を示します。

### ■ 割込みコントローラ・DMA 転送要求のブロックダイヤグラム

図 2-1 割込みコントローラ・DMA 転送要求のブロックダイヤグラム



#### ● 割込み要因集約部 (Interrupt aggregation)

各周辺リソースからの割込み要求信号を 48 要因に集約（論理 OR）して、NVIC に出力します。

#### ● 周辺割込み要求一括読出しレジスタ部 (Interrupt batch read register)

1 つの割込み要求信号に集約された周辺リソースからの割込み要求信号に対し、各周辺リソースのどの割込み要求信号によって、該当割込みが発生しているかを確認できるレジスタです。

#### ● CPU 割込み要求/DMA 転送要求振り分け部 (CPU Interrupt/DMA transfer allocation)

DRQSEL レジスタ設定を用いて、各周辺リソースからの割込み要求信号を CPU へ割込み要求信号として出力するか、DMAC へ転送要求信号として出力するかを選択する出力セレクタです。

### 3. 例外と割込み要因ベクタ

NVIC に入力される例外と割込みの要因ベクタ表を示します。

表 3-1 例外と割込み要因ベクタ

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ Offset
0	-	スタックポインタ初期値	0x00
1	-	リセット	0x04
2	-	ノンマスカブル割込み(NMI) / ハードウェアオッヂドッグタイマ	0x08
3	-	ハードフォルト	0x0C
4	-	メモリ管理	0x10
5	-	バスフォルト	0x14
6	-	用途フォルト	0x18
7-10	-	Reserved	0x1C - 0x2B
11	-	SVCALL(スーパーバイザコール)	0x2C
12	-	デバッグモニタ	0x30
13	-	Reserved	0x34
14	-	PendSV	0x38
15	-	SysTick	0x3C
16	0	クロックスーパーバイザによる異常周波数検出(FCS)	0x40
17	1	ソフトウェアオッヂドッグタイマ	0x44
18	2	低電圧検出(LVD)	0x48
19	3	RCINTSEL0 レジスタの INTSEL0 で選択した割込み要因	0x4C
20	4	RCINTSEL0 レジスタの INTSEL1 で選択した割込み要因	0x50
21	5	RCINTSEL0 レジスタの INTSEL2 で選択した割込み要因	0x54
22	6	RCINTSEL0 レジスタの INTSEL3 で選択した割込み要因	0x58
23	7	RCINTSEL1 レジスタの INTSEL4 で選択した割込み要因	0x5C
24	8	RCINTSEL1 レジスタの INTSEL5 で選択した割込み要因	0x60
25	9	RCINTSEL1 レジスタの INTSEL6 で選択した割込み要因	0x64
26	10	RCINTSEL1 レジスタの INTSEL7 で選択した割込み要因	0x68
27	11	MFT unit0 波形ジェネレータ/DTIF(モータ緊急停止)	0x6C
28	12	外部端子割込み要求 ch.0～ch.7	0x70
29	13	外部端子割込み要求 ch.8～ch.31	0x74
30	14	デュアルタイマ / クアッドカウンタ(QPRC) ch.0	0x78
31	15	マルチファンクションシリアルインターフェース ch.0 の受信割込み要求, 送信割込み要求, ステータス割込み要求	0x7C
32	16	マルチファンクションシリアルインターフェース ch.1 の送信割込み要求, 送信割込み要求, ステータス割込み要求	0x80

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ Offset
33	17	マルチファンクションシリアルインタフェース ch.2 の受信割込み要求, 送信割込み要求, ステータス割込み要求	0x84
34	18	マルチファンクションシリアルインタフェース ch.3 の送信割込み要求, 送信割込み要求, ステータス割込み要求	0x88
35	19	マルチファンクションシリアルインタフェース ch.4 の受信割込み要求	0x8C
36	20	マルチファンクションシリアルインタフェース ch.4 の送信割込み要求, ステータス割込み要求	0x90
37	21	マルチファンクションシリアルインタフェース ch.5 の受信割込み要求	0x94
38	22	マルチファンクションシリアルインタフェース ch.5 の送信割込み要求, ステータス割込み要求	0x98
39	23	PPG ch.0/2/4/8/10/12/16/18/20	0x9C
40	24	外部メイン発振 / 外部サブ発振 / メイン PLL / USB 用 PLL / 時計カウンタ/リアルタイムカウンタ	0xA0
41	25	A/D コンバータ unit0	0xA4
42	26	A/D コンバータ unit1	0xA8
43	27	A/D コンバータ unit2 / LCD コントローラ	0xAC
44	28	MFT unit0 フリーランタイマ/インプットキャプチャ/アウトプットコンペア	0xB0
45	29	MFT unit1 フリーランタイマ/インプットキャプチャ/アウトプットコンペア	0xB4
46	30	MFT unit2 フリーランタイマ/インプットキャプチャ/アウトプットコンペア	0xB8
47	31	ベースタイマ ch.0~ch.7	0xBC
48	32	CAN ch.0 / Ethernet ch.0	0xC0
49	33	CAN ch.1 / Ethernet ch.1	0xC4
50	34	USB ch.0 ファンクション(End Point 1~5 の DRQ) *	0xC8
51	35	USB ch.0 ファンクション(End Point 0 の DRQI, DRQO と各ステータス) / USB ch.0 ホスト(各ステータス) *	0xCC
52	36	USB ch.1 ファンクション(End Point 1~5 の DRQ) */ HDMI-CEC, リモコン受信 ch.0	0xD0
53	37	USB ch.1 ファンクション(End Point 0 の DRQI, DRQO と各ステータス) / USB ch.1 ホスト(各ステータス) */ HDMI-CEC, リモコン受信 ch.1	0xD4
54	38	DMA コントローラ(DMAC) ch.0~ch.7	0xD8
55	39	MFT unit1 波形ジェネレータ/DTIF(モータ緊急停止)	0xDC
56	40	MFT unit2 波形ジェネレータ/DTIF(モータ緊急停止)	0xE0
57	41	クアッドカウンタ(QPRC) ch.1	0xE4
58	42	マルチファンクションシリアルインタフェース ch.6 の受信割込み要求	0xE8
59	43	マルチファンクションシリアルインタフェース ch.6 の送信割込み要求, ステータス割込み要求	0xEC
60	44	マルチファンクションシリアルインタフェース ch.7 の受信割込み要求	0xF0

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ Offset
61	45	マルチファンクションシリアルインターフェース ch.7 の送信割込み要求, ステータス割込み要求	0xF4
62	46	ベースタイマ ch.8～ch.15	0xF8
63	47	クアッドカウンタ(QPRC) ch.2 / Flash RDY, HANG 割込み	0xFC

## \*: USB 割込み要因

ベクタ No.	IRQ No.	USB 割込み要因	フラグ
50	34	USB ch.0 ファンクション(End Point 1～5 の DRQ)	DRQ (End Point 1～5)
51	35	USB ch.0 ファンクション (End Point 0 の DRQI, DRQO と各ステータス)	DRQI, DRQO, SPK, SUSP, SOF, BRST, CONF, WKUP
		USB ch.0 ホスト(各ステータス)	DIRQ, URIRQ, RWKIRQ, CNNIRQ, SOFIRQ, CMPIRQ
52	36	USB ch.1 ファンクション(End Point 1～5 の DRQ)	DRQ (End Point 1～5)
53	37	USB ch.1 ファンクション (End Point 0 の DRQI, DRQO と各ステータス)	DRQI, DRQO, SPK, SUSP, SOF, BRST, CONF, WKUP
		USB ch.1 ホスト(各ステータス)	DIRQ, URIRQ, RWKIRQ, CNNIRQ, SOFIRQ, CMPIRQ

ベクタ No.4～No.15 の例外の優先度は、NVIC に実装されたシステムハンドラ優先度レジスタ (System Handlers Priority Register、アドレス 0xE000ED18, 0xE000ED1C, 0xE000ED20)で設定可能です。ベクタ No.16 以降の周辺割込みの優先度は、NVIC に実装された割込み優先度レジスタ(IRQ Priority Register、アドレス 0xE000E400～0xE000E42C)で設定可能です。

ベクタ No.2, No.16～No.63 の割込みは一括読み出しレジスタで要因が確認できます。そのほかの例外・割込みについては『Cortex-M3 テクニカルリファレンスマニュアル』の『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

また、ベクタ No.2, No.16～No.63 の割込みは、一括読み出しされた要因が各周辺マクロ内で複数の割込み要因が論理 OR された信号があります。その詳細は、各周辺リソースの割込みについての説明を参照してください。

## 4. レジスタ

DMA 転送要求選択レジスタと割込み要求一括読出しレジスタについて説明します。

### ■ DMA 転送要求選択レジスタと割込み要求一括読出しレジスター一覧

レジスタ略称	レジスタ名	参照先
DRQSEL	DMA 要求選択レジスタ	4.1
EXC02MON	EXC02 一括読出しレジスタ	4.2
IRQ00MON	IRQ00 一括読出しレジスタ	4.3
IRQ01MON	IRQ01 一括読出しレジスタ	4.4
IRQ02MON	IRQ02 一括読出しレジスタ	4.5
IRQ03MON	IRQ03 一括読出しレジスタ	4.6
IRQ04MON	IRQ04 一括読出しレジスタ	
IRQ05MON	IRQ05 一括読出しレジスタ	
IRQ06MON	IRQ06 一括読出しレジスタ	
IRQ07MON	IRQ07 一括読出しレジスタ	
IRQ08MON	IRQ08 一括読出しレジスタ	
IRQ09MON	IRQ09 一括読出しレジスタ	
IRQ10MON	IRQ10 一括読出しレジスタ	
IRQ11MON	IRQ11 一括読出しレジスタ	4.7
IRQ12MON	IRQ12 一括読出しレジスタ	4.8
IRQ13MON	IRQ13 一括読出しレジスタ	4.9
IRQ14MON	IRQ14 一括読出しレジスタ	4.10
IRQ15MON	IRQ15 一括読出しレジスタ	4.11
IRQ16MON	IRQ16 一括読出しレジスタ	
IRQ17MON	IRQ17 一括読出しレジスタ	
IRQ18MON	IRQ18 一括読出しレジスタ	
IRQ19MON	IRQ19 一括読出しレジスタ	4.12
IRQ20MON	IRQ20 一括読出しレジスタ	4.13
IRQ21MON	IRQ21 一括読出しレジスタ	4.12
IRQ22MON	IRQ22 一括読出しレジスタ	4.13
IRQ23MON	IRQ23 一括読出しレジスタ	4.14
IRQ24MON	IRQ24 一括読出しレジスタ	4.15
IRQ25MON	IRQ25 一括読出しレジスタ	4.16
IRQ26MON	IRQ26 一括読出しレジスタ	

レジスタ略称	レジスタ名	参照先
IRQ27MON	IRQ27一括読出しレジスタ	4.17
IRQ28MON	IRQ28一括読出しレジスタ	
IRQ29MON	IRQ29一括読出しレジスタ	4.18
IRQ30MON	IRQ30一括読出しレジスタ	
IRQ31MON	IRQ31一括読出しレジスタ	4.19
IRQ32MON	IRQ32一括読出しレジスタ	4.20
IRQ33MON	IRQ33一括読出しレジスタ	4.21
IRQ34MON	IRQ34一括読出しレジスタ	4.22
IRQ35MON	IRQ35一括読出しレジスタ	4.23
IRQ36MON	IRQ36一括読出しレジスタ	4.24
IRQ37MON	IRQ37一括読出しレジスタ	4.25
IRQ38MON	IRQ38一括読出しレジスタ	4.26
IRQ39MON	IRQ39一括読出しレジスタ	4.7
IRQ40MON	IRQ40一括読出しレジスタ	
IRQ41MON	IRQ41一括読出しレジスタ	4.27
IRQ42MON	IRQ42一括読出しレジスタ	4.12
IRQ43MON	IRQ43一括読出しレジスタ	4.13
IRQ44MON	IRQ44一括読出しレジスタ	4.12
IRQ45MON	IRQ45一括読出しレジスタ	4.13
IRQ46MON	IRQ46一括読出しレジスタ	4.28
IRQ47MON	IRQ47一括読出しレジスタ	4.29
ODDPKS*1	USB ch.0 奇数パケットサイズ DMA 許可レジスタ	4.30
IRQCMDER*2	割込み要因ベクタリオケート設定レジスタ	4.31
RCINTSEL0	割込み要因選択レジスタ 0	4.32
RCINTSEL1	割込み要因選択レジスタ 1	4.33

\*1 : TYPE0 製品にはありません。

\*2 : TYPE0～TYPE3 製品にありません。

NVIC 内のレジスタの詳細は、『Cortex-M3 テクニカルリファレンスマニュアル』の『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

## 4.1. DMA 要求選択レジスタ (DRQSEL)

DMA 要求選択レジスタ(DRQSEL)は、DMA 転送可能な割込み信号を CPU への割込み要求として出力させるか、DMAC への転送要求として出力させるかを選択します。

bit	31	0
Field	DRQSEL[31:0]	
初期値	0x00000000	
属性	R/W	

[bit31:0] DRQSEL :

bit 番号	bit	説明
31	0	外部割込み ch.3 の割込み信号は CPU へ割込み要求出力
	1	外部割込み ch.3 の割込み信号は DMAC へ転送要求出力
30	0	外部割込み ch.2 の割込み信号は CPU へ割込み要求出力
	1	外部割込み ch.2 の割込み信号は DMAC へ転送要求出力
29	0	外部割込み ch.1 の割込み信号は CPU へ割込み要求出力
	1	外部割込み ch.1 の割込み信号は DMAC へ転送要求出力
28	0	外部割込み ch.0 の割込み信号は CPU へ割込み要求出力
	1	外部割込み ch.0 の割込み信号は DMAC へ転送要求出力
27	0	MFS ch.7 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.7 の送信割込み信号は DMAC へ転送要求出力
26	0	MFS ch.7 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.7 の受信割込み信号は DMAC へ転送要求出力
25	0	MFS ch.6 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.6 の送信割込み信号は DMAC へ転送要求出力
24	0	MFS ch.6 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.6 の受信割込み信号は DMAC へ転送要求出力
23	0	MFS ch.5 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.5 の送信割込み信号は DMAC へ転送要求出力
22	0	MFS ch.5 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.5 の受信割込み信号は DMAC へ転送要求出力
21	0	MFS ch.4 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.4 の送信割込み信号は DMAC へ転送要求出力
20	0	MFS ch.4 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.4 の受信割込み信号は DMAC へ転送要求出力
19	0	MFS ch.3 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.3 の送信割込み信号は DMAC へ転送要求出力
18	0	MFS ch.3 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.3 の受信割込み信号は DMAC へ転送要求出力

bit 番号	bit	説明
17	0	MFS ch.2 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.2 の送信割込み信号は DMAC へ転送要求出力
16	0	MFS ch.2 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.2 の受信割込み信号は DMAC へ転送要求出力
15	0	MFS ch.1 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.1 の送信割込み信号は DMAC へ転送要求出力
14	0	MFS ch.1 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.1 の受信割込み信号は DMAC へ転送要求出力
13	0	MFS ch.0 の送信割込み信号は CPU へ割込み要求出力
	1	MFS ch.0 の送信割込み信号は DMAC へ転送要求出力
12	0	MFS ch.0 の受信割込み信号は CPU へ割込み要求出力
	1	MFS ch.0 の受信割込み信号は DMAC へ転送要求出力
11	0	ベースタイマ ch.6 の IRQ0 割込み信号は CPU へ割込み要求出力
	1	ベースタイマ ch.6 の IRQ0 割込み信号は DMAC へ転送要求出力
10	0	ベースタイマ ch.4 の IRQ0 割込み信号は CPU へ割込み要求出力
	1	ベースタイマ ch.4 の IRQ0 割込み信号は DMAC へ転送要求出力
9	0	ベースタイマ ch.2 の IRQ0 割込み信号は CPU へ割込み要求出力
	1	ベースタイマ ch.2 の IRQ0 割込み信号は DMAC へ転送要求出力
8	0	ベースタイマ ch.0 の IRQ0 割込み信号は CPU へ割込み要求出力
	1	ベースタイマ ch.0 の IRQ0 割込み信号は DMAC へ転送要求出力
7	0	A/D コンバータ unit2 スキャン変換割込み信号は CPU へ割込み要求出力
	1	A/D コンバータ unit2 スキャン変換割込み信号は DMAC へ転送要求出力
6	0	A/D コンバータ unit1 スキャン変換割込み信号は CPU へ割込み要求出力
	1	A/D コンバータ unit1 スキャン変換割込み信号は DMAC へ転送要求出力
5	0	A/D コンバータ unit0 スキャン変換割込み信号は CPU へ割込み要求出力
	1	A/D コンバータ unit0 スキャン変換割込み信号は DMAC へ転送要求出力
4	0	USB ch.0 の EP5 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP5 DRQ の割込み信号は DMAC へ転送要求出力
3	0	USB ch.0 の EP4 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP4 DRQ の割込み信号は DMAC へ転送要求出力
2	0	USB ch.0 の EP3 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP3 DRQ の割込み信号は DMAC へ転送要求出力
1	0	USB ch.0 の EP2 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP2 DRQ の割込み信号は DMAC へ転送要求出力
0	0	USB ch.0 の EP1 DRQ の割込み信号は CPU へ割込み要求出力
	1	USB ch.0 の EP1 DRQ の割込み信号は DMAC へ転送要求出力

MFS: マルチファンクションシリアルインターフェース

**<注意事項>**

- ・割込み信号を DMACへの転送要求として選択した場合、該当する割込み要求一括読出しレジスター(IRQxxMON, xx=00~47)の読み出しひット値は、割込み発生の有無に関わらず"0"です。
- ・DRQSEL の設定を変更する場合は、該当する周辺からの割込み要求信号をクリアした状態にしてから変更してください。
- ・DRQSEL 設定に記載のない割込み信号は、ハードウェアによる DMA 転送起動はできません。

## 4.2. EXC02 一括読出しレジスタ (EXC02MON)

EXC02MON は、割込みベクタ No.2 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	HWINT NMI
初期値	0000000000000000	0 0
属性	R	R R

[bit31:2] 予約: 予約ビット

"0"が読み出されます。

[bit1] HWINT:

bit	説明
0	ハードウェアウォッチドッグタイマの割込み要求なし
1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

bit	説明
0	NMIX 外部端子の割込み要求なし
1	NMIX 外部端子の割込み要求あり

### 4.3. IRQ00 一括読出しレジスタ (IRQ00MON)

IRQ00MON は、割込みベクタ No.16 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	FCSINT
初期値	0000000000000000	0
属性	R	R

[bit31:1] 予約: 予約ビット  
"0"が読み出されます。

[bit0] FCSINT:

bit	説明
0	CSV による異常周波数検出の割込み要求なし
1	CSV による異常周波数検出の割込み要求あり

## 4.4. IRQ01 一括読み出しレジスタ (IRQ01MON)

IRQ01MON は、割込みベクタ No.17 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	Reserved	
初期値	0000000000000000	0
属性	R	R

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] SWWDTINT:

bit	説明
0	ソフトウェアウォッチドッグタイマの割込み要求なし
1	ソフトウェアウォッチドッグタイマの割込み要求あり

## 4.5. IRQ02 一括読み出しレジスタ (IRQ02MON)

IRQ02MON は、割込みベクタ No.18 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	
初期値	0000000000000000	0
属性	R	R

[bit31:1] 予約: 予約ビット

"0"が読み出されます。

[bit0] LVDINT:

bit	説明
0	低電圧検出(LVD)の割込み要求なし
1	低電圧検出(LVD)の割込み要求あり

## 4.6. IRQ03～IRQ10一括読出しレジスタ (IRQ03MON～IRQ10MON)

IRQ03MON は、割込みベクタ No.19 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ04MON は、割込みベクタ No.20 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ05MON は、割込みベクタ No.21 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ06MON は、割込みベクタ No.22 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ07MON は、割込みベクタ No.23 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ08MON は、割込みベクタ No.24 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ09MON は、割込みベクタ No.25 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ10MON は、割込みベクタ No.26 に割り当てられた割込み要求を一括で読み出せます。

IRQ03MON は、RCINTSEL0:INTSEL0 で選択された割込み要求の状態を示します。  
 IRQ04MON は、RCINTSEL0:INTSEL1 で選択された割込み要求の状態を示します。  
 IRQ05MON は、RCINTSEL0:INTSEL2 で選択された割込み要求の状態を示します。  
 IRQ06MON は、RCINTSEL0:INTSEL3 で選択された割込み要求の状態を示します。  
 IRQ07MON は、RCINTSEL1:INTSEL4 で選択された割込み要求の状態を示します。  
 IRQ08MON は、RCINTSEL1:INTSEL5 で選択された割込み要求の状態を示します。  
 IRQ09MON は、RCINTSEL1:INTSEL6 で選択された割込み要求の状態を示します。  
 IRQ10MON は、RCINTSEL1:INTSEL7 で選択された割込み要求の状態を示します。

bit	31		16													
Field	予約															
初期値	0x0000															
属性	R															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															RCINT
初期値	0000000000000000															0
属性	R															R/W

[bit31:1] 予約: 予約ビット  
 "0"が読み出されます。

[bit0] RCINT:

bit	説明
0	該当 RCINTSELx:INTSELx で選択した割込み要求なし
1	該当 RCINTSELx:INTSELx で選択した割込み要求あり*

\*:割込み要因にベースタイマを選択した場合は IRQ0/IRQ1 のどちらかの要因により "1"に設定されます。

## 4.7. IRQ11/39/40 一括読出しレジスタ (IRQxxMON)

IRQ11MON は、割込みベクタ No.27 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ39MON は、割込みベクタ No.55 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ40MON は、割込みベクタ No.56 に割り当てられた割込み要求を一括で読み出せます。

IRQ11MON は、MFT unit0 WFG タイマ, DTIF からの割込み要求の状態を示します。

IRQ39MON は、MFT unit1 WFG タイマ, DTIF からの割込み要求の状態を示します。

IRQ40MON は、MFT unit2 WFG タイマ, DTIF からの割込み要求の状態を示します。

bit	31		16													
Field	予約															
初期値	0x0000															
属性	R															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								WAVEINT							
初期値	0x0000								0000							
属性	R								R							

### [bit31:4] 予約: 予約ビット

"0"が読み出されます。

### [bit3:0] WAVEINT:

bit 番号	bit	説明
3	0	MFT 該当 unit の WFG タイマ 54 の割込み要求なし
	1	MFT 該当 unit の WFG タイマ 54 の割込み要求あり
2	0	MFT 該当 unit の WFG タイマ 32 の割込み要求なし
	1	MFT 該当 unit の WFG タイマ 32 の割込み要求あり
1	0	MFT 該当 unit の WFG タイマ 10 の割込み要求なし
	1	MFT 該当 unit の WFG タイマ 10 の割込み要求あり
0	0	MFT 該当 unit の DTIF(モータ緊急停止)の割込み要求なし
	1	MFT 該当 unit の DTIF(モータ緊急停止)の割込み要求あり

## 4.8. IRQ12 一括読出しレジスタ(IRQ12MON)

IRQ12MON は、割込みベクタ No.28 に割り当てられた割込み要求を一括で読み出せます。

IRQ04MON は、外部割込み ch.0 から ch.7 の割込み要求の状態を示します。

bit	31		16													
Field	予約															
初期値	0x0000															
属性	R															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約			EXTINT												
初期値	0x00			0x00												
属性	R			R												

[bit31:8] 予約: 予約ビット

"0"が読み出されます。

[bit7:0] EXTINT:

bit 番号	bit	説明
7	0	外部割込み ch.7 の割込み要求なし
	1	外部割込み ch.7 の割込み要求あり
6	0	外部割込み ch.6 の割込み要求なし
	1	外部割込み ch.6 の割込み要求あり
5	0	外部割込み ch.5 の割込み要求なし
	1	外部割込み ch.5 の割込み要求あり
4	0	外部割込み ch.4 の割込み要求なし
	1	外部割込み ch.4 の割込み要求あり
3	0	外部割込み ch.3 の割込み要求なし
	1	外部割込み ch.3 の割込み要求あり
2	0	外部割込み ch.2 の割込み要求なし
	1	外部割込み ch.2 の割込み要求あり
1	0	外部割込み ch.1 の割込み要求なし
	1	外部割込み ch.1 の割込み要求あり
0	0	外部割込み ch.0 の割込み要求なし
	1	外部割込み ch.0 の割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する EXTINT ビットは"0"になります。

## 4.9. IRQ13 一括読出しレジスタ(IRQ13MON)

IRQ13MON は、割込みベクタ No.29 に割り当てられた割込み要求を一括で読み出せます。

IRQ05MON は、外部割込み ch.8 から ch.31 の割込み要求の状態を示します。

bit	31	24	23	22	21	20	19	18	17	16						
Field	予約	EXTINT														
初期値	0x00	0x00														
属性	R	R														
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EXTINT															
初期値	0x0000															
属性	R															

[bit31:24] 予約: 予約ビット

"0"が読み出されます。

[bit23:0] EXTINT:

bit 番号	bit	説明
23	0	外部割込み ch.31 の割込み要求なし
	1	外部割込み ch.31 の割込み要求あり
22	0	外部割込み ch.30 の割込み要求なし
	1	外部割込み ch.30 の割込み要求あり
21	0	外部割込み ch.29 の割込み要求なし
	1	外部割込み ch.29 の割込み要求あり
20	0	外部割込み ch.28 の割込み要求なし
	1	外部割込み ch.28 の割込み要求あり
19	0	外部割込み ch.27 の割込み要求なし
	1	外部割込み ch.27 の割込み要求あり
18	0	外部割込み ch.26 の割込み要求なし
	1	外部割込み ch.26 の割込み要求あり
17	0	外部割込み ch.25 の割込み要求なし
	1	外部割込み ch.25 の割込み要求あり
16	0	外部割込み ch.24 の割込み要求なし
	1	外部割込み ch.24 の割込み要求あり
15	0	外部割込み ch.23 の割込み要求なし
	1	外部割込み ch.23 の割込み要求あり
14	0	外部割込み ch.22 の割込み要求なし
	1	外部割込み ch.22 の割込み要求あり
13	0	外部割込み ch.21 の割込み要求なし
	1	外部割込み ch.21 の割込み要求あり

bit 番号	bit	説明
12	0	外部割込み ch.20 の割込み要求なし
	1	外部割込み ch.20 の割込み要求あり
11	0	外部割込み ch.19 の割込み要求なし
	1	外部割込み ch.19 の割込み要求あり
10	0	外部割込み ch.18 の割込み要求なし
	1	外部割込み ch.18 の割込み要求あり
9	0	外部割込み ch.17 の割込み要求なし
	1	外部割込み ch.17 の割込み要求あり
8	0	外部割込み ch.16 の割込み要求なし
	1	外部割込み ch.16 の割込み要求あり
7	0	外部割込み ch.15 の割込み要求なし
	1	外部割込み ch.15 の割込み要求あり
6	0	外部割込み ch.14 の割込み要求なし
	1	外部割込み ch.14 の割込み要求あり
5	0	外部割込み ch.13 の割込み要求なし
	1	外部割込み ch.13 の割込み要求あり
4	0	外部割込み ch.12 の割込み要求なし
	1	外部割込み ch.12 の割込み要求あり
3	0	外部割込み ch.11 の割込み要求なし
	1	外部割込み ch.11 の割込み要求あり
2	0	外部割込み ch.10 の割込み要求なし
	1	外部割込み ch.10 の割込み要求あり
1	0	外部割込み ch.9 の割込み要求なし
	1	外部割込み ch.9 の割込み要求あり
0	0	外部割込み ch.8 の割込み要求なし
	1	外部割込み ch.8 の割込み要求あり

## 4.10. IRQ14 一括読出しレジスタ (IRQ14MON)

IRQ14MON は、割込みベクタ No.30 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16	
Field	予約		
初期値	0x0000		
属性	R		
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Field	予約	QUDINT	TIMINT
初期値	0x00	000000	00
属性	R	R	R

[bit31:8] 予約: 予約ビット

"0"が読み出されます。

[bit7:2] QUDINT:

bit 番号	bit	説明
7	0	QPRC ch.0 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.0 PC 一致&RC 一致の割込み要求あり
6	0	QPRC ch.0 RC 範囲外検出の割込み要求なし
	1	QPRC ch.0 RC 範囲外検出の割込み要求あり
5	0	QPRC ch.0 PC カウント反転の割込み要求なし
	1	QPRC ch.0 PC カウント反転の割込み要求あり
4	0	QPRC ch.0 オーバフロー/アンダフロー/ゼロインデックスの割込み要求なし
	1	QPRC ch.0 オーバフロー/アンダフロー/ゼロインデックスの割込み要求あり
3	0	QPRC ch.0 PC&RC 一致の割込み要求なし
	1	QPRC ch.0 PC&RC 一致の割込み要求あり
2	0	QPRC ch.0 PC 一致の割込み要求なし
	1	QPRC ch.0 PC 一致の割込み要求あり

[bit1:0] TIMINT:

bit 番号	bit	説明
1	0	デュアルタイマ TIMINT2 の割込み要求なし
	1	デュアルタイマ TIMINT2 の割込み要求あり
0	0	デュアルタイマ TIMINT1 の割込み要求なし
	1	デュアルタイマ TIMINT1 の割込み要求あり

## 4.11. IRQ15/16/17/18 一括読出しレジスタ(IRQxxMON)

IRQ15MON は、割込みベクタ No.31 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ16MON は、割込みベクタ No.32 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ17MON は、割込みベクタ No.33 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ18MON は、割込みベクタ No.34 に割り当てられた割込み要求を一括で読み出せます。

IRQ15MON は、MFS ch.0 の受信割込み要求、送信割込み要求、ステータス割込み要求の状態を示します。

IRQ16MON は、MFS ch.1 の受信割込み要求、送信割込み要求、ステータス割込み要求の状態を示します。

IRQ17MON は、MFS ch.2 の受信割込み要求、送信割込み要求、ステータス割込み要求の状態を示します。

IRQ18MON は、MFS ch.3 の受信割込み要求、送信割込み要求、ステータス割込み要求の状態を示します。

bit	31		16													
Field	予約															
初期値	0x0000															
属性	R															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														MFSINT	
初期値	0000000000000000														000	
属性	R														R	

[bit31:3] 予約: 予約ビット  
 "0"が読み出されます。

[bit2:0] MFSINT:

bit 番号	bit	説明
3	0	MFS の該当するチャネルのステータス割込み要求なし
	1	MFS の該当するチャネルのステータス割込み要求あり
2	0	MFS の該当するチャネルの送信割込み要求なし
	1	MFS の該当するチャネルの送信割込み要求あり
1	0	MFS の該当するチャネルの受信割込み要求なし
	1	MFS の該当するチャネルの受信割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する MFSINT ビットは"0"になります。

## 4.12. IRQ19/21/42/44 一括読出しレジスタ(IRQxxMON)

IRQ19MON は、割込みベクタ No.35 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ21MON は、割込みベクタ No.37 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ42MON は、割込みベクタ No.58 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ44MON は、割込みベクタ No.60 に割り当てられた割込み要求を一括で読み出せます。

IRQ19MON は、MFS ch.4 の受信割込み要求の状態を示します。  
 IRQ21MON は、MFS ch.5 の受信割込み要求の状態を示します。  
 IRQ42MON は、MFS ch.6 の受信割込み要求の状態を示します。  
 IRQ44MON は、MFS ch.7 の受信割込み要求の状態を示します。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	MFSINT
初期値	0000000000000000	0
属性	R	R

[bit31:1] 予約: 予約ビット  
 "0"が読み出されます。

[bit0] MFSINT:

bit	説明
0	MFS の該当するチャネルの受信割込み要求なし
1	MFS の該当するチャネルの受信割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する MFSINT ビットは"0"になります。

## 4.13. IRQ20/22/43/45 一括読出しレジスタ (IRQxxMON)

IRQ20MON は、割込みベクタ No.36 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ22MON は、割込みベクタ No.38 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ43MON は、割込みベクタ No.59 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ45MON は、割込みベクタ No.61 に割り当てられた割込み要求を一括で読み出せます。

IRQ20MON は、MFS ch.4 の送信割込み要求、ステータス割込み要求の状態を示します。

IRQ22MON は、MFS ch.5 の送信割込み要求、ステータス割込み要求の状態を示します。

IRQ43MON は、MFS ch.6 の送信割込み要求、ステータス割込み要求の状態を示します。

IRQ45MON は、MFS ch.7 の送信割込み要求、ステータス割込み要求の状態を示します。

bit	31		16
Field		予約	
初期値		0x0000	
属性		R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Field		予約	MFSINT
初期値		0000000000000000	00
属性		R	R

### [bit31:2] 予約: 予約ビット

"0"が読み出されます。

### [bit1:0] MFSINT:

bit 番号	bit	説明
1	0	MFS の該当するチャネルのステータス割込み要求なし
	1	MFS の該当するチャネルのステータス割込み要求あり
0	0	MFS の該当するチャネルの送信割込み要求なし
	1	MFS の該当するチャネルの送信割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する MFSINT ビットは"0"になります。

## 4.14. IRQ23 一括読出しレジスタ (IRQ23MON)

IRQ23MON は、割込みベクタ No.39 に割り当てられた割込み要求を一括で読み出せます。

IRQ23MON は、PPG ch.0/2/4/8/10/12/16/18/20 の割込み要求の状態を示します。

bit	31		16													
Field	予約															
初期値	0x0000															
属性	R															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約				PPGINT											
初期値	00000000				0000000000											
属性	R				R											

[bit31:9] 予約: 予約ビット

"0"が読み出されます。

[bit8:0] PPGINT:

bit 番号	bit	説明
8	0	PPG ch.20 の割込み要求なし
	1	PPG ch.20 の割込み要求あり
7	0	PPG ch.18 の割込み要求なし
	1	PPG ch.18 の割込み要求あり
6	0	PPG ch.16 の割込み要求なし
	1	PPG ch.16 の割込み要求あり
5	0	PPG ch.12 の割込み要求なし
	1	PPG ch.12 の割込み要求あり
4	0	PPG ch.10 の割込み要求なし
	1	PPG ch.10 の割込み要求あり
3	0	PPG ch.8 の割込み要求なし
	1	PPG ch.8 の割込み要求あり
2	0	PPG ch.4 の割込み要求なし
	1	PPG ch.4 の割込み要求あり
1	0	PPG ch.2 の割込み要求なし
	1	PPG ch.2 の割込み要求あり
0	0	PPG ch.0 の割込み要求なし
	1	PPG ch.0 の割込み要求あり

## 4.15. IRQ24 一括読出しレジスタ (IRQ24MON)

IRQ24MON は、割込みベクタ No.40 に割り当てられた割込み要求を一括で読み出せます。

bit	31		8					
Field	予約							
初期値	0x000000							
属性	R							
bit	7	6	5					
Field	予約	予約	RTCINT	WCINT	UPLLINT	MPLLINT	SOSCINT	MOSCINT
初期値	0	0	0	0	0	0	0	0
属性	R	R	R	R	R	R	R	R

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5] RTCINT:

bit	説明
0	RTC の割込み要求なし
1	RTC の割込み要求あり

[bit4] WCINT:

bit	説明
0	時計カウンタの割込み要求なし
1	時計カウンタの割込み要求あり

[bit3] UPLLINT:

bit	説明
0	USB 用または USB/Ethernet 用 PLL 発振の安定待ち完了割込み要求なし
1	USB 用または USB/Ethernet 用 PLL 発振の安定待ち完了割込み要求あり

[bit2] MPLLINT:

bit	説明
0	メイン PLL 発振の安定待ち完了割込み要求なし
1	メイン PLL 発振の安定待ち完了割込み要求あり

[bit1] SOSCINT:

bit	説明
0	サブクロック発振の安定待ち完了割込み要求なし
1	サブクロック発振の安定待ち完了割込み要求あり

[bit0] MOSCINT:

bit	説明
0	メインクロック発振の安定待ち完了割込み要求なし
1	メインクロック発振の安定待ち完了割込み要求あり

## 4.16. IRQ25/26 一括読出しレジスタ (IRQxxMON)

IRQ25MON は、割込みベクタ No.41 に割り当てられた割込み要求を一括で読み出せます。  
IRQ26MON は、割込みベクタ No.42 に割り当てられた割込み要求を一括で読み出せます。

IRQ25MON は、A/D コンバータ unit0 からの割込み要求の状態を示します。

IRQ26MON は、A/D コンバータ unit1 からの割込み要求の状態を示します。

bit	31	16														
Field	予約															
初期値	0x0000															
属性	R															
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
Field	予約								ADCINT							
初期値	0x0000								0000							
属性	R								R							

### [bit31:4] 予約: 予約ビット

"0"が読み出されます。

### [bit3:0] ADCINT:

bit 番号	bit	説明
3	0	A/D コンバータの該当する unit の変換結果比較の割込み要求なし
	1	A/D コンバータの該当する unit の変換結果比較の割込み要求あり
2	0	A/D コンバータの該当する unit の FIFO オーバランの割込み要求なし
	1	A/D コンバータの該当する unit の FIFO オーバランの割込み要求あり
1	0	A/D コンバータの該当する unit のスキャン変換の割込み要求なし
	1	A/D コンバータの該当する unit のスキャン変換の割込み要求あり
0	0	A/D コンバータの該当する unit の優先変換の割込み要求なし
	1	A/D コンバータの該当する unit の優先変換の割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する ADCINT ビットは"0"になります。

## 4.17. IRQ27 一括読出しレジスタ (IRQ27MON)

IRQ27MON は、割込みベクタ No.43 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	LCDCINT ADCINT
初期値	000000000000	0 0000
属性	R	R R

[bit31:5] 予約: 予約ビット

"0"が読み出されます。

[bit4] LCDCINT:

bit	説明
0	LCD コントローラの割込み要求なし
1	LCD コントローラの割込み要求あり

[bit3:0] ADCINT:

bit 番号	bit	説明
3	0	A/D コンバータ unit2 の変換結果比較の割込み要求なし
	1	A/D コンバータ unit2 の変換結果比較の割込み要求あり
2	0	A/D コンバータ unit2 の FIFO オーバランの割込み要求なし
	1	A/D コンバータ unit2 の FIFO オーバランの割込み要求あり
1	0	A/D コンバータ unit2 のスキャン変換の割込み要求なし
	1	A/D コンバータ unit2 のスキャン変換の割込み要求あり
0	0	A/D コンバータ unit2 の優先変換の割込み要求なし
	1	A/D コンバータ unit2 の優先変換の割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する ADCINT ビットは"0"になります。

## 4.18. IRQ28/29/30 一括読み出しレジスタ (IRQxxMON)

IRQ28MON は、割込みベクタ No.44 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ29MON は、割込みベクタ No.45 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ30MON は、割込みベクタ No.46 に割り当てられた割込み要求を一括で読み出せます。

IRQ28MON は、MFT unit0 からの割込み要求の状態を示します。

IRQ29MON は、MFT unit1 からの割込み要求の状態を示します。

IRQ30MON は、MFT unit2 からの割込み要求の状態を示します。

bit	31		16														
Field	予約																
初期値	0x0000																
属性	R																
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Field	OCUINT					ICUINT				FRTINT							
初期値	000000					0000				000000							
属性	R					R				R							

[bit31:16] 予約: 予約ビット

"0"が読み出されます。

[bit15:10] OCUINT:

bit 番号	bit	説明
15	0	MFT の該当する unit のアウトプットコンペア ch.5 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.5 の割込み要求あり
14	0	MFT の該当する unit のアウトプットコンペア ch.4 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.4 の割込み要求あり
13	0	MFT の該当する unit のアウトプットコンペア ch.3 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.3 の割込み要求あり
12	0	MFT の該当する unit のアウトプットコンペア ch.2 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.2 の割込み要求あり
11	0	MFT の該当する unit のアウトプットコンペア ch.1 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.1 の割込み要求あり
10	0	MFT の該当する unit のアウトプットコンペア ch.0 の割込み要求なし
	1	MFT の該当する unit のアウトプットコンペア ch.0 の割込み要求あり

[bit9:6] ICUINT:

bit 番号	bit	説明
9	0	MFT の該当する unit のインプットキャプチャ ch.3 の割込み要求なし
	1	MFT の該当する unit のインプットキャプチャ ch.3 の割込み要求あり
8	0	MFT の該当する unit のインプットキャプチャ ch.2 の割込み要求なし
	1	MFT の該当する unit のインプットキャプチャ ch.2 の割込み要求あり
7	0	MFT の該当する unit のインプットキャプチャ ch.1 の割込み要求なし
	1	MFT の該当する unit のインプットキャプチャ ch.1 の割込み要求あり
6	0	MFT の該当する unit のインプットキャプチャ ch.0 の割込み要求なし
	1	MFT の該当する unit のインプットキャプチャ ch.0 の割込み要求あり

[bit5:0] FRTINT:

bit 番号	bit	説明
5	0	MFT の該当する unit のフリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.2 ゼロ検出の割込み要求あり
4	0	MFT の該当する unit のフリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.1 ゼロ検出の割込み要求あり
3	0	MFT の該当する unit のフリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.0 ゼロ検出の割込み要求あり
2	0	MFT の該当する unit のフリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.2 ピーク値検出の割込み要求あり
1	0	MFT の該当する unit のフリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.1 ピーク値検出の割込み要求あり
0	0	MFT の該当する unit のフリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT の該当する unit のフリーランタイマ ch.0 ピーク値検出の割込み要求あり

## 4.19. IRQ31 一括読出しレジスタ (IRQ31MON)

IRQ31MON は、割込みベクタ No.47 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	BTINT	
初期値	0x0000	
属性	R	

[bit31:16] 予約: 予約ビット

"0"が読み出されます。

[bit15:0] BTINT:

bit 番号	bit	説明
15	0	ベースタイマ ch.7 の IRQ1 割込み要求なし
	1	ベースタイマ ch.7 の IRQ1 割込み要求あり
14	0	ベースタイマ ch.7 の IRQ0 割込み要求なし
	1	ベースタイマ ch.7 の IRQ0 割込み要求あり
13	0	ベースタイマ ch.6 の IRQ1 割込み要求なし
	1	ベースタイマ ch.6 の IRQ1 割込み要求あり
12	0	ベースタイマ ch.6 の IRQ0 割込み要求なし
	1	ベースタイマ ch.6 の IRQ0 割込み要求あり
11	0	ベースタイマ ch.5 の IRQ1 割込み要求なし
	1	ベースタイマ ch.5 の IRQ1 割込み要求あり
10	0	ベースタイマ ch.5 の IRQ0 割込み要求なし
	1	ベースタイマ ch.5 の IRQ0 割込み要求あり
9	0	ベースタイマ ch.4 の IRQ1 割込み要求なし
	1	ベースタイマ ch.4 の IRQ1 割込み要求あり
8	0	ベースタイマ ch.4 の IRQ0 割込み要求なし
	1	ベースタイマ ch.4 の IRQ0 割込み要求あり
7	0	ベースタイマ ch.3 の IRQ1 割込み要求なし
	1	ベースタイマ ch.3 の IRQ1 割込み要求あり
6	0	ベースタイマ ch.3 の IRQ0 割込み要求なし
	1	ベースタイマ ch.3 の IRQ0 割込み要求あり
5	0	ベースタイマ ch.2 の IRQ1 割込み要求なし
	1	ベースタイマ ch.2 の IRQ1 割込み要求あり

bit 番号	bit	説明
4	0	ベースタイマ ch.2 の IRQ0 割込み要求なし
	1	ベースタイマ ch.2 の IRQ0 割込み要求あり
3	0	ベースタイマ ch.1 の IRQ1 割込み要求なし
	1	ベースタイマ ch.1 の IRQ1 割込み要求あり
2	0	ベースタイマ ch.1 の IRQ0 割込み要求なし
	1	ベースタイマ ch.1 の IRQ0 割込み要求あり
1	0	ベースタイマ ch.0 の IRQ1 割込み要求なし
	1	ベースタイマ ch.0 の IRQ1 割込み要求あり
0	0	ベースタイマ ch.0 の IRQ0 割込み要求なし
	1	ベースタイマ ch.0 の IRQ0 割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する BTINT ビットは"0"になります。

表 4-1 に示すようにベースタイマの割込み要因 IRQ0 および IRQ1 は、使用するベースタイマ機能によって異なります。

表 4-1 ベースタイマの各機能での割込み要因

機能	割込み要因 IRQ0	割込み要因 IRQ1
16 ビット PWM タイマ	アンダフロー検出/ デューティ一致検出	タイマ起動トリガ検出
16 ビット PPG タイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビットトリロードタイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビット PWC タイマ	オーバフロー検出	測定終了検出

## 4.20. IRQ32 一括読出しレジスタ (IRQ32MON)

IRQ32MON は、割込みベクタ No.48 に割り当てられた割込み要求を一括で読み出せます。

IRQ32MON は、CAN ch.0, Ethernet ch.0 からの割込み要求の状態を示します。

bit	31		8
Field	予約		
初期値	0x000000		
属性	R		
bit	7	6	5
Field	予約		MAC0LPI
初期値	0000		0
属性	R		R
bit	4	3	2
Field		MAC0PMI	MAC0SBD
初期値		0	0
属性		R	R
bit	1	0	0
Field	CAN0INT		
初期値			0
属性			R

[bit31:4] 予約: 予約ビット

"0"が読み出されます。

[bit3] MAC0LPI:

bit	説明
0	Ethernet MAC ch.0 の LPI 割込み要求なし
1	Ethernet MAC ch.0 の LPI 割込み要求あり

[bit2] MAC0PMI:

bit	説明
0	Ethernet MAC ch.0 の PMI 割込み要求なし
1	Ethernet MAC ch.0 の PMI 割込み要求あり

[bit1] MAC0SBD:

bit	説明
0	Ethernet MAC ch.0 の SBD 割込み要求なし
1	Ethernet MAC ch.0 の SBD 割込み要求あり

[bit0] CAN0INT:

bit	説明
0	CAN ch.0 の割込み要求なし
1	CAN ch.0 の割込み要求あり

## 4.21. IRQ33 一括読出しレジスタ (IRQ33MON)

IRQ33MON は、割込みベクタ No.49 に割り当てられた割込み要求を一括で読み出せます。

IRQ33MON は、CAN ch.1, Ethernet ch.1 からの割込み要求の状態を示します。

bit	31						8	
Field	予約							
初期値	0x000000							
属性	R							
bit	7	6	5	4	3	2	1	0
Field	予約				MAC1PMI	MAC1SBD	CAN1INT	
初期値	00000				0	0	0	
属性	R				R	R	R	

[bit31:3] 予約: 予約ビット  
"0"が読み出されます。

[bit2] MAC1PMI:

bit	説明
0	Ethernet MAC ch.1 の PMI 割込み要求なし
1	Ethernet MAC ch.1 の PMI 割込み要求あり

[bit1] MAC1SBD:

bit	説明
0	Ethernet MAC ch.1 の SBD 割込み要求なし
1	Ethernet MAC ch.1 の SBD 割込み要求あり

[bit0] CAN1INT:

bit	説明
0	CAN ch.1 の割込み要求なし
1	CAN ch.1 の割込み要求あり

## 4.22. IRQ34 一括読出しレジスタ (IRQ34MON)

IRQ34MON は、割込みベクタ No.50 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	USB0INT
初期値	000000000000	00000
属性	R	R

[bit31:5] 予約: 予約ビット

"0"が読み出されます。

[bit4:0] USB0INT:

bit 番号	bit	説明
4	0	USB ch.0 Endpoint5 DRQ の割込み要求なし
	1	USB ch.0 Endpoint5 DRQ の割込み要求あり
3	0	USB ch.0 Endpoint4 DRQ の割込み要求なし
	1	USB ch.0 Endpoint4 DRQ の割込み要求あり
2	0	USB ch.0 Endpoint3 DRQ の割込み要求なし
	1	USB ch.0 Endpoint3 DRQ の割込み要求あり
1	0	USB ch.0 Endpoint2 DRQ の割込み要求なし
	1	USB ch.0 Endpoint2 DRQ の割込み要求あり
0	0	USB ch.0 Endpoint1 DRQ の割込み要求なし
	1	USB ch.0 Endpoint1 DRQ の割込み要求あり

DRQSEL レジスタで DMA 転送要求を選択したとき、該当する USB0INT ビットは"0"になります。

## 4.23. IRQ35 一括読出しレジスタ (IRQ35MON)

IRQ35MON は、割込みベクタ No.51 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	USB0INT
初期値	0000000000	000000
属性	R	R

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5:0] USB0INT:

bit 番号	bit	説明
5	0	USB ch.0 ステータス(SOFIRQ, CMPIRQ)の割込み要求なし
	1	USB ch.0 ステータス(SOFIRQ, CMPIRQ)の割込み要求あり
4	0	USB ch.0 ステータス(DIRQ, URIRQ, RWKIRQ, CNNIRQ)の割込み要求なし
	1	USB ch.0 ステータス(DIRQ, URIRQ, RWKIRQ, CNNIRQ)の割込み要求あり
3	0	USB ch.0 ステータス(SPK)の割込み要求なし
	1	USB ch.0 ステータス(SPK)の割込み要求あり
2	0	USB ch.0 ステータス(SUSP, SOF, BRST, CONF, WKUP)の割込み要求なし
	1	USB ch.0 ステータス(SUSP, SOF, BRST, CONF, WKUP)の割込み要求あり
1	0	USB ch.0 Endpoint0 DRQO の割込み要求なし
	1	USB ch.0 Endpoint0 DRQO の割込み要求あり
0	0	USB ch.0 Endpoint0 DRQI の割込み要求なし
	1	USB ch.0 Endpoint0 DRQI の割込み要求あり

## 4.24. IRQ36 一括読出しレジスタ (IRQ36MON)

IRQ36MON は、割込みベクタ No.52 に割り当てられた割込み要求を一括で読み出せます。

bit	31		16
Field	予約		
初期値	0x0000		
属性	R		
bit	15 14 13 12 11 10 9 8 7 6	5	4 3 2 1 0
Field	予約	RCEC0INT	USB1INT
初期値	0000000000	0	00000
属性	R	R	R

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5] RCEC0INT:

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 の割込み要求なし
1	HDMI-CEC/リモコン受信 ch.0 の割込み要求あり

[bit4:0] USB1INT:

bit 番号	bit	説明
4	0	USB ch.1 Endpoint5 DRQ の割込み要求なし
	1	USB ch.1 Endpoint5 DRQ の割込み要求あり
3	0	USB ch.1 Endpoint4 DRQ の割込み要求なし
	1	USB ch.1 Endpoint4 DRQ の割込み要求あり
2	0	USB ch.1 Endpoint3 DRQ の割込み要求なし
	1	USB ch.1 Endpoint3 DRQ の割込み要求あり
1	0	USB ch.1 Endpoint2 DRQ の割込み要求なし
	1	USB ch.1 Endpoint2 DRQ の割込み要求あり
0	0	USB ch.1 Endpoint1 DRQ の割込み要求なし
	1	USB ch.1 Endpoint1 DRQ の割込み要求あり

## 4.25. IRQ37 一括読出しレジスタ (IRQ37MON)

IRQ37MON は、割込みベクタ No.53 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16	
Field	予約		
初期値	0x0000		
属性	R		
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Field	予約	RCEC1INT	USB1INT
初期値	000000000	0	000000
属性	R	R	R

[bit31:7] 予約: 予約ビット

"0"が読み出されます。

[bit6] RCEC1INT:

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 の割込み要求なし
1	HDMI-CEC/リモコン受信 ch.1 の割込み要求あり

[bit5:0] USB1INT:

bit 番号	bit	説明
5	0	USB ch.1 ステータス(SOFIRQ, CMPIRQ)の割込み要求なし
	1	USB ch.1 ステータス(SOFIRQ, CMPIRQ)の割込み要求あり
4	0	USB ch.1 ステータス(DIRQ, URIRQ, RWKIRQ, CNNIRQ)の割込み要求なし
	1	USB ch.1 ステータス(DIRQ, URIRQ, RWKIRQ, CNNIRQ)の割込み要求あり
3	0	USB ch.1 ステータス(SPK)の割込み要求なし
	1	USB ch.1 ステータス(SPK)の割込み要求あり
2	0	USB ch.1 ステータス(SUSP, SOF, BRST, CONF, WKUP)の割込み要求なし
	1	USB ch.1 ステータス(SUSP, SOF, BRST, CONF, WKUP)の割込み要求あり
1	0	USB ch.1 Endpoint0 DRQO の割込み要求なし
	1	USB ch.1 Endpoint0 DRQO の割込み要求あり
0	0	USB ch.1 Endpoint0 DRQI の割込み要求なし
	1	USB ch.1 Endpoint0 DRQI の割込み要求あり

## 4.26. IRQ38 一括読出しレジスタ (IRQ38MON)

IRQ38MON は、割込みベクタ No.54 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	DMAINT
初期値	0x00	0x00
属性	R	R

[bit31:8] 予約: 予約ビット

"0"が読み出されます。

[bit7:0] DMAINT:

bit 番号	bit	説明
7	0	DMA コントローラの該当する ch.7 の割込み要求なし
	1	DMA コントローラの該当する ch.7 の割込み要求あり
6	0	DMA コントローラの該当する ch.6 の割込み要求なし
	1	DMA コントローラの該当する ch.6 の割込み要求あり
5	0	DMA コントローラの該当する ch.5 の割込み要求なし
	1	DMA コントローラの該当する ch.5 の割込み要求あり
4	0	DMA コントローラの該当する ch.4 の割込み要求なし
	1	DMA コントローラの該当する ch.4 の割込み要求あり
3	0	DMA コントローラの該当する ch.3 の割込み要求なし
	1	DMA コントローラの該当する ch.3 の割込み要求あり
2	0	DMA コントローラの該当する ch.2 の割込み要求なし
	1	DMA コントローラの該当する ch.2 の割込み要求あり
1	0	DMA コントローラの該当する ch.1 の割込み要求なし
	1	DMA コントローラの該当する ch.1 の割込み要求あり
0	0	DMA コントローラの該当する ch.0 の割込み要求なし
	1	DMA コントローラの該当する ch.0 の割込み要求あり

## 4.27. IRQ41 一括読み出しレジスタ (IRQ41MON)

IRQ41MON は、割込みベクタ No.57 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	QDU1INT
初期値	0000000000	000000
属性	R	R

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5:0] QUD1INT:

bit 番号	bit	説明
5	0	QPRC ch.1 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.1 PC 一致&RC 一致の割込み要求あり
4	0	QPRC ch.1 RC 範囲外検出の割込み要求なし
	1	QPRC ch.1 RC 範囲外検出の割込み要求あり
3	0	QPRC ch.1 PC カウント反転の割込み要求なし
	1	QPRC ch.1 PC カウント反転の割込み要求あり
2	0	QPRC ch.1 オーバフロー/アンダフロー/ゼロインデックスの割込み要求なし
	1	QPRC ch.1 オーバフロー/アンダフロー/ゼロインデックスの割込み要求あり
1	0	QPRC ch.1 PC&RC 一致の割込み要求なし
	1	QPRC ch.1 PC&RC 一致の割込み要求あり
0	0	QPRC ch.1 PC 一致の割込み要求なし
	1	QPRC ch.1 PC 一致の割込み要求あり

## 4.28. IRQ46 一括読出しレジスタ (IRQ46MON)

IRQ46MON は、割込みベクタ No.62 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	BTINT	
初期値	0x0000	
属性	R	

[bit31:16] 予約: 予約ビット

"0"が読み出されます。

[bit15:0] BTINT:

bit 番号	bit	説明
15	0	ベースタイマ ch.15 の IRQ1 割込み要求なし
	1	ベースタイマ ch.15 の IRQ1 割込み要求あり
14	0	ベースタイマ ch.15 の IRQ0 割込み要求なし
	1	ベースタイマ ch.15 の IRQ0 割込み要求あり
13	0	ベースタイマ ch.14 の IRQ1 割込み要求なし
	1	ベースタイマ ch.14 の IRQ1 割込み要求あり
12	0	ベースタイマ ch.14 の IRQ0 割込み要求なし
	1	ベースタイマ ch.14 の IRQ0 割込み要求あり
11	0	ベースタイマ ch.13 の IRQ1 割込み要求なし
	1	ベースタイマ ch.13 の IRQ1 割込み要求あり
10	0	ベースタイマ ch.12 の IRQ0 割込み要求なし
	1	ベースタイマ ch.12 の IRQ0 割込み要求あり
9	0	ベースタイマ ch.12 の IRQ1 割込み要求なし
	1	ベースタイマ ch.12 の IRQ1 割込み要求あり
8	0	ベースタイマ ch.11 の IRQ0 割込み要求なし
	1	ベースタイマ ch.11 の IRQ0 割込み要求あり
7	0	ベースタイマ ch.10 の IRQ1 割込み要求なし
	1	ベースタイマ ch.10 の IRQ1 割込み要求あり
6	0	ベースタイマ ch.10 の IRQ0 割込み要求なし
	1	ベースタイマ ch.10 の IRQ0 割込み要求あり
5	0	ベースタイマ ch.9 の IRQ1 割込み要求なし
	1	ベースタイマ ch.9 の IRQ1 割込み要求あり

bit 番号	bit	説明
4	0	ベースタイマ ch.9 の IRQ0 割込み要求なし
	1	ベースタイマ ch.9 の IRQ0 割込み要求あり
3	0	ベースタイマ ch.8 の IRQ1 割込み要求なし
	1	ベースタイマ ch.8 の IRQ1 割込み要求あり
2	0	ベースタイマ ch.8 の IRQ0 割込み要求なし
	1	ベースタイマ ch.8 の IRQ0 割込み要求あり
1	0	ベースタイマ ch.7 の IRQ1 割込み要求なし
	1	ベースタイマ ch.7 の IRQ1 割込み要求あり
0	0	ベースタイマ ch.7 の IRQ0 割込み要求なし
	1	ベースタイマ ch.7 の IRQ0 割込み要求あり

表 4-2 に示すようにベースタイマの割込み要因 IRQ0 および IRQ1 は、使用するベースタイマ機能によって異なります。

表 4-2 ベースタイマの各機能での割込み要因

機能	割込み要因 IRQ0	割込み要因 IRQ1
16 ビット PWM タイマ	アンダフロー検出/ デューティ一致検出	タイマ起動トリガ検出
16 ビット PPG タイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビットトリロードタイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビット PWC タイマ	オーバフロー検出	測定終了検出

## 4.29. IRQ47 一括読出しレジスタ (IRQ47MON)

IRQ47MON は、割込みベクタ No.63 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16		
Field	予約			
初期値	0x0000			
属性	R			
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Field	予約	FLASHINT	QDU2INT	予約
初期値	0x0000			
属性	R	R	R	R

[bit31:12] 予約: 予約ビット

"0"が読み出されます。

[bit11] FLASHINT:

bit	説明
0	Flash の RDY, HANG 割込み要求なし
1	Flash の RDY, HANG 割込み要求あり

[bit10:5] QUD2INT:

bit 番号	bit	説明
10	0	QPRC ch.2 PC 一致&RC 一致の割込み要求なし
	1	QPRC ch.2 PC 一致&RC 一致の割込み要求あり
9	0	QPRC ch.2 RC 範囲外検出の割込み要求なし
	1	QPRC ch.2 RC 範囲外検出の割込み要求あり
8	0	QPRC ch.2 PC カウント反転の割込み要求なし
	1	QPRC ch.2 PC カウント反転の割込み要求あり
7	0	QPRC ch.2 オーバフロー/アンダフロー/ゼロインデックスの割込み要求なし
	1	QPRC ch.2 オーバフロー/アンダフロー/ゼロインデックスの割込み要求あり
6	0	QPRC ch.2 PC&RC 一致の割込み要求なし
	1	QPRC ch.2 PC&RC 一致の割込み要求あり
5	0	QPRC ch.2 PC 一致の割込み要求なし
	1	QPRC ch.2 PC 一致の割込み要求あり

[bit4:0] 予約: 予約ビット  
"0"が読み出されます。

## 4.30. USB ch.0 奇数パケットサイズ DMA 許可レジスタ (ODDPKS)

USB ch.0 自動転送 IN 方向転送時に最終パケットの最終データのみ有効ビット幅を強制的に Byte(8 ビット)に変換して USB エンドポイントにライトします(TYPE1 以降の製品に存在します)。

bit	31	29	28	24	23	16
Field	予約		ODDPKS[4:0]			予約
初期値				0x0000		
属性	R/W		R/W			R/W
bit	15					0
Field				予約		
初期値				0x0000		
属性	R/W			R/W		

[bit31:29] 予約: 予約ビット  
"0"を書き込んでください。"0"が読み出されます。

[bit28] ODDPKS4:

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP5DT のとき、最終転送データのビット幅を Byte に変換します。

[bit27] ODDPKS3:

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP4DT のとき、最終転送データのビット幅を Byte に変換します。

[bit26] ODDPKS2:

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP3DT のとき、最終転送データのビット幅を Byte に変換します。

[bit25] ODDPKS1:

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP2DT のとき、最終転送データのビット幅を Byte に変換します。

[bit24] ODDPKS0:

bit	説明
0	DMA 転送のビット幅の変換を行いません。
1	DMAC の転送先アドレスが USB.EP1DT のとき、最終転送データのビット幅を Byte に変換します。

[bit23:0] 予約: 予約ビット

"0"を書き込んでください。"0"が読み出されます。

---

**<注意事項>**

- ・本レジスタは USB ch.0において、USB データ数自動転送モードで IN 方向転送時のみ有効です。
  - ・偶数バイト数を転送する場合は、"1"に設定しないでください。
-

## 4.31. 割込み要因ベクタリロケート設定レジスタ (IRQCMODER)

表 3-1 または「3. 例外と割込み要因ベクタ」の表 3-1 の割込み要因ベクタアサインを選択できます。本レジスタは TYPE0～TYPE3 には搭載していません。

bit	31	16
Field	予約	
初期値	0x0000	
属性	R/W	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	
初期値	0000000000000000	0
属性	R/W	R/W

[bit31:1] 予約: 予約ビット  
"0"を書き込んでください。"0"が読み出されます。

[bit0] IRQCMODER:

bit	説明
0	割込み要因ベクタを表 3-1 の通りにアサインします。 (TYPE0～TYPE2 互換です。)
1	割込み要因ベクタを「3. 例外と割込み要因ベクタ」の表 3-1 の通りにアサインします。

## 4.32. 割込み要因選択レジスタ 0(RCINTSEL0)

割込みベクタ No.19~22 の割込み要因を選択します。IRQCMODER=1 の場合に有効です。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	INTSEL3										INTSEL2					
初期値	0x00										0x00					
属性	R/W										R/W					
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	INTSEL1										INTSEL0					
初期値	0x00										0x00					
属性	R/W										R/W					

### [bit31:24] INTSEL3

割込みベクタ No.22 の割込み要因を選択\*します。

### [bit23:16] INTSEL2

割込みベクタ No.21 の割込み要因を選択\*します。

### [bit15:8] INTSEL1

割込みベクタ No.20 の割込み要因を選択\*します。

### [bit7:0] INTSEL0

割込みベクタ No.19 の割込み要因を選択\*します。

\*:選択割込み要因は表 4-3 を参照してください。

### <注意事項>

RCINTSEL0 で選択した割込み要因は IRQ11～IRQ47 ではマスクされます。(IRQ11MON～IRQ47MON レジスタの該当ビットもマスクされます。)

INTSEL0～INTSEL7 ビットで選択する割込み要因は重複しないように設定してください。

### 4.33. 割込み要因選択レジスタ 1(RCINTSEL1)

割込みベクタ No.23～26 の割込み要因を選択します。IRQCMODER:IRQCMODER=1 の場合に有効です。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	INTSEL7								INTSEL6							
初期値	0x00								0x00							
属性	R/W								R/W							
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	INTSEL5								INTSEL4							
初期値	0x00								0x00							
属性	R/W								R/W							

#### [bit31:24] INTSEL7

割込みベクタ No.26 の割込み要因を選択\*します。

#### [bit23:16] INTSEL6

割込みベクタ No.25 の割込み要因を選択\*します。

#### [bit15:8] INTSEL5

割込みベクタ No.24 の割込み要因を選択\*します。

#### [bit7:0] INTSEL4

割込みベクタ No.23 の割込み要因を選択\*します。

\*:選択割込み要因は表 4-3 を参照してください。

#### <注意事項>

RCINTSEL1 で選択した割込み要因は IRQ11～IRQ47 ではマスクされます。(IRQ11MON～IRQ47MON レジスタの該当ビットもマスクされます。)

INTSEL0～INTSEL7 ビットで選択する割込み要因は重複しないように設定してください。

表 4-3 選択割込み要因

RCINTSELx:INTSELx 設定値	割込み要因
0x00	割込み要因選択なし
0x01	外部割込み ch.0
0x02	外部割込み ch.1
0x03	外部割込み ch.2
0x04	外部割込み ch.3
0x05	外部割込み ch.4
0x06	外部割込み ch.5
0x07	外部割込み ch.6
0x08	外部割込み ch.7
0x09	外部割込み ch.8
0x0A	外部割込み ch.9
0x0B	外部割込み ch.10
0x0C	外部割込み ch.11
0x0D	ベースタイマ ch.0 の IRQ0/IRQ1
0x0E	ベースタイマ ch.1 の IRQ0/IRQ1
0x0F	ベースタイマ ch.2 の IRQ0/IRQ1
0x10	ベースタイマ ch.3 の IRQ0/IRQ1
0x11	ベースタイマ ch.4 の IRQ0/IRQ1
0x12	ベースタイマ ch.5 の IRQ0/IRQ1
0x13	ベースタイマ ch.6 の IRQ0/IRQ1
0x14	ベースタイマ ch.7 の IRQ0/IRQ1
0x15	MFS ch.0 の受信割込み
0x16	MFS ch.1 の受信割込み
0x17	MFS ch.2 の受信割込み
0x18	MFS ch.3 の受信割込み
0x19	MFT unit0 フリーランタイマ ch.0 ゼロ検出割込み
0x1A	MFT unit1 フリーランタイマ ch.0 ゼロ検出割込み
0x1B	MFT unit2 フリーランタイマ ch.0 ゼロ検出割込み
0x1C	DMAC ch.0
0x1D	DMAC ch.1
0x1E	DMAC ch.2
0x1F	DMAC ch.3
0x20~0xFF	Reserved

## 5. 使用上の注意

---

割込みコントローラを使用する際は、次の点を注意してください。

---

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から抜ける場合には、必ずその割込み要求をクリアしてください。
- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。
- 各周辺リソースにおける具体的なイベント検出レジスタと割込み許可レジスタの対応は、各マクロの章を参照してください。

## CHAPTER: 割込み(C)

割込みコントローラと周辺割込み要求について説明します。

1. 概要
2. 構成
3. 例外と割込み要因ベクタ
4. レジスタ
5. 使用上の注意

## 1. 概要

割込みコントローラは、割込み要求の優先度を判定して、要求を CPU へ送ります。Cortex-M3 の CPU コアはコア内部に NVIC(ネスト型ベクタ割込みコントローラ)を搭載しています。周辺からのいくつかの割込み信号は、NVIC の 1 つの割込み要因ベクタに集約して入力されます。どの割込み要求が発生しているかは、割込み要求一括読出しレジスタで確認できます。また、一部の割込み要因については割込み要求を DMA 要求信号に変換するように設定できます。

### ■ NVIC(ネスト型ベクタ割込みコントローラ)の特長

- ・ 32 個のマスク可能な周辺割込みチャネル(Cortex -M3 の 16 個の例外割込みは含みません)
- ・ プログラム可能な 8 の割込み優先度レベル(3 ビットの優先割込みを使用)
- ・ レイテンシが短い例外および割込み処理の実現
- ・ システム制御レジスタの実装
- ・ ノンマスカブル割込み(NMI)入力対応

NVIC とプロセッサコアのインターフェースとは密接に結びついており、レイテンシの短い割込み処理や、後着割込みを効率的に処理できるように工夫されています。NVIC は割込みのテーブルチェーンを可能にするため、ネストされた割込み情報を保持します。

コアの例外を含むすべての割込みは NVIC で管理されます。例外と NVIC の詳細については、ARM 社『Cortex-M3 テクニカルリファレンスマニュアル』の『5 章 例外』と『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

### <注意事項>

『Cortex-M3 テクニカルリファレンスマニュアル』では例外タイプ:IRQ をすべて外部割込み入力と定義しています。本マニュアルでは、例外タイプ:IRQ を周辺割込みと表現します。周辺割込みには、外部端子による割込み『外部割込み・NMI 制御部』と LSI 内部の周辺リソースからの割込みがあります。

### ■ 割込み要因集約機能

各周辺リソースからの割込み要求信号を 48 要因に集約して、NVIC に入力しています。また、NMIX 外部端子の割込み要求信号は、ハードウェアウォッチドッグの割込み信号と論理 OR して NVIC に入力しています。

### ■ 周辺割込み要求一括読出し機能

割込み要求一括読出しレジスタは、1 つの割込み要求信号に集約された周辺リソースからの割込み要求信号を一度に読み出せるレジスタです。このレジスタを読み出すことにより、どの割込み要求が発生しているかを確認できます。ただし、この機能で割込み要求フラグをクリアすることはできません。割込み要求フラグは、各周辺機能のレジスタでクリアしてください。

### ■ 周辺割込み要求の出力選択機能

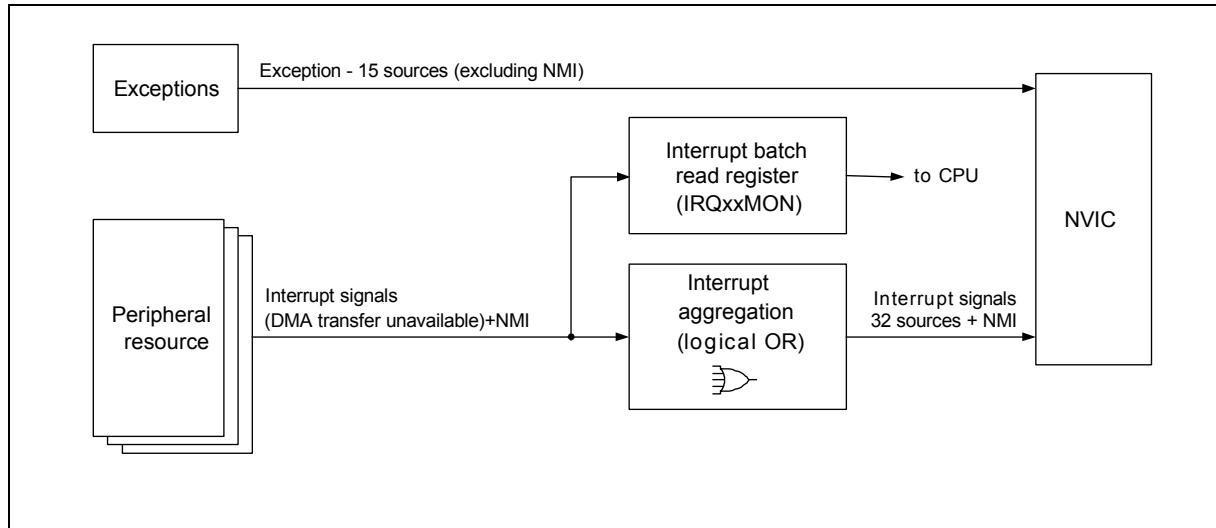
32 個の周辺機能からの割込み要求を利用して DMA 転送が起動できます。各周辺リソースからの割込み要求信号を CPU に出力するか、DMAC に出力するかを DRQSEL レジスタで選択してください。

## 2. 構成

割込みコントローラの構成を示します。

### ■ 割込みコントローラのブロックダイヤグラム

図 2-1 割込みコントローラのブロックダイヤグラム



#### ● 割込み要因集約部 (Interrupt aggregation)

各周辺リソースからの割込み要求信号を 32 要因に集約 (論理 OR) して、NVIC に出力します。

#### ● 周辺割込み要求一括読出しレジスタ部 (Interrupt batch read register)

1 つの割込み要求信号に集約された周辺リソースからの割込み要求信号に対し、周辺リソースから集約された割込み要求信号が、どの割込みによって発生しているかを確認できます。

### 3. 例外と割込み要因ベクタ

NVIC に入力される例外と割込みの要因ベクタを表 3-1 に示します。

表 3-1 例外と割込み要因ベクタ

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ Offset
0	-	スタックポインタ初期値	0x00
1	-	リセット	0x04
2	-	ノンマスカブル割込み(NMI) / ハードウェアオッヂドッグタイマ	0x08
3	-	ハードフォルト	0x0C
4	-	メモリ管理	0x10
5	-	バスフォルト	0x14
6	-	用途フォルト	0x18
7-10	-	Reserved	0x1C - 0x2B
11	-	SVCALL(スーパーバイザコール)	0x2C
12	-	デバッグモニタ	0x30
13	-	Reserved	0x34
14	-	PendSV	0x38
15	-	SysTick	0x3C
16	0	クロックスーパーバイザによる異常周波数検出(FCS)	0x40
17	1	ソフトウェアオッヂドッグタイマ	0x44
18	2	低電圧検出(LVD)	0x48
19	3	MFT unit0 波形ジェネレータ/DTIF(モータ緊急停止)	0x4C
20	4	外部端子割込み要求 ch.0～ch.6	0x50
21	5	外部端子割込み要求 ch.15	0x54
22	6	マルチファンクションシリアルインタフェース ch.0 の受信割込み要求	0x58
23	7	マルチファンクションシリアルインタフェース ch.0 の送信割込み要求, ステータス割込み要求	0x5C
24	8	マルチファンクションシリアルインタフェース ch.1 の受信割込み要求	0x60
25	9	マルチファンクションシリアルインタフェース ch.1 の送信割込み要求, ステータス割込み要求	0x64
26	10	マルチファンクションシリアルインタフェース ch.2 の受信割込み要求	0x68
27	11	マルチファンクションシリアルインタフェース ch.2 の送信割込み要求, ステータス割込み要求	0x6C
28	12	マルチファンクションシリアルインタフェース ch.3 の受信割込み要求	0x70
29	13	マルチファンクションシリアルインタフェース ch.3 の送信割込み要求, ステータス割込み要求	0x74
30	14	マルチファンクションシリアルインタフェース ch.4 の受信割込み要求	0x78
31	15	マルチファンクションシリアルインタフェース ch.4 の送信割込み要求, ステータス割込み要求	0x7C

ベクタ No.	IRQ No.	例外と割込み要因	ベクタ Offset
32	16	マルチファンクションシリアルインタフェース ch.5 の受信割込み要求	0x80
33	17	マルチファンクションシリアルインタフェース ch.5 の送信割込み要求, ステータス割込み要求	0x84
34	18	マルチファンクションシリアルインタフェース ch.6 の受信割込み要求	0x88
35	19	マルチファンクションシリアルインタフェース ch.6 の送信割込み要求, ステータス割込み要求	0x8C
36	20	マルチファンクションシリアルインタフェース ch.7 の受信割込み要求	0x90
37	21	マルチファンクションシリアルインタフェース ch.7 の送信割込み要求, ステータス割込み要求	0x94
38	22	PPG ch.0/2/4	0x98
39	23	外部メイン発振 / 外部サブ発振 / メイン PLL/ RTC 割込み要求	0x9C
40	24	A/D コンバータ unit0	0xA0
41	25	MFT unit0 フリーランタイマ	0xA4
42	26	MFT unit0 インプットキャプチャ	0xA8
43	27	MFT unit0 アウトプットコンペア	0xAC
44	28	ベースタイマ ch.0～ch.7	0xB0
45	29	LCD コントローラ	0xB4
46	30	HDMI-CEC/リモコン受信 ch.0	0xB8
47	31	HDMI-CEC/リモコン受信 ch.1	0xB8

ベクタ No.4～No.15 の例外の優先度は、NVIC に実装されたシステムハンドラ優先度レジスタ (System Handlers Priority Register、アドレス:0xE000ED18, 0xE000ED1C, 0xE000ED20)で設定可能です。ベクタ No.16 以降の周辺割込みの優先度は、NVIC に実装された割込み優先度レジスタ(IRQ Priority Register、アドレス:0xE000E400～0xE000E42C)で設定可能です。

ベクタ No.2, No.16～No.47 の割込みは割込み要求一括読み出しレジスタで要因が確認できます。そのほかの例外・割込みについては『Cortex-M3 テクニカルリファレンスマニュアル』の『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

また、ベクタ No.2, No.16～No.47 の割込みは、一括読み出しされた要因が各周辺マクロ内で複数の割込み要因が論理 OR された信号の場合があります。その詳細は、各周辺リソースの割込みについての説明を参照してください。

## 4. レジスタ

割込み要求一括読出しレジスタについて説明します。

### ■ 割込み要求一括読出しレジスター一覧

レジスタ略称	レジスタ名	参照先
EXC02MON	EXC02 一括読出しレジスタ	4.1
IRQ00MON	IRQ00 一括読出しレジスタ	4.2
IRQ01MON	IRQ01 一括読出しレジスタ	4.3
IRQ02MON	IRQ02 一括読出しレジスタ	4.4
IRQ03MON	IRQ03 一括読出しレジスタ	4.5
IRQ04MON	IRQ04 一括読出しレジスタ	4.6
IRQ05MON	IRQ05 一括読出しレジスタ	4.7
IRQ06MON	IRQ06 一括読出しレジスタ	4.8
IRQ07MON	IRQ07 一括読出しレジスタ	4.9
IRQ08MON	IRQ08 一括読出しレジスタ	4.8
IRQ09MON	IRQ09 一括読出しレジスタ	4.9
IRQ10MON	IRQ10 一括読出しレジスタ	4.8
IRQ11MON	IRQ11 一括読出しレジスタ	4.9
IRQ12MON	IRQ12 一括読出しレジスタ	4.8
IRQ13MON	IRQ13 一括読出しレジスタ	4.9
IRQ14MON	IRQ14 一括読出しレジスタ	4.8
IRQ15MON	IRQ15 一括読出しレジスタ	4.9
IRQ16MON	IRQ16 一括読出しレジスタ	4.8
IRQ17MON	IRQ17 一括読出しレジスタ	4.9
IRQ18MON	IRQ18 一括読出しレジスタ	4.8
IRQ19MON	IRQ19 一括読出しレジスタ	4.9
IRQ20MON	IRQ20 一括読出しレジスタ	4.8
IRQ21MON	IRQ21 一括読出しレジスタ	4.9
IRQ22MON	IRQ22 一括読出しレジスタ	4.10
IRQ23MON	IRQ23 一括読出しレジスタ	4.11
IRQ24MON	IRQ24 一括読出しレジスタ	4.12
IRQ25MON	IRQ25 一括読出しレジスタ	4.13
IRQ26MON	IRQ26 一括読出しレジスタ	4.14
IRQ27MON	IRQ27 一括読出しレジスタ	4.15

レジスタ略称	レジスタ名	参照先
IRQ28MON	IRQ28 一括読出しレジスタ	4.16
IRQ29MON	IRQ29 一括読出しレジスタ	4.17
IRQ30MON	IRQ30 一括読出しレジスタ	4.18
IRQ31MON	IRQ31 一括読出しレジスタ	4.19

NVIC 内のレジスタの詳細は、『Cortex-M3 テクニカルリファレンスマニュアル』の『8 章 ネスト型ベクタ割込みコントローラ』を参照してください。

## 4.1. EXC02 一括読出しレジスタ (EXC02MON)

EXC02MON は、割込みベクタ No.2 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	HWINT NMI
属性	R	R R
初期値	0000000000000000	0 0

[bit31:2] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit1] HWINT:

bit	説明
0	ハードウェアウォッチドッグタイマの割込み要求なし
1	ハードウェアウォッチドッグタイマの割込み要求あり

[bit0] NMI:

bit	説明
0	NMIX 外部端子の割込み要求なし
1	NMIX 外部端子の割込み要求あり

## 4.2. IRQ00 一括読み出しレジスタ (IRQ00MON)

IRQ00MON は、割込みベクタ No.16 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	
属性	R	
初期値	0000000000000000	
		FCSINT

[bit31:1] 予約: 予約ビット  
読み出し時は"0"が読み出されます。

[bit0] FCSINT:

bit	説明
0	CSV による異常周波数検出(FCS)の割込み要求なし
1	CSV による異常周波数検出(FCS)の割込み要求あり

### 4.3. IRQ01 一括読み出しレジスタ (IRQ01MON)

IRQ01MON は、割込みベクタ No.17 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	
属性	R	
初期値	0000000000000000	
		SWWDTINT

[bit31:1] 予約: 予約ビット  
読み出し時は"0"が読み出されます。

[bit0] SWWDTINT:

bit	説明
0	ソフトウェアウォッチドッグタイマの割込み要求なし
1	ソフトウェアウォッチドッグタイマの割込み要求あり

## 4.4. IRQ02 一括読み出しレジスタ (IRQ02MON)

IRQ02MON は、割込みベクタ No.18 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	LVDINT
属性	R	R
初期値	0000000000000000	0

[bit31:1] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit0] LVDINT:

bit	説明
0	低電圧検出(LVD)の割込み要求なし
1	低電圧検出(LVD)の割込み要求あり

## 4.5. IRQ03 一括読み出しレジスタ (IRQ03MON)

IRQ03MON は、割込みベクタ No.19 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	WAVE0INT
属性	R	R
初期値	0x0000	0000

[bit31:4] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit3:0] WAVE0INT:

bit 番号	bit	説明
3	0	MFT unit0 の WFG タイマ 54 の割込み要求なし
	1	MFT unit0 の WFG タイマ 54 の割込み要求あり
2	0	MFT unit0 の WFG タイマ 32 の割込み要求なし
	1	MFT unit0 の WFG タイマ 32 の割込み要求あり
1	0	MFT unit0 の WFG タイマ 10 の割込み要求なし
	1	MFT unit0 の WFG タイマ 10 の割込み要求あり
0	0	MFT unit0 の DTIF (モータ緊急停止) の割込み要求なし
	1	MFT unit0 の DTIF (モータ緊急停止) の割込み要求あり

## 4.6. IRQ04 一括読み出しレジスタ(IRQ04MON)

IRQ04MON は、割込みベクタ No.20 に割り当てられた割込み要求を一括で読み出せます。

IRQ04MON は、外部割込み ch.0 から ch.6 の割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								EXTINT							
属性	R								R							
初期値	0000000000								00000000							

### [bit31:7] 予約: 予約ビット

読み出し時は"0"が読み出されます。

### [bit6:0] EXTINT:

bit 番号	bit	説明
6	0	外部割込み ch.6 の割込み要求なし
	1	外部割込み ch.6 の割込み要求あり
5	0	外部割込み ch.5 の割込み要求なし
	1	外部割込み ch.5 の割込み要求あり
4	0	外部割込み ch.4 の割込み要求なし
	1	外部割込み ch.4 の割込み要求あり
3	0	外部割込み ch.3 の割込み要求なし
	1	外部割込み ch.3 の割込み要求あり
2	0	外部割込み ch.2 の割込み要求なし
	1	外部割込み ch.2 の割込み要求あり
1	0	外部割込み ch.1 の割込み要求なし
	1	外部割込み ch.1 の割込み要求あり
0	0	外部割込み ch.0 の割込み要求なし
	1	外部割込み ch.0 の割込み要求あり

## 4.7. IRQ05 一括読出しレジスタ(IRQ05MON)

IRQ05MON は、割込みベクタ No.21 に割り当てられた割込み要求を一括で読み出せます。

IRQ05MON は、外部割込み ch.15 の割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約					EXTINT		予約					R			
属性	R					R		R					R			
初期値	0x00					0		0000000								

[bit31:8] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit7] EXTINT:

bit	説明
0	外部割込み ch.15 の割込み要求なし
1	外部割込み ch.15 の割込み要求あり

[bit6:0] 予約: 予約ビット

読み出し時は"0"が読み出されます。

## 4.8. IRQ06/08/10/12/14/16/18/20 一括読出しレジスタ (IRQxxMON)

IRQ06MON は、割込みベクタ No.22 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ08MON は、割込みベクタ No.24 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ10MON は、割込みベクタ No.26 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ12MON は、割込みベクタ No.28 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ14MON は、割込みベクタ No.30 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ16MON は、割込みベクタ No.32 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ18MON は、割込みベクタ No.34 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ20MON は、割込みベクタ No.36 に割り当てられた割込み要求を一括で読み出せます。

IRQ06MON は、MFS ch.0 の受信割込み要求の状態を示します。  
 IRQ08MON は、MFS ch.1 の受信割込み要求の状態を示します。  
 IRQ10MON は、MFS ch.2 の受信割込み要求の状態を示します。  
 IRQ12MON は、MFS ch.3 の受信割込み要求の状態を示します。  
 IRQ14MON は、MFS ch.4 の受信割込み要求の状態を示します。  
 IRQ16MON は、MFS ch.5 の受信割込み要求の状態を示します。  
 IRQ18MON は、MFS ch.6 の受信割込み要求の状態を示します。  
 IRQ20MON は、MFS ch.7 の受信割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														MFSINT	
属性	R														R	
初期値	0000000000000000														0	

[bit31:1] 予約: 予約ビット  
 読出し時は"0"が読み出されます。

[bit0] MFSINT:

bit	説明
0	MFS の該当するチャネルの受信割込み要求なし
1	MFS の該当するチャネルの受信割込み要求あり

## 4.9. IRQ07/09/11/13/15/17/19/21 一括読出しレジスタ (IRQxxMON)

IRQ07MON は、割込みベクタ No.23 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ09MON は、割込みベクタ No.25 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ11MON は、割込みベクタ No.27 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ13MON は、割込みベクタ No.29 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ15MON は、割込みベクタ No.31 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ17MON は、割込みベクタ No.33 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ19MON は、割込みベクタ No.35 に割り当てられた割込み要求を一括で読み出せます。  
 IRQ21MON は、割込みベクタ No.37 に割り当てられた割込み要求を一括で読み出せます。

IRQ07MON は、MFS ch.0 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ09MON は、MFS ch.1 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ11MON は、MFS ch.2 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ13MON は、MFS ch.3 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ15MON は、MFS ch.4 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ17MON は、MFS ch.5 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ19MON は、MFS ch.6 の送信割込み要求、ステータス割込み要求の状態を示します。  
 IRQ21MON は、MFS ch.7 の送信割込み要求、ステータス割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														MFSINT	
属性	R														R	
初期値	0000000000000000														00	

### [bit31:2] 予約: 予約ビット

読み出し時は"0"が読み出されます。

### [bit1:0] MFSINT:

bit 番号	bit	説明
1	0	MFS の該当するチャネルのステータス割込み要求なし
	1	MFS の該当するチャネルのステータス割込み要求あり
0	0	MFS の該当するチャネルの送信割込み要求なし
	1	MFS の該当するチャネルの送信割込み要求あり

## 4.10. IRQ22 一括読出しレジスタ (IRQ22MON)

IRQ22MON は、割込みベクタ No.38 に割り当てられた割込み要求を一括で読み出せます。

IRQ22MON は、PPG ch.0, ch.2, ch.4 の割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約												PPGINT			
属性	R												R			
初期値	0000000000000000												000			

[bit31:3] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit2:0] PPGINT:

bit 番号	bit	説明
2	0	PPG ch.4 の割込み要求なし
	1	PPG ch.4 の割込み要求あり
1	0	PPG ch.2 の割込み要求なし
	1	PPG ch.2 の割込み要求あり
0	0	PPG ch.0 の割込み要求なし
	1	PPG ch.0 の割込み要求あり

## 4.11. IRQ23 一括読み出しレジスタ (IRQ23MON)

IRQ23MON は、割込みベクタ No.39 に割り当てられた割込み要求を一括で読み出せます。

bit	31		16
Field	予約		
属性	R		
初期値	0x0000		
bit	15 14 13 12 11 10 9 8 7 6	5	4 3 2 1 0
Field	予約	RTCINT	予約 MPLLINT SOSCINT MOSCINT
属性	R	R	R R R R
初期値	0000000000	0	00 0 0 0 0

[bit31:6] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit5] RTCINT:

bit	説明
0	RTC 割込み要求なし
1	RTC 割込み要求あり

[bit4:3] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit2] MPLLINT:

bit	説明
0	メイン PLL 発振の安定待ち完了割込み要求なし
1	メイン PLL 発振の安定待ち完了割込み要求あり

[bit1] SOSCINT:

bit	説明
0	サブクロック発振の安定待ち完了割込み要求なし
1	サブクロック発振の安定待ち完了割込み要求あり

[bit0] MOSCINT:

bit	説明
0	メインクロック発振の安定待ち完了割込み要求なし
1	メインクロック発振の安定待ち完了割込み要求あり

## 4.12. IRQ24 一括読み出しレジスタ (IRQ24MON)

IRQ24MON は、割込みベクタ No.40 に割り当てられた割込み要求を一括で読み出せます。

IRQ24MON は、A/D コンバータ unit0 からの割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約										ADCINT					
属性	R										R					
初期値	0x0000										0000					

[bit31:4] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit3:0] ADCINT:

bit 番号	bit	説明
3	0	A/D コンバータ unit0 の変換結果比較の割込み要求なし
	1	A/D コンバータ unit0 の変換結果比較の割込み要求あり
2	0	A/D コンバータ unit0 の FIFO オーバランの割込み要求なし
	1	A/D コンバータ unit0 の FIFO オーバランの割込み要求あり
1	0	A/D コンバータ unit0 のスキャン変換の割込み要求なし
	1	A/D コンバータ unit0 のスキャン変換の割込み要求あり
0	0	A/D コンバータ unit0 の優先変換の割込み要求なし
	1	A/D コンバータ unit0 の優先変換の割込み要求あり

## 4.13. IRQ25 一括読み出しレジスタ (IRQ25MON)

IRQ25MON は、割込みベクタ No.41 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	FRT0INT
属性	R	R
初期値	0000000000	000000

[bit31:6] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit5:0] FRT0INT:

bit 番号	bit	説明
5	0	MFT unit0 フリーランタイマ ch.2 ゼロ検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.2 ゼロ検出の割込み要求あり
4	0	MFT unit0 フリーランタイマ ch.1 ゼロ検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.1 ゼロ検出の割込み要求あり
3	0	MFT unit0 フリーランタイマ ch.0 ゼロ検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.0 ゼロ検出の割込み要求あり
2	0	MFT unit0 フリーランタイマ ch.2 ピーク値検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.2 ピーク値検出の割込み要求あり
1	0	MFT unit0 フリーランタイマ ch.1 ピーク値検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.1 ピーク値検出の割込み要求あり
0	0	MFT unit0 フリーランタイマ ch.0 ピーク値検出の割込み要求なし
	1	MFT unit0 フリーランタイマ ch.0 ピーク値検出の割込み要求あり

## 4.14. IRQ26 一括読み出しレジスタ (IRQ26MON)

IRQ26MON は、割込みベクタ No.42 に割り当てられた割込み要求を一括で読み出せます。

IRQ26MON は、MFT unit0 インプットキャプチャ ch.0～ch.3 の割込み要求の状態を示します。

bit	31		16													
Field	予約															
属性	R															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約								ICU0INT							
属性	R								R							
初期値	0x0000								0000							

[bit31:4] 予約: 予約ビット

読み出し時は"0"が読み出されます。

[bit3:0] ICU0INT:

bit 番号	bit	説明
3	0	MFT unit0 インプットキャプチャ ch.3 の割込み要求なし
	1	MFT unit0 インプットキャプチャ ch.3 の割込み要求あり
2	0	MFT unit0 インプットキャプチャ ch.2 の割込み要求なし
	1	MFT unit0 インプットキャプチャ ch.2 の割込み要求あり
1	0	MFT unit0 インプットキャプチャ ch.1 の割込み要求なし
	1	MFT unit0 インプットキャプチャ ch.1 の割込み要求あり
0	0	MFT unit0 インプットキャプチャ ch.0 の割込み要求なし
	1	MFT unit0 インプットキャプチャ ch.0 の割込み要求あり

## 4.15. IRQ27 一括読み出しレジスタ (IRQ27MON)

IRQ27MON は、割込みベクタ No.43 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	OCU0INT
属性	R	R
初期値	000000000000	0000000

[bit31:6] 予約 : 予約ビット

読み出し時は"0"が読み出されます。

[bit5:0] OCU0INT:

bit 番号	bit	説明
5	0	MFT unit0 アウトプットコンペア ch.5 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.5 の割込み要求あり
4	0	MFT unit0 アウトプットコンペア ch.4 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.4 の割込み要求あり
3	0	MFT unit0 アウトプットコンペア ch.3 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.3 の割込み要求あり
2	0	MFT unit0 アウトプットコンペア ch.2 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.2 の割込み要求あり
1	0	MFT unit0 アウトプットコンペア ch.1 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.1 の割込み要求あり
0	0	MFT unit0 アウトプットコンペア ch.0 の割込み要求なし
	1	MFT unit0 アウトプットコンペア ch.0 の割込み要求あり

## 4.16. IRQ28 一括読み出しレジスタ (IRQ28MON)

IRQ28MON は、割込みベクタ No.44 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	BTINT	
属性	R	
初期値	0x0000	

[bit31:16] 予約 : 予約ビット

読み出し時は"0"が読み出されます。

[bit15:0] BTINT:

bit 番号	bit	説明
15	0	ベースタイマ ch.7 の IRQ1 割込み要求なし
	1	ベースタイマ ch.7 の IRQ1 割込み要求あり
14	0	ベースタイマ ch.7 の IRQ0 割込み要求なし
	1	ベースタイマ ch.7 の IRQ0 割込み要求あり
13	0	ベースタイマ ch.6 の IRQ1 割込み要求なし
	1	ベースタイマ ch.6 の IRQ1 割込み要求あり
12	0	ベースタイマ ch.6 の IRQ0 割込み要求なし
	1	ベースタイマ ch.6 の IRQ0 割込み要求あり
11	0	ベースタイマ ch.5 の IRQ1 割込み要求なし
	1	ベースタイマ ch.5 の IRQ1 割込み要求あり
10	0	ベースタイマ ch.5 の IRQ0 割込み要求なし
	1	ベースタイマ ch.5 の IRQ0 割込み要求あり
9	0	ベースタイマ ch.4 の IRQ1 割込み要求なし
	1	ベースタイマ ch.4 の IRQ1 割込み要求あり
8	0	ベースタイマ ch.4 の IRQ0 割込み要求なし
	1	ベースタイマ ch.4 の IRQ0 割込み要求あり
7	0	ベースタイマ ch.3 の IRQ1 割込み要求なし
	1	ベースタイマ ch.3 の IRQ1 割込み要求あり
6	0	ベースタイマ ch.3 の IRQ0 割込み要求なし
	1	ベースタイマ ch.3 の IRQ0 割込み要求あり
5	0	ベースタイマ ch.2 の IRQ1 割込み要求なし
	1	ベースタイマ ch.2 の IRQ1 割込み要求あり

bit 番号	bit	説明
4	0	ベースタイマ ch.2 の IRQ0 割込み要求なし
	1	ベースタイマ ch.2 の IRQ0 割込み要求あり
3	0	ベースタイマ ch.1 の IRQ1 割込み要求なし
	1	ベースタイマ ch.1 の IRQ1 割込み要求あり
2	0	ベースタイマ ch.1 の IRQ0 割込み要求なし
	1	ベースタイマ ch.1 の IRQ0 割込み要求あり
1	0	ベースタイマ ch.0 の IRQ1 割込み要求なし
	1	ベースタイマ ch.0 の IRQ1 割込み要求あり
0	0	ベースタイマ ch.0 の IRQ0 割込み要求なし
	1	ベースタイマ ch.0 の IRQ0 割込み要求あり

表 4-1 に示すようにベースタイマの割込み要因 IRQ0 および IRQ1 は、使用するベースタイマ機能によって異なります。

表 4-1 ベースタイマの各機能での割込み要因

機能	割込み要因 IRQ0	割込み要因 IRQ1
16 ビット PWM タイマ	アンダフロー検出/ デューティ一致検出	タイマ起動トリガ検出
16 ビット PPG タイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビットトリロードタイマ	アンダフロー検出	タイマ起動トリガ検出
16/32 ビット PWC タイマ	オーバフロー検出	測定終了検出

## 4.17. IRQ29 一括読み出しレジスタ (IRQ29MON)

IRQ29MON は、割込みベクタ No.45 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16
Field	予約	
属性	R	
初期値	0x0000	
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Field	予約	LCDCINT 予約
属性	R	R R
初期値	000000000000	0 0000

[bit31:5] 予約 : 予約ビット

読み出し時は"0"が読み出されます。

[bit4] LCDCINT:

bit	説明
0	LCD コントローラの LCDC 割込み要求なし
1	LCD コントローラの LCDC 割込み要求あり

[bit3:0] 予約 : 予約ビット

読み出し時は"0"が読み出されます。

## 4.18. IRQ30 一括読出しレジスタ (IRQ30MON)

IRQ30MON は、割込みベクタ No.46 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16	
Field	予約		
属性	R		
初期値	0x0000		
bit	15 14 13 12 11 10 9 8 7 6	5 4 3 2 1 0	
Field	予約	RCEC0INT	予約
属性	R	R	R
初期値	0000000000	0	00000

[bit31:6] 予約: 予約ビット

"0"が読み出されます。

[bit5] RCEC0INT:

bit	説明
0	HDMI-CEC/リモコン受信 ch.0 の割込み要求なし
1	HDMI-CEC/リモコン受信 ch.0 の割込み要求あり

[bit4:0] 予約 : 予約ビット

読み出し時は"0"が読み出されます。

## 4.19. IRQ31 一括読出しレジスタ (IRQ31MON)

IRQ31MON は、割込みベクタ No.47 に割り当てられた割込み要求を一括で読み出せます。

bit	31	16	
Field	予約		
属性	R		
初期値	0x0000		
bit	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Field	予約	RCEC1INT	予約
属性	R	R	R
初期値	000000000	0	000000

[bit31:7] 予約: 予約ビット

"0"が読み出されます。

[bit6] RCEC1INT:

bit	説明
0	HDMI-CEC/リモコン受信 ch.1 の割込み要求なし
1	HDMI-CEC/リモコン受信 ch.1 の割込み要求あり

[bit5:0] 予約 : 予約ビット

読み出し時は"0"が読み出されます。

## 5. 使用上の注意

---

割込みコントローラを使用する際は、次の点を注意してください。

---

- 各周辺リソースからの割込み要求信号はレベルで通知されています。割込み処理から復帰する場合には、必ずその割込み要求をクリアしてください。
- NMIX 端子は汎用ポートと兼用で割り当てられています。リセット解除後の初期値は汎用ポートに設定されており、NMI 入力はマスクされています。NMI を使用する場合は、ポートの設定にて NMI を許可してください。詳細は別章『外部割込み・NMI 制御部』を参照してください。
- 各周辺リソースにおける具体的なイベント検出レジスタと割込み許可レジスタの対応は、各マクロの章を参照してください。



## CHAPTER: 外部割込み・NMI 制御部

外部割込み・NMI 制御部の機能と動作について示します。

1. 概要
2. ブロックダイヤグラム
3. 動作説明および設定手順例
4. レジスタ

## 1. 概要

---

外部割込み・NMI 制御部は以下のような特長があります。

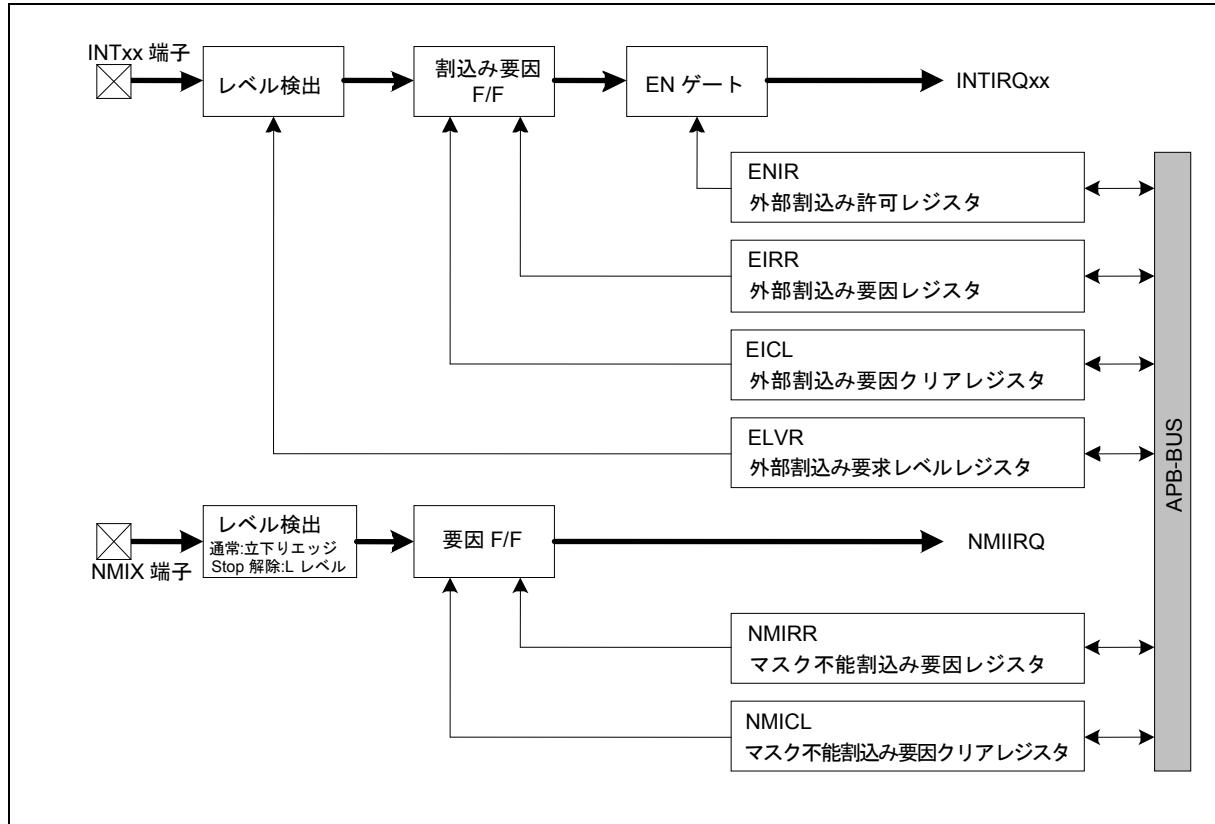
---

- ・外部割込み入力端子を最大 32 本、NMI 入力端子を 1 本搭載します。
- ・外部割込み検出は "H" レベル, "L" レベル, 立上りエッジ, 立下りエッジを選択できます。
- ・外部割込み入力・NMI 入力をスタンバイモードからの復帰に利用できます。

## 2. ブロックダイヤグラム

外部割込み・NMI 制御部のブロックダイヤグラムを示します。

図 2-1 外部割込み・NMI 制御部のブロックダイヤグラム



### 3. 動作説明および設定手順例

動作説明および設定手順例を示します。

- 3.1 外部割込み制御部の動作
- 3.2 NMI 制御部の動作
- 3.3 タイマモードおよびストップモードからの復帰

## 3.1. 外部割込み制御部の動作

外部割込み制御部の動作を示します。

### ■ 外部割込み制御部の動作概要

外部割込み制御部は、次の順序で割込みコントローラへ外部割込み要求を出力します。

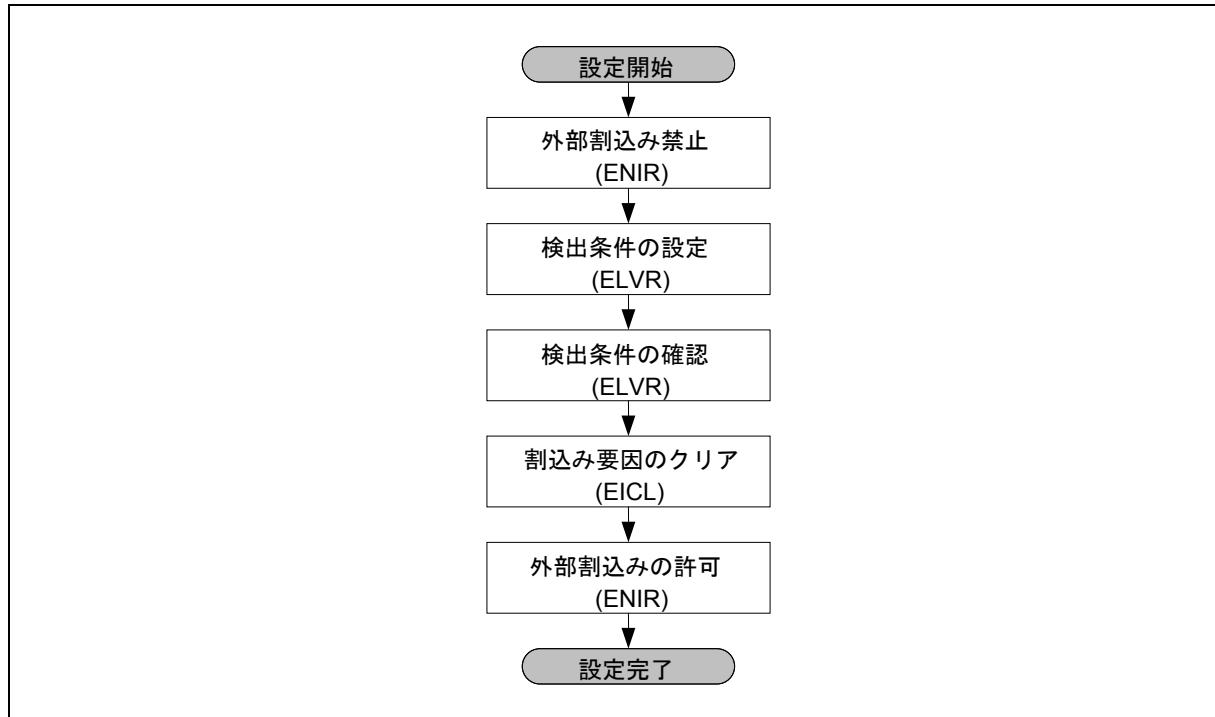
1. INTxx 端子に入力された信号が、外部割込み要求レベルレジスタ(ELVR)で設定したエッジ/レベルを検出します。検出するエッジ/レベルは、次の 4 種類から選択できます。  
"H" レベル / "L" レベル / 立上りエッジ / 立下りエッジ
2. 検出された割込み入力は、割込み要因 F/F に保持されます。  
これは外部割込み要因レジスタ(EIRR)で読み出せます。  
また、外部割込み要因クリアレジスタ(EICL)で保持された割込み要因をクリアします。
3. 外部割込みが外部割込み許可レジスタ(ENIR)で、割込み許可されている場合は、割込みコントローラへ外部割込み要求(INTIRQxx)を出力します。

### ■ 設定手順

外部割込みは次の手順で設定してください。

1. 外部割込み許可レジスタ(ENIR)で外部割込みを禁止する。
2. 外部割込み要求レベルレジスタ(ELVR)で検出条件(有効エッジ/レベル)を設定する。
3. 外部割込み要求レベルレジスタ(ELVR)を読み出す。
4. 外部割込み要因クリアレジスタ(EICL)で外部割込み要因をクリアする。
5. 外部割込み許可レジスタ(ENIR)で外部割込みを許可する。

図 3-1 外部割込みの設定手順



### ■ 外部割込み要求の取下げ

外部割込みの検出条件を "L" レベル検出 / "H" レベル検出に設定しているときは、外部割込み要求入力 (INTxx) が取り下げられても、割込み要因は外部割込み要因レジスタ (EIRR) に保持されています。このため、外部割込み要求 (INTIRQxx) は割込みコントローラに出力されたままになります。

外部割込みは要求を取り下げるには次の手順で設定してください。

1. 外部割込み要因レジスタ (EIRR) を読み出し、割込み要因を確認する。
2. 外部割込み要因クリアレジスタ (EICL) の対応するビットを "0" を書き込みクリアする。
3. 外部割込み要因レジスタ (EIRR) を読み出し、割込み要因がクリアされていることを確認する。

図 3-2 割込み要因のクリア

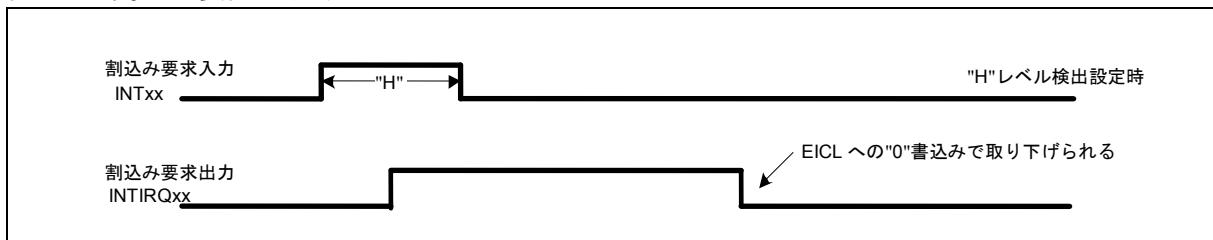
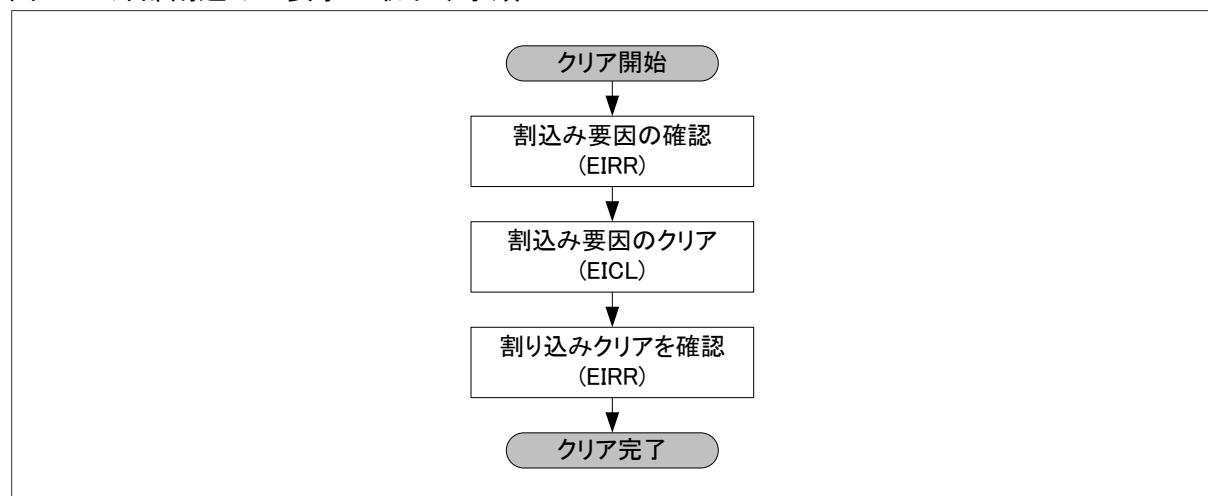


図 3-3 外部割込みの要求の取下げ手順



## 3.2. NMI 制御部の動作

NMI 制御部の動作を示します。

### ■ NMI 制御部の概要

NMI 制御部は、NMI 入力端子(NMIX)に入力された信号から、エッジ/レベルを検出すると、CPU に対し NMI 割込み要求(NMIIRQ)を出力します。  
検出するエッジ/レベルは、次のとおりです。

- 通常時 : 立下りエッジ
- ストップモード時 : "L"レベル

### ■ NMI 要求の取下げ

NMI 要求を取下げるには、外部割込み要求と同様に、要因レジスタをクリアする必要があります。  
NMI 割込み要求を取り下げるには次の手順で設定してください。

1. マスク不能割込み要因レジスタ(NMIRR)を読み出し、割込み要因を確認する。
2. マスク不能割込み要因クリアレジスタ(NMICL)の対応するビットに"0"を書き込みクリアする。
3. マスク不能割込み要因レジスタ(NMIRR)を読み出し、割込み要因がクリアされていることを確認する。

図 3-4 NMI 要求の取下げ手順



### 3.3. タイマモードおよびストップモードからの復帰

タイマモードおよびストップモードからの復帰を示します。

#### ■ 概要

タイマモードおよびストップモードからの復帰に、外部割込み要求・NMI 要求を利用できます。タイマモードおよびストップモード時に、INTxx/NMIX 端子への最初に入力された信号は非同期で入力され、タイマモードおよびストップモードから復帰することが可能です。

#### ■ ストップモードに移行する前の設定

外部割込み要求を利用する場合、ストップモードに移行する前に外部割込み許可レジスタ(ENIR)で、ストップモードからの復帰に利用する端子の設定、検出する有効レベルの設定をしてください。

- ・ストップモードからの復帰に利用する端子 : 割込み要求の出力許可 (ENIR = 1)
- ・ストップモードからの復帰に利用しない端子 : 割込み要求の出力禁止 (ENIR = 0)

NMI 要求を利用する場合、"L"レベルのみ検出するので、レジスタの設定は不要です。

#### ■ ストップモードからの復帰動作

外部割込み要求の場合では、ストップモード時に復帰に利用する端子に対して、あらかじめ設定した有効レベルを検出すると、ストップモードから復帰します。

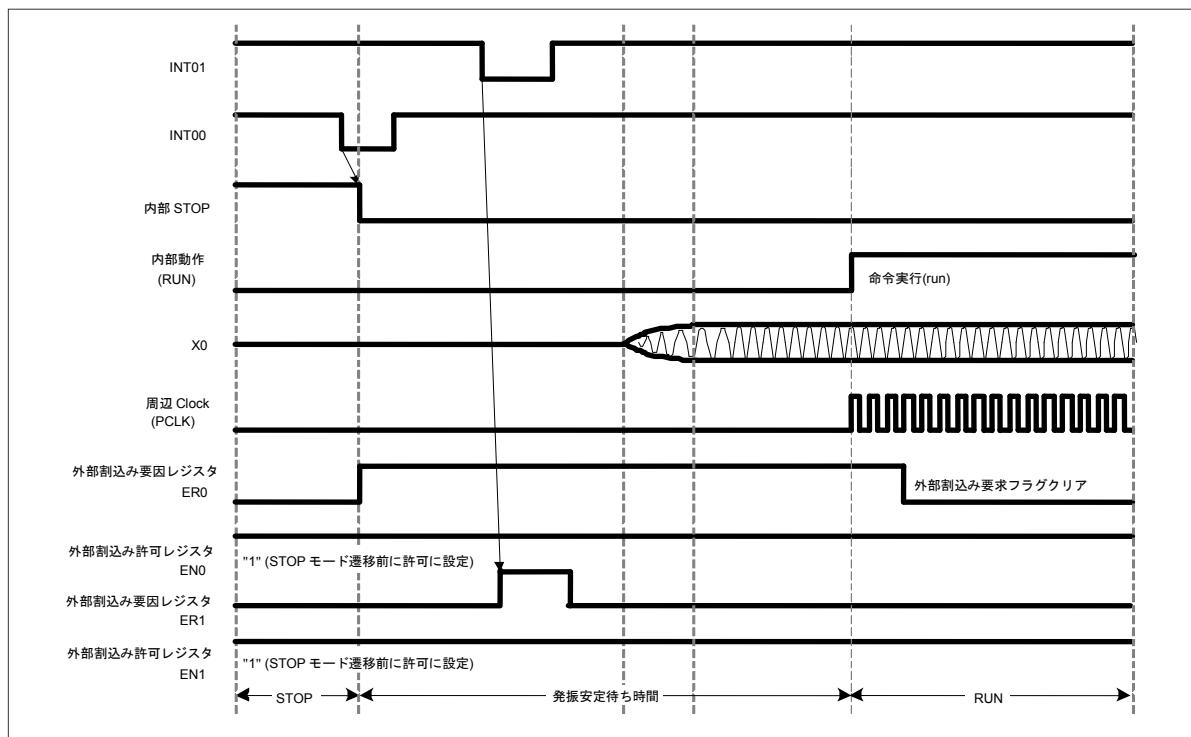
NMI 要求の場合では、ストップモード時に "L" レベルを検出するとストップモードから復帰します。

### ■ ストップモードからの復帰における注意事項

ストップモード解除から発振安定待ち時間が経過するまでは、ほかの外部割込み要求を認識できません。(図 3-5 の INT01 の外部割込み要求は認識できません。)

そのため、ストップモード解除後に外部割込み入力を行う場合には、発振安定待ち時間経過後に外部割込み信号を入力してください。

図 3-5 ストップモードからの復帰動作



## 4. レジスタ

レジスター一覧を示します。

### ■ レジスター一覧

外部割込み・NMI 制御部のレジスター一覧です。

表 4-1 外部割込み/NMI 制御部レジスター一覧

レジスタ略称	レジスタ名	参照先
ENIR	外部割込み許可レジスタ	4.1
EIRR	外部割込み要因レジスタ	4.2
EICL	外部割込み要因クリアレジスタ	4.3
ELVR	外部割込み要求レベル設定レジスタ	4.4
ELVR1	外部割込み要求レベル設定レジスタ 1	4.5
NMIRR	マスク不能割込み要因レジスタ	4.6
NMICL	マスク不能割込み要因クリアレジスタ	4.7

## 4.1. 外部割込み許可レジスタ(ENIR : E<sub>N</sub>able Interrupt request Register)

ENIR レジスタは外部割込み要求出力のマスク制御を行います。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	EN[31:16]															
属性	R/W															
初期値	0x0000															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	EN[15:0]															
属性	R/W															
初期値	0x0000															

### ■ レジスタ機能

#### [bit31:0] EN31～EN0：外部割込み許可ビット

EN31～EN0 ビットは、それぞれ INT31～INT00 の端子に対応しています。  
品種仕様上存在しない端子に対応するビットへの設定は禁止です。

bit	説明
0	外部割込み要求の発生を禁止します
1	外部割込み要求の発生を許可します

このレジスタの"1"を書かれたビットに対応する割込み要求出力が許可され、割込みコントローラに対して要求が出力されます。"0"が書かれたビットに対応する端子は割込み要因を保持しますが、割込みコントローラに対しては要求を発生しません。

## 4.2. 外部割込み要因レジスタ(EIRR : External Interrupt Request Register)

EIRR レジスタは外部割込み要求が検出されたことを示します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	ER[31:16]															
属性	R															
初期値	0xXXXX															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ER[15:0]															
属性	R															
初期値	0xXXXX															

### ■ レジスタ機能

#### [bit31:0] ER31～ER0：外部割込み要求検出ビット

ER31～ER0 ビットは、それぞれ INT31～INT00 の端子に対応しています。  
品種仕様上存在しない端子に対応するビットは不定です。

bit	機能
0	外部割込み要求検出なし
1	外部割込み要求検出あり
書き込み時	動作に影響しません

### <注意事項>

- ELVR レジスタでレベル検出に設定しているとき、INTxx 端子から有効レベルが入力されている間は、外部割込み要因クリアレジスタ(EICL)で対応ビットをクリア("0"を書き込み)しても、外部割込み要因レジスタ(EIRR)の対応ビットは再び"1"に設定されます。
- GPIO の初期設定は汎用ポートのため、外部割込み要因レジスタ(EIRR)の対応ビットが"1"に設定されることがあります。GPIO を外部割込み端子への設定後に、外部割込み要因レジスタ(EIRR)をクリアしてください。

## 4.3. 外部割込み要因クリアレジスタ(EICL: External Interrupt CLear register)

EICL レジスタは保持された割込み要因をクリアします。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	ECL[31:16]															
属性	R/W															
初期値	0xFFFF															
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	ECL[15:0]															
属性	R/W															
初期値	0xFFFF															

### ■ レジスタ機能

[bit31:0] ECL31～ECL0：外部割込み要因クリアビット

ECL31～ECL0 ビットは、それぞれ INT31～INT00 の端子に対応しています。

品種仕様上存在しない端子に対応するビットへの"0"書き込みは禁止です。

bit	機能
0 書込み時	外部割込み要因をクリアします
1 書込み時	動作に影響しません
読み出し時	常に"1"が読み出されます

## 4.4. 外部割込み要求レベルレジスタ(ELVR : External interrupt LeVel Register)

ELVR は外部割込み要求として検出する信号のレベル/エッジを選択します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LB15	LA15	LB14	LA14	LB13	LA13	LB12	LA12	LB11	LA11	LB10	LA10	LB9	LA9	LB8	LA8
属性	R/W	R/W	R/W	R/W	R/W											
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LB7	LA7	LB6	LA6	LB5	LA5	LB4	LA4	LB3	LA3	LB2	LA2	LB1	LA1	LB0	LA0
属性	R/W															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

### ■ レジスタ機能

[bit31:0] LA15～LA0/LB15～LB0 : 外部割込み要求検出レベル選択ビット

LA, LB の 2 ビットごとで、INT15～INT00 の端子に対応しています。

品種仕様上存在しない端子に対応するビットへの設定は禁止です。

このビットで選択されたエッジ/レベルを検出すると外部割込み要求として認識されます。

LBx	LAx	説明
0	0	"L" レベルを検出
0	1	"H" レベルを検出
1	0	立上りエッジを検出
1	1	立下りエッジを検出

## 4.5. 外部割込み要求レベルレジスタ 1 (ELVR1 : External interrupt LeVel Register 1)

ELVR は外部割込み要求として検出する信号のレベル/エッジを選択します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	LB31	LA31	LB30	LA30	LB29	LA29	LB28	LA28	LB27	LA27	LB26	LA26	LB25	LA25	LB24	LA24
属性	R/W															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	LB23	LA23	LB22	LA22	LB21	LA21	LB20	LA20	LB19	LA19	LB18	LA18	LB17	LA17	LB16	LA16
属性	R/W															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

### ■ レジスタ機能

[bit31:0] LA31～LA16/LB31～LB16 : 外部割込み要求検出レベル選択ビット

LA, LB の 2 ビットごとで、INT31～INT16 の端子に対応しています。

品種仕様上存在しない端子に対応するビットへの設定は禁止です。

このビットで選択されたエッジ/レベルを検出すると外部割込み要求として認識されます。

LBx	LAx	説明
0	0	"L" レベルを検出
0	1	"H" レベルを検出
1	0	立上りエッジを検出
1	1	立下りエッジを検出

## 4.6. マスク不能割込み要因レジスタ(NMIRR : Non Maskable Interrupt Request Register)

NMIRR レジスタはマスク不能割込み(NMI)要求が検出されたことを示します。

### ■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field								予約								NR
属性								-								R
初期値								-								0

### ■ レジスタ機能

#### [bit15:1] 予約 : 予約ビット

読み出し時は不定です。

書き込み時は動作に影響しません。

#### [bit0] NR : NMI 割込み要求検出ビット

NR ビットは、NMIX の端子に対応しています。

bit	機能
0	NMI 割込み要求検出なし
1	NMI 割込み要求検出あり
書き込み時	動作に影響しません

## 4.7. マスク不能割込み要因クリアレジスタ(NMICL: Non Maskable Interrupt CLear register)

NMICL レジスタは保持された割込み要因をクリアします。

### ■ レジスタ構成

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約														NCL	
属性	-														R/W	
初期値	-														1	

### ■ レジスタ機能

#### [bit15:1] 予約 : 予約ビット

読み出し時は不定です。

書き込み時は動作に影響しません。

#### [bit0] NCL : NMI 割込み要因クリアビット

NCL ビットは、NMIX の端子に対応しています。

bit	機能
0 書込み時	NMI 割込み要因をクリアします
1 書込み時	動作に影響しません
読み出し時	常に"1"が読み出されます

### <注意事項>

- ELVR レジスタを書き換えて検出条件を変更すると、誤った割込み要因が発生する場合があります。  
誤った割込み要因の発生を避けるため、検出条件を変更する場合には図 3-1の手順を守ってください。
- ELVR レジスタで設定したエッジ/レベルを検出するには、最低 3T(T:PCLK 周期)のパルス幅が必要です。  
このパルス幅に満たない信号が入力された場合は正しく動作しない場合があります。
- ELVR レジスタでレベル検出に設定しているときは、INTxx 端子から有効レベルが入力されている間は、外部割込み要因クリアレジスタ(EICL)で対応ビットをクリア("0"を書き込み)しても、外部割込み要因レジスタ(EIRR)の対応ビットは再び"1"に設定されます。
- NMI の検出レベル設定レジスタはありません。通常時は立下りエッジを検出します。  
また、ストップ状態からの復帰に使用する場合は"L"レベル検出となります。
- NMI はマスク不能割込みですので、NMI 割込み許可レジスタはありません。



## CHAPTER: DMAC

---

DMAC について説明します。

---

1. DMACの概要
2. DMACの構成
3. DMACの機能と動作
4. DMACの制御
5. DMACのレジスタ
6. 使用上の注意

## 1. DMAC の概要

DMAC(Direct Memory Access Controller)は、CPU を介さずにデータを高速に転送する機能ブロックです。DMAC を利用することにより、システム性能を高められます。

### ■ DMAC の概要

- CPU バスとは独立の DMA 専用バスを持ち、CPU バスアクセス時に転送動作が可能な構成です。
- 8 種類の DMA 転送を独立して実行できる 8 チャネル構成です。
- チャネルごとに、転送先アドレス、転送元アドレス、転送データサイズ、転送要求元、転送モードの設定ができ、転送動作開始、転送強制停止、転送一時停止の制御が行えます。
- 全チャネル一括転送動作開始、一括転送強制停止、一括転送一時停止の制御が行えます。
- 複数チャネルが同時動作時のチャネル動作優先順位を、固定方式/ローテート方式から選択できます。
- Peripheral からの割込み信号を利用したハードウェア DMA 転送に対応しています。
- システムバス(AHB)に準拠した構成で、32 ビットのアドレス空間(4G バイト)に対応しています。

### ■ 各チャネルの機能概要

- 転送元・転送先アドレスのインクリメント/固定の選択ができます。
- 転送元・転送先アドレスのリロード機能(転送終了時に開始設定値に戻す機能)が利用できます。
- 転送するデータサイズを、以下の 3 種類の指定から決定できます。
  - 転送データ幅 : (バイト/ ハーフワード/ワードから選択)
  - ブロック数設定 : (1~16 から選択)
  - 転送回数設定 : (1~65536 から選択)(ブロック数と転送回数の違いは「3 DMAC の機能と動作」を参照してください。)
- 転送正常終了、転送異常終了をそれぞれ、割込みで通知する/しないを選択できます。
- 転送モードは以下の 5 種類から選択できます。
  - ソフトウェア・Block 転送
  - ソフトウェア・Burst 転送
  - ハードウェア・Demand 転送
  - ハードウェア・Block 転送
  - ハードウェア・Burst 転送

### ■ 転送モードについて

ソフトウェア転送は、CPU からの直接指示により、DMAC を起動する方式です。

ハードウェア転送は、Peripheral からの割込み信号を、DMAC の転送要求信号として利用するもので、Peripheral からの転送要求発生時に、直接 DMAC を起動する方式です。

マルチ・ファンクション・シリアル・ユニット、USB ユニット、ADC ユニットの場合、送受信データ、A/D 変換データの転送が必要になったとき、各ユニットが直接 DMAC にデータ転送の起動指示を行います。外部割込みユニット、ベースタイマユニットの場合、転送タイミングになったとき、各ユニットが直接 DMAC にデータ転送の起動指示を行います。いずれの場合も、あらかじめ設定をしておくことで、CPU を介さずにデータを転送できます。

### ■ 略語表記について

以降の説明文中に、DE, DS, DH, PR, EB, PB, ST, IS, BC, TC, MS, TW, FS, FD, RC, RS, RD, EI, CI, SS, EM の用語がありますが、すべて DMAC の制御レジスタ(DMACR, DMACSA, DMACDA, DMACA, DMACB レジスタ)の各ビットを指しています。「5 DMAC のレジスタ」を参照してください。

## 2. DMAC の構成

---

DMAC とシステム構成, DMAC の入出力端子について説明します。

---

2.1 DMAC とシステム構成

2.2 DMAC の入出力信号

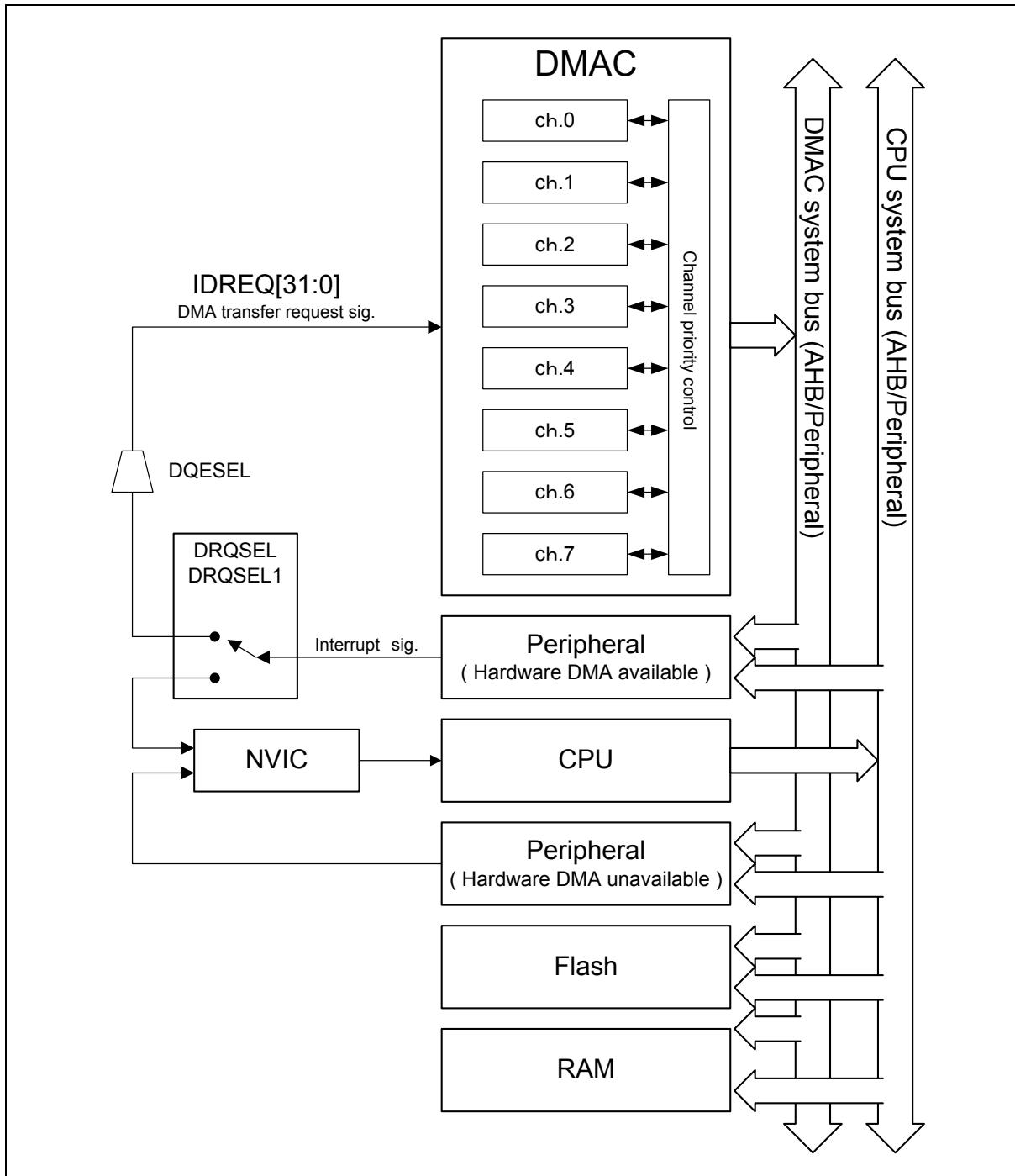
## 2.1. DMAC とシステム構成

DMAC とシステム構成について説明します。

### ■ ブロックダイヤグラム

図 2-1 に DMAC とシステム構成のブロックダイヤグラムを示します。

図 2-1 DMAC とシステム構成のブロックダイヤグラム



## ■ ブロックダイヤグラム説明

### ● DMAC

DMAC は、最大 8 チャネル構成です。それぞれのチャネルは独立した転送を行います。優先順位制御部は、各チャネルの転送動作が競合した場合の制御をします。

### ● システムとの接続

図 2-1 のシステム構成図は簡略化しています。詳細は『システム概要』の章を参照してください。DMAC はシステムバスを経由して CPU, Flash, RAM, Peripheral と接続されています。CPU バスとは独立した専用バスを持っており、CPU バスアクセス時に転送動作が可能な構成になっています。各チャネルの転送先アドレス、転送元アドレスの指定により、システム上の任意のアドレス領域にアクセスし、メモリおよび Peripheral 間のデータ転送を行います。一部 DMAC からはアクセスできない領域があります。メモリマップにてご確認をお願いします。

### ● ハードウェア転送要求信号の接続

ハードウェア転送に対応している Peripheral からの割込み信号は、割込みコントローラ部(図 2-1 の DRQSEL/DREQSEL1)にて、CPU への割込み信号として使用するか、DMAC への DMA 転送要求信号として使用するかを選択します。(TYPE3 製品の場合は、『割込み(C)』の章を参照してください。)

ハードウェア要求による DMA 転送を行う場合は、事前に DRQSEL/DREQSEL1 の設定により、各 Peripheral からの割込み信号を DMAC への転送要求信号として接続してください。ハードウェア転送に対応していない Peripheral からの割込み信号は、DMA 転送要求信号としては使用できません。また、割込み信号を DMAC の転送要求信号として使用する場合、CPU への割込み信号としては使用できません。『割込み』の章を参照してください。

DMAC に入力される DMA 転送要求信号は、32 の信号があります。各信号と Peripheral の対応は、「2.2 DMAC の入出力信号」の表 2-1 を参照してください。TYPE2 製品では、DMA の転送要求信号のうち、拡張セレクタ(図 2-1 の DQESEL)を使用し、DMA 転送要求信号を拡張選択することができます。表 2-2 を参照してください。TYPE2 以外の製品では、拡張選択することはできません。

搭載していない Peripheral からの割込み信号は選択できません。複数のチャネル、および、複数の割込み要因を持つ Peripheral の場合、DMA 転送に対応している割込みあるいは対応していない割込みが存在しますので、注意してください。

ハードウェア転送の場合、DMAC の各チャネルは、上記の 32 の転送要求信号のうち、1 つの転送要求信号を選択して動作します。IS レジスタにより選択を行います。

### ● ハードウェア転送要求クリア信号の接続

ハードウェア転送に対応している Peripheral のうち、転送完了後、転送要求信号(割込み信号)のクリアが必要な Peripheral があります。図 2-1 に記載はありませんが、DRQSEL/DRQSEL1 レジスタにて選択を行った場合、これらの Peripheral に対して、DMAC から転送要求信号のクリア処理がなされます。

### ● ハードウェア転送停止要求信号の接続

マルチ・ファンクション・シリアル・ユニット(以下 MFS と略)からは、DMA 転送停止要求信号が出力されます。図 2-1 に記載はありませんが、DRQSEL/DRQSEL1 レジスタにて MFS の選択を行った場合、MFS の転送停止要求信号が、DMAC に接続されます。転送停止要求信号がアサートされた場合、DMAC は転送動作を停止します。また、以降の転送要求信号をマスクする構成です。

### ● DMAC からの割込み信号

図 2-1 には記載ありませんが、各チャネルから、転送終了を通知するための割込み信号が、NVIC に接続されています。チャネルごとに 8 本の割込み出力があります。

## 2.2. DMAC の入出力信号

DMAC の入出力信号について説明します。

### ■ DMAC に入力される転送要求信号

DMAC に入力される転送要求信号と対応する Peripheral からの割込み信号の一覧を表 2-1 に示します。

表 2-1 転送要求信号と対応する Peripheral からの割込み信号の一覧

IDREQ 番号	対応する Peripheral 割込み信号
0	USB ch.0 の EP1 DRQ の割込み信号
1	USB ch.0 の EP2 DRQ の割込み信号
2	USB ch.0 の EP3 DRQ の割込み信号
3	USB ch.0 の EP4 DRQ の割込み信号
4	USB ch.0 の EP5 DRQ の割込み信号
5	A/D コンバータ unit0 スキャン変換割込み信号
6	A/D コンバータ unit1 スキャン変換割込み信号
7	A/D コンバータ unit2 スキャン変換割込み信号
8	ベースタイマ ch.0 の IRQ0 の割込み信号
9	ベースタイマ ch.2 の IRQ0 の割込み信号
10	ベースタイマ ch.4 の IRQ0 の割込み信号 / 拡張セレクタ 10 で選択された信号
11	ベースタイマ ch.6 の IRQ0 の割込み信号 / 拡張セレクタ 11 で選択された信号
12	MFS ch.0 の受信割込み信号
13	MFS ch.0 の送信割込み信号
14	MFS ch.1 の受信割込み信号
15	MFS ch.1 の送信割込み信号
16	MFS ch.2 の受信割込み信号
17	MFS ch.2 の送信割込み信号
18	MFS ch.3 の受信割込み信号
19	MFS ch.3 の送信割込み信号
20	MFS ch.4 の受信割込み信号
21	MFS ch.4 の送信割込み信号
22	MFS ch.5 の受信割込み信号
23	MFS ch.5 の送信割込み信号
24	MFS ch.6 の受信割込み信号 / 拡張セレクタ 24 で選択された信号
25	MFS ch.6 の送信割込み信号 / 拡張セレクタ 25 で選択された信号
26	MFS ch.7 の受信割込み信号 / 拡張セレクタ 26 で選択された信号
27	MFS ch.7 の送信割込み信号 / 拡張セレクタ 27 で選択された信号
28	外部割込みユニット ch.0 割込み信号
29	外部割込みユニット ch.1 割込み信号
30	外部割込みユニット ch.2 割込み信号 / 拡張セレクタ 30 で選択された信号
31	外部割込みユニット ch.3 割込み信号 / 拡張セレクタ 31 で選択された信号

**■ 拡張セレクタの機能**

TYPE2 製品では、DMAC の IDREQ[10],[11],[24],[25],[26],[27],[30],[31]に入力される転送要求信号は、拡張セレクタの選択により、表 2-2 に示す信号から選択します。表中○印の付いている箇所が選択が可能です。×印の付いている箇所は選択できません。詳細は『割込み』の章を参照してください。

表 2-2 拡張セレクタによる割込み信号の選択

IDREQ 番号 Peripheral 割込み信号名	[10]	[11]	[24]	[25]	[26]	[27]	[30]	[31]
ベースタイマ ch.4 IRQ0 の割込み信号	○	×	×	×	×	×	×	×
ベースタイマ ch.6 IRQ0 の割込み信号	×	○	×	×	×	×	×	×
MFS ch.6 受信割込み信号	×	×	○	×	×	×	×	×
MFS ch.6 送信割込み信号	×	×	×	○	×	×	×	×
MFS ch.7 受信割込み信号	×	×	×	×	○	×	×	×
MFS ch.7 送信割込み信号	×	×	×	×	×	○	×	×
外部割込みユニット ch.2 割込み信号	×	×	×	×	×	×	○	×
外部割込みユニット ch.3 割込み信号	×	×	×	×	×	×	×	○
USB ch.1 EP1 DRQ 割込み信号	○	○	○	○	○	○	○	○
USB ch.1 EP2 DRQ 割込み信号	○	○	○	○	○	○	○	○
USB ch.1 EP3 DRQ 割込み信号	○	○	○	○	○	○	○	○
USB ch.1 EP4 DRQ 割込み信号	○	○	○	○	○	○	○	○
USB ch.1 EP5 DRQ 割込み信号	○	○	○	○	○	○	○	○

**■ DMAC から出力される割込み信号**

DMAC から出力される割込み信号の一覧を表 2-3 に示します。

表 2-3 DMAC からの割込み信号一覧

割込み信号名	割込み要因レジスタ	割込み許可レジスタ	割込み種別
DIRQ0	DMACB0.SS[2:0]	DMACB0.CI	ch.0 転送正常終了割込み
		DMACB0.EI	ch.0 転送異常終了割込み
DIRQ1	DMACB1.SS[2:0]	DMACB1.CI	ch.1 転送正常終了割込み
		DMACB1.EI	ch.1 転送異常終了割込み
DIRQ2	DMACB2.SS[2:0]	DMACB2.CI	ch.2 転送正常終了割込み
		DMACB2.EI	ch.2 転送異常終了割込み
DIRQ3	DMACB3.SS[2:0]	DMACB3.CI	ch.3 転送正常終了割込み
		DMACB3.EI	ch.3 転送異常終了割込み
DIRQ4	DMACB4.SS[2:0]	DMACB4.CI	ch.4 転送正常終了割込み
		DMACB4.EI	ch.4 転送異常終了割込み
DIRQ5	DMACB5.SS[2:0]	DMACB5.CI	ch.5 転送正常終了割込み
		DMACB5.EI	ch.5 転送異常終了割込み
DIRQ6	DMACB6.SS[2:0]	DMACB6.CI	ch.6 転送正常終了割込み
		DMACB6.EI	ch.6 転送異常終了割込み
DIRQ7	DMACB7.SS[2:0]	DMACB7.CI	ch.7 転送正常終了割込み
		DMACB7.EI	ch.7 転送異常終了割込み

参考：割込みの発生要因、クリアについて(詳細は「4 DMAC の制御」を参照してください)。

各チャネルからの割込みは、以下の要因で発生します。

- ・チャネルの転送が正常終了した場合、各チャネルの SS[2:0]に 101 がセットされます。CI=1(転送正常終了割込み許可)時、SS[2:0]に上記の値がセットされると、転送正常終了割込みが発生します。
- ・チャネルの転送が異常終了した場合、各チャネルの SS[2:0]に 001, 010, 011, 100 がセットされます。EI=1(転送異常終了割込み許可)時、SS[2:0]に上記の値がセットされると、転送異常終了割込みが発生します
- ・転送正常終了割込みと転送異常終了割込みは論理 OR されており、いずれかの割込みが発生すると、チャネルからの割込みが発生します。

各チャネルからの割込みは、SS[2:0]に"000"を書き込むことでクリアできます。

### 3. DMAC の機能と動作

各転送モードにおける DMAC の動作を説明します。

- 3.1 ソフトウェア・Block 転送
- 3.2 ソフトウェア・Burst 転送
- 3.3 ハードウェア・Demand 転送
- 3.4 ハードウェア・Block 転送/Burst 転送
- 3.5 チャネル優先順位制御

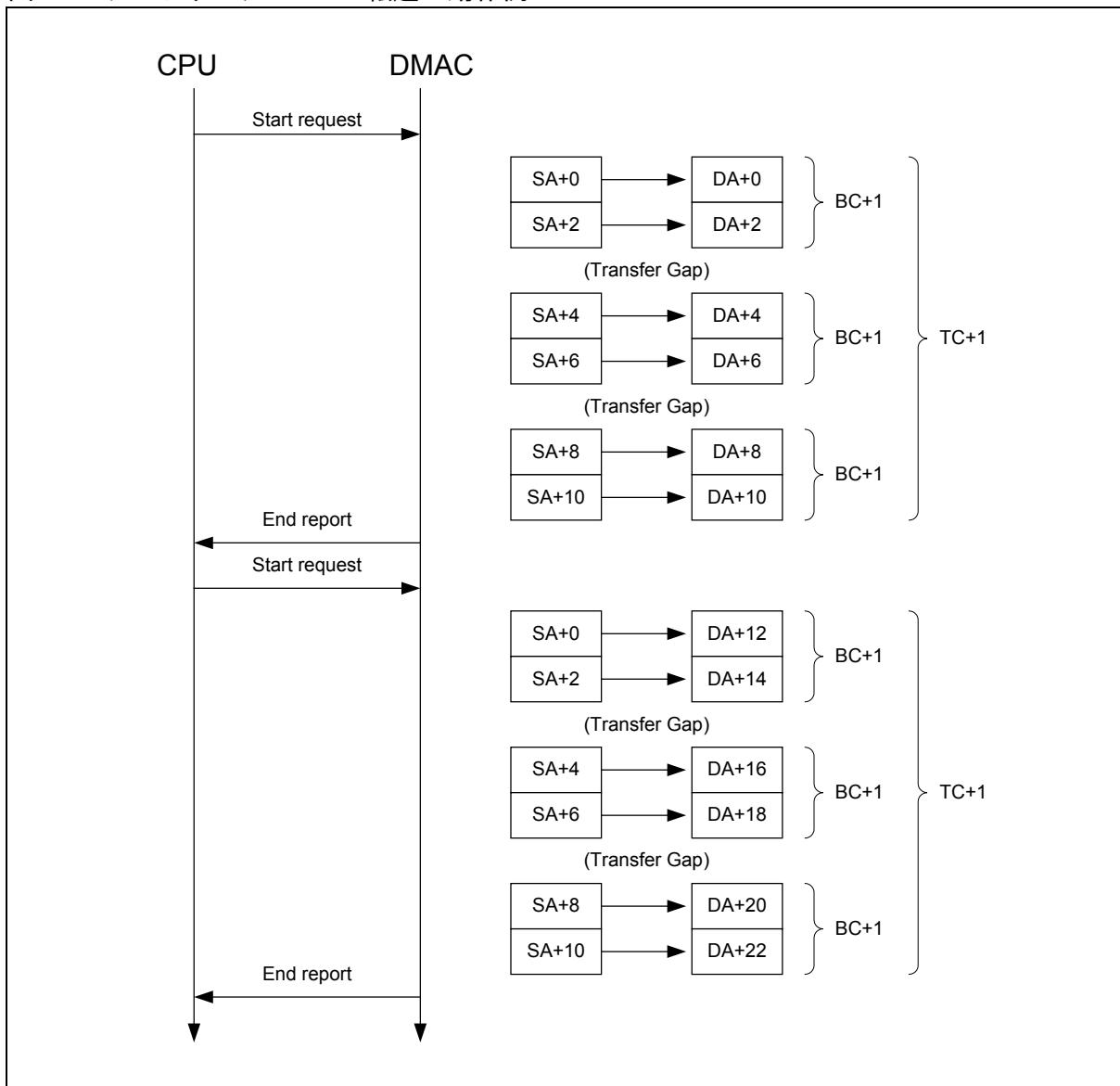
### 3.1. ソフトウェア・Block 転送

ソフトウェア・Block 転送について説明します。

図 3-1 にソフトウェア・Block 転送の動作例を示します。この例では、以下の設定を行っています。

- ・転送モード : ソフトウェア要求 Block 転送(ST=1, IS[5:0]=000000, MS=00)
- ・転送元開始アドレス : SA(DMACSA=SA)
- ・転送元アドレス制御 : インクリメント, リロードあり(FS=0, RS=1)
- ・転送先開始アドレス : DA(DMACDA=DA)
- ・転送先アドレス制御 : インクリメント, リロードなし(FD=0, RD=0)
- ・転送データサイズ : ハーフワード(16bit), ブロック数 2, 転送回数 3(TW=01, BC=1, TC=2)
- ・BC/TC リロード : リロードあり(RC=1)

図 3-1 ソフトウェア・Block 転送の動作例



CPU から転送内容の設定を行った後、転送開始の指示を行うと、DMAC は以下の動作を行います。

- ・転送データ幅の指定により、1回の転送はハーフワード(16bit)で行われます。
- ・転送元、転送先の開始アドレス値、データ幅、インクリメント/固定の指定に従って、アドレス SA の領域からアドレス DA の領域にブロック数( $=BC+1$ )分転送を行います。
- ・Block 転送の場合、1ブロックの転送が終了する都度、Transfer Gap を発生します。
- ・DMAC はブロック数( $=BC+1$ )分のデータ転送を転送回数( $=TC+1$ )分行います。CPU からの1回の転送要求で転送されるデータのサイズは、データ幅(TW)×ブロック数( $BC+1$ )×転送回数( $TC+1$ )になります。
- ・転送が終了すると、DMAC は CPU に終了通知を行います。
- ・転送終了後、再び転送開始の指示を行った場合、転送元アドレスは、リロードあり指定(RS=1)ですので、前の転送開始アドレス(SA+0)から再度転送を開始します。転送先アドレスは、リロードなし指定(RD=0)ですので、前の転送終了アドレスの次のアドレス(DA+12)から転送を開始します。また BC・TC のリロードが指定されているので、次回のブロック数、転送回数設定は前回の転送と同じ設定値がリロードされます。

Transfer Gap は、DMAC の1つのチャネルが、システムバスアクセス権を占有することを避ける目的で挿入される転送を行わない時間帯のことを示します。複数のチャネルに転送要求がある場合、DMAC は Transfer Gap のタイミングで、転送動作を行うチャネルを切り替えます。BC と TC の設定値を調節することにより、Transfer Gap の発生頻度を制御できます。

また、Transfer Gap のタイミングで、同時に CPU へのバスアクセス権の譲渡も行われます。本シリーズのシステムバスは、Multi-layer 構成であり、DMA 専用のシステムバスを持っています。このため、CPU とアクセス先が競合しない場合、CPU 動作と同時に転送動作を行えます。CPU とアクセス先が競合する場合、DMAC の転送が、異なるアドレス領域グループ間(RAM と Peripheral, Flash と RAM など)であれば、CPU 動作に対する支障はほとんどありません。ただし、転送が同じアドレス領域グループ間(RAM と RAM など)の場合、ブロック数の設定によっては、CPU の動作に支障を与え、システム性能に影響が発生することがあります。注意してください。

(上記のアドレス領域グループとは、AHB システムバス上で同じバスブリッジにて接続されるアドレス領域グループのことを指しています。)

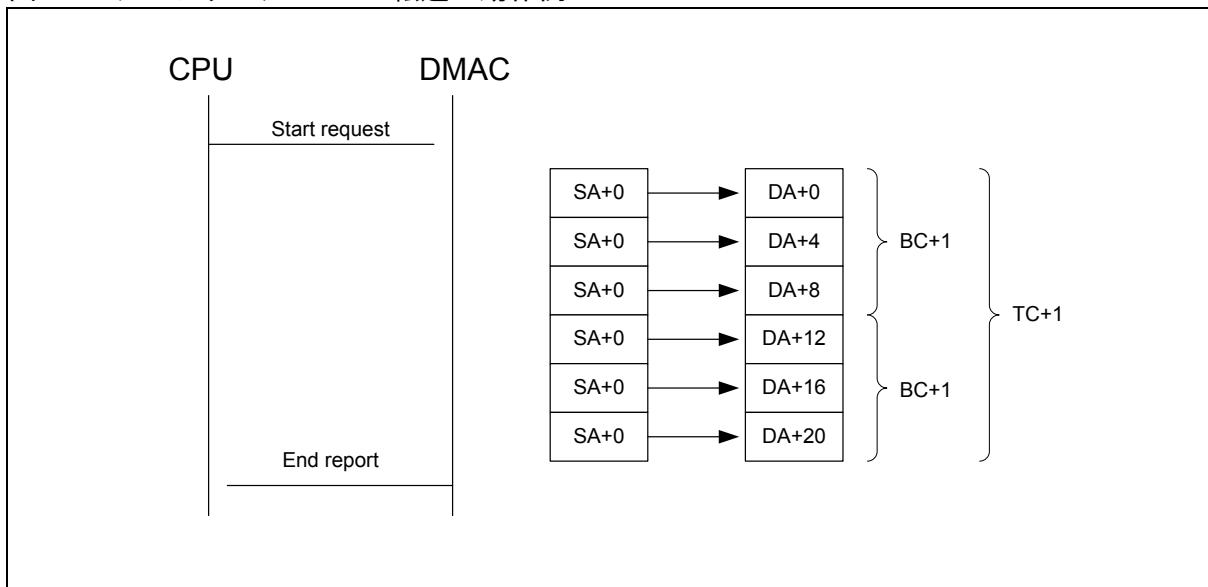
## 3.2. ソフトウェア・Burst 転送

ソフトウェア・Burst 転送について説明します。

図 3-2 にソフトウェア・Burst 転送の動作例を示します。この例では、以下の設定を行っています。

- 転送モード : ソフトウェア要求 Burst 転送(ST=1, IS[5:0]=000000, MS=01)
- 転送元開始アドレス : SA(DMACSA=SA)
- 転送元アドレス : 固定, リロードあり(FS=1, RS=1)
- 転送先開始アドレス : DA(DMACDA=DA)
- 転送先アドレス : インクリメント, リロードなし(FD=0, RD=0)
- 転送データサイズ : ワード(32bit), ブロック数 3, 転送回数 2(TW=10, BC=2, TC=1)
- 転送回数リロード : 転送回数リロードあり(RC=1)

図 3-2 ソフトウェア・Burst 転送の動作例



CPU から転送内容の設定を行った後、転送開始の指示を行うと、DMAC は以下の動作を行います。

- 転送データ幅の指定により、1回の転送はワード(32bit)で行われます。
- 転送元、転送先の開始アドレス値、データ幅、インクリメント/固定の指定に従って、アドレス SA の領域からアドレス DA の領域にブロック数( $=BC+1$ )分転送を行います。転送元アドレスは固定が指定されているので、転送元開始アドレス(SA+0)のままでです。
- Burst 転送の場合、Transfer Gap を発生せずに転送を連続して実行します。
- DMAC はブロック数( $=BC+1$ )分のデータ転送を転送回数( $=TC+1$ )分行います。CPU からの1回の転送要求で転送されるデータのサイズは、データ幅(TW)×ブロック数(BC+1)×転送回数(TC+1)になります。
- 転送が終了すると、DMAC は CPU に終了通知を行います。

Burst 転送の場合、Block 転送と異なり Transfer Gap を発生しません。制御対象チャネルがシステムバスアクセス権を占有するので、そのチャネルの転送を優先したいときに利用できます。

### 3.3. ハードウェア・Demand 転送

ハードウェア・Demand 転送について説明します。

USB, MSF, ADC の Peripheral からの転送要求信号にて、DMA 転送を行う場合は、ハードウェア・Demand 転送を使用します。

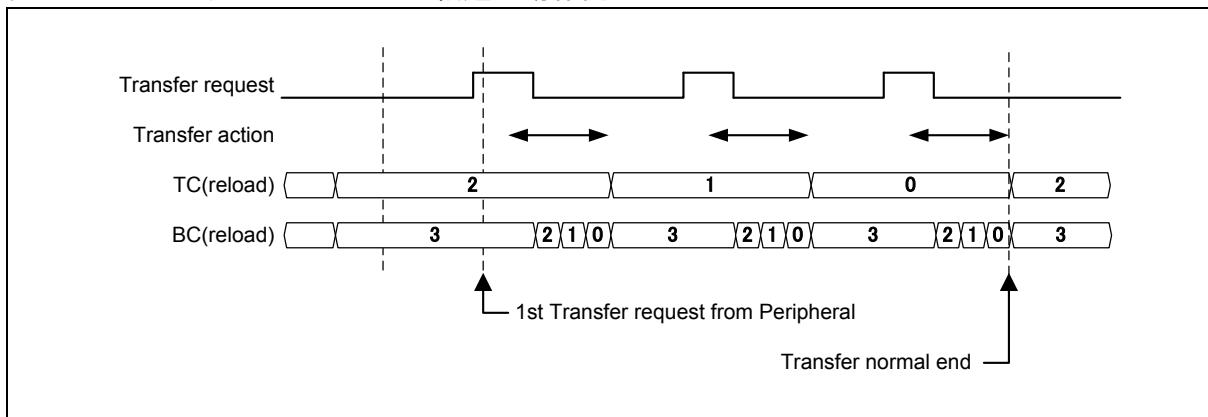
ハードウェア・Demand 転送は、Peripheral からの転送要求信号を信号レベルで受け取る方式です。転送要求信号が High レベルであれば転送を実行し、転送要求信号が Low レベルであれば、転送を実行しません。各 Peripheral からの割込み信号の出力設定を、転送データが存在する場合に High レベル(転送要求あり)、転送データが存在しない場合に Low レベル(転送要求なし)となる設定を行って、転送を実行します。

ハードウェア・Demand 転送の場合、ブロック数は常に 1(BC=0)を指定してください。

図 3-3 にハードウェア・Demand 転送の動作例を示します。この例は、以下の設定を行っています。転送元・転送先アドレス、転送データ幅に関する設定は省略しています。

- ・転送モード : ハードウェア・Demand 転送(ST=0, IS=転送要求元 Peripheral, MS=10)
- ・転送データサイズ : ブロック数 1, 転送回数 3(BC=0, TC=2)

図 3-3 ハードウェア・Demand 転送の動作例



ハードウェア・Demand 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。転送要求を受け取り後、1 回の転送を行って、次の転送要求を待機します。待機中、Transfer Gap が発生します。転送要求の都度、同様の動作を転送回数(TC+1)分行います。合計(TC+1)回の転送を行います。Peripheral からの転送要求の回数と DMAC の転送回数(TC+1)を合わせてください。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

### 3.4. ハードウェア・Block 転送/Burst 転送

ハードウェア・Block 転送/Burst 転送について説明します。

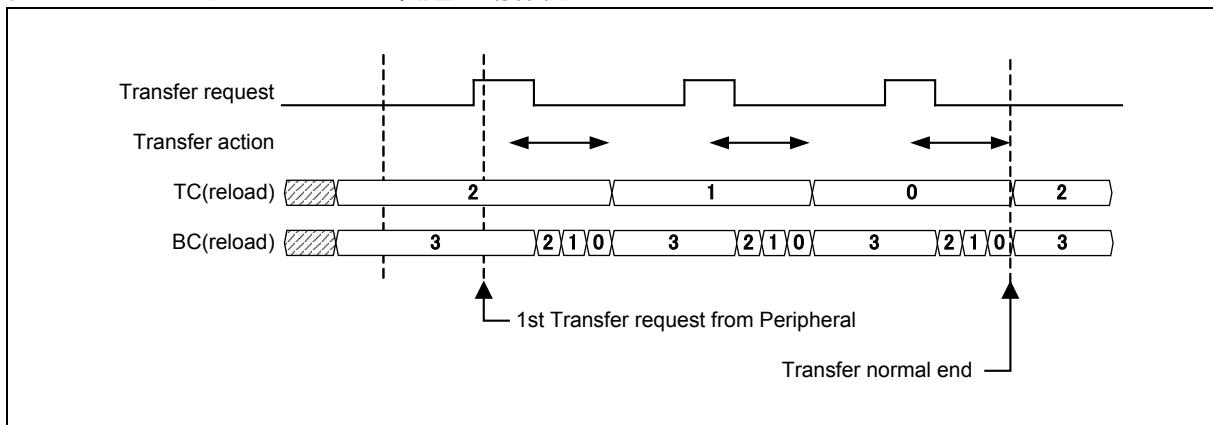
ベースタイマ、外部割込みの Peripheral からの転送要求信号にて、DMA 転送を行う場合は、ハードウェア・Block 転送もしくはハードウェア・Burst 転送を使用します。

ハードウェア・Block 転送および、ハードウェア・Burst 転送は、Peripheral からの転送要求信号を信号の立上りエッジで受け取る方式です。転送要求信号の立上りエッジが検出された場合に転送を実行します。各 Peripheral からの割込み信号の出力にて、DMAC の転送開始タイミングを指示できます。

図 3-4 にハードウェア・Block 転送の動作例を示します。この例は、以下の設定を行っています。転送元・転送先アドレス、転送データ幅に関する設定は省略しています。

- ・転送モード : ハードウェア・Block 転送(ST=0, IS=転送要求元 Peripheral, MS=00)
- ・転送データサイズ : ブロック数 4, 転送回数 3(BC=3, TC=2)

図 3-4 ハードウェア・Block 転送の動作例



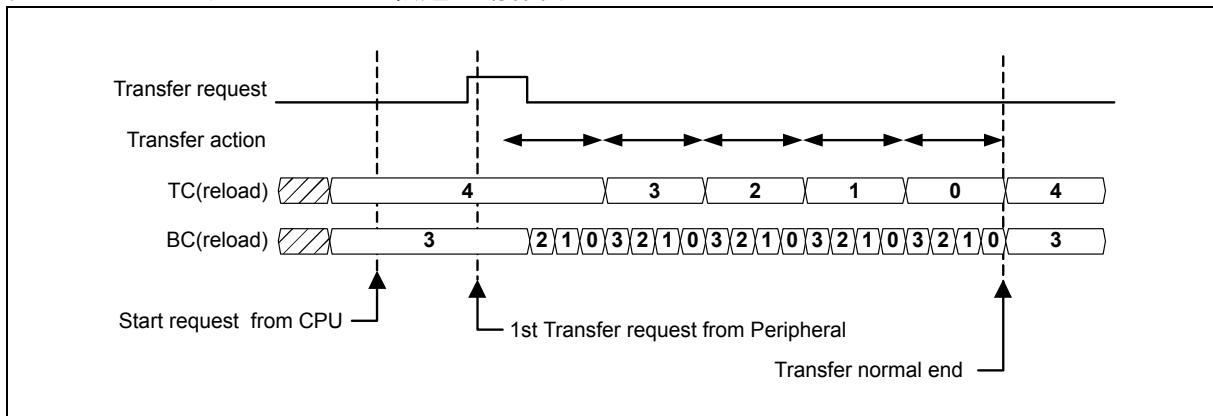
ハードウェア・Block 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。転送要求を受け取り後、ブロック数( $=BC+1$ )回の転送を行って、次の転送要求を待機します。待機中、Transfer Gap が発生します。転送要求の都度、同様の動作を転送回数( $TC+1$ )分行います。合計 $(BC+1) \times (TC+1)$ 回の転送を行います。Peripheral からの転送要求の回数と DMAC の転送回数( $TC+1$ )を同じにしてください。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

図 3-5 にハードウェア・Burst 転送の動作例を示します。この例は、以下の設定を行っています。  
転送元・転送先アドレス、転送データ幅に関する設定は省略しています。

- ・転送モード : ハードウェア・Burst 転送(ST=0, IS=転送要求元 Peripheral, MS=01)
- ・転送データサイズ : ブロック数 4, 転送回数 5(BC=3, TC=4)

図 3-5 ハードウェア・Burst 転送の動作例



ハードウェア・Burst 転送の動作を以下に示します。

CPU から転送内容の指定を行って、動作開始を指示します。DMAC は、Peripheral からの転送要求を待機します。最初の転送要求を受け取り後、 $(BC+1) \times (TC+1)$  回のすべての転送を行います。ハードウェア・Burst 転送中は、Transfer Gap は発生しません。DMAC はすべての転送が終了すると、CPU に終了通知を行います。

## 3.5. チャネル優先順位制御

チャネル優先順位制御について説明します。

### ■ 優先順位制御について

複数のチャネルに転送要求がある場合、DMAC は各チャネルの Transfer Gap のタイミングで、転送を行うチャネルを切り替えます。この際、次に転送を行うチャネルは、優先順位制御に従って決定されます。優先順位制御は、PR により、優先順位固定/優先順位ローテートのいずれかを選択できます。図 3-6 は、右軸が時間軸を示しています。すべてのチャネルから同時に転送要求が発生した場合に、各チャネルが転送動作を行うタイミングを矢印で示しています。

### ■ 優先順位固定の場合の動作(PR=0)

優先順位固定の場合、転送要求のあるチャネルのうち、小さい番号のチャネルが、優先的に転送動作を行います。

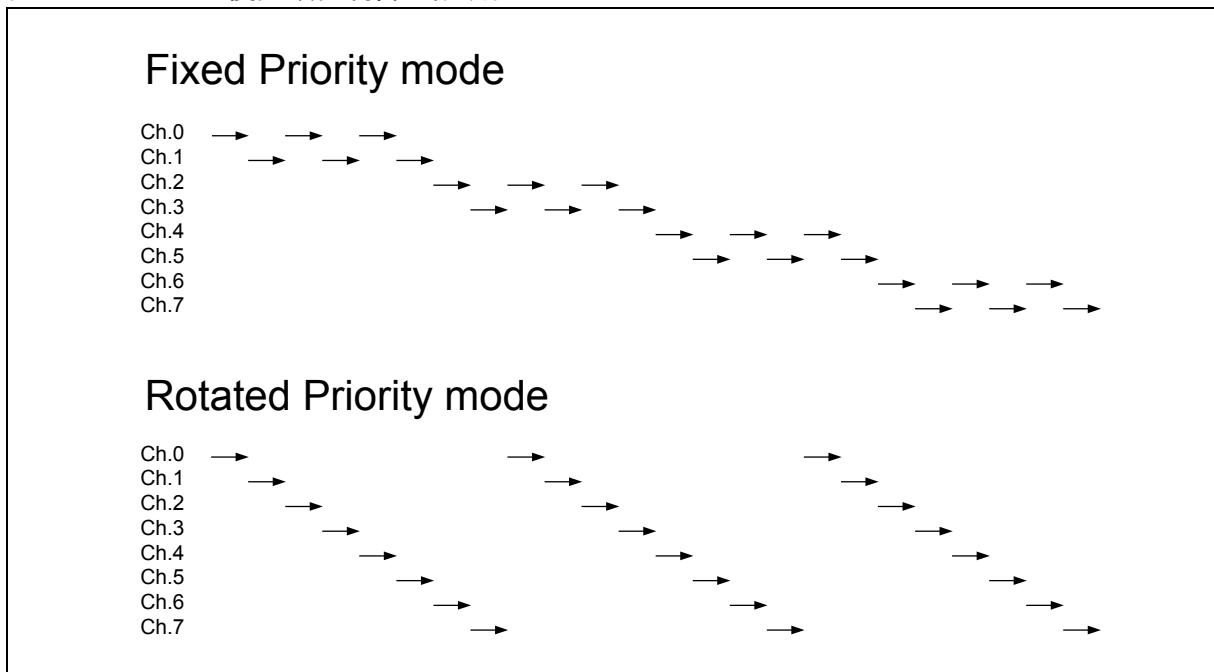
(優先順位 : ch.0 > ch.1 > ch.2 > ch.3 > ch.4 > ch.5 > ch.6 > ch.7)

最初に、1 番目に優先順位の高いチャネル(図 3-6 では ch.0)が転送を行います。1 番目に優先順位の高いチャネルは、Transfer Gap のタイミングで転送動作を休止するので、次は 2 番目に優先順位の高いチャネル(図 3-6 では ch.1)が転送動作を行います。このため、1 番目と 2 番目の優先順位のチャネルが、交互に転送動作を行います。以降、優先順位の高いチャネルの転送が終了してから、優先順位の低いチャネル(図 3-6 では ch.3)が転送動作を開始します。

### ■ 優先順位ローテート方式の場合の動作(PR=1)

優先順位ローテート方式は、すべてのチャネルが平等に転送動作を行います。

図 3-6 チャネル優先順位制御の説明図



## 4. DMAC の制御

---

DMAC の制御方法の詳細を説明します。

---

4.1 DMAC 制御概要

4.2 ソフトウェア転送時の DMAC 動作と制御手順

4.3 ハードウェア(EM=0)転送時の DMAC 動作と制御手順

4.4 ハードウェア(EM=1)転送時の DMAC 動作と制御手順

## 4.1. DMAC 制御概要

DMAC 制御概要を示します。

DMAC の各チャネルの制御レジスタには、EB(個別チャネル動作許可ビット), PB(個別チャネル一時停止ビット)が存在します。これらのビットを操作することにより、DMA 転送動作の開始(動作許可), 転送動作の強制停止(動作禁止), 転送動作の一時停止の制御をチャネルごとに制御できます。また、すべてのチャネルの転送動作を一括して制御するための、DE(全チャネル動作許可ビット), DH(全チャネル一時停止ビット)があり、全チャネルの転送動作を一括して制御できます。

あらかじめ、各チャネルは、動作禁止状態にあり、この状態で、チャネルごとに転送内容(転送元アドレス, 転送先アドレス, 転送データ幅, 転送回数, 転送モードなど)の指定を各チャネルのコンフィギュレーションレジスタに指定します。その後、EB, PB, DE, DH への書き込みにより転送動作の開始、一時停止指示を行って、転送動作を制御します。

各チャネルは転送が終了すると、SS(Stop Status)に終了コードをセットし、それぞれのチャネルの終了状態を通知します。転送終了時に割込みを発生させられます。転送が終了すると、基本的に各チャネルは EB, PB をクリアし、動作禁止状態に戻ります。

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」にて、ソフトウェア要求による DMA 転送、Peripheral からの転送要求によるハードウェア DMA 転送時のそれぞれの動作と制御手順について説明します。

説明文中に、CPU からの指示として以下の用語が用いられていますが、それぞれ、EB, PB, DE, DH ビットへの以下の値の書き込み操作を示しています。

- ・個別チャネル動作許可指示(EB=1, PB=0 の書き込み)
- ・個別チャネル動作禁止指示(EB=0 の書き込み)
- ・個別チャネル一時停止指示(EB=1, PB=1 の書き込み)
- ・全チャネル動作許可指示(DE=1, DH=0000 の書き込み)
- ・全チャネル動作禁止指示(DE=0 の書き込み)
- ・全チャネル一時停止指示(DE=1, DH=0000 の書き込み)

## 4.2. ソフトウェア転送時の DMAC 動作と制御手順

ソフトウェア転送時の DMAC 動作と制御手順を以下に説明します。

図 4-1 ソフトウェア DMA 転送状態遷移図

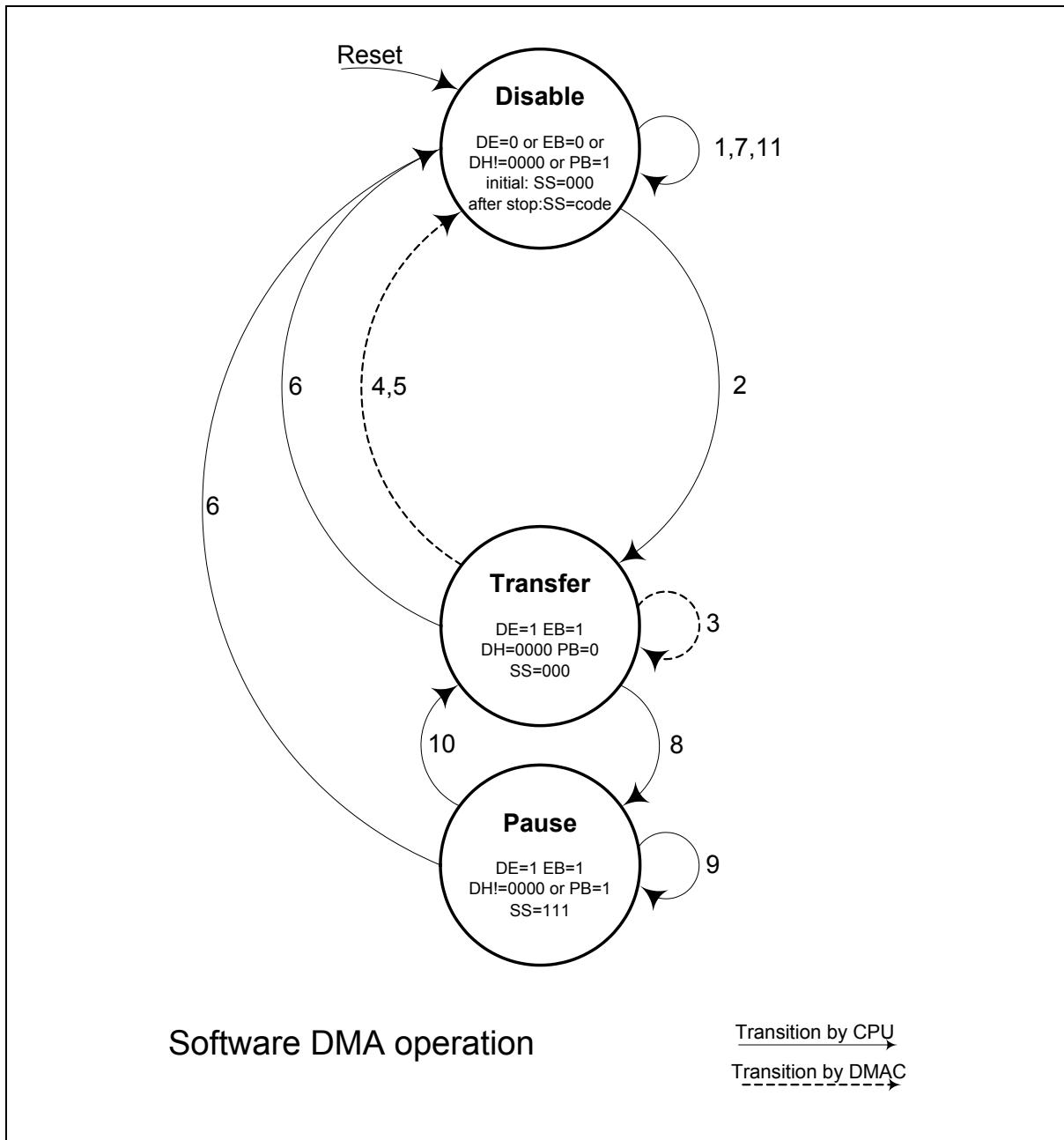


図 4-1 にソフトウェア転送の場合の制御対象チャネルの状態遷移図を示します。図 4-1 の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC の動作による状態遷移を示します。

## ■ 各状態の説明

### Disable 状態

制御対象のチャネルの転送が禁止されている状態です。この状態のチャネルは、何も行わず、CPU からの指示を待っている状態です。システムリセット時は、DE=0, EB=0, DH=0000, PB=0 の Disable 状態です。

### Transfer 状態

制御対象のチャネルの転送が許可されている状態です。この状態のチャネルは、指定された内容の転送動作を行います。すべての転送動作が終了すると Disable 状態に復帰します。また、CPU からの指示により、状態を変化させます。

### Pause 状態

制御対象のチャネルが、CPU からの一時停止の指示により、転送を一時停止している状態で、CPU からの指示を待っている状態です。

## ■ 制御手順の説明

### 1. Disable 状態/転送準備

CPU から制御対象のチャネルに対する転送内容の指定(DMACSA, DMACDA, DMACA, DMACB の各ビットへ書き込み)を行います。転送内容の指定詳細は、レジスタ機能説明の節を参照してください。転送終了時に DMAC から割込みを発生させる場合には、EI, CI をセットします。

ソフトウェア転送の場合、次の制約があります。ST=1, IS[5:0]=000000 を指定します。MS に Demand 転送モードは指定できません。EM は常に"0"を設定します。

全チャネル動作許可指示と PR の設定を行います。DMACA に対する書き込みは、ソフトウェア手順 2.で同時にを行うことも可能です。

### 2. Disable 状態=>Transfer 状態/転送開始

CPU から個別チャネル動作許可指示を行います。DE=1, EB=1, DH=0000, PB=0 の状態になると、制御対象のチャネルは、Transfer 状態へ遷移します。

### 3. Transfer 状態

Transfer 状態のチャネルは、システムバスにアクセス可能な状態になると、転送内容に従い転送を行います(他のチャネルの状況により、転送を開始するために時間を要する場合もあります)。Block 転送の場合、TC の更新の都度 Transfer Gap を発生します。Burst 転送の場合、Transfer Gap は発生しません。転送動作中、BC, TC, DMACSA, DMACDA は、その時点での転送回数残量、転送アドレスを示しています。CPU から読み出すことで転送状況を確認できます。

CPU から Transfer 状態のチャネルに対し、転送内容の指定変更(DMACSA, DMACDA, DMACA[29:0], DMACB[31:1]の各ビットの書換え)を行うことはできません(EB, PB, EM は書換えが可能です)。

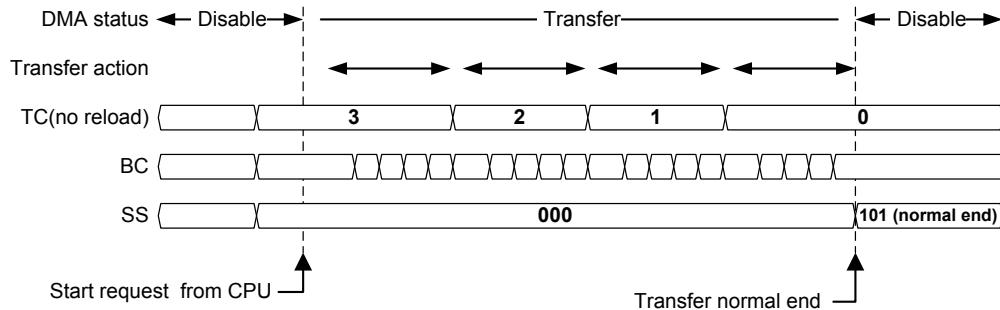
### 4. Transfer 状態=>Disable 状態/転送正常終了

Transfer 状態のチャネルは、(BC+1)×(TC+1)回の転送が正常終了すると、EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]=101 をセットし正常終了を通知します。図 4-2 Example 1 を参照してください。CI により転送正常終了割込みを許可している場合、割込みが発生します。BC, TC, DMACSA, DMACDA にリロードが指定されている場合、転送内容指定のリロードを実行します。

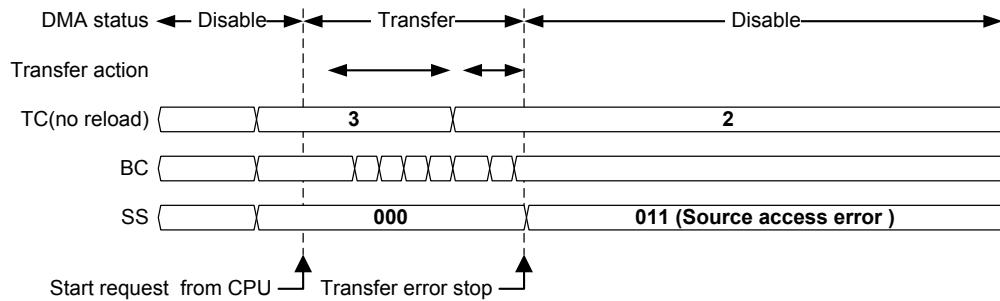
図 4-2 ソフトウェア・Block 転送動作例

Example of Block transfer mode (software DMA operation)  
start / normal end / error stop / force stop

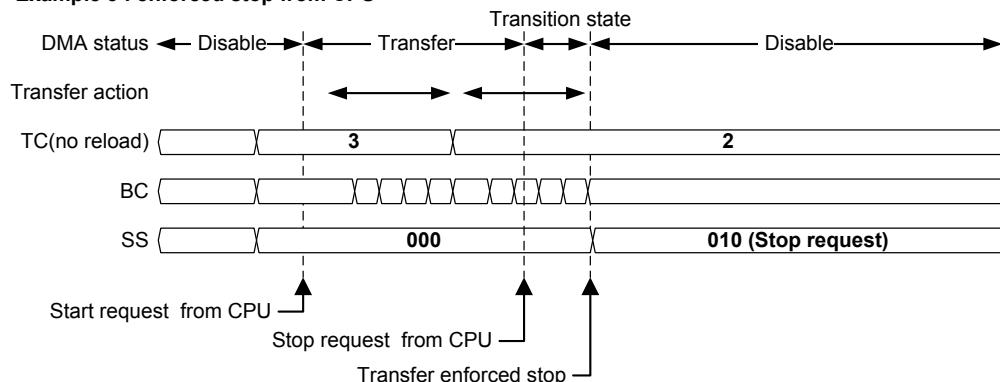
**Example 1 :normal end**



**Example 2 : error stop**



**Example 3 : enforced stop from CPU**



## 5. Transfer 状態=>Disable 状態/転送エラー終了

Transfer 状態のチャネルは、転送動作中に、アドレス・オーバフロー、転送元アクセスエラー、転送先アクセスエラーが発生した場合、転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]にエラー内容を示す値をセットし、エラー終了を通知します。図 4-2 Example 2 を参照してください。EI により転送異常終了割込みを許可している場合、割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値の状態です。

通常、転送エラーは、システムバス上に存在しないアドレス領域や、DMAC からアクセスが禁止されているアドレス領域にアクセスを行った場合に発生するものです。一般的な用途の場合には発生しません。

## 6. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止

Transfer 状態・Pause 状態のチャネルに対し、CPU から個別チャネル動作禁止指示、もしくは全チャネル動作禁止指示を行うと該当するチャネルの転送動作を強制停止できます(Disable 状態のチャネルに動作禁止指示を行った場合の動作は、ソフトウェア手順 11.を参照してください)。

CPU から指示を行うと、該当するチャネルは転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]=010 をセットし、そのチャネルの転送が強制停止したこと通知します。EI により転送異常終了割込みを許可している場合、割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値のままの状態です。

図 4-2 Example 3 に示すように、CPU からの指示後、転送が停止するのは、該当するチャネルが転送を行っていないタイミング(転送開始前、Transfer Gap)です。Pause 状態のチャネルは、直ちに停止します。指示後、停止するまでの間に、時間差(Transition state)があります。BC の設定によっては、時間を要する場合もあります。この間に、新規の転送設定および新規転送開始はできないので、その際は、必ず停止の確認後に次の転送設定を行ってください。

全チャネル動作禁止指示の場合、チャネルによって停止するタイミングは異なります。すべてのチャネルが停止すると、DS がセットされるので、すべてのチャネルが停止したことを確認できます。

CPU から指示を行っても、転送モード(Burst/Block/Demand)や、転送状況(転送を行った回数、動作禁止指示タイミング)などの要因により、強制終了せず、正常終了する場合があります。また、転送が停止する前に転送エラーが発生すれば、転送はエラー終了します。

## 7. Disable 状態/転送後処理

CPU から SS の読み出しを行い、転送終了状態を確認します。CPU から SS をクリアし、次回の転送に備えます。割込みを許可している場合、SS のクリアにより DMAC からの割込み信号がディアサートされます。

正常終了の場合、必要に応じて CPU から転送内容の再設定を行います。各リロード指定がされている場合、BC, TC, DMACSA, DMACDA は、転送開始前の値がリロードされています。各リロード指定がされていない場合、BC, TC は、"0"に初期化されています。DMACSA, DMACDA は、次の転送アドレスを示しています。

エラー終了、強制終了の場合、BC, TC, DMACSA, DMACDA は、中断時の値の場合がありますので、必ず再設定が必要です。

全チャネル動作禁止指示により停止している場合、DE=0 であるため、次回の転送には、全チャネル動作許可指示、個別チャネル動作許可指示が必要です。

## 8. Transfer 状態/転送一時停止

Transfer 状態のチャネルに対し、CPU から個別チャネルの一時停止指示、もしくは、全チャネル一時停止指示を行うと、該当するチャネルの転送動作を一時停止できます(Disable 状態のチャネルに一時停止指示を行った場合の動作は、ソフトウェア手順 11.を参照してください)。

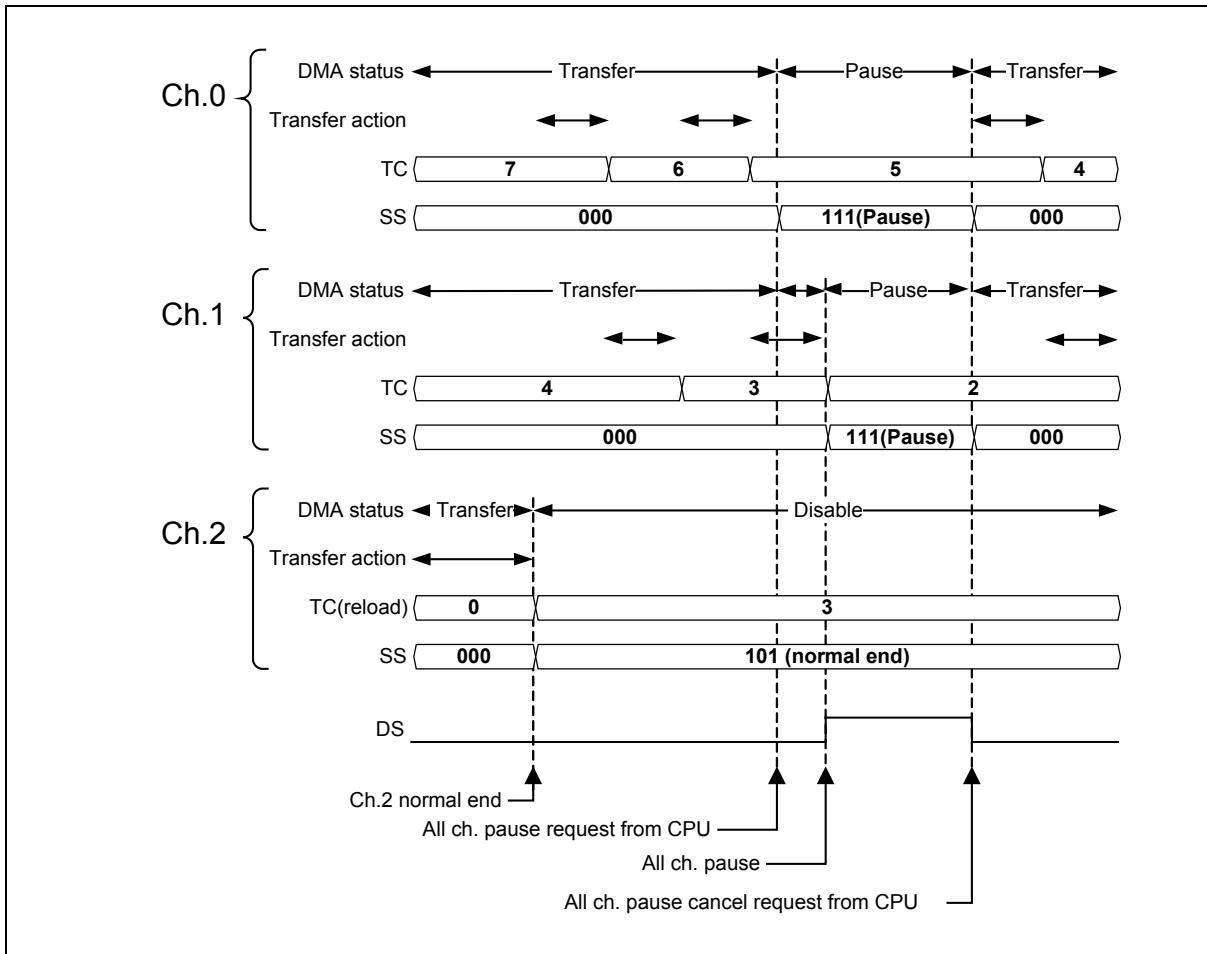
CPU から指示を行うと、該当するチャネルは転送処理一時停止します。SS=111 をセットし Pause 状態であることを通知します。この場合に割込みは発生させられません。

CPU からの指示後、転送が停止するのは、該当するチャネルが転送を行っていないタイミング(転送開始前、Transfer Gap)です。指示後、停止するまでの間に、時間差(Transition state)があります。BC の設定によっては、時間を要する場合もあります。図 4-3 を参照してください。

全チャネル一時停止指示の場合、チャネルによって停止するタイミングは異なります。すべてのチャネルが停止すると、DS がセットされるので、すべてのチャネルが停止したことを確認できます。図 4-3 を参照してください。

CPU から指示を行っても、転送モード(Burst/Block/Demand)や、転送状況(転送を行った回数、一時停止指示タイミング)などの要因により、一時停止せず、正常終了する場合があります。また、転送が停止する前に転送エラーが発生すれば、転送はエラー終了します。

図 4-3 全チャネル一時停止指示時の動作



### 9. Pause 状態

CPU から SS の読み出しを行い、一時停止を確認します。Pause 状態にあるチャネルの SS は"111"の値であり、この状態にある間、CPU からはクリアできません。

一時停止中であっても、CPU から転送内容の指定変更(DMACSA, DMACDA, DMACA[29:0], DMACB[31:1]の各ビットの書き換え)はできません。また、Pause 状態のチャネルに対する一時停止指示は、Pause 状態を継続します。

### 10. Pause 状態/転送一時停止解除

個別チャネル一時停止指示で Pause 状態になっているチャネルに、個別チャネル動作許可指示を行うと該当するチャネルは Transfer 状態に戻ります。また、全チャネル一時停止指示で Pause 状態になっているチャネルに、全チャネル動作許可指示を行うと該当するチャネルは Transfer 状態に戻ります。両方の一時停止指示を行っている場合、両方の解除指示をしてください。

解除の指示後、SS[2:0]は DMAC から"000"にクリアされます。

個別チャネル動作許可指示および全チャネル動作許可指示は、Pause 状態で発行された場合は、一時停止の解除を指示します。しかし、Disable 状態で発行された場合は、新規の転送を開始する指示になる場合があるので、注意が必要です。ソフトウェア手順 11 を参照してください。

図 4-3 に、全チャネル一時停止指示を行った場合の例を示します。図 4-3 の説明を以下に行います。

最初の時点では、ch.0, ch.1, ch.2 の 3 つのチャネルが Block 転送モードでそれぞれ転送動作を行っています。ch.2 は転送を正常終了し、Disable 状態に遷移し SS=101 をセットしています。その後、ch.0 と ch.1 が交互に転送を行っています。

ここで、CPU から全チャネル一時停止指示を行うと以下の動作となります。ch.0 は Transfer Gap のタイミングなので、直ちに Pause 状態に遷移し、SS=111 となります。ch.1 は転送中のため、次の Transfer Gap のタイミングまで転送を行い、その後 Pause 状態に遷移し、SS=111 となります。ch.2 は Disable 状態なので、Disable 状態のままで SS を変化させません。すべてのチャネルが動作停止となった時点で DS がセットされます。

次に CPU から全チャネル動作許可指示(一時停止解除の指示)を行うと以下の動作となります。ch.0, ch.1 は Transfer 状態に復帰し、SS[2:0]を"000"にクリアします。ch.2 は Disable 状態(DE=1, EB=0)なので、動作開始せずそのままの状態です。全チャネル一時停止解除となったので、DS がリセットされます。

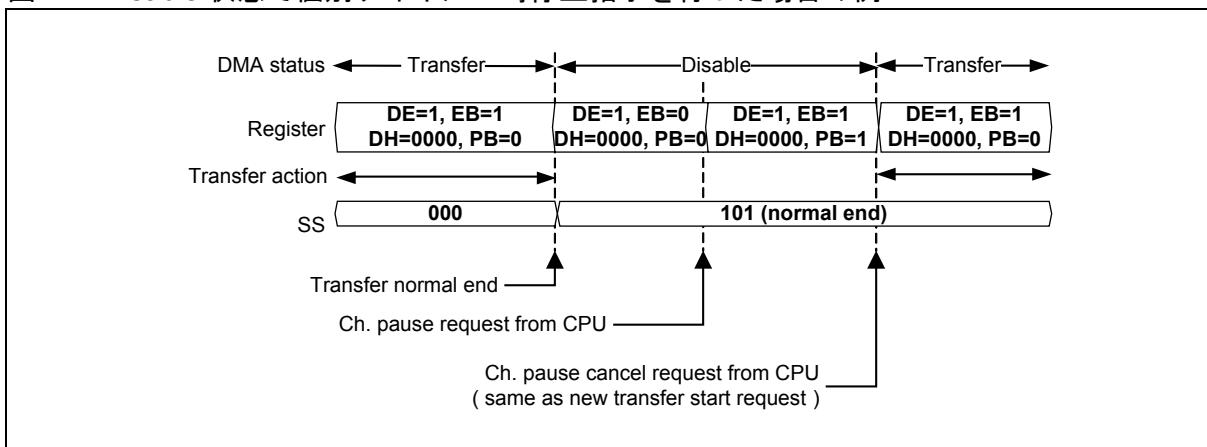
## 11. Disable 状態での動作

Disable 状態のチャネルは、DE=1, DH=0000, EB=1, PB=0 の条件が成立しない限り、Disable 状態を継続します。ソフトウェア手順 1-2. では、DE=0, EB=0 の状態から、DE を先にセットし、次に EB をセットしましたが、逆に EB をセットしてから、DE をセットしても問題ありません。転送を行う複数のチャネルの転送設定をすべて完了してから、最後に DE をセットできます。この場合、転送を行う複数のチャネルに同時に転送開始を指示できます。同時に転送開始指示がなされた場合、DMAC は PR の設定に従って転送を開始するチャネルを選択します(PR の設定変更は、全チャネルの動作が禁止されているときのみ行えます)。

Disable 状態のチャネルに対して個別チャネル動作禁止指示、個別チャネル一時停止指示、全チャネル動作禁止指示、全チャネル一時停止指示を行った場合、DE, DH, EB, PB のビット設定が変更されるだけで、DE=1, DH=0000, EB=1, PB=0 の条件が成立しないので、該当チャネルは何も行わず、SS[2:0]は変化しません。図 4-3 の ch.2 の動作に示した例のように、CPU からの全チャネル一時停止指示が、Disable 状態のチャネルに発行された場合、そのチャネルは状態変化せず、その前の転送の終了状態の SS[2:0]を示したままとなります。

Disable 状態のチャネルに、個別・全チャネル一時停止指示を行うと、DE=1, EB=1, (DH!=0000 or PB=1) の Disable 状態になることがあります。この状態のビット値は、Pause 状態の DE, EB, DH, PB と同じですが、SS[2:0]が異なる値なので区別できます。図 4-4 に例を示します。

図 4-4 Disable 状態で個別チャネル一時停止指示を行った場合の例



あるチャネルにて転送動作を行っています。また、CPU からそのチャネルに対し、個別チャネル一時停止指示を行っています。その指示は、転送が終了し Disable 状態(DE=1, DH=0000, EB=0, PB=0)になってから発行されています。転送動作中のチャネルは、CPU の意図しない間に状態を変化させるので、このような現象は起こり得ます。この場合、該当チャネルのビット値は、CPU からの指示により、(DE=1, DH=0000, EB=1, PB=1)に変化しますが、SS[2:0]は終了時の"101"のままです。一時停止指示で停止していれば、SS[2:0]は"111"となるので、一時停止状態なのか、転送が終了した状態なのかを区別できます。SS[2:0]でチャネルの状態を確認せずに、一時停止解除の指示(動作許可指示と同じ)を行うと、図 4-4 に示すように、新規の転送が開始されてしまいますので、注意してください。

#### 補足事項 1

転送終了時、ST はクリアされますので、転送終了後の ST の読み出し値は"0"です。ソフトウェア転送の場合、ST は読み出し値にかかわらず、常に"1"を書き込む必要がありますので、注意してください。

#### 補足事項 2

個別チャネル動作許可指示により、転送開始を指示した後、転送終了が確認できるまでの間は、再度、個別チャネル動作許可指示を行うことはできません。これは、制御対象チャネルは、CPU の意図しない間に状態を変化させることがあるからで、DMAC が Disable 状態(EB=0)に遷移している場合に新規の転送開始を指示することになるからです。仮に SS[2:0]の値で制御対象チャネルが Transfer 状態にあることの確認を行ったとしても、その時点から書き込みを行うまでの間に、制御対象チャネルが Disable 状態に変化することがあります。

#### 補足事項 3

DE, DH の値は CPU からのみ書換えが可能で、DMAC 側からこのレジスタをクリアすることはできません。このため、転送動作中に DE=1, DH=0000 の書き込みを行うことは問題ありません。

また、全チャネル Pause 状態にあるチャネル(DE=1, DH!=0000, EB=1, PB=0)に対して、個別チャネル動作禁止指示を行った場合、DH はクリアされません。指示後、該当チャネルは、Disable 状態(DE=1, DH!=0000, EB=0, PB=0)に遷移します。ここから、該当チャネルの新規転送を開始するためには、DE=1, DH=0000 を書き込んでください。これは、個別チャネルの新規転送開始のために、全チャネルの一時停止解除が必要になることを示しています。

#### 補足事項 4

SS[2:0]の値は、転送終了時に DMAC からセットされ、Disable 状態にある間は DMAC から書き換えられることはできません。SS[2:0]の値をクリアしなくとも、次の転送を開始できます。ただし、Transfer 状態に遷移すると、SS[2:0]は DMAC からクリアされる場合があります(クリアされない場合もあります)。DMAC からの割込みを使用している場合、SS[2:0]をクリアせずに Transfer 状態に遷移すると、CPU の意図しないタイミングで割込み信号がディアサートされますので、注意してください。

### 4.3. ハードウェア(EM=0)転送時の DMAC 動作と制御手順

ハードウェア(EM=0)転送時の DMAC 動作と制御手順を以下に示します。

図 4-5 ハードウェア(EM=0)転送状態遷移図

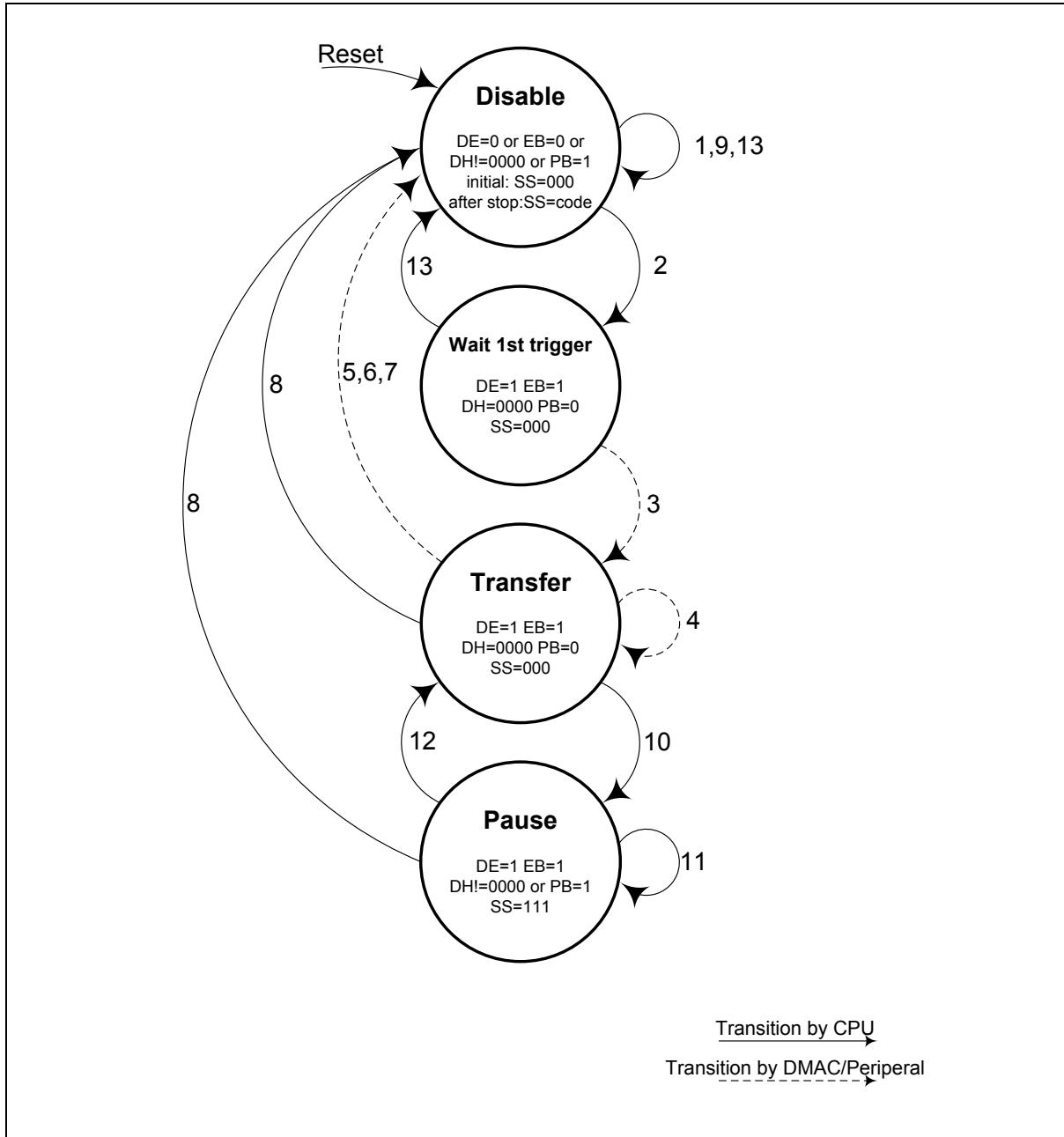


図 4-5 にハードウェア(EM=0)転送の場合の制御対象チャネルの状態遷移図を示します。図 4-5 の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC/Peripheral の動作による状態遷移を示します。

以降の説明で"ソフトウェア転送手順参照してください"との記載がある箇所がありますが、これは、特記のない事項は、ソフトウェア転送手順と同じ制御になるため説明を省略していることを示しています。本例では、EM=0 の設定を行っている前提で説明を行っています。

## ■ 各状態の説明

### Disable 状態

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」の「■ 制御手順の説明」を参照してください。

### Wait-1st-trigger 状態

制御対象のチャネルの転送が許可されている状態です。この状態のチャネルは、Peripheral からの最初の転送要求がアサートされるまで待機しています。また、CPU から指示により、状態を変化させます。

### Transfer 状態

制御対象のチャネルが Peripheral からの最初の転送要求を受け取った後の状態です。この状態のチャネルは、指定された内容の転送動作を行います。すべての転送動作が終了すると Disable 状態に復帰します。また、CPU からの指示により、状態を変化させます。

### Pause 状態

「4.2 ソフトウェア転送時の DMAC 動作と制御手順」の「■ 制御手順の説明」を参照してください。

## ■ 制御手順の説明

### 1. Disable 状態/転送準備

ソフトウェア転送手順 1.を参照してください。

ハードウェア転送の場合、次の制約があります。事前にどの Peripheral からの割込み信号を DMAC に対する転送要求信号として使用するかを割込みコントローラ部にて選択してください(機能説明の節を参照してください)。ST=0 を設定し、同時に IS により、転送を行うチャネルでどの Peripheral の転送要求を処理するかを指定します。複数のチャネルで同じ Peripheral の転送要求は処理できません。Demand 転送モードの場合は、BC=0 を設定してください。本節では、EM=0 を設定した場合の動作説明を行います。

### 2. Disable 状態=>Wait-1st-trigger 状態/転送許可

CPU から個別チャネル動作許可指示を行います。DE=1, EB=1, DH=0000, PB=0 の状態になると、制御対象のチャネルは Wait-1st-trigger 状態へ遷移します。

### 3. Wait-1st-trigger 状態/転送開始

Wait-1st-trigger 状態のチャネルは、Peripheral から転送要求信号がアサートされるか、CPU からの指示を待っている状態です。最初の転送要求信号がアサートされると、Transfer 状態に遷移します。

### 4. Transfer 状態

ソフトウェア転送手順 3.を参照してください。

Transfer 状態のチャネルは、ハードウェア転送の場合、3.3 節, 3.4 節に示したように Peripheral からの転送要求信号により、転送動作を行います。それぞれの動作モードで、Peripheral からの転送要求の回数と DMAC が必要とする転送要求回数を合わせてください。それぞれの動作モードで転送要求回数に過不足が生じた場合の動作を以下に説明します。

図 4-6 に Demand 転送の場合を示します。Demand 転送の場合、転送を終了するために必要な転送要求回数は、TC+1 回です。転送要求回数に過不足がない場合、特に CPU が介在する必要はありません(図 4-6 Example 1)。

DMAC の転送回数設定より、Peripheral から発生する転送要求回数が多くなった場合、DMAC は、所定の転送を終了後、Disable 状態に遷移します。Disable 状態ではそれ以上の転送は実行しません。また、超過した転送要求信号は、DMAC からはクリアされませんので、アサートされた状態が継続されます(図 4-6 Example 2)。

DMAC の転送回数設定より、Peripheral から発生する転送要求回数が少ない場合、DMAC は、Transfer 状態で、残りの転送要求を待機します(図 4-6 Example 3)。

Peripheral からの転送要求発生間隔に対して、DMAC の転送処理が間に合わない場合が想定されます。Demand 転送の場合は、転送要求信号がアサート状態のため、TC+1 回の転送を行えます(図 4-6 Example 4)。

図 4-6 ハードウェア・Demand 転送の動作

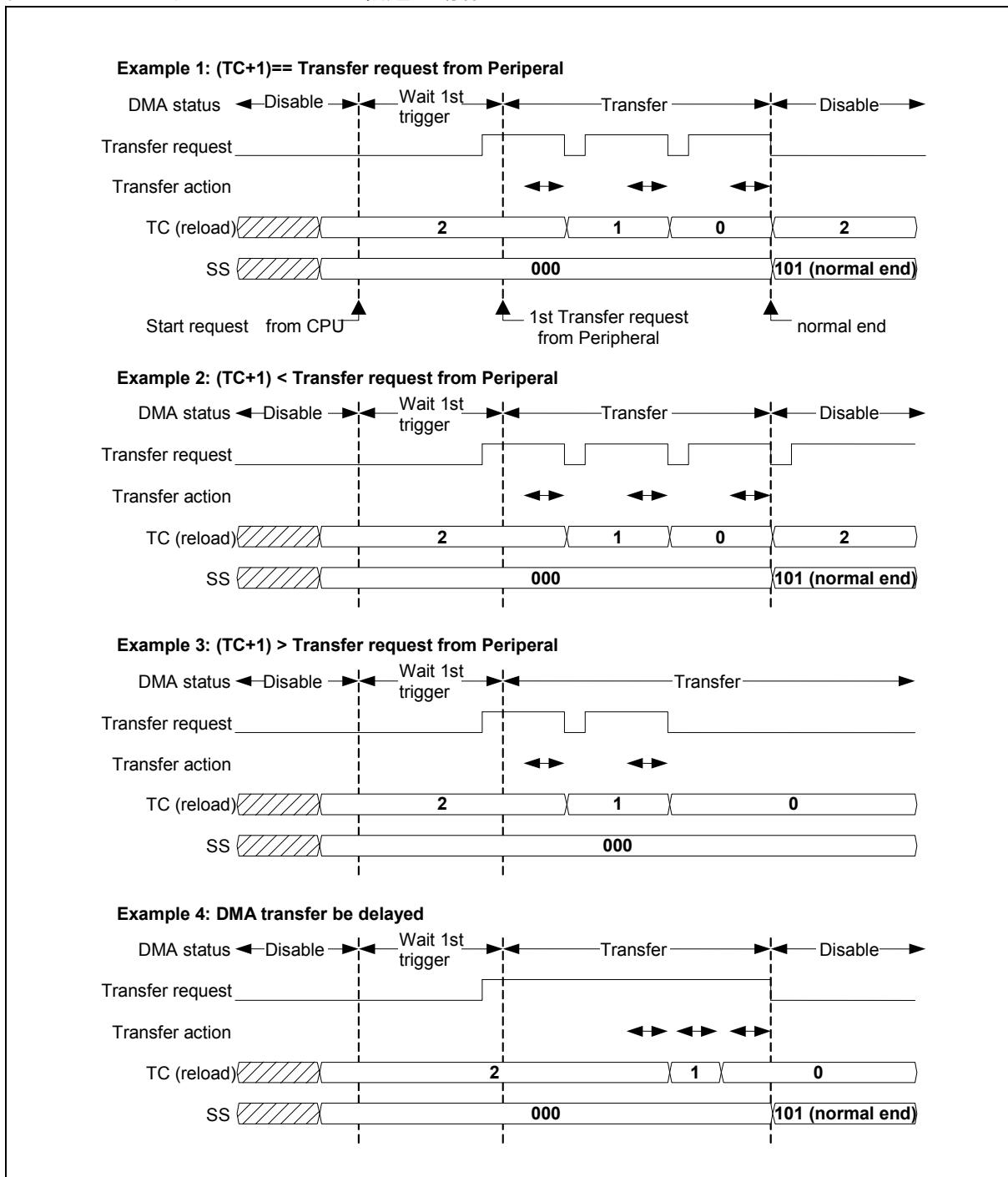
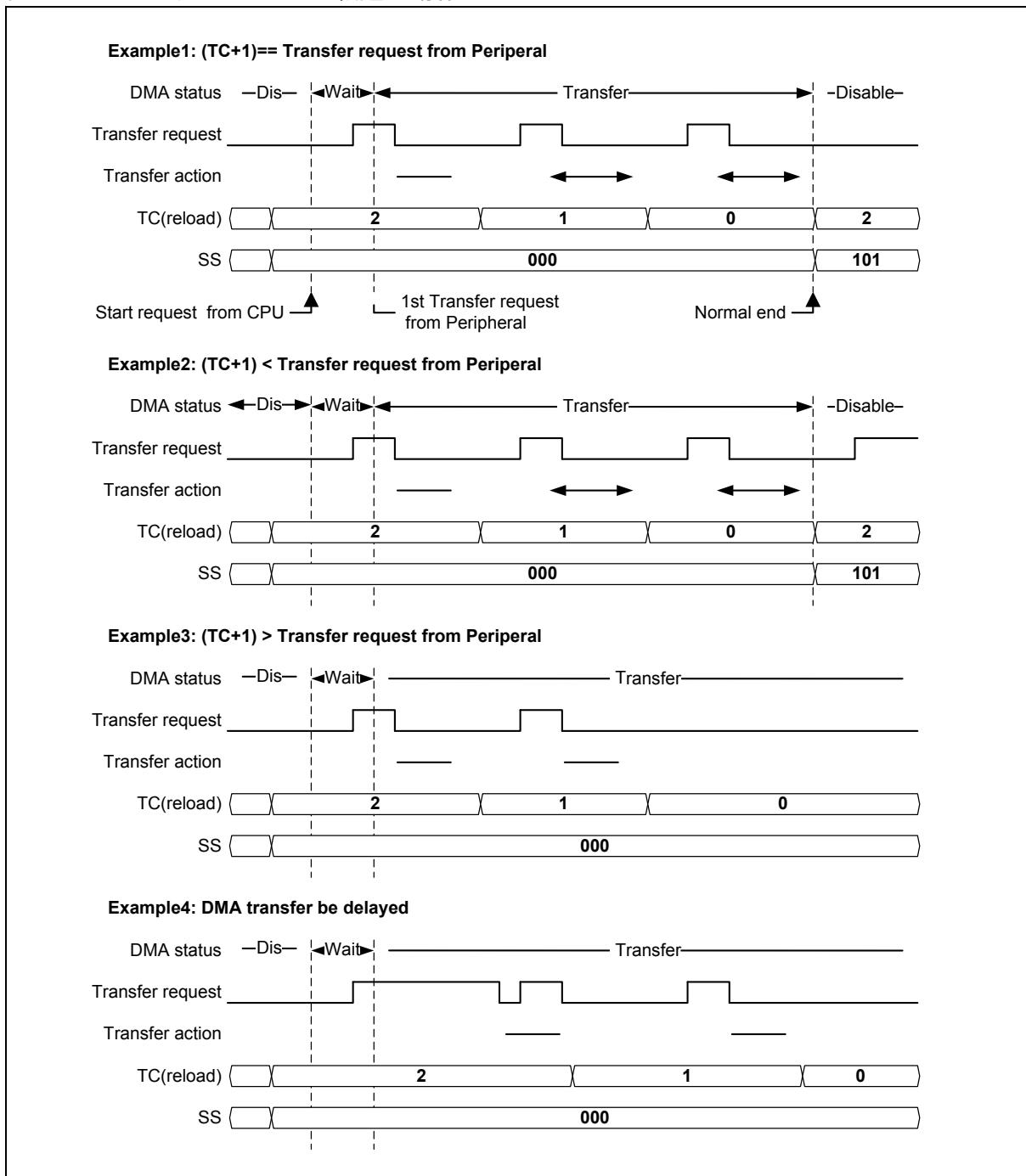


図 4-7 に Block 転送の場合を示します。Block 転送の場合、転送を終了するために必要な転送要求は、TC+1 回です。転送要求回数に過不足がない場合、特に CPU が介在する必要はありません(図 4-7 Example 1)。

図 4-7 ハードウェア・Block 転送の動作



DMAC の転送回数設定より、Peripheral から発生する転送要求回数が多い場合、DMAC は、所定の転送を終了後、Disable 状態に遷移します。Disable 状態ではそれ以上の転送は実行しません。また、超過した転送要求信号は、DMAC からはクリアされませんので、アサートされたままの状態を継続します。この場合 CPU から転送要求信号をディアサートしてください(図 4-7 Example 2)。

DMAC の転送回数設定より、Peripheral から発生する転送要求回数が少ない場合、DMAC は Transfer 状態で、残りの転送要求を待機します(図 4-7 Example 3)。

Peripheral からの転送要求発生間隔に対して、DMAC の転送処理が間に合わない場合が想定されます。Block 転送の場合は、Peripheral からの転送要求に対して、DMAC の転送処理が遅れた場合、転送動作中の次の転送要求信号の立上りエッジは無視されます。また、転送動作中にアサートされた転送要求信号は、DMAC からクリアされます。その後、DMAC は Transfer 状態で、残りの転送要求を待機します(図 4-7 Example 4)。

Burst 転送の場合、最初の転送要求を受け取り後、システムバスにアクセス可能な状態になると、 $(BC+1) \times (TC+1)$  回のすべての転送を行います。必要な Peripheral からの転送要求回数は最初の 1 回となります。転送要求信号の発生回数に超過が生じた場合は、Block 転送と同様に Disable 状態で無視されます。

## 5. Transfer 状態=>Disable 状態/転送正常終了

ソフトウェア転送手順 4. を参照してください。

## 6. Transfer 状態=>Disable 状態/転送エラー終了

ソフトウェア転送手順 5. を参照してください。

## 7. Transfer 状態=>Disable 状態/Peripheral 停止要求終了

Transfer 状態のチャネルは、Peripheral から転送停止要求信号がアサートされた場合、転送処理を中断します。EB, PB, ST をクリアし、Disable 状態に遷移します。SS[2:0]に"010"をセットし、エラー終了を通知します。EI により割込みを許可している場合、転送異常終了割込みが発生します。リロード指定されていない BC, TC, DMACSA, DMACDA は、転送中断時の値の状態です。SS[2:0]の値がソフトウェアからの停止要求と同じため、注意してください。

## 8. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止

ソフトウェア転送手順 6. を参照してください。

## 9. Disable 状態/転送後処理

ソフトウェア転送手順 7. を参照してください。

通常、Peripheral からの停止要求、ソフトウェアからの強制停止、転送エラー停止の場合は、Peripheral からの転送要求回数より、転送処理回数が少なくなるので、転送要求信号がアサートされたままの状態です。CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。Peripheral からの停止要求の場合、停止要求信号がアサートされている間は、転送要求信号がマスクされる構成です。転送停止要求信号もディアサートしてください。

DMAC が所定回数の転送を正常終了した場合であっても、Peripheral の設定によっては転送要求信号がアサートされたままの状態、もしくは再アサートされる場合があります。この場合、次回の転送に支障が発生があるので、注意してください。

## 10. Transfer 状態・Pause 状態/転送一時停止

ソフトウェア転送手順 8. を参照してください。

## 11. Pause 状態

ソフトウェア転送手順 9. を参照してください。

Pause 状態のチャネルは、Peripheral からの転送要求信号がアサートされても、転送を実行しません。また転送要求信号のクリアも行いません。

## 12. Pause 状態/転送一時停止解除

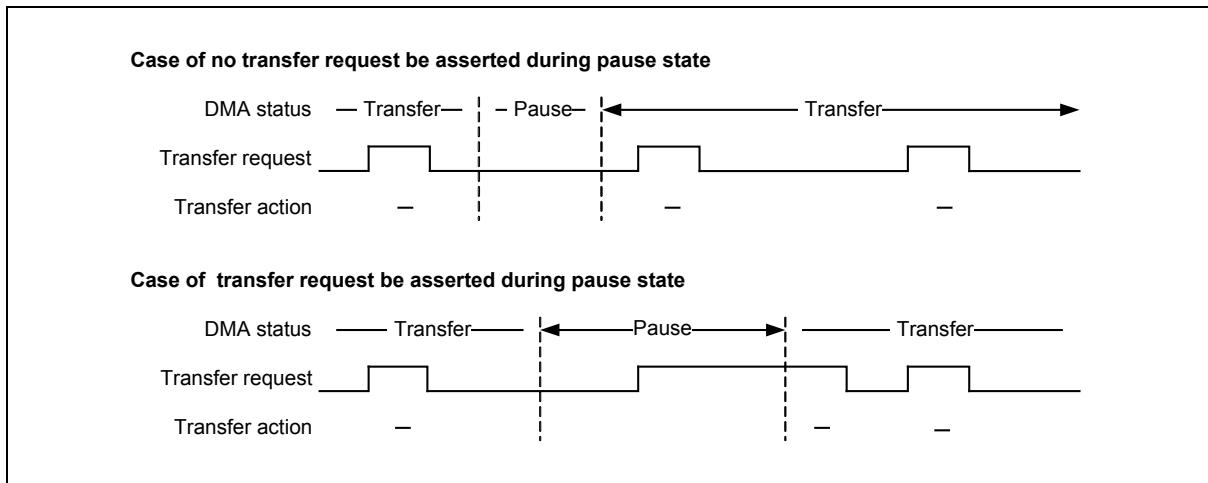
ソフトウェア転送手順 10. を参照してください。

Pause 状態から一時停止解除指示を行うと、Transfer 状態に戻ります。前の Pause 状態で転送要求信号のアサートがあった場合、転送モードにより、以下のように動作が異なります。

Demand 転送モードの場合、Pause 状態から転送要求信号がアサート状態のため、DMAC が

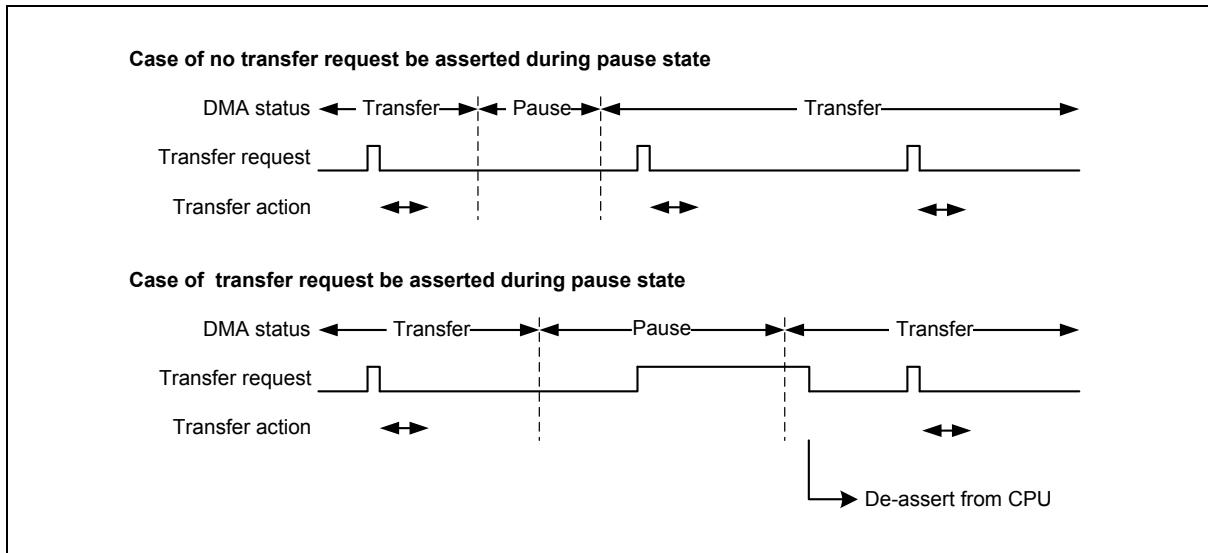
Transfer 状態に戻った時点で、転送が再開され、転送要求信号は通常どおりクリアします。図 4-8 を参照してください。

図 4-8 Pause 状態での Demand 転送動作



Block 転送モードの場合、Pause 状態から転送要求信号がアサートされたままなので、Transfer 状態に戻っても、転送要求信号の立上りエッジが検出されず、転送を再開しません。このため、Pause 中の転送要求は無視されます。また DMAC から転送要求信号のクリアも行われません。一時停止した転送を再開するためには、DMAC に対する一時停止解除の指示後、CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。その後、Peripheral から次の転送要求が発生した時点で、転送が再開されます。この場合、Peripheral が出力する転送要求回数と DMAC が受け取る転送要求回数が異なるため、注意してください。図 4-9 を参照してください。

図 4-9 Pause 状態での Block 転送動作



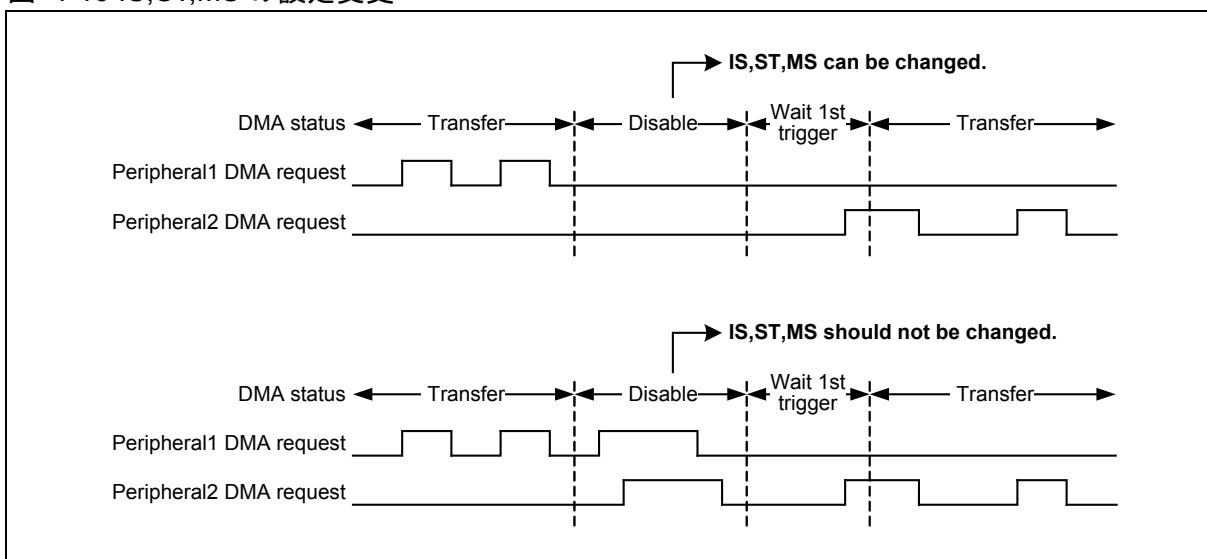
**13. Disable 状態・Wait-1st-trigger 状態の動作**

ソフトウェア転送手順 11 を参照してください。

Disable 状態のチャネルは、転送要求信号がアサートされていない場合、転送内容の指定変更(DMACSA, DMACDA, DMACA[29:0], DMACB の各レジスタの書き換え)を自由に行えます。

Disable 状態のチャネルは、転送要求信号がアサートされている、もしくはアサートされる可能性がある場合、転送内容の指定のうち、IS, ST, MS ビットの指定は変更できません。設定変更を行うと、DMAC が予期せぬ動作をする場合があります。IS, ST, MS の設定変更を行う際は、最初に、CPU から両方の Peripheral(変更前、変更後に使用する Peripheral)に対し、転送要求信号のクリアなどをを行い、必ず転送要求信号がディアサートされている状態で、設定変更を行ってください。図 4-10 を参照してください。

図 4-10 IS,ST,MS の設定変更



Wait-1st-trigger 状態のチャネルに対し、CPU から転送内容の指定の変更はできません。

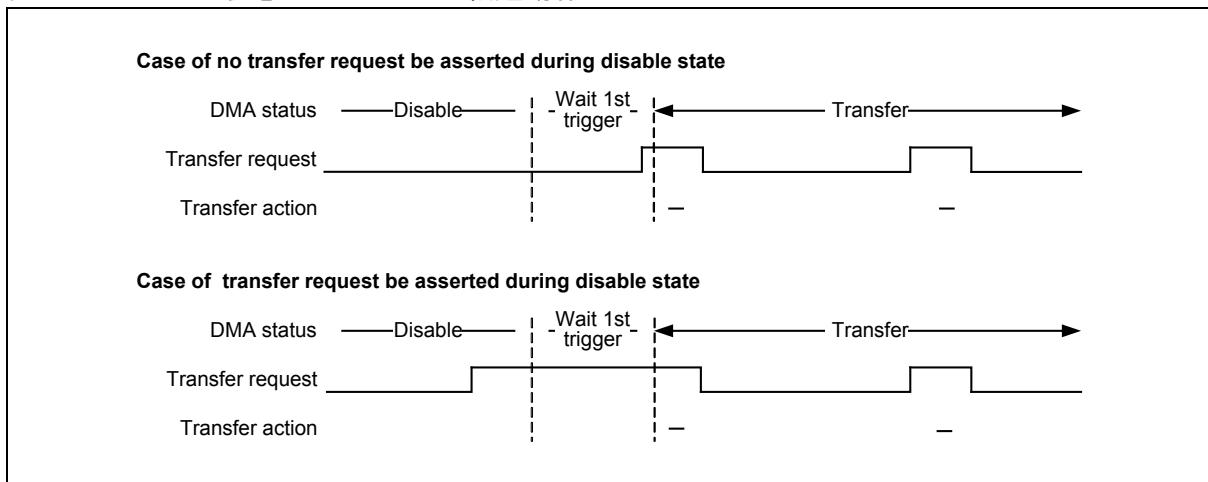
Wait-1st-trigger 状態のチャネルは、転送要求信号がアサートされていない場合、CPU から個別・全チャネル動作禁止指示、個別・全チャネル一時停止指示で、Disable 状態に遷移します。この場合、転送許可をキャンセルしたことになります。いずれの場合も SS は変化しません。

Wait-1st-trigger 状態のチャネルは、転送要求信号がアサートされる可能性がある場合、CPU から転送許可のキャンセルを行おうとしても、DMAC が転送を開始している、あるいは既に転送を終了していることがあるため、注意してください。

Disable 状態では、転送要求信号がアサートされても、DMAC は転送を開始せず、転送要求のクリアも行いません。転送要求信号がアサートされている状態で、CPU の指示により、Wait-1st-trigger 状態に遷移した場合、以下のような動作を行います(最初に示したように、IS, ST, MS の設定変更を行わない場合に限ります)。

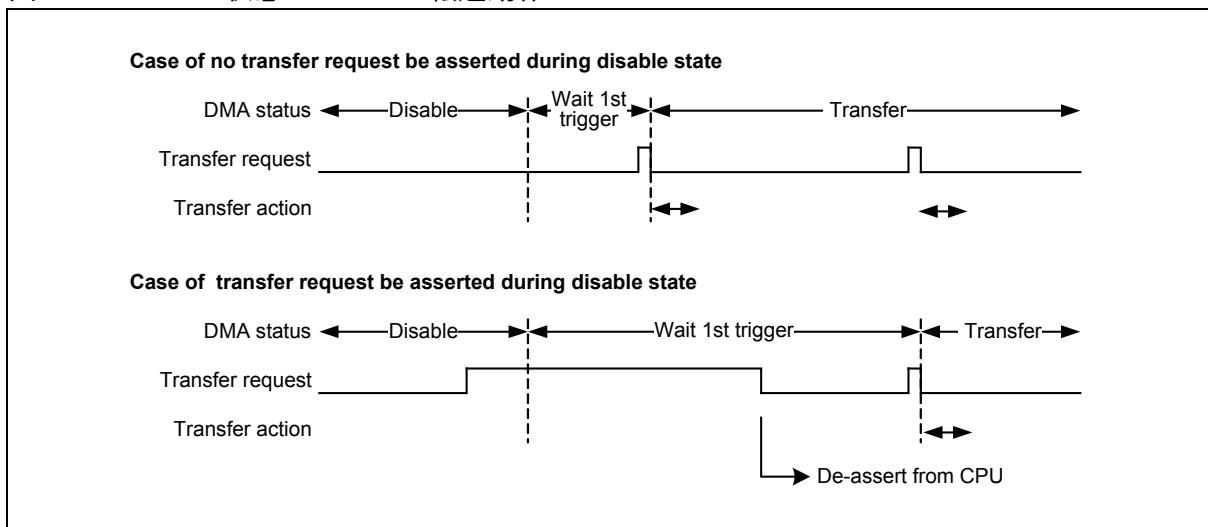
Demand 転送モードの場合、転送要求信号がアサートされたままなので、DMAC は、直ちに Transfer 状態に遷移し転送を開始します。転送要求信号は通常どおり DMAC からクリアされます。図 4-11 を参照してください。

図 4-11 Disable 状態での Demand 転送動作



Block 転送モードの場合、転送要求信号がアサートされたままなので、Wait-1st-trigger 状態に遷移しても、転送要求信号の立上りエッジが検出されず、転送を開始しません。このため、Disable 状態での転送要求は無視されます。また DMAC から転送要求信号のクリアも行われません。転送を開始するためには、DMAC に対して、Wait-1st-trigger 状態への遷移の指示後、CPU から Peripheral に対して、転送要求信号のディアサートを指示してください。その後、Peripheral から次の転送要求が発生した時点で、Transfer 状態に遷移し、転送が開始されます。この場合、Peripheral が出力する転送要求回数と DMAC が受け取る転送要求回数が異なるため、注意してください。図 4-12 を参照してください。

図 4-12 Disable 状態での Block 転送動作



**補足事項 1**

ソフトウェア転送手順 補足事項 1 を参照してください。

ハードウェア転送の場合、ST は常に"0"を書き込みます。

**補足事項 2**

ソフトウェア転送手順 補足事項 2 を参照してください。

**補足事項 3**

ソフトウェア転送手順 補足事項 3 を参照してください。

**補足事項 4**

ソフトウェア転送手順 補足事項 4 を参照してください。

**補足事項 5**

Peripheral からの転送要求信号(割込み信号)をディアサートする必要が生じた場合、以下の方法があります。通常、Peripheral の割込み信号は、割込み要因フラグを割込み許可フラグでマスク(論理 AND)した構成です。どちらかのフラグをリセットすることにより、割込み信号をディアサートできます。割込み許可フラグをリセットし、その後セットすると、割込み信号に立上りエッジが生じます。この手順により、DMAC に対し Block 転送の転送要求を再度通知できます。詳細は、各 Peripheral のマニュアルにて確認をお願いします。

## 4.4. ハードウェア(EM=1)転送時の DMAC 動作と制御手順

ハードウェア(EM=1)転送時の DMAC 動作と制御手順を以下に示します。

図 4-13 ハードウェア(EM=1)転送状態遷移図

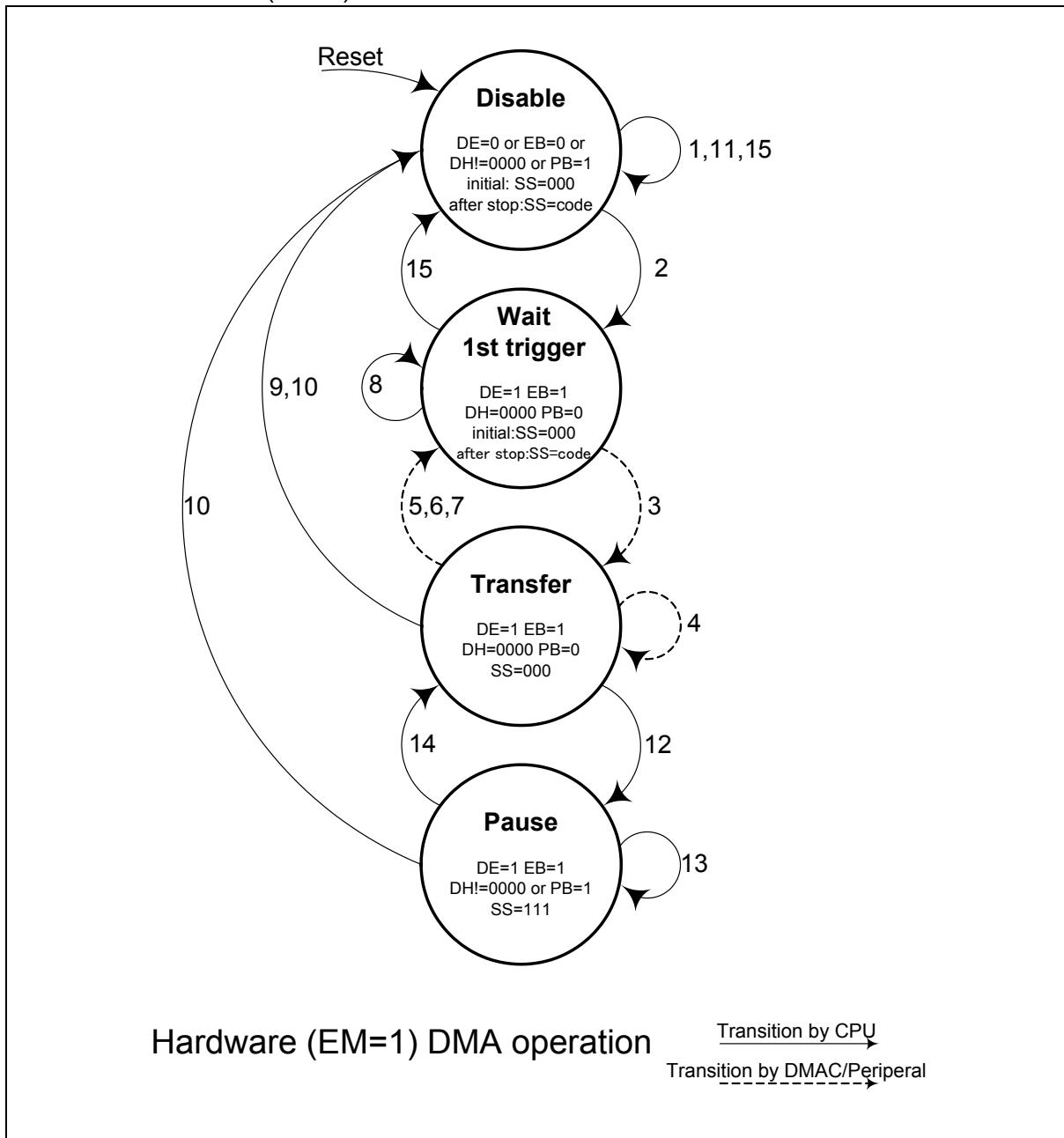


図 4-13 にハードウェア(EM=1)転送の場合の制御対象チャネルの状態遷移図を示します。図 4-13 の遷移線の番号は、以降の制御手順の説明の番号に対応しています。実線の遷移線は、CPU からの指示による状態遷移を示します。破線の遷移線は、DMAC/Peripheral の動作による状態遷移を示します。

EM(Enable bit clear mask)は、制御対象のチャネルの転送終了時、EB クリアをマスクするビットです。EM=1 とすることで、CPU から指示することなく、同じ転送処理を繰り返せます。

## ■ 各状態の説明

### Disable 状態

ハードウェア転送(EM=0)手順を参照してください。

### Wait-1st-trigger 状態

ハードウェア転送(EM=0)手順を参照してください。

### Transfer 状態

制御対象のチャネルが Peripheral からの最初の転送要求を受け取った後の状態です。この状態にあるチャネルは、指定された内容の転送動作を行います。EM=1 の場合、すべての転送動作が終了すると Wait-1st-trigger 状態に遷移します。また、CPU からの指示により、状態を変化させます。

### Pause 状態

ハードウェア転送(EM=0)手順を参照してください。

## ■ 制御手順の説明

### 1. Disable 状態/転送準備

ハードウェア転送(EM=0)手順 1. を参照してください。

EM=1 の設定を行う場合、意図しないアドレス領域のデータ転送を防ぐために、転送内容のリロード指定(RC, RS, RD)は、すべて設定してください。また、DMAC から転送正常終了割込みを発生させることは意味がないので、CI をセットすることは行いません。EI をセットし、DMAC からの転送異常終了割込みを発生するようにします。

### 2. Disable 状態=>Wait-1st-trigger 状態/転送許可

ハードウェア転送(EM=0)手順 2. を参照してください。

### 3. Wait-1st-trigger 状態/転送開始

ハードウェア転送(EM=0)手順 3. を参照してください。

### 4. Transfer 状態

ハードウェア転送(EM=0)手順 4. を参照してください。

### 5. Transfer 状態=>Wait-1st-trigger 状態/転送正常終了

Transfer 状態のチャネルは、 $(BC+1) \times (TC+1)$  回の転送が正常終了すると、EB はクリアせず、PB, ST をクリアし、Wait-1st-trigger 状態に遷移します。SS=101 をセットし正常終了を通知します。CI がセットされていないので、転送正常終了割込みは発生しません。RC, RS, RD がセットされているので、BC, TC, DMACSA, DMACDA の転送内容指定のリロードを実行します。

### 6. Transfer 状態=> Wait-1st-trigger 状態/転送エラー終了

ハードウェア転送(EM=0)手順 6 を参照してください。

EM=1 の場合は、転送がエラー終了しても、EB のクリアをしません。PB, ST をクリアし、Wait-1st-trigger 状態に遷移し、次の転送要求を待機します。従って、転送エラーの発生する可能性のあるアドレス領域には、EM=1 の DMA 転送は使用しないことをご推奨します。

### 7. Transfer 状態=>Wait-1st-trigger 状態/Peripheral 停止要求終了

ハードウェア転送(EM=0)手順 7. を参照してください。

EM=1 の場合は、Peripheral からの停止要求の場合も、EB のクリアをしません。PB, ST をクリアし、Wait-1st-trigger 状態に遷移します。RC, RS, RD がセットされているので、BC, TC, DMACSA, DMACDA の転送内容指定のリロードを実行します。EI がセットされているので、DMAC から転送異常終了割込みが発生します。

### 8. Wait-1st-trigger 状態/転送後処理

EM=1 の場合、転送が終了すると、EB がクリアされないので、(DE=1, EB=1, DH=0000, PB=0)となり、Wait-1st-trigger 状態に遷移しています。従って、Peripheral から次の転送要求が発生すると、CPU から指示をしなくとも、次の転送が開始されます。

Peripheral からの停止要求で Wait-1st-trigger 状態に遷移した場合、異常終了割込みが発生し、その状態を認識できます。また、停止要求信号がアサートされている間は、転送要求信号がマスクされる構成です。Peripheral から次の転送要求信号がアサートされても認識されず、制御対象のチャネルは、Wait-1st-trigger 状態のままで、CPU からの指示待ち状態になります。

上記の場合、CPU から SS の読み出しを行い、転送終了状態を確認します。CPU から SS をクリアすることで、割込み信号がディアサートされます。CPU から EB のクリアを行い、Disable 状態に戻ります(この操作は、ハードウェア転送(EM=1)手順 15.の操作です)。ハードウェア転送(EM=0)手順 7.に示すように、Peripheral からの転送要求信号、停止要求信号をディアサートします。

### 9. Transfer 状態=>Disable 状態/EM=0 による転送終了

Wait-1st-trigger 状態と Transfer 状態のループから、CPU から EM=0 の書き込みにより抜けられます。指示後の転送が終了したタイミングで、EB, ST, PB がクリアされ、Transfer 状態から Disable 状態(DE=1, EB=0, DH=0000, PB=0)へ遷移し正常終了します。この場合、CI がセットされていないので、転送正常終了割込みは発生しません。

### 10. Transfer 状態, Pause 状態=>Disable 状態/転送強制停止

ハードウェア転送(EM=0)手順 8.を参照してください。

Wait-1st-trigger 状態と Transfer 状態のループから、動作禁止指示で抜けられます。個別チャネル動作禁止指示の場合、該当チャネルは Disable 状態(DE=1, EB=0, DH=0000, PB=0)に遷移して停止します。全チャネル動作許可指示の場合、Disable 状態(DE=0, EB=1, DH=0000, PB=0)に遷移して停止します。全チャネル動作禁止指示の場合にも、EB がクリアされないので、注意してください。

Transfer 状態から抜けた場合は、強制終了による異常終了なので、転送異常終了を割込みが発生します。Wait-1st-trigger 状態から抜けた場合は転送許可キャンセルとなります(この操作は、ハードウェア転送(EM=1)手順 15.の操作です)。

### 11. Disable 状態/転送後処理

ハードウェア転送(EM=0)手順 9.を参照してください。

### 12. Transfer 状態・Pause 状態/転送一時停止

ハードウェア転送(EM=0)手順 10.を参照してください。

### 13. Pause 状態

ハードウェア転送(EM=0)手順 11.を参照してください。

### 14. Pause 状態/転送一時停止解除

ハードウェア転送(EM=0)手順 12.を参照してください。

### 15. Disable 状態・Wait-1st-trigger 状態の動作

ハードウェア転送(EM=0)手順 13.を参照してください。

EM=1 の場合、Transfer 状態から直接 Wait-1st-trigger 状態に遷移します。従って、転送の繰り返し中に転送内容の指定変更(DMACSA, DMACDA, DMACB[31:1], DMACA[28:0]の各レジスタの書換え)を行うことはできません。

**補足事項 1**

ハードウェア転送(EM=0)手順 補足事項 1 を参照してください。

**補足事項 2**

ハードウェア転送(EM=0)手順 補足事項 2 を参照してください。

EM=1 の場合は、転送動作中に EB がクリアされませんので、補足事項 2 は該当しません。

**補足事項 3**

ハードウェア転送(EM=0)手順 補足事項 3 を参照してください。

**補足事項 4**

ハードウェア転送(EM=0)手順 補足事項 4 を参照してください。

EM=1 の場合で、DMAC から割込みを発生する設定を行った場合の注意事項を説明します。Peripheral からの停止要求による転送異常終了割込みは、対象チャネルは Wait-1st-trigger 状態から遷移しないので、割込み信号は CPU からクリアするまではディアサートされません。同様に、ソフトウェアからの停止要求による転送異常終了割込みは、対象チャネルは Disable 状態に遷移するので、割込み信号は CPU からクリアするまではディアサートされません。それ以外の転送正常終了割込み、転送異常終了割込みは、該当チャネルが Transfer 状態に遷移すると CPU の意図しないタイミングでディアサートされることがあるため、注意してください。

**補足事項 5**

ハードウェア転送(EM=0)手順 補足事項 5 を参照してください。

## 5. DMAC のレジスタ

DMAC の各レジスタ機能を説明します。

5.1 レジスター一覧

5.2 DMAC 全体コンフィギュレーションレジスタ(DMACR)

5.3 コンフィギュレーション A レジスタ(DMACA)

5.4 コンフィギュレーション B レジスタ(DMACB)

5.5 転送元アドレスレジスタ(DMACSA)

5.6 転送先アドレスレジスタ(DMACDA)

## 5.1. レジスター一覧

表 5-1 に、DMAC の制御レジスタの一覧を示します。

表 5-1 DMAC の制御レジスタレジスター一覧

レジスタ略称	制御対象 Ch.	レジスタ名	参照先
DMACR	全体	DMAC 全体コンフィギュレーションレジスタ	5.2
DMACA0	ch.0	コンフィギュレーション A レジスタ	5.3
DMACB0		コンフィギュレーション B レジスタ	5.4
DMACSA0		転送元アドレスレジスタ	5.5
DMACDA0		転送先アドレスレジスタ	5.6
DMACA1	ch.1	コンフィギュレーション A レジスタ	5.3
DMACB1		コンフィギュレーション B レジスタ	5.4
DMACSA1		転送元アドレスレジスタ	5.5
DMACDA1		転送先アドレスレジスタ	5.6
DMACA2	ch.2	コンフィギュレーション A レジスタ	5.3
DMACB2		コンフィギュレーション B レジスタ	5.4
DMACSA2		転送元アドレスレジスタ	5.5
DMACDA2		転送先アドレスレジスタ	5.6
DMACA3	ch.3	コンフィギュレーション A レジスタ	5.3
DMACB3		コンフィギュレーション B レジスタ	5.4
DMACSA3		転送元アドレスレジスタ	5.5
DMACDA3		転送先アドレスレジスタ	5.6
DMACA4	ch.4	コンフィギュレーション A レジスタ	5.3
DMACB4		コンフィギュレーション B レジスタ	5.4
DMACSA4		転送元アドレスレジスタ	5.5
DMACDA4		転送先アドレスレジスタ	5.6
DMACA5	ch.5	コンフィギュレーション A レジスタ	5.3
DMACB5		コンフィギュレーション B レジスタ	5.4
DMACSA5		転送元アドレスレジスタ	5.5
DMACDA5		転送先アドレスレジスタ	5.6
DMACA6	ch.6	コンフィギュレーション A レジスタ	5.3
DMACB6		コンフィギュレーション B レジスタ	5.4
DMACSA6		転送元アドレスレジスタ	5.5
DMACDA6		転送先アドレスレジスタ	5.6
DMACA7	ch.7	コンフィギュレーション A レジスタ	5.3
DMACB7		コンフィギュレーション B レジスタ	5.4
DMACSA7		転送元アドレスレジスタ	5.5
DMACDA7		転送先アドレスレジスタ	5.6

## 5.2. DMAC 全体コンフィギュレーションレジスタ(DMACR)

DMAC 全体コンフィギュレーションレジスタ(DMACR)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DE	DS	予約	PR		DH[3:0]			予約							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W		R/W		R/W								

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W															

### [bit31] DE : DMA Enable (全チャネル動作許可ビット)

このビットは、すべてのチャネルの転送動作の許可・禁止の制御を行うビットです。

このビットに"1"に設定すると、すべてのチャネルの動作が許可され、各チャネルは、それぞれの設定により動作します。

このビットを"0"に設定すると、すべてのチャネルの動作が禁止され、"1"に設定するまで転送は行われません。また、転送中のチャネルは、転送を強制停止します。

このビットは、転送中のすべてのチャネルを強制停止し、コンフィギュレーションレジスタを再設定するために利用できます。

bit	機能
0	すべてのチャネルを動作禁止状態にします。(初期値)
1	すべてのチャネルを動作許可状態にします。

### [bit30] DS : DMA Stop

このビットは、すべてのチャネルの転送状態を表すビットです。

転送中に以下のいずれかの条件が成立した場合、このビットは DMAC によって"1"に設定されます。

- DMACR:DE ビットに 0 が書込まれ、その後すべてのチャネルの転送が終了した場合
- DMACR:DH ビットに 0000 以外が書き込まれ、その後すべてのチャネルの転送が一時停止した場合

DMACR:DE=1, DMACR:DH=0000 となり、全チャネルが動作可能な状態になると、このビットは DMAC によって"0"に設定されます。

このビットの属性は、R/Wですが、CPUによる書き込みはDMACの動作に影響を与えません。ただし、このビット状態に影響を与えることなく、DMACR レジスタを更新するときは、このビットをいったん読み出し、同じ値を再度書き直してください。

bit	機能
0	全チャネル動作禁止/全チャネル一時停止設定がクリアされています。 (初期値)
1	全チャネル動作禁止/全チャネル一時停止設定により、すべてのチャネルの転送が停止されました。

## [bit29] 予約

## [bit28] PR : Priority Rotation

このビットは、各チャネルの転送優先順位を制御するビットです。

このビットを"0"に設定すると、すべてのチャネルの優先順位は、固定です。

このビットを"1"に設定すると、すべてのチャネルの優先順位は、ローテート方式で決定されます。

bit	機能
0	優先順位が固定されます (ch.0>ch.1>ch.2>ch.3>ch.4>ch.5>ch.6>ch.7) (初期値)
1	優先順位は、ローテート方式です。

転送優先順位の選択については、「3.5 チャネル優先順位制御」を参照してください。

## [bit27:24] DH : DMA Halt (全チャネル一時停止ビット)

このビットは、すべてのチャネルの転送動作の一時停止・解除の制御を行うビットです。

このビットを"0000"以外の値に設定すると、転送中のチャネルはすべて一時停止状態になり、"0000"に設定すると転送を再開します。

一時停止状態にあるチャネルは、外部/周辺デバイスからの転送要求がアサートされても、その転送要求を無視します。Block 転送, Burst 転送の場合、一時停止がクリアされても、該当チャネルは、転送を開始しません。転送中に一時停止が設定された場合、転送を完了するためには、一時停止解除後、追加の転送要求が必要です。

このビットは、すべてのチャネルのコンフィギュレーションレジスタを再設定しない場合に、転送を一時停止するために利用できます。

bit27:24	機能
0000	すべてのチャネルの転送の一時停止を解除します。(初期値)
0000 以外	すべてのチャネルの転送を一時停止します。

### 5.3. コンフィギュレーション A レジスタ(DMACA)

コンフィギュレーション A レジスタ(DMACA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	EB	PB	ST				IS[5:0]			予約	予約	予約			BC[3:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W				R/W			R/W	R/W	R/W			R/W	
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field								TC[15:0]								
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性								R/W								

#### [bit31] EB : Enable Bit (個別チャネル動作許可ビット)

このビットは、個別チャネルの転送動作の許可・禁止の制御を行うビットです。

このビットを"1"に設定すると、該当チャネルは、動作許可状態となり、転送を開始するトリガを待ちます(DMACR:DE ビットが"1"に設定されている必要があります)。

EM ビット(DMACB[0])が"1"でない場合、転送の終了後、DMAC はこのビットを"0"にクリアします。

このビットを"0"に設定すると、該当チャネルは、動作禁止状態となり、"1"に設定するまで転送は行われません。また、転送中である場合、転送を強制停止します。

このビットは、転送中の該当チャネルを強制停止し、コンフィギュレーションレジスタを再設定するために利用できます。

bit	機能
0	該当チャネルは動作禁止状態です。(初期値)
1	該当チャネルは動作許可状態です。

#### [bit30] PB : Pause Bit (個別チャネル一時停止ビット)

このビットは、個別チャネルの転送動作の一時停止・解除の制御を行うビットです。

このビットを"1"に設定すると、転送中である場合、該当チャネルは転送を一時停止し、このビットを"0"にすると、転送を再開します。

このビットは、該当チャネルの転送動作が終了すると、"0"にクリアされます。

該当チャネルが一時停止状態にある場合、外部/周辺デバイスからの転送要求がアサートされても、その転送要求は無視します。Block 転送, Burst 転送の場合、一時停止がクリアされても、該当チャネルは、転送を開始しません。転送中に一時停止が設定された場合、転送を完了するためには、一時停止解除後、追加の転送要求が必要です。

このビットは、該当チャネルのコンフィギュレーションレジスタを再設定しない場合に、転送を一時停止するために利用できます。

bit	機能
0	該当チャネルの転送の一時停止を解除します。
1	該当チャネルの転送を一時停止します。

#### [bit29] ST : Software Trigger

このビットは、個別チャネルのソフトウェア転送要求を発生させるために使用します。

このビットを"1"に設定すると、ソフトウェア転送要求によるトリガになり、該当チャネルの転送が開始されます。転送の終了後、DMAC はこのビットを"0"にクリアします。  
このビットを転送中に"0"に設定すると、転送が停止します。

bit	機能
0	ソフトウェア転送要求なし (初期値)
1	ソフトウェア転送要求あり

#### [bit28:23] IS[5:0] : Input Select

これらのビットは、転送要求のトリガ選択を行うビットです。

転送のトリガがソフトウェア要求(ST=1)の場合、IS[5:0]ビットは"000000"に設定してください。  
転送のトリガがハードウェア要求の場合、どの Peripheral からの割込み信号により、転送を起動するかを設定します。すべてのチャネルで、Peripheral を任意に選択できます。

DMAC に接続するハードウェア転送要求信号は、品種により異なります。「2.2 DMAC の入出力信号」にて接続する転送要求信号を確認の上、選択設定してください。

bit28:23	機能
000000	ソフトウェア (初期値)
100000	IDREQ[0]
100001	IDREQ[1]
100010	IDREQ[2]
100011	IDREQ[3]
100100	IDREQ[4]
100101	IDREQ[5]
100110	IDREQ[6]
100111	IDREQ[7]
101000	IDREQ[8]
101001	IDREQ[9]
101010	IDREQ[10]
101011	IDREQ[11]
101100	IDREQ[12]
101101	IDREQ[13]
101110	IDREQ[14]
101111	IDREQ[15]
110000	IDREQ[16]
110001	IDREQ[17]
110010	IDREQ[18]

bit28:23	機能
110011	IDREQ[19]
110100	IDREQ[20]
110101	IDREQ[21]
110110	IDREQ[22]
110111	IDREQ[23]
111000	IDREQ[24]
111001	IDREQ[25]
111010	IDREQ[26]
111011	IDREQ[27]
111100	IDREQ[28]
111101	IDREQ[29]
111110	IDREQ[30]
111111	IDREQ[31]
上記以外の設定	設定禁止

[bit22:20] : 予約

#### [bit19:16] BC[3:0] : Block Count

これらのビットは、ブロック/バースト転送のブロック数の指定を行います。

転送モードがデマンド転送の場合、BC[3:0]は"0000"に設定してください。

BC[3:0]=ブロック数-1 の値を設定します。設定可能な最大ブロック数は 16 です。

これらのビットは、転送中に読み出せます。通常、1 つの転送元アクセスまたは 1 つの転送先アクセスが正常に完了すると、BC[3:0]の値は 1 ずつ減少します。

DMACB:RC=1 の場合、転送終了時、転送開始時の値がリロードされます。

DMACB:RC=0 の場合、転送正常終了時、0 になります。転送異常終了時、転送中断時の値のままです。

bit19:16	機能
	転送ブロック回数 (初期値 : 0x0)

#### [bit15:0] TC[15:0] : Transfer Count

これらのビットは、ブロック/バースト/デマンド転送の転送回数の指定を行います。

TC=転送回数-1 の値を設定します。設定可能な最大転送回数は 65536 です。

これらのビットは、転送中に読み出せます。通常、1 ブロックの転送が終了すると、TC は 1 ずつ減少します。

DMACB:RC=1 の場合、転送終了時、転送開始時の値がリロードされます。

DMACB:RC=0 の場合、転送正常終了時、0 になります。転送異常終了時、転送中断時の値のままです。

bit15:0	機能
	転送回数 (初期値 : 0x0000)

## 5.4. コンフィギュレーション B レジスタ(DMACB)

コンフィギュレーション B レジスタ(DMACB)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約	MS[1:0]	TW[1:0]	FS	FD	RC	RS	RD	EI	CI			SS[2:0]			
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約	EM														
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
属性	R/W															

[bit31:30] 予約

[bit29:28] MS[1:0] : Mode Select

これらのビットは、転送モードの選択を行います。

bit29:28	機能
00	Block 転送モード (初期値)
01	Burst 転送モード
10	Demand 転送モード
11	予約

[bit27:26] TW[1:0] : Transfer Width

これらのビットは、転送データのビット幅の指定を行います。

bit27:26	機能
00	バイト(8bit) (初期値)
01	ハーフワード(16bit)
10	ワード(32bit)
11	予約

[bit25] FS : Fixed Source

このビットは、転送元アドレスのインクリメント・固定を選択します。

bit	機能
0	転送元アドレスが TW[1:0]に従いインクリメントします。(初期値)
1	転送元アドレスが固定されます。

**[bit24] FD : Fixed Destination**

このビットは、転送先アドレスのインクリメント・固定を選択します。

bit	機能
0	転送先アドレスが TW に従い、インクリメントします。(初期値)
1	転送先アドレスは固定されます。

**[bit23] RC : Reload Count (BC・TC のリロード)**

このビットは、BC[3:0]と TC[15:0]のリロード機能を制御します。

このビットを"1"に設定すると、転送の終了後、BC[3:0]と TC[15:0]に転送開始時の設定値がリロードされます。

bit	機能
0	BC・TC のリロード機能が禁止されます。(初期値)
1	BC・TC のリロード機能が許可されます。

**[bit22] RS : Reload Source**

このビットは、転送元アドレスのリロード機能を制御します。

このビットを"1"に設定すると、転送の終了後、DMACSA に転送開始時の設定値がリロードされます。

bit	機能
0	転送元アドレスのリロード機能が禁止されます。(初期値)
1	転送元アドレスのリロード機能が許可されます。

**[bit21] RD : Reload Destination**

このビットは、転送先アドレスのリロード機能を制御します(DMACDA)。

このビットを"1"に設定すると、転送の終了後、DMACDA に転送開始時の設定値がリロードされます。

bit	機能
0	転送先アドレスのリロード機能が禁止されます。(初期値)
1	転送先アドレスのリロード機能が許可されます。

## [bit20] EI :Error Interrupt (転送異常終了割込み許可)

このビットは、転送が異常終了した場合の割込み通知を許可・禁止するビットです。

このビットを"1"にした場合、転送終了時の SS が以下ステータスであると、割込みが発行されます。

- アドレス・オーバフロー
- Peripheral からの転送停止要求による停止、または EB/DE ビットによる転送の禁止
- 転送元アクセスエラー
- 転送先アクセスエラー

bit	機能
0	転送異常終了時の割込みの発行が禁止されます。(初期値)
1	転送異常終了時の割込みの発行が許可されます。

## [bit19] CI : Completion Interrupt : (転送正常終了完了割込み許可)

このビットは、転送が正常終了した場合の割込み通知を許可・禁止するビットです。

このビットを"1"にした場合、転送終了時の SS が正常終了であると、割込みが発生します。

bit	機能
0	転送正常終了割込みの発行が禁止されます。(初期値)
1	転送正常終了割込みの発行が許可されます。

## [bit18:16] SS[2:0] : Stop Status (停止状態通知)

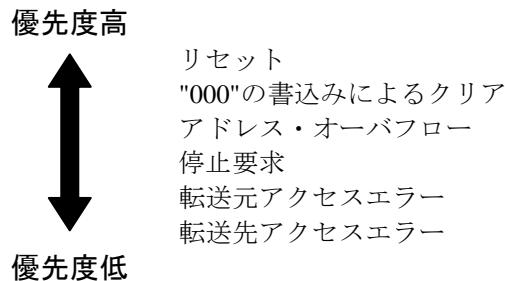
このビットは、転送の停止状態、終了状態を示すコードです。

コードは、下表に示すとおりです。

転送正常終了割込み、転送異常終了割込みが発行された場合は、このビットに"000"を書き込むことにより、割込み信号がディアサートされます。

bit18:16	内容
000	初期値
001	転送エラーによる終了(アドレス・オーバフロー)
010	転送停止要求による終了(Peripheral からの転送停止要求による停止または EB/DE ビットによる転送の禁止)
011	転送エラーによる終了(転送元アクセスエラー)
100	転送エラーによる終了(転送先アクセスエラー)
101	転送正常終了
110	予約
111	転送一時停止

各種のエラーが同時に発生した場合、以下の優先度に従って終了コードが表示されます。



#### [bit15:8] 予約

書き込み時は、常に"0"を書き込んでください。常に"0"が読み出されます。

#### [bit7:1] 予約

#### [bit0] EM : Enable bit Mask (EB ビットクリアのマスク)

このビットは、転送の終了後、DMAC により DMACA:EB ビット(bit31)のクリアをマスクするために使用します。

EM=0 の場合、転送の終了後、DMAC は DMACA:EB ビット(bit31)を"0"にクリアします。

EM=1 の場合、転送の終了後、DMACA:EB ビットをクリアしません。この機能により、CPU から指示を行わなくても、転送を繰り返し行えます。

この機能が使用できるのは、ハードウェア転送の場合のみです。使用の際は、RC, RS, RD ビットのリロード機能を有効にしてください。

bit0	機能
0	転送終了時の DMACA:EB ビット(bit31)をクリアしません。(初期値)
1	転送終了時の DMACA:EB ビット(bit31)を 0 にクリアします。

## 5.5. 転送元アドレスレジスタ(DMACSA)

転送元アドレスレジスタ(DMACSA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DMACSA[31:16]															
初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
属性	R/W															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	DMACSA[15:0]															
初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
属性	R/W															

### [bit31:0] DMACSA[31:0] : DMAC Source Address

これらのビットは、転送元の転送開始アドレスを指定します。

TW[1:0]に unaligned な値は指定できません。このビットは、転送中に読み出せます。

DMACB:FS=1 の場合、転送元アドレスは固定値となり、変化しません。

DMACB:FS=0, DMACB:FS=0 の場合、転送中は、TW[1:0]に従いインクリメントします。転送正常終了時は、転送終了アドレスの次のアドレスです。転送異常終了時は、中断時の値です。

DMACB:FS=0, DMACB:FS=1 の場合、転送中は、TW[1:0]に従いインクリメントします。転送終了時、転送開始時の設定値がリロードされます。

bit31:0	機能
	転送を開始する転送元アドレスを指定します。(初期値: 0x00000000)

## 5.6. 転送先アドレスレジスタ(DMACDA)

転送先アドレスレジスタ(DMACDA)について説明します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	DMACDA[31:16]															
初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
属性	R/W															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	DMACDA[15:0]															
初期値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
属性	R/W															

### [bit31:0] DMACDA[31:0] : DMAC Destination Address

これらのビットは、転送先の転送開始アドレスを指定します。

TW[1:0]に unaligned な値は指定できません。このビットは、転送中に読み出せます。

DMACB:FD=1 の場合、転送先アドレスは固定値となり、変化しません。

DMACB:FD=0, DMACB:RD=0 の場合、転送中は、TW[1:0]に従いインクリメントします。転送正常終了時は、転送終了アドレスの次のアドレスです。転送異常終了時は、中断時の値です。

DMACB:FD=0, DMACB:RD=1 の場合、転送中は、TW[1:0]に従いインクリメントします。転送終了時、転送開始時の設定値がリロードされます。

bit31:0	機能
	DMA 転送を開始する転送先アドレス (初期値: 0x00000000)

## 6. 使用上の注意

DMAC 使用上の注意事項を説明します。

### ■ レジスタ設定の注意事項

DMAC レジスタを設定する場合、以下の事項に注意してください。

- DMACR, DMACA, DMACB, DMACSA, DMACDA レジスタは、バイト、ハーフワード、およびワードサイズでアクセスできます。
- DMACSA, DMACDA レジスタ値に、DMAC 内のレジスタアドレスは設定できません。
- DMACR の DE ビット, DH ビット, DMACA の EB ビット, PB ビット、および DMACB の EM ビットを除き、DMA 転送中にチャネルの設定レジスタは変更できません。

### ■ ストップモード、タイマモード移行時の注意事項

ストップモード、タイマモードに移行する際は、必ず移行する前に、DMAC のすべてのチャネルの動作を停止してください。DMAC の停止は、DS フラグで確認してください。DMAC が動作中にストップモード、タイマモードに移行した場合、ランモードに復帰した際に予期せぬ動作をすることがあります。

## CHAPTER: I/O ポート

---

I/O ポートについて説明します。

---

1. 概要
2. 構成・ブロックダイヤグラム・動作説明
3. 設定手順例
4. レジスター一覧
5. 使用上の注意

---

管理コード: 9BGPIO-J05.0

## 1. 概要

I/O ポートの概要を説明します。

本シリーズの I/O ポートには、以下の特長があります。

- ・ 本シリーズの I/O ポートは以下の機能が兼用されています。
  - ・ GPIO  
CPU から、入力レベルの読み出し、出力レベルの設定が可能な汎用入出力ポートです。
  - ・ 周辺入出力  
周辺機能のデジタル入出力信号ポートです。
  - ・ 特殊 I/O ポート
    - ・ アナログ入力ポート  
A/D コンバータ、LCD コントローラのアナログ入力ポートです。
    - ・ アナログ出力ポート  
DA コンバータ、LCD コントローラのアナログ出力ポートです。
  - ・ USB ポート
  - ・ 発振ポート
- ・ 端子ごとに以下の設定が可能です。
  - ・ GPIO として利用するか、周辺機能のデジタル端子として利用するか、特殊端子として使用するかを設定できます。
  - ・ ポートを入力ポートとして利用するか、出力ポートとして利用するかを設定できます。
  - ・ プルアップ ON/OFF を設定できます。
  - ・ 周辺機能は同一機能の入出力が複数の I/O ポートに割り振られています。どの I/O ポートに機能を割り当てるかを設定できます(リロケート機能)。
  - ・ レジスタ設定により、CPU がスタンバイモード中に、I/O ポートを Hi-Z 状態にできます。

## 2. 構成・ブロックダイヤグラム・動作説明

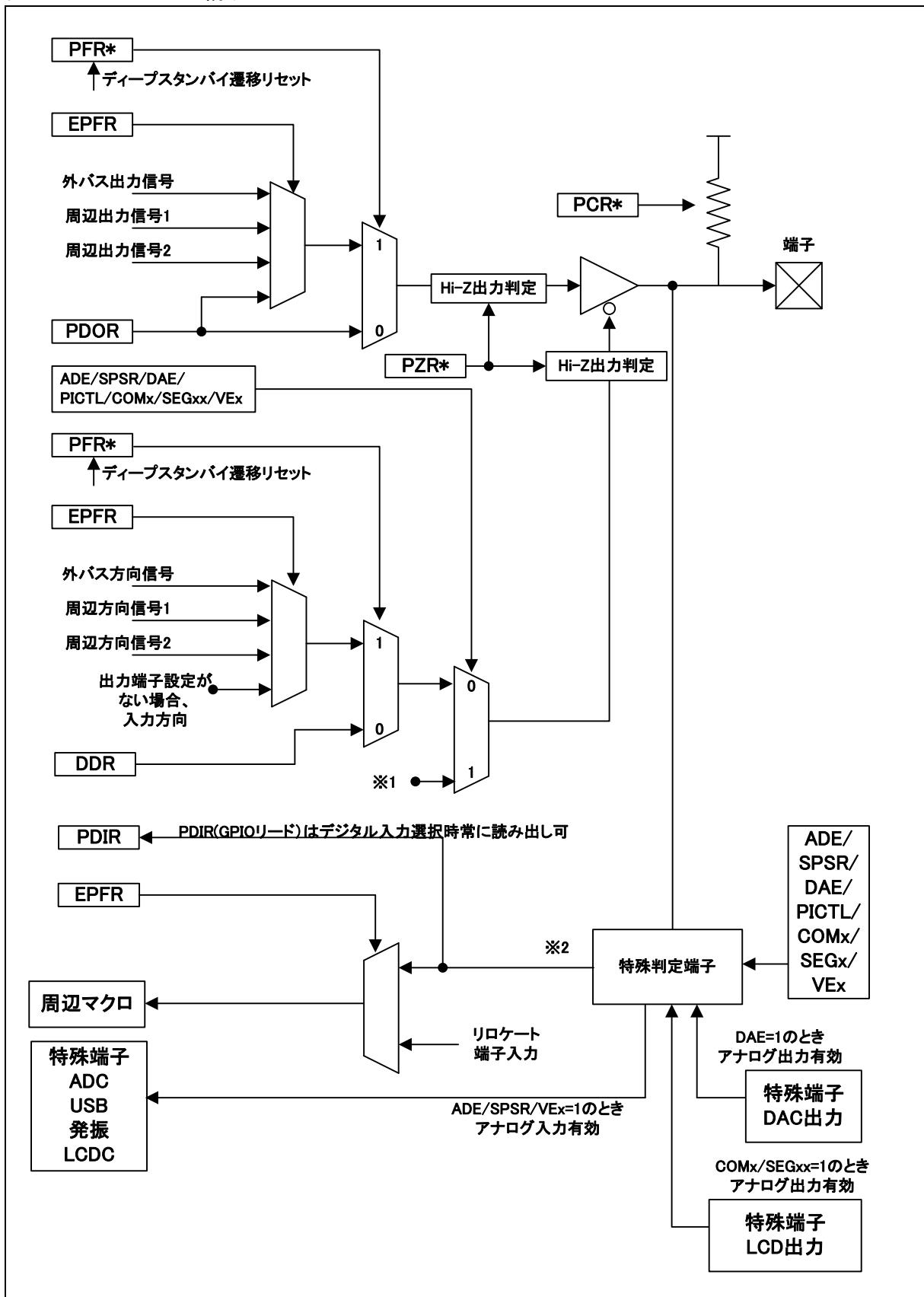
I/O ポートの構成およびブロックダイヤグラム・動作を説明します。

### ■ I/O ポートの構成

I/O ポートの各レジスタの設定により、入出力方向選択、GPIO/周辺選択を行います。

図 2-1 に I/O ポートの構成を示します。

図 2-1 I/O ポートの構成



※1：下記のいづれかに設定されたとき、I/O ポートは入力方向に設定されます。

- ADE/SPSR=1 のとき
- DAE=1 のとき
- PICTL=0 のとき
- PICTL=1、かつ COMx/SEGxx=1 のとき
- VEx=1 のとき

※2：下記のいづれかに設定されたとき、入力値は"0"固定になります。

下記に当てはまらない場合は、デジタル入力端子になります。

- ADE/SPSR=1 のとき
- DAE=1 のとき
- PICTL=0 のとき
- PICTL=1、かつ COMx/SEGxx=1 のとき
- VEx=1 のとき

### <注意事項>

- USB 端子にはプルアップ抵抗がありません
- 5V トレラント端子は製品によっては、プルアップ抵抗がない IO も存在します。
- プルアップ抵抗がない場合、PCR レジスタ設定は無効です。
- PZR レジスタの機能はある特定の端子にのみ実装されています。  
ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"と記載のある端子のみが制御できます。
- PFR0 レジスタはディープスタンバイ遷移リセットで初期化されません。
- DAE ビットの詳細については『アナログマクロ編』の『10 ビット D/A コンバータ』章の「5.1 D/A コントロールレジスタ(DACR)」を参照してください。
- PICTL/COMx/SEGxx/VEx ビットの詳細については『アナログマクロ編』の『LCD コントローラ』の章の「5.3 LCDC 制御レジスタ 3(LCDCC3)」、「5.5 LCDC COM 出力許可レジスタ (LCDC\_COMEN)」、「5.6 LCDC SEG 出力許可レジスタ 1/2(LCDC\_SEG1/2)」を参照してください。

表 2-1 にレジスタ機能説明を示します。

- PFR, DDR, PDIR, PDOR, PCR レジスタは、I/O ポートごとに 1 ビットの制御レジスタが存在し、I/O ポートの機能選択を行うレジスタです。
- ADE レジスタは、アナログ入力端子を兼用する I/O ポートごとに 1 ビットの制御レジスタが存在し、I/O ポートの機能選択を行うレジスタです。
- SPSR レジスタは、USB 端子または発振端子を兼用する I/O ポートの機能選択を行うレジスタです。
- EPFR レジスタは、周辺機能の入出力端子ごとに制御レジスタが存在し、周辺機能の入出力端子をどの I/O ポートにリロケートするかを選択するレジスタです。
- PZR レジスタは、特定端子の H レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドンドイン制御を設定するレジスタです。

表 2-1 レジスタ機能説明

レジスタ名	機能説明
ADE	I/O ポートを特殊端子(アナログ入力端子)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
SPSR	I/O ポートを特殊端子(USB・発振)として使用するか、デジタル入出力端子として使用するかを設定するレジスタです。
PFR	I/O ポートを GPIO 機能の入出力端子として使用するか、周辺機能の入出力端子として使用するかを設定するレジスタです。
PCR	I/O ポートをデジタル入力端子、デジタル双方向端子として使用する場合に、I/O ポートのプルアップ抵抗を接続するか、切断するかを設定するレジスタです。
DDR	I/O ポートを GPIO 機能端子として使用する場合、入力端子で使用するか、出力端子で使用するかを設定するレジスタです。 (注意事項) 端子が周辺機能の入出力端子として選択されている場合、設定値は無効です。
PDIR	I/O ポートのレベル状態を読み出すレジスタです。 <ul style="list-style-type: none"><li>・ I/O ポートをデジタル入力端子として使用する場合、入力レベルを読み出します。</li><li>・ I/O ポートをデジタル出力端子として使用する場合、出力レベルを読み出します。</li><li>・ I/O ポートを特殊端子として使用する場合、常に"0"を読み出します。</li></ul>
PDOR	I/O ポートを GPIO 機能の出力端子として使用する場合に、出力レベルを設定するレジスタです。 <ul style="list-style-type: none"><li>・ "0"設定時、Low レベルを出力します。</li><li>・ "1"設定時、High レベルを出力します。</li></ul> (注意事項) 端子が GPIO 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。
EPFR	周辺機能の入出力端子の機能選択およびリロケート機能を設定するレジスタです。 <ul style="list-style-type: none"><li>・ 周辺出力端子設定 I/O ポートに対して出力 ON/OFF を設定します。また、どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。</li><li>・ 周辺入力端子設定 どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。</li><li>・ 周辺双方向端子設定 どの I/O ポートにリロケートするかを、周辺機能の端子ごとに設定できます。</li></ul>
PZR	I/O ポートのオープンドレイン制御を設定するレジスタです。 <ul style="list-style-type: none"><li>・ I/O ポートが Low レベル出力時、I/O ポートを Low 出力にします。 (PCR の設定値によらず、プルアップ切断します)</li><li>・ I/O ポートが High レベル出力時、I/O ポートを Hi-Z 化し、擬似的にオープンドレイン制御します。 (PCR の設定値によらず、プルアップ切断します)</li><li>・ I/O ポートが入力時、I/O ポートを Hi-Z 化し、入力方向にします。 (PCR の設定値によらず、プルアップ切断します)</li></ul> (注意事項) 本機能はある特定の端子にのみ実装されています。 ご使用する製品の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"と記載のある端子のみが制御できます。

表 2-2 に選択される I/O ポート機能により、利用可能・利用不可能になる端子機能と、レジスタ設定値との一覧を示します。

表 2-2 I/O ポート機能とレジスタ設定値

I/O ポート機能		ADE/ SPSR/ DAE/ COMx/ SEGxx/ VEx	PFR	DDR	PZR	PCR	EPFR
利用可能な主機能	利用可能な副機能						
特殊端子 (アナログ入力, アナログ出力 USB, 発振)	なし	1	-	-	-	切断	*0
GPIO 機能入力端子	周辺機能入力端子	0	0	0	0	有効	*1
				0	1	切断	
				1	0	切断	
				1	1	切断	
GPIO 機能出力端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)	0	1	0	切断	*2	
				1	切断		
				0	有効	*3	
				1	切断		
選択周辺機能の出力端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)	0	-	0	切断	*4	
				1	切断		
				0	有効	*3	
				1	切断		
選択周辺機能の双方向端子	GPIO 機能入力端子(FB) 周辺機能入力端子(FB)	1	-	0	有効	*4	
				1	切断		
				0	有効	*3	
				1	切断		
周辺機能入力端子	GPIO 機能入力端子			0	有効	*4	
				1	切断		

凡例 - : レジスタ設定値が端子機能に影響のないことを示します。

有効 : PCR レジスタ値が 0 の場合、プルアップ抵抗が接続されることを示します。

PCR レジスタ値が 1 の場合、プルアップ抵抗が接続されることを示します。

切断 : PCR レジスタ値によらず、プルアップ抵抗が接続されることを示します。

(FB) : I/O ポート部の出力信号がフィードバックされて、PDIR から I/O ポートのレベルの読み出し可能となることを示し、周辺機能の入力としても使用可能です。

\*0 : I/O ポートに対し周辺機能の入力端子を選択した場合、設定は無効です。

I/O ポートに対し周辺機能の出力端子を選択した場合、設定は無効です。

I/O ポートに対し周辺機能の双方向端子を選択した場合、設定は無効です。

\*1 : I/O ポートに対し周辺機能の入力端子を選択した場合、設定是有効です。

I/O ポートに対し周辺機能の出力端子を選択した場合、設定は無効です。

I/O ポートに対し周辺機能の双方向端子を選択した場合、設定は無効です。

\*2 : I/O ポートに対し周辺機能の出力端子を選択している場合を示します。

\*3 : I/O ポートに対し周辺機能の双方向端子を選択している場合を示します。

\*4 : I/O ポートに対し周辺機能の出力端子、双方向端子のいずれも選択していない場合を示します。

## ■ I/O ポートの初期選択機能

表 2-3 に各 I/O ポートのリセット解除後の初期選択機能を示します。

表 2-3 各 I/O ポートのリセット解除後の初期選択機能

No	端子	初期選択機能
1	TRSTX, TCK, TDI, TMS, TDO	JTAG 端子が選択されています。プルアップ抵抗 ON です。
2	ANxx	アナログ入力端子として使用可能です。デジタル入力は遮断されており "0" が入力されています。
3	X0, X1, X0A, X1A	発振端子として使用可能です。デジタル入力は遮断されており "0" が入力されています。
4	上記以外のすべての GPIO 端子	デジタル入力です。出力は Hi-Z です。

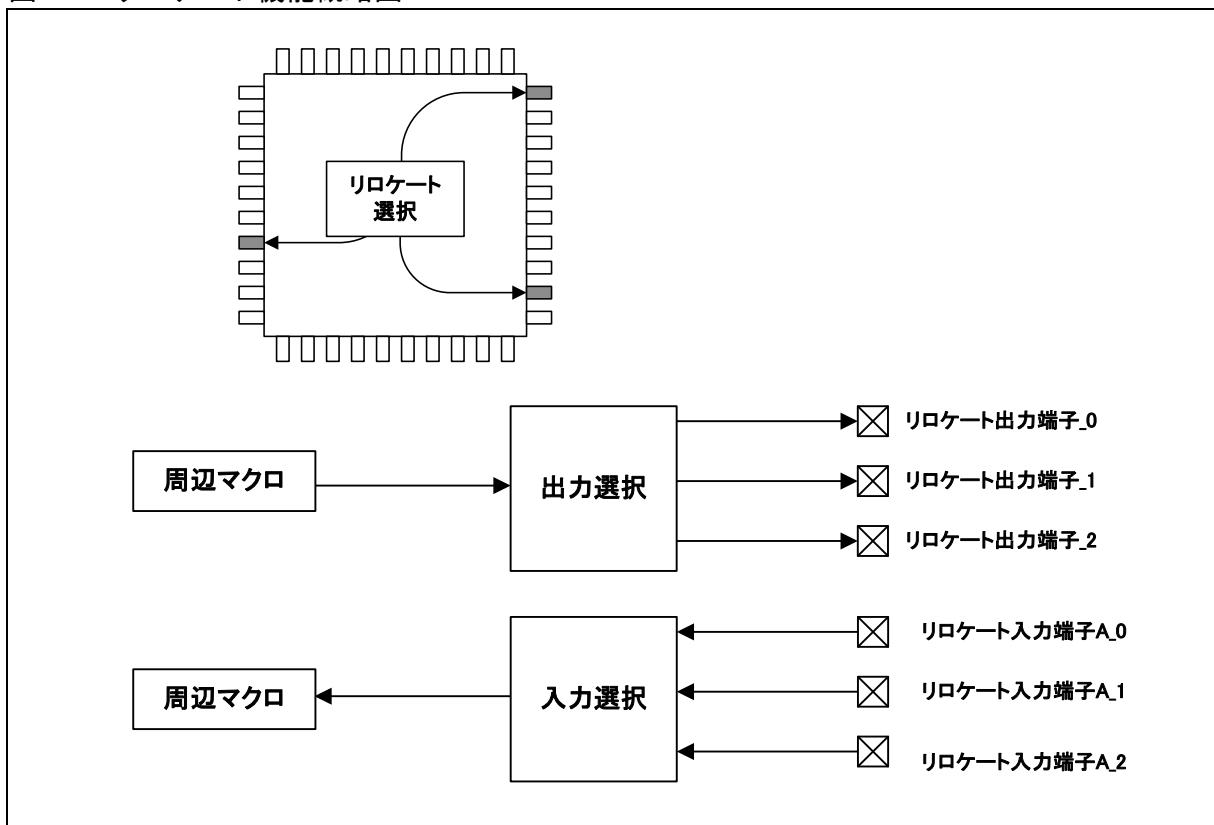
(注意事項) GPIO 以外の端子(MD 端子、リセット端子)の状態はご使用する製品の『データシート』を参照してください。

リセット時の EPFR の出力選択値はすべて「出力しない」です。

## ■ リロケート機能について

- 周辺機能の入出力は、端子が複数準備されているものがあります(リロケート端子)。  
EPFR 設定によりいづれかの端子を 1 つ選択できます。図 2-2 にリロケート機能の概略図を示します。

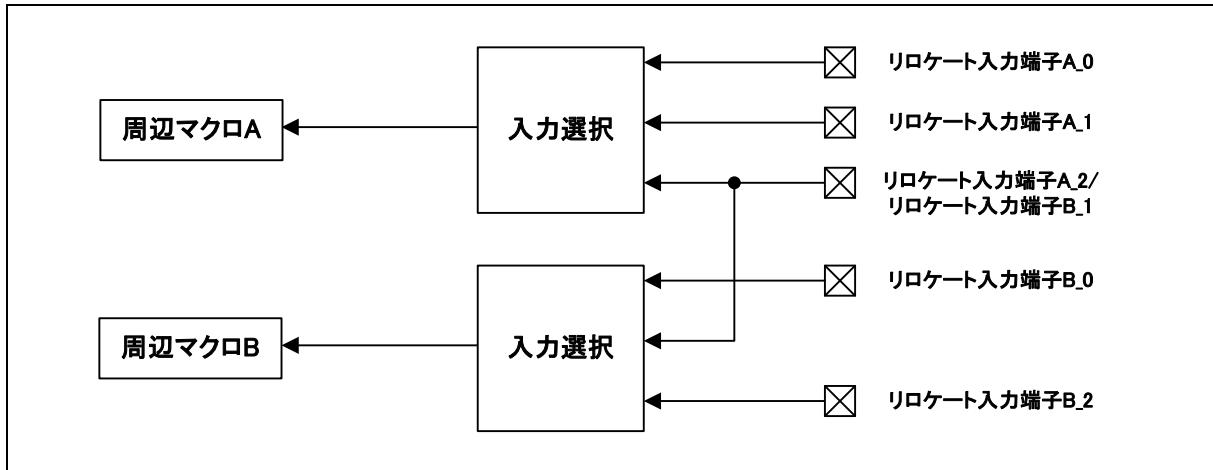
図 2-2 リロケート機能概略図



(注意事項) どの周辺機能がどの端子に配置されているかは、品種ごとに異なります。  
ご使用する製品の『データシート』の端子機能一覧表を参照してください。

- 1つのI/Oポートの入力が複数の周辺機能に接続されていても、EPFRの設定により周辺の入力はすべて使用できます。例えば、図2-3にて、「リロケート入力端子A\_2」と、「リロケート入力端子B\_1」をそれぞれ入力選択しておくことで同時に使用することが可能です。これにより、1つのI/Oポートに兼用されている外部割込みと、マルチファンクションシリアル入力端子を同時に使用する、といった利用が可能です。

図 2-3 複数の周辺入力

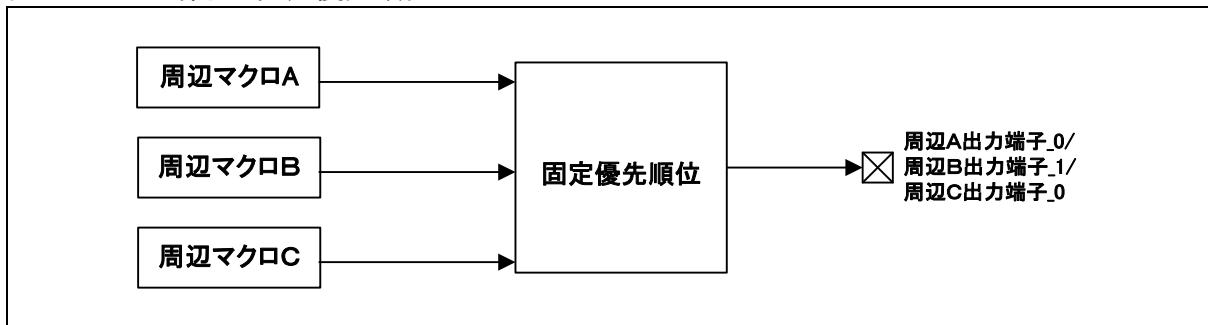


- I/O端子が出力として設定されていても、入力はマスクされないため入力端子としても機能します。例えば、タイマの出力を兼用している外部割込みの入力とすることが可能です。

**■ EPFR の出力固定優先順位について**

1つのI/Oポートには、複数ある出力のうち1つの出力端子機能しか割り付けられません。EPFRレジスタの設定により、出力が重複設定された場合、固定優先順位が適用され出力端子選択が行われます。図2-4に出力端子と固定優先順位を示します。

図 2-4 出力端子と固定優先順位



EPFRの固定優先順位を表2-4に示します。

表 2-4 EPFR の固定優先順位

優先順位高	周辺機能	該当端子
↓	特殊入力	JTAG 入力, NMI 入力
↓	JTAG, トレース	出力端子, 入出力端子
↓	Ethernet	入出力
↓	USB (HCONX)	出力端子
↓	CAN	出力端子
↓	マルチファンクションシリアル	出力端子, 入出力端子
↓	ベースタイマ出力	入出力端子
↓	多機能タイマ	出力端子
↓	外バス	出力端子, 入出力端子
↓	内蔵 CR 波形出力	出力端子
↓	RTC 出力	出力端子
↓	SUBCLK 出力	出力端子
優先順位低		

(注意事項) 固定優先順位があるのは、設定機能が「出力」どうしの場合です。「入力」どうしの場合には優先順位はありません。

ただし、「特殊入力」については、ほかの「出力」設定よりも優先順位が上になります。

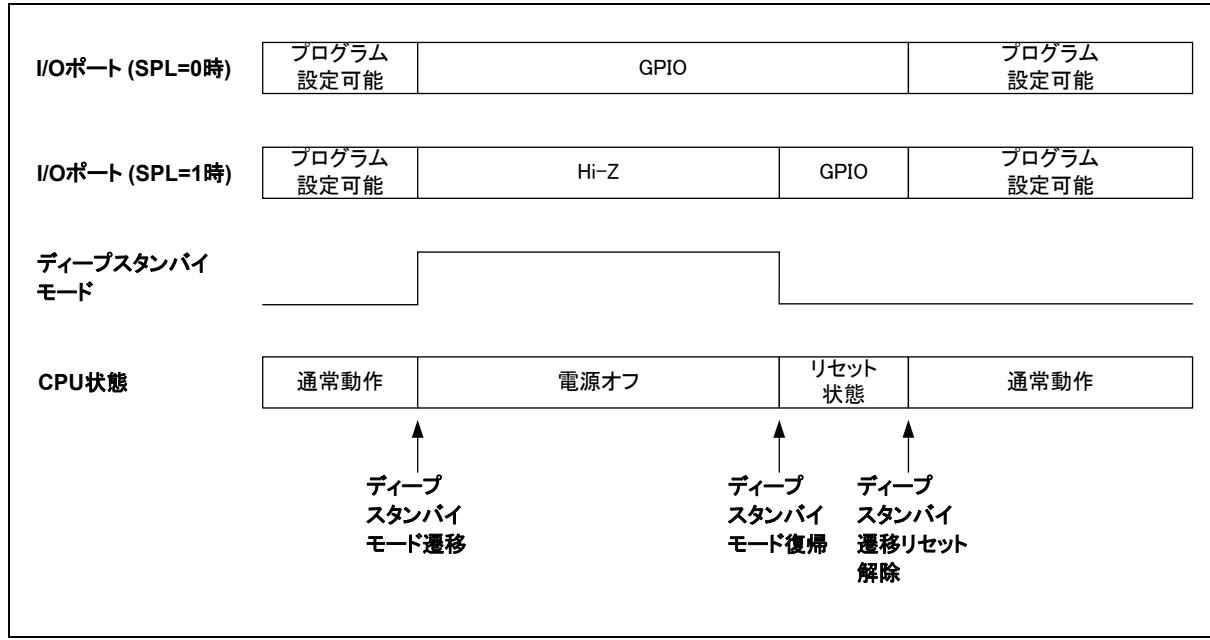
「特殊入力」が選択されているときは、同一ポートに割り付けられている「出力」設定が無効になります。

- 優先順位の低位側の出力設定のためにEPFRレジスタには"出力しない"設定が必ずあります。
- 端子を周辺機能の外部入力端子として使用する場合には、兼用する出力設定をすべてOFFにしてください。EPFRレジスタで、端子の出力選択がすべてOFFになっている場合に、端子は外部入力端子として機能します。

## ■ ディープスタンバイモード時の動作

ディープスタンバイモード時は GPIO 機能が選択されます。図 2-5 にディープスタンバイモード時の I/O ポート動作を示します。

図 2-5 ディープスタンバイモード時の I/O ポート動作



### <注意事項>

ディープスタンバイモード時の各端子の状態は、ご使用する製品の『データシート』の端子状態表を参照してください。

### 3. 設定手順例

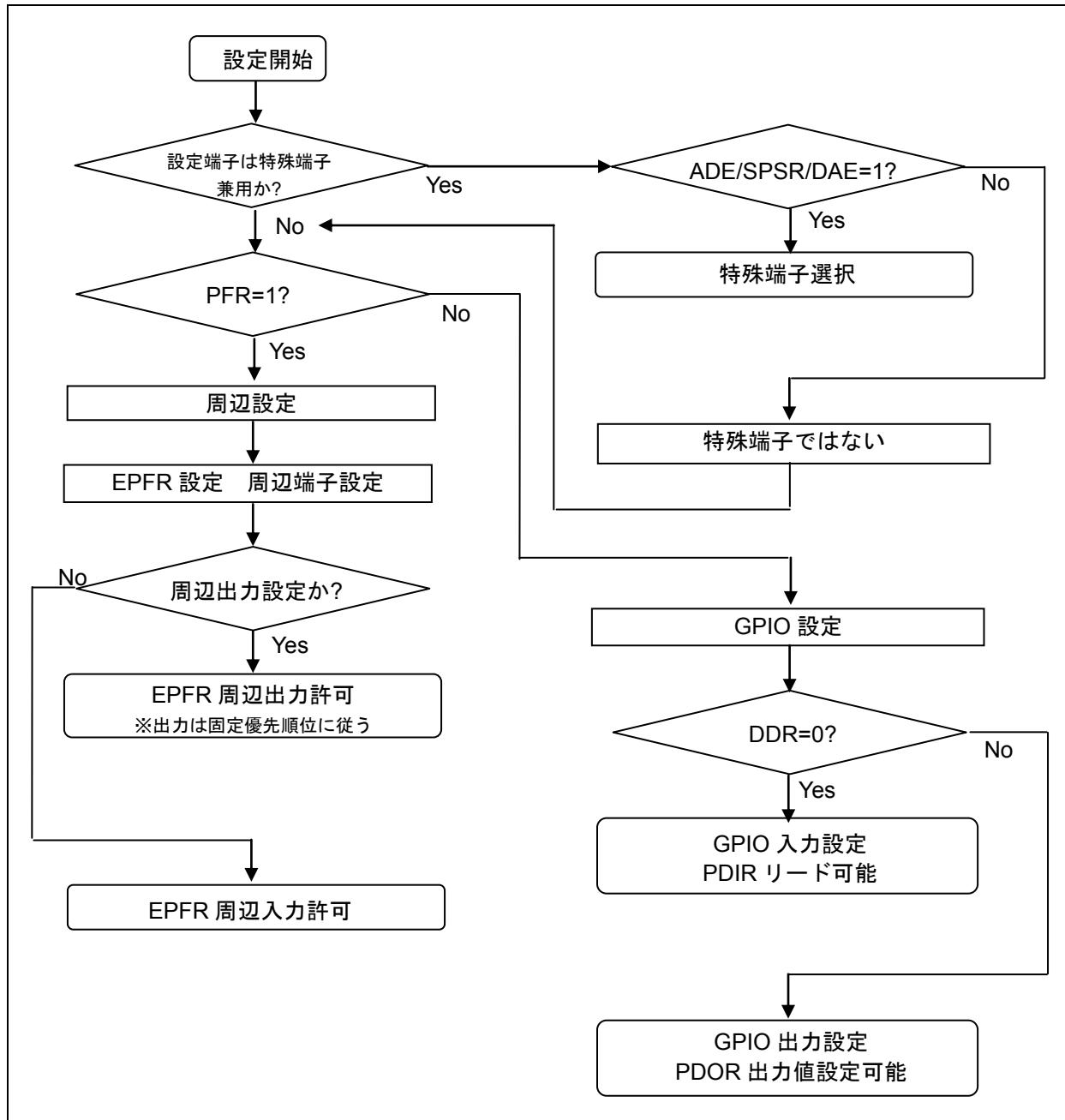
I/O ポートの設定手順例を説明します。

#### ■ I/O ポートの設定

I/O ポートの各レジスタの設定により、入出力方向選択、GPIO/周辺選択を行います。

図 3-1 に設定手順例を示します。

図 3-1 I/O ポート設定手順例



## 4. レジスター一覧

I/O ポートのレジスター一覧を説明します。

レジスター一覧を表 4-1 に示します。

表 4-1 I/O ポートレジスター一覧

レジスタ略称	レジスタ名	参照先
PFR0	ポート機能設定レジスタ 0	4.1
PFR1	ポート機能設定レジスタ 1	
PFR2	ポート機能設定レジスタ 2	
PFR3	ポート機能設定レジスタ 3	
PFR4	ポート機能設定レジスタ 4	
PFR5	ポート機能設定レジスタ 5	
PFR6	ポート機能設定レジスタ 6	
PFR7	ポート機能設定レジスタ 7	
PFR8	ポート機能設定レジスタ 8	
PFR9	ポート機能設定レジスタ 9	
PFRA	ポート機能設定レジスタ A	
PFRB	ポート機能設定レジスタ B	
PFRC	ポート機能設定レジスタ C	
PFRD	ポート機能設定レジスタ D	
PFRE	ポート機能設定レジスタ E	4.2
PFRF	ポート機能設定レジスタ F	
PCR0	プルアップ設定レジスタ 0	
PCR1	プルアップ設定レジスタ 1	
PCR2	プルアップ設定レジスタ 2	
PCR3	プルアップ設定レジスタ 3	
PCR4	プルアップ設定レジスタ 4	
PCR5	プルアップ設定レジスタ 5	
PCR6	プルアップ設定レジスタ 6	
PCR7	プルアップ設定レジスタ 7	
PCR9	プルアップ設定レジスタ 9	
PCRA	プルアップ設定レジスタ A	
PCRB	プルアップ設定レジスタ B	
PCRC	プルアップ設定レジスタ C	

レジスタ略称	レジスタ名	参照先
PCRD	プルアップ設定レジスタ D	4.2
PCRE	プルアップ設定レジスタ E	
PCRF	プルアップ設定レジスタ F	
DDR0	ポート入出力方向設定レジスタ 0	
DDR1	ポート入出力方向設定レジスタ 1	
DDR2	ポート入出力方向設定レジスタ 2	
DDR3	ポート入出力方向設定レジスタ 3	
DDR4	ポート入出力方向設定レジスタ 4	
DDR5	ポート入出力方向設定レジスタ 5	
DDR6	ポート入出力方向設定レジスタ 6	4.3
DDR7	ポート入出力方向設定レジスタ 7	
DDR8	ポート入出力方向設定レジスタ 8	
DDR9	ポート入出力方向設定レジスタ 9	
DDRA	ポート入出力方向設定レジスタ A	
DDRB	ポート入出力方向設定レジスタ B	
DDRC	ポート入出力方向設定レジスタ C	
DDRD	ポート入出力方向設定レジスタ D	
DDRE	ポート入出力方向設定レジスタ E	
DDRF	ポート入出力方向設定レジスタ F	
PDIR0	ポート入力データレジスタ 0	4.4
PDIR1	ポート入力データレジスタ 1	
PDIR2	ポート入力データレジスタ 2	
PDIR3	ポート入力データレジスタ 3	
PDIR4	ポート入力データレジスタ 4	
PDIR5	ポート入力データレジスタ 5	
PDIR6	ポート入力データレジスタ 6	
PDIR7	ポート入力データレジスタ 7	
PDIR8	ポート入力データレジスタ 8	
PDIR9	ポート入力データレジスタ 9	
PDIRA	ポート入力データレジスタ A	
PDIRB	ポート入力データレジスタ B	
PDIRC	ポート入力データレジスタ C	
PDIRD	ポート入力データレジスタ D	

レジスタ略称	レジスタ名	参照先
PDIRE	ポート入力データレジスタ E	4.4
PDIRF	ポート入力データレジスタ F	
PDOR0	ポート出力データレジスタ 0	
PDOR1	ポート出力データレジスタ 1	
PDOR2	ポート出力データレジスタ 2	
PDOR3	ポート出力データレジスタ 3	
PDOR4	ポート出力データレジスタ 4	
PDOR5	ポート出力データレジスタ 5	
PDOR6	ポート出力データレジスタ 6	
PDOR7	ポート出力データレジスタ 7	
PDOR8	ポート出力データレジスタ 8	4.5
PDOR9	ポート出力データレジスタ 9	
PDORA	ポート出力データレジスタ A	
PDORB	ポート出力データレジスタ B	
PDORC	ポート出力データレジスタ C	
PDORD	ポート出力データレジスタ D	
PDORE	ポート出力データレジスタ E	
PDORF	ポート出力データレジスタ F	
ADE	アナログ入力設定レジスタ	4.6
SPSR	特殊ポート設定レジスタ	4.24
EPFR00	拡張機能端子設定レジスタ 00	4.8
EPFR01	拡張機能端子設定レジスタ 01	4.9
EPFR02	拡張機能端子設定レジスタ 02	4.10
EPFR03	拡張機能端子設定レジスタ 03	4.11
EPFR04	拡張機能端子設定レジスタ 04	4.12
EPFR05	拡張機能端子設定レジスタ 05	4.13
EPFR06	拡張機能端子設定レジスタ 06	4.14
EPFR07	拡張機能端子設定レジスタ 07	4.15
EPFR08	拡張機能端子設定レジスタ 08	4.16
EPFR09	拡張機能端子設定レジスタ 09	4.17
EPFR10	拡張機能端子設定レジスタ 10	4.18
EPFR11	拡張機能端子設定レジスタ 11	4.19
EPFR12	拡張機能端子設定レジスタ 12	4.20

レジスタ略称	レジスタ名	参照先
EPFR13	拡張機能端子設定レジスタ 13	4.21
EPFR14	拡張機能端子設定レジスタ 14	4.22
EPFR15	拡張機能端子設定レジスタ 15	4.23
PZR0	ポート擬似オープンドレイン設定レジスタ 0	4.25
PZR1	ポート擬似オープンドレイン設定レジスタ 1	
PZR2	ポート擬似オープンドレイン設定レジスタ 2	
PZR3	ポート擬似オープンドレイン設定レジスタ 3	
PZR4	ポート擬似オープンドレイン設定レジスタ 4	
PZR5	ポート擬似オープンドレイン設定レジスタ 5	
PZR6	ポート擬似オープンドレイン設定レジスタ 6	
PZR7	ポート擬似オープンドレイン設定レジスタ 7	
PZR8	ポート擬似オープンドレイン設定レジスタ 8	
PZR9	ポート擬似オープンドレイン設定レジスタ 9	
PZRA	ポート擬似オープンドレイン設定レジスタ A	
PZRB	ポート擬似オープンドレイン設定レジスタ B	
PZRC	ポート擬似オープンドレイン設定レジスタ C	
PZRD	ポート擬似オープンドレイン設定レジスタ D	
PZRE	ポート擬似オープンドレイン設定レジスタ E	
PZRF	ポート擬似オープンドレイン設定レジスタ F	

## 4.1. ポート機能設定レジスタ(PFRx)

PFRx レジスタは端子の利用方法を選択します。

### ■ PFR のレジスタ構成一覧

bit	31	16	15	0	初期値	属性	対応ポート
	Reserved		PFR0	0x001F	R/W	P0F～P00	
	Reserved		PFR1	0x0000	R/W	P1F～P10	
	Reserved		PFR2	0x0000	R/W	P2F～P20	
	Reserved		PFR3	0x0000	R/W	P3F～P30	
	Reserved		PFR4	0x0000	R/W	P4F～P40	
	Reserved		PFR5	0x0000	R/W	P5F～P50	
	Reserved		PFR6	0x0000	R/W	P6F～P60	
	Reserved		PFR7	0x0000	R/W	P7F～P70	
	Reserved		PFR8	0x0000	R/W	P8F～P80	
	Reserved		PFR9	0x0000	R/W	P9F～P90	
	Reserved		PFRA	0x0000	R/W	PAF～PA0	
	Reserved		PFRB	0x0000	R/W	PBF～PB0	
	Reserved		PFRC	0x0000	R/W	PCF～PC0	
	Reserved		PFRD	0x0000	R/W	PDF～PD0	
	Reserved		PFRE	0x0000	R/W	PEF～PE0	
	Reserved		PFRF	0x0000	R/W	PFF～PF0	

### ■ レジスタ構成詳細

bit	31	16	15	0
Field	予約			PFRx

### ■ レジスタ機能

#### [bit31:16] 予約 : 予約ビット

これらのビットからは、"0x0000"が読み出されます。

書き込みの場合には、"0x0000"を設定してください。

#### [bit15:0] PFRx : ポート機能設定レジスタ x

端子の利用方法を設定します。

bit15:0		説明
読出し時		レジスタの設定値を読み出せます。
書き込み時	0	当該ビットに対応する端子を GPIO 端子として使用します。
	1	当該ビットに対応する端子を周辺機能の入出力端子として使用します。

### <注意事項>

- PFRx の"x"記載はワイルドカードです。PFR0, PFR1, PFR2, … を示します。
- Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20, … を、PxF とは、P0F, P1F, P2F, … を示します。
- PxF～Px0 までの 16 本のポート機能設定が可能です。
- レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PFR0 の 15 ビット目は POF を、PFR0 の 14 ビット目が POE を、PFR0 の 0 ビット目が P00 を設定します。

- P04～P00 までは、JTAG 端子が選択されるため、初期値は"1"です。
- 品種に存在しない端子のビット値への書き込みは無効で、読み出し値は不定になります。
- PFR0 レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.2. プルアップ設定レジスタ(PCR<sub>x</sub>)

PCR<sub>x</sub> レジスタは端子のプルアップを設定します。

### ■ PCR のレジスタ構成一覧

bit	31	16	15	0	初期値	属性	対応ポート
	Reserved		PCR0		0x001F	R/W	P0F～P00
	Reserved		PCR1		0x0000	R/W	P1F～P10
	Reserved		PCR2		0x0000	R/W	P2F～P20
	Reserved		PCR3		0x0000	R/W	P3F～P30
	Reserved		PCR4		0x0000	R/W	P4F～P40
	Reserved		PCR5		0x0000	R/W	P5F～P50
	Reserved		PCR6		0x0000	R/W	P6F～P60
	Reserved		PCR7		0x0000	R/W	P7F～P70
	Reserved		-		-	-	-
	Reserved		PCR9		0x0000	R/W	P9F～P90
	Reserved		PCRA		0x0000	R/W	PAF～PA0
	Reserved		PCRB		0x0000	R/W	PBF～PB0
	Reserved		PCRC		0x0000	R/W	PCF～PC0
	Reserved		PCRD		0x0000	R/W	PDF～PD0
	Reserved		PCRE		0x0000	R/W	PEF～PE0
	Reserved		PCRF		0x0000	R/W	PFF～PF0

### ■ レジスタ構成詳細

bit	31	16	15	0
Field		予約 d		PCR <sub>x</sub>

### ■ レジスタ機能

#### [bit31:16] 予約 : 予約ビット

これらのビットからは、"0x0000"が読み出されます。

書き込みの場合には、"0x0000"を設定してください。

#### [bit15:0] PCR<sub>x</sub> : プルアップ設定レジスタ x

端子のプルアップを設定します。

bit15:0		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	当該ビットに対応する端子のプルアップ抵抗を切断します。
	1	当該ビットに対応する端子が入力状態(GPIO・周辺機能いずれも)の場合にプルアップ抵抗が接続されます。 当該ビットに対応する端子が出力状態の場合プルアップ抵抗は切断されます。

### <注意事項>

- PCR<sub>x</sub> の"x"記載はワイルドカードです。PCR0, PCR1, PCR2, ··· を示します。
- Px0 や Px<sub>F</sub> の"x"記載はワイルドカードです。Px0 とは、P00 や, P10, P20, ··· を、Px<sub>F</sub> とは、P0F, P1F, P2F, ··· を示します。
- 1 つのレジスタで Px<sub>F</sub>～Px0 までの 16 本のプルアップ設定が可能です。
- レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PCR0 の 15 ビット目が P0F を、PCR0 の 14 ビット目が P0E を、PCR0 の 0 ビット

目が P00 を設定します。

- P00～P04 は、JTAG 端子が選択されるため、初期値="1"になります。
- I<sup>2</sup>C 使用時は PCRx=0 を設定して、外部端子にプルアップ抵抗を接続してください。
- PCR8 はありません。
- 品種に存在しない端子のビット値への書き込みは無効で、読み出し値は不定になります。
- PE0, PE1 にはプルアップが存在しません。そのため、レジスタ書き込みは無効です。読み出し値は、初期値もしくは書き込み値が読み出されます。
- PCRx レジスタはディープスタンバイ遷移リセットで初期化されません。

### 4.3. ポート入出力方向設定レジスタ(DDR<sub>x</sub>)

DDR<sub>x</sub> レジスタは端子の入出力方向を設定します。

#### ■ DDR のレジスタ構成一覧

bit	31	16	15	0	初期値	属性	対応ポート
	Reserved		DDR0	0x0000	R/W	P0F~P00	
	Reserved		DDR1	0x0000	R/W	P1F~P10	
	Reserved		DDR2	0x0000	R/W	P2F~P20	
	Reserved		DDR3	0x0000	R/W	P3F~P30	
	Reserved		DDR4	0x0000	R/W	P4F~P40	
	Reserved		DDR5	0x0000	R/W	P5F~P50	
	Reserved		DDR6	0x0000	R/W	P6F~P60	
	Reserved		DDR7	0x0000	R/W	P7F~P70	
	Reserved		DDR8	0x0000	R/W	P8F~P80	
	Reserved		DDR9	0x0000	R/W	P9F~P90	
	Reserved		DDRA	0x0000	R/W	PAF~PA0	
	Reserved		DDRB	0x0000	R/W	PBF~PB0	
	Reserved		DDRC	0x0000	R/W	PCF~PC0	
	Reserved		DDRD	0x0000	R/W	PDF~PD0	
	Reserved		DDRE	0x0000	R/W	PEF~PE0	
	Reserved		DDRF	0x0000	R/W	PFF~PF0	

#### ■ レジスタ構成詳細

bit	31	16	15	0
Field		予約		DDR <sub>x</sub>

#### ■ レジスタ機能

##### [bit31:16] 予約 : 予約ビット

これらのビットからは、"0x0000"が読み出されます。

書き込みの場合には、"0x0000"を設定してください。

##### [bit15:0] DDR<sub>x</sub> : ポート入出力方向設定レジスタ x

端子の入出力方向を設定します。

bit15:0		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	GPIO を入力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。
	1	GPIO を出力方向で使用します。 当該ビットに対応する端子が周辺機能の入出力端子として選択されている場合、本設定値は無効です。

#### <注意事項>

- DDR<sub>x</sub> の"x"記載はワイルドカードです。DDR0, DDR1, DDR2, ··· を示します。
- Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20, ··· を、PxF とは、P0F, P1F, P2F, ··· を示します。
- 1 つのレジスタで PxF~Px0 までの 16 本のポート入出力方向設定が可能です。
- レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応しま

す。例えば、DDR0 の 15 ビット目が P0F を、DDR0 の 14 ビット目が P0E を、DDR0 の 0 ビット目が P00 を設定します。

- ・多機能タイマの出力 RTO が選択されている場合は、DTTIX 信号による緊急停止時、端子状態を DDR で制御します。詳細は『タイマ編』の『多機能タイマ』の章を参照してください。
- ・品種に存在しない端子のビット値への書き込みは無効で、読み出し値は不定になります。
- ・DDRx レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.4. ポート入力データレジスタ(PDIRx)

PDIRx レジスタは端子の入力データを示します。

### ■ PDIR のレジスタ構成一覧

bit	31	16	15	0	初期値	属性	対応ポート
	Reserved		PDIR0	0x0000	R	P0F~P00	
	Reserved		PDIR1	0x0000	R	P1F~P10	
	Reserved		PDIR2	0x0000	R	P2F~P20	
	Reserved		PDIR3	0x0000	R	P3F~P30	
	Reserved		PDIR4	0x0000	R	P4F~P40	
	Reserved		PDIR5	0x0000	R	P5F~P50	
	Reserved		PDIR6	0x0000	R	P6F~P60	
	Reserved		PDIR7	0x0000	R	P7F~P70	
	Reserved		PDIR8	0x0000	R	P8F~P80	
	Reserved		PDIR9	0x0000	R	P9F~P90	
	Reserved		PDIRA	0x0000	R	PAF~PA0	
	Reserved		PDIRB	0x0000	R	PBF~PB0	
	Reserved		PDIRC	0x0000	R	PCF~PC0	
	Reserved		PDIRD	0x0000	R	PDF~PD0	
	Reserved		PDIRE	0x0000	R	PEF~PE0	
	Reserved		PDIRF	0x0000	R	PFF~PF0	

### ■ レジスタ構成詳細

bit	31	16	15	0
Field	予約			PDIRx

### ■ レジスタ機能

#### [bit31:16] 予約 : 予約ビット

これらのビットからは、"0x0000"が読み出されます。

書き込みの場合には、"0x0000"を設定してください。

#### [bit15:0] PDIRx : ポート入力データレジスタ x

端子の入力データを読み出します。

bit15:0		説明
読出し時	0	端子機能の設定(PFR/EPFR/DDR/PDOR)によらず、端子が"L"レベル入力状態もしくは、"L"レベル出力状態であることを示します。ADE/SPSRにより、特殊端子が選択されている場合は、入力遮断されているので常に0が読み出されます。
	1	端子機能の設定(PFR/EPFR/DDR/PDOR)によらず、端子が"H"レベル入力状態もしくは、"H"レベル出力状態であることを示します。
書き込み時		書き込みは動作に影響しません。

### <注意事項>

- PDIRx の"x"記載はワイルドカードです。PDIR0, PDIR1, PDIR2, ··· を示します。
- Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20, ··· を、PxF とは、P0F, P1F, P2F, ··· を示します。

- 1 つのレジスタで PxF～Px0 までの 16 本のポート入力データの読出しが可能です。
- レジスタの各ビットが個別に各端子状態を示します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PDIR0 の 15 ビット目が P0F を、PDIR0 の 14 ビット目が P0E を、PDIR0 の 0 ビット目が P00 を示します。
- 品種に存在しない端子のビット値は常に"0"が読み出されます。
- PDIRx レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.5. ポート出力データレジスタ x(PDORx)

PDORx レジスタは端子への出力データを設定します。

### ■ PDOR のレジスタ構成一覧

bit	31	16	15	0	初期値	属性	対応ポート
	Reserved		PDOR0	0x0000	R/W	P0F~P00	
	Reserved		PDOR1	0x0000	R/W	P1F~P10	
	Reserved		PDOR2	0x0000	R/W	P2F~P20	
	Reserved		PDOR3	0x0000	R/W	P3F~P30	
	Reserved		PDOR4	0x0000	R/W	P4F~P40	
	Reserved		PDOR5	0x0000	R/W	P5F~P50	
	Reserved		PDOR6	0x0000	R/W	P6F~P60	
	Reserved		PDOR7	0x0000	R/W	P7F~P70	
	Reserved		PDOR8	0x0000	R/W	P8F~P80	
	Reserved		PDOR9	0x0000	R/W	P9F~P90	
	Reserved		PDORA	0x0000	R/W	PAF~PA0	
	Reserved		PDORB	0x0000	R/W	PBF~PB0	
	Reserved		PDORC	0x0000	R/W	PCF~PC0	
	Reserved		PDORD	0x0000	R/W	PDF~PD0	
	Reserved		PDORE	0x0000	R/W	PEF~PE0	
	Reserved		PDORF	0x0000	R/W	PFF~PF0	

### ■ レジスタ構成詳細

bit	31	16	15	0
Field	予約			PDORx

### ■ レジスタ機能

#### [bit31:16] 予約 : 予約ビット

これらのビットからは、"0x0000"が読み出されます。

書き込みの場合には、"0x0000"を設定してください。

#### [bit15:0] PDORx : ポート出力データレジスタ x

端子の出力データを設定します。

bit15:0		説明
読出し時		レジスタ値を読み出します。
書込み時	0	GPIO に"L"レベルを出力します。 端子が I/O 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。
	1	GPIO に"H"レベルを出力します。 端子が I/O 入力、周辺機能の入出力端子として選択されている場合、設定値は無効です。

### <注意事項>

- PDORx の"x"記載はワイルドカードです。PDOR0, PDOR1, PDOR2, ··· を示します。
- Px0 や PxF の"x"記載はワイルドカードです。Px0 とは、P00 や、P10, P20, ··· を、PxF とは、P0F, P1F, P2F, ··· を示します。

- 1 つのレジスタで PxF～Px0 までの 16 本のポート出力データの設定が可能です。
- レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は 1 対 1 に対応します。例えば、PDOR0 の 15 ビット目が P0F を、PDOR0 の 14 ビット目が P0E を、PDOR0 の 0 ビット目が P00 を設定します。
- 品種に存在しない端子のビット値への書き込みは無効で、読み出し値は不定になります。
- PDORx レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.6. アナログ入力設定レジスタ(ADE)

ADE レジスタは外部端子を ADC のアナログ信号入力端子として設定します。

### ■ レジスタ構成

bit	31	0
Field		ADE
属性		R/W
初期値		0xFFFFFFFF

### ■ レジスタ機能

[bit31:0] ADE : アナログ入力設定レジスタ  
アナログ信号入力端子として設定します。

bit31:0	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	外部端子をアナログ入力として使用せず、デジタル入出力として使用します。
	1	外部端子をアナログ入力として使用します。 (I/O セルは、入力方向、入力遮断、プルアップ切断状態になります。)

### <注意事項>

- 本レジスタにより、AN31～AN00までのアナログ入力端子が設定されます。
- レジスタの各ビットが個別に各端子を設定します。ビット配置と端子順番は一対一に対応します。例えば、ADE の 31 ビット目が AN31 を、ADE の 14 ビット目が AN14 を、ADE の 0 ビット目が AN00 を設定します。ANxx がどのポートに配置されているかは品種ごとに異なります。詳細はご使用する製品の『データシート』を参照してください。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.7. 拡張機能端子設定レジスタ(EPFRx)

EPFRx レジスタは、機能が複数ある場合に、端子への機能割り当てを設定します。EPFR11 は TYPE0 製品には存在しません。EPFR03,EPFR12~15 は TYPE0,TYPE1 製品には存在しません。EPFR02,EPFR03,EPFR10~15 は TYPE3 製品には存在しません。

### ■ EPFRx のレジスタ構成一覧

bit 31	0	初期値	属性	対応機能
EPFR00	0x00030000	R/W		システム機能
EPFR01	0x00000000	R/W		多機能タイマ
EPFR02	0x00000000	R/W		
EPFR03	0x00000000	R/W		ベースタイマ
EPFR04	0x00000000	R/W		
EPFR05	0x00000000	R/W		外部割込み
EPFR06	0x00000000	R/W		
EPFR07	0x00000000	R/W		マルチファンクション シリアル
EPFR08	0x00000000	R/W		
EPFR09	0x00000000	R/W		CAN/ADC トリガ/QPRC
EPFR10	0x00000000	R/W		外部バス
EPFR11	0x00000000	R/W		
EPFR12	0x00000000	R/W		ベースタイマ
EPFR13	0x00000000	R/W		
EPFR14	0x00000000	R/W		QPRC/Ethernet
EPFR15	0x00000000	R/W		外部割込み

### <注意事項>

EPFR11 は TYPE0 製品には存在しません。  
EPFR03, EPFR12~15 は TYPE0,TYPE1 製品には存在しません。  
EPFR02, EPFR3, EPFR10~15 は TYPE3 製品には存在しません。

- EPFRx レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.8. 拡張機能端子設定レジスタ 00(EPFR00)

EPFR00 レジスタは、外部端子に複数の機能がある場合に、端子への機能割当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field				予約			TRC1E	TRC0E
属性			-				R/W	R/W
初期値							0	0
bit	23	22	21	20	19	18	17	16
Field				予約			JTAGEN1S	JAGEN0B
属性			-				R/W	R/W
初期値							1	1
bit	15	14	13	12	11	10	9	8
Field	予約		USBP1E		予約		USBP0E	予約
属性	-		R/W		-		R/W	-
初期値	-		0		-		0	
bit	7	6	5	4	3	2	1	0
Field	SUBOUTE		RTCCOE		予約		CROUTE	NMIS
属性	R/W		R/W		-		R/W	R/W
初期値	00		00				00	0

### ■ レジスタ機能

#### [bit31:26] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。  
書き込みの場合には、"0b000000"を設定してください。

#### [bit25] TRC1E : TRACED 機能選択ビット 1

TRACED2, TRACED3 端子の機能選択を行います。

bit	説明	
読出し時	レジスタ値を読み出します。	
書込み時	0	TRACED2, TRACED3 の 2 端子を使用しません。[初期値] (兼用する端子が利用可能)
	1	TRACED2, TRACED3 の 2 端子を使用します。

#### [bit24] TRC0E : TRACED 機能選択ビット 0

TRACECLK, TRACED0, TRACED1 端子の機能選択を行います。

bit	説明	
読出し時	レジスタ値を読み出します。	
書込み時	0	TRACECLK, TRACED0, TRACED1 の 3 端子を使用しません。[初期値] (兼用する端子が利用可能)
	1	TRACECLK, TRACED0, TRACED1 の 3 端子を使用します。

#### [bit23:18] 予約 : 予約ビット

これらのビットからは、"0b000000"が読み出されます。  
書き込みの場合には、"0b000000"を設定してください。

[bit17] JTAGEN1S : JTAG 機能選択ビット 1  
TRSTX, TDI 端子の機能選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	TRSTX, TDI の 2 端子を使用しません。 (兼用する端子が利用可能)
	1	TRSTX, TDI の 2 端子を使用します。[初期値]

[bit16] JTAGEN0B : JTAG 機能選択ビット 0  
TCK, TMS, TDO 端子の機能選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	TCK, TMS, TDO の 3 端子を使用しません。 (兼用する端子が利用可能)
	1	TCK, TMS, TDO の 3 端子を使用します。[初期値]

[bit15:14] 予約 : 予約ビット  
これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

[bit13] USBP1E : USB ch.1 機能選択ビット 1  
USB ch.1 の機能選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	USB ch.1, D+抵抗制御信号(HCONTX)の出力を行いません。[初期値] (兼用する端子が利用可能)
	1	USB ch.1, D+抵抗制御信号(HCONTX)の出力を行います。

[bit12:10] 予約 : 予約ビット  
これらのビットからは、"0b000"が読み出されます。  
書き込みの場合には、"0b000"を設定してください。

[bit9] USBP0E : USB ch.0 機能選択ビット 1  
USB ch.0 の機能選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	USB ch.0, D+抵抗制御信号(HCONTX)の出力を行いません。[初期値] (兼用する端子が利用可能)
	1	USB ch.0, D+抵抗制御信号(HCONTX)の出力を行います。

[bit8] 予約 : 予約ビット  
このビットからは、"0"が読み出されます。  
書き込みの場合には、"0"を設定してください。

[bit7:6] SUBOUTE : サブクロック分周出力機能選択ビット  
サブクロック分周出力の選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	サブクロック分周出力を行いません。[初期値]
	01	サブクロック分周出力端子に、SUBOUT_0 端子を使用します。
	10	サブクロック分周出力端子に、SUBOUT_1 端子を使用します。
	11	サブクロック分周出力端子に、SUBOUT_2 端子を使用します。

[bit5:4] RTCCOE : RTC クロック出力選択ビット  
RTC クロック出力の選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	RTC クロックの出力を行いません。[初期値]
	01	RTC クロック出力端子に、RTCCOE_0 端子を使用します。
	10	RTC クロック出力端子に、RTCCOE_1 端子を使用します。
	11	RTC クロック出力端子に、RTCCOE_2 端子を使用します。

### [bit3] 予約 : 予約ビット

このビットからは、"0"が読み出されます。  
書き込みの場合には、"0"を設定してください。

[bit2:1] CROUTE : 高速 CR 発振出力機能選択ビット  
高速 CR 発振出力の選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	高速 CR 発振出力を行いません。[初期値]
	01	高速 CR 発振出力端子に、CROUTE_0 端子を使用します。
	10	高速 CR 発振出力端子に、CROUTE_1 端子を使用します。
	11	高速 CR 発振出力端子に、CROUTE_2 端子を使用します。

### [bit0] NMIS : NMIX 機能選択ビット

NMIX 端子の機能選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	NMIX 端子を使用しません。[初期値]
	1	NMIX 端子を使用します。

---

### <注意事項>

本レジスタはディープスタンバイ遷移リセットで初期化されません。

---

## 4.9. 拡張機能端子設定レジスタ 01(EPFR01)

EPFR01 レジスタは、多機能タイマ Unit0 の端子への機能割り当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	IC03S			IC02S			IC01S	
属性	R/W			R/W			R/W	
初期値	000			000			00	

bit	23	22	21	20	19	18	17	16
Field	IC01S		IC00S		FRCK0S		DTTI0S	
属性	R/W		R/W		R/W		R/W	
初期値	0		000		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約		DTTI0C	RT005E		RT004E		
属性	-		R/W	R/W		R/W		R/W
初期値	-		0	00		00		00

bit	7	6	5	4	3	2	1	0
Field	RT003E		RT002E		RT001E		RT000E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

### ■ レジスタ機能

[bit31:29] IC03S : IC03 入力選択ビット

IC03 の入力選択を行います。

bit31:29		説明
読み出し時		レジスタ値を読み出します。
書き込み時	000	インプットキャプチャ IC03 の入力端子に IC03_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC03 の入力端子に IC03_1 を使用します。
	011	インプットキャプチャ IC03 の入力端子に IC03_2 を使用します。
	100	インプットキャプチャ IC03 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC03 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	インプットキャプチャ IC03 の入力に内部マクロ端子 CRTRIM を使用します。

## [bit28:26] IC02S : IC02 入力選択ビット

IC02 の入力選択を行います。

bit28:26	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	000	インプットキャプチャ IC02 の入力端子に IC02_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC02 の入力端子に IC02_1 を使用します。
	011	インプットキャプチャ IC02 の入力端子に IC02_2 を使用します。
	100	インプットキャプチャ IC02 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC02 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	

## [bit25:23] IC01S : IC01 入力選択ビット

IC01 の入力選択を行います。

bit25:23	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	000	インプットキャプチャ IC01 の入力端子に IC01_0 を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC01 の入力端子に IC01_1 を使用します。
	011	インプットキャプチャ IC01 の入力端子に IC01_2 を使用します。
	100	インプットキャプチャ IC01 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC01 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	

## [bit22:20] IC00S : IC00 入力選択ビット

IC00 の入力選択を行います。

bit22:20	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	000	インプットキャプチャ IC00 の入力端子に IC00_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC00 の入力端子に IC00_1 端子を使用します。
	011	インプットキャプチャ IC00 の入力端子に IC00_2 端子を使用します。
	100	インプットキャプチャ IC00 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC00 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	

## [bit19:18] FRCK0S : FRCK0 入力選択ビット

FRCK0 の入力選択を行います。

bit19:18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	フリーランタイマ FRCK0 の入力端子に、FRCK0_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK0 の入力端子に、FRCK0_1 端子を使用します。
	11	フリーランタイマ FRCK0 の入力端子に、FRCK0_2 端子を使用します。

## [bit17:16] DTTIX0S : DTTIX0 入力選択ビット

DTTIX0 の入力選択を行います。

bit17:16		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ DTTIX0 の入力端子に、DTTIX0_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTIX0 の入力端子に、DTTIX0_1 端子を使用します。
	11	波形ジェネレータ DTTIX0 の入力端子に、DTTIX0_2 端子を使用します。

## [bit15:13] 予約 : 予約ビット

これらのビットからは、"0b000"が読み出されます。

書込みの場合には、"0b000"を設定してください。

## [bit12] DTTIOC : DTTIX0 機能選択ビット

DTTIX0 の機能選択を行います。

bit		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	RTO00～RTO05 端子の出力に対し、DTTIF0 による GPIO 切換えを行いません。 [初期値]
	1	RTO00～RTO05 端子の出力に対し、DTTIF0 による GPIO 切換えを行います。

## [bit11:10] RTO05E : RTO05 出力選択ビット

RTO05 の出力選択を行います。

bit11:10		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO05 の出力を行いません。 [初期値]
	01	波形ジェネレータ RTO05 の出力端子に RTO05_0 端子を使用します。
	10	波形ジェネレータ RTO05 の出力端子に RTO05_1 端子を使用します。
	11	設定禁止

## [bit9:8] RTO04E : RTO04 出力選択ビット

RTO04 の出力選択を行います。

bit9:8		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO04 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO04 の出力端子に RTO04_0 端子を使用します。
	10	波形ジェネレータ RTO04 の出力端子に RTO04_1 端子を使用します。
	11	設定禁止

## [bit7:6] RTO03E : RTO03 出力選択ビット

RTO03 の出力選択を行います。

bit7:6		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO03 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO03 の出力端子に RTO03_0 端子を使用します。
	10	波形ジェネレータ RTO03 の出力端子に RTO03_1 端子を使用します。
	11	設定禁止

## [bit5:4] RTO02E : RTO02 出力選択ビット

RTO02 の出力選択を行います。

bit5:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO02 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO02 の出力端子に RTO02_0 端子を使用します。
	10	波形ジェネレータ RTO02 の出力端子に RTO02_1 端子を使用します。
	11	設定禁止

## [bit3:2] RTO01E : RTO01 出力選択ビット

RTO01 の出力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO01 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO01 の出力端子に RTO01_0 を使用します。
	10	波形ジェネレータ RTO01 の出力端子に RTO01_1 を使用します。
	11	設定禁止

## [bit1:0] RTO00E : RTO00 出力選択ビット

RTO00 の出力選択を行います。

bit1:0		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO00 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO00 の出力端子に RTO00_0 端子を使用します。
	10	波形ジェネレータ RTO00 の出力端子に RTO00_1 端子を使用します。
	11	設定禁止

**<注意事項>**

本レジスタはディープスタンバイ遷移リセットで初期化されません。

---

## 4.10. 拡張機能端子設定レジスタ 02(EPFR02)

EPFR02 レジスタは、多機能タイマ Unit1 の端子への機能割り当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	IC13S			IC12S			IC11S	
属性	R/W			R/W			R/W	
初期値	000			000			00	

bit	23	22	21	20	19	18	17	16
Field	IC11S		IC10S		FRCK1S		DTTI1S	
属性	R/W		R/W		R/W		R/W	
初期値	0		000		00		00	

bit	15	14	13	12	11	10	9	8
Field	予約		DTTI1C	RT015E		RT014E		
属性	-		R/W	R/W		R/W		R/W
初期値	-		0	00		00		00

bit	7	6	5	4	3	2	1	0
Field	RT013E		RT012E		RT011E		RT010E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

### ■ レジスタ機能

[bit31:29] IC13S : IC13 入力選択ビット

IC13 の入力選択を行います。

bit31:29		説明
読み出し時		レジスタ値を読み出します。
書込み時	000	インプットキャプチャ IC13 の入力端子に IC13_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC13 の入力端子に IC13_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC13 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC13 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	

## [bit28:26] IC12S : IC12 入力選択ビット

IC12 の入力選択を行います。

bit28:26	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	000	インプットキャプチャ IC12 の入力端子に IC12_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC12 の入力端子に IC12_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC12 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC12 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	設定禁止

## [bit25:23] IC11S : IC11 入力選択ビット

IC11 の入力選択を行います。

bit25:23	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	000	インプットキャプチャ IC11 の入力端子に IC11_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC11 の入力端子に IC11_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC11 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC11 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	設定禁止

## [bit22:20] IC10S : IC10 入力選択ビット

IC10 の入力選択を行います。

bit22:20	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	000	インプットキャプチャ IC10 の入力端子に IC10_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC10 の入力端子に IC10_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC10 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC10 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	設定禁止

## [bit19:18] FRCK1S : FRCK1 入力選択ビット

FRCK1 の入力選択を行います。

bit19:18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	フリーランタイマ FRCK1 の入力端子に、FRCK1_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK1 の入力端子に、FRCK1_1 端子を使用します。
	11	設定禁止

## [bit17:16] DTTI1S : DTTIX1 入力選択ビット

DTTIX1 の入力選択を行います。

bit17:16		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ DTTIX1 の入力端子に、DTTIX1_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTIX1 の入力端子に、DTTIX1_1 端子を使用します。
	11	設定禁止

## [bit15:13] 予約 : 予約ビット

これらのビットからは、"0b000"が読み出されます。  
書込みの場合には、"0b000"を設定してください。

## [bit12] DTTI1C : DTTIX1 機能選択ビット

DTTIX1 の機能選択を行います。

bit		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	RTO10～RTO15 端子の出力に対し、DTTIF1 による GPIO 切換えを行いません。 [初期値]
	1	RTO10～RTO15 端子の出力に対し、DTTIF1 による GPIO 切換えを行います。

## [bit11:10] RTO15E : RTO15 出力選択ビット

RTO15 の出力選択を行います。

bit11:10		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO15 の出力を行いません。 [初期値]
	01	波形ジェネレータ RTO15 の出力端子に RTO15_0 端子を使用します。
	10	波形ジェネレータ RTO15 の出力端子に RTO15_1 端子を使用します。
	11	設定禁止

## [bit9:8] RTO14E : RTO14 出力選択ビット

RTO14 の出力選択を行います。

bit9:8		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO14 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO14 の出力端子に RTO14_0 端子を使用します。
	10	波形ジェネレータ RTO14 の出力端子に RTO14_1 端子を使用します。
	11	設定禁止

## [bit7:6] RTO13E : RTO13 出力選択ビット

RTO13 の出力選択を行います。

bit7:6		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO13 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO13 の出力端子に RTO13_0 端子を使用します。
	10	波形ジェネレータ RTO13 の出力端子に RTO13_1 端子を使用します。
	11	設定禁止

## [bit5:4] RTO12E : RTO12 出力選択ビット

RTO12 の出力選択を行います。

bit5:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO12 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO12 の出力端子に RTO12_0 端子を使用します。
	10	波形ジェネレータ RTO12 の出力端子に RTO12_1 端子を使用します。
	11	設定禁止

## [bit3:2] RTO11E : RTO11 出力選択ビット

RTO11 の出力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO11 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO11 の出力端子に RTO11_0 端子を使用します。
	10	波形ジェネレータ RTO11 の出力端子に RTO11_1 端子を使用します。
	11	設定禁止

## [bit1:0] RTO10E : RTO10 出力選択ビット

RTO10 の出力選択を行います。

bit1:0		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO10 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO10 の出力端子に RTO10_0 端子を使用します。
	10	波形ジェネレータ RTO10 の出力端子に RTO10_1 端子を使用します。
	11	設定禁止

**<注意事項>**

本レジスタはディープスタンバイ遷移リセットで初期化されません。

---

## 4.11. 拡張機能端子設定レジスタ 03(EPFR03)

EPFR03 レジスタは、多機能タイマ Unit2 の端子への機能割当てを設定します。TYPE0, TYPE1 以外の製品に、本レジスタは存在します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field		IC23S		IC22S		IC21S		
属性	R/W			R/W		R/W		
初期値	000			000		00		
bit	23	22	21	20	19	18	17	16
Field	IC21S		IC20S		FRCK2S		DTTI2S	
属性	R/W		R/W		R/W		R/W	
初期値	0		000		00		00	
bit	15	14	13	12	11	10	9	8
Field		予約		DTTI2C		RTO25E		RTO24E
属性	-			R/W		R/W		R/W
初期値	-			0		00		00
bit	7	6	5	4	3	2	1	0
Field		RTO23E		RTO22E		RTO21E		RTO20E
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

### ■ レジスタ機能

[bit31:29] IC23S : IC23 入力選択ビット

IC23 の入力選択を行います。

bit31:29		説明
読み出し時		レジスタ値を読み出します。
書き込み時	000	インプットキャプチャ IC23 の入力端子に IC23_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC23 の入力端子に IC23_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC23 の入力に内部マクロ MFS ch.3 LSYN を使用します。
	101	インプットキャプチャ IC23 の入力に内部マクロ MFS ch.7 LSYN を使用します。
	110	設定禁止
	111	設定禁止

## [bit28:26] IC22S : IC22 入力選択ビット

IC22 の入力選択を行います。

bit28:26		説明
読み出し時		レジスタ値を読み出します。
書き込み時	000	インプットキャプチャ IC22 の入力端子に IC22_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC22 の入力端子に IC22_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC22 の入力に内部マクロ MFS ch.2 LSYN を使用します。
	101	インプットキャプチャ IC22 の入力に内部マクロ MFS ch.6 LSYN を使用します。
	110	設定禁止
	111	設定禁止

## [bit25:23] IC21S : IC21 入力選択ビット

IC21 の入力選択を行います。

bit25:23		説明
読み出し時		レジスタ値を読み出します。
書き込み時	000	インプットキャプチャ IC21 の入力端子に IC21_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC21 の入力端子に IC21_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC21 の入力に内部マクロ MFS ch.1 LSYN を使用します。
	101	インプットキャプチャ IC21 の入力に内部マクロ MFS ch.5 LSYN を使用します。
	110	設定禁止
	111	設定禁止

## [bit22:20] IC20S : IC20 入力選択ビット

IC20 の入力選択を行います。

bit22:20		説明
読み出し時		レジスタ値を読み出します。
書き込み時	000	インプットキャプチャ IC20 の入力端子に IC20_0 端子を使用します。 [初期値]
	001	000 書込み時と同じ
	010	インプットキャプチャ IC20 の入力端子に IC20_1 端子を使用します。
	011	設定禁止
	100	インプットキャプチャ IC20 の入力に内部マクロ MFS ch.0 LSYN を使用します。
	101	インプットキャプチャ IC20 の入力に内部マクロ MFS ch.4 LSYN を使用します。
	110	設定禁止
	111	設定禁止

## [bit19:18] FRCK2S : FRCK2 入力選択ビット

FRCK2 の入力選択を行います。

bit19:18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	フリーランタイマ FRCK2 の入力端子に、FRCK2_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	フリーランタイマ FRCK2 の入力端子に、FRCK2_1 端子を使用します。
	11	設定禁止

## [bit17:16] DTTI2S : DTTIX2 入力選択ビット

DTTIX2 の入力選択を行います。

bit17:16		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ DTTIX2 の入力端子に、DTTIX2_0 端子を使用します。 [初期値]
	01	00 書込み時と同じ
	10	波形ジェネレータ DTTIX2 の入力端子に、DTTIX2_1 端子を使用します。
	11	設定禁止

## [bit15:13] res : 約束ビット

これらのビットからは、"0b000"が読み出されます。  
書き込みの場合には、"0b000"を設定してください。

## [bit12] DTTI2C : DTTIX2 機能選択ビット

DTTIX2 の機能選択を行います。

bit		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	RTO20～RTO25 端子の出力に対し、DTTIF2 による GPIO 切換えを行いません。 [初期値]
	1	RTO20～RTO25 端子の出力に対し、DTTIF2 による GPIO 切換えを行います。

## [bit11:10] RTO25E : RTO25 出力選択ビット

RTO25 の出力選択を行います。

bit11:10		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO25 の出力を行いません。 [初期値]
	01	波形ジェネレータ RTO25 の出力端子に RTO25_0 端子を使用します。
	10	波形ジェネレータ RTO25 の出力端子に RTO25_1 端子を使用します。
	11	設定禁止

[bit9:8] RTO24E : RTO24 出力選択ビット  
RTO24 の出力選択を行います。

bit9:8		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO24 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO24 の出力端子に RTO24_0 端子を使用します。
	10	波形ジェネレータ RTO24 の出力端子に RTO24_1 端子を使用します。
	11	設定禁止

[bit7:6] RTO23E : RTO23 出力選択ビット  
RTO23 の出力選択を行います。

bit7:6		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO23 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO23 の出力端子に RTO23_0 端子を使用します。
	10	波形ジェネレータ RTO23 の出力端子に RTO23_1 端子を使用します。
	11	設定禁止

[bit5:4] RTO22E : RTO22 出力選択ビット  
RTO22 の出力選択を行います。

bit5:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO22 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO22 の出力端子に RTO22_0 端子を使用します。
	10	波形ジェネレータ RTO22 の出力端子に RTO22_1 端子を使用します。
	11	設定禁止

[bit3:2] RTO21E : RTO21 出力選択ビット  
RTO21 の出力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO21 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO21 の出力端子に RTO21_0 端子を使用します。
	10	波形ジェネレータ RTO21 の出力端子に RTO21_1 端子を使用します。
	11	設定禁止

[bit1:0] RTO20E : RTO20 出力選択ビット  
RTO20 の出力選択を行います。

bit1:0		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	波形ジェネレータ RTO20 の出力を行いません。[初期値]
	01	波形ジェネレータ RTO20 の出力端子に RTO20_0 端子を使用します。
	10	波形ジェネレータ RTO20 の出力端子に RTO20_1 端子を使用します。
	11	設定禁止

<注意事項>

TYPE0, TYPE1 以外の製品に、本レジスタは存在します。  
本レジスタはディープスタンバイ遷移リセットで初期化されません。

---

## 4.12. 拡張機能端子設定レジスタ 04(EPFR04)

EPFR04 レジスタは、ベースタイマ ch.0～ch.3 の端子への機能割当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB3S		TIOA3E		TIOA3S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	
bit	23	22	21	20	19	18	17	16
Field	予約		TIOB2S		TIOA2E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	
bit	15	14	13	12	11	10	9	8
Field	予約		TIOB1S		TIOA1E		TIOA1S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	
bit	7	6	5	4	3	2	1	0
Field	予約		TIOB0S		TIOA0E		予約	
属性	-		R/W		R/W		-	
初期値	-		000		00		-	

### ■ レジスタ機能

#### [bit31:30] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit29:28] TIOB3S : TIOB3 入力選択ビット

TIOB3 の入力選択を行います。

bit29:28		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.3 TIOB の入力端子に TIOB3_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.3 TIOB の入力端子に TIOB3_1 端子を使用します。
	11	BT ch.3 TIOB の入力端子に TIOB3_2 端子を使用します。

#### [bit27:26] TIOA3E : TIOA3E 出力選択ビット

TIOA3 の出力選択を行います。

bit27:26		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.3 TIOA の出力を行いません。[初期値]
	01	BT ch.3 TIOA の出力端子に TIOA3_0 端子を使用します。
	10	BT ch.3 TIOA の出力端子に TIOA3_1 端子を使用します。
	11	BT ch.3 TIOA の出力端子に TIOA3_2 端子を使用します。

#### [bit25:24] TIOA3S : TIOA3 入力選択ビット

TIOA3 の入力選択を行います。

bit25:24		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.3 TIOA の入力端子に TIOA3_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.3 TIOA の入力端子に TIOA3_1 端子を使用します。
	11	BT ch.3 TIOA の入力端子に TIOA3_2 端子を使用します。

## [bit23:22] 予約: 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit21:20] TIOB2S : TIOB2 入力選択ビット

TIOB2 の入力選択を行います。

bit21:20		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.2 TIOB の入力端子に TIOB2_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.2 TIOB の入力端子に TIOB2_1 端子を使用します。
	11	BT ch.2 TIOB の入力端子に TIOB2_2 端子を使用します。

## [bit19:18] TIOA2E : TIOA2 出力選択ビット

TIOA2 の出力選択を行います。

bit19:18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.2 TIOA の出力を行いません。[初期値]
	01	BT ch.2 TIOA の出力端子に TIOA2_0 端子を使用します。
	10	BT ch.2 TIOA の出力端子に TIOA2_1 端子を使用します。
	11	BT ch.2 TIOA の出力端子に TIOA2_2 端子を使用します。

## [bit17:14] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。

書込みの場合には、"0b0000"を設定してください。

## [bit13:12] TIOB1S : TIOB1 入力選択ビット

TIOB1 の入力選択を行います。

bit13:12		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.1 TIOB の入力端子に TIOB1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.1 TIOB の入力端子に TIOB1_1 端子を使用します。
	11	BT ch.1 TIOB の入力端子に TIOB1_2 端子を使用します。

## [bit11:10] TIOA1E : TIOA1E 出力選択ビット

TIOA1 の出力選択を行います。

bit11:10		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.1 TIOA の出力を行いません。[初期値]
	01	BT ch.1 TIOA の出力端子に TIOA1_0 端子を使用します。
	10	BT ch.1 TIOA の出力端子に TIOA1_1 端子を使用します。
	11	BT ch.1 TIOA の出力端子に TIOA1_2 端子を使用します。

## [bit9:8] TIOA1S : TIOA1 入力選択ビット

TIOA1 の入力選択を行います。

bit9:8		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.1 TIOA の入力端子に TIOA1_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.1 TIOA の入力端子に TIOA1_1 端子を使用します。
	11	BT ch.1 TIOA の入力端子に TIOA1_2 端子を使用します。

## [bit7] 予約 : 予約ビット

このビットからは、"0"が読み出されます。

書き込みの場合には、"0"を設定してください。

## [bit6:4] TIOB0S : TIOB0 入力選択ビット

TIOB0 の入力選択を行います。

bit6:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	000	BT ch.0 TIOB の入力端子に TIOB0_0 端子を使用します。[初期値]
	001	000 書込み時と同じ
	010	BT ch.0 TIOB の入力端子に TIOB0_1 端子を使用します。
	011	BT ch.0 TIOB の入力端子に TIOB0_2 端子を使用します。
	100	設定禁止
	101	設定禁止
	110	BT ch.0 TIOB の入力に SUBOUT を使用します。*
	111	高速 CR 分周クロックのトリミング測定用端子に使用します。*

\*: "111 書込み時"は TYPE3, TYPE6 以降の製品にのみ存在します。

"110 書込み時"は TYPE7 以降の製品にのみ存在します。

## [bit3:2] TIOA0E : TIOA0 出力選択ビット

TIOA0 の出力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.0 TIOA の出力を行いません。[初期値]
	01	BT ch.0 TIOA の出力端子に TIOA0_0 端子を使用します。
	10	BT ch.0 TIOA の出力端子に TIOA0_1 端子を使用します。
	11	BT ch.0 TIOA の出力端子に TIOA0_2 端子を使用します。

**[bit1:0] 予約: 予約ビット**

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

**<注意事項>**

- TIOA  
偶数チャネルは出力のみです。  
奇数チャネルは出力と入力があります。
- TIOB  
入力のみです。
- TIOA1, TIOA3, TIOA5, TIOA7(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。  
TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

**例 1 : TIOA1 を出力端子として使用する場合**

TIOA1 を TIOA1\_0 端子へ出力する場合、EPFR04.TIOA1E = 01 を選択します。  
TIOA1 を TIOA1\_1 端子へ出力する場合、EPFR04.TIOA1E = 10 を選択します。  
TIOA1 を TIOA1\_2 端子へ出力する場合、EPFR04.TIOA1E = 11 を選択します。  
EPFR04.TIOA1S の設定は、無視されます。  
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。  
選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

**例 2 : TIOA1 を入力端子として使用する場合**

EPFR04.TIOA1E = 00 を選択します。  
TIOA1 を TIOA1\_0 端子から入力する場合、EPFR04.TIOA1S = 00 or 01 を選択します。  
TIOA1 を TIOA1\_1 端子から入力する場合、EPFR04.TIOA1S = 10 を選択します。  
TIOA1 を TIOA1\_2 端子から入力する場合、EPFR04.TIOA1S = 11 を選択します。  
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。  
選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

\* 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, ほかの周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.13. 拡張機能端子設定レジスタ 05(EPFR05)

EPFR05 レジスタは、ベースタイマ ch.4~ch.7 の端子への機能割当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB7S		TIOA7E		TIOA7S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	
bit	23	22	21	20	19	18	17	16
Field	予約		TIOB6S		TIOA6E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	
bit	15	14	13	12	11	10	9	8
Field	予約		TIOB5S		TIOA5E		TIOA5S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	
bit	7	6	5	4	3	2	1	0
Field	予約		TIOB4S		TIOA4E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

### ■ レジスタ機能

#### [bit31:30] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit29:28] TIOB7S : TIOB7 入力選択ビット

TIOB7 の入力選択を行います。

bit29:28		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.7 TIOB の入力端子に TIOB7_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.7 TIOB の入力端子に TIOB7_1 を使用します。
	11	BT ch.7 TIOB の入力端子に TIOB7_2 を使用します。

#### [bit27:26] TIOA7E : TIOA7E 出力選択ビット

TIOA7 の出力選択を行います。

bit27:26		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.7 TIOA の出力を行いません。[初期値]
	01	BT ch.7 TIOA の出力端子に TIOA7_0 を使用します。
	10	BT ch.7 TIOA の出力端子に TIOA7_1 を使用します。
	11	BT ch.7 TIOA の出力端子に TIOA7_2 を使用します。

## [bit25:24] TIOA7S : TIOA7 入力選択ビット

TIOA7 の入力選択を行います。

bit25:24		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.7 TIOA の入力端子に TIOA7_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.7 TIOA の入力端子に TIOA7_1 を使用します。
	11	BT ch.7 TIOA の入力端子に TIOA7_2 を使用します。

## [bit23:22] 予約: 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit21:20] TIOB6S : TIOB6 入力選択ビット

TIOB6 の入力選択を行います。

bit21:20		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.6 TIOB の入力端子に TIOB6_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.6 TIOB の入力端子に TIOB6_1 を使用します。
	11	BT ch.6 TIOB の入力端子に TIOB6_2 を使用します。

## [bit19:18] TIOA6E : TIOA6 出力選択ビット

TIOA6 の出力選択を行います。

bit19:18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.6 TIOA の出力を行いません。[初期値]
	01	BT ch.6 TIOA の出力端子に TIOA6_0 を使用します。
	10	BT ch.6 TIOA の出力端子に TIOA6_1 を使用します。
	11	BT ch.6 TIOA の出力端子に TIOA6_2 を使用します。

## [bit17:14] 予約: 予約ビット

これらのビットからは、"0b0000"が読み出されます。

書込みの場合には、"0b0000"を設定してください。

## [bit13:12] TIOB5S : TIOB5 入力選択ビット

TIOB5 の入力選択を行います。

bit13:12		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.5 TIOB の入力端子に TIOB5_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.5 TIOB の入力端子に TIOB5_1 を使用します。
	11	BT ch.5 TIOB の入力端子に TIOB5_2 を使用します。

## [bit11:10] TIOA5E : TIOA5E 出力選択ビット

TIOA5 の出力選択を行います。

bit11:10		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.5 TIOA の出力を行いません。[初期値]
	01	BT ch.5 TIOA の出力端子に TIOA5_0 を使用します。
	10	BT ch.5 TIOA の出力端子に TIOA5_1 を使用します。
	11	BT ch.5 TIOA の出力端子に TIOA5_2 を使用します。

## [bit9:8] TIOA5S : TIOA5 入力選択ビット

TIOA5 の入力選択を行います。

bit9:8		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.5 TIOA の入力端子に TIOA5_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.5 TIOA の入力端子に TIOA5_1 を使用します。
	11	BT ch.5 TIOA の入力端子に TIOA5_2 を使用します。

## [bit7:6] 予約: 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit5:4] TIOB4S : TIOB4 入力選択ビット

TIOB4 の入力選択を行います。

bit5:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.4 TIOB の入力端子に TIOB4_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.4 TIOB の入力端子に TIOB4_1 を使用します。
	11	BT ch.4 TIOB の入力端子に TIOB4_2 を使用します。

## [bit3:2] TIOA4E : TIOA4 出力選択ビット

TIOA4 の出力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.4 TIOA の出力を行いません。[初期値]
	01	BT ch.4 TIOA の出力端子に TIOA4_0 を使用します。
	10	BT ch.4 TIOA の出力端子に TIOA4_1 を使用します。
	11	BT ch.4 TIOA の出力端子に TIOA4_2 を使用します。

## [bit1:0] 予約: 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

<注意事項>

- TIOA  
偶数チャネルは出力のみです。  
奇数チャネルは出力と入力があります。
- TIOB  
入力のみです。
- TIOA1, TIOA3, TIOA5, TIOA7(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。  
TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

例 1 : TIOA1 を出力端子として使用する場合

TIOA1 を TIOA1\_0 端子へ出力する場合、EPFR04.TIOA1E = 01 を選択します。  
TIOA1 を TIOA1\_1 端子へ出力する場合、EPFR04.TIOA1E = 10 を選択します。  
TIOA1 を TIOA1\_2 端子へ出力する場合、EPFR04.TIOA1E = 11 を選択します。  
EPFR04.TIOA1S の設定は、無視されます。  
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。  
選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

例 2 : TIOA1 を入力端子として使用する場合

EPFR04.TIOA1E = 00 を選択します。  
TIOA1 を TIOA1\_0 端子から入力する場合、EPFR04.TIOA1S = 00 or 01 を選択します。  
TIOA1 を TIOA1\_1 端子から入力する場合、EPFR04.TIOA1S = 10 を選択します。  
TIOA1 を TIOA1\_2 端子から入力する場合、EPFR04.TIOA1S = 11 を選択します。  
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。  
選択している端子は、兼用されているほかの周辺機能端子の出力をすべて OFF にする必要があります。

\* 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, ほかの周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.14. 拡張機能端子設定レジスタ 06(EPFR06)

EPFR06 レジスタは、外部割込みの端子への機能割当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	EINT15S		EINT14S		EINT13S		EINT12S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	EINT11S		EINT10S		EINT09S		EINT08S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	EINT07S		EINT06S		EINT05S		EINT04S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	EINT03S		EINT02S		EINT01S		EINT00S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

### ■ レジスタ機能

[bit31:30] EINT15S : 外部割込み入力選択ビット

EINT15 の入力選択を行います。

bit31:30		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.15 の入力端子に INT15_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.15 の入力端子に INT15_1 端子を使用します。
	11	EINT ch.15 の入力端子に INT15_2 端子を使用します。

[bit29:28] EINT14S : 外部割込み入力選択ビット

EINT14 の入力選択を行います。

bit29:28		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.14 の入力端子に INT14_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.14 の入力端子に INT14_1 端子を使用します。
	11	EINT ch.14 の入力端子に INT14_2 端子を使用します。

## [bit27:26] EINT13S : 外部割込み入力選択ビット

EINT13 の入力選択を行います。

bit27:26		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.13 の入力端子に INT13_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.13 の入力端子に INT13_1 端子を使用します。
	11	EINT ch.13 の入力端子に INT13_2 端子を使用します。

## [bit25:24] EINT12S : 外部割込み入力選択ビット

EINT12 の入力選択を行います。

bit25:24		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.12 の入力端子に INT12_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.12 の入力端子に INT12_1 端子を使用します。
	11	EINT ch.12 の入力端子に INT12_2 端子を使用します。

## [bit23:22] EINT11S : 外部割込み入力選択ビット

EINT11 の入力選択を行います。

bit23:22		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.11 の入力端子に INT11_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.11 の入力端子に INT11_1 端子を使用します。
	11	EINT ch.11 の入力端子に INT11_2 端子を使用します。

## [bit21:20] EINT10S : 外部割込み入力選択ビット

EINT10 の入力選択を行います。

bit21:20		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.10 の入力端子に INT10_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.10 の入力端子に INT10_1 端子を使用します。
	11	EINT ch.10 の入力端子に INT10_2 端子を使用します。

## [bit19:18] EINT09S : 外部割込み入力選択ビット

EINT09 の入力選択を行います。

bit19:18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.9 の入力端子に INT09_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.9 の入力端子に INT09_1 端子を使用します。
	11	EINT ch.9 の入力端子に INT09_2 端子を使用します。

## [bit17:16] EINT08S : 外部割込み入力選択ビット

EINT08 の入力選択を行います。

bit17:16	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.8 の入力端子に INT08_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.8 の入力端子に INT08_1 端子を使用します。
	11	EINT ch.8 の入力端子に INT08_2 端子を使用します。

## [bit15:14] EINT07S : 外部割込み入力選択ビット

EINT07 の入力選択を行います。

bit15:14	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.7 の入力端子に INT07_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.7 の入力端子に INT07_1 端子を使用します。
	11	EINT ch.7 の入力端子に INT07_2 端子を使用します。

## [bit13:12] EINT06S : 外部割込み入力選択ビット

EINT06 の入力選択を行います。

bit13:12	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.6 の入力端子に INT06_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.6 の入力端子に INT06_1 端子を使用します。
	11	EINT ch.6 の入力端子に INT06_2 端子を使用します。

## [bit11:10] EINT05S : 外部割込み入力選択ビット

EINT05 の入力選択を行います。

bit11:10	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.5 の入力端子に INT05_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.5 の入力端子に INT05_1 端子を使用します。
	11	EINT ch.5 の入力端子に INT05_2 端子を使用します。

## [bit9:8] EINT04S : 外部割込み入力選択ビット

EINT04 の入力選択を行います。

bit9:8	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.4 の入力端子に INT04_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.4 の入力端子に INT04_1 端子を使用します。
	11	EINT ch.4 の入力端子に INT04_2 端子を使用します。

## [bit7:6] EINT03S : 外部割込み入力選択ビット

EINT03 の入力選択を行います。

bit7:6	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.3 の入力端子に INT03_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.3 の入力端子に INT03_1 端子を使用します。
	11	EINT ch.3 の入力端子に INT03_2 端子を使用します。

## [bit5:4] EINT02S : 外部割込み入力選択ビット

EINT02 の入力選択を行います。

bit5:4	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.2 の入力端子に INT02_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.2 の入力端子に INT02_1 端子を使用します。
	11	EINT ch.2 の入力端子に INT02_2 端子を使用します。

## [bit3:2] EINT01S : 外部割込み入力選択ビット

EINT01 の入力選択を行います。

bit3:2	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.1 の入力端子に INT01_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.1 の入力端子に INT01_1 端子を使用します。
	11	EINT ch.1 の入力端子に INT01_2 端子を使用します。

## [bit1:0] EINT00S : 外部割込み入力選択ビット

EINT00 の入力選択を行います。

bit1:0	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.0 の入力端子に INT00_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.0 の入力端子に INT00_1 端子を使用します。
	11	EINT ch.0 の入力端子に INT00_2 端子を使用します。

## &lt;注意事項&gt;

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.15. 拡張機能端子設定レジスタ 07(EPFR07)

EPFR07 レジスタは、マルチファンクションシリアル 0 チャネル, 1 チャネル, 2 チャネル, 3 チャネルの機能割当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field			予約		SCK3B		SOT3B	
属性		-			R/W		R/W	
初期値		-			00		00	
bit	23	22	21	20	19	18	17	16
Field	SIN3S		SCK2B		SOT2B		SIN2S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	
bit	15	14	13	12	11	10	9	8
Field	SCK1B		SOT1B		SIN1S		SCK0B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	
bit	7	6	5	4	3	2	1	0
Field	SOT0B		SIN0S				予約	
属性	R/W		R/W				-	
初期値	00		00				-	

### ■ レジスタ機能

#### [bit31:28] 予約 : 予約ビット

これらのビットからは、"0b0000"が読み出されます。

書き込みの場合には、"0b0000"を設定してください。

#### [bit27:26] SCK3B : SCK3 入出力選択ビット

SCK3 の入出力選択を行います。

bit27:26		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	MFS ch.3 SCK の入力端子に SCK3_0 端子を使用します。 出力を行いません。 [初期値]
	01	MFS ch.3 SCK の入力端子に SCK3_0 端子を使用します。 出力端子に SCK3_0 を使用します。
	10	MFS ch.3 SCK の入力端子に SCK3_1 端子を使用します。 出力端子に SCK3_1 を使用します。
	11	MFS ch.3 SCK の入力端子に SCK3_2 端子を使用します。 出力端子に SCK3_2 を使用します。

## [bit25:24] SOT3B : SOT3B 入出力選択ビット

SOT3 の入出力選択を行います。

bit25:24	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.3 SOT の入力端子に SOT3_0 端子を使用します。 出力を行いません。 [初期値]
	01 MFS ch.3 SOT の入力端子に SOT3_0 端子を使用します。 出力端子に SOT3_0 を使用します。
	10 MFS ch.3 SOT の入力端子に SOT3_1 端子を使用します。 出力端子に SOT3_1 を使用します。
	11 MFS ch.3 SOT の入力端子に SOT3_2 端子を使用します。 出力端子に SOT3_2 を使用します。

## [bit23:22] SIN3S : SIN3S 入力選択ビット

SIN3 の入力選択を行います。

bit23:22	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.3 SIN の入力端子に SIN3_0 端子を使用します。 [初期値]
	01 00 書込み時と同じ
	10 MFS ch.3 SIN の入力端子に SIN3_1 端子を使用します。
	11 MFS ch.3 SIN の入力端子に SIN3_2 端子を使用します。

## [bit21:20] SCK2B : SCK2 入出力選択ビット

SCK2 の入出力選択を行います。

bit21:20	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.2 SCK の入力端子に SCK2_0 端子を使用します。 出力を行いません。 [初期値]
	01 MFS ch.2 SCK の入力端子に SCK2_0 端子を使用します。 出力端子に SCK2_0 を使用します。
	10 MFS ch.2 SCK の入力端子に SCK2_1 端子を使用します。 出力端子に SCK2_1 を使用します。
	11 MFS ch.2 SCK の入力端子に SCK2_2 端子を使用します。 出力端子に SCK2_2 を使用します。

## [bit19:18] SOT2B : SOT2B 入出力選択ビット

SOT2 の入出力選択を行います。

bit19:18	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.2 SOT の入力端子に SOT2_0 端子を使用します。 出力を行いません。 [初期値]
	01 MFS ch.2 SOT の入力端子に SOT2_0 端子を使用します。 出力端子に SOT2_0 を使用します。
	10 MFS ch.2 SOT の入力端子に SOT2_1 端子を使用します。 出力端子に SOT2_1 を使用します。
	11 MFS ch.2 SOT の入力端子に SOT2_2 端子を使用します。 出力端子に SOT2_2 を使用します。

## [bit17:16] SIN2S : SIN2S 入力選択ビット

SIN2 の入力選択を行います。

bit17:16	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.2 SIN の入力端子に SIN2_0 端子を使用します。[初期値]
	01 00 書込み時と同じ
	10 MFS ch.2 SIN の入力端子に SIN2_1 端子を使用します。
	11 MFS ch.2 SIN の入力端子に SIN2_2 端子を使用します。

## [bit15:14] SCK1B : SCK1 入出力選択ビット

SCK1 の入出力選択を行います。

bit15:14	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.1 SCK の入力端子に SCK1_0 端子を使用します。 出力を行いません。[初期値]
	01 MFS ch.1 SCK の入力端子に SCK1_0 端子を使用します。 出力端子に SCK1_0 を使用します。
	10 MFS ch.1 SCK の入力端子に SCK1_1 端子を使用します。 出力端子に SCK1_1 を使用します。
	11 MFS ch.1 SCK の入力端子に SCK1_2 端子を使用します。 出力端子に SCK1_2 を使用します。

## [bit13:12] SOT1B : SOT1B 入出力選択ビット

SOT1 の入出力選択を行います。

bit13:12	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.1 SOT の入力端子に SOT1_0 端子を使用します。 出力を行いません。[初期値]
	01 MFS ch.1 SOT の入力端子に SOT1_0 端子を使用します。 出力端子に SOT1_0 を使用します。
	10 MFS ch.1 SOT の入力端子に SOT1_1 端子を使用します。 出力端子に SOT1_1 を使用します。
	11 MFS ch.1 SOT の入力端子に SOT1_2 端子を使用します。 出力端子に SOT1_2 を使用します。

## [bit11:10] SIN1S : SIN1S 入力選択ビット

SIN1 の入力選択を行います。

bit11:10	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.1 SIN の入力端子に SIN1_0 端子を使用します。[初期値]
	01 00 書込み時と同じ
	10 MFS ch.1 SIN の入力端子に SIN1_1 端子を使用します。
	11 MFS ch.1 SIN の入力端子に SIN1_2 端子を使用します。

## [bit9:8] SCK0B : SCK0 入出力選択ビット

SCK0 の入出力選択を行います。

bit9:8	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.0 SCK の入力端子に SCK0_0 端子を使用します。 出力を行いません。 [初期値]
	01 MFS ch.0 SCK の入力端子に SCK0_0 端子を使用します。 出力端子に SCK0_0 を使用します。
	10 MFS ch.0 SCK の入力端子に SCK0_1 端子を使用します。 出力端子に SCK0_1 を使用します。
	11 MFS ch.0 SCK の入力端子に SCK0_2 端子を使用します。 出力端子に SCK0_2 を使用します。

## [bit7:6] SOT0B : SOT0B 入出力選択ビット

SOT0 の入出力選択を行います。

bit7:6	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.0 SOT の入力端子に SOT0_0 端子を使用します。 出力を行いません。 [初期値]
	01 MFS ch.0 SOT の入力端子に SOT0_0 端子を使用します。 出力端子に SOT0_0 を使用します。
	10 MFS ch.0 SOT の入力端子に SOT0_1 端子を使用します。 出力端子に SOT0_1 を使用します。
	11 MFS ch.0 SOT の入力端子に SOT0_2 端子を使用します。 出力端子に SOT0_2 を使用します。

## [bit5:4] SIN0S : SIN0S 入力選択ビット

SIN0 の入力選択を行います。

bit5:4	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.0 SIN の入力端子に SIN0_0 端子を使用します。 [初期値]
	01 00 書込み時と同じ
	10 MFS ch.0 SIN の入力端子に SIN0_1 端子を使用します。
	11 MFS ch.0 SIN の入力端子に SIN0_2 端子を使用します。

## [bit3:0] 予約 : 予約ビット

これらのビットからは、"0b0000"が読み出されます。

書込みの場合には、"0b0000"を設定してください。

## &lt;注意事項&gt;

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.16. 拡張機能端子設定レジスタ 08(EPFR08)

EPFR08 レジスタは、マルチファンクションシリアル 4 チャネル, 5 チャネル, 6 チャネル, 7 チャネルの機能割り当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field			予約		SCK7B		SOT7B	
属性	-				R/W		R/W	
初期値	-				00		00	
bit	23	22	21	20	19	18	17	16
Field	SIN7S		SCK6B		SOT6B		SIN6S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	
bit	15	14	13	12	11	10	9	8
Field	SCK5B		SOT5B		SIN5S		SCK4B	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	
bit	7	6	5	4	3	2	1	0
Field	SOT4B		SIN4S		CTS4S		RTS4E	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

### ■ レジスタ機能

#### [bit31:28] 予約 : 予約ビット

これらのビットからは、"0b0000"が読み出されます。

書き込みの場合には、"0b0000"を設定してください。

#### [bit27:26] SCK7B : SCK7 入出力選択ビット

SCK7 の入出力選択を行います。

bit27:26		説明
読出し時		レジスタ値を読み出します。
書込み時	00	MFS ch.7 SCK の入力端子に SCK7_0 端子を使用します。 出力を行いません。 [初期値]
	01	MFS ch.7 SCK の入力端子に SCK7_0 端子を使用します。 出力端子に SCK7_0 を使用します。
	10	MFS ch.7 SCK の入力端子に SCK7_1 端子を使用します。 出力端子に SCK7_1 を使用します。
	11	MFS ch.7 SCK の入力端子に SCK7_2 端子を使用します。 出力端子に SCK7_2 を使用します。

## [bit25:24] SOT7B : SOT7B 入出力選択ビット

SOT7 の入出力選択を行います。

bit25:24	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.7 SOT の入力端子に SOT7_0 端子を使用します。 出力を行いません。 [初期値]
	01 MFS ch.7 SOT の入力端子に SOT7_0 端子を使用します。 出力端子に SOT7_0 を使用します。
	10 MFS ch.7 SOT の入力端子に SOT7_1 端子を使用します。 出力端子に SOT7_1 を使用します。
	11 MFS ch.7 SOT の入力端子に SOT7_2 端子を使用します。 出力端子に SOT7_2 を使用します。

## [bit23:22] SIN7S : SIN7S 入力選択ビット

SIN7 の入力選択を行います。

bit23:22	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.7 SIN の入力端子に SIN7_0 端子を使用します。 [初期値]
	01 00 書込み時と同じ
	10 MFS ch.7 SIN の入力端子に SIN7_1 端子を使用します。
	11 MFS ch.7 SIN の入力端子に SIN7_2 端子を使用します。

## [bit21:20] SCK6B : SCK6 入出力選択ビット

SCK6 の入出力選択を行います。

bit21:20	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.6 SCK の入力端子に SCK6_0 端子を使用します。 出力を行いません。 [初期値]
	01 MFS ch.6 SCK の入力端子に SCK6_0 端子を使用します。 出力端子に SCK6_0 を使用します。
	10 MFS ch.6 SCK の入力端子に SCK6_1 端子を使用します。 出力端子に SCK6_1 を使用します。
	11 MFS ch.6 SCK の入力端子に SCK6_2 端子を使用します。 出力端子に SCK6_2 を使用します。

## [bit19:18] SOT6B : SOT6B 入出力選択ビット

SOT6 の入出力選択を行います。

bit19:18	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.6 SOT の入力端子に SOT6_0 端子を使用します。 出力を行いません。 [初期値]
	01 MFS ch.6 SOT の入力端子に SOT6_0 端子を使用します。 出力端子に SOT6_0 を使用します。
	10 MFS ch.6 SOT の入力端子に SOT6_1 端子を使用します。 出力端子に SOT6_1 を使用します。
	11 MFS ch.6 SOT の入力端子に SOT6_2 端子を使用します。 出力端子に SOT6_2 を使用します。

## [bit17:16] SIN6S : SIN6S 入力選択ビット

SIN6 の入力選択を行います。

bit17:16	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.6 SIN の入力端子に SIN6_0 端子を使用します。[初期値]
	01 00 書込み時と同じ
	10 MFS ch.6 SIN の入力端子に SIN6_1 端子を使用します。
	11 MFS ch.6 SIN の入力端子に SIN6_2 端子を使用します。

## [bit15:14] SCK5B : SCK5 入出力選択ビット

SCK5 の入出力選択を行います。

bit15:14	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.5 SCK の入力端子に SCK5_0 端子を使用します。 出力を行いません。[初期値]
	01 MFS ch.5 SCK の入力端子に SCK5_0 端子を使用します。 出力端子に SCK5_0 を使用します。
	10 MFS ch.5 SCK の入力端子に SCK5_1 端子を使用します。 出力端子に SCK5_1 を使用します。
	11 MFS ch.5 SCK の入力端子に SCK5_2 端子を使用します。 出力端子に SCK5_2 を使用します。

## [bit13:12] SOT5B : SOT5B 入出力選択ビット

SOT5 の入出力選択を行います。

bit13:12	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.5 SOT の入力端子に SOT5_0 端子を使用します。 出力を行いません。[初期値]
	01 MFS ch.5 SOT の入力端子に SOT5_0 端子を使用します。 出力端子に SOT5_0 を使用します。
	10 MFS ch.5 SOT の入力端子に SOT5_1 端子を使用します。 出力端子に SOT5_1 を使用します。
	11 MFS ch.5 SOT の入力端子に SOT5_2 端子を使用します。 出力端子に SOT5_2 を使用します。

## [bit11:10] SIN5S : SIN5S 入力選択ビット

SIN5 の入力選択を行います。

bit11:10	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.5 SIN の入力端子に SIN5_0 端子を使用します。[初期値]
	01 00 書込み時と同じ
	10 MFS ch.5 SIN の入力端子に SIN5_1 端子を使用します。
	11 MFS ch.5 SIN の入力端子に SIN5_2 端子を使用します。

## [bit9:8] SCK4B : SCK4 入出力選択ビット

SCK4 の入出力選択を行います。

bit9:8	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	MFS ch.4 SCK の入力端子に SCK4_0 端子を使用します。 出力を行いません。 [初期値]
	01	MFS ch.4 SCK の入力端子に SCK4_0 端子を使用します。 出力端子に SCK4_0 を使用します。
	10	MFS ch.4 SCK の入力端子に SCK4_1 端子を使用します。 出力端子に SCK4_1 を使用します。
	11	MFS ch.4 SCK の入力端子に SCK4_2 端子を使用します。 出力端子に SCK4_2 を使用します。

## [bit7:6] SOT4B : SOT4B 入出力選択ビット

SOT4 の入出力選択を行います。

bit7:6	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	MFS ch.4 SOT の入力端子に SOT4_0 を使用します。 出力を行いません。 [初期値]
	01	MFS ch.4 SOT の入力端子に SOT4_0 を使用します。 出力端子に SOT4_0 を使用します。
	10	MFS ch.4 SOT の入力端子に SOT4_1 を使用します。 出力端子に SOT4_1 を使用します。
	11	MFS ch.4 SOT の入力端子に SOT4_2 を使用します。 出力端子に SOT4_2 を使用します。

## [bit5:4] SIN4S : SIN4S 入力選択ビット

SIN4 の入力選択を行います。

bit5:4	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	MFS ch.4 SIN の入力端子に SIN4_0 を使用します。 [初期値]
	01	00 書込み時と同じ
	10	MFS ch.4 SIN の入力端子に SIN4_1 を使用します。
	11	MFS ch.4 SIN の入力端子に SIN4_2 を使用します。

## [bit3:2] CTS4S : CTS4S 入力選択ビット

CTS4 の入力選択を行います。

bit3:2	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	MFS ch.4 CTS の入力端子に CTS4_0 を使用します。 [初期値]
	01	00 書込み時と同じ
	10	MFS ch.4 CTS の入力端子に CTS4_1 を使用します。
	11	MFS ch.4 CTS の入力端子に CTS4_2 を使用します。

## [bit1:0] RTS4E : RTS4E 出力選択ビット

RTS4 の出力選択を行います。

bit1:0	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 MFS ch.4 RTS の出力を行いません。[初期値]
	01 MFS ch.4 RTS の出力端子に RTS4_0 を使用します。
	10 MFS ch.4 RTS の出力端子に RTS4_1 を使用します。
	11 MFS ch.4 RTS の出力端子に RTS4_2 を使用します。

## &lt;注意事項&gt;

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.17. 拡張機能端子設定レジスタ 09(EPFR09)

EPFR09 レジスタは、CAN, ADC トリガ, QPRC の周辺端子への機能割り当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	CTX1E		CRX1S		CTX0E		CRX0S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	ADTRG2S				ADTRG1S			
属性	R/W				R/W			
初期値	0000				0000			

bit	15	14	13	12	11	10	9	8
Field	ADTRG0S				QZIN1S		QBIN1S	
属性	R/W				R/W		R/W	
初期値	0000				00		00	

bit	7	6	5	4	3	2	1	0
Field	QAIN1S		QZIN0S		QBIN0S		QAIN0S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

### ■ レジスタ機能

[bit31:30] CTX1E : CTX1E 出力選択ビット

CAN TX1 の出力選択を行います。

bit31:30		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	CAN ch.1 TX の出力を行いません。[初期値]
	01	CAN ch.1 TX の出力端子を TX1_0 にします。
	10	CAN ch.1 TX の出力端子を TX1_1 にします。
	11	CAN ch.1 TX の出力端子を TX1_2 にします。

[bit29:28] CRX1S : CRX1S 入力選択ビット

CAN RX1 の入力選択を行います。

bit29:28		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	CAN ch.1 RX の入力端子を RX1_0 にします。[初期値]
	01	00 書込み時と同じ
	10	CAN ch.1 RX の入力端子を RX1_1 にします。
	11	CAN ch.1 RX の入力端子を RX1_2 にします。

## [bit27:26] CTX0E : CTX0E 出力選択ビット

CAN TX0 の出力選択を行います。

bit27:26	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 CAN ch.0 TX の出力を行いません。 [初期値]
	01 CAN ch.0 TX の出力端子を TX0_0 にします。
	10 CAN ch.0 TX の出力端子を TX0_1 にします。
	11 CAN ch.0 TX の出力端子を TX0_2 にします。

## [bit25:24] CRX0S : CRX0S 入力選択ビット

CAN RX0 の入力選択を行います。

bit25:24	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 CAN ch.0 RX の入力端子を RX0_0 にします。 [初期値]
	01 00 書込み時と同じ
	10 CAN ch.0 RX の入力端子を RX0_1 にします。
	11 CAN ch.0 RX の入力端子を RX0_2 にします。

## [bit23:20] ADTRG2S : ADTRG2 入力選択ビット

ADTRG2 の入力選択を行います。

bit23:20	説明
読み出し時	レジスタ値を読み出します。
書き込み時	0000 ADC ユニット 2 の起動トリガの入力端子に ADTG_0 を使用します。 [初期値]
	0001 0000 書込み時と同じ
	0010 ADC ユニット 2 の起動トリガの入力端子に ADTG_1 を使用します。
	0011 ADC ユニット 2 の起動トリガの入力端子に ADTG_2 を使用します。
	0100 ADC ユニット 2 の起動トリガの入力端子に ADTG_3 を使用します。
	0101 ADC ユニット 2 の起動トリガの入力端子に ADTG_4 を使用します。
	0110 ADC ユニット 2 の起動トリガの入力端子に ADTG_5 を使用します。
	0111 ADC ユニット 2 の起動トリガの入力端子に ADTG_6 を使用します。
	1000 ADC ユニット 2 の起動トリガの入力端子に ADTG_7 を使用します。
	1001 ADC ユニット 2 の起動トリガの入力端子に ADTG_8 を使用します。
上記以外書き込み時	設定禁止

## [bit19:16] ADTRG1S : ADTRG1 入力選択ビット

ADTRG1 の入力選択を行います。

bit19:16	説明
読み出し時	レジスタ値を読み出します。
書込み時	0000 ADC ユニット 1 の起動トリガの入力端子に ADTG_0 を使用します。 [初期値]
	0001 0000 書込み時と同じ
	0010 ADC ユニット 1 の起動トリガの入力端子に ADTG_1 を使用します。
	0011 ADC ユニット 1 の起動トリガの入力端子に ADTG_2 を使用します。
	0100 ADC ユニット 1 の起動トリガの入力端子に ADTG_3 を使用します。
	0101 ADC ユニット 1 の起動トリガの入力端子に ADTG_4 を使用します。
	0110 ADC ユニット 1 の起動トリガの入力端子に ADTG_5 を使用します。
	0111 ADC ユニット 1 の起動トリガの入力端子に ADTG_6 を使用します。
	1000 ADC ユニット 1 の起動トリガの入力端子に ADTG_7 を使用します。
上記以外書込み時	設定禁止

## [bit15:12] ADTRG0S : ADTRG0 入力選択ビット

ADTRG0 の入力選択を行います。

bit15:12	説明
読み出し時	レジスタ値を読み出します。
書込み時	0000 ADC ユニット 0 の起動トリガの入力端子に ADTG_0 を使用します。 [初期値]
	0001 0000 書込み時と同じ
	0010 ADC ユニット 0 の起動トリガの入力端子に ADTG_1 を使用します。
	0011 ADC ユニット 0 の起動トリガの入力端子に ADTG_2 を使用します。
	0100 ADC ユニット 0 の起動トリガの入力端子に ADTG_3 を使用します。
	0101 ADC ユニット 0 の起動トリガの入力端子に ADTG_4 を使用します。
	0110 ADC ユニット 0 の起動トリガの入力端子に ADTG_5 を使用します。
	0111 ADC ユニット 0 の起動トリガの入力端子に ADTG_6 を使用します。
	1000 ADC ユニット 0 の起動トリガの入力端子に ADTG_7 を使用します。
上記以外書込み時	設定禁止

## [bit11:10] QZIN1S : QZIN1S 入力選択ビット

QPRC ZIN1 の入力選択を行います。

bit11:10	説明
読み出し時	レジスタ値を読み出します。
書込み時	00 QPRC ch.1 の ZIN の入力端子に ZIN1_0 を使用します。 [初期値]
	01 00 書込み時と同じ
	10 QPRC ch.1 の ZIN の入力端子に ZIN1_1 を使用します。
	11 QPRC ch.1 の ZIN の入力端子に ZIN1_2 を使用します。

## [bit9:8] QBIN1S : QBIN1S 入力選択ビット

QPRC BIN1 の入力選択を行います。

bit9:8	説明
読み出し時	レジスタ値を読み出します。
書込み時	00 QPRC ch.1 の BIN の入力端子に BIN1_0 を使用します。 [初期値]
	01 00 書込み時と同じ
	10 QPRC ch.1 の BIN の入力端子に BIN1_1 を使用します。
	11 QPRC ch.1 の BIN の入力端子に BIN1_2 を使用します。

## [bit7:6] QAIN1S : QAIN1S 入力選択ビット

QPRC AIN1 の入力選択を行います。

bit7:6	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 QPRC ch.1 の AIN の入力端子に AIN1_0 を使用します。[初期値]
	01 00 書込み時と同じ
	10 QPRC ch.1 の AIN の入力端子に AIN1_1 を使用します。
	11 QPRC ch.1 の AIN の入力端子に AIN1_2 を使用します。

## [bit5:4] QZIN0S : QZIN0S 入力選択ビット

QPRC ZIN0 の入力選択を行います。

bit5:4	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 QPRC ch.0 の ZIN の入力端子に ZIN0_0 を使用します。[初期値]
	01 00 書込み時と同じ
	10 QPRC ch.0 の ZIN の入力端子に ZIN0_1 を使用します。
	11 QPRC ch.0 の ZIN の入力端子に ZIN0_2 を使用します。

## [bit3:2] QBIN0S : QBIN0S 入力選択ビット

QPRC BIN0 の入力選択を行います。

bit3:2	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 QPRC ch.0 の BIN の入力端子に BIN0_0 を使用します。[初期値]
	01 00 書込み時と同じ
	10 QPRC ch.0 の BIN の入力端子に BIN0_1 を使用します。
	11 QPRC ch.0 の BIN の入力端子に BIN0_2 を使用します。

## [bit1:0] QAIN0S : QAIN0S 入力選択ビット

QPRC AIN0 の入力選択を行います。

bit1:0	説明
読み出し時	レジスタ値を読み出します。
書き込み時	00 QPRC ch.0 の AIN の入力端子に AIN0_0 を使用します。[初期値]
	01 00 書込み時と同じ
	10 QPRC ch.0 の AIN の入力端子に AIN0_1 を使用します。
	11 QPRC ch.0 の AIN の入力端子に AIN0_2 を使用します。

## &lt;注意事項&gt;

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.18. 拡張機能端子設定レジスタ 10(EPFR10)

EPFR10 レジスタは、外バスの周辺端子への機能割り当てを設定します。EPFR10.bit[2]は TYPE0 製品には存在しません。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	UEA24E	UEA23E	UEA22E	UEA21E	UEA20E	UEA19E	UEA18E	UEA17E
属性	R/W							
初期値	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Field	UEA16E	UEA15E	UEA14E	UEA13E	UEA12E	UEA11E	UEA10E	UEA09E
属性	R/W							
初期値	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Field	UEA08E	UEA00E	UECS7E	UECS6E	UECS5E	UECS4E	UECS3E	UECS2E
属性	R/W							
初期値	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Field	UECS1E	UEFLSE	UEOEXE	UEDQME	UEWEXE	UECLKE	UEDTHB	UEDEFB
属性	R/W							
初期値	0	0	0	0	0	0	0	0

### ■ レジスタ機能

[bit31] UEA24E : UEA24E 出力選択ビット

外バス Adress24 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD24 の出力を行いません。[初期値]
	1	ユーザ外バス MAD24 の出力を行います。

[bit30] UEA23E : UEA23E 出力選択ビット

外バス Adress23 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD23 の出力を行いません。[初期値]
	1	ユーザ外バス MAD23 の出力を行います。

[bit29] UEA22E : UEA22E 出力選択ビット

外バス Adress22 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD22 の出力を行いません。[初期値]
	1	ユーザ外バス MAD22 の出力を行います。

[bit28] UEA21E : UEA21E 出力選択ビット  
外バス Adress21 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD21 の出力を行いません。[初期値]
	1	ユーザ外バス MAD21 の出力を行います。

[bit27] UEA20E : UEA20E 出力選択ビット  
外バス Adress20 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD20 の出力を行いません。[初期値]
	1	ユーザ外バス MAD20 の出力を行います。

[bit26] UEA19E : UEA19E 出力選択ビット  
外バス Adress19 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD19 の出力を行いません。[初期値]
	1	ユーザ外バス MAD19 の出力を行います。

[bit25] UEA18E : UEA18E 出力選択ビット  
外バス Adress18 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD18 の出力を行いません。[初期値]
	1	ユーザ外バス MAD18 の出力を行います。

[bit24] UEA17E : UEA17E 出力選択ビット  
外バス Adress17 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD17 の出力を行いません。[初期値]
	1	ユーザ外バス MAD17 の出力を行います。

[bit23] UEA16E : UEA16E 出力選択ビット  
外バス Adress16 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD16 の出力を行いません。[初期値]
	1	ユーザ外バス MAD16 の出力を行います。

[bit22] UEA15E : UEA15E 出力選択ビット  
外バス Adress15 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD15 の出力を行いません。[初期値]
	1	ユーザ外バス MAD15 の出力を行います。

[bit21] UEA14E : UEA14E 出力選択ビット  
外バス Adress14 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD14 の出力を行いません。[初期値]
	1	ユーザ外バス MAD14 の出力を行います。

[bit20] UEA13E : UEA13E 出力選択ビット  
外バス Adress13 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD13 の出力を行いません。[初期値]
	1	ユーザ外バス MAD13 の出力を行います。

[bit19] UEA12E : UEA12E 出力選択ビット  
外バス Adress12 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD12 の出力を行いません。[初期値]
	1	ユーザ外バス MAD12 の出力を行います。

[bit18] UEA11E : UEA11E 出力選択ビット  
外バス Adress11 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD11 の出力を行いません。[初期値]
	1	ユーザ外バス MAD11 の出力を行います。

[bit17] UEA10E : UEA10E 出力選択ビット  
外バス Adress10 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD10 の出力を行いません。[初期値]
	1	ユーザ外バス MAD10 の出力を行います。

[bit16] UEA09E : UEA09E 出力選択ビット  
外バス Adress09 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD09 の出力を行いません。[初期値]
	1	ユーザ外バス MAD09 の出力を行います。

[bit15] UEA08E : UEA08E 出力選択ビット  
外バス Adress08 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD08 の出力を行いません。[初期値]
	1	ユーザ外バス MAD08 の出力を行います。

[bit14] UEA00E : UEA00E 出力選択ビット  
外バス Adress00 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD00 の出力を行いません。[初期値]
	1	ユーザ外バス MAD00 の出力を行います。

[bit13] UECS7E : UECS7E 出力選択ビット  
外バス CS7 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCSX7 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX7 の出力を行います。

[bit12] UECS6E : UECS6E 出力選択ビット  
外バス CS6 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCSX6 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX6 の出力を行います。

[bit11] UECS5E : UECS5E 出力選択ビット  
外バス CS5 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCSX5 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX5 の出力を行います。

## [bit10] UECS4E : UECS4E 出力選択ビット

外バス CS4 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCSX4 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX4 の出力を行います。

## [bit9] UECS3E : UECS3E 出力選択ビット

外バス CS3 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCSX3 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX3 の出力を行います。

## [bit8] UECS2E : UECS2E 出力選択ビット

外バス CS2 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCSX2 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX2 の出力を行います。

## [bit7] UECS1E : UECS1E 出力選択ビット

外バス CS1 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCSX1 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX1 の出力を行います。

## [bit6] UEFNSE : UEFNSE 出力選択ビット

外バス NAND-Flash 制御信号の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MNALE, MNCLE, MNWEX, MNREX の出力を行いません。[初期値]
	1	ユーザ外バス MNALE, MNCLE, MNWEX, MNREX の出力を行います。

## [bit5] UEOEXE : UEOEXE 出力選択ビット

外バス OEX の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MOEX の出力を行いません。[初期値]
	1	ユーザ外バス MOEX の出力を行います。

## [bit4] UEDQME : UEDQME 出力選択ビット

外バス DQM の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MDQM1, MDQM0 の出力を行いません。[初期値]
	1	ユーザ外バス MDQM1, MDQM0 の出力を行います。

## [bit3] UEWEXE : UEWEXE 出力選択ビット

外バス WEX の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MWEX の出力を行いません。[初期値]
	1	ユーザ外バス MWEX の出力を行います。

## [bit2] UECLKE : UECLKE 出力選択ビット

外バスクロックの出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCLKOUT の出力を行いません。[初期値]
	1	ユーザ外バス MCLKOUT の出力を行います。

## [bit1] UEDTHB : UEDTHB 入出力選択ビット

外バスデータの入出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD15～WD08 の出力を行いません。[初期値] ユーザ外バス RD15～RD08 の入力は端子に接続されます。
	1	ユーザ外バス WD15～WD08 の出力を行います。 ユーザ外バス RD15～RD08 の入力は端子に接続されます。

## [bit0] UEDEFB : UEDEFB 入出力選択ビット

外バス信号の入出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD07～MAD01 の出力を行いません。 ユーザ外バス MCSX0 の出力を行いません。 ユーザ外バス WD07～WD00 の出力を行いません。 ユーザ外バス RD07～RD00 の入力は端子に接続されます。[初期値]
	1	ユーザ外バス MAD07～MAD01 の出力を行います。 ユーザ外バス MCSX0 の出力を行います。 ユーザ外バス WD7～WD0 の出力を行います。 ユーザ外バス RD7～RD0 の入力は端子に接続されます。

<注意事項>

- EPFR10.bit[1]により、外バスデータ[15:7]の入出力選択を一括制御できます。  
EPFR11.bit[24:17]でも外バスデータ[15:7]の入出力選択を 1 ビットごとに制御できます。  
EPFR10.bit[1]が EPFR11.bit[24:17]の設定よりは優先します。  
EPFR11.bit[24:17]の設定で入出力選択を制御する場合は、EPFR10.bit[1]=0 にする必要があります。
- EPFR10.bit[0]により、外バスアドレス[7:1], MCSX0, 外バスデータ[7:0]の入出力選択を一括制御できます。  
EPFR11.bit[16:1]でも外バスアドレス[7:1], MCSX0, 外バスデータ[7:0]の入出力選択を 1 ビットごとに制御できます。  
EPFR10.bit[0]が EPFR11.bit[16:1]の設定よりは優先します。  
EPFR11.bit[16:1]の設定で入出力選択を制御する場合は、EPFR10.bit[0]=0 にする必要があります。
- EPFR10.bit[2]は TYPE0 製品には存在しません。  
TYPE0 製品では、このビットは書込み時は"0"書込みしてください。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.19. 拡張機能端子設定レジスタ 11(EPFR11)

EPFR11 レジスタは、外バスの周辺端子への機能割り当てを設定します。本レジスタは TYPE0 製品には存在しません。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約						UERLC	UED15B
属性						R/W	R/W	
初期値						0	0	

bit	23	22	21	20	19	18	17	16
Field	UED14B	UED13B	UED12B	UED11B	UED10B	UED09B	UED08B	UED07B
属性	R/W							
初期値	0	0	0	0	0	0	0	0

bit	15	14	13	12	11	10	9	8
Field	UED06B	UED05B	UED04B	UED03B	UED02B	UED01B	UED00B	UEA07E
属性	R/W							
初期値	0	0	0	0	0	0	0	0

bit	7	6	5	4	3	2	1	0
Field	UEA06E	UEA05E	UEA04E	UEA03E	UEA02E	UEA01E	UECS0E	UEALEE
属性	R/W							
初期値	0	0	0	0	0	0	0	0

### ■ レジスタ機能

#### [bit31:26] 予約 : 予約ビット

これらのビットからは、"0b0000000"が読み出されます。  
書き込みの場合には、"0b0000000"を設定してください。

#### [bit25] UERLC : UERLC リロケート選択ビット

外バス端子リロケート選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス リロケート番号"0"を使用します。[初期値]
	1	ユーザ外バス リロケート番号"1"を使用します。

(注意事項) ユーザ外バス リロケート番号のどちらが存在するかは製品によって異なります。  
リロケート番号は製品のデータシートを参照してください。

#### [bit24] UED15B : UED15B 入出力選択ビット

外バスデータ 15 の入出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD15 の出力を行いません。[初期値] ユーザ外バス RD15 の入力は端子に接続されます。
	1	ユーザ外バス WD15 の出力を行います。 ユーザ外バス RD15 の入力は端子に接続されます。

[bit23] UED14B : UED14B 出力選択ビット  
外バスデータ 14 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD14 の出力を行いません。[初期値] ユーザ外バス RD14 の入力は端子に接続されます。
	1	ユーザ外バス WD14 の出力を行います。 ユーザ外バス RD14 の入力は端子に接続されます。

[bit22] UED13B : UED13B 出力選択ビット  
外バスデータ 13 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD13 の出力を行いません。[初期値] ユーザ外バス RD13 の入力は端子に接続されます。
	1	ユーザ外バス WD13 の出力を行います。 ユーザ外バス RD13 の入力は端子に接続されます。

[bit21] UED12B : UED12B 出力選択ビット  
外バスデータ 12 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD12 の出力を行いません。[初期値] ユーザ外バス RD12 の入力は端子に接続されます。
	1	ユーザ外バス WD12 の出力を行います。 ユーザ外バス RD12 の入力は端子に接続されます。

[bit20] UED11B : UED11B 出力選択ビット  
外バスデータ 11 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD11 の出力を行いません。[初期値] ユーザ外バス RD11 の入力は端子に接続されます。
	1	ユーザ外バス WD11 の出力を行います。 ユーザ外バス RD11 の入力は端子に接続されます。

[bit19] UED10B : UED10B 出力選択ビット  
外バスデータ 10 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD10 の出力を行いません。[初期値] ユーザ外バス RD10 の入力は端子に接続されます。
	1	ユーザ外バス WD10 の出力を行います。 ユーザ外バス RD10 の入力は端子に接続されます。

[bit18] UED09B : UED09B 出力選択ビット  
外バスデータ 09 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD09 の出力を行いません。[初期値] ユーザ外バス RD09 の入力は端子に接続されます。
	1	ユーザ外バス WD09 の出力を行います。 ユーザ外バス RD09 の入力は端子に接続されます。

[bit17] UED08B : UED08B 出力選択ビット  
外バスデータ 08 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD08 の出力を行いません。[初期値] ユーザ外バス RD08 の入力は端子に接続されます。
	1	ユーザ外バス WD08 の出力を行います。 ユーザ外バス RD08 の入力は端子に接続されます。

[bit16] UED07B : UED07B 出力選択ビット  
外バスデータ 07 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD07 の出力を行いません。[初期値] ユーザ外バス RD07 の入力は端子に接続されます。
	1	ユーザ外バス WD07 の出力を行います。 ユーザ外バス RD07 の入力は端子に接続されます。

[bit15] UED06B : UED06B 出力選択ビット  
外バスデータ 06 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD06 の出力を行いません。[初期値] ユーザ外バス RD06 の入力は端子に接続されます。
	1	ユーザ外バス WD06 の出力を行います。 ユーザ外バス RD06 の入力は端子に接続されます。

[bit14] UED05B : UED05B 出力選択ビット  
外バスデータ 05 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD05 の出力を行いません。[初期値] ユーザ外バス RD05 の入力は端子に接続されます。
	1	ユーザ外バス WD05 の出力を行います。 ユーザ外バス RD05 の入力は端子に接続されます。

[bit13] UED04B : UED04B 出力選択ビット  
外バスデータ 04 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD04 の出力を行いません。[初期値] ユーザ外バス RD04 の入力は端子に接続されます。
	1	ユーザ外バス WD04 の出力を行います。 ユーザ外バス RD04 の入力は端子に接続されます。

[bit12] UED03B : UED03B 出力選択ビット  
外バスデータ 03 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD03 の出力を行いません。[初期値] ユーザ外バス RD03 の入力は端子に接続されます。
	1	ユーザ外バス WD03 の出力を行います。 ユーザ外バス RD03 の入力は端子に接続されます。

[bit11] UED02B : UED02B 出力選択ビット  
外バスデータ 02 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD02 の出力を行いません。[初期値] ユーザ外バス RD02 の入力は端子に接続されます。
	1	ユーザ外バス WD02 の出力を行います。 ユーザ外バス RD02 の入力は端子に接続されます。

[bit10] UED01B : UED01B 出力選択ビット  
外バスデータ 01 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD01 の出力を行いません。[初期値] ユーザ外バス RD01 の入力は端子に接続されます。
	1	ユーザ外バス WD01 の出力を行います。 ユーザ外バス RD01 の入力は端子に接続されます。

[bit09] UED00B : UED00B 出力選択ビット  
外バスデータ 00 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス WD00 の出力を行いません。[初期値] ユーザ外バス RD00 の入力は端子に接続されます。
	1	ユーザ外バス WD00 の出力を行います。 ユーザ外バス RD00 の入力は端子に接続されます。

## [bit8] UEA07E : UEA07E 出力選択ビット

外バス address07 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD07 の出力を行いません。[初期値]
	1	ユーザ外バス MAD07 の出力を行います。

## [bit7] UEA06E : UEA06E 出力選択ビット

外バス address06 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD06 の出力を行いません。[初期値]
	1	ユーザ外バス MAD06 の出力を行います。

## [bit6] UEA05E : UEA05E 出力選択ビット

外バス address05 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD05 の出力を行いません。[初期値]
	1	ユーザ外バス MAD05 の出力を行います。

## [bit5] UEA04E : UEA04E 出力選択ビット

外バス address04 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD04 の出力を行いません。[初期値]
	1	ユーザ外バス MAD04 の出力を行います。

## [bit4] UEA03E : UEA03E 出力選択ビット

外バス address03 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD03 の出力を行いません。[初期値]
	1	ユーザ外バス MAD03 の出力を行います。

## [bit3] UEA02E : UEA02E 出力選択ビット

外バス address02 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD02 の出力を行いません。[初期値]
	1	ユーザ外バス MAD02 の出力を行います。

## [bit2] UEA01E : UEA01E 出力選択ビット

外バス address01 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MAD01 の出力を行いません。[初期値]
	1	ユーザ外バス MAD01 の出力を行います。

## [bit1] UECS0E : UECS0E 出力選択ビット

外バス CS0 の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MCSX0 の出力を行いません。[初期値]
	1	ユーザ外バス MCSX0 の出力を行います。

## [bit0] UEALEE : UEALEE 出力選択ビット

外バス ALE 信号の出力選択を行います。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	ユーザ外バス MALE の出力を行いません。[初期値]
	1	ユーザ外バス MALE の出力を行います。

## &lt;注意事項&gt;

- EPFR10.bit[1]により、外バスデータ[15:7]の入出力選択を一括制御できます。  
EPFR11.bit[24:17]でも外バスデータ[15:7]の入出力選択を1ビットごとに制御できます。  
EPFR10.bit[1]が EPFR11.bit[24:17]の設定よりは優先します。  
EPFR11.bit[24:17]の設定で入出力選択を制御する場合は、EPFR10.bit[1]=0 にする必要があります。
- EPFR10.bit[0]により、外バスアドレス[7:1], MCSX0, 外バスデータ[7:0]の入出力選択を一括制御できます。  
EPFR11.bit[16:1]でも外バスアドレス[7:1], MCSX0, 外バスデータ[7:0]の入出力選択を1ビットごとに制御できます。  
EPFR10.bit[0]が EPFR11.bit[16:1]の設定よりは優先します。  
EPFR11.bit[16:1]の設定で入出力選択を制御する場合は、EPFR10.bit[0]=0 にする必要があります。
- EPFR11 レジスタは TYPE0 製品には存在しません。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.20. 拡張機能端子設定レジスタ 12(EPFR12)

EPFR12 レジスタは、ベースタイマ ch.8, ch.9, ch.10, ch.11 の端子への機能割り当てを設定します。本レジスタは TYPE0, TYPE1 製品以外に存在します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB11S		TIOA11E		TIOA11S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB10S		TIOA10E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB9S		TIOA9E		TIOA9S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		TIOB8S		TIOA8E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

### ■ レジスタ機能

#### [bit31:30] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit29:28] TIOB11S : TIOB11 入力選択ビット

TIOB11 の入力選択を行います。

bit29:28		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.11 TIOB の入力端子に TIOB11_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.11 TIOB の入力端子に TIOB11_1 を使用します。
	11	BT ch.11 TIOB の入力端子に TIOB11_2 を使用します。

#### [bit27:26] TIOA11E : TIOA11E 出力選択ビット

TIOA11 の出力選択を行います。

bit27:26		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.11 TIOA の出力を行いません。[初期値]
	01	BT ch.11 TIOA の出力端子に TIOA11_0 を使用します。
	10	BT ch.11 TIOA の出力端子に TIOA11_1 を使用します。
	11	BT ch.11 TIOA の出力端子に TIOA11_2 を使用します。

## [bit25:24] TIOA11S : TIOA11 入力選択ビット

TIOA11 の入力選択を行います。

bit25:24	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	BT ch.11 TIOA の入力端子に TIOA11_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.11 TIOA の入力端子に TIOA11_1 を使用します。
	11	BT ch.11 TIOA の入力端子に TIOA11_2 を使用します。

## [bit23:22] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit21:20] TIOB10S : TIOB10 入力選択ビット

TIOB10 の入力選択を行います。

bit21:20	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	BT ch.10 TIOB の入力端子に TIOB10_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.10 TIOB の入力端子に TIOB10_1 を使用します。
	11	BT ch.10 TIOB の入力端子に TIOB10_2 を使用します。

## [bit19:18] TIOA10E : TIOA10 出力選択ビット

TIOA10 の出力選択を行います。

bit19:18	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	BT ch.10 TIOA の出力を行いません。[初期値]
	01	BT ch.10 TIOA の出力端子に TIOA10_0 を使用します。
	10	BT ch.10 TIOA の出力端子に TIOA10_1 を使用します。
	11	BT ch.10 TIOA の出力端子に TIOA10_2 を使用します。

## [bit17:14] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit13:12] TIOB9S : TIOB9 入力選択ビット

TIOB9 の入力選択を行います。

bit13:12	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	BT ch.9 TIOB の入力端子に TIOB9_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.9 TIOB の入力端子に TIOB9_1 を使用します。
	11	BT ch.9 TIOB の入力端子に TIOB9_2 を使用します。

## [bit11:10] TIOA9E : TIOA9E 出力選択ビット

TIOA9 の出力選択を行います。

bit11:10		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.9 TIOA の出力を行いません。[初期値]
	01	BT ch.9 TIOA の出力端子に TIOA9_0 を使用します。
	10	BT ch.9 TIOA の出力端子に TIOA9_1 を使用します。
	11	BT ch.9 TIOA の出力端子に TIOA9_2 を使用します。

## [bit9:8] TIOA9S : TIOA9 入力選択ビット

TIOA9 の入力選択を行います。

bit9:8		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.9 TIOA の入力端子に TIOA9_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.9 TIOA の入力端子に TIOA9_1 を使用します。
	11	BT ch.9 TIOA の入力端子に TIOA9_2 を使用します。

## [bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit5:4] TIOB8S : TIOB8 入力選択ビット

TIOB8 の入力選択を行います。

bit5:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.8 TIOB の入力端子に TIOB8_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.8 TIOB の入力端子に TIOB8_1 を使用します。
	11	BT ch.8 TIOB の入力端子に TIOB8_2 を使用します。

## [bit3:2] TIOA8E : TIOA8 出力選択ビット

TIOA8 の出力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.8 TIOA の出力を行いません。[初期値]
	01	BT ch.8 TIOA の出力端子に TIOA8_0 を使用します。
	10	BT ch.8 TIOA の出力端子に TIOA8_1 を使用します。
	11	BT ch.8 TIOA の出力端子に TIOA8_2 を使用します。

## [bit1:0] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

<注意事項>

- TIOA  
偶数チャネルは出力のみです。  
奇数チャネルは出力と入力があります。
- TIOB  
入力のみです。
- TIOA9, TIOA11, TIOA13, TIOA15(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。  
TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

例 1 : TIOA11 を出力端子として使用する場合

TIOA11 を TIOA11\_0 へ出力する場合、EPFR12.TIOA11E = 01 を選択します。  
TIOA11 を TIOA11\_1 へ出力する場合、EPFR12.TIOA11E = 10 を選択します。  
TIOA11 を TIOA11\_2 へ出力する場合、EPFR12.TIOA11E = 11 を選択します。  
EPFR12.TIOA11S の設定は、無視されます。  
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。  
選択している端子は、兼用されている他の周辺機能端子の出力をすべて OFF にする必要があります。

例 2 : TIOA11 を入力端子として使用する場合

EPFR12.TIOA11E = 00 を選択します。  
TIOA11 を TIOA11\_0 から入力する場合、EPFR12.TIOA11S = 00 or 01 を選択します。  
TIOA11 を TIOA11\_1 から入力する場合、EPFR12.TIOA11S = 10 を選択します。  
TIOA11 を TIOA11\_2 から入力する場合、EPFR12.TIOA11S = 11 を選択します。  
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。  
選択している端子は、兼用されている他の周辺機能端子の出力をすべて OFF にする必要があります。

\* 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, 他の周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。

- 本レジスタは TYPE0、TYPE1 製品以外に存在します。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.21. 拡張機能端子設定レジスタ 13(EPFR13)

EPFR13 レジスタは、ベースタイマ ch.12, ch.13, ch.14, ch.15 の端子への機能割り当てを設定します。本レジスタは TYPE0, TYPE1 製品以外に存在します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	予約		TIOB15S		TIOA15E		TIOA15S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	予約		TIOB14S		TIOA14E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

bit	15	14	13	12	11	10	9	8
Field	予約		TIOB13S		TIOA13E		TIOA13S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	予約		TIOB12S		TIOA12E		予約	
属性	-		R/W		R/W		-	
初期値	-		00		00		-	

### ■ レジスタ機能

#### [bit31:30] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit29:28] TIOB15S : TIOB15 入力選択ビット

TIOB15 の入力選択を行います。

bit29:28		説明
読出し時		レジスタ値を読み出します。
書込み時	00	BT ch.15 TIOB の入力端子に TIOB15_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.15 TIOB の入力端子に TIOB15_1 を使用します。
	11	BT ch.15 TIOB の入力端子に TIOB15_2 を使用します。

#### [bit27:26] TIOA15E : TIOA15E 出力選択ビット

TIOA15 の出力選択を行います。

bit27:26		説明
読出し時		レジスタ値を読み出します。
書込み時	00	BT ch.15 TIOA の出力を行いません。[初期値]
	01	BT ch.15 TIOA の出力端子に TIOA15_0 を使用します。
	10	BT ch.15 TIOA の出力端子に TIOA15_1 を使用します。
	11	BT ch.15 TIOA の出力端子に TIOA15_2 を使用します。

## [bit25:24] TIOA15S : TIOA15 入力選択ビット

TIOA15 の入力選択を行います。

bit25:24		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.15 TIOA の入力端子に TIOA15_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.15 TIOA の入力端子に TIOA15_1 を使用します。
	11	BT ch.15 TIOA の入力端子に TIOA15_2 を使用します。

## [bit23:22] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit21:20] TIOB13S : TIOB14 入力選択ビット

TIOB14 の入力選択を行います。

bit21:20		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.14 TIOB の入力端子に TIOB14_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.14 TIOB の入力端子に TIOB14_1 を使用します。
	11	BT ch.14 TIOB の入力端子に TIOB14_2 を使用します。

## [bit19:18] TIOA14E : TIOA14 出力選択ビット

TIOA14 の出力選択を行います。

bit19:18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.14 TIOA の出力を行いません。[初期値]
	01	BT ch.14 TIOA の出力端子に TIOA14_0 を使用します。
	10	BT ch.14 TIOA の出力端子に TIOA14_1 を使用します。
	11	BT ch.14 TIOA の出力端子に TIOA14_2 を使用します。

## [bit17:14] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit13:12] TIOB13S : TIOB13 入力選択ビット

TIOB13 の入力選択を行います。

bit13:12		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.13 TIOB の入力端子に TIOB13_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.13 TIOB の入力端子に TIOB13_1 を使用します。
	11	BT ch.13 TIOB の入力端子に TIOB13_2 を使用します。

## [bit11:10] TIOA13E : TIOA13E 出力選択ビット

TIOA13 の出力選択を行います。

bit11:10		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.13 TIOA の出力を行いません。[初期値]
	01	BT ch.13 TIOA の出力端子に TIOA13_0 を使用します。
	10	BT ch.13 TIOA の出力端子に TIOA13_1 を使用します。
	11	BT ch.13 TIOA の出力端子に TIOA13_2 を使用します。

## [bit9:8] TIOA13S : TIOA13 入力選択ビット

TIOA13 の入力選択を行います。

bit9:8		説明
リード時		レジスタ値を読み出します。
書き込み時	00	BT ch.13 TIOA の入力端子に TIOA13_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.13 TIOA の入力端子に TIOA13_1 を使用します。
	11	BT ch.13 TIOA の入力端子に TIOA13_2 を使用します。

## [bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

## [bit5:4] TIOB12S : TIOB12 入力選択ビット

TIOB12 の入力選択を行います。

bit5:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.12 TIOB の入力端子に TIOB12_0 を使用します。[初期値]
	01	00 書込み時と同じ
	10	BT ch.12 TIOB の入力端子に TIOB12_1 を使用します。
	11	BT ch.12 TIOB の入力端子に TIOB12_2 を使用します。

## [bit3:2] TIOA12E : TIOA12 出力選択ビット

TIOA12 の出力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	BT ch.12 TIOA の出力を行いません。[初期値]
	01	BT ch.12 TIOA の出力端子に TIOA12_0 を使用します。
	10	BT ch.12 TIOA の出力端子に TIOA12_1 を使用します。
	11	BT ch.12 TIOA の出力端子に TIOA12_2 を使用します。

## [bit1:0] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。

書込みの場合には、"0b00"を設定してください。

<注意事項>

- TIOA  
偶数チャネルは出力のみです。  
奇数チャネルは出力と入力があります。
- TIOB  
入力のみです。
- TIOA9, TIOA11, TIOA13, TIOA15(A の奇数番号)は、双方向端子ではなく、入力端子として使用するか、出力端子として使用するかのどちらかを選択して使用します。  
TIOA の奇数チャネルで、出力を選択した場合、入力設定は無視されます。

例 1 : TIOA11 を出力端子として使用する場合

TIOA11 を TIOA11\_0 へ出力する場合、EPFR12.TIOA11E = 01 を選択します。  
TIOA11 を TIOA11\_1 へ出力する場合、EPFR12.TIOA11E = 10 を選択します。  
TIOA11 を TIOA11\_2 へ出力する場合、EPFR12.TIOA11E = 11 を選択します。  
EPFR12.TIOA11S の設定は、無視されます。  
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。  
選択している端子は、兼用されている他の周辺機能端子の出力をすべて OFF にする必要があります。

例 2 : TIOA11 を入力端子として使用する場合

EPFR12.TIOA11E = 00 を選択します。  
TIOA11 を TIOA11\_0 から入力する場合、EPFR12.TIOA11S = 00 or 01 を選択します。  
TIOA11 を TIOA11\_1 から入力する場合、EPFR12.TIOA11S = 10 を選択します。  
TIOA11 を TIOA11\_2 から入力する場合、EPFR12.TIOA11S = 11 を選択します。  
選択している端子は、ADE=0, PFR=1 を選択します(DDR は無視されます)。  
選択している端子は、兼用されている他の周辺機能端子の出力をすべて OFF にする必要があります。

\* 入力端子の設定の場合、上記以外の設定で、兼用されている端子(GPIO, 他の周辺機能端子)の出力をベースタイマ側へ Feedback 入力することもできます。

- 本レジスタは TYPE0、TYPE1 製品以外に存在します。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.22. 拡張機能端子設定レジスタ 14(EPFR14)

EPFR14 レジスタは、QPRC/ Ethernet 端子への機能割り当てを設定します。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	CEC1B	CEC0B	E_SPLC		E_PSE	E_CKE	E_MD1B	E_MD0B
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	00	0	0	0	0	0

bit	23	22	21	20	19	18	17	16
Field	E_MC1B	E_MC0E	E_TE1E	E_TE0E	E_TD1E	E_TD0E	予約	
属性	R/W	R/W	R/W	R/W	R/W	R/W	-	
初期値	0	0	0	0	0	0	-	

bit	15	14	13	12	11	10	9	8
Field	予約							
属性	-							
初期値	-							

bit	7	6	5	4	3	2	1	0
Field	予約		QZIN2S		QBIN2S		QAIN2S	
属性	-		R/W		R/W		R/W	
初期値	-		00		00		00	

### ■ レジスタ機能

[bit31] CEC1B : CEC1 入出力選択ビット

CEC1 の入出力選択を行います。

bit31	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	HDMI-CEC/リモコン受信 ch.1 の入出力を行いません[初期値]
	1	HDMI-CEC/リモコン受信 ch.1 の入出力を行います。

[bit30] CEC0B : CEC0 入出力選択ビット

CEC0 の入出力選択を行います。

bit30	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	HDMI-CEC/リモコン受信 ch.0 の入出力を行いません[初期値]
	1	HDMI-CEC/リモコン受信 ch.0 の入出力を行います。

[bit29:28] E\_SPLC : Ethernet 用入力端子 スタンバイ時、入力遮断選択ビット

Ethernet 入力端子のスタンバイ時の入力遮断を選択します。

bit29:28	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	スタンバイ時、全入力端子を遮断します。[初期値]
	01	スタンバイ時、1ch-MII が使用する入力端子を遮断しません。
	10	スタンバイ時、1ch-RMII が使用する入力端子を遮断しません。
	11	スタンバイ時、2ch-RMII が使用する入力端子を遮断しません。

## [bit27] E\_PSE : Ethernet 用 PPS0\_PPS1 出力選択ビット

PPS0\_PPS1 の出力選択を行います。

bit27		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_PPS0_PPS1 の出力を行いません。[初期値]
	1	E_PPS0_PPS1 の出力を行います。[初期値]

## [bit26] E\_CKE : E\_COUT 出力選択ビット

E\_COUT の出力選択を行います。

bit26		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_COUT の出力を行いません。[初期値]
	1	E_COUT の出力を行います。

## [bit25] E\_MD1B : E\_MDO1 入出力選択ビット

E\_MDO1 の入出力選択を行います。

bit25		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_MDO1 の出力は行いません。[初期値] E_MDI1 の入力は端子に接続されます。
	1	E_MDO1 の出力は行います。 E_MDI1 の入力は端子に接続されます。

## [bit24] E\_MD0B : E\_MDO0 入出力選択ビット

E\_MDO0 の入出力選択を行います。

bit24		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_MDO0 の出力は行いません。[初期値] E_MDI0 の入力は端子に接続されます。
	1	E_MDO0 の出力は行います。 E_MDI0 の入力は端子に接続されます。

## [bit23] E\_MC1B : E\_MDC1 入出力選択ビット

E\_MDC1 の入出力選択を行います。

bit23		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_MDC1 の出力は行いません。[初期値] E_TCK0 の入力は端子に接続されます。
	1	E_MDC1 の出力は行います。 E_TCK0 の入力は端子に接続されます。

## [bit22] E\_MC0E : E\_MDC0 出力選択ビット

E\_MDC0 の出力選択を行います。

bit22		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_MDC0 の出力は行いません。[初期値]
	1	E_MDC0 の出力は行います。

## [bit21] E\_TE1E : E\_TXER0\_TXEN1 出力選択ビット

E\_TXER0\_TXEN1 の出力選択を行います。

bit21		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_TXER0_TXEN1 の出力を行いません。[初期値]
	1	E_TXER0_TXEN1 の出力を行います。

## [bit20] E\_TE0E : E\_TXEN0 出力選択ビット

E\_TXEN0 の出力選択を行います。

bit20		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_TXEN0 の出力を行いません。[初期値]
	1	E_TXEN0 の出力を行います。

## [bit19] E\_TD1E : E\_TX02\_TX10, E\_TX03\_TX11 出力選択ビット

E\_TX02\_TX10, E\_TX03\_TX11 の出力選択を行います。

bit19		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_TX02_TX10 の出力を行いません。[初期値] E_TX03_TX11 の出力を行いません。
	1	E_TX02_TX10 の出力を行います。[初期値] E_TX03_TX11 の出力を行います。

## [bit18] E\_TD0E : E\_TX00, E\_TX01 出力選択ビット

E\_TX00, E\_TX01 の出力選択を行います。

bit18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	0	E_TX00, E_TX01 の出力を行いません。[初期値]
	1	E_TX00, E_TX00 の出力を行います。

## [bit17:6] 予約 : 予約ビット

これらのビットからは、"0b00000000000000"が読み出されます。

書き込みの場合には、"0b000000000000"を設定してください。

## [bit5:4] QZIN2S : QDU ch.2 の ZIN 入力端子ビット

QDU ch.2 の ZIN 入力選択を行います。

bit5:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	QDU ch.2 の ZIN 入力端子に ZIN2_0 端子を使用します。[初期値]
	01	QDU ch.2 の ZIN 入力端子に ZIN2_0 端子を使用します。
	10	QDU ch.2 の ZIN 入力端子に ZIN2_1 端子を使用します。
	11	QDU ch.2 の ZIN 入力端子に ZIN2_2 端子を使用します。

## [bit3:2] QBIN2S : QDU ch.2 の BIN 入力端子ビット

QDU ch.2 の BIN 入力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	QDU ch.2 の BIN 入力端子に BIN2_0 端子を使用します。[初期値]
	01	QDU ch.2 の BIN 入力端子に BIN2_0 端子を使用します。
	10	QDU ch.2 の BIN 入力端子に BIN2_1 端子を使用します。
	11	QDU ch.2 の BIN 入力端子に BIN2_2 端子を使用します。

## [bit1:0] QAIN2S : QDU ch.2 の AIN 入力端子ビット

QDU ch.2 の AIN 入力選択を行います。

bit1:0		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	QDU ch.2 の AIN 入力端子に AIN2_0 端子を使用します。[初期値]
	01	QDU ch.2 の AIN 入力端子に AIN2_0 端子を使用します。
	10	QDU ch.2 の AIN 入力端子に AIN2_1 端子を使用します。
	11	QDU ch.2 の AIN 入力端子に AIN2_2 端子を使用します。

## &lt;注意事項&gt;

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.23. 拡張機能端子設定レジスタ 15(EPFR15)

EPFR15 レジスタは、外部割込みの端子への機能割り当てを設定します。本レジスタは TYPE0,TYPE1 製品には存在しません。

### ■ レジスタ構成

bit	31	30	29	28	27	26	25	24
Field	EINT31S		EINT30S		EINT29S		EINT28S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	23	22	21	20	19	18	17	16
Field	EINT27S		EINT26S		EINT25S		EINT24S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	15	14	13	12	11	10	9	8
Field	EINT23S		EINT22S		EINT21S		EINT20S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

bit	7	6	5	4	3	2	1	0
Field	EINT19S		EINT18S		EINT17S		EINT16S	
属性	R/W		R/W		R/W		R/W	
初期値	00		00		00		00	

### ■ レジスタ機能

[bit31:30] EINT31S : 外部割込み入力選択ビット

EINT31 の入力選択を行います。

bit31:30		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.31 の入力端子に INT31_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.31 の入力端子に INT31_1 端子を使用します。
	11	EINT ch.31 の入力端子に INT31_2 端子を使用します。

[bit29:28] EINT30S : 外部割込み入力選択ビット

EINT30 の入力選択を行います。

bit29:28		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.30 の入力端子に INT30_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.30 の入力端子に INT30_1 端子を使用します。
	11	EINT ch.30 の入力端子に INT30_2 端子を使用します。

## [bit27:26] EINT29S : 外部割込み入力選択ビット

EINT29 の入力選択を行います。

bit27:26		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.29 の入力端子に INT29_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.29 の入力端子に INT29_1 端子を使用します。
	11	EINT ch.29 の入力端子に INT29_2 端子を使用します。

## [bit25:24] EINT28S : 外部割込み入力選択ビット

EINT28 の入力選択を行います。

bit25:24		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.28 の入力端子に INT28_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.28 の入力端子に INT28_1 端子を使用します。
	11	EINT ch.28 の入力端子に INT28_2 端子を使用します。

## [bit23:22] EINT27S : 外部割込み入力選択ビット

EINT27 の入力選択を行います。

bit23:22		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.27 の入力端子に INT27_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.27 の入力端子に INT27_1 端子を使用します。
	11	EINT ch.27 の入力端子に INT27_2 端子を使用します。

## [bit21:20] EINT26S : 外部割込み入力選択ビット

EINT26 の入力選択を行います。

bit21:20		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.26 の入力端子に INT26_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.26 の入力端子に INT26_1 端子を使用します。
	11	EINT ch.26 の入力端子に INT26_2 端子を使用します。

## [bit19:18] EINT25S : 外部割込み入力選択ビット

EINT25 の入力選択を行います。

bit19:18		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.25 の入力端子に INT25_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.25 の入力端子に INT25_1 端子を使用します。
	11	EINT ch.25 の入力端子に INT25_2 端子を使用します。

## [bit17:16] EINT24S : 外部割込み入力選択ビット

EINT24 の入力選択を行います。

bit17:16	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.24 の入力端子に INT24_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.24 の入力端子に INT24_1 端子を使用します。
	11	EINT ch.24 の入力端子に INT24_2 端子を使用します。

## [bit15:14] EINT23S : 外部割込み入力選択ビット

EINT23 の入力選択を行います。

bit15:14	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.23 の入力端子に INT23_0 端子を使用します。[初期値]
	01	00 ライト時と同じ
	10	EINT ch.23 の入力端子に INT23_1 端子を使用します。
	11	EINT ch.23 の入力端子に INT23_2 端子を使用します。

## [bit13:12] EINT22S : 外部割込み入力選択ビット

EINT22 の入力選択を行います。

bit13:12	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.22 の入力端子に INT22_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.22 の入力端子に INT22_1 端子を使用します。
	11	EINT ch.22 の入力端子に INT22_2 端子を使用します。

## [bit11:10] EINT21S : 外部割込み入力選択ビット

EINT21 の入力選択を行います。

bit11:10	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.21 の入力端子に INT21_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.21 の入力端子に INT21_1 端子を使用します。
	11	EINT ch.21 の入力端子に INT21_2 端子を使用します。

## [bit9:8] EINT20S : 外部割込み入力選択ビット

EINT20 の入力選択を行います。

bit9:8	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	EINT ch.20 の入力端子に INT20_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.20 の入力端子に INT20_1 端子を使用します。
	11	EINT ch.20 の入力端子に INT20_2 端子を使用します。

## [bit7:6] EINT19S : 外部割込み入力選択ビット

EINT19 の入力選択を行います。

bit7:6		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.19 の入力端子に INT19_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.19 の入力端子に INT19_1 端子を使用します。
	11	EINT ch.19 の入力端子に INT19_2 端子を使用します。

## [bit5:4] EINT18S : 外部割込み入力選択ビット

EINT18 の入力選択を行います。

bit5:4		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.18 の入力端子に INT18_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.18 の入力端子に INT18_1 端子を使用します。
	11	EINT ch.18 の入力端子に INT18_2 端子を使用します。

## [bit3:2] EINT17S : 外部割込み入力選択ビット

EINT17 の入力選択を行います。

bit3:2		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.17 の入力端子に INT17_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.17 の入力端子に INT17_1 端子を使用します。
	11	EINT ch.17 の入力端子に INT17_2 端子を使用します。

## [bit1:0] EINT16S : 外部割込み入力選択ビット

EINT16 の入力選択を行います。

bit1:0		説明
読み出し時		レジスタ値を読み出します。
書き込み時	00	EINT ch.16 の入力端子に INT16_0 端子を使用します。[初期値]
	01	00 書込み時と同じ
	10	EINT ch.16 の入力端子に INT16_1 端子を使用します。
	11	EINT ch.16 の入力端子に INT16_2 端子を使用します。

## &lt;注意事項&gt;

- ・本レジスタは TYPE0, TYPE1 製品には存在しません。
- ・本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.24. 特殊ポート設定レジスタ(SPSR)

SPSR レジスターは端子を特殊機能の信号端子として設定します。

### ■ レジスター構成

bit	31	30	29	28	27	26	25	24
Field					予約			
属性					-			
初期値					-			
bit	23	22	21	20	19	18	17	16
Field					予約			
属性					-			
初期値					-			
bit	15	14	13	12	11	10	9	8
Field					予約			
属性					-			
初期値					-			
bit	7	6	5	4	3	2	1	0
Field	予約		USB1C	USB0C		MAINXC		SUBXC
属性	-		R/W	R/W		R/W		R/W
初期値			0	0		01		01

### ■ レジスター機能

#### [bit31:8] 予約 : 予約ビット

これらのビットからは、"0x000000"が読み出されます。  
書き込みの場合には、"0x000000"を設定してください。

#### [bit7:6] 予約 : 予約ビット

これらのビットからは、"0b00"が読み出されます。  
書き込みの場合には、"0b00"を設定してください。

#### [bit5] USB1C : USB(ch.1)端子設定レジスタ

USB 端子として設定します。

bit	説明	
読み出し時	レジスター値を読み出します。	
書き込み時	0	UDM1, UDP1 の 2 端子を USB 端子として使用せず、デジタル入出力として使用します。[初期値]
	1	UDM1, UDP1 の 2 端子を USB 端子として使用します。 (I/O セルは、入力方向、入力遮断状態になります。)

## [bit4] USB0C : USB(ch.0)端子設定レジスタ

USB 端子として設定します。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	0	UDM0, UDP0 の 2 端子を USB 端子として使用せず、デジタル入出力として使用します。[初期値]
	1	UDM0, UDP0 の 2 端子を USB 端子として使用します。 (I/O セルは、入力方向、入力遮断状態になります。)

## [bit3:2] MAINXC : メインクロック(発振)端子設定レジスタ

メインクロック(発振)端子として設定します。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	X0, X1 の 2 端子をメインクロック(発振)端子として使用せず、デジタル入出力として使用します。
	01	X0, X1 の 2 端子をメインクロック(発振)端子として使用します。 [初期値] (I/O セルは、入力方向、入力遮断、プルアップ切断状態になります。)
	10	設定禁止*
	11	X0, 端子を外部クロック入力端子として使用します。 X1 端子をデジタル入出力として使用します。*

\*10 書込み時、11 書込み時は TYPE6 製品にのみ存在します。

## [bit1:0] SUBXC : サブクロック(発振)端子設定レジスタ

サブクロック(発振)端子として設定します。

bit	説明	
読み出し時	レジスタ値を読み出します。	
書き込み時	00	X0A, X1A の 2 端子をサブクロック(発振)端子として使用せず、デジタル入出力として使用します。
	01	X0A, X1A の 2 端子をサブクロック(発振)端子として使用します。 [初期値] (I/O セルは、入力方向、入力遮断、プルアップ切断状態になります。)
	10	設定禁止*
	11	X0A 端子を外部クロック入力端子として使用します。 X1A 端子をデジタル入出力として使用します。*

\*10 書込み時、11 書込み時は TYPE6 製品にのみ存在します。

<注意事項>

- MAINXC ビットへの"01"ライトだけではメインクロックは発振開始しません。  
発振を開始させるためには、MAINXC ビットへの"01"ライト後、『クロック』の章のシステムクロックモード制御レジスタ(SCM\_CTL)の MOSCE ビットで発振を許可してください。
- SUBXC ビットへの"01"ライトだけではサブクロックは発振開始しません。  
発振を開始させるためには、SUBXC ビットへの"01"ライト後、『クロック』の章のシステムクロックモード制御レジスタ(SCM\_CTL)の SOSCE ビットで発振を許可してください。
- TYPE3、TYPE7 製品で外部クロックを使用する時は、MAINXC ビット、SUBXC ビットを"01"かつ、対応する端子の DDRx レジスタのビットを"0"に設定してください。
- 本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 4.25. ポート擬似オープンドレイン設定レジスタ(PZRx)

PZRx レジスタは、H レベル出力時、I/O ポートを Hi-Z にし、擬似的にオープンドレイン制御を設定するレジスタです。

### ■ PZR のレジスタ構成一覧

bit	31	16	15	0	初期値	属性
	Reserved		PZR0		0x0000	R/W
	Reserved		PZR1		0x0000	R/W
	Reserved		PZR2		0x0000	R/W
	Reserved		PZR3		0x0000	R/W
	Reserved		PZR4		0x0000	R/W
	Reserved		PZR5		0x0000	R/W
	Reserved		PZR6		0x0000	R/W
	Reserved		PZR7		0x0000	R/W
	Reserved		PZR8		0x0000	R/W
	Reserved		PZR9		0x0000	R/W
	Reserved		PZRA		0x0000	R/W
	Reserved		PZRB		0x0000	R/W
	Reserved		PZRC		0x0000	R/W
	Reserved		PZRD		0x0000	R/W
	Reserved		PZRE		0x0000	R/W
	Reserved		PZRF		0x0000	R/W

### ■ レジスタ構成詳細

bit	31	16	15	0
Field	予約			PZRx

### ■ レジスタ機能

#### [bit31:16] 予約 : 予約ビット

これらのビットからは、"0x0000"が読み出されます。  
書き込みの場合には、"0x0000"を設定してください。

#### [bit15:0] PZRx : ポート擬似オープンドレイン設定レジスタ x

端子の擬似オープンドレイン設定をします。

bit15:0		説明
読出し時		レジスタの設定値を読み出せます。
書込み時	0	GPIO もしくは周辺マクロによるデジタル High レベル出力時、端子を High レベルにします。
	1	GPIO もしくは周辺マクロによるデジタル High レベル出力時、端子を Hi-Z にします。プルアップ抵抗を PCR の設定によらず、切断します。

### <注意事項>

- PZRx の"x"記載はワイルドカードです。PZR0, PZR1, PZR2, … を示します。
- PZR レジスタの機能はある特定の端子にのみ実装されています。

ご使用する品種の『データシート』の「入出力回路形式」の備考欄に"PZR レジスタ制御可能"

と記載のある端子のみが制御可能です。

- PZR レジスタはすべての端子には存在しません。ただし、PZR レジスタがない端子も、GPIO として使用する場合には DDR レジスタの設定により、擬似オープンドレイン制御が可能です。

この場合、PFR=0(GPIO 設定), PDOR=0 とした後、

L 出力設定時 : DDR=1 (出力方向) として使用する。

Hi-Z 出力設定時 : DDR=0 (入力方向) として使用する。

ただし、GPIO の設定によるオープンドレイン化では、Hi-Z 時に VCC を超える電圧印加は禁止です。

本レジスタはディープスタンバイ遷移リセットで初期化されません。

## 5. 使用上の注意

I/O ポートの使用上の注意を説明します。

### ● SPL=1 時のプルアップ抵抗の ON/OFF について

SPL はスタンバイモード時に端子を Hi-Z 化の指示をする信号です。

- SPL=0 時 通常動作
- SPL=1 時 端子の Hi-Z, 入力遮断, プルアップ切断  
ただし、外部割込み, NMIX, JTAG, TRACE の端子は、使用設定の場合 SPL ビットで制御しません。

SPL ビットの詳細は『低消費電力モード』の章を参照してください。

### ● DTTIX 入力について

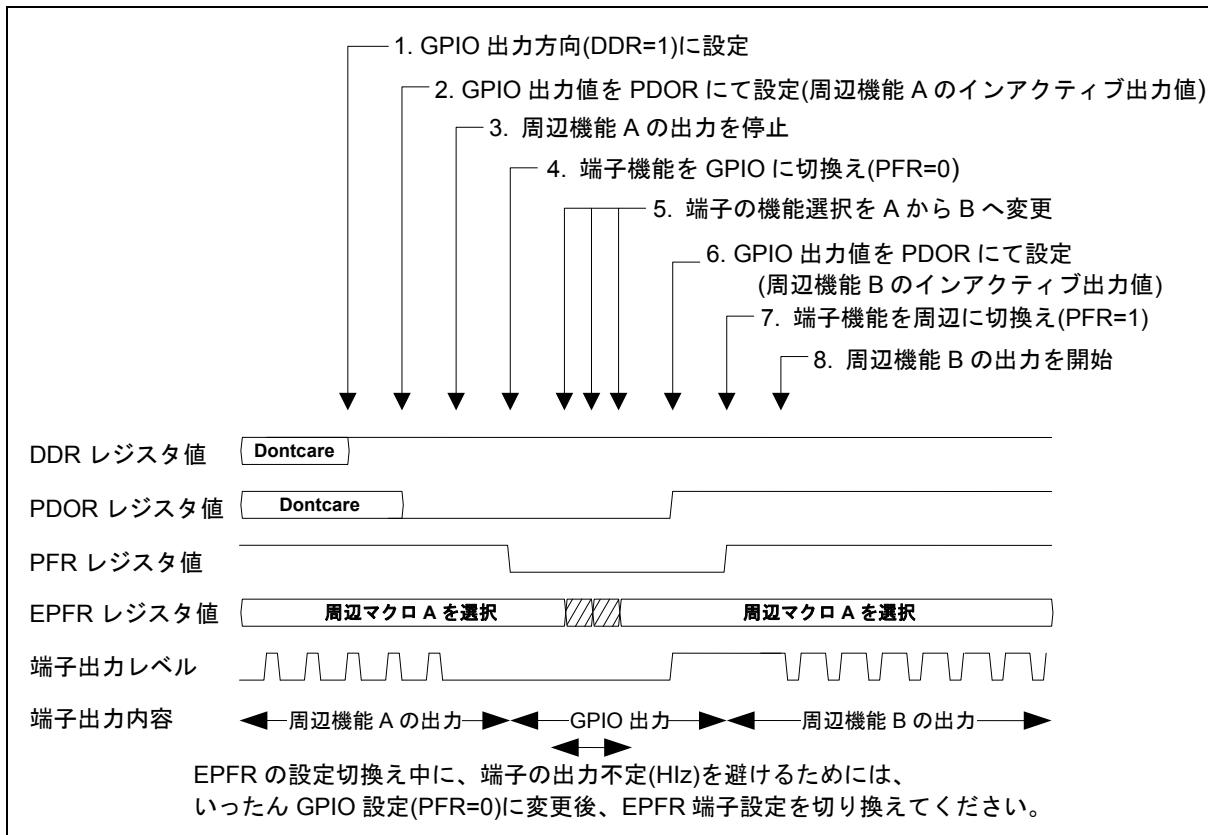
DTTI 信号は、モータ制御用 PWM 出力(RTO)設定出力端子を兼用の GPIO 端子設定に切り換える入力信号で、緊急時のモータ停止要求に対応します。

この機能を使用する場合は、EPFR で切換え許可設定としてください。

### ● 端子機能切換え手順について

EPFR レジスタにて、周辺機能の出力を切り換える場合、端子の不定出力(Hi-Z)を防ぐため、図 5-1 に示す切換え例のような手順で設定を切り換えてください。

図 5-1 端子機能切換え手順について



### ● 予約ビットについて

本ビットは ADE レジスタの予約ビット以外は、読み出し時"0"になります。書き込み時は常に"0"を書き込んでください。ADE レジスタの予約ビットは、読み出し時"1"になります。書き込み時は常に"1"を書き込んでください。

### ● 外バス端子と SRAM 接続をする場合

外バス経由で SRAM にアクセスする場合、端子にプルアップ設定を行うか、外部プルアップ端子を接続してください。

### ● マルチファンクションシリアルの端子グループについて

マルチファンクションシリアルの入出力が複数ある場合、それぞれの入出力は同じグループのポートに設定してください。同じグループのポートとは"xxx\_0"や"yyy\_1"というように、端子名の後に付くリロケート機能番号が同一のグループのことです。

表 5-1 に設定例を示します。

表 5-1 マルチファンクションシリアルインターフェース設定例

シリアルデータ 出力	シリアルクロック 入出力	シリアルデータ 入力	有効ポート
SOT1_0 端子 (0 番ポート)	SCK1_0 端子 (0 番ポート)	SIN1_0 端子 (0 番ポート)	0 番ポート
		SIN1_1 端子 (1 番ポート)	設定禁止
	SCK1_1 端子 (1 番ポート)	SIN1_0 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	
SOT1_1 端子 (1 番ポート)	SCK1_0 端子 (0 番ポート)	SIN1_0 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	
	SCK1_1 端子 (1 番ポート)	SIN1 端子 (0 番ポート)	
		SIN1_1 端子 (1 番ポート)	1 番ポート

### ● 周辺機能の出力について

周辺機能の出力端子は EPFR の設定により一意に決まるため、周辺機能の出力を別々の端子に割り振ることはできません。

(不可例) マルチファンクションシリアルの出力 SOT1\_0 と SOT1\_1 に同一出力を割り振る。

### ● 端子設定と動作モードについて

JTAG 設定については『デバッグインターフェース』の章を参照してください。

スタンバイモード時やリセット時の各端子状態はご使用する製品の『データシート』を参照してください。

### ● 品種仕様と周辺機能の端子割当てについて

各端子に割り当てられている機能(GPIO, 周辺入出力, 特殊 I/O)は、品種ごとに異なります。各品種の端子機能は、ご使用する品種の『データシート』の端子機能表で確認してください。品種に存在していない端子に対し、EPFR のレジスタ設定にて、機能選択を行うことは禁止します。



## CHAPTER: CRC (Cyclic Redundancy Check)

---

CRC 機能について説明します。

---

1. CRC の概要
2. CRC の動作説明
3. CRC のレジスタ

## 1. CRC の概要

CRC(Cyclic Redundancy Check)は誤り検出方式の一種です。入力データ列を高次の多項式とみなして、あらかじめ定められた生成多項式(Generator Polynomial)で割ったときの余りがCRC コードです。通常は、データ列の後に CRC コードを付けて送信し、受信データに対して同様に生成多項式で割り算を行い、余りがなければ受信データが正常に受信できたと判断します。

### ■ CRC の機能

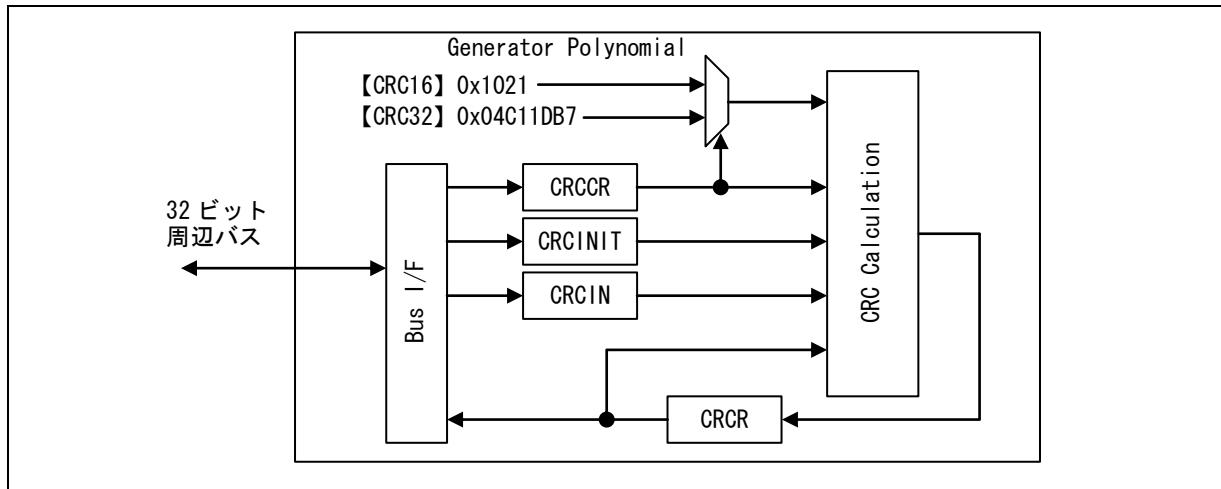
本モジュールでは、CCITT CRC16 と IEEE-802.3 CRC32 を計算できます。本モジュールでは生成多項式はこれら 2 つの数値に固定されているため、ほかの生成多項式に基づく CRC 値の計算はできません。

- CCITT CRC16 生成多項式 : 0x1021
- IEEE-802.3 CRC32 生成多項式 : 0x04C11DB7

### ■ CRC の構成図

図 1-1 に CRC の構成図を示します。

図 1-1 CRC の構成図



- CRCCR(CRC 制御レジスタ)  
CRC 計算の制御を行います。
- CRCINIT(CRC 初期値レジスタ)  
CRC 計算の初期値を設定します。
- CRCIN(Input Data レジスタ)  
CRC 計算の入力データを設定します。
- CRCR(CRC レジスタ)  
CRC 計算の結果を出力します。
- CRC Calculation  
CRC 計算を行う回路です。

## 2. CRC の動作説明

CRC の動作概要について説明します。

### ■ CRC の定義

[CCITT CRC16 Standard]

生成多項式	0x1021	(CRCCR:CRC32=0)
初期値	0xFFFF	
Final XOR 値	0x0000	(CRCCR:FXOR=0)
ビットオーダ	MSB First	(CRCCR:LSBFST=0)
出力ビットオーダ	MSB First	(CRCCR:CRCLSF=0)
(入出力のバイトオーダは任意に設定可能)		

[IEEE-802.3 CRC32 Ethernet Standard]

生成多項式	0x04C11DB7	(CRCCR:CRC32=1)
初期値	0xFFFFFFFF	
Final XOR 値	0xFFFFFFFF	(CRCCR:FXOR=1)
ビットオーダ	LSB First	(CRCCR:LSBFST=1)
出力ビットオーダ	LSB First	(CRCCR:CRCLSF=1)
(入出力のバイトオーダは任意に設定可能)		

### ■ リセット動作

リセット時は、初期値レジスタ(CRCINIT)と CRC レジスタ(CRCCR)を、0xFFFFFFFF に設定します。  
そのほかは"0"クリアです。

### ■ 初期化

CRCCR レジスタの初期化ビット(INIT)による初期化では、初期値レジスタ(CRCINIT)の値を CRC レジスタ(CRCCR)にロードします。

### ■ バイトオーダとビットオーダ

バイトオーダとビットオーダの処理方法について、以下に例を用いて説明します。

次の 1 ワードを CRC 演算器に入力します。

133.82.171.1 = 10000101 01010010 10101011 00000001

バイトオーダをビッグエンディアン(CRCCR:LTLEND=0)とすると、バイト単位の送信順序は下記のようになります。

10000101 01010010 10101011 00000001  
(1 番目) (2 番目) (3 番目) (4 番目)

ビットオーダをリトルエンディアン(CRCCR:LSBFST=1)とすると、ビット単位の送信順序は下記のようになります。

10100001 01001010 11010101 10000000  
(先頭) (最後)

### <注意事項>

CRCCR:CRCLTE=1 のとき、CRC 結果は、CRC16, CRC32 とともに 32 ビット幅でのバイト並び替えとなります。

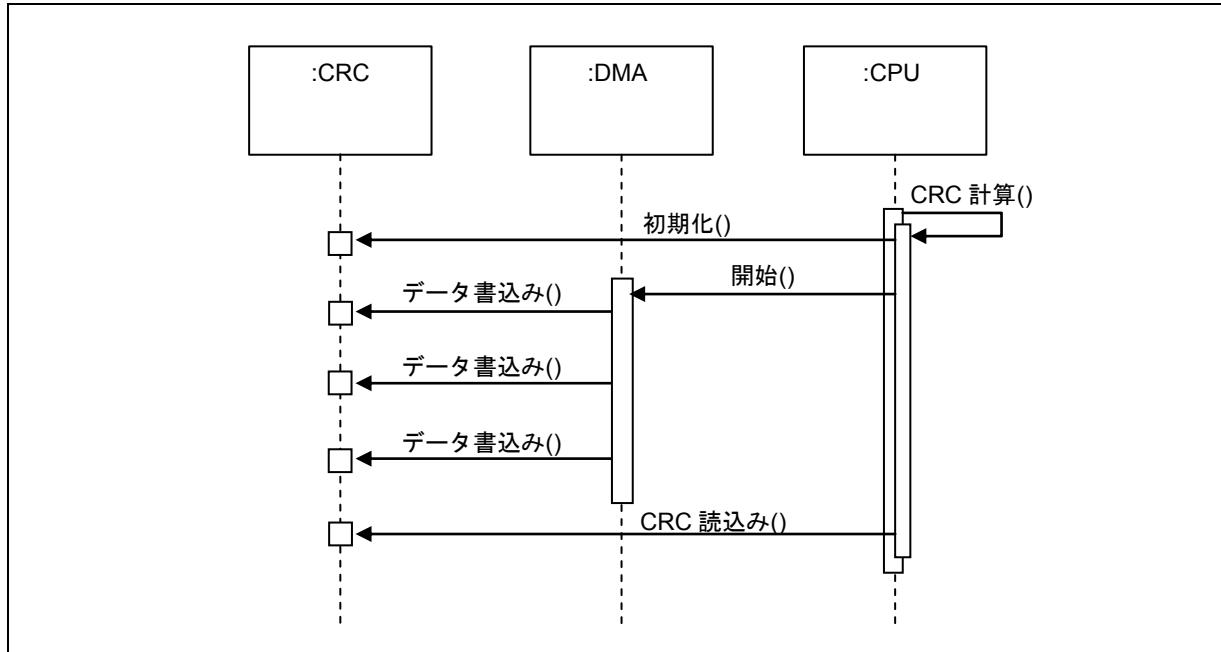
特に CRC16 のときは、bit31～bit16 の位置に出力となりますので注意が必要です。

## 2.1. CRC 計算シーケンス

CRC 計算のシーケンスを図 2-1 に示します。初期値レジスタ(CRCINIT)の設定, CRC16/32 の選択(CRCCR:CRC32), バイトオーダ・ビットオーダの設定(CRCCR:LTLEND, CRCCR:LSBFST)は、既にされているとします。

(初期値が ALL "H" で良い場合は、初期値レジスタ(CRCINIT)の設定操作は省略可能です。)

図 2-1 CRC 計算シーケンス



- 初期化は、初期値ビット(CRCCR:INIT)への"1"書き込みで行ってください。CRC レジスタ(CRCCR)に初期値レジスタ(CRCINIT)の値がロードされます。
- 入力データ書き込みは、Input Data レジスタ(CRCIN)への書き込みで行ってください。書き込み操作により、CRC 計算が開始されます。連続書き込みに対応できます。また、異なるビット幅書き込みをシーケンス中に混在させることができます。
- CRC コード取得は、CRC レジスタ(CRCCR)の読み込みで行ってください。

## 2.2. CRC 使用例

図 2-2～図 2-5 に、CRC の使用例を示します。

### ■ 使用例 1 CRC16, バイト入力固定

図 2-2 使用例 1 (CRC16, バイト入力固定, コアのバイトオーダ : ビッグエンディアン)

```

//*****
// CRC16 (CRC ITU-T)
// polynomial:      0x1021
// initial value:   0xFFFF
// CRCCR.CRC32:    0 //CRC16
// CRCCR.LTLEND:   0 //big endian
// CRCCR.LSBFST:   0 //MSB First
// CRCCR.CROLTE:   0 //CRC big endian
// CRCCR.CROLSF:   0 //CRC MSB First
// CRCCR.FXOR:     0 //CRC Final XOR off
//*****

// 例 1-1 (byte 単位書込み)
// 初期化
B_WRITE(CRCCR, 0x01);

// data write "123456789"
B_WRITE(CRCIN, 0x31);
B_WRITE(CRCIN, 0x32);
B_WRITE(CRCIN, 0x33);
B_WRITE(CRCIN, 0x34);
B_WRITE(CRCIN, 0x35);
B_WRITE(CRCIN, 0x36);
B_WRITE(CRCIN, 0x37);
B_WRITE(CRCIN, 0x38);
B_WRITE(CRCIN, 0x39);

// read result
H_READ(CRCCR+2, data);

// check result
assert(data == 0x29B1);

// 例 1-2 (CRC チェック)
// 初期化
B_WRITE(CRCCR, 0x01);

// data write "123456789" + CRC
B_WRITE(CRCIN, 0x31);
B_WRITE(CRCIN, 0x32);
B_WRITE(CRCIN, 0x33);
B_WRITE(CRCIN, 0x34);
B_WRITE(CRCIN, 0x35);
B_WRITE(CRCIN, 0x36);
B_WRITE(CRCIN, 0x37);
B_WRITE(CRCIN, 0x38);
B_WRITE(CRCIN, 0x39);
B_WRITE(CRCIN, 0x29); // ← CRC
B_WRITE(CRCIN, 0xB1); // ← CRC

// read result
H_READ(CRCCR+2, data);

// check result
assert(data == 0x0000);

```

(以下を想定)

B_WRITE	— バイト書き込み
H_WRITE	— ハーフワード書き込み
W_WRITE	— ワード書き込み
B_READ	— バイト読み込み
H_READ	— ハーフワード読み込み
W_READ	— ワード読み込み
CRCCR	— 制御レジスタアドレス
CRCINIT	— 初期値レジスタアドレス
CRCIN	— 入力データレジスタアドレス
CROR	— カレント CRC レジスタアドレス

CRC 演算器への入力順イメージ

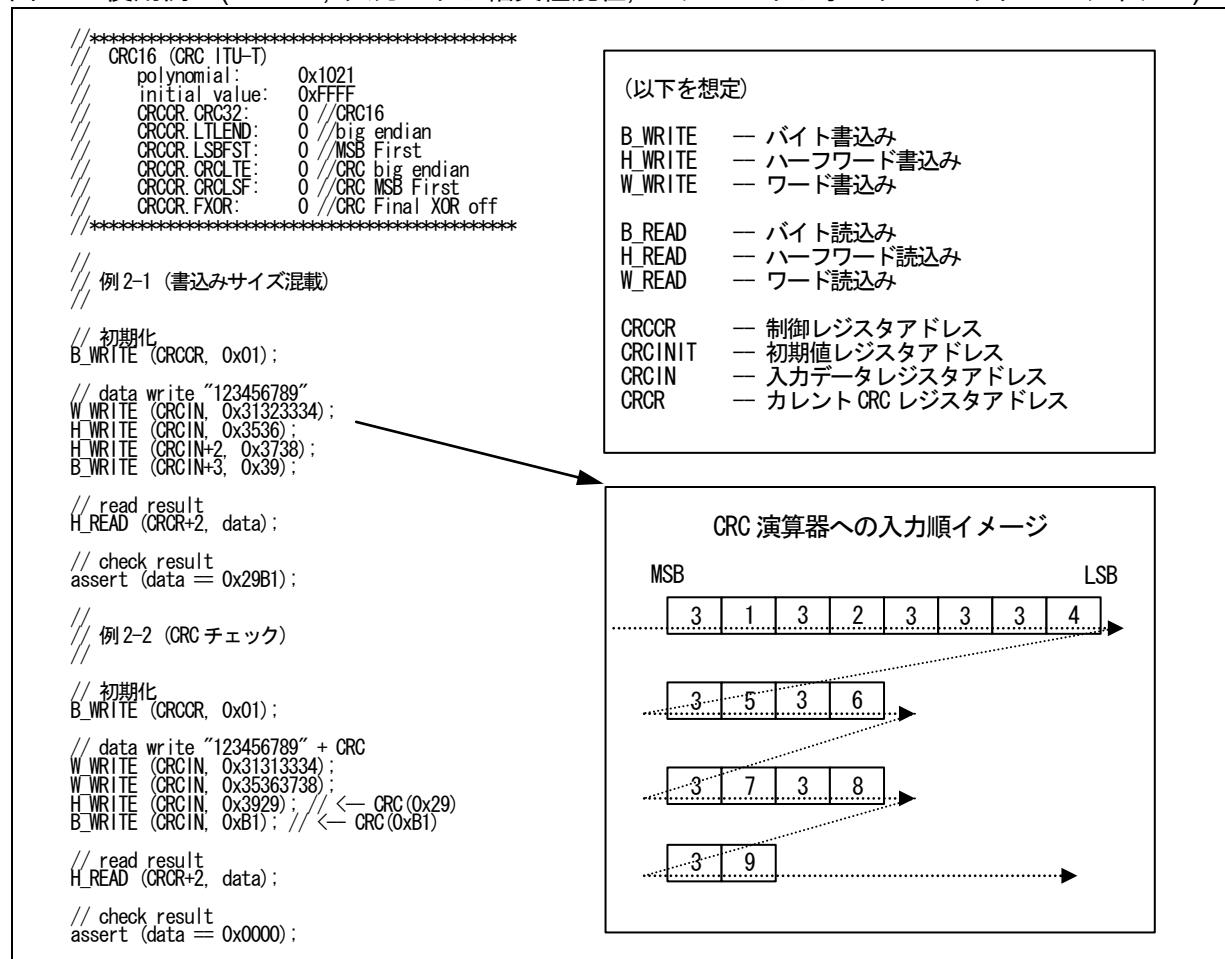
- ・バイト・ハーフワードの書き込み位置は任意です。本使用例では+0 の位置に連続して書き込んでいます。
- ・CRC16 で、CPU, CRC 結果のバイトオーダと、CRCCR(CRC レジスタ)の出力位置、読み出しアドレスを表 2-1 に示します。

表 2-1 CPU, CRC 結果のバイトオーダと CRCCR の読み出しアドレス

コアのバイトオーダ	CRC 結果のバイトオーダ	CRCCR への出力位置	CRCCR H_READ アドレス
ビッグエンディアン	ビッグエンディアン	bit15~bit0	CRCCR +2
ビッグエンディアン	リトルエンディアン	bit31~bit16	CRCCR +0
リトルエンディアン	ビッグエンディアン	bit15~bit0	CRCCR +0
リトルエンディアン	リトルエンディアン	bit31~bit16	CRCCR +2

## ■ 使用例 2 CRC16, 入力ビット幅異種混在

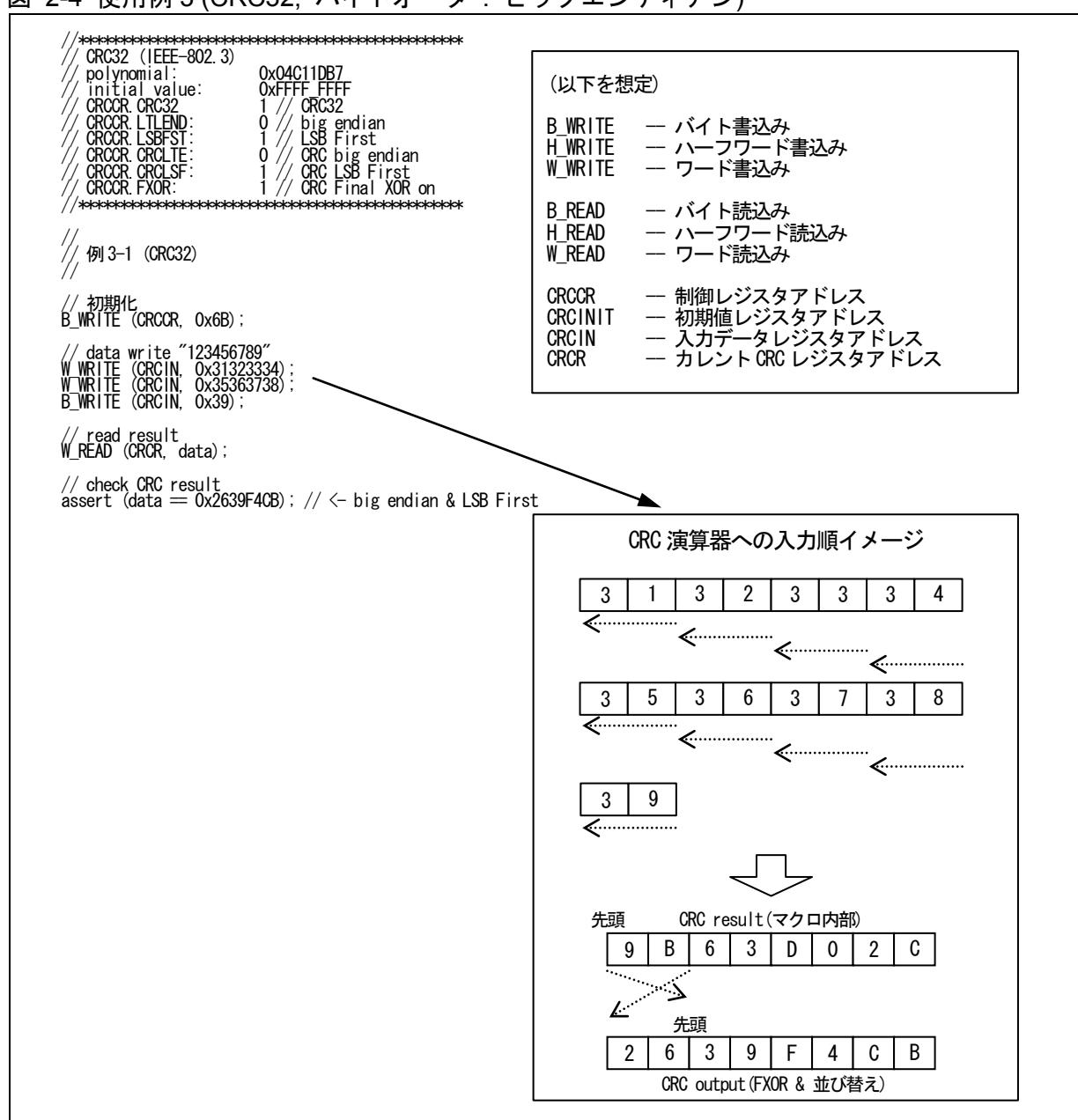
図 2-3 使用例 2 (CRC16, 入力ビット幅異種混在, コアのビットオーダ : ビッグエンディアン)



- ・ バイトオーダ, ビットオーダを正しく設定し、CRC 演算器へのビット入力順が同じであれば、書き込み幅は任意に設定できます。  
例えば、基本をワード書込みとし、最後に 1, 2, 3 バイトの端数が出た場合に、バイト・ハーフワード書込みが混在するケースに対応できます。

■ 使用例 3 CRC32, バイトオーダ : ビッグエンディアン

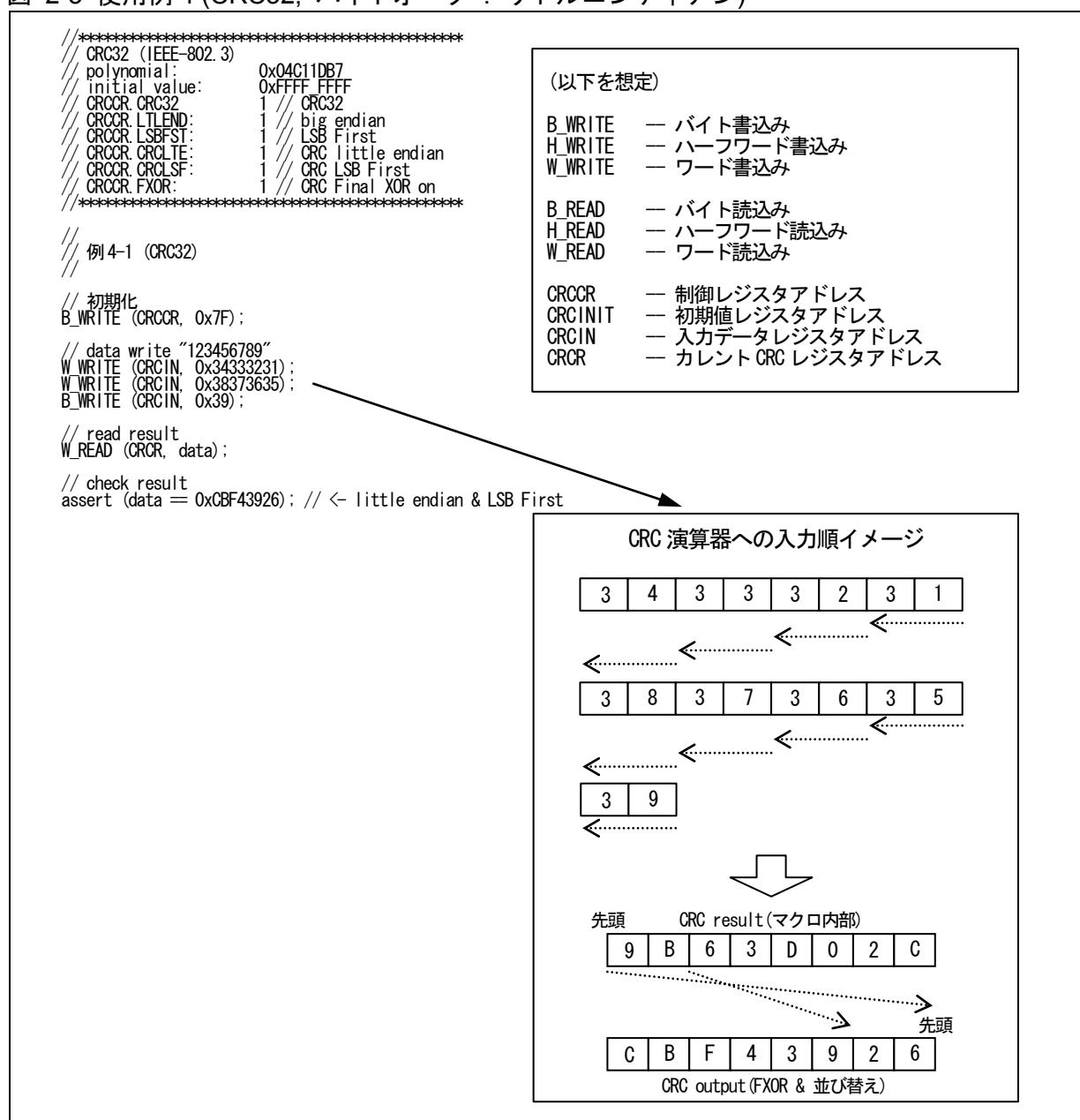
図 2-4 使用例 3 (CRC32, バイトオーダ : ビッグエンディアン)



- CRC32(IEEE-802.3)のときは、ビットオーダは LSB First です。本 CRC 演算器では、ビットオーダはビッグエンディアン、リトルエンディアンのどちらでも対応可能です。図 2-4 はビッグエンディアンの場合を示しています。

■ 使用例 4 CRC32, バイトオーダ : リトルエンディアン

図 2-5 使用例 4 (CRC32, バイトオーダ : リトルエンディアン)



- CRC32(IEEE-802.3)のときは、ビットオーダは LSB First です。本 CRC 演算器では、バイトオーダはビックエンディアン、リトルエンディアンのどちらでも対応可能です。図 2-5 はリトルエンディアンの場合を示しています。
- CRC 結果のビット反転が不要な場合は、以下のどちらかの処理をすることで、現在の結果に対するビット反転を解除できます。
  - 初期化を 0x3F で行って演算を行う
  - データ入力後に、CRCCR:FXOR ビットを 0(例えば CRCCR=0x3E)にする

### 3. CRC のレジスタ

CRC のレジスター一覧を示します。

#### ■ CRC のレジスタ

表 3-1 CRC のレジスター一覧

レジスタ略称	レジスタ名	参照先
CRCCR	CRC 制御レジスタ	3.1
CRCINIT	初期値レジスタ	3.2
CRCIN	Input Data レジスタ	3.3
CRCR	CRC レジスタ	3.4

### 3.1. CRC 制御レジスタ(CRCCR)

CRC 制御レジスタ(CRCCR)は、CRC 計算を制御します。

bit	7	6	5	4	3	2	1	0
Field	予約	FXOR	CRCLSF	CRCLTE	LSBFST	LTLEND	CRC32	INIT
属性	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

[bit7] 予約 : 予約ビット

読み出し値は"0"です。

このビットには必ず"0"を書き込んでください。

[bit6] FXOR : Final XOR 制御ビット

CRC 結果を XOR 値と XOR して出力します。

OR 値は ALL "H" で、FXOR=1 時はビット反転となります。

CRC レジスタの後段で処理をするため、本ビット設定後すぐに CRC の結果は読み出し値に反映されます。

bit	説明
0	なし
1	あり

[bit5] CRCLSF : CRC 結果ビットオーダー設定ビット

CRC 結果のビットオーダー設定ビットです。

バイト内のビット並び替えを行います。"0"のとき MSB First、"1"のとき LSB First になります。

CRC レジスタの後段で処理をするため、本ビット設定後すぐに CRC の結果は読み出し値に反映されます。

bit	説明
0	MSB First
1	LSB First

**[bit4] CRCLTE : CRC 結果バイトオーダ設定ビット**

CRC 結果のバイトオーダ設定ビットです。

ワード内のバイトオーダ並び替えを行います。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。

CRC レジスタの後段で処理をするため、本ビット設定後すぐに CRC の結果を読み出し値に反映されます。

CRC16 の場合に本ビットを"1"にすると、bit31～bit16 に出力されます。

bit	説明
0	ビッグエンディアン
1	リトルエンディアン

**[bit3] LSBFST : ビットオーダ設定ビット**

ビットオーダ設定ビットです。

バイト(8bit)の先頭ビットを指定します。"0"のとき MSB First、"1"のとき LSB First になります。

LTLEND ビットの設定と組み合わせて、4通りの処理順を指定できます。

bit	説明
0	MSB First
1	LSB First

**[bit2] LTLEND : バイトオーダ設定ビット**

バイトオーダ設定ビットです。

書き込み幅でのバイト配置順を指定します。"0"のときビッグエンディアン、"1"のときリトルエンディアンになります。

bit	説明
0	ビッグエンディアン
1	リトルエンディアン

**[bit1] CRC32 : CRC モード選択ビット**

CRC16 と CRC32 のモード選択ビットです。

bit	説明
0	CRC16
1	CRC32

[bit0] INIT : 初期化ビット

初期化ビットです。本ビットに"1"を書き込むと、初期化が行われます。このビットは値を持たず、読み出し時は常に"0"を返します。

初期化では初期値レジスタの値が、CRC レジスタにロードされます。

初期化は、CRC 計算の最初に必ず 1 度実行してください。

bit	説明	
	書き込み時	読み出し時
0	無効	常に"0"が読み出されます
1	初期化	

## 3.2. 初期値レジスタ(CRCINIT)

初期値レジスタ(CRCINIT)は、CRC 計算の初期値を保存します。

bit	31	0
Field	D[31:0]	
属性	R/W	
初期値	0xFFFFFFFF	

[bit31:0] D[31:0]：初期値ビット

CRC 計算の初期値を保存します。

CRC 計算の初期値を本レジスタに書き込んでください。

(初期値は 0xFFFFFFFF)

CRC16 のときは、D15～D0 を使用し、D31～D16 は無視します。

### 3.3. Input Data レジスタ(CRCIN)

Input Data レジスタ(CRCIN)へ、CRC 計算の入力データを設定してください。

bit	31	0
Field	D[31:0]	
属性	R/W	
初期値	0x00000000	

#### [bit31:0] D[31:0] : Input Data ビット

CRC 計算の入力データを設定します。

CRC 計算の入力データを本レジスタに書き込んでください。ビット幅は 8 ビット, 16 ビット, 32 ビット(バイト, ハーフワード, ワード)に対応できます。混在も可能です。

バイト書込み、ハーフワード書込み時の書込み位置は任意です。取り得るアドレス位置は下記のとおりです。

- ・バイト書込み : +0, +1, +2, +3
- ・ハーフワード書込み : +0, +2

### 3.4. CRC レジスタ(CRCR)

CRC レジスタ(CRCR)は、CRC 計算の結果を出力します。計算開始前に必ず初期化してください。

bit	31	0
Field	D[31:0]	
属性	R	
初期値	0xFFFFFFFF	

#### [bit31:0] D[31:0] : CRC ビット

CRC 計算の結果を読み出せます。初期化ビット(CRCCR:INIT)に"1"を書き込むと、初期値レジスタ(CRCINIT)の値が本レジスタにロードされます。

CRC 計算の入力データを Input Data レジスタ(CRCIN)に書き込むと、1 マシンクロックサイクル経過後に、CRC 計算結果が本レジスタに設定されます。すべての入力データ書き込みが完了したとき、本レジスタは最終的な CRC コードを保持しています。

CRC16 の場合は、バイトオーダがビッグエンディアン(CRCLTE=0)のときは D15~D0、リトルエンディアン(CRCLTE=1)のときは D31~D16 の位置に結果が出力されます。



## CHAPTER : 外部バスインターフェース

外部バスインターフェースの機能と動作について示します。

1. 外部バスインターフェースの概要
2. ブロックダイヤグラム
3. 動作説明
4. 接続例
5. 設定手順例
6. レジスタ
7. 使用上の注意

## 1. 外部バスインターフェースの概要

外部バスインターフェースの概要について説明します。

外部バスインターフェースを介して、SRAM/フラッシュメモリと外部接続できます。

### ■ 外部バスインターフェースの特長

製品共通の特長は以下のとおりです。

- 8/16 ビット幅の SRAM/NOR フラッシュメモリ/NAND フラッシュメモリと接続可能です。 NOR フラッシュメモリは通常の SRAM アクセスでアクセスを行いますが、 NAND フラッシュメモリに対しては専用の端子を設けています。
- 最大 8 本のチップセレクト信号があります。  
各チップセレクト信号に対し、アドレス設定およびアクセスタイミングパラメータを個別に設定可能です。
- 最大 25 ビットのアドレスを出力可能です。
- NOR フラッシュメモリページリードをサポートします。
- バイトレーンはリトルエンディアン固定です。
- CPU からのアクセス幅と外部バス幅が異なる場合、自動的にバスサイズを変換します。
- NAND フラッシュメモリ専用の端子をもつため、NAND フラッシュメモリアクセス中に、データ信号を共有している他の SRAM デバイスにアクセスが可能です(排他的なアクセス制御が不要)。

TYPE0 以外の製品は、さらに以下の特長があります。

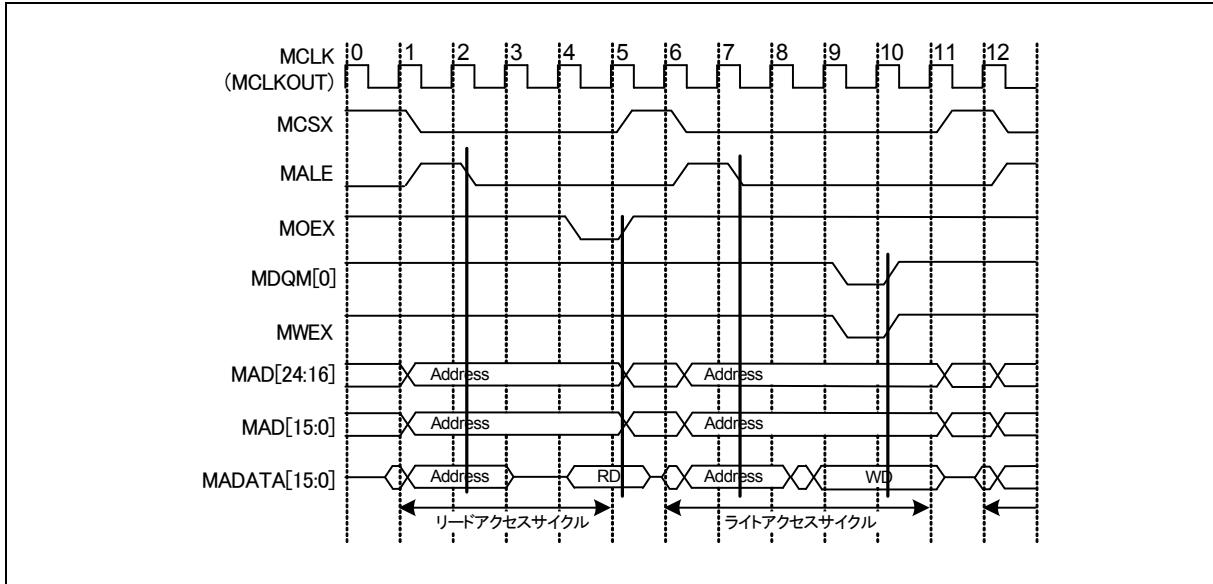
- バスアクセスとして、セパレートモード、マルチプレクスモードをサポートします。
- マルチプレクスモードサポートのため、ALE 信号のアクセスタイミングパラメータが追加されています。また、CS アサートタイミングなど、より詳細なアクセスパラメータ設定が可能です。
- クロック出力により、ターゲットデバイスとの同期アクセスが可能です。
- 外部 RDY 機能をサポートします。

## ■ アクセスタイミングと AC 規定について

### ● 非同期アクセス

外部バスインターフェースは、リード時はアウトプットイネーブル(MOEX)信号にタイミングを合わせて、リードデータラッチを行います。また、ライト時ターゲットデバイスは、ライトイネーブル(MWEX)信号にタイミングを合わせて、ライトデータラッチを行うようにしてください。非同期アクセス例を図 1-1 に示します。

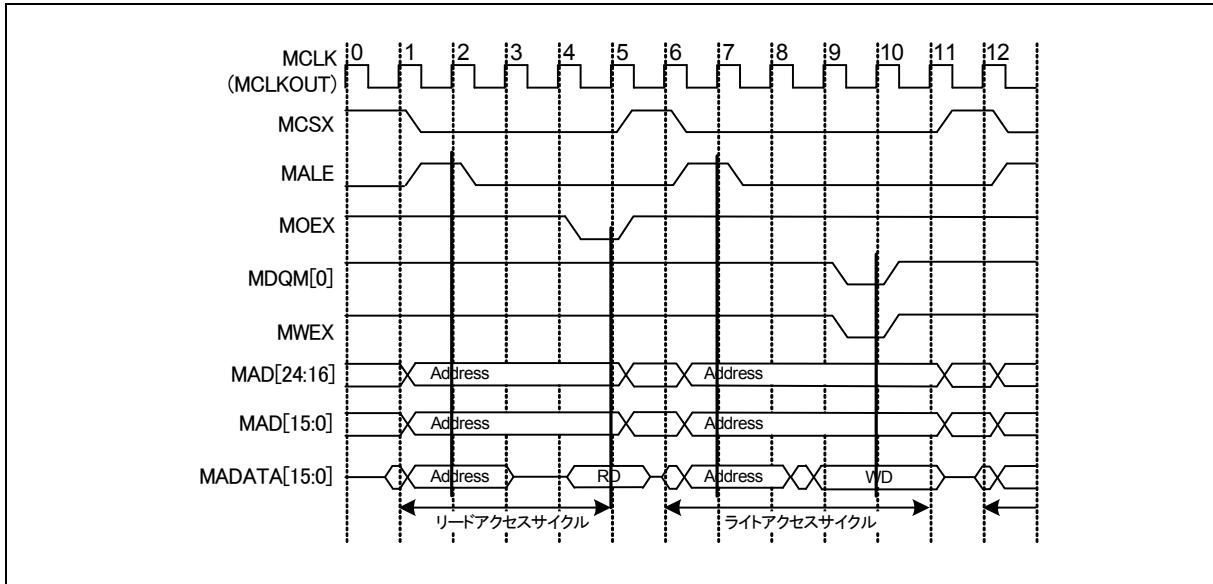
図 1-1 非同期アクセス



### ● 同期アクセス

外部バスインターフェースは、リード時はクロック出力に同期してリードデータラッチを行います。また、ターゲットデバイスは、ライト時はクロック出力に同期して、ライトデータラッチを行うようにしてください。同期アクセス例を図 1-2 に示します。

図 1-2 同期アクセス



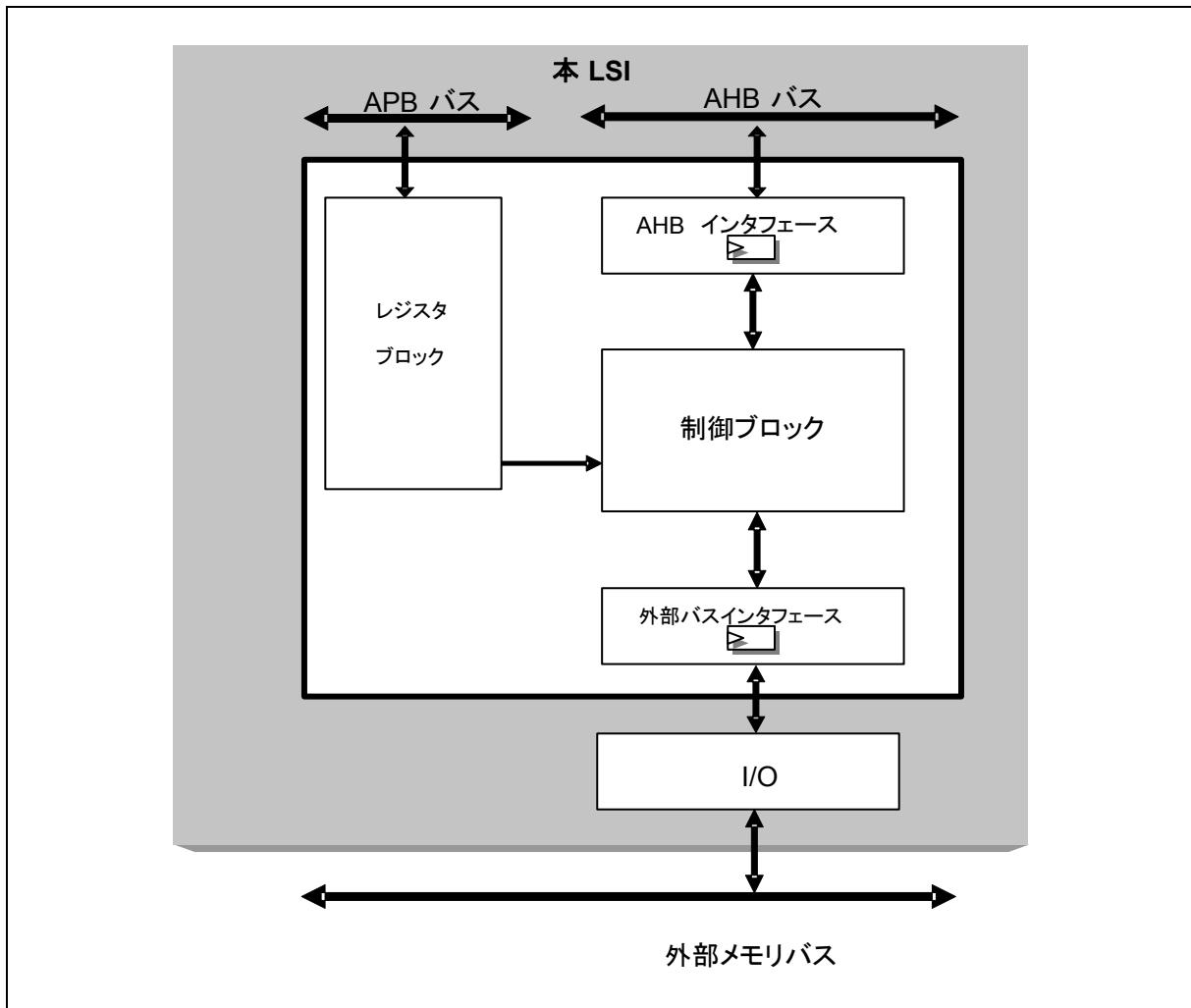
### <注意事項>

AC 規格の詳細はご使用する製品の『データシート』を参照してください。

## 2. ブロックダイヤグラム

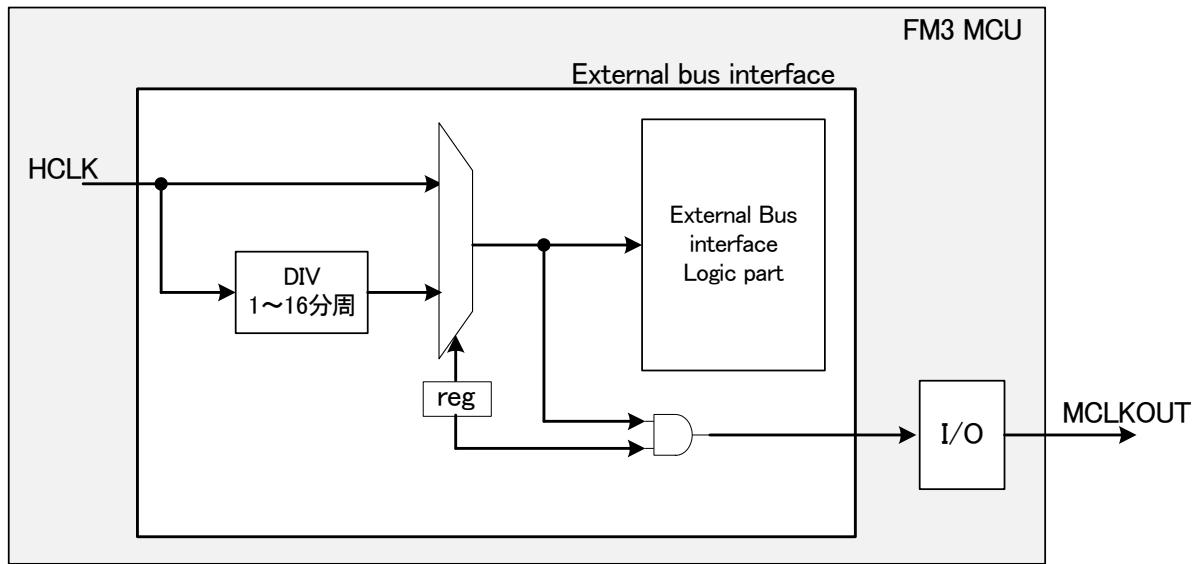
外部バスインターフェースのブロックダイヤグラムを説明します。クロック出力機能は、TYPE0 製品にはありません。

図 2-1 外部バスインターフェースのブロックダイヤグラム



- **レジスタ ブロック**  
本インターフェースの機能を設定するレジスタです。APB バスに接続されています。
- **制御ブロック**  
本インターフェースの動作を制御するブロックです。AHB バスに接続されています。
- **外部バスインターフェース**  
機能ブロックと外部メモリバスを接続します。

図 2-2 外部バスインターフェースのブロックダイヤグラム(クロック系統概要図)



<注意事項>

- HCLK はマスタクロックを示します。詳細は、別章『クロック』を参照してください。
- 外部バスインターフェース動作クロックを出力する場合は、GPIO でクロック出力の設定が必要です。設定の詳細は、別章『I/O ポート』を参照してください。
- クロックを出力する場合は、DCLKR:MCLKON=1 に設定し、必ず分周設定を行う必要があります。この時、1~16 分周設定が可能です。
- クロックを出力設定する場合は、ご使用する製品の『データシート』の「外バスクロック出力規格」を確認してください。
- クロック出力機能は、TYPE0 製品にはありません。

## ・端子一覧

外部バスインターフェースの端子一覧を表 2-1 に示します。

表 2-1 外部バスインターフェース端子一覧

端子名	機能
MAD[24:0]	アドレス出力端子
MADATA[15:0]	データ入出力端子 (マルチプレクスモードでは、アドレス/データの入出力端子になります。)(TYPE0 製品では端子名が異なります。)
MCSX[7:0]	チップセレクト端子
MDQM[1:0]	バイトマスク信号出力端子
MALE	アドレスラッチャイネーブル出力端子 (マルチプレクスモードのみ)
MOEX	アウトプットイネーブル出力端子
MWEX	ライトイネーブル出力端子
MRDY	RDY 信号入力端子
MCLKOUT	クロック出力端子
MNALE	NAND フラッシュ向けのアドレスラッチャイネーブル出力端子
MNCLE	NAND フラッシュ向けのチップイネーブル出力端子
MNREX	NAND フラッシュ向けのリードイネーブル出力端子
MNWEX	NAND フラッシュ向けのライトイネーブル出力端子

## &lt;注意事項&gt;

- 品種によって、外部に現れる外バスインターフェース端子が異なります。詳細はご使用する製品の『データシート』を参照してください。
- TYPE0 製品では、データ入出力端子名は"MDATA[15:0]"です。

### 3. 動作説明

---

外部バスインターフェースの動作について説明します。

---

- 3.1 バスアクセスモード
- 3.2 SRAM, NOR フラッシュメモリアクセス
- 3.3 NAND フラッシュメモリアクセス
- 3.4 8 ビット NAND フラッシュメモリ リード/ライトコマンド発行
- 3.5 8 ビット NAND フラッシュメモリ ステータスリード
- 3.6 8 ビット NAND フラッシュメモリ データライト
- 3.7 自動ウェイト設定
- 3.8 外部 RDY

### 3.1. バスアクセスモード

バスアクセスモードについて説明します。

#### ■ アクセス方式

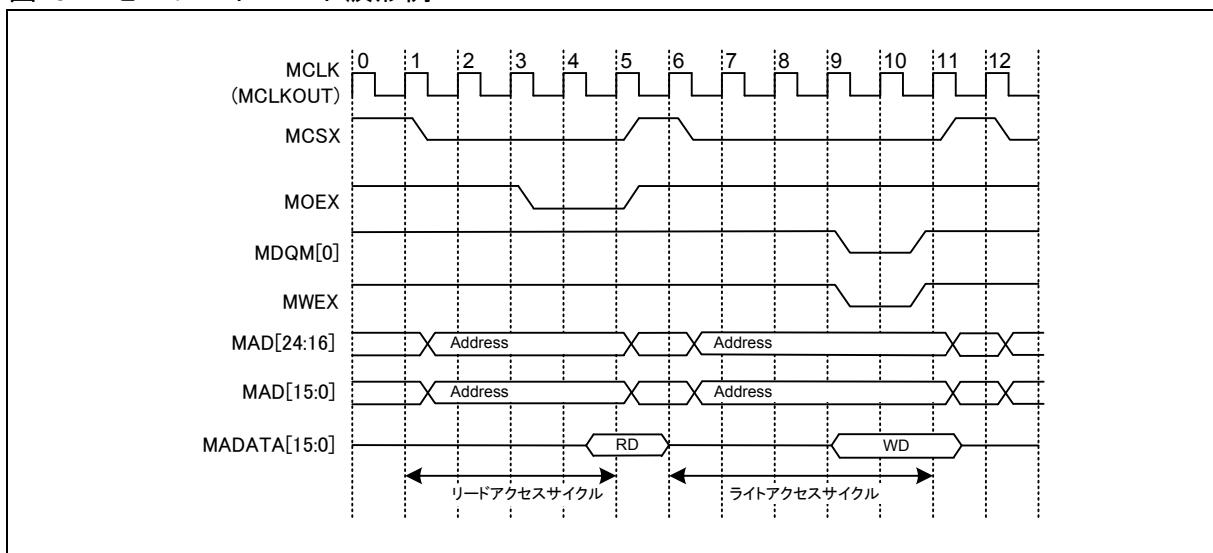
外部バスインターフェースは、セパレートモード、マルチプレクスマードをレジスタにより選択できます。

##### ● セパレートモード

アドレスを MAD[24:0]端子に出力し、データを MADATA[15:0]端子に入出力します。

アドレス端子とデータ端子が分かれているため、通常の SRAM と直接接続することが可能になり、より高速なアクセスが可能です。図 3-1 にセパレートモードの波形例を示します。

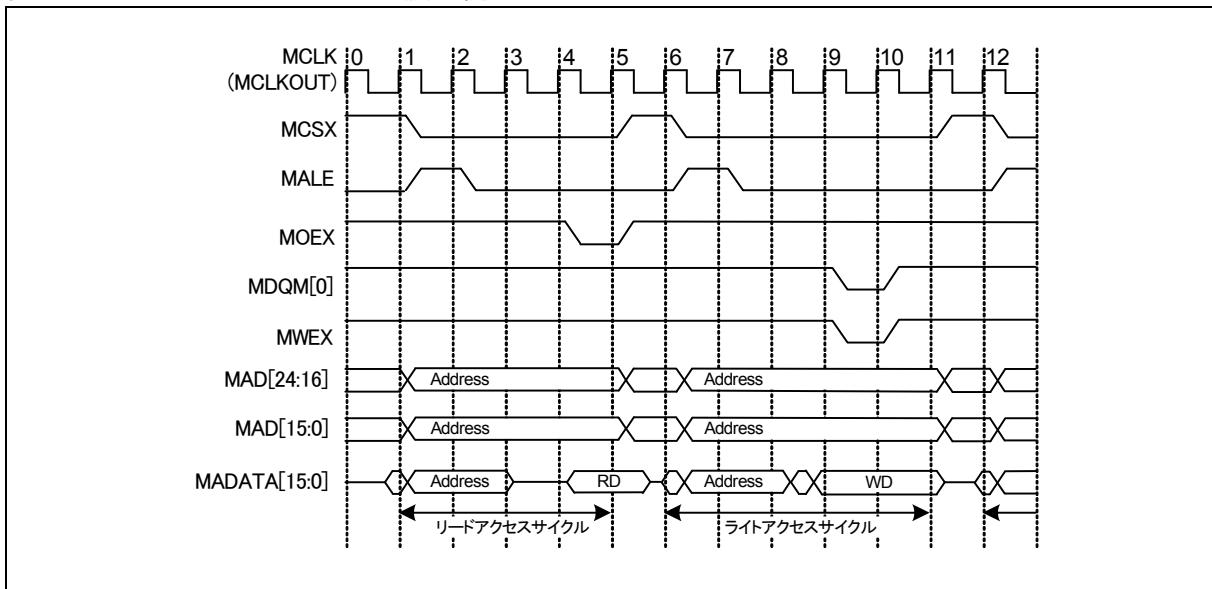
図 3-1 セパレートモード波形例



### ● マルチプレクスモード

MADATA[15:0]端子にアドレス/データを時分割で入出力します。一部のアドレス端子とデータ端子が共通のため、少ない端子で外部メモリにアクセスできます。図 3-2 にマルチプレクスモードの波形例を示します。

図 3-2 マルチプレクスモード波形例



選択したバスアクセスモードと端子機能について表 3-1 にまとめます。

表 3-1 バスアクセスモードと端子機能

端子	16 ビット セパレート	16 ビット マルチプレクス	8 ビット セパレート	8 ビット マルチプレクス
MAD[24:16]	アドレス[24:16]	アドレス[24:16]	アドレス[24:16]	アドレス[24:16]
MAD[15:8]	アドレス[15:8]	(アドレス[15:8])	アドレス[15:8]	(アドレス[15:8])
MAD[7:0]	アドレス[7:0]	(アドレス[7:0])	アドレス[7:0]	(アドレス[7:0])
MADATA[15:8]	データ[15:8]	アドレス[15:8] データ[15:8] マルチプレクス	出力なし	(アドレス[15:8])
MADATA[7:0]	データ[7:0]	アドレス[7:0] データ[7:0] マルチプレクス	データ[7:0]	アドレス[7:0] データ[7:0] マルチプレクス

(注意事項) マルチプレクスモード時も GPIO の設定によっては、MAD 端子からアドレスを出力することができます。

**■ バスアクセスモードと各機能の設定について**

バスアクセスモードと、各機能の設定は表 3-2 のようになります。

表 3-2 バスアクセスモードと各機能の設定(TYPE0 以外の製品)

バスアクセスモード	クロック出力	外部 RDY	ページリード	NAND フラッシュ	クロック分周
セパレートバスモード	○	○	○	○	○
マルチプレクスモード	○	○	使用不可	使用不可	○

バスアクセスモード	ページリード	NAND フラッシュ
セパレートバスモード	○	○

ページリードと NAND フラッシュモードは同時に使用する設定は禁止です。

ページリードと外部 RDY も同時に使用する設定は禁止です。

NAND フラッシュモードと外部 RDY も同様に同時に使用する設定は禁止です。

NAND フラッシュモード時にクロック出力は禁止です。

**<注意事項>**

- ・品種によって、外部に現れる外バスインターフェース用端子が異なります。詳細はご使用する品種の『データシート』を参照してください。
- ・TYPE0 製品は、"クロック出力", "外部 RDY", "クロック分周", "マルチプレクスモード"機能は選択できません。

### ■ バスサイズ変換機能と連続アクセス

CPU アクセス幅よりも、外部バス幅が小さいときにアクセスが行われた場合、アクセスが分割され、MCSX="L"を保った状態でアドレスのみが連続して変化する、連続アクセスに変換されます。例えば、8 ビット幅バス幅に対して、内部バスから 32 ビットリードアクセスを行った場合は、MCSX が "L" を保った状態のままアドレスが  $0 \rightarrow 1 \rightarrow 2 \rightarrow 3$  と変化し、遷移タイミングにより MADATA[7:0] からデータが連続的に出力されます。

図 3-3 に 8 ビット幅 SRAM に対するワードリードアクセス波形を示します。

図 3-4 に 16 ビット幅 SRAM に対するワードライト/リード連続アクセス波形を示します。

図 3-3 8 ビット幅 SRAM に対するワードリードアクセス波形

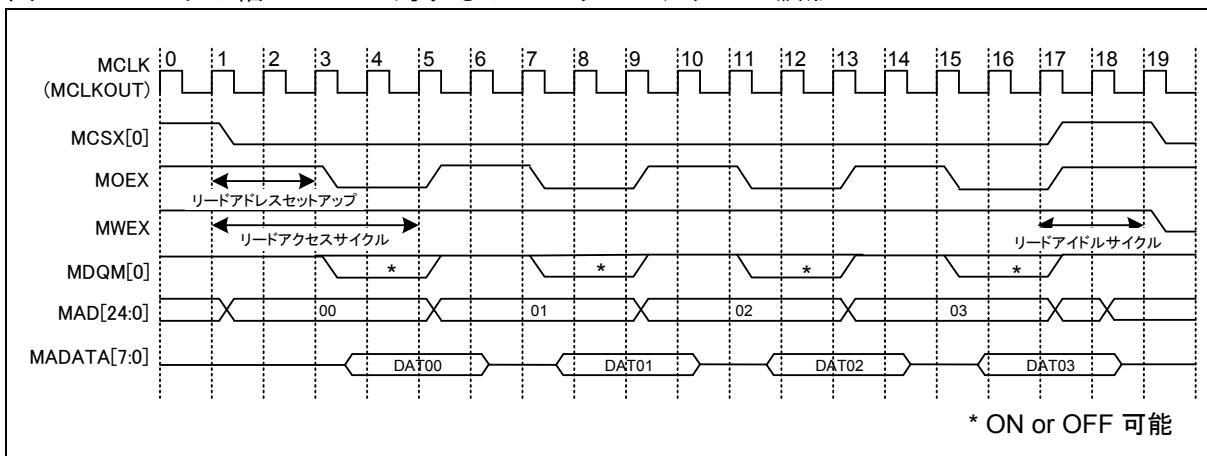
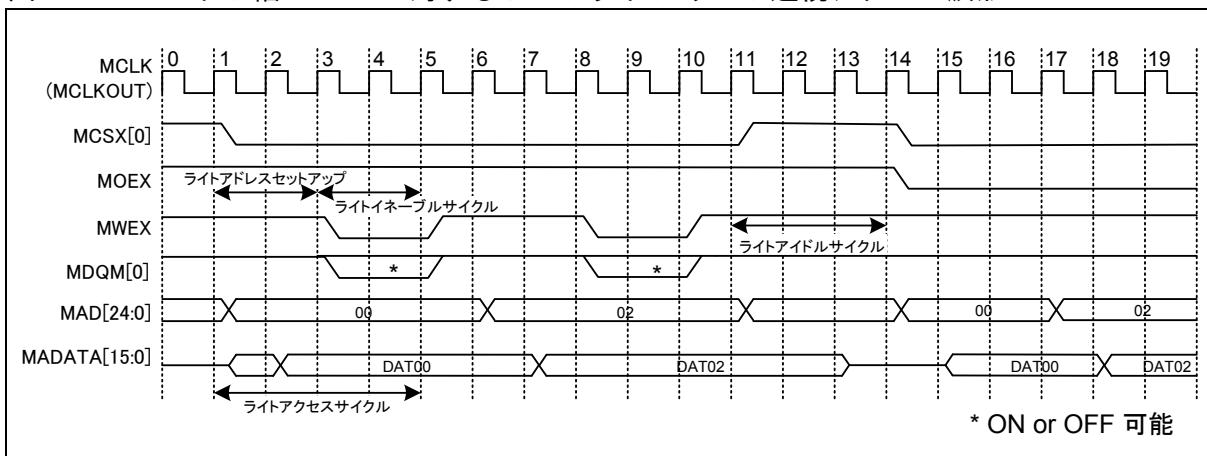


図 3-4 16 ビット幅 SRAM に対するワードライト/リード連続アクセス波形



#### <注意事項>

連続アクセス時、アイドルサイクルは最終アドレスへのアクセス後にのみ挿入されます。

表 3-3 に CPU アクセス幅と外部バス幅の対応について示します。

表 3-3 CPU アクセス幅と外部バス幅の対応

外部バス幅	CPU からのアクセス内容		外部バスへのアクセス内容			
	アクセス種類	アドレス	アクセス順番	MAD[1:0] 出力値	MADATA[15:0]の 有効データ	MDQM[1:0]の 出力値
8bit	バイト(8bit)	0	分割なし	00	MADATA[7:0]	10
		1	分割なし	01		10
		2	分割なし	10		10
		3	分割なし	11		10
	ハーフワード (16bit)	0	1/2 回目のアクセス	00	MADATA[7:0]	10
			2/2 回目のアクセス	01		10
	ハーフワード (16bit)	2	1/2 回目のアクセス	10		10
			2/2 回目のアクセス	11		10
	ワード(32bit)	0	1/4 回目のアクセス	00	MADATA[7:0]	10
		1	2/4 回目のアクセス	01	MADATA[7:0]	10
		2	3/4 回目のアクセス	10	MADATA[7:0]	10
		3	4/4 回目のアクセス	11	MADATA[7:0]	10
16bit	バイト(8bit)	0	分割なし	00	MADATA[7:0]	10
		1	分割なし	00	MADATA[15:8]	01
		2	分割なし	10	MADATA[7:0]	10
		3	分割なし	10	MADATA[15:8]	01
	ハーフワード (16bit)	0	分割なし	00	MADATA[15:0]	00
		2	分割なし	10	MADATA[15:0]	00
	ワード(32bit)	0	1/2 回目のアクセス	00	MADATA[15:0]	00
			2/2 回目のアクセス	10	MADATA[15:0]	00

HADDR: AHB アドレス入力

8 ビット幅のターゲットの場合、HADDR[1:0]の値によって入出力データが決まります。

16 ビット幅のターゲットの場合、HADDR[1]のみがデータ割当てに関わっています。

### <注意事項>

MAD 端子および MADATA 端子は 1bit ごとに汎用ポート/兼用機能の選択が可能です。設定の詳細は別章『I/O ポート』を参照してください。

## 3.2. SRAM, NOR フラッシュメモリアクセス

SRAM, NOR フラッシュメモリアクセスについて説明します。

### ■ メモリアクセス

SRAM, NOR フラッシュメモリアクセスでは、MCSX[7:0]/アドレス出力により、ターゲットデバイスが確定します。その後、MOEX/MWEX を出力することにより、ターゲットデバイスに対し、リード/ライト動作を行います。

### ■ 使用端子

SRAM, NOR フラッシュメモリアクセスには表 3-4 の端子を使用します。

表 3-4 SRAM, NOR フラッシュメモリ用の外部インターフェース端子

端子名	機能
MAD[24:0]	アドレス出力端子
MADATA[15:0]	データ入出力端子 (マルチプレクスマードでは、アドレス/データの入出力端子になります。)(TYPE0 製品では端子名が異なります。)
MCSX[7:0]	チップセレクト端子
MDQM[1:0]	バイトマスク信号出力端子
MALE	アドレスラッチャブル出力端子 (マルチプレクスマードのみ)
MOEX	アウトプットイネーブル出力端子
MWEX	ライトイネーブル出力端子
MRDY	RDY 信号入力端子
MCLKOUT	クロック出力端子

### <注意事項>

- 設定およびターゲットデバイスによっては、表 3-4 のすべての端子を使用するわけではありません。
- 品種によって、外部に現れる外部バスインターフェース端子が異なります。詳細はご使用する製品の『データシート』を参照してください。
- TYPE0 製品では、データ入出力端子名は"MDATA[15:0]"です。

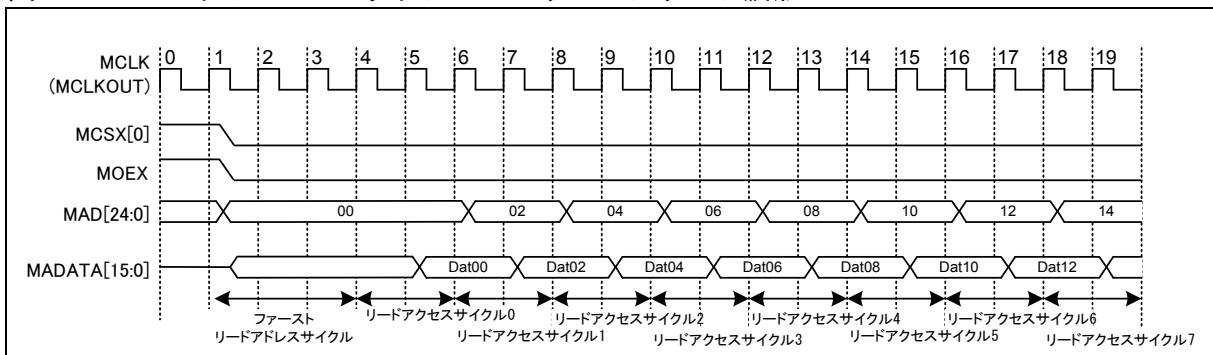
**■ 16 ビット NOR フラッシュメモリページリード**

モードレジスタ(MODE0～MODE7)の5ビット目 : PAGE=1 とすることにより、NOR フラッシュメモリのページリード動作が可能です。

ページリード動作は、リード動作時に、MOEX=L を維持したまま、16 バイト境界までリードサイクルが繰り返されます。図 3-5 に 16 ビット NOR フラッシュメモリページリード波形を示します。

第 1 サイクルの間だけ、設定されたサイクル間アドレスが保持されます(ファーストリードアドレスサイクル)。第 1 サイクル後は、RACC で設定されたサイクル数によってアクセスが行われます。

図 3-5 16 ビット NOR フラッシュメモリページリード波形



- MOEX は MCSX と同時のタイミングでアサートされます。
- ファーストリードアドレスサイクルは、タイミングレジスタ(TIM)で設定した FRADC サイクルです。

## &lt;注意事項&gt;

- ページリードはマルチプレクスモードでは利用できません。
- ページリードは NAND フラッシュモードでは利用できません。

### 3.3. NAND フラッシュメモリアクセス

NAND フラッシュメモリアクセスについて説明します。

#### ■ メモリアクセス方法

NAND フラッシュメモリへのアクセスは NAND モードに設定された領域のベースアドレスを基準として下記のように変換されます。

+0x2000 へのライトアクセスは、NAND フラッシュメモリに対するアドレス発行(MNALE がアサート)に変換されます。

+0x1000 へのライトアクセスは、NAND フラッシュメモリに対するコマンド発行(MNCLE がアサート)に変換されます。

+0x0000 へのライト/リードアクセスは、NAND フラッシュメモリに対するデータアクセス (MNALE と MNCLE はアサートされません)に変換されます。

このとき、アクセスタイミング設定はすべて SRAM アクセスで使用される設定と同じです。

MNCLE はアクセス時のアドレス出力と同じタイミングで出力されます。

MNALE はアドレス発行後、+0x3000 へのライトアクセスを行うか、アドレス発行以外のライトアクセス(データまたはコマンド)を行うまで、アサート状態が保たれます。これは NAND フラッシュメモリではアドレス発行のための複数ライトアクセス間において MNALE をディアサートすることができないためです。+0x3000 へのアクセスでは MNALE のディアサートのみ発生し、アクセスは行われません。図 3-6 では、NAND フラッシュメモリアクセスの過程を示します(コマンドの詳細は、本シリーズと接続する NAND フラッシュメモリの仕様を参照してください)。

#### ■ 使用端子

NAND フラッシュメモリアクセスには表 3-5 の端子を使用します。

表 3-5 NAND フラッシュメモリ用の外部インターフェース端子

端子名	機能
MADATA[15:0]	データ入出力端子(TYPE0 製品では端子名が異なります。)
MCSX[7:0]	チップセレクト端子
MNALE	NAND フラッシュ向けのアドレスラッチャブル出力端子
MNCLE	NAND フラッシュ向けのチップイネーブル出力端子
MNREX	NAND フラッシュ向けのリードイネーブル出力端子
MNWEX	NAND フラッシュ向けのライトイネーブル出力端子

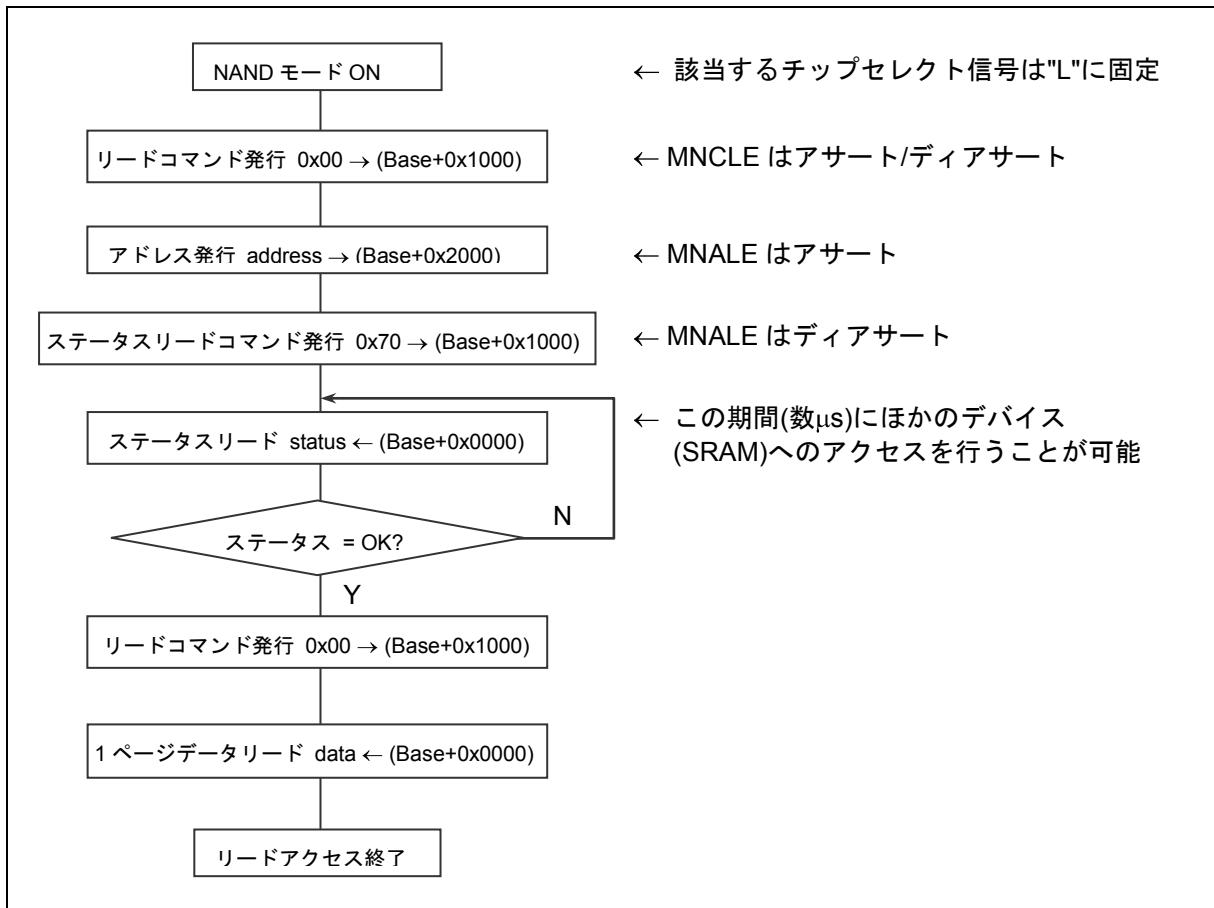
#### <注意事項>

- 設定およびターゲットデバイスによっては、表 3-5 のすべての端子を使用するわけではありません。
- 品種によって、外部に現れる外部バスインターフェース端子が異なります。NAND フラッシュモード用端子は品種によっては出力されておりません。詳細はご使用する製品の『データシート』を参照してください。
- NAND フラッシュメモリアクセスでは、マルチプレクスモードは使用できません。
- TYPE0 製品では、データ入出力端子名は"MDATA[15:0]"です。

### 3.3.1. NAND フラッシュメモリに対するリードアクセス

図 3-6 に NAND フラッシュメモリに対するリードアクセスフローチャートを示します。

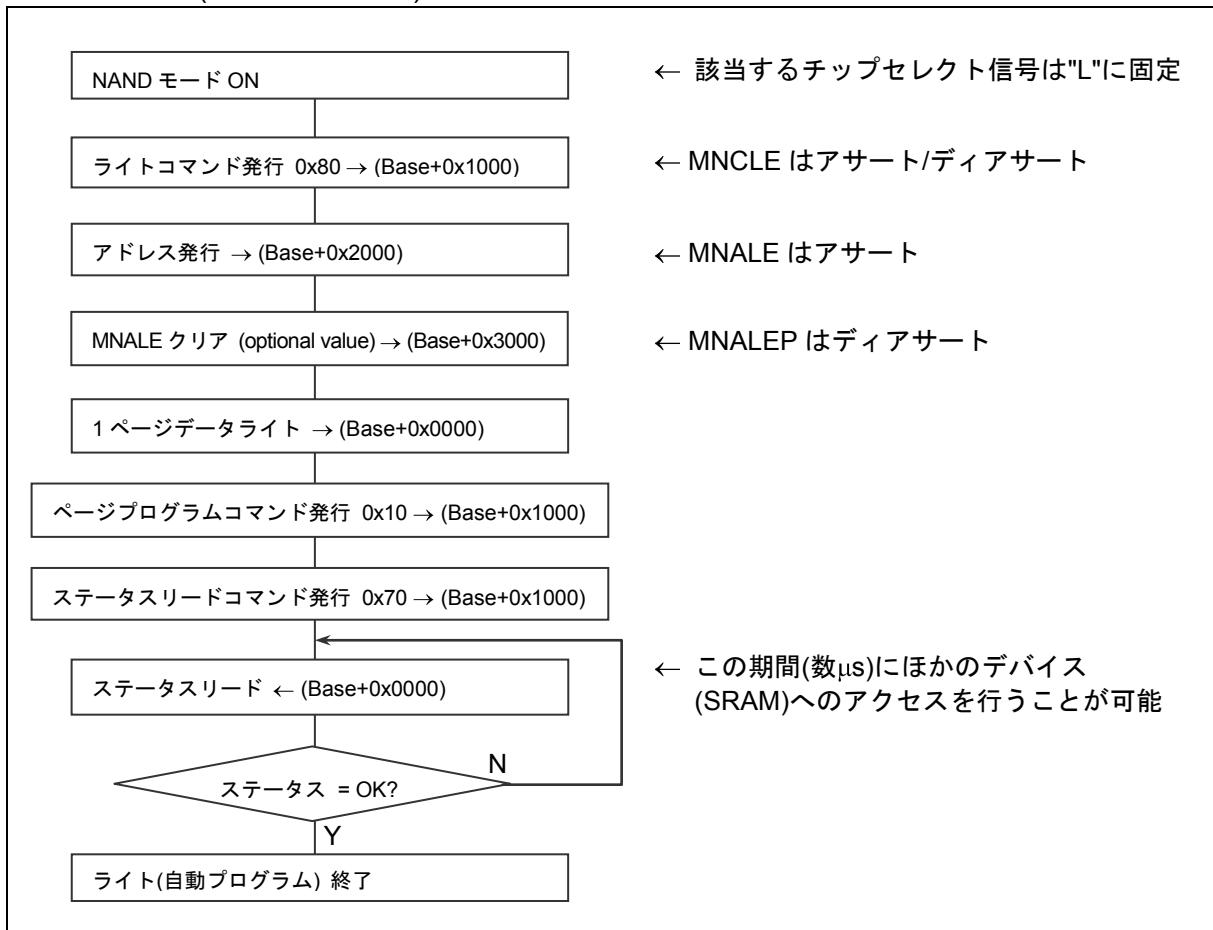
図 3-6 NAND フラッシュメモリに対するリードアクセスフローチャート



### 3.3.2. ライト(自動プログラム)アクセス

図 3-7 にライト(自動プログラム)アクセスフローチャートを示します。

図 3-7 ライト(自動プログラム)アクセスフローチャート



### 3.3.3. 自動ブロック消去アクセス

図 3-8 に自動ブロック消去アクセスフローチャートを示します。

図 3-8 自動ブロック消去アクセス

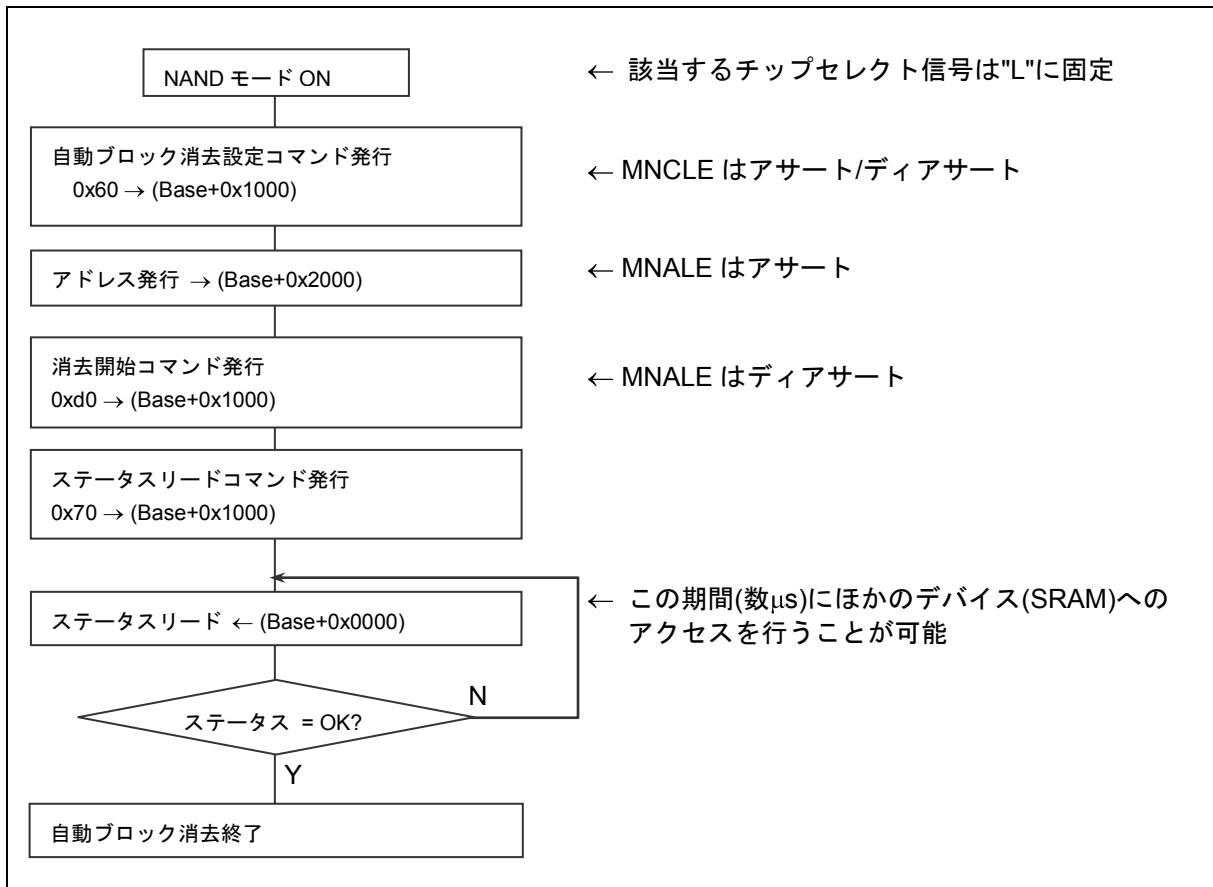
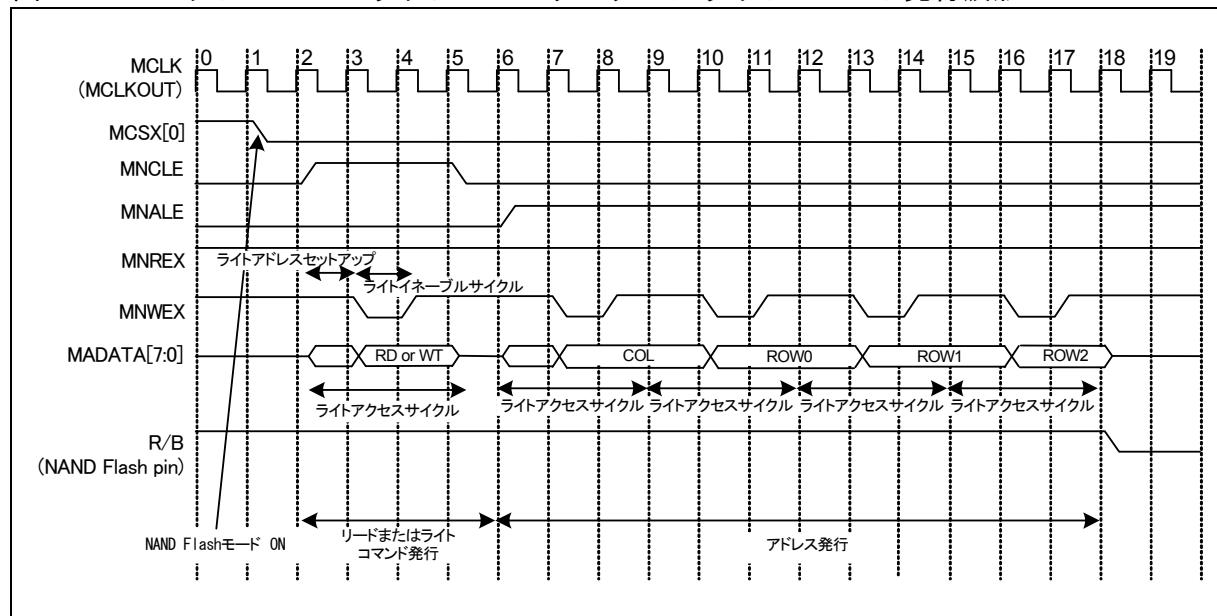


図 3-8 で示したように、NAND フラッシュメモリアクセスが完了していない段階であっても、ほかのメモリデバイスに対するアクセスが可能です。データリードやデータライトは DMA でも代用できるため、プロセッサは最小の動作で NAND フラッシュメモリへのアクセスを行えます。

### 3.4. 8ビットNANDフラッシュメモリリード/ライトコマンド発行

図 3-9 に 8 ビット NAND フラッシュメモリのリード/ライトコマンド発行(バイトアクセス)波形を示します。

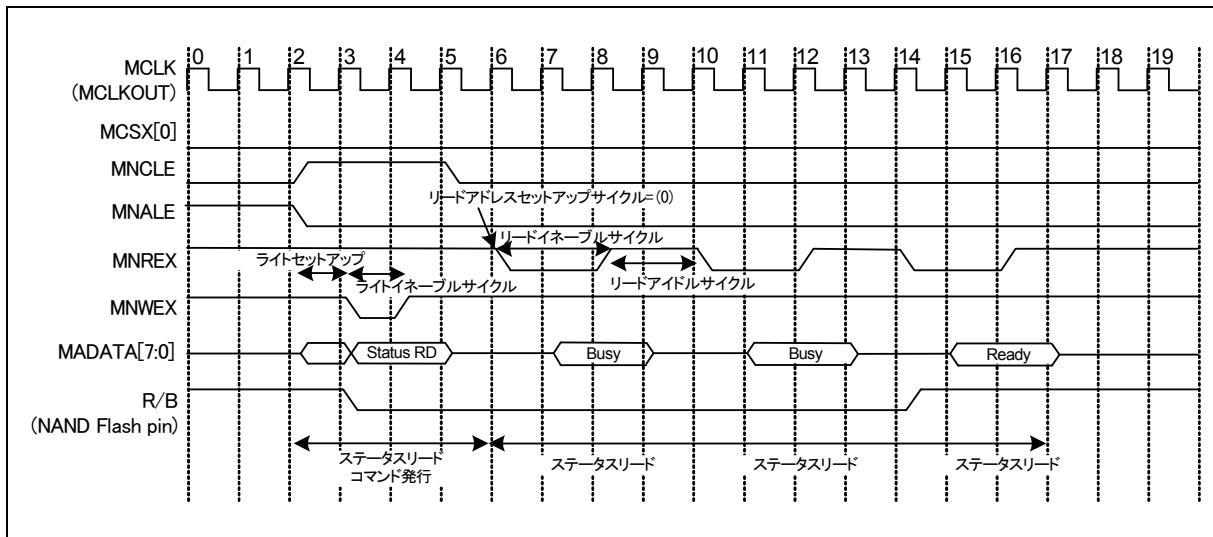
図 3-9 8 ビット NAND フラッシュメモリのリード/ライトコマンド発行波形



### 3.5. 8 ビット NAND フラッシュメモリ ステータスリード

図 3-10 に 8 ビット NAND フラッシュメモリステータスリード(バイトアクセス)波形を示します。

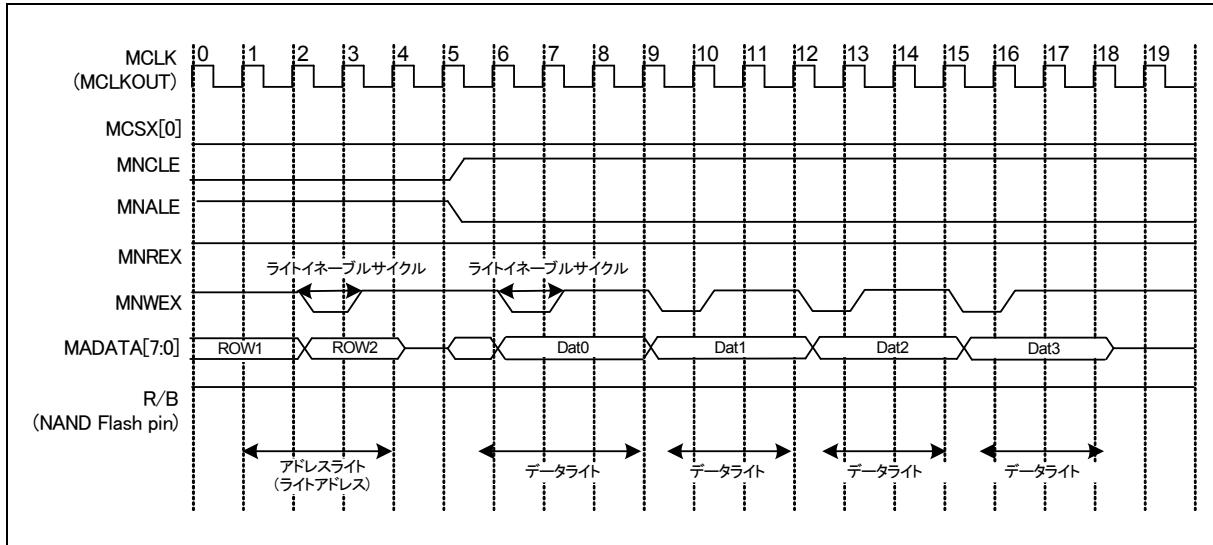
図 3-10 8 ビット NAND フラッシュメモリステータスリード波形



### 3.6. 8 ビット NAND フラッシュメモリ データライト

図 3-11 に 8 ビット NAND フラッシュメモリデータライト波形を示します。

図 3-11 8 ビット NAND フラッシュメモリデータライト



## 3.7. 自動ウェイト設定

自動ウェイトについて説明します。

自動ウェイト機能は、外部アクセス時、MCSX 領域ごとにレジスタ設定にて自動ウェイト時間を設定します。表 3-6 に設定可能箇所をまとめます。また、図 3-12～図 3-16 に、自動ウェイトの反映箇所の具体的な設定例を示します。

表 3-6 自動ウェイト設定一覧

設定可能箇所	ビット名	設定可能サイクル	補足
アクセス開始から ALE 出力、アドレス出力開始までのサイクル数	ATIMn:ALES	0～15cycle (ALES)サイクル	マルチプレクス時のみ
ALE 出力幅	ATIMn:ALEW	1～16cycle (ALEW+1)サイクル	マルチプレクス時のみ
アクセス開始からアドレス出力終了までの期間	ATIMn:ALC	1～16cycle (ALC+1)サイクル	マルチプレクス時のみ
ALC 期間終了後、MOEX↓までのサイクル数	TIMn:RADC	0～15cycle (RADC)サイクル	
リードサイクル時の CS 有効期間	TIMn:RACC	1～16cycle (RACC+1)サイクル	
リード後のアイドルサイクル数	TIMn:RIDLC	1～16cycle (RIDLC+1)サイクル	
ALC 期間終了後 MWEX↓までのサイクル数	TIMn:WADC	1～15cycle (WADC+1)サイクル	
MWEX の Low 期間のサイクル数	TIMn:WWEC	1～15cycle (WWEC+1)サイクル	
ライトサイクル時の CS 有効期間	TIMn:WACC	3～16cycle (WACC+1)サイクル	
ライト後のアイドルサイクル数	TIMn:WIDLC	1～16cycle (WIDLC+1)サイクル	

図 3-12 自動ウェイト反映箇所説明図 セパレートモード

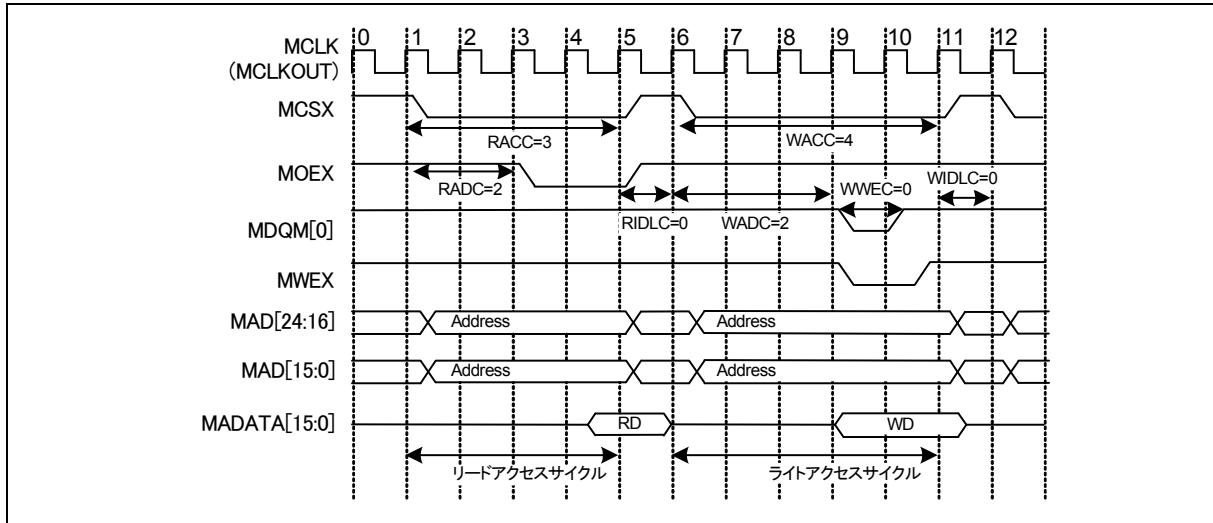


図 3-13 自動ウェイト反映箇所説明図 マルチプレクスモード

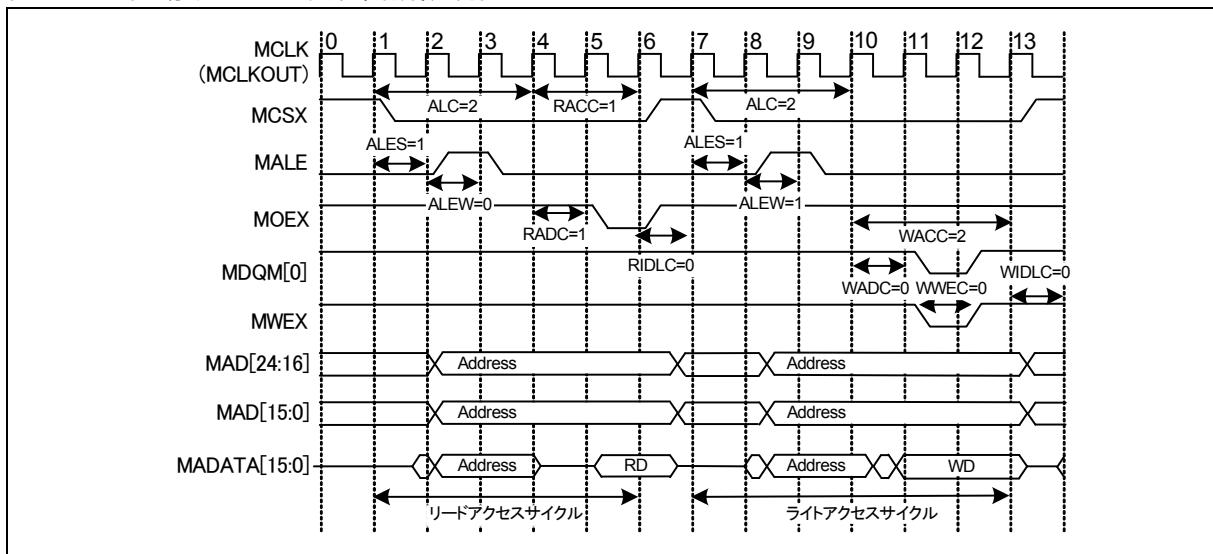


図 3-14 自動ウェイト反映箇所説明図 NAND フラッシュモード

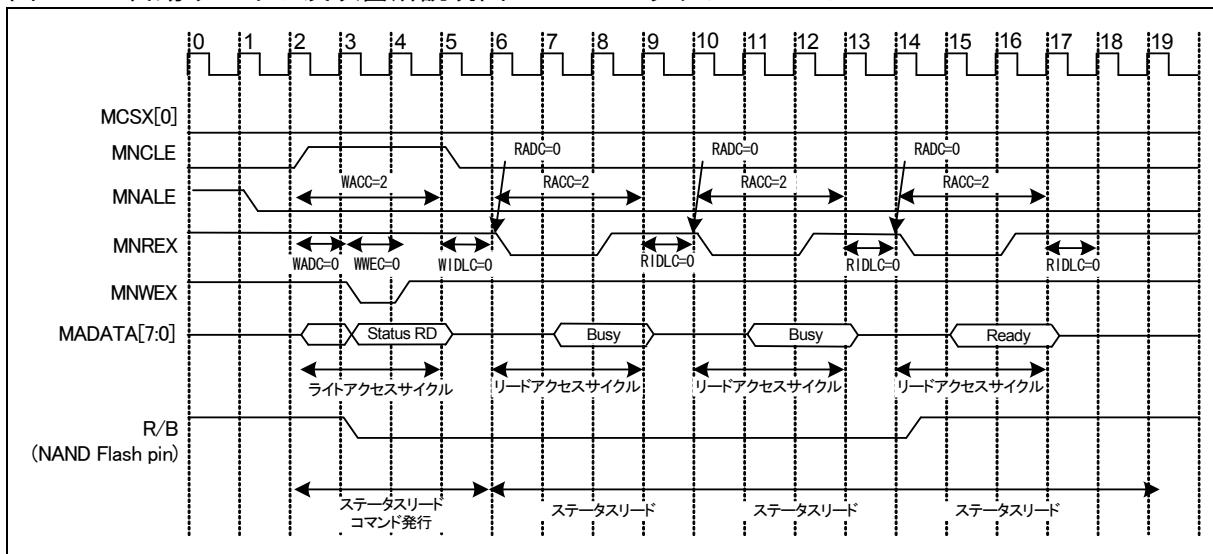


図 3-15 自動ウェイト反映箇所説明図 NOR フラッシュ ページリード

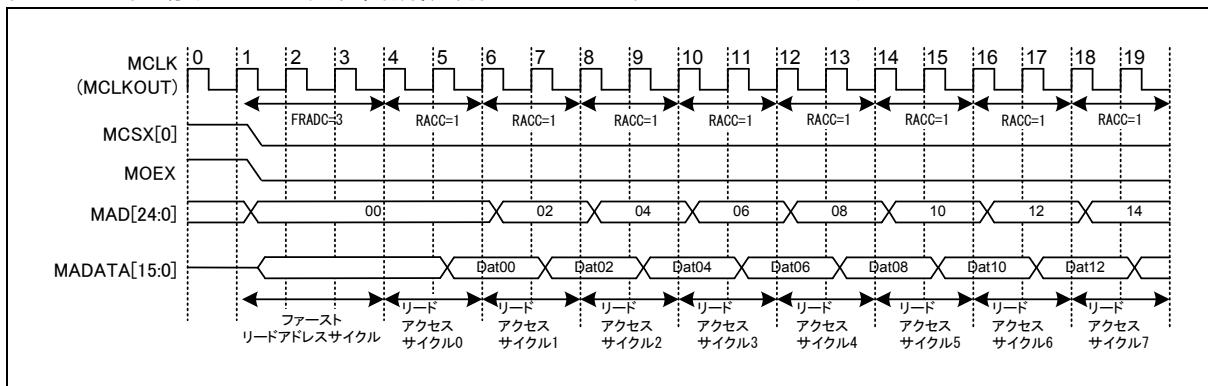
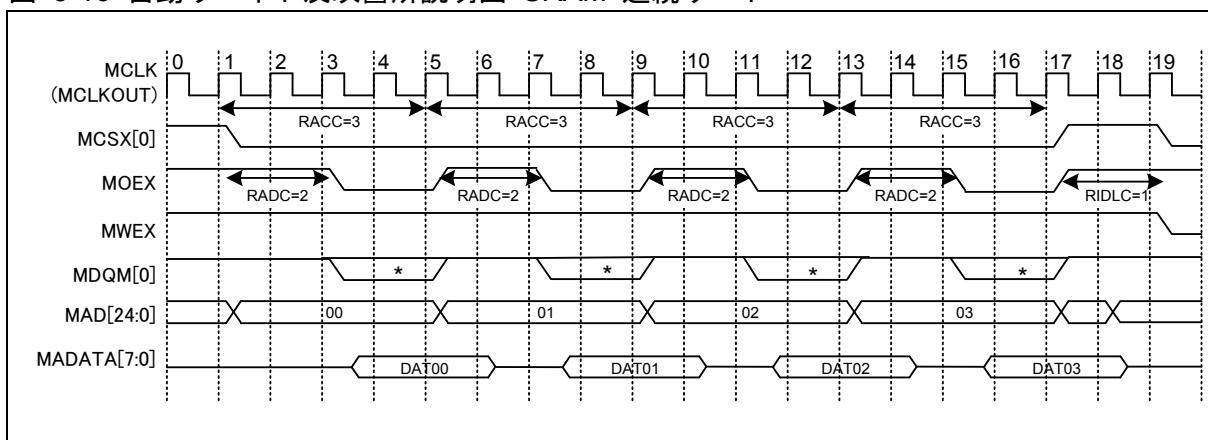


図 3-16 自動ウェイト反映箇所説明図 SRAM 連続リード



### <注意事項>

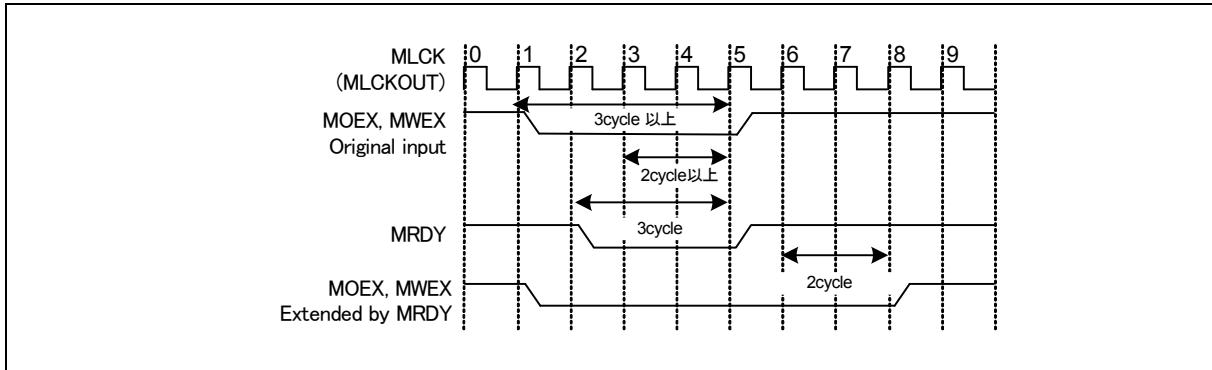
- 自動ウェイトの設定は、ATIMn:ALES, ALC, ALEW を除き、外部バスインターフェースのすべてのアクセスモードに対して有効になります。リードデータ・ライトデータに対し、必ずセットアップ・ホールドを満たすように設定してください。
- 非同期アクセス時は、アドレスホールドサイクルは必ず 1 サイクル以上とするようにしてください。

## 3.8. 外部 RDY

外部 RDY 機能について説明します。

MRDY 端子へ "L" レベルが入力されている期間、ウェイトサイクルが挿入され、アクセスサイクルを伸ばすことが可能です。これにより、低速の外部メモリへのアクセスが可能になります。図 3-17 に、RDY 信号の動作波形を示します。

図 3-17 外部 RDY の動作



### <注意事項>

- 外部 RDY 機能を使用する場合は、MOEX, MWEX の幅は 3 サイクル以上となるように設定してください。
- RDY 機能が有効になるには、MOEX ↑ /MWEX ↑ の 2 サイクル以上前に MRDY=L が入力されている必要があります。2 サイクル以下で MRDY=L を入力しても入力は無視されます。
- AC 規格の詳細はご使用する製品の『データシート』を参照してください。
- MRDY=H の後、2 サイクル後に MOEX ↑ /MWEX ↑ となります。
- いったん MRDY=H にした後は、MOEX ↑ /MWEX ↑ になるまで MRDY=L にしないでください。
- NOR フラッシュページリード, NAND フラッシュモードでは外部 RDY 機能は使用できません。
- MRDY=L としても ALC 期間や ALE 期間は延長されません。

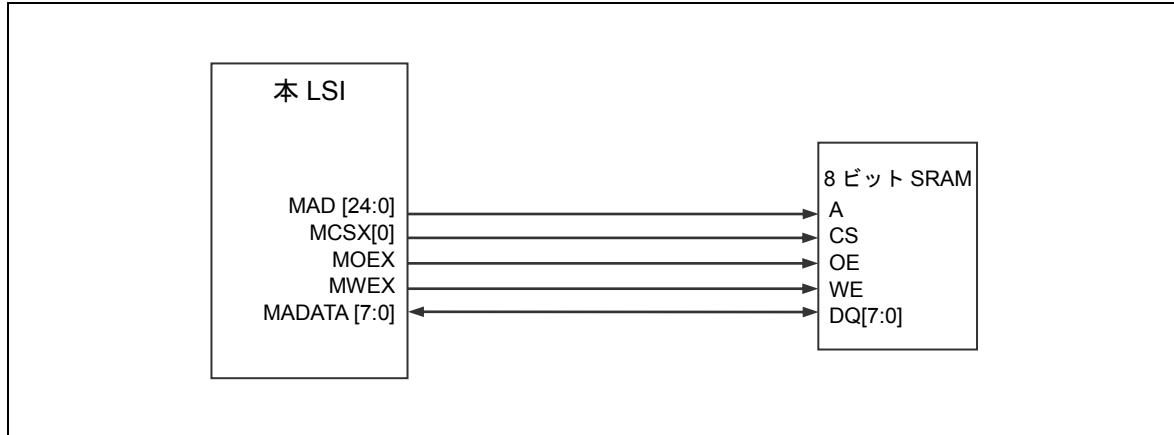
## 4. 接続例

外部デバイスとの接続例を示します。

### ■ 8 ビット SRAM

図 4-1 に 8 ビット SRAM 接続例を示します。

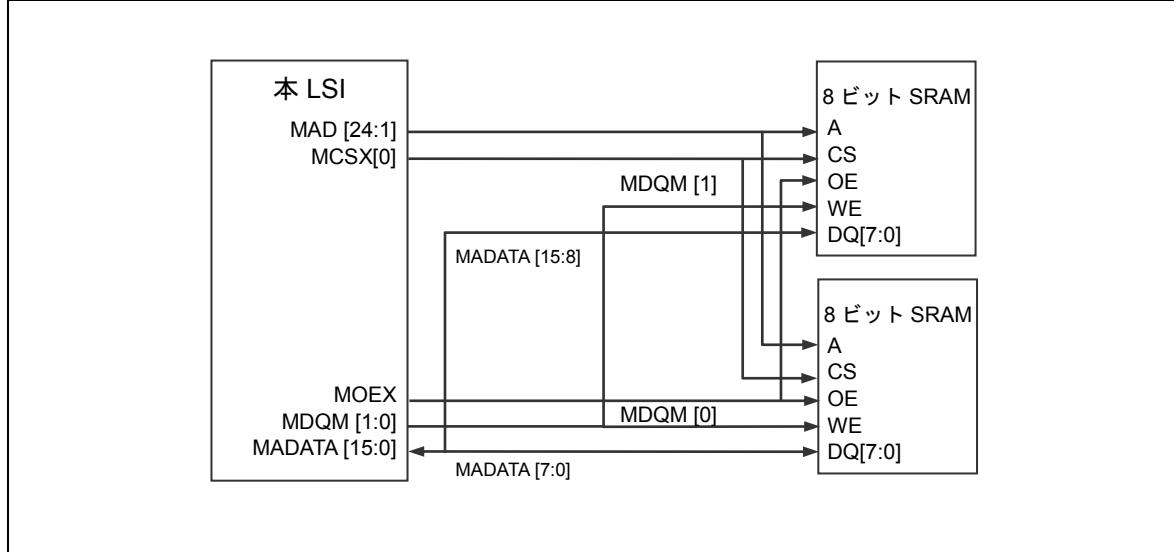
図 4-1 8 ビット SRAM 接続例



### ■ 8 ビット SRAM × 2

図 4-2 に 8 ビット SRAM×2 接続例を示します。

図 4-2 8 ビット SRAM×2 接続例

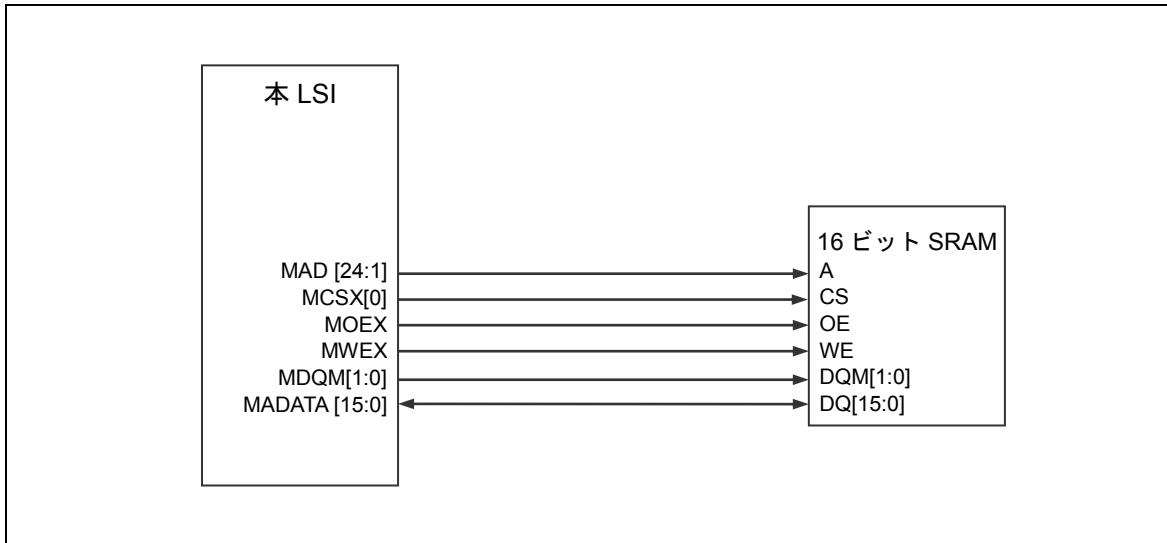


入力マスクを持たないデバイスに関しては、MDQM 信号がライトイネーブルとして使用可能です。

### ■ 16 ビット SRAM

図 4-3 に 16 ビット SRAM 接続例を示します。

図 4-3 16 ビット SRAM 接続例

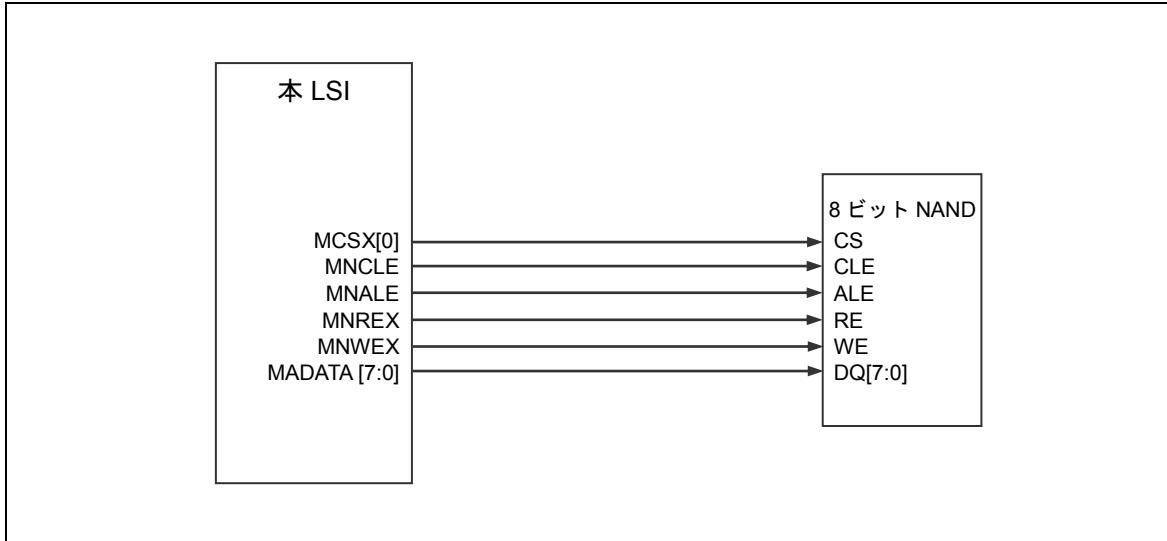


ターゲットデバイスがバイトマスク信号を持っている場合、MDQM制御を用いることで、デバイスに対し必要なデータだけを読み出せます。そのため、アクセス時の消費電力を抑えられます。

### ■ 8 ビット NAND

図 4-4 に 8 ビット NAND フラッシュメモリ接続例を示します。

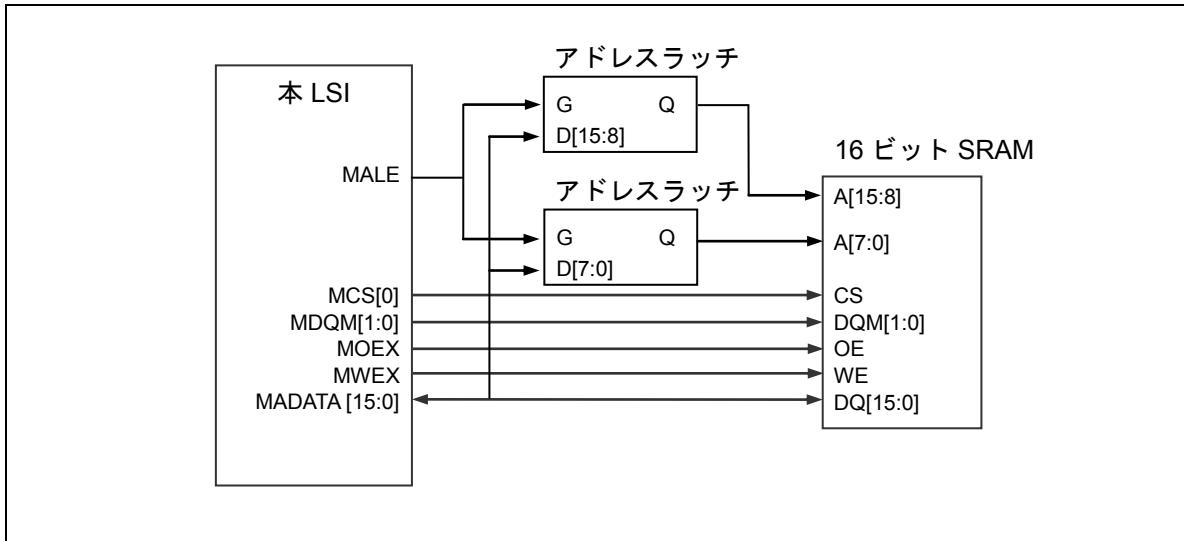
図 4-4 8 ビット NAND フラッシュメモリ接続例



### ■ 16 ビット SRAM マルチプレクスモード

図 4-5 に 16 ビット SRAM のマルチプレクスモードでの接続例を示します。

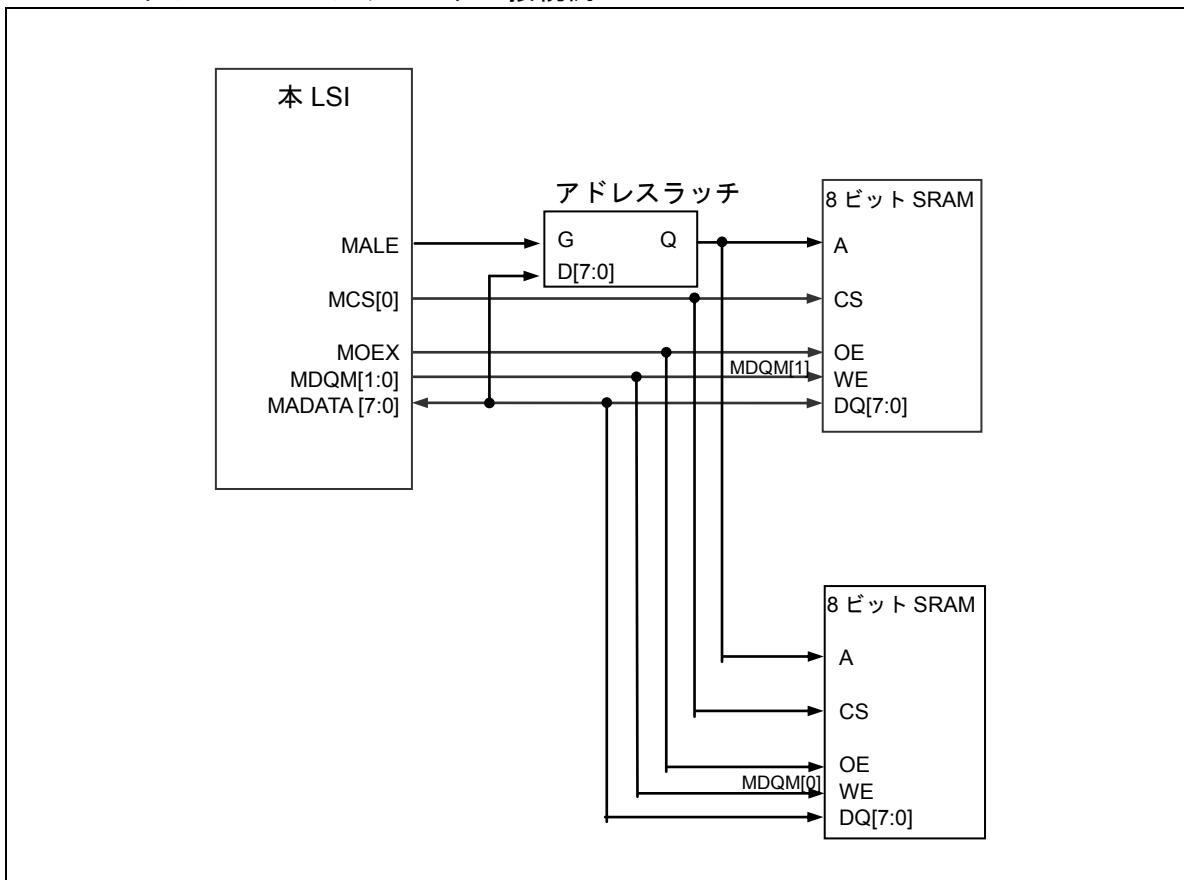
図 4-5 16 ビット SRAM マルチプレクス接続例



### ■ 8 ビット SRAM マルチプレクスモード

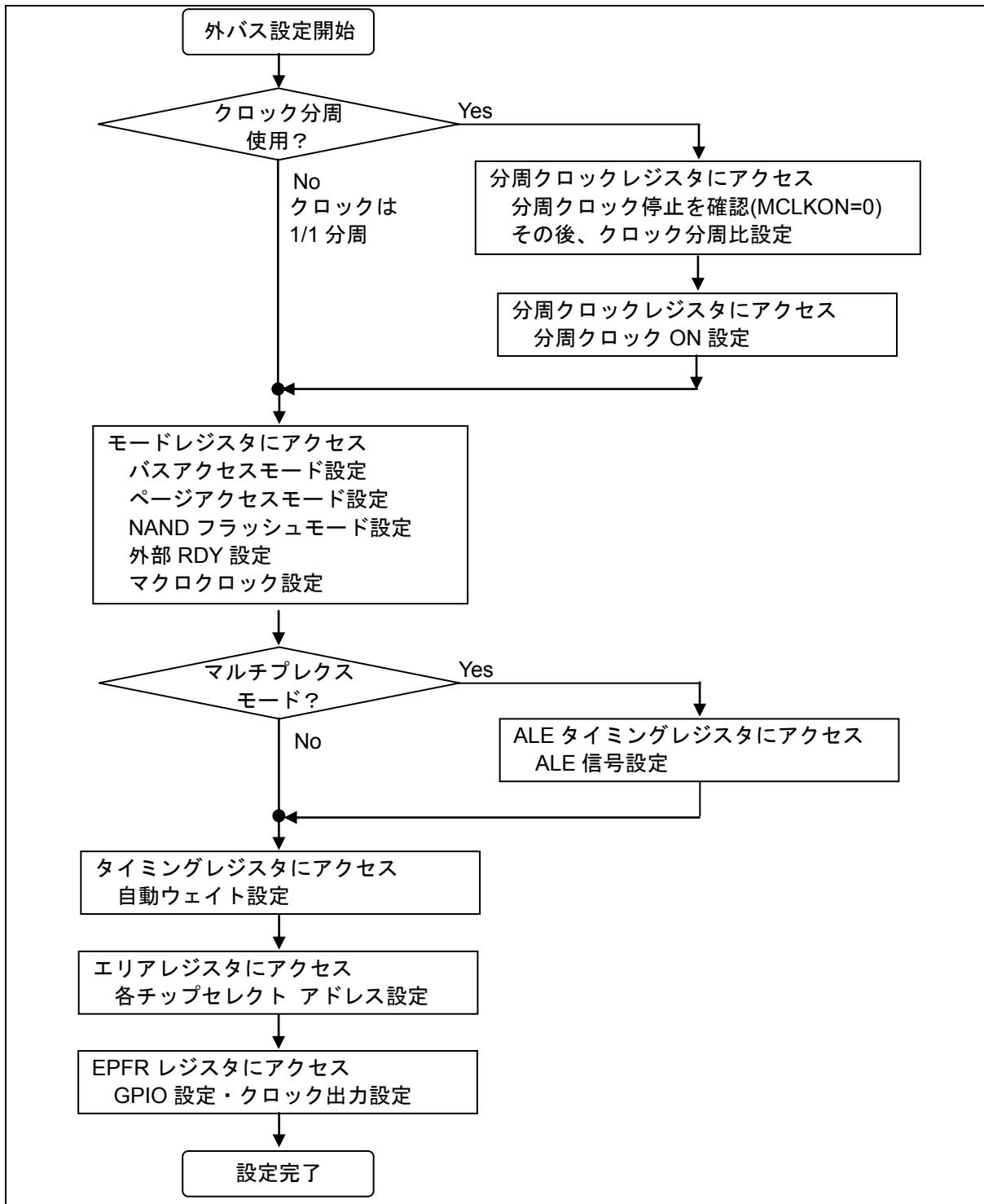
図 4-6 に 8 ビット SRAM のマルチプレクスモードでの接続例を示します。

図 4-6 8 ビット SRAM マルチプレクス接続例



## 5. 設定手順例

外部バスインターフェースの設定手順例について説明します。



### <注意事項>

- 分周クロック設定は、必ず分周クロック停止中に行ってください。
- モードレジスタの設定には、同時に設定禁止の組合せがあります。

## 6. レジスタ

外部バスインターフェースで使用するレジスタの構成と機能について説明します。

外部バスインターフェースで使用するレジスタについて説明します。すべてのレジスタは32ビット幅です。各レジスタは32ビット幅(ワード)でAPBインターフェースよりアクセス可能です。予約領域には"0"を書き込んでください。

レジスタは外部アクセス中に書き換えることも可能です。実際に設定値が反映されるのは現在のアクセスが終了した後です。それまではレジスタを読み出しても以前の設定値が読み出されます。

表 6-1 にレジスター一覧を示します。

表 6-1 レジスター一覧

レジスタ略称	レジスタ名	参照先
MODE0～MODE7	モードレジスタ 0～7	6.1
TIM0～TIM7	タイミングレジスタ 0～7	6.2
AREA0～AREA7	エリアレジスタ 0～7	6.3
ATIM0～ATIM7	ALE タイミングレジスタ 0～7	6.4
DCLKR	分周クロックレジスタ	6.5

## 6.1. モードレジスタ 0~7 (MODE0~MODE7)

以下に MODE0~MODE7 の構成を示します。bit13:6 は TYPE0 製品にはありません。

bit	31	30	29	28	27	26	25	24
Field					予約			
初期値					-			
属性					-			
bit	23	22	21	20	19	18	17	16
Field					予約			
初期値					-			
属性					-			
bit	15	14	13	12	11	10	9	8
Field	予約		MOEXEUP	MPXCSOF	MPXDOFF	予約	ALEINV	MPXMODE
初期値	-		0	0	0	-	0	0
属性	-		R/W			-		R/W
bit	7	6	5	4	3	2	1	0
Field	SHRTDOUT	RDY	PAGE	NAND	WEOFF	RBMON		WDTH
初期値	0	0	0	0	0	0		00*
属性				R/W				

[bit31:14] 予約

### ■ TYPE0 以外の製品

[bit13] MOEXEUP

MOEX 幅の設定方法を選択します。

bit	説明
0	MOEX の幅を RACC-RADC で設定します。(初期値)
1	MOEX の幅を FRADC で設定します。*

\* 本機能はページリードとの併用は禁止です。

(注意事項) 具体的な動作については、「■ 参考情報」を参照してください。

[bit12] MPXCSOF

マルチプレクスモードにおける、アクセス開始から、アドレス出力終了までの間(ALC サイクル期間)の CS アサートを選択します。

bit	説明
0	ALC サイクル期間に MCSX をアサートします。(初期値)
1	ALC サイクル期間に MCSX をアサートしません。

(注意事項) 具体的な動作については、「■ 参考情報」を参照してください。

## [bit11] MPXDOFF

マルチプレクスモードにおいて、データ線にアドレスの出力有無を選択します。  
(アドレスは MAD からの出力を使用しますが、ALE 信号を使用したい場合に設定します。)

bit	説明
0	データ線にアドレスを出力します。(初期値)
1	データ線にアドレスは出力しません(ALC 期間は Hi-Z です)。

(注意事項) 具体的な動作については、「■ 参考情報」を参照してください。

## [bit10] 予約

## [bit9] ALEINV

ALE 信号の極性を設定します。

bit	説明
0	ALE 信号は正極性に設定されます。(初期値)
1	ALE 信号は負極性に設定されます。

(注意事項) 複数デバイスを接続し、ALE 信号を使用する場合、ALE 信号は同一極性を推奨します。

## [bit8] MPXMODE

動作バスモードを選択します。

bit	説明
0	セパレートモードを選択します。(初期値)
1	マルチプレクスモードを選択します。

## [bit7] SHRTDOUT

ライトデータ出力をアイドルサイクルのどこまで伸ばすかを選択します。

bit	説明
0	ライトデータ出力を最終アイドルサイクルまで伸ばします。(初期値)
1	ライトデータ出力を先頭アイドルサイクルで止めます。

(注意事項) 具体的な動作については、「■ 参考情報」を参照してください。

## [bit6] RDY

外部 RDY 機能の制御を行います。

bit	説明
0	外部 RDY モード OFF (初期値)
1	外部 RDY モード ON

**■ TYPE0 製品**

bit[13:6] 予約

**■ すべての製品**

[bit5] PAGE (PAGE access mode) : NOR フラッシュメモリページアクセスモード

本ビットは NOR フラッシュメモリページアクセスのモード制御を行います。

NOR フラッシュメモリページアクセスモードでは、第 1 リードアクセスサイクル(FRADC)の設定により、第 1 アドレスサイクルが発生します。この後、リードアクセスサイクル(RACC)の設定により、16 バイト境界に達するまでアクセスが継続されます。

NOR フラッシュメモリページアクセスモード選択時は、RBMON ビットを"0"に、リードアクセスサイクル(RADC)を"0"に設定してください。

bit	説明
0	NOR フラッシュメモリページアクセスモード OFF (初期値)
1	NOR フラッシュメモリページアクセスモード ON

[bit4] NAND : NAND フラッシュメモリモード

本ビットは NAND フラッシュメモリに接続するためのモード制御を行います。

NAND フラッシュメモリにアクセス可能にするためには、本ビットを"1"に設定します。

NAND フラッシュメモリモードでは、該当する MCSX は"L"に固定され、この後 NAND フラッシュメモリ専用ピンがアクセス時に使用されます。NAND フラッシュメモリ未使用時に本ビットを"0"に設定すると、MCSX は"H"に固定され、NAND フラッシュメモリは低消費電力状態を保ちます。

bit	説明
0	NAND フラッシュメモリモード OFF (初期値)
1	NAND フラッシュメモリモード ON

[bit3] WEOFF (WEX OFF) : Write Enable OFF

書き込み許可信号(MWEX)動作のディセーブル設定を行います。

バイトマスク信号(MDQM)をデバイス書き込みイネーブル信号として使用時、MWEX の不必要的動作を禁止することで、消費電流を削減します。本ビットがディセーブル時は、MWEX は"H"に固定されます。

bit	説明
0	イネーブル (初期値)
1	ディセーブル

**[bit2] RBMON : Read Byte Mask ON**

リードアクセス時のバイトマスク信号(MDQM)のイネーブル設定を行います。

バイトマスク信号が許可になっているデバイスからの不必要なデータ出力を制御し、消費電力を削減します。

bit	説明
0	ディセーブル(初期値)
1	イネーブル

**[bit1:0] WDTW : Data Width**

接続されるデバイスのデータビット幅を指定します。

bit1	bit0	説明
0	0	8ビット(初期値)
0	1	16ビット
1	0	設定禁止
1	1	設定禁止

(注意事項) MODE4 レジスタのみ、本ビットの初期値は 01 になります。

**<注意事項>**

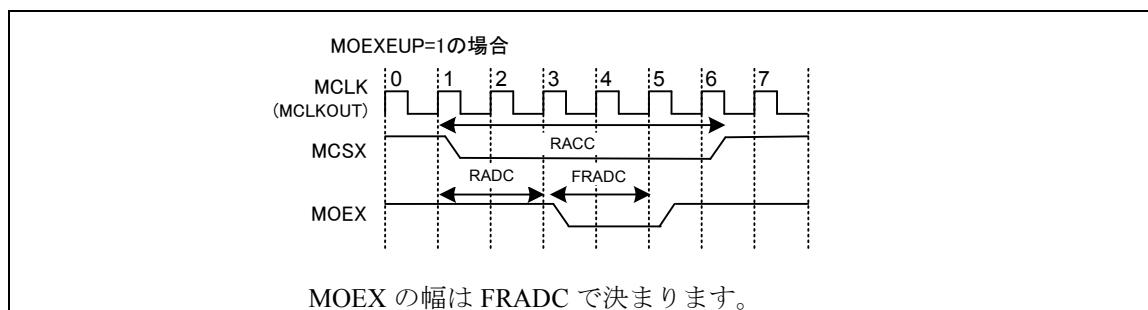
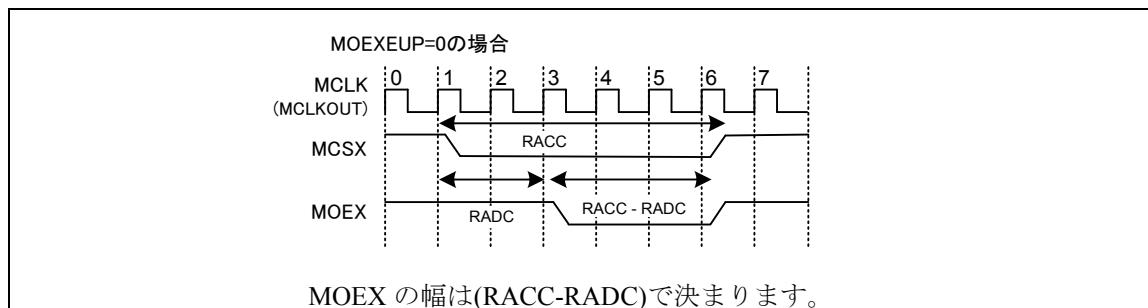
- WDTH ビットに設定禁止値を書き込んだ場合、外部バスインターフェースの動作の保証はできません。
- NAND フラッシュモードは製品によっては NAND フラッシュ制御端子が出力されておらず、使用できない場合があります。詳細はご使用する製品の『データシート』を参照してください。
- bit13:6 は TYPE0 製品にはありません。
- 予約ビットに書き込むときは必ず"0"を書き込んでください。予約ビットの読出し値は不定です。

**■ 参考情報**

本レジスタのビットを設定することにより、具体的な影響・動作を以下に示します。

**● MOEXEUP ビット : MOEX 幅の設定について**

MOEXEUP ビットの設定により、MOEX 幅の設定方法が変わります。

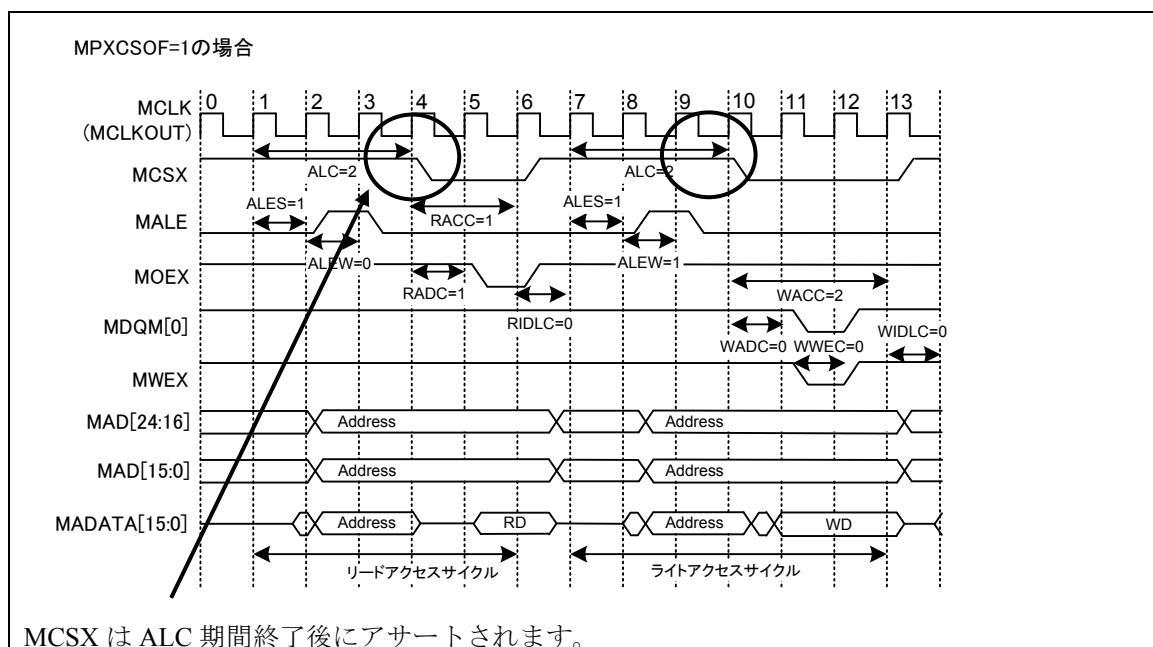
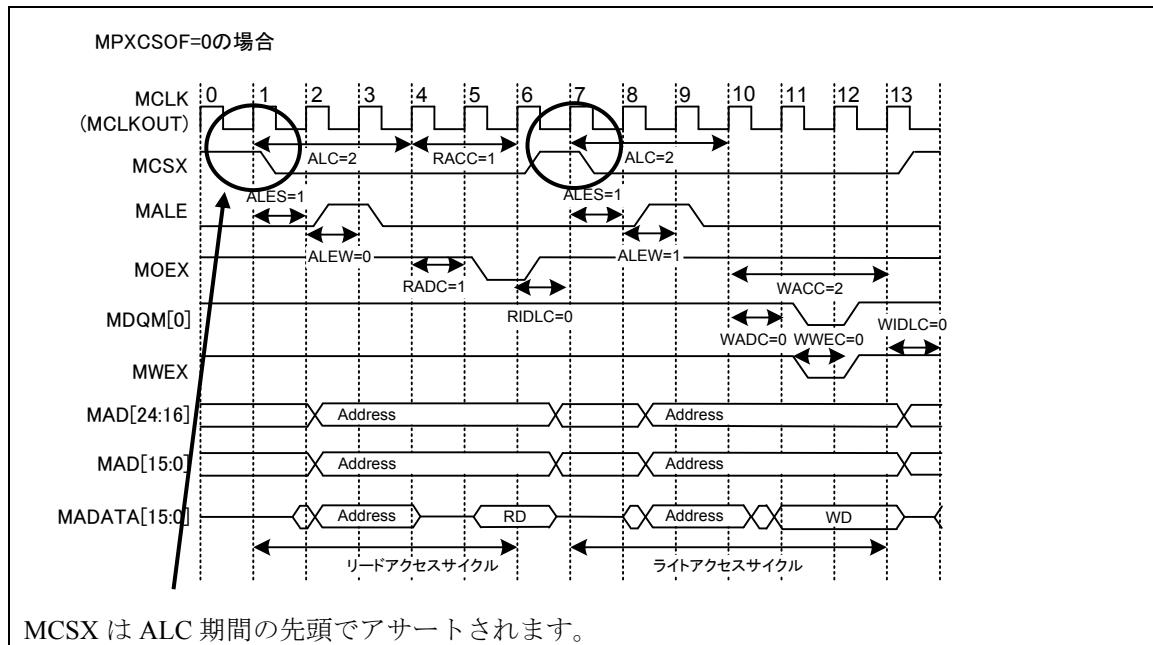


以下にページリードの設定と MOEXEUP の設定による、MOEX 幅の設定についてまとめます。

	MOEXEUP=0	MOEXEUP=1
ページリード OFF	MOEX 幅 => RACC-RADC  (注意事項) RACC > RADCA の設定が必要。	MOEX 幅 => FRADC  (注意事項) FACC $\geq$ RADCA + FRADC の設定が必要。
ページリード ON	MOEX 幅 => MCSX と同時アサート  (注意事項) FADC=0 に設定が必要。	設定禁止

● MPXCSOF ビット : CS アサートタイミングの設定について

マルチプレクスモードにて、アクセス開始からアドレス出力完了までの間(ALC期間)のMCSXのアサートを選択します。

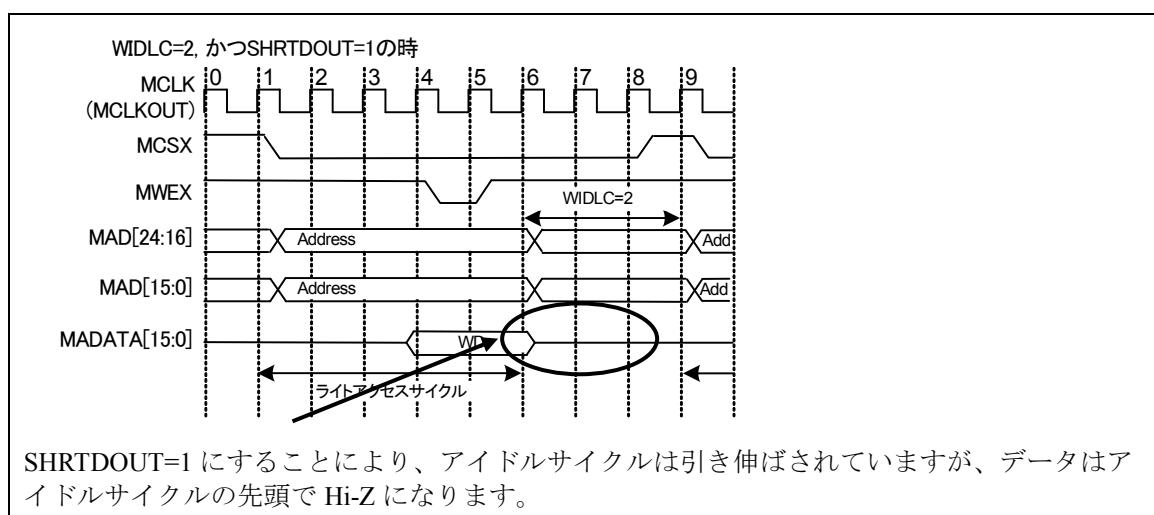
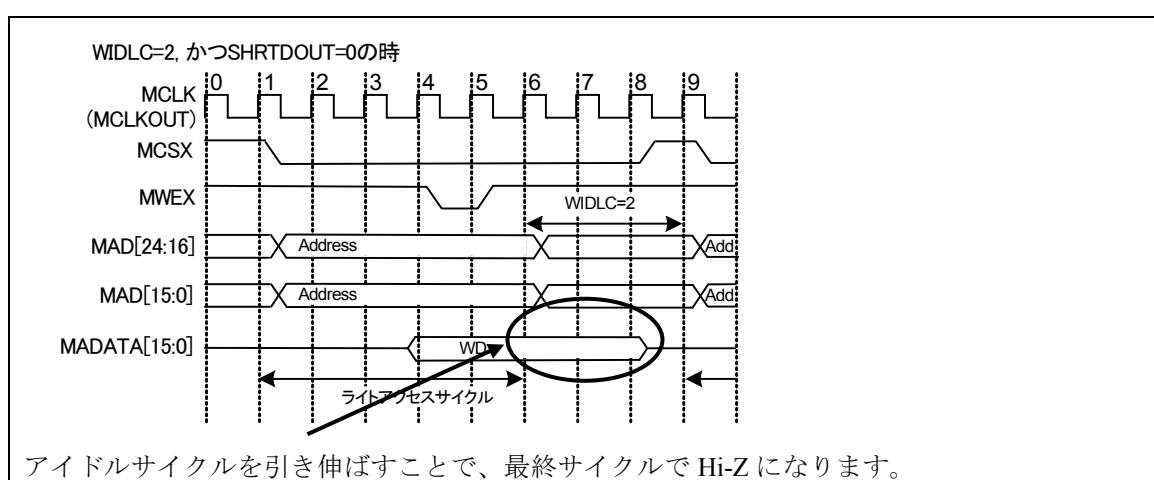
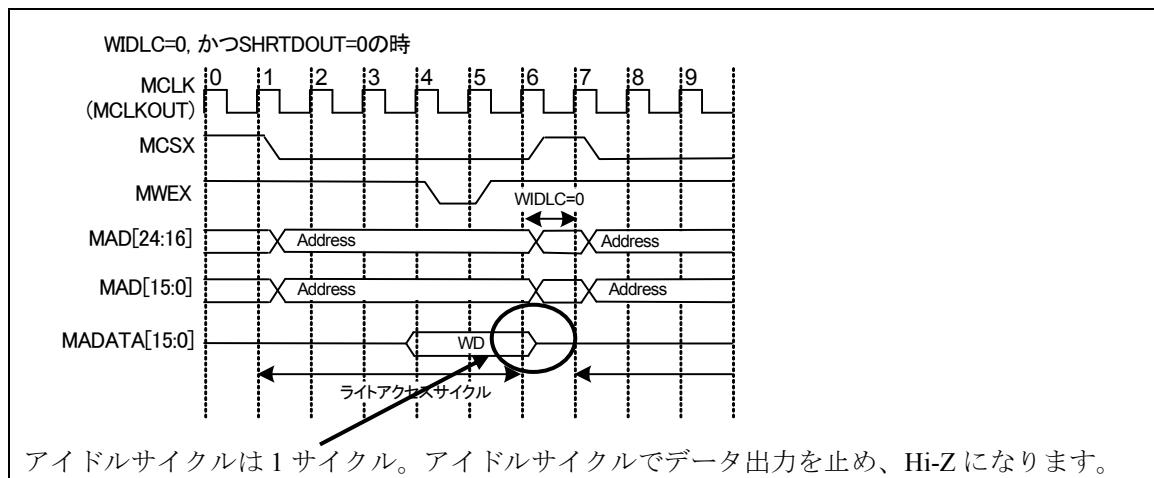


MPXCSOF=1 とすることで、MCSX のアサートが「アドレスラッチ」を示します。  
すなわち、MCSX の変化でアドレス変化を検出したい場合に有効です。

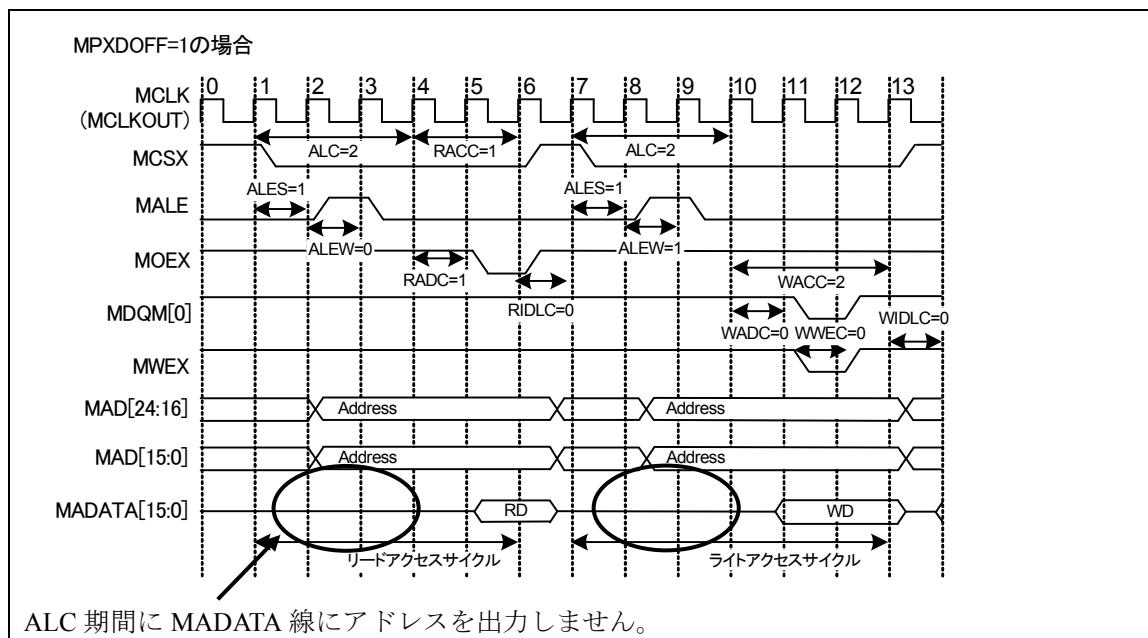
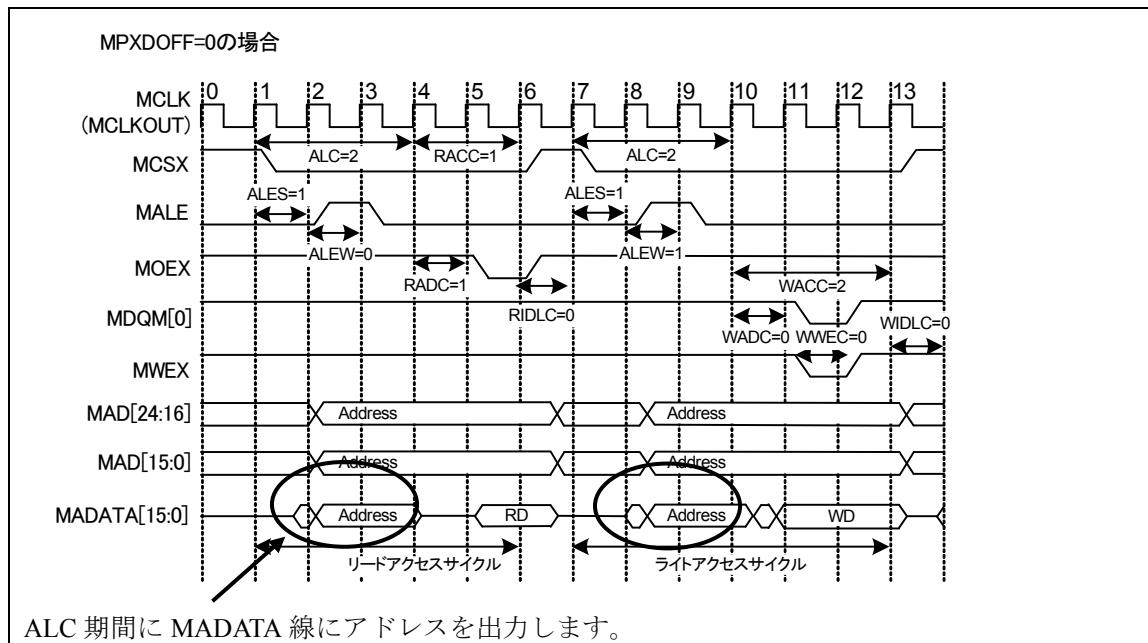
● SHRTDOUT ビット : アイドルサイクルのライトデータ保持時間について

WIDLC の設定により、アイドルサイクルは引き伸ばされます。

その際、設定期間と同じように、ライトデータは引き伸ばされ、最終サイクルで Hi-Z になります。



● MPXDOFF ビット : データ線へのアドレスの出力有無設定について  
マルチプレクスモードにおいて、データ線へのアドレス出力有無を選択します。



マルチプレクスモード時に、ALE信号のみを使用したい、もしくはALE信号は使いたいが、アドレス端子は MAD を使用する場合、MPXDOFF=1 として使用できます。

## 6.2. タイミングレジスタ 0~7 (TIM0~TIM7)

以下に TIM0~TIM7 の構成を示します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	WIDLC				WWEC				WADC				WACC			
初期値	0000				0101				0101				1111			
属性	R/W															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	RIDLC				FRADC				RADC				RACC			
初期値	1111				0000				0000				1111			
属性	R/W															

### [bit31:28] WIDLC : Write Idle Cycle

これらのビットはライトアクセス後のアイドルサイクル数を設定します。  
(WIDLC+1)サイクルの間、ライトアイドルサイクルを取ります。

bit31	bit30	bit29	bit28	説明
0	0	0	0	1 サイクル (初期値)
		:		:
1	1	1	1	16 サイクル

### [bit27:24] WWEC : Write Enable Cycle

これらのビットはライトイネーブルのアサートサイクル数を設定します。  
(WWEC+1)サイクルの間、ライトイネーブルをアサートします。

本ビットの設定は MDQM(バイトマスク信号)にも影響します。

bit27	bit26	bit25	bit24	説明
0	0	0	0	1 サイクル
		:		:
0	1	0	1	6 サイクル (初期値)
		:		:
1	1	1	0	15 サイクル
1	1	1	1	設定禁止

## [bit23:20] WADC : Write Address Setup cycle

これらのビットはライトアドレスのセットアップサイクル数を設定します。  
(WADC+1)サイクルの間、ライトアドレスセットアップを取ります。

本ビットで設定したサイクルの間アドレスが出力されますが、ライトイネーブル信号は設定したサイクル間まではアサートされません。

bit23	bit22	bit21	bit20	説明
0	0	0	0	1 サイクル
		⋮		⋮
0	1	0	1	6 サイクル (初期値)
		⋮		⋮
1	1	1	0	15 サイクル
1	1	1	1	設定禁止

## [bit19:16] WACC : Write Access Cycle

これらのビットはライトアクセスに必要なサイクル数を設定します。  
(WACC+1)サイクルの間、ライトアクセスサイクルを取ります。

本ビットで設定したサイクルの期間、アドレスは変化しません。

本ビットで設定したサイクル数は、アドレスセットアップサイクル(WADC)とライトイネーブルサイクル(WWEC)の和以上である必要があります。

bit19	bit18	bit17	bit16	説明
0	0	0	0	設定禁止
0	0	0	1	設定禁止
0	0	1	0	3 サイクル
		⋮		⋮
1	1	1	1	16 サイクル (初期値)

## [bit15:12] RIDLC : Read Idle Cycle

これらのビットはリードアクセス後のアイドルサイクル数を設定します。  
(RIDLC+1)サイクルの間、リードアイドルサイクルを取ります。

本ビットは、リードアクセス直後のライトアクセスによるデータ衝突を避けるために用います。

bit15	bit14	bit13	bit12	説明
0	0	0	0	1 サイクル
		⋮		⋮
1	1	1	1	16 サイクル (初期値)

## [bit11:8] FRADC : First Read Address Cycle

これらのビットは、MODE:PAGE=1(ページリードアクセス ON)の場合、ページリードアクセスをサポートする NOR フラッシュメモリの設定を排他的に行います。本ビットはフラッシュメモリのリードアクセス中のアドレスの初期の待ち時間を設定します。本ビットに"0"以外の値を設定するときは、RADC(リードアクセスセットアップサイクル)に"0"を設定してください。

これらのビットは、MODE:PAGE=0(ページリードアクセス OFF)の場合、MOEX 幅を設定します。このとき、RACC>RADC の設定が必要です。

bit11	bit10	bit9	bit8	説明
0	0	0	0	0 サイクル (初期値)
:				:
1	1	1	1	15 サイクル

## &lt;注意事項&gt;

TYPE0 製品では、MODE:PAGE=0(ページリードアクセス OFF)の場合でも、MOEX 幅を設定できません。TYPE0 製品は、このビットで MOEX 幅を設定できません。

## [bit7:4] RADC : Read Address Setup cycle

これらのビットはリードアドレスのセットアップサイクル数を設定します。(RADC)サイクルの間、リードアドレスセットアップサイクルを取ります。

リードアドレスセットアップサイクル内で、MCSX とアドレスがアサートされますが、MOEX はアサートされません。本ビットに"0"が設定された場合は、MOEX と MCSX は常時アサートされます。

設定された値はリードアクセスサイクル数以内でなければなりません(RADC < RACC)。

NOR フラッシュメモリページリードアクセスモード使用時は、本ビットに"0b0000"を設定してください。

アクセスサイズがターゲット幅より大きい場合や例として NAND フラッシュメモリなどのリードイネーブル(MOEX または MNREX)の"H", "L"切替が必要なデバイスの場合、本ビットに"0b0001"以上の値を設定してください。

bit7	bit6	bit5	bit4	説明
0	0	0	0	0 サイクル (初期値)
:				:
1	1	1	1	15 サイクル

## [bit3:0] RACC : Read Access Cycle

これらのビットはリードアクセスに必要なサイクル数を設定します。

(RACC+1)サイクルの間、リードアクセスサイクルを取ります。

これらのビットで指定したサイクル数の間、アドレスは変化せず、最終サイクルにてデータが取り込まれます。

bit3	bit2	bit1	bit0	説明
0	0	0	0	1 サイクル
		:		:
1	1	1	1	16 サイクル (初期値)

## &lt;注意事項&gt;

- WWEC, WADC および WACC ビットに設定禁止値を書き込んだ場合、外部バスインターフェースの動作の保証はできません。
- NAND フラッシュメモリモード時、MNWEX と MNREX のタイミングは、MWEX と MOEX と同様タイミングレジスタによって設定されます。

### 6.3. エリアレジスタ 0~7 (AREA0~AREA7)

以下に AREA0~AREA7 の構成を示します。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Field	予約								MASK									
初期値	-								0001111 (16MB width)									
属性	-								R/W									
bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Field	予約								ADDR									
初期値	-								(from MCSX[0]) 00000000, 00010000, 00100000, 00110000, 01000000, 01010000, 01100000, 01110000 *1								R/W	
属性	-								R/W									

#### [bit22:16] MASK : address mask

これらのビットは、ADDR で設定される内部アドレス([27:20])の[26:20]をマスクする値を設定します。

外部バスインターフェースは指定されたマスク値に従って"1"が設定されていれば内部バスと ADDR をそれぞれマスクし、それぞれのマスクした結果を比較します。それが一致した場合、外部バスインターフェースは MCSX 信号をアクセスします。

マスク時"1"の指定されたビットはマスク処理時に失われます。このビットは ADDR に設定されていたとしても無効化されます。

表 6-2 の例はマスク設定とアドレス領域サイズの関係を示したものです。

表 6-2 MASK 設定値と CS ごとのアドレス領域

MASK 設定値	CS ごとのアドレス領域
111_1111	128MB
011_1111	64MB
001_1111	32MB
000_1111	16MB
000_0111	8MB
000_0011	4MB
000_0001	2MB
000_0000	1MB

## [bit7:0] ADDR : Address

これらのビットは該当する MCSX 領域を設定するためのアドレス指定を行います。

アドレスは SRAM/フラッシュメモリインターフェースに割り当てられた 256MB の固定領域内にあります。

bit7:0 で指定したアドレスが内部アドレス[27:20]に相当します。

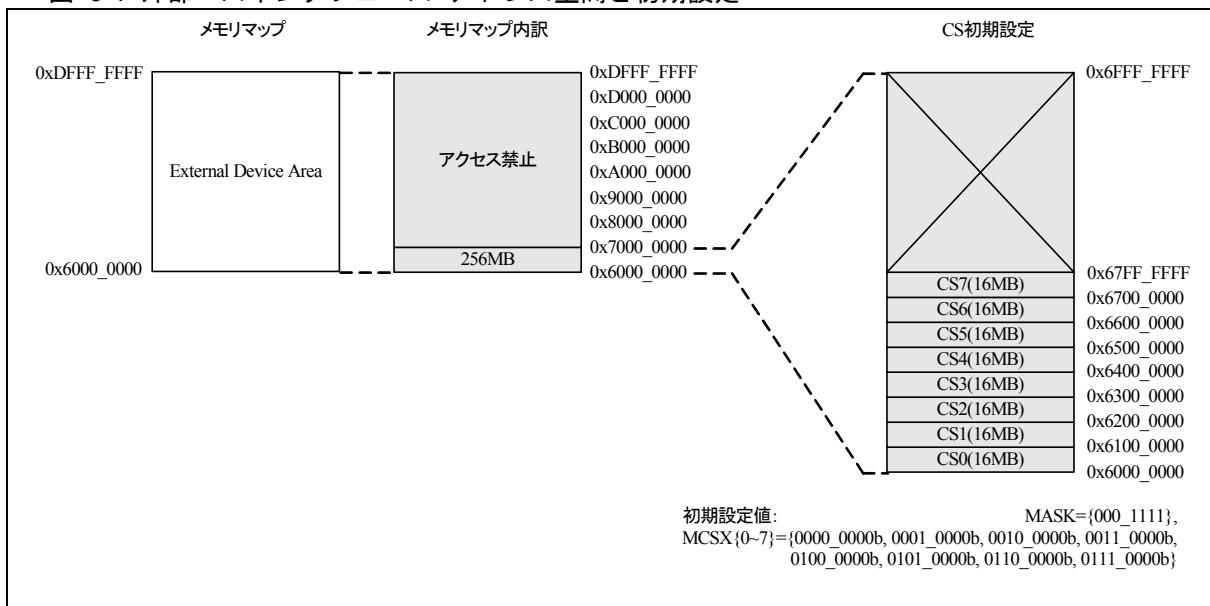
## &lt;注意事項&gt;

## アドレス空間について

- 外部バスインターフェースは 256MB のアドレス空間を持っています。
- 各チップセレクトのアドレス領域は[27:20]にて MCSX 1 本に対し、最大 128MB～最小 1MB まで自由に設定できます。
- 各チップセレクトのアドレス領域が重なってはいけません。
- 外部へのアドレス出力は 25 ビットのため、外部に出力するアドレスの最大サイズは 32MB になります。

メモリマップ上のアドレス空間および各チップセレクトのアドレス空間の初期状態を図 6-1 に示します。

図 6-1 外部バスインターフェース アドレス空間と初期設定



また、未設定の MCSX がアクセスされた場合、同様に外部バスインターフェースの動作は保証できません。

**設定例**

ADDR = 0b0001\_0000 (MCSX の先頭アドレスの[27:20]。この設定では 0x6100\_0000)

MASK = 0b 000\_0011 (MCSX の MASK ビット[26:20]。この設定ではアドレス領域 : 4MB)

マスク設定値にて領域サイズを選択します。

例においては、設定範囲 0x6100\_0000 ~ 0x613F\_FFFF (4MB)が選択されます。

ADDR&(!MASK) = 0b0001\_0000

- デバイスが選択される場合

内部バスアドレス (外部 I/F のアドレス) AD = 0x6101\_1000 の場合

0x6101\_1000 -> 0b0110 [0001\_0000] 0001\_0001\_0000\_0000\_0000

AD[27:20] => 0b0001\_0000

Masking 比較

ADDR & (!MASK) = 0b0001\_0000 ]

AD [27:20] & (!MASK) = 0b0001\_0000 ] ..... 一致。デバイスが選択されます。

- デバイスが選択されない場合

内部バスアドレス (外部 I/F のアドレス) AD = 0x60C0\_0000 の場合

0x60C0\_0000 -> 0b0110 [0000\_1100] 0000\_0000\_0000\_0000\_0000

AD[27:20] => 0b0000\_1100

Masking 比較

ADDR & (!MASK) = 0b0001\_0000 ]

AD [27:20] & (!MASK) = 0b0000\_1100 ] ..... 不一致。デバイスは選択されません。

## 6.4. ALE タイミングレジスタ 0~7 (ATIM0~ATIM7)

以下に ATIM0~ATIM7 の構成を示します。本レジスタは TYPE0 製品にはありません。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															
初期値	-															
属性	-															

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Field	予約				ALEW				ALES				ALC			
初期値	-				0100				0101				1111			
属性	-								R/W							

### [bit11:8] ALEW : Address Latch Enable Width

本ビットは MALE のアサート期間を設定します。  
(ALEW+1)サイクルの間、MALE 信号をアサートします。

bit11	bit10	bit9	bit8	説明
0	0	0	0	1 サイクル
⋮	⋮	⋮	⋮	⋮
0	1	0	0	5 サイクル (初期値)
⋮	⋮	⋮	⋮	⋮
1	1	1	1	16 サイクル

### [bit7:4] ALES : Address Latch Enable Setup cycle

本ビットは ALE アサートのセットアップサイクルを設定します。  
アクセス開始から、(ALES)サイクルの間は ALE をアサートしません。

bit7	bit6	bit5	bit4	説明
0	0	0	0	0 サイクル
⋮	⋮	⋮	⋮	⋮
0	1	0	1	5 サイクル (初期値)
⋮	⋮	⋮	⋮	⋮
1	1	1	1	15 サイクル

## [bit3:0] ALC : Address Latch Cycle

本ビットはアドレスラッチサイクルを設定します。

(ALC+1)サイクルの間、CS アサートおよびデータ線からアドレスが出力されます。

bit3	bit2	bit1	bit0	説明
0	0	0	0	1 サイクル
		:		:
1	1	1	1	16 サイクル (初期値)

## &lt;注意事項&gt;

- ATIM レジスタへの設定はマルチプレクスマード時のみ有効です。
- 本レジスタは TYPE0 製品にはありません。

## 6.5. 分周クロックレジスタ (DCLKR)

以下に DCLKR の構成を示します。本レジスタは TYPE0 製品にはありません。

bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Field	予約															

初期値  
属性

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
Field	予約								予約				MCLKON	MDIV									
初期値	-																						
属性	-																						

### [bit4] MCLKON : MCLK ON

本ビットは MCLK 分周イネーブルの設定を行います。

bit	説明
0	MCLK が MDIV の値によらず、1 分周に固定されます。(初期値)
1	MCLK 分周が MDIV の値が有効になります。

### [bit3:0] MDIV : MCLK 分周比設定

本ビットは分周クロックの分周比を設定します。  
(MDIV+1)分周に分周されます。

bit3	bit2	bit1	bit0	説明
0	0	0	0	1 分周
0	0	0	1	2 分周(初期値)
⋮				⋮
1	1	1	1	16 分周

### <注意事項>

- 分周クロックを出力する場合は、GPIO でクロック出力の設定が必要です。  
設定の詳細は、別章『I/O ポート』を参照してください。
- また、クロックを出力する場合は、MCLKON=1 に設定する必要があります。
- クロックを 1 分周で出力設定する場合は、MCLKON=1, MDIV=0000 と設定してください。  
また、その際データシートの「外バスクロック出力規格」を確認してください。
- 分周比を変更する場合は必ず MCLKON=0 にしてから、MDIV を変更してください。
- 外部バスアクセス中に本レジスタを変更することは禁止します。
- 本レジスタは TYPE0 製品にはありません。

## 7. 使用上の注意

外部バスインターフェースの使用上の注意を説明します。

### ● AC 規格について

各動作モード時の AC 規格についてはご使用する製品の『データシート』を参照してください。

### ● 外バス端子と GPIO 設定について

GPIO を外バス端子として使用する場合、EPFR レジスタにて、GPIO を外バス端子設定にする必要があります。詳細は、別章『I/O ポート』を参照してください。

### ● エラー応答について

256MB の外バス領域へのアクセスでも、エリアレジスタにてマッピングを行っていない領域へアクセスを行った場合、外部バスインターフェースはエラー返答(HRESP[1:0] = "01")を出力します。このエラーがバースト転送時に発生した場合は、外部バスインターフェースの動作は保証されません。

### ● ターゲットデバイスと各機能の設定について

ターゲットデバイスにより、各機能の設定は表 7-1 のようになります。

表 7-1 ターゲットデバイスと各機能の設定

	クロック 出力	外部 RDY	ページ モード	NAND フラッシュ	クロック 分周
SRAM	○	○	使用不可	使用不可	○
NOR フラッシュ	○	使用不可	○	使用不可	○
NAND フラッシュ	使用不可	使用不可	使用不可	○	○

ページリードと外部 RDY を同時に使用する設定は禁止です。

### ● MCU タイプと各機能の設定について

使用する MCU タイプにより、各機能の設定は表 7-2 のようになります。

表 7-2 ターゲットデバイスと各機能の設定

	バス方式	クロック 出力	外部 RDY	ページ モード	NAND フラッシュ	クロック 分周
TYPE 0	セパレート	使用不可	使用不可	○	○	使用不可
TYPE 0 以外	セパレート/ マルチプレクス	○	○	○	○	○

\* MCU タイプは製品ごとに異なります。

### ● レジスタ値の書換えタイミングについて

DMAC で外バスアクセス中に、CPU 側からタイミングレジスタなどのレジスタ設定値を書き換えた場合、アクセス完了後(アイドルサイクル完了後)まで、書き込んだ値は反映されません。



## CHAPTER: デバッグインターフェース

デバッグインターフェース機能と動作について説明します。

1. 概要
2. 端子説明

---

管理コード: 9BFDEBUG-J01.3

## 1. 概要

---

本シリーズは、シリアルワイヤ JTAG デバッグポート(SWJ-DP)を搭載しています。

SWJ-DP へ ICE 接続することにより、システムデバッグが可能となります。

また、命令トレース用のエンベデッドトレースマクロセル(ETM)とトレースデータを制御するトレースポートインターフェースユニット(TPIU)を搭載しています。

---

デバッグ用端子の機能について説明します。

SWJ-DP, ETM, TPIU およびシステムデバッグについての詳細は、『Cortex -M3 テクニカルリファレンスマニュアル』を参照してください。

### ■ 特長

SWJ-DP には 5 本の端子が割り当てられています。

5 本の端子の初期機能は JTAG ですが、シリアルワイヤデバッグモードに切り換えることが可能です。

命令トレースは、4 ビットのトレースデータ(TRACED0-3)と非同期トレースデータ(SWO)から選択して出力できます。

## 2. 端子説明

---

端子について説明します。

---

- 2.1 デバッグ端子について
- 2.2 ETM 端子について
- 2.3 端子の初期機能について
- 2.4 JTAG 端子の内部プルアップについて

## 2.1. デバッグ端子について

JTAG は 5 本(TRSTX, TCK, TMS, TDI, TDO)、シリアルワイヤは 2 本(SWCLK, SWDIO)の端子が割り当てられます。また、トレースデータを出力するシリアルワイヤビューワ信号(SWO)が割り当てられています。

TMS と SWDIO, TCK と SWCLK, TDO と SWO は兼用です。

表 2-1 に、各デバッグモード時の端子機能一覧表を示します。

表 2-1 デバッグモード時の SWJ-DP 端子機能一覧表

端子	JTAG	シリアル・ワイヤ/トレース
TCK/SWCLK	TCK(JTAG クロック信号)	SWCLK(シリアル・ワイヤ クロック信号)
TMS/SWDIO	TMS(JTAG ステートモード信号)	SWDIO(シリアル・ワイヤ データ入出力信号)
TDI	TDI(JTAG データ入力信号)	-
TDO/SWO	TDO(JTAG データ出力信号)	SWO(シリアル・ワイヤ ビューワ出力信号)
TRSTX	TRSTX (JTAG リセット信号 "L"アクティブ)	-

## 2.2. ETM 端子について

ETM は 4 本のトレース出力データ(TRACED0, TRACED1, TRACED2, TRACED3)と 1 本のクロック(TRACECLK)が割り当てられています。

表 2-2 に、各デバッグモード時の端子機能一覧表を示します。

表 2-2 デバッグモード時のトレース端子機能一覧表

端子	トレース
TRACED0	同期 トレースデータ出力信号
TRACED1	同期 トレースデータ出力信号
TRACED2	同期 トレースデータ出力信号
TRACED3	同期 トレースデータ出力信号
TRACECLK	トレースクロック信号

## 2.3. 端子の初期機能について

JTAG 端子 5 本、ETM トレース端子 5 本の計 10 本の端子は、GPIO の機能と兼用しています。JTAG 端子 5 本(TRSTX, TCK, TMS, TDI, TDO)の初期状態はデバッグ機能ですが、ETM 端子 5 本(TRACED0, TRACED1, TRACED2, TRACED3, TRACECLK)の初期状態はデバッグ機能ではありません。

ご使用時に、デバッグ機能へ設定を行ってください。

(注意事項) デバッグ機能の設定についての詳細は『I/O ポート』の章を参照してください。

表 2-3 に、リセット解除後の初期状態と、PFR レジスタ(PORT 機能設定レジスタ)設定により変更できる機能を示します。

(注意事項) PFR レジスタの詳細は『I/O ポート』の章を参照してください。

表 2-3 デバッグ端子の初期機能と機能変更一覧

		初期状態の端子機能	PFR レジスタの設定による機能変更
JTAG 端子	TCK/SWCLK	TCK	GPIO
	TMS/SWDIO	TMS	GPIO
	TDI	TDI	GPIO
	TDO/SWO	TDO	GPIO
	TRSTX	TRSTX	GPIO
ETM 端子	TRACED0	GPIO	TRACED0
	TRACED1	GPIO	TRACED1
	TRACED2	GPIO	TRACED2
	TRACED3	GPIO	TRACED3
	TRACECLK	GPIO	TRACECLK

## 2.4. JTAG 端子の内部プルアップについて

本シリーズでは、IEEE 規格で規定されている JTAG 端子のプルアップを内部で行っています。また、GPIO 内のレジスタの設定によりプルアップ機能の制御がユーザ側から行えます。

表 2-4 JTAG 端子の内部プルアップ有効/無効一覧表

	JTAG 端子有効時のプルアップ*1
TCK/SWCLK	有効
TMS/SWDIO	有効
TDI	有効
TDO/SWO	有効 *2
TRSTX	有効

\*1：リセット時もプルアップは有効です。

\*2：出力時はプルアップが無効になります。



## CHAPTER: フラッシュメモリ

フラッシュメモリに関しては、ご使用する製品の「フラッシュプログラミングマニュアル」を参照してください。

---

管理コード: 9xFLASHTOP-J01.0



## CHAPTER: ユニーク ID レジスタ

ユニーク ID レジスタ機能と動作について説明します。

1. 概要
2. レジスタ

---

管理コード: 9BFUNIQID-J01.0

## 1. 概要

---

本機能の概要について説明します。

---

ユニーク ID レジスタには 41 ビットのデバイス固有の値があらかじめ設定されています。この値はすべてのデバイスで異なるため、これを利用してセキュリティ強化、製品シリアルナンバーなどさまざまな用途に使用することができます。本レジスタはリードオンリーレジスタであり、ユーザが書き込むことはできません。またリセットや電源オン・オフによっても値は変化しません。

## 2. レジスタ

レジスタの構成と機能について説明します。

### ■ レジスター一覧

略称	レジスタ名	参照先
UIDR0	ユニーク ID レジスタ 0	2.1
UIDR1	ユニーク ID レジスタ 1	2.2

## 2.1. ユニーク ID レジスタ 0 (UIDR0)

ユニーク ID レジスタ 0 について説明します。

bit	31	30	29	28	27	26	25	24
Field					UID[27:20]			
属性	R	R	R	R	R	R	R	R

bit	23	22	21	20	19	18	17	16
Field					UID[19:12]			
属性	R	R	R	R	R	R	R	R

bit	15	14	13	12	11	10	9	8
Field					UID[11:4]			
属性	R	R	R	R	R	R	R	R

bit	7	6	5	4	3	2	1	0
Field			UID[3:0]			Reserved		
属性	R	R	R	R	-	-	-	-

[bit31:4] UID[27:0] : Unique ID 27~0

ユニーク ID のビット 27~0 です。

[bit3:0] Reserved : 予約ビット

予約ビットです。読み出し値は意味を持ちません。

## 2.2. ユニーク ID レジスタ 1 (UIDR1)

ユニーク ID レジスタ 1 について説明します。

bit	31	30	29	28	27	26	25	24
Field				Reserved				
属性	-	-	-	-	-	-	-	-
bit	23	22	21	20	19	18	17	16
Field				Reserved				
属性	-	-	-	-	-	-	-	-
bit	15	14	13	12	11	10	9	8
Field		Reserved				UID[40:36]		
属性	-	-	-	R	R	R	R	R
bit	7	6	5	4	3	2	1	0
Field				UID[35:28]				
属性	R	R	R	R	R	R	R	R

[bit31:13] Reserved : 予約ビット

予約ビットです。読み出し値は意味を持ちません。

[bit12:0] UID[40:28] : Unique ID 40~28

ユニーク ID のビット 40~28 です。



---

## APPENDICES

---

レジスタマップ、制限事項について説明します。

---

- A レジスタマップ
- B 注意事項一覧
- C 制限事項一覧
- D TYPE 分類一覧

---

管理コード: 9BFAPPENDICES-J03.0

---

## A. レジスタマップ

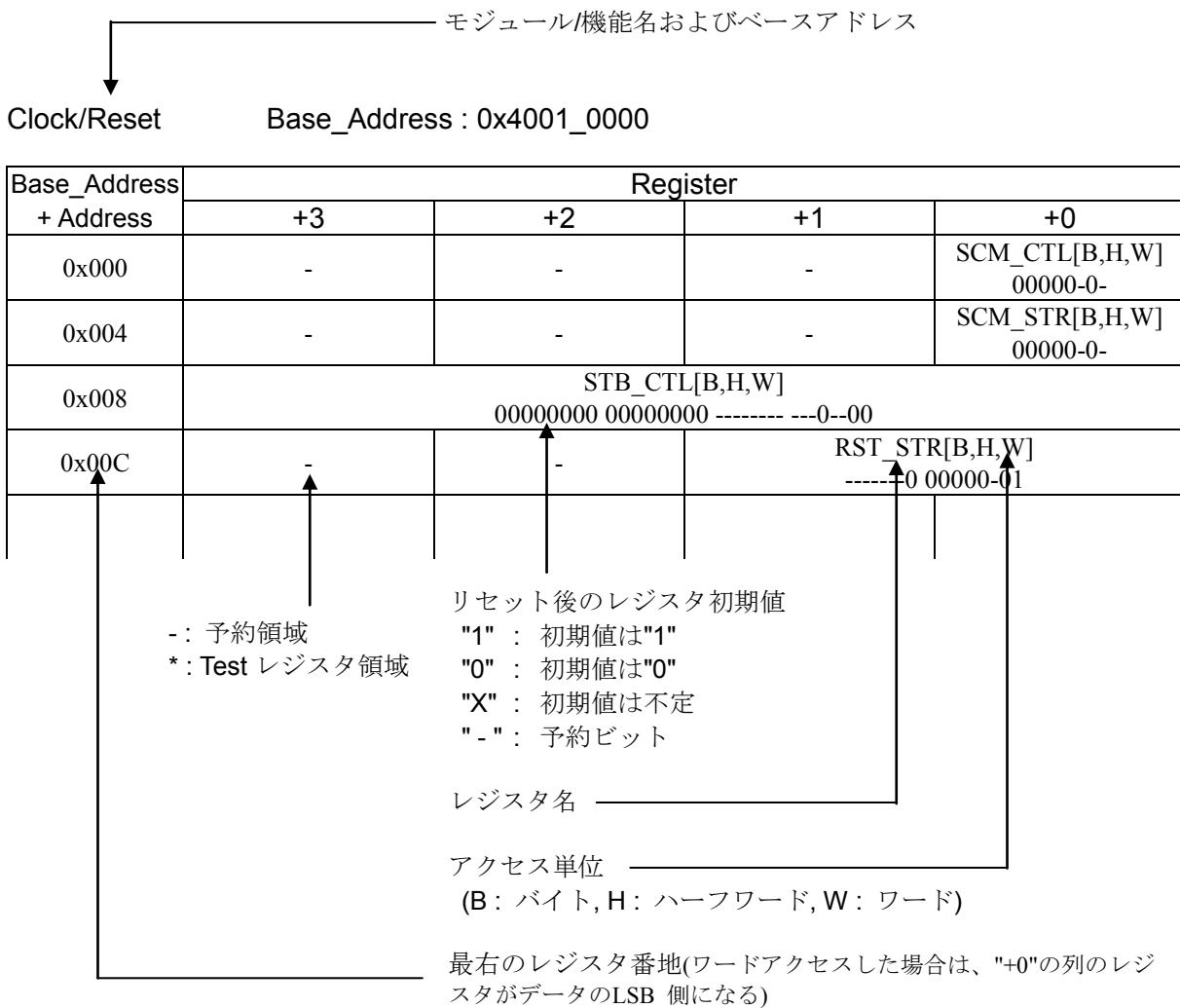
レジスタマップについて説明します。

### 1. レジスタマップ

# 1. レジスタマップ

モジュール/機能ごとにレジスタマップを表に示します。

## [各表の見方]



## <注意事項>

- レジスタテーブルはリトルエンディアンで表されています。
- データアクセスを行う際、アクセスサイズにより以下のとおりのアドレスとしてください。
  - ワードアクセス : アドレスは4の倍数(最下位2ビットは"0x00")
  - ハーフワードアクセス : アドレスは2の倍数(最下位ビットは"0x0")
  - バイトアクセス : -
- Test レジスタ領域にはアクセスしないでください。
- レジスタテーブルに記載していない領域にはアクセスしないでください。
- レジスタマップ中に記載してある\*1, \*2, \*3, \*4 は下記を意味します。
  - \*1 : TYPE0 の初期値です。
  - \*2 : TYPE1～TYPE7 の初期値です。
  - \*3 : TYPE0,3,7 の初期値です。
  - \*4 : TYPE1,2,4,5,6 の初期値です。

FLASH\_IF      Base\_Address : 0x4000\_0000

## ■ TYPE6 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000		FASZR[B,H,W]		
0x004		FRWTR[B,H,W]		
0x008		FSTR[B,H,W]		
0x00C		*		
0x010		FSYNDN[B,H,W]		
0x014		FBFCR[B,H,W]		
0x018 - 0x0FC	-	-	-	-
0x100		CRTRMM[B,H,W]		
0x104 - 0xFFC	-	-	-	-

## ■ TYPE6 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	-
0x004		FRWTR[B,H,W]		
0x008		FSTR[B,H,W]		
0x00C - 0x01C	-	-	-	-
0x020		FICR[B,H,W]		
0x024		FISR[B,H,W]		
0x028		FICLR[B,H,W]		
0x02C - 0x0FC	-	-	-	-
0x100		CRTRMM[B,H,W]		
0x104 - 0xFFC	-	-	-	-

## &lt;注意事項&gt;

Flash\_IF 部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

Clock/Reset      Base\_Address : 0x4001\_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	SCM_CTL[W] 00000-0-
0x004	-	-	-	SCM_STR[W] 00000-0-
0x008			STB_CTL[W] 00000000 00000000 ----- 0-000	
0x00C	-	-		RST_STR[W] -----0 00000-01
0x010	-	-	-	BSC_PSR[W] ----000
0x014	-	-	-	APBC0_PSR[W] ----00
0x018	-	-	-	APBC1_PSR[W] 1--0--00
0x01C	-	-	-	APBC2_PSR[W] 1--0--00
0x020	-	-	-	SWC_PSR[W] X----00
0x024 - 0x027	-	-	-	-
0x028	-	-	-	TTC_PSR[W] ----00
0x02C - 0x02F	-	-	-	-
0x030	-	-	-	CSW_TMR[W] -0000000
0x034	-	-	-	PSW_TMR[W] ---0-000
0x038	-	-	-	PLL_CTL1[W] 00000000
0x03C	-	-	-	PLL_CTL2[W] ---00000
0x040	-	-		CSV_CTL[W] -111--00 -----11
0x044	-	-	-	CSV_STR[W] -----00
0x048	-	-		FCSWH_CTL[W] 11111111 11111111
0x04C	-	-		FCSWL_CTL[W] 00000000 00000000
0x050	-	-		FCSWD_CTL[W] 00000000 00000000
0x054	-	-	-	DBWDT_CTL[W] 0-0----
0x058	-	-	-	*
0x05C - 0x05F	-	-	-	-
0x060	-	-	-	INT_ENR[W] --0--000
0x064	-	-	-	INT_STR[W] --0--000
0x068	-	-	-	INT_CLR[W] --0--000
0x06C - 0xFFC	-	-	-	-

HW WDT      Base\_Address : 0x4001\_1000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WDG_LDR[W] 00000000 00000000 11111111 11111111			
0x004	WDG_VLR[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	WDG_CTL[W] - - - -----11			
0x00C	WDG_ICL[W] - - - -----XXXXXX			
0x010	WDG_RIS[W] - - - -----0			
0x014 - 0xBFC	-	-	-	-
0xC00	WDG_LCK[W] 00000000 00000000 00000000 00000001			
0xC04 - 0xFFC	-	-	-	-

SW WDT      Base\_Address : 0x4001\_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WdogLoad[W] 11111111 11111111 11111111 11111111			
0x004	WdogValue[W] 11111111 11111111 11111111 11111111			
0x008	WdogControl[W] - - - -----00			
0x00C	WdogIntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	WdogRIS[W] - - - -----0			
0x014 - 0xBFC	-	-	-	-
0xC00	WdogLock[W] 00000000 00000000 00000000 00000000			
0xC04 - 0xFFC	-	-	-	-

Dual\_Timer      Base\_Address : 0x4001\_5000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	Timer1Load[W] 00000000 00000000 00000000 00000000			
0x004	Timer1Value[W] 11111111 11111111 11111111 11111111			
0x008	Timer1Control[W] ----- 00100000			
0x00C	Timer1IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x010	Timer1RIS[W] ----- 0			
0x014	Timer1MIS[W] ----- 0			
0x018	Timer1BGLoad[W] 00000000 00000000 00000000 00000000			
0x020	Timer2Load[W] 00000000 00000000 00000000 00000000			
0x024	Timer2Value[W] 11111111 11111111 11111111 11111111			
0x028	Timer2Control[W] ----- 00100000			
0x02C	Timer2IntClr[W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x030	Timer2RIS[W] ----- 0			
0x034	Timer2MIS[W] ----- 0			
0x038	Timer2BGLoad[W] 00000000 00000000 00000000 00000000			
0x040 - 0xFFC	-	-	-	-

MFT unit0      Base\_Address : 0x4002\_0000  
 MFT unit1      Base\_Address : 0x4002\_1000  
 MFT unit2      Base\_Address : 0x4002\_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	OCCP0[H,W] 00000000 00000000	
0x004	-	-	OCCP1[H,W] 00000000 00000000	
0x008	-	-	OCCP2[H,W] 00000000 00000000	
0x00C	-	-	OCCP3[H,W] 00000000 00000000	
0x010	-	-	OCCP4[H,W] 00000000 00000000	
0x014	-	-	OCCP5[H,W] 00000000 00000000	
0x018	-	-	OCSB10[B,H,W] -110--00	OCSA10[B,H,W] 00001100
0x01C	-	-	OCSB32[B,H,W] -110--00	OCSA32[B,H,W] 00001100
0x020	-	-	OCSB54[B,H,W] -110--00	OCSA54[B,H,W] 00001100
0x024	-	-	OCSC[B,H,W] --000000	-
0x028	-	-	TCCP0[H,W] 11111111 11111111	
0x02C	-	-	TCDT0[H,W] 00000000 00000000	
0x030	-	-	TCSA0[B,H,W] 000---00 01000000	
0x034	-	-	TCSB0[B,H,W] -----000	
0x038	-	-	TCCP1[H,W] 11111111 11111111	
0x03C	-	-	TCDT1[H,W] 00000000 00000000	
0x040	-	-	TCSA1[B,H,W] 000---00 01000000	
0x044	-	-	TCSB1[B,H,W] -----000	
0x048	-	-	TCCP2[H,W] 11111111 11111111	
0x04C	-	-	TCDT2[H,W] 00000000 00000000	
0x050	-	-	TCSA2[B,H,W] 000---00 01000000	
0x054	-	-	TCSB2[B,H,W] -----000	
0x058	-	-	OCFS32[B,H,W] 00000000	OCFS10[B,H,W] 00000000
0x05C	-	-	-	OCFS54[B,H,W] 00000000
0x060	-	-	ICFS32[B,H,W] 00000000	ICFS10[B,H,W] 00000000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x064	-	-	-	-
0x068	-	-	ICCP0[H,W] XXXXXXXX XXXXXXXX	
0x06C	-	-	ICCP1[H,W] XXXXXXXX XXXXXXXX	
0x070	-	-	ICCP2[H,W] XXXXXXXX XXXXXXXX	
0x074	-	-	ICCP3[H,W] XXXXXXXX XXXXXXXX	
0x078	-	-	ICSB10[B,H,W] -----00	ICSA10[B,H,W] 00000000
0x07C	-	-	ICSB32[B,H,W] -----00	ICSA32[B,H,W] 00000000
0x080	-	-	WFTM10[H,W] 00000000 00000000	
0x084	-	-	WFTM32[H,W] 00000000 00000000	
0x088	-	-	WFTM54[H,W] 00000000 00000000	
0x08C	-	-	WFSA10[H,W] ---00000 000000	
0x090	-	-	WFSA32[H,W] ---00000 000000	
0x094	-	-	WFSA54[H,W] ---00000 000000	
0x098	-	-	WFIR[H,W] 00000000 0000--00	
0x09C	-	-	NZCL[H,W] ----- ---0000	
0x0A0	-	-	ACCP0[H,W] 00000000 00000000	
0x0A4	-	-	ACCPDN0[H,W] 00000000 00000000	
0x0A8	-	-	ACCP1[H,W] 00000000 00000000	
0x0AC	-	-	ACCPDN1[H,W] 00000000 00000000	
0x0B0	-	-	ACCP2[H,W] 00000000 00000000	
0x0B4	-	-	ACCPDN2[H,W] 00000000 00000000	
0x0B8	-	-	-	ACSB[B,H,W] -000-111
0x0BC	-	-	-	ACSA[B,H,W] --000000 --000000
0x0C0	-	-	-	ATSA[H,W] --000000 --000000
0x0C4 - 0x0FC	-	-	-	-

PPG Base\_Address : 0x4002\_4000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	TTCR0 [B,H,W] 11110000	-
0x004	-	-	-	*
0x008	-	-	COMP0 [B,H,W] 00000000	-
0x00C	-	-	-	COMP2 [B,H,W] 00000000
0x010	-	-	COMP4 [B,H,W] 00000000	-
0x014	-	-	-	COMP6 [B,H,W] 00000000
0x018 - 0x01C	-	-	-	-
0x020	-	-	TTCR1 [B,H,W] 11110000	-
0x024	-	-	-	*
0x028	-	-	COMP1 [B,H,W] 00000000	-
0x02C	-	-	-	COMP3 [B,H,W] 00000000
0x030	-	-	COMP5 [B,H,W] 00000000	-
0x034	-	-	-	COMP7 [B,H,W] 00000000
0x038 - 0x03C	-	-	-	-
0x040	-	-	TTCR2 [B,H,W] 11110000	-
0x044	-	-	-	*
0x048	-	-	COMP8 [B,H,W] 00000000	-
0x04C	-	-	-	COMP10 [B,H,W] 00000000
0x050	-	-	COMP12 [B,H,W] 00000000	-
0x054	-	-	-	COMP14 [B,H,W] 00000000
0x058 - 0x0FC	-	-	-	-
0x100	-	-	TRG [B,H,W] 00000000 00000000	
0x104	-	-	REVC [B,H,W] 00000000 00000000	
0x108 - 0x13C	-	-	-	-
0x140	-	-	TRG1 [B,H,W] ----- 00000000	
0x144	-	-	REVC1 [B,H,W] ----- 00000000	
0x148 - 0x1FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200	-	-	PPGC0 [B,H,W] 00000000	PPGC1 [B,H,W] 00000000
0x204	-	-	PPGC2 [B,H,W] 00000000	PPGC3 [B,H,W] 00000000
0x208	-	-	PRLH0 [B,H,W] XXXXXXXXXX	PRLL0 [B,H,W] XXXXXXXXXX
0x20C	-	-	PRLH1 [B,H,W] XXXXXXXXXX	PRLL1 [B,H,W] XXXXXXXXXX
0x210	-	-	PRLH2 [B,H,W] XXXXXXXXXX	PRLL2 [B,H,W] XXXXXXXXXX
0x214	-	-	PRLH3 [B,H,W] XXXXXXXXXX	PRLL3 [B,H,W] XXXXXXXXXX
0x218	-	-	-	GATEC0 [B,H,W] --00---00
0x21C - 0x23C	-	-	-	-
0x240	-	-	PPGC4 [B,H,W] 00000000	PPGC5 [B,H,W] 00000000
0x244	-	-	PPGC6 [B,H,W] 00000000	PPGC7 [B,H,W] 00000000
0x248	-	-	PRLH4 [B,H,W] XXXXXXXXXX	PRLL4 [B,H,W] XXXXXXXXXX
0x24C	-	-	PRLH5 [B,H,W] XXXXXXXXXX	PRLL5 [B,H,W] XXXXXXXXXX
0x250	-	-	PRLH6 [B,H,W] XXXXXXXXXX	PRLL6 [B,H,W] XXXXXXXXXX
0x254	-	-	PRLH7 [B,H,W] XXXXXXXXXX	PRLL7 [B,H,W] XXXXXXXXXX
0x258	-	-	-	GATEC4 [B,H,W] -----00
0x25C - 0x27C	-	-	-	-
0x280	-	-	PPGC8 [B,H,W] 00000000	PPGC9 [B,H,W] 00000000
0x284	-	-	PPGC10 [B,H,W] 00000000	PPGC11 [B,H,W] 00000000
0x288	-	-	PRLH8 [B,H,W] XXXXXXXXXX	PRLL8 [B,H,W] XXXXXXXXXX
0x28C	-	-	PRLH9 [B,H,W] XXXXXXXXXX	PRLL9 [B,H,W] XXXXXXXXXX
0x290	-	-	PRLH10 [B,H,W] XXXXXXXXXX	PRLL10 [B,H,W] XXXXXXXXXX
0x294	-	-	PRLH11 [B,H,W] XXXXXXXXXX	PRLL11 [B,H,W] XXXXXXXXXX
0x298	-	-	-	GATEC8 [B,H,W] --00--00
0x29C - 0x2BC	-	-	-	-
0x2C0	-	-	PPGC12 [B,H,W] 00000000	PPGC13 [B,H,W] 00000000
0x2C4	-	-	PPGC14 [B,H,W] 00000000	PPGC15 [B,H,W] 00000000
0x2C8	-	-	PRLH12 [B,H,W] XXXXXXXXXX	PRLL12 [B,H,W] XXXXXXXXXX
0x2CC	-	-	PRLH13 [B,H,W] XXXXXXXXXX	PRLL13 [B,H,W] XXXXXXXXXX

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2D0	-	-	PRLH14 [B,H,W] XXXXXXX	PRL14 [B,H,W] XXXXXXX
0x2D4	-	-	PRLH15 [B,H,W] XXXXXXX	PRL15 [B,H,W] XXXXXXX
0x2D8	-	-	-	GATEC12 [B,H,W] ----00
0x2DC - 0x2FC	-	-	-	-
0x300	-	-	PPGC16 [B,H,W] 00000000	PPGC17 [B,H,W] 00000000
0x304	-	-	PPGC18 [B,H,W] 00000000	PPGC19 [B,H,W] 00000000
0x308	-	-	PRLH16 [B,H,W] XXXXXXX	PRL16 [B,H,W] XXXXXXX
0x30C	-	-	PRLH17 [B,H,W] XXXXXXX	PRL17 [B,H,W] XXXXXXX
0x310	-	-	PRLH18 [B,H,W] XXXXXXX	PRL18 [B,H,W] XXXXXXX
0x314	-	-	PRLH19 [B,H,W] XXXXXXX	PRL19 [B,H,W] XXXXXXX
0x318	-	-	-	GATEC16 [B,H,W] --00---00
0x31C - 0x33C	-	-	-	-
0x340	-	-	PPGC20 [B,H,W] 00000000	PPGC21 [B,H,W] 00000000
0x344	-	-	PPGC22 [B,H,W] 00000000	PPGC23 [B,H,W] 00000000
0x348	-	-	PRLH20 [B,H,W] XXXXXXX	PRL20 [B.H.W] XXXXXXX
0x34C	-	-	PRLH21 [B,H,W] XXXXXXX	PRL21 [B,H,W] XXXXXXX
0x350	-	-	PRLH22 [B,H,W] XXXXXXX	PRL22 [B,H,W] XXXXXXX
0x354	-	-	PRLH23 [B,H,W] XXXXXXX	PRL23 [B,H,W] XXXXXXX
0x358	-	-	-	GATEC20 [B,H,W] ----00
0x35C - 0x37C	-	-	-	-
0x380	-	-	-	IGBTC[B,H,W] 00000000
0x384 - 0xFFC	-	-	-	-

Base Timer ch.0	Base Address : 0x4002_5000
Base Timer ch.1	Base Address : 0x4002_5040
Base Timer ch.2	Base Address : 0x4002_5080
Base Timer ch.3	Base Address : 0x4002_50C0
Base Timer ch.4	Base Address : 0x4002_5200
Base Timer ch.5	Base Address : 0x4002_5240
Base Timer ch.6	Base Address : 0x4002_5280
Base Timer ch.7	Base Address : 0x4002_52C0
Base Timer ch.8	Base Address : 0x4002_5400
Base Timer ch.9	Base Address : 0x4002_5440
Base Timer ch.10	Base Address : 0x4002_5480
Base Timer ch.11	Base Address : 0x4002_54C0
Base Timer ch.12	Base Address : 0x4002_5600
Base Timer ch.13	Base Address : 0x4002_5640
Base Timer ch.14	Base Address : 0x4002_5680
Base Timer ch.15	Base Address : 0x4002_56C0

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	PCSR/PRLL [H,W] XXXXXXXX XXXXXXXX	
0x004	-	-	PDUT/PRLH/DTBF [H,W] XXXXXXXX XXXXXXXX	
0x008	-	-	TMR [H,W] 00000000 00000000	
0x00C	-	-	TMCR [B,H,W] -0000000 00000000	
0x010	-	-	TMCR2 [B,H,W] -----0	STC [B,H,W] 0000-000
0x014 - 0x03C	-	-	-	-

IO Selector for ch.0-ch.3 (Base Timer)

Base Address : 0x4002\_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL0123 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.4-ch.7(Base Timer)

Base Address : 0x4002\_5300

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL4567 [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.8-ch.11(Base Timer)

Base Address : 0x4002\_5500

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSEL89AB [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

IO Selector for ch.12-ch.15(Base Timer)

Base Address : 0x4002\_5700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	BTSELCDEF [B,H,W] 00000000	-
0x004 - 0x0FC	-	-	-	-

Software-based Simulation Startup(Base Timer) Base Address : 0x4002\_5F00

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000 - 0x0FB	-	-	-	-
0x0FC	-	-	BTSSSR [B,H,W] XXXXXXXX XXXXXXXX	

QPRC ch.0      Base Address : 0x4002\_6000  
 QPRC ch.1      Base Address : 0x4002\_6040  
 QPRC ch.2      Base Address : 0x4002\_6080

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	-	-	QPCR [H,W] 00000000 00000000	
0x0004	-	-	QRCR [H,W] 00000000 00000000	
0x0008	-	-	QPCCR [H,W] 00000000 00000000	
0x000C	-	-	QPRCR [H,W] 00000000 00000000	
0x0010	-	-	QMPPR [H,W] 11111111 11111111	
0x0014	-	-	QICRH [B,H,W] --000000	QICRL [B,H,W] 00000000
0x0018	-	-	QCRH [B,H,W] 00000000	QCRL [B,H,W] 00000000
0x001C	-	-	QECR [B,H,W] -----000	
0x0020 - 0x0038	-	-	-	-
0x003C	QPCRR[B,H,W] 00000000 00000000		QRCRR[B,H,W] 00000000 00000000	

12bit A/DC unit0 Base\_Address : 0x4002\_7000  
 12bit A/DC unit1 Base\_Address : 0x4002\_7100  
 12bit A/DC unit2 Base\_Address : 0x4002\_7200

## ■ TYPE3/TYPE7 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ---0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX---- 0001--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 1000-000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX----1-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00-----		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	SCTSL[B,H,W] ----0000	PRTSL[B,H,W] ----0000
0x03C	-	-	-	ADCEN[B,H,W] --00--00
0x040 - 0x0FC	-	-	-	-

## ■ TYPE3/TYPE7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	ADCR[B,H,W] 000-0000	ADSR[B,H,W] 00---000
0x004	-	-	-	*
0x008	-	-	SCCR[B,H,W] 1000-000	SFNS[B,H,W] ---0000
0x00C	SCFD[B,H,W] XXXXXXXX XXXX----X--XX ---XXXXX			
0x010	-	-	SCIS3[B,H,W] 00000000	SCIS2[B,H,W] 00000000
0x014	-	-	SCIS1[B,H,W] 00000000	SCIS0[B,H,W] 00000000
0x018	-	-	PCCR[B,H,W] 10000000	PFNS[B,H,W] --XX--00
0x01C	PCFD[B,H,W] XXXXXXXX XXXX----X-XXX ---XXXXX			
0x020	-	-	-	PCIS[B,H,W] 00000000
0x024	CMPD[B,H,W] 00000000 00-----		-	CMPCR[B,H,W] 00000000
0x028	-	-	ADSS3[B,H,W] 00000000	ADSS2[B,H,W] 00000000
0x02C	-	-	ADSS1[B,H,W] 00000000	ADSS0[B,H,W] 00000000
0x030	-	-	ADST0[B,H,W] 00010000	ADST1[B,H,W] 00010000
0x034	-	-	-	ADCT[B,H,W] 00000111
0x038	-	-	-	-
0x03C	-	-	ADCEN[B,H,W] 11111111 -----00	
0x040 - 0x0FC	-	-	-	-

10bit D/AC      Base\_Address : 0x4002\_8000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	DACR0[B,H,W] -----0	DADR0[B,H,W] -----XX XXXXXXXX	
0x04	-	DACR1[B,H,W] -----0	DADR1[B,H,W] -----XX XXXXXXXX	
0x08 - 0xFC	-	-	-	-

CR Trim              Base\_Address : 0x4002\_E000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	MCR_PSR[B,H,W] -----01
0x004	-	-	-	MCR_FTRM[B,H,W] -----01 10000000 *3 ----- 01111111 *4
0x008	-	-	-	*
0x00C	MCR_RLR[W] 00000000 00000000 00000000 00000001			
0x010 - 0x0FC	-	-	-	-

EXTI              Base\_Address : 0x4003\_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	ENIR[B,H,W] 00000000 00000000 00000000 00000000			
0x004	EIRR[B,H,W] XXXXXXXX XXXXXXXX XXXXXXXX XXXXXXXX			
0x008	EICL[B,H,W] 11111111 11111111 11111111 11111111			
0x00C	ELVR[R/W] 00000000 00000000 00000000 00000000			
0x010	ELVR1[R/W] 00000000 00000000 00000000 00000000			
0x014	-	-	-	NMIRR[B,H,W] -----0
0x018	-	-	-	NMICL[B,H,W] -----1
0x01C	-	-	-	-
0x020 - 0x0FC	-	-	-	-

INT-Req. READ Base\_Address : 0x4003\_1000

## ■ TYPE3/TYPE7 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	DRQSEL[B,H,W] 00000000 00000000 00000000 00000000			
0x004	*			
0x008	ODDPKS[B] ---00000	-	-	*
0x00C	-	-	-	IRQCMODE[B,H,W] -----0
0x010	EXC02MON[B,H,W] -----00			
0x014	IRQ00MON[B,H,W] -----0			
0x018	IRQ01MON[B,H,W] -----0			
0x01C	IRQ02MON[B,H,W] -----0			
0x020	IRQ03MON[B,H,W] -----00000000			
0x024	IRQ04MON[B,H,W] -----00000000			
0x028	IRQ05MON[B,H,W] -----00000000 00000000 00000000			
0x02C	IRQ06MON[B,H,W] -----0000 00000000 00000000			
0x030	IRQ07MON[B,H,W] -----0			
0x034	IRQ08MON[B,H,W] -----00			
0x038	IRQ09MON[B,H,W] -----0			
0x03C	IRQ10MON[B,H,W] -----00			
0x040	IRQ11MON[B,H,W] -----0			
0x044	IRQ12MON[B,H,W] -----00			
0x048	IRQ13MON[B,H,W] -----0			
0x04C	IRQ14MON[B,H,W] -----00			
0x050	IRQ15MON[B,H,W] -----0			
0x054	IRQ16MON[B,H,W] -----00			
0x058	IRQ17MON[B,H,W] -----0			
0x05C	IRQ18MON[B,H,W] -----00			

Base_Address + Address	Register			
	+3	+2	+1	+0
0x060		IRQ19MON[B,H,W] -----0		
0x064		IRQ20MON[B,H,W] -----00		
0x068		IRQ21MON[B,H,W] -----0		
0x06C		IRQ22MON[B,H,W] -----00		
0x070		IRQ23MON[B,H,W] -----0 00000000		
0x074		IRQ24MON[B,H,W] ----- 00000000		
0x078		IRQ25MON[B,H,W] -----0000		
0x07C		IRQ26MON[B,H,W] -----0000		
0x080		IRQ27MON[B,H,W] -----00000		
0x084		IRQ28MON[B,H,W] -----00 00000000 00000000		
0x088		IRQ29MON[B,H,W] -----0000 00000000		
0x08C		IRQ30MON[B,H,W] -----00 00000000 00000000		
0x090		IRQ31MON[B,H,W] -----00000000 00000000		
0x094		IRQ32MON[B,H,W] -----00000000		
0x098		IRQ33MON[B,H,W] -----000		
0x09C		IRQ34MON[B,H,W] -----00000		
0x0A0		IRQ35MON[B,H,W] -----000000		
0x0A4		IRQ36MON[B,H,W] -----000000		
0x0A8		IRQ37MON[B,H,W] -----00000000		
0x0AC		IRQ38MON[B,H,W] -----0		
0x0B0		IRQ39MON[B,H,W] -----0		
0x0B4		IRQ40MON[B,H,W] -----0		
0x0B8		IRQ41MON[B,H,W] -----0		
0x0BC		IRQ42MON[B,H,W] -----0		

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0C0		IRQ43MON[B,H,W] -----0		
0x0C4		IRQ44MON[B,H,W] -----0		
0x0C8		IRQ45MON[B,H,W] -----0		
0x0CC		IRQ46MON[B,H,W] -----00000000 00000000		
0x0D0		IRQ47MON[B,H,W] -----00000000 00000000		
0x0D4 - 0x1FC	-	-	-	-
0x200		DRQSEL1[B,H,W] 00000000 00000000 00000000 00000000		
0x204		DQESEL[B,H,W] 00000000 00000000 00000000 00000000		
0x208		*		
0x20C	ODDPKS[B] ---00000	-	-	*
0x210	RCINTSEL3[B,H,W] ---00000	RCINTSEL2[B,H,W] ---00000	RCINTSEL1[B,H,W] ---00000	RCINTSEL0[B,H,W] ---00000
0x214	RCINTSEL7[B,H,W] ---00000	RCINTSEL6[B,H,W] ---00000	RCINTSEL5[B,H,W] ---00000	RCINTSEL4[B,H,W] ---00000
0x218 - 0xFFC	-	-	-	-

## ■ TYPE3/TYPE7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000		*		
0x004		*		
0x008		*		
0x00C	-	-	-	-
0x010		EXC02MON[B,H,W] -----00		
0x014		IRQ00MON[B,H,W] -----0		
0x018		IRQ01MON[B,H,W] -----0		
0x01C		IRQ02MON[B,H,W] -----0		
0x020		IRQ03MON[B,H,W] -----00000000		
0x024		IRQ04MON[B,H,W] -----00000000		
0x028		IRQ05MON[B,H,W] -----0		
0x02C		IRQ06MON[B,H,W] -----0		
0x030		IRQ07MON[B,H,W] -----00		
0x034		IRQ08MON[B,H,W] -----0		

Base_Address + Address	Register			
	+3	+2	+1	+0
0x038		IRQ09MON[B,H,W] -----00		
0x03C		IRQ10MON[B,H,W] -----0		
0x040		IRQ11MON[B,H,W] -----00		
0x044		IRQ12MON[B,H,W] -----0		
0x048		IRQ13MON[B,H,W] -----00		
0x04C		IRQ14MON[B,H,W] -----0		
0x050		IRQ15MON[B,H,W] -----00		
0x054		IRQ16MON[B,H,W] -----0		
0x058		IRQ17MON[B,H,W] -----00		
0x05C		IRQ18MON[B,H,W] -----0		
0x060		IRQ19MON[B,H,W] -----00		
0x064		IRQ20MON[B,H,W] -----0		
0x068		IRQ21MON[B,H,W] -----00		
0x06C		IRQ22MON[B,H,W] -----000		
0x070		IRQ23MON[B,H,W] -----000000		
0x074		IRQ24MON[B,H,W] -----0000		
0x078		IRQ25MON[B,H,W] -----000000		
0x07C		IRQ26MON[B,H,W] -----0000		
0x080		IRQ27MON[B,H,W] -----000000		
0x084		IRQ28MON[B,H,W] -----00000000 00000000		
0x088		IRQ29MON[B,H,W] -----0---		
0x08C		IRQ30MON[B,H,W] -----0---		
0x090		IRQ31MON[B,H,W] -----0		

LCDC Base\_Address : 0x4003\_2000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	LCDCC3[B,H,W] 0011111-	LCDCC2[B,H,W] --010100	LCDCC1[B,H,W] -00000--
0x04		LCDC_PSR[B,H,W] -----0000000 00000000 00000000		
0x08		LCDC_COMEN[B,H,W] -----00000000		
0x0C		LCDC_SEGEN1[B,H,W] 00000000 00000000 00000000 00000000		
0x10		LCDC_SEGEN2[B,H,W] -----00000000		
0x14	-	-	LCDC_BLINK[B,H,W] 00000000 00000000	
0x18	-	-	-	-
0x1C	LCDRAM03[B,H,W] 00000000	LCDRAM02[B,H,W] 00000000	LCDRAM01[B,H,W] 00000000	LCDRAM00[B,H,W] 00000000
0x20	LCDRAM07[B,H,W] 00000000	LCDRAM06[B,H,W] 00000000	LCDRAM05[B,H,W] 00000000	LCDRAM04[B,H,W] 00000000
0x24	LCDRAM11[B,H,W] 00000000	LCDRAM10[B,H,W] 00000000	LCDRAM09[B,H,W] 00000000	LCDRAM08[B,H,W] 00000000
0x28	LCDRAM15[B,H,W] 00000000	LCDRAM14[B,H,W] 00000000	LCDRAM13[B,H,W] 00000000	LCDRAM12[B,H,W] 00000000
0x2C	LCDRAM19[B,H,W] 00000000	LCDRAM18[B,H,W] 00000000	LCDRAM17[B,H,W] 00000000	LCDRAM16[B,H,W] 00000000
0x30	LCDRAM23[B,H,W] 00000000	LCDRAM22[B,H,W] 00000000	LCDRAM21[B,H,W] 00000000	LCDRAM20[B,H,W] 00000000
0x34	LCDRAM26[B,H,W] 00000000	LCDRAM25[B,H,W] 00000000	LCDRAM24[B,H,W] 00000000	LCDRAM24[B,H,W] 00000000
0x38	LCDRAM31[B,H,W] 00000000	LCDRAM30[B,H,W] 00000000	LCDRAM29[B,H,W] 00000000	LCDRAM28[B,H,W] 00000000
0x3C	LCDRAM35[B,H,W] 00000000	LCDRAM34[B,H,W] 00000000	LCDRAM33[B,H,W] 00000000	LCDRAM32[B,H,W] 00000000
0x40	LCDRAM39[B,H,W] 00000000	LCDRAM38[B,H,W] 00000000	LCDRAM37[B,H,W] 00000000	LCDRAM36[B,H,W] 00000000
0x44 - 0xFC	-	-	-	-

GPIO Base\_Address : 0x4003\_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000		PFR0[B,H,W] ----- 0000 0000 0001 1111		
0x004		PFR1[B,H,W] ----- 0000 0000 0000 0000		
0x008		PFR2[B,H,W] ----- 0000 0000 0000 0000		
0x00C		PFR3[B,H,W] ----- 0000 0000 0000 0000		
0x010		PFR4[B,H,W] ----- 0000 0000 0000 0000		
0x014		PFR5[B,H,W] ----- 0000 0000 0000 0000		
0x018		PFR6[B,H,W] ----- 0000 0000 0000 0000		
0x01C		PFR7[B,H,W] ----- 0000 0000 0000 0000		
0x020		PFR8[B,H,W] ----- 0000 0000 0000 0000		
0x024		PFR9[B,H,W] ----- 0000 0000 0000 0000		
0x028		PFRA[B,H,W] ----- 0000 0000 0000 0000		
0x02C		PFRB[B,H,W] ----- 0000 0000 0000 0000		
0x030		PFRC[B,H,W] ----- 0000 0000 0000 0000		
0x034		PFRD[B,H,W] ----- 0000 0000 0000 0000		
0x038		PFRE[B,H,W] ----- 0000 0000 0000 0000		
0x03C		PFRF[B,H,W] ----- 0000 0000 0000 0000		
0x040 - 0x0FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x100		PCR0[B,H,W] ----- 0000 0000 0001 1111		
0x104		PCR1[B,H,W] ----- 0000 0000 0000 0000		
0x108		PCR2[B,H,W] ----- 0000 0000 0000 0000		
0x10C		PCR3[B,H,W] ----- 0000 0000 0000 0000		
0x110		PCR4[B,H,W] ----- 0000 0000 0000 0000		
0x114		PCR5[B,H,W] ----- 0000 0000 0000 0000		
0x118		PCR6[B,H,W] ----- 0000 0000 0000 0000		
0x11C		PCR7[B,H,W] ----- 0000 0000 0000 0000		
0x120		PCR8[B,H,W] ----- 0000 0000 0000 0000		
0x124		PCR9[B,H,W] ----- 0000 0000 0000 0000		
0x128		PCRA[B,H,W] ----- 0000 0000 0000 0000		
0x12C		PCRB[B,H,W] ----- 0000 0000 0000 0000		
0x130		PCRC[B,H,W] ----- 0000 0000 0000 0000		
0x134		PCRD[B,H,W] ----- 0000 0000 0000 0000		
0x138		PCRE[B,H,W] ----- 0000 0000 0000 0000		
0x13C		PCRF[B,H,W] ----- 0000 0000 0000 0000		
0x140 – 0x1FC		-		

Base_Address + Address	Register			
	+3	+2	+1	+0
0x200		DDR0[B,H,W] ----- 0000 0000 0000 0000		
0x204		DDR1[B,H,W] ----- 0000 0000 0000 0000		
0x208		DDR2[B,H,W] ----- 0000 0000 0000 0000		
0x20C		DDR3[B,H,W] ----- 0000 0000 0000 0000		
0x210		DDR4[B,H,W] ----- 0000 0000 0000 0000		
0x214		DDR5[B,H,W] ----- 0000 0000 0000 0000		
0x218		DDR6[B,H,W] ----- 0000 0000 0000 0000		
0x21C		DDR7[B,H,W] ----- 0000 0000 0000 0000		
0x220		DDR8[B,H,W] ----- 0000 0000 0000 0000		
0x224		DDR9[B,H,W] ----- 0000 0000 0000 0000		
0x228		DDRA[B,H,W] ----- 0000 0000 0000 0000		
0x22C		DDRB[B,H,W] ----- 0000 0000 0000 0000		
0x230		DDRC[B,H,W] ----- 0000 0000 0000 0000		
0x234		DDRD[B,H,W] ----- 0000 0000 0000 0000		
0x238		DDRE[B,H,W] ----- 0000 0000 0000 0000		
0x23C		DDRF[B,H,W] ----- 0000 0000 0000 0000		
0x240 - 0x2FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x300		PDIR0[B,H,W] ----- 0000 0000 0000 0000		
0x304		PDIR1[B,H,W] ----- 0000 0000 0000 0000		
0x308		PDIR2[B,H,W] ----- 0000 0000 0000 0000		
0x30C		PDIR3[B,H,W] ----- 0000 0000 0000 0000		
0x310		PDIR4[B,H,W] ----- 0000 0000 0000 0000		
0x314		PDIR5[B,H,W] ----- 0000 0000 0000 0000		
0x318		PDIR6[B,H,W] ----- 0000 0000 0000 0000		
0x31C		PDIR7[B,H,W] ----- 0000 0000 0000 0000		
0x320		PDIR8[B,H,W] ----- 0000 0000 0000 0000		
0x324		PDIR9[B,H,W] ----- 0000 0000 0000 0000		
0x328		PDIRA[B,H,W] ----- 0000 0000 0000 0000		
0x32C		PDIRB[B,H,W] ----- 0000 0000 0000 0000		
0x330		PDIRC[B,H,W] ----- 0000 0000 0000 0000		
0x334		PDIRD[B,H,W] ----- 0000 0000 0000 0000		
0x338		PDIRE[B,H,W] ----- 0000 0000 0000 0000		
0x33C		PDIRF[B,H,W] ----- 0000 0000 0000 0000		
0x340 - 0x3FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x400		PDOR0[B,H,W] ----- 0000 0000 0000 0000		
0x404		PDOR1[B,H,W] ----- 0000 0000 0000 0000		
0x408		PDOR2[B,H,W] ----- 0000 0000 0000 0000		
0x40C		PDOR3[B,H,W] ----- 0000 0000 0000 0000		
0x410		PDOR4[B,H,W] ----- 0000 0000 0000 0000		
0x414		PDOR5[B,H,W] ----- 0000 0000 0000 0000		
0x418		PDOR6[B,H,W] ----- 0000 0000 0000 0000		
0x41C		PDOR7[B,H,W] ----- 0000 0000 0000 0000		
0x420		PDOR8[B,H,W] ----- 0000 0000 0000 0000		
0x424		PDOR9[B,H,W] ----- 0000 0000 0000 0000		
0x428		PDORA[B,H,W] ----- 0000 0000 0000 0000		
0x42C		PDORB[B,H,W] ----- 0000 0000 0000 0000		
0x430		PDORC[B,H,W] ----- 0000 0000 0000 0000		
0x434		PDORD[B,H,W] ----- 0000 0000 0000 0000		
0x438		PDORE[B,H,W] ----- 0000 0000 0000 0000		
0x43C		PDORF[B,H,W] ----- 0000 0000 0000 0000		
0x440 - 0x4FC	-	-	-	-
0x500		ADE[B,H,W] 1111 1111 1111 1111 1111 1111 1111 1111		
0x504 - 0x57C	-	-	-	-
0x580		SPSR[B,H,W] ----- 0 ---1 *1 ----- 0 0101 *2		
0x584 - 0x5FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x600		EPFR00[B,H,W] ---- --00 ---- --11 ---- --0- ---- --00		
0x604		EPFR01[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000		
0x608		EPFR02[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000		
0x60C		EPFR03[B,H,W] 0000 0000 0000 0000 ---0 0000 0000 0000		
0x610		EPFR04[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--		
0x614		EPFR05[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--		
0x618		EPFR06[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000		
0x61C		EPFR07[B,H,W] ---- 0000 0000 0000 0000 0000 0000 ----		
0x620		EPFR08[B,H,W] ---- 0000 0000 0000 0000 0000 0000 0000		
0x624		EPFR09[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000		
0x628		EPFR10[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000		
0x62C		EPFR11[B,H,W] ---- --00 0000 0000 0000 0000 0000 0000		
0x630		EPFR12[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--		
0x634		EPFR13[B,H,W] --00 0000 --00 00-- --00 0000 --00 00--		
0x638		EPFR14[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000		
0x63C		EPFR15[B,H,W] 0000 0000 0000 0000 0000 0000 0000 0000		
0x640 – 0x6FC	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x700		PZR0[B,H,W] ----- 0000 0000 0000 0000		
0x704		PZR1[B,H,W] ----- 0000 0000 0000 0000		
0x708		PZR2[B,H,W] ----- 0000 0000 0000 0000		
0x70C		PZR3[B,H,W] ----- 0000 0000 0000 0000		
0x710		PZR4[B,H,W] ----- 0000 0000 0000 0000		
0x714		PZR5[B,H,W] ----- 0000 0000 0000 0000		
0x718		PZR6[B,H,W] ----- 0000 0000 0000 0000		
0x71C		PZR7[B,H,W] ----- 0000 0000 0000 0000		
0x720		PZR8[B,H,W] ----- 0000 0000 0000 0000		
0x724		PZR9[B,H,W] ----- 0000 0000 0000 0000		
0x728		PZRA[B,H,W] ----- 0000 0000 0000 0000		
0x72C		PZRB[B,H,W] ----- 0000 0000 0000 0000		
0x730		PZRC[B,H,W] ----- 0000 0000 0000 0000		
0x734		PZRD[B,H,W] ----- 0000 0000 0000 0000		
0x738		PZRE[B,H,W] ----- 0000 0000 0000 0000		
0x73C		PZRF[B,H,W] ----- 0000 0000 0000 0000		
0x740 - 0x7FC	-	-	-	-
0x800		*		
0x804		*		
0x808 - 0xFFC	-	-	-	-

HDMI-CEC/Remote Control Receiver ch.0 Base\_Address : 0x4003\_4000  
HDMI-CEC/Remote Control Receiver ch.1 Base\_Address : 0x4003\_4100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x00	-	-	-	TXCTRL[B,H,W] --0000-0
0x04	-	-	-	TXDATA[B,H,W] 00000000
0x08	-	-	-	TXSTS[B,H,W] --00---0
0x0C	-	-	-	SFREE[B,H,W] ----0000
0x10 - 0x3F	-	-	-	-
0x40	-	-	RCCR[B,H,W] 0---0000	RCST[B,H,W] 00000000
0x44	-	-	RCSHW[B,H,W] 00000000	RCDAHW[B,H,W] 00000000
0x48	-	-	RCDBHW[B,H,W] 00000000	-
0x4C	-	-	RCADR1[B,H,W] ---0000	RCADR2[B,H,W] ---0000
0x50	-	-	RCDTHH[B,H,W] 00000000	RCDTHL[B,H,W] 00000000
0x54	-	-	RCDTLH[B,H,W] 00000000	RCDTLL[B,H,W] 00000000
0x58	-	-	RCCKD[H,W] --00000 00000000	
0x5C	-	-	RCRC[B,H,W] ---0---0	RCRHW[B,H,W] 00000000
0x60	-	-	RCLE[B,H,W] 00000-00	-
0x64	-	-	RCLELW[B,H,W] 00000000	RCLESW[B,H,W] 00000000
0x68 - 0xFC	-	-	-	-

LVD Base\_Address : 0x4003\_5000

## ■ TYPE3/TYPE7 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	LVD_CTL[B,H,W] 010000--
0x004	-	-	-	LVD_STR[B,H,W] 0-----
0x008	-	-	-	LVD_CLR[B,H,W] 1-----
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 0-----
0x014 - 0xFFC	-	-	-	-

## ■ TYPE3/TYPE7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	LVD_CTL[B,H,W] 1-0001-- 0-00000-	
0x004	-	-	-	LVD_STR[B,H,W] 0-----
0x008	-	-	-	LVD_CLR[B,H,W] 1-----
0x00C	LVD_RLR[W] 00000000 00000000 00000000 00000001			
0x010	-	-	-	LVD_STR2 01-----
0x014 - 0x7FC	-	-	-	-

DS\_Mode      Base\_Address : 0x4003\_5100

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	REG_CTL[B,H,W] -----0
0x004	-	-	-	RCK_CTL[B,H,W] -----01
0x008 - 0x6FC	-	-	-	-
0x700	-	-	-	PMD_CTL[B,H,W] -----0
0x704	-	-	-	WRFSR[B,H,W] -----00
0x708	-	-		WIFSR[B,H,W] -----00 00000000
0x70C	-	-		WIER[B,H,W] -----00 0000-00
0x710	-	-	-	WILVR[B,H,W] -----000
0x714	-	-	-	DSRAMR[B,H,W] -----00
0x718 - 0x7FC	-	-	-	-
0x800	BUR04[B,H,W] 00000000	BUR03[B,H,W] 00000000	BUR02[B,H,W] 00000000	BUR01[B,H,W] 00000000
0x804	BUR08[B,H,W] 00000000	BUR07[B,H,W] 00000000	BUR06[B,H,W] 00000000	BUR05[B,H,W] 00000000
0x808	BUR012[B,H,W] 00000000	BUR11[B,H,W] 00000000	BUR10[B,H,W] 00000000	BUR09[B,H,W] 00000000
0x80C	BUR16[B,H,W] 00000000	BUR15[B,H,W] 00000000	BUR14[B,H,W] 00000000	BUR13[B,H,W] 00000000
0x810 - 0xEFC	-	-	-	-

USB Clock      Base\_Address : 0x4003\_6000

## ■ TYPE2 製品以外

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] -----00
0x004	-	-	-	UPCR1[B,H,W] -----00
0x008	-	-	-	UPCR2[B,H,W] ----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] --10111 *1 -0111011 *2
0x014	-	-	-	UP_STR[B,H,W] -----0
0x018	-	-	-	UPINT_ENR[B,H,W] -----0
0x01C	-	-	-	UPINT_CLR[B,H,W] -----0
0x020	-	-	-	UPINT_STR[B,H,W] -----0
0x024	-	-	-	UPCR5[B,H,W] ---0100
0x028 - 0x02C	-	-	-	-
0x030	-	-	-	USBEN[B,H,W] -----0
0x034 - 0x0FC	-	-	-	-

## ■ TYPE2 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	UCCR[B,H,W] ----000000
0x004	-	-	-	UPCR1[B,H,W] -----00
0x008	-	-	-	UPCR2[B,H,W] -----000
0x00C	-	-	-	UPCR3[B,H,W] ---00000
0x010	-	-	-	UPCR4[B,H,W] -0111011
0x014	-	-	-	UP_STR[B,H,W] -----0
0x018	-	-	-	UPINT_ENR[B,H,W] -----0
0x01C	-	-	-	UPINT_CLR[B,H,W] -----0
0x020	-	-	-	UPINT_STR[B,H,W] -----0
0x024	-	-	-	UPCR5[B,H,W] ---0100
0x028	-	-	-	UPCR6[B,H,W] ---0010
0x02C	-	-	-	UPCR7[B,H,W] -----0
0x030	-	-	-	USBEN[B,H,W] -----0
0x034	-	-	-	USBEN1[B,H,W] -----0
0x038 - 0x0FC	-	-	-	-

CAN\_Prescaler Base\_Address : 0x4003\_7000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CANPRE[B,H,W] ----1011
0x004 - 0xFFC	-	-	-	-

MFS ch.0 Base\_Address : 0x4003\_8000  
 MFS ch.1 Base\_Address : 0x4003\_8100  
 MFS ch.2 Base\_Address : 0x4003\_8200  
 MFS ch.3 Base\_Address : 0x4003\_8300  
 MFS ch.4 Base\_Address : 0x4003\_8400  
 MFS ch.5 Base\_Address : 0x4003\_8500  
 MFS ch.6 Base\_Address : 0x4003\_8600  
 MFS ch.7 Base\_Address : 0x4003\_8700

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	SCR / IBCR[B,H,W] 0--0000	SMR[B,H,W] 000000-0
0x004	-	-	SSR[B,H,W] 0-00011	ESCR / IBSR[B,H,W] 0000000
0x008	-	-	RDR/TDR[H,W] ----0 00000000	
0x00C	-	-	BGR1[B,H,W] 00000000	BGR0[B,H,W] 00000000
0x010	-	-	ISMK[B,H,W] -----	ISBA[B,H,W] -----
0x014	-	-	FCR1[B,H,W] ---00100	FCR0[B,H,W] -0000000
0x018	-	-	FBYTE2[B,H,W] 00000000	FBYTE1[B,H,W] 00000000
0x01C - 0xFFC	-	-	-	-

MFS Noise Filter Cntrol Base\_Address : 0x4003\_8800

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	I2CDNF[B,H,W] 00000000	
0x004 - 0xFFC	-	-	-	-

CRC      Base\_Address : 0x4003\_9000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	-	-	CRCCR[B,H,W] -0000000
0x004	CRCINIT[B,H,W] 11111111 11111111 11111111 11111111			
0x008	CRCIN[B,H,W] 00000000 00000000 00000000 00000000			
0x00C	CRCR[B,H,W] 11111111 11111111 11111111 11111111			

Watch Counter      Base\_Address : 0x4003\_A000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	-	WCCR[B,H,W] 00--0000	WCRL[B,H,W] --000000	WCRD[B,H,W] --000000
0x004 - 0x00C	-	-	-	-
0x010	-	-	CLK_SEL[B,H,W] ----000 -----0	
0x014	-	-	-	CLK_EN[B,H,W] -----00
0x018 - 0xFFC	-	-	-	-

RTC Base\_Address : 0x4003\_B000

## ■ TYPE3/TYPE4/TYPE5 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1[B,H,W] 00000000 00000000 --00000 -00000-0			
0x004	WTCR2[B,H,W] -----000 -----0			
0x008	WTBR[B,H,W] -----00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] ---00000	WTDW[B,H,W] ----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR[B,H,W] -----00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] -----00	WTCLKS [B,H,W] -----0
0x024	-	-	WTCALEN[B,H,W] -----0	WTCAL [B,H,W] -0000000
0x028	-	-	WTDIVEN[B,H,W] -----00	WTDIV [B,H,W] ---0000
0x02C - 0xFFC	-	-	-	-

## ■ TYPE6/TYPE7 製品

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WTCR1[B,H,W] 00000000 00000000 --00000 -00000-0			
0x004	WTCR2[B,H,W] -----000 -----0			
0x008	WTBR[B,H,W] ----- 00000000 00000000 00000000			
0x00C	WTDR[B,H,W] --000000	WTHR[B,H,W] --000000	WTMIR[B,H,W] -0000000	WTSR[B,H,W] -0000000
0x010	-	WTYR[B,H,W] 00000000	WTMOR[B,H,W] --00000	WTDW[B,H,W] ----000
0x014	ALDR[B,H,W] --000000	ALHR[B,H,W] --000000	ALMIR[B,H,W] -0000000	-
0x018	-	ALYR[B,H,W] 00000000	ALMOR[B,H,W] ---00000	-
0x01C	WTTR[B,H,W] -----00 00000000 00000000			
0x020	-	-	WTCLKM[B,H,W] -----00	WTCLKS [B,H,W] -----0
0x024	-	WTCALEN[B,H,W] -----0	WTCAL [B,H,W] -----00 00000000	
0x028	-	-	WTDIVEN[B,H,W] -----00	WTDIV [B,H,W] ---0000
0x02C	-	-	-	WTCALPRD [B,H,W] --010011
0x030	-	-	-	WTCOSEL [B,H,W] -----0
0x034 - 0xFFC	-	-	-	-

EXT-Bus I/F      Base\_Address : 0x4003\_F000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000		MODE0[W] ----- --000-00 00000000		
0x0004		MODE1[W] ----- --000-00 00000000		
0x0008		MODE2[W] ----- --000-00 00000000		
0x000C		MODE3[W] ----- --000-00 00000000		
0x0010		MODE4[W] ----- --000-00 00000001		
0x0014		MODE5[W] ----- --000-00 00000000		
0x0018		MODE6[W] ----- --000-00 00000000		
0x001C		MODE7[W] ----- --000-00 00000000		
0x0020		TIM0[W] 00000101 01011111 11110000 00001111		
0x0024		TIM1[W] 00000101 01011111 11110000 00001111		
0x0028		TIM2[W] 00000101 01011111 11110000 00001111		
0x002C		TIM3[W] 00000101 01011111 11110000 00001111		
0x0030		TIM4[W] 00000101 01011111 11110000 00001111		
0x0034		TIM5[W] 00000101 01011111 11110000 00001111		
0x0038		TIM6[W] 00000101 01011111 11110000 00001111		
0x003C		TIM7[W] 00000101 01011111 11110000 00001111		

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040			AREA0[W] -----0001111-----00000000	
0x0044			AREA1[W] -----0001111-----00010000	
0x0048			AREA2[W] -----0001111-----00100000	
0x004C			AREA3[W] -----0001111-----00110000	
0x0050			AREA4[W] -----0001111-----01000000	
0x0054			AREA5[W] -----0001111-----01010000	
0x0058			AREA6[W] -----0001111-----01100000	
0x005C			AREA7[W] -----0001111-----01110000	
0x0060			ATIM0[W] -----0100 01011111	
0x0064			ATIM1[W] -----0100 01011111	
0x0068			ATIM2[W] -----0100 01011111	
0x006C			ATIM3[W] -----0100 01011111	
0x0070			ATIM4[W] -----0100 01011111	
0x0074			ATIM5[W] -----0100 01011111	
0x0078			ATIM6[W] -----0100 01011111	
0x007C			ATIM7[W] -----0100 01011111	
0x0080 - 0x02FC	-	-	-	-
0x0300			DCLKR[W] -----00001	
0x0304 - 0x03FC	-	-	-	-

USB ch.0      Base\_Address : 0x4004\_0000  
 USB ch.1      Base\_Address : 0x4005\_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2100	-	-	HCNT1[B,H,W] -----001	HCNT0[B,H,W] 00000000
0x2104	-	-	HERR[B,H,W] 00000011	HIRQ[B,H,W] 0-000000
0x2108	-	-	HFCOMP[B,H,W] 00000000	HSTATE[B,H,W] --010010
0x210C	-	-	HRTIMER(1/0)[B,H,W] 00000000 00000000	
0x2110	-	-	HADR[B,H,W] -0000000	HRTIMER(2)[B,H,W] -----00
0x2114	-	-	HEOF(1/0)[B,H,W] --000000 00000000	
0x2118	-	-	HFRAME(1/0)[B,H,W] -----000 00000000	
0x211C	-	-	HTOKEN[B,H,W] 00000000	
0x2120	-	-	UDCC[B,H,W] ----- 10100-00	
0x2124	-	-	EPOC[H,W] -----0- -1000000	
0x2128	-	-	EP1C[H,W] 01100001 00000000	
0x212C	-	-	EP2C[H,W] 0110000- -1000000	
0x2130	-	-	EP3C[H,W] 0110000- -1000000	
0x2134	-	-	EP4C[H,W] 0110000- -1000000	
0x2138	-	-	EP5C[H,W] 0110000- -1000000	
0x213C	-	-	TMSP[H,W] -----000 00000000	
0x2140	-	-	UDCIE[B,H,W] --000000	UDCS[B,H,W] --000000
0x2144	-	-	EPOIS[H,W] 10---1-----	
0x2148	-	-	EP0OS[H,W] 100-00- -XXXXXXXX	
0x214C	-	-	EP1S[H,W] 100-000X XXXXXXXX	
0x2150	-	-	EP2S[H,W] 100-000- -XXXXXXXX	
0x2154	-	-	EP3S[H,W] 100-000- -XXXXXXXX	
0x2158	-	-	EP4S[H,W] 100-000- -XXXXXXXX	
0x215C	-	-	EP5S[H,W] 100-000- -XXXXXXXX	

Base_Address + Address	Register			
	+3	+2	+1	+0
0x2160	-	-	EP0DTH[B,H,W] XXXXXXX	EP0DTL[B,H,W] XXXXXXX
0x2164	-	-	EP1DTH[B,H,W] XXXXXXX	EP1DTL[B,H,W] XXXXXXX
0x2168	-	-	EP2DTH[B,H,W] XXXXXXX	EP2DTL[B,H,W] XXXXXXX
0x216C	-	-	EP3DTH[B,H,W] XXXXXXX	EP3DTL[B,H,W] XXXXXXX
0x2170	-	-	EP4DTH[B,H,W] XXXXXXX	EP4DTL[B,H,W] XXXXXXX
0x2174	-	-	EP5DTH[B,H,W] XXXXXXX	EP5DTL[B,H,W] XXXXXXX
0x2178 - 0x217C	-	-	-	-

DMAC Base\_Address : 0x4006\_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000		DMACR[B,H,W] 00-00000 -----		
0x0010		DMACA0[B,H,W] 00000000 0---0000 00000000 00000000		
0x0014		DMACB0[B,H,W] --000000 00000000 00000000 -----0		
0x0018		DMACSA0[B,H,W] 00000000 00000000 00000000 00000000		
0x001C		DMACDA0[B,H,W] 00000000 00000000 00000000 00000000		
0x0020		DMACA1[B,H,W] 00000000 0---0000 00000000 00000000		
0x0024		DMACB1[B,H,W] --000000 00000000 00000000 -----0		
0x0028		DMACSA1[B,H,W] 00000000 00000000 00000000 00000000		
0x002C		DMACDA1[B,H,W] 00000000 00000000 00000000 00000000		
0x0030		DMACA2[B,H,W] 00000000 0---0000 00000000 00000000		
0x0034		DMACB2[B,H,W] --000000 00000000 00000000 -----0		
0x0038		DMACSA2[B,H,W] 00000000 00000000 00000000 00000000		
0x003C		DMACDA2[B,H,W] 00000000 00000000 00000000 00000000		
0x0040		DMACA3[B,H,W] 00000000 0---0000 00000000 00000000		
0x0044		DMACB3[B,H,W] --000000 00000000 00000000 -----0		
0x0048		DMACSA3[B,H,W] 00000000 00000000 00000000 00000000		
0x004C		DMACDA3[B,H,W] 00000000 00000000 00000000 00000000		
0x0050		DMACA4[B,H,W] 00000000 0---0000 00000000 00000000		
0x0054		DMACB4[B,H,W] --000000 00000000 00000000 -----0		
0x0058		DMACSA4[B,H,W] 00000000 00000000 00000000 00000000		
0x005C		DMACDA4[B,H,W] 00000000 00000000 00000000 00000000		
0x0060		DMACA5[B,H,W] 00000000 0---0000 00000000 00000000		
0x0064		DMACB5[B,H,W] --000000 00000000 00000000 -----0		
0x0068		DMACSA5[B,H,W] 00000000 00000000 00000000 00000000		
0x006C		DMACDA5[B,H,W] 00000000 00000000 00000000 00000000		

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0070			DMACA6[B,H,W] 00000000 0---0000 00000000 00000000	
0x0074			DMACB6[B,H,W] --000000 00000000 00000000 -----0	
0x0078			DMACSA6[B,H,W] 00000000 00000000 00000000 00000000	
0x007C			DMACDA6[B,H,W] 00000000 00000000 00000000 00000000	
0x0080			DMACA7[B,H,W] 00000000 0---0000 00000000 00000000	
0x0084			DMACB7[B,H,W] --000000 00000000 00000000 -----0	
0x0088			DMACSA7[B,H,W] 00000000 00000000 00000000 00000000	
0x008C			DMACDA7[B,H,W] 00000000 00000000 00000000 00000000	
0x0090 - 0x00FC	-	-	-	-

CAN ch.0      Base\_Address : 0x4006\_2000  
 CAN ch.1      Base\_Address : 0x4006\_3000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0000	STATR[B,H,W] ----- 00000000		CTRLR[B,H,W] ----- 000-0001	
0x0004	BTR[B,H,W] -0100011 00000001		ERRCNT[B,H,W] 00000000 00000000	
0x0008	TESTR[B,H,W] ----- X00000--		INTR[B,H,W] 00000000 00000000	
0x000C	-	-	BRPER[B,H,W] ----- --0000	
0x0010	IF1CMSK[B,H,W] ----- 00000000		IF1CREQ[B,H,W] 0----- 00000001	
0x0014	IF1MSK2[B,H,W] 11-11111 11111111		IF1MSK1[B,H,W] 11111111 11111111	
0x0018	IF1ARB2[B,H,W] 00000000 00000000		IF1ARB1[B,H,W] 00000000 00000000	
0x001C	-	-	IF1MCTR[B,H,W] 00000000 0---0000	
0x0020	IF1DTA2[B,H,W] 00000000 00000000		IF1DTA1[B,H,W] 00000000 00000000	
0x0024	IF1DTB2[B,H,W] 00000000 00000000		IF1DTB1[B,H,W] 00000000 00000000	
0x0028 - 0x002F	-	-	-	-
0x0030	IF1DTA1[B,H,W] 00000000 00000000		IF1DTA2[B,H,W] 00000000 00000000	
0x0034	IF1DTB1[B,H,W] 00000000 00000000		IF1DTB2[B,H,W] 00000000 00000000	
0x0038 - 0x003C	-	-	-	-

Base_Address + Address	Register			
	+3	+2	+1	+0
0x0040	IF2CMSK[B,H,W] ----- 00000000		IF2CREQ[B,H,W] 0----- 00000001	
0x0044	IF2MSK2[B,H,W] 11-11111 11111111		IF2MSK1[B,H,W] 11111111 11111111	
0x0048	IF2ARB2[B,H,W] 00000000 00000000		IF2ARB1[B,H,W] 00000000 00000000	
0x004C	-	-	IF2MCTR[B,H,W] 00000000 0---0000	
0x0050	IF2DTA2[B,H,W] 00000000 00000000		IF2DTA1[B,H,W] 00000000 00000000	
0x0054	IF2DTB2[B,H,W] 00000000 00000000		IF2DTB1[B,H,W] 00000000 00000000	
0x0058 - 0x005C	-	-	-	-
0x0060	IF2DTA1[B,H,W] 00000000 00000000		IF2DTA2[B,H,W] 00000000 00000000	
0x0064	IF2DTB1[B,H,W] 00000000 00000000		IF2DTB2[B,H,W] 00000000 00000000	
0x0068 - 0x007C	-	-	-	-
0x0080	TREQR2[B,H,W] 00000000 00000000		TREQR1[B,H,W] 00000000 00000000	
0x0084 - 0x008F	-	-	-	-
0x0090	NEWDT2[B,H,W] 00000000 00000000		NEWDT1[B,H,W] 00000000 00000000	
0x0094 - 0x009F	-	-	-	-
0x00A0	INTPND2[B,H,W] 00000000 00000000		INTPND1[B,H,W] 00000000 00000000	
0x00A4 - 0x00AF	-	-	-	-
0x00B0	MSGVAL2[B,H,W] 00000000 00000000		MSGVAL1[B,H,W] 00000000 00000000	
0x00B4 - 0x0FFC	-	-	-	-

Ethernet-MAC ch.0 Base\_Address : 0x4006\_4000  
Ethernet-MAC ch.1 Base\_Address : 0x4006\_7000

---

**<注意事項>**

Ethernet-MAC 部のレジスタ詳細は『ペリフェラルマニュアル Ethernet 編』を参照してください。

---

Ethernet-Control Base\_Address : 0x4006\_6000

---

**<注意事項>**

Ethernet-Control 部のレジスタ詳細は『ペリフェラルマニュアル Ethernet 編』を参照してください。

---

WorkFlash\_IF Base\_Address : 0x200E\_0000

Base_Address + Address	Register			
	+3	+2	+1	+0
0x000	WFASZR[B,H,W]			
0x004	WFRWTR[B,H,W]			
0x008	WFSTR[B,H,W]			
0x00C - 0xFFFF	-	-	-	-

---

**<注意事項>**

WorkFlash\_IF 部のレジスタの詳細はご使用する製品の『フラッシュプログラミングマニュアル』を参照してください。

---

## B. 注意事項一覧

---

各機能仕様の注意事項について示します。

---

1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

## 1. 高速 CR クロックをマスタクロックに使用する場合の注意事項

高速 CR クロックをマスタクロックに使用する場合の注意点を示します。

高速 CR クロック(周波数)は温度/電圧により変動します。

高速 CR クロックをマスタクロックとした場合の各機能マクロへの影響を以下に示します。

また高速 CR クロックを PLL の入力クロックとし、マスタクロックを PLL に選択した場合も同様の注意事項があります。

### ■ 機能マクロへの影響

項目	機能/モード	影響
ベースクロック	HCLK/FCLK	高速 CR クロックの最大周波数において、ベースクロック周波数は、ご使用する製品の『データシート』に記載されているベースクロック周波数の上限を超えてはいけません。
各種タイマ	多機能タイマ ベースタイマ 時計カウンタ デュアルタイマ ウォッチドッグタイマ クアッドカウンタ	各マクロのタイマカウント値は高速 CR クロックの周波数変動の影響を考慮してください。
A/D コンバータ	サンプリング時間 コンペア時間	A/D コンバータのサンプリング時間/コンペア時間は、高速 CR クロックの周波数変動を考慮して、ご使用する製品の『データシート』の規格を満たしてください。
USB	—	各規格で規定されている周波数精度を満たせないため、使用できません。
Ethernet-MAC	—	各規格で規定されている周波数精度を満たせないため、使用できません。
CAN	—	各規格で規定されている周波数精度を満たせないため、使用できません。
マルチファンクションシリアルインターフェース	UART	高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差を持つので、ボーレート誤差範囲を超える場合は使用できません。
	CSIO	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	I2C	各マクロの通信時、高速 CR クロックの周波数変動の影響を考慮してください。
	LIN	マスタとしては規格の周波数精度を満たせないため、使用できません。  スレーブとしては高速 CR クロックの最大/最小周波数において、設定したボーレートから更に誤差を持つので、ボーレート誤差範囲を超える場合は使用できません。

1. 高速 CR クロックをマスタクロックに使用する場合の注意  
事項

---

項目	機能/モード	影響
デバッグインターフェース	シリアルワイヤ	高速 CR クロックの周波数変動により、SWV(シリアルワイヤビュー)が使用できない場合があります。
フラッシュメモリ	シリアル書き込み	TYPE0, TYPE1, TYPE2, TYPE4 製品ではシリアル書き込みは行えません。 シリアル書き込みを行うには、X0/X1 端子へのクロック供給が必要です。
外部バスインターフェース	クロック出力	外バスクロック出力を使用する場合、接続先デバイスは高速 CR クロックの周波数変動の影響を考慮してください。

## C. 制限事項一覧

各製品の相違点について示します。

1. TYPE0 製品 制限事項一覧
2. TYPE1 製品 制限事項一覧

---

管理コード: 9BLIMITIONS-J02.0

## 1. TYPE0 製品 制限事項一覧

MB9A100A, MB9B500A/400A/300A/100A シリーズ, MB9A100, MB9B500/400/300/100 シリーズの相違点を表に示します。

表中の「項目」は本書の記載内容です。

項目	内容
タイマ編 1.6.7 ハードウェア ウォッチドッグタイマ ロードレジスタ (WDG_LDR)	<p>『6.7. ハードウェアウォッチドッグタイマ ロードレジスタ』の&lt;注意事項&gt;に、以下の制限事項を追加。</p> <ul style="list-style-type: none"> <li>ハードウェアウォッチドッグタイマのリロード期間中*(カウンタリロード後の低速 CR 4 サイクル期間)に、WDG_LDR へ再度書き込みが行われた場合、その書き込みは無視されます。</li> </ul> <p>WDG_LDR への書き込みが反映されたかどうかは、当該レジスタのソフトウェア読み出しにて確認してください。</p> <p>*: カウンタのリロード条件</p> <ol style="list-style-type: none"> <li>ウォッチドッグタイマのクリア(WDG_ICL レジスタへの書き込み)</li> <li>WDG_LDR への書き込み</li> </ol>
タイマ編 1.6.9 ハードウェア ウォッチドッグタイマ 制御レジスタ (WDG_CTL)	<p>『6.9. ハードウェアウォッチドッグタイマ 制御レジスタ』の&lt;注意事項&gt;に、以下の制限事項を追加。</p> <p>WDG_CTL レジスタの INTEN(ウォッチドッグカウンタ イネーブル)ビットへの"0"書き込み後、低速 CR(50kHz~150kHz)で 2 サイクル以内に再度"1"を書き込んだ場合に、WDG_LDR からのカウント値のリロードがされないまま動作を再開する可能性があります。</p> <p>INTEN ビットを"0"にしてから再度"1"にする場合は必ず低速 CR の 2 クロック分を確保してから行ってください。または、INTEN に"1"を書き込み後、すぐに WDG_ICL レジスタにてタイマをクリアして、リロードを実行してください。</p>
タイマ編 3-2 時計カウンタ	<p>『CHAPTER 3-2: 時計カウンタ』に、以下の制限事項を追加。 ※MB9A100, MB9B500/400/300/100 シリーズのみの制限事項です。</p> <p>サブタイマモードもしくは低速 CR タイマモードにおいて、サブ水晶発振による時計カウンタを使用している場合、割込みによる復帰時に低速 CR × 35cycle(Typ 350μs)時計カウンタが引き伸ばされ、実時間に対してカウント値にずれが生じます。</p> <p>サブスリープモードもしくは低速 CR スリープモードでは、カウンタのずれは発生しません。</p>
アナログマクロ編 1-3.5.13 サンプリング時間選択 レジスタ(ADSS)	<p>『5.13. サンプリング時間選択レジスタ』に、以下の制限事項を追加。</p> <p>本シリーズは、サンプリング時間設定レジスタ(ADST1)に設定されたサンプリング時間を使用することはできません。</p> <p>サンプリング時間設定レジスタ(ADST0)に設定されたサンプリング時間のみを有効にしてください。</p> <p>サンプリング時間選択レジスタ(ADSS0~ADSS3)の各ビット値は常に"0"を書き込んで使用してください。</p>

項目	内容
通信マクロ編 1-2.7.9 1-3.5.9 1-4.6.9 1-5.5.12 FIFO バイトレジスタ (FBYTE)	1-2 章『7.9. FIFO バイトレジスタ(FBYTE)』、 1-3 章『5.9. FIFO バイトレジスタ(FBYTE)』、 1-4 章『6.9. FIFO バイトレジスタ(FBYTE)』、 1-5 章『5.12. FIFO バイトレジスタ(FBYTE)』に、以下の注意事項を追加 <ul style="list-style-type: none"> <li>下記の条件をすべて満たす場合、受信 FIFO に FBYTE の設定数の有効なデータがあるにも関わらず、受信データフルフラグ (SSR:RDRF)が"1"に設定されません。なお、FBYTE の設定値が"2"以上の場合、本動作はおこりません。 <ul style="list-style-type: none"> <li>FBYTE の設定値が"1"</li> <li>受信 FIFO の有効なデータ数が FBYTE の設定数と同じ"1"の場合</li> <li>マルチファンクションシリアルインターフェースマクロがデータを受信し、受信 FIFO に受信データを書き込むとき、同時に受信 FIFO のデータの読み出しを行った場合</li> </ul> </li> <li>ただし、その後、下記のいずれかの場合に受信データフルフラグ (SSR:RDRF)が"1"に設定されます。 <ul style="list-style-type: none"> <li>次のデータを受信した場合</li> <li>受信 FIFO アイドル許可(FCR:FRIIE=1)のとき、8 ビット時間以上の受信アイドル時間を検出した場合</li> </ul> </li> </ul>
通信マクロ編 3-1.2 ■USB ファンクション のエンドポイント構成	『■USB ファンクションのエンドポイント構成』に、以下の注意事項を追加。  USB ファンクションは ISO(アイソクロナス転送)をサポートしていません。 設定組み合わせの Comb1 のみ有効です。
通信マクロ編 3-1.3 DMA 転送機能	『■データ数自動転送モード』に、以下の制限事項を追加。  本シリーズは、IN 方向のデータ数自動転送モードでショートパケット転送を使用した場合、DMA 転送が終了してもパケット送信が始まらないことがあります。 また、DMA 転送の転送元と転送先を共に USB に設定することは禁止です。  [回避策] CPU で転送を行ってください。
通信マクロ編 3-1.3.7 NULL 転送機能  通信マクロ編 3-1.5.3 EP1～5 制御レジスタ (EP1C～EP5C)	NULL 転送モードの制限事項として、以下の説明文を追加。  本シリーズは、NULL 転送モードを使用した場合、DMA 転送終了後に NULL 転送が行われないことがありますので、EP1C～EP5C.NULL="0"で使用してください。  [回避策] NULL 転送を行う場合は、DMAE=0 に設定し、バッファデータを書き込まないで DRQ ビットをクリアして NULL 転送を行ってください。 「22-1.5.9. EP1～5 ステータスレジスタ(EP1S～EP5S)」の[bit10] DRQ ビットの<注意事項>を参照してください。

項目	内容										
通信マクロ編 3-1.5.3 EP1～5 制御レジスタ (EP1C～EP5C)	[bit14:13]TYPE エンドポイント転送タイプは以下をサポートしています。 <table border="1"><thead><tr><th>TYPE</th><th>動作モード</th></tr></thead><tbody><tr><td>00</td><td>指定禁止</td></tr><tr><td>01</td><td>指定禁止</td></tr><tr><td>10</td><td>Bulk 転送</td></tr><tr><td>11</td><td>Interrupt 転送</td></tr></tbody></table>	TYPE	動作モード	00	指定禁止	01	指定禁止	10	Bulk 転送	11	Interrupt 転送
TYPE	動作モード										
00	指定禁止										
01	指定禁止										
10	Bulk 転送										
11	Interrupt 転送										
通信マクロ編 3-1.5.10 EP0～5 データレジスタ (EP0DTH～EP5DTH/ EP0DTL～EP5DTL)	『5.10. EP0～5 データレジスタ』に、以下の制限事項を追加。 本シリーズは、AHB バス上で上記レジスタへの連続リードアクセスが発生した場合、リードデータが不定になります。  [回避策] 連続リードが起きないようにプログラミングしてください。C 言語にてプログラミングを行う場合、コンパイラのオプションなどによる最適化により、意図せず AHB 上で連続リードアクセスが発生する可能性があります。回避例については「■添付資料 1」を参照してください。										

## 2. TYPE1 製品 制限事項一覧

MB9A002, MB9A310, MB9A110 シリーズの相違点を表に示します。

表中の「項目」は本書の記載内容です。

項目	内容
通信マクロ編 1-2.7.9 1-3.5.9 1-4.6.9 1-5.5.12 FIFO バイトレジスタ (FBYTE)	1-2 章『7.9. FIFO バイトレジスタ(FBYTE)』、 1-3 章『5.9. FIFO バイトレジスタ(FBYTE)』、 1-4 章『6.9. FIFO バイトレジスタ(FBYTE)』、 1-5 章『5.12. FIFO バイトレジスタ(FBYTE)』に、以下の注意事項を追加 <ul style="list-style-type: none"><li>下記の条件をすべて満たす場合、受信 FIFO に FBYTE の設定数の有効なデータがあるにも関わらず、受信データフルフラグ (SSR:RDRF) が "1" に設定されません。なお、FBYTE の設定値が "2" 以上の場合、本動作はおこりません。<ul style="list-style-type: none"><li>FBYTE の設定値が "1"</li><li>受信 FIFO の有効なデータ数が FBYTE の設定数と同じ "1" の場合</li><li>マルチファンクションシリアルインターフェースマクロがデータを受信し、受信 FIFO に受信データを書き込むとき、同時に受信 FIFO のデータの読み出しを行った場合</li></ul></li><li>ただし、その後、下記のいずれかの場合に受信データフルフラグ (SSR:RDRF) が "1" に設定されます。<ul style="list-style-type: none"><li>次のデータを受信した場合</li><li>受信 FIFO アイドル許可(FCR:FRIIE=1) のとき、8 ビット時間以上の受信アイドル時間を検出した場合</li></ul></li></ul>

## ■添付資料1

例) 以下の C ソースコードをコンパイルすると、コンパイラオプションなどにより最適化されて連続リードアクセスが発生する場合があります。

```
void do_ep0o(void)
{
    int i;
    int length;
    unsigned int b0,b1,b2,b3;

    b0 = (unsigned int)IO_EP0DT;
    b1 = (unsigned int)IO_EP0DT;
    b2 = (unsigned int)IO_EP0DT;
    b3 = (unsigned int)IO_EP0DT;
    buffer[0] = (unsigned short)b0;
    buffer[1] = (unsigned short)b1;
    buffer[2] = (unsigned short)b2;
    buffer[3] = (unsigned short)b3;
}
```

以下は回避方法です(記述どおりに処理を実行させます)。

```
void do_ep0o(void)
{
    int i;
    int length;
    volatile int b0;

    b0 = (unsigned int)IO_EP0DT;
    buffer[0] = (unsigned short)b0;
    b0 = (unsigned int)IO_EP0DT;
    buffer[1] = (unsigned short)b0;
    b0 = (unsigned int)IO_EP0DT;
    buffer[2] = (unsigned short)b0;
    b0 = (unsigned int)IO_EP0DT;
    buffer[3] = (unsigned short)b0;
}
```

## D. 製品 TYPE 一覧

製品 TYPE について示します。

### 1. 製品 TYPE 一覧

---

管理コード: 9xTYPE\_LIST-J03.0

## 1. 製品 TYPE 一覧

本書では、各製品を以下の分類に分け、それぞれの分類ごとに以下のように表記しています。  
本書内の"TYPE0"などの表記は、以下の一覧の製品に置き換えてお読みください。

表 1 TYPE0 型格一覧

本書での表記	フラッシュメモリサイズ			
	512Kbyte	384Kbyte	256Kbyte	128Kbyte
TYPE0	MB9BF506N MB9BF506R MB9BF506NA MB9BF506RA MB9BF506NB MB9BF506RB	MB9BF505N MB9BF505R MB9BF505NA MB9BF505RA MB9BF505NB MB9BF505RB	MB9BF504N MB9BF504R MB9BF504NA MB9BF504RA MB9BF504NB MB9BF504RB	-
	MB9BF406N MB9BF406R MB9BF406NA MB9BF406RA	MB9BF405N MB9BF405R MB9BF405NA MB9BF405RA	MB9BF404N MB9BF404R MB9BF404NA MB9BF404RA	-
	MB9BF306N MB9BF306R MB9BF306NA MB9BF306RA MB9BF306NB MB9BF306RB	MB9BF305N MB9BF305R MB9BF305NA MB9BF305RA MB9BF305NB MB9BF305RB	MB9BF304N MB9BF304R MB9BF304NA MB9BF304RA MB9BF304NB MB9BF304RB	-
	MB9BF106N MB9BF106R MB9BF106NA MB9BF106RA	MB9BF105N MB9BF105R MB9BF105NA MB9BF105RA	MB9BF104N MB9BF104R MB9BF104NA MB9BF104RA	MB9BF102N MB9BF102R MB9BF102NA MB9BF102RA
	-	MB9AF105N MB9AF105R MB9AF105NA MB9AF105RA	MB9AF104N MB9AF104R MB9AF104NA MB9AF104RA	MB9AF102N MB9AF102R MB9AF102NA MB9AF102RA
	-	-	-	-
	-	-	-	-
	-	-	-	-
	-	-	-	-
	-	-	-	-

表 2 TYPE1 型格一覧

本書での表記	フラッシュメモリサイズ				
	512Kbyte	384Kbyte	256Kbyte	128Kbyte	64Kbyte
TYPE1	MB9AF316M MB9AF316N	MB9AF315M MB9AF315N	MB9AF314L MB9AF314M MB9AF314N	MB9AF312L MB9AF312M MB9AF312N	MB9AF311L MB9AF311M MB9AF311N
	MB9AF116M MB9AF116N	MB9AF115M MB9AF115N	MB9AF114L MB9AF114M MB9AF114N	MB9AF112L MB9AF112M MB9AF112N	MB9AF111L MB9AF111M MB9AF111N

表 3 TYPE2 型格一覧

本書での表記	フラッシュメモリサイズ		
	1Mbyte	768Kbyte	512Kbyte
TYPE2	MB9BFD18S MB9BFD18T	MB9BFD17S MB9BFD17T	MB9BFD16S MB9BFD16T
	MB9BF618S MB9BF618T	MB9BF617S MB9BF617T	MB9BF616S MB9BF616T
	MB9BF518S MB9BF518T	MB9BF517S MB9BF517T	MB9BF516S MB9BF516T
	MB9BF418S MB9BF418T	MB9BF417S MB9BF417T	MB9BF416S MB9BF416T
	MB9BF318S MB9BF318T	MB9BF317S MB9BF317T	MB9BF316S MB9BF316T
	MB9BF218S MB9BF218T	MB9BF217S MB9BF217T	MB9BF216S MB9BF216T
	MB9BF118S MB9BF118T	MB9BF117S MB9BF117T	MB9BF116S MB9BF116T

表 4 TYPE3 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE3	MB9AF132K MB9AF132L	MB9AF131K MB9AF131L
	MB9AF132KA MB9AF132LA	MB9AF131KA MB9AF131LA

表 5 TYPE4 型格一覧

本書での表記	フラッシュメモリサイズ			
	512Kbyte	384Kbyte	256Kbyte	128Kbyte
TYPE4	MB9BF516N MB9BF516R	MB9BF515N MB9BF515R	MB9BF514N MB9BF514R	MB9BF512N MB9BF512R
	MB9BF416N MB9BF416R	MB9BF415N MB9BF415R	MB9BF414N MB9BF414R	MB9BF412N MB9BF412R
	MB9BF316N MB9BF316R	MB9BF315N MB9BF315R	MB9BF314N MB9BF314R	MB9BF312N MB9BF312R
	MB9BF116N MB9BF116R	MB9BF115N MB9BF115R	MB9BF114N MB9BF114R	MB9BF112N MB9BF112R

表 6 TYPE5 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE5	MB9AF312K	MB9AF311K
	MB9AF112K	MB9AF111K

表 7 TYPE6 型格一覧

本書での表記	フラッシュメモリサイズ		
	256Kbyte	128Kbyte	64Kbyte
TYPE6	MB9AFB44L	MB9AFB42L	MB9AFB41L
	MB9AFB44M	MB9AFB42M	MB9AFB41M
	MB9AFB44N	MB9AFB42N	MB9AFB41N
	MB9AFA44L	MB9AFA42L	MB9AFA41L
	MB9AFA44M	MB9AFA42M	MB9AFA41M
	MB9AFA44N	MB9AFA42N	MB9AFA41N
	MB9AF344L	MB9AF342L	MB9AF341L
	MB9AF344M	MB9AF342M	MB9AF341M
	MB9AF344N	MB9AF342N	MB9AF341N
	MB9AF144L	MB9AF142L	MB9AF141L
	MB9AF144M	MB9AF142M	MB9AF141M
	MB9AF144N	MB9AF142N	MB9AF141N

表 8 TYPE7 型格一覧

本書での表記	フラッシュメモリサイズ	
	128Kbyte	64Kbyte
TYPE7	MB9AFA32L	MB9AFA31L
	MB9AFA32M	MB9AFA31M
	MB9AFA32N	MB9AFA31N
	MB9AF132M	MB9AF131M
	MB9AF132N	MB9AF131N



MN706-00002-5v0-J

---

**FUJITSU SEMICONDUCTOR · CONTROLLER MANUAL**

32 ビット・マイクロコントローラ  
FM3 ファミリ  
ペリフェラルマニュアル

---

2012 年 3 月第 5 版発行

発行 富士通セミコンダクター株式会社

編集 企画部 プロモーション推進部

---

