

RV与芯片评论.20210116.第3周(总第25期)

重点聚焦

相关周报

技术动态

一周问答

产业风云

评论文集

其他动态

博文推荐

项目推荐

一周论文

新架构设计

芯片安全

RISC-V应用


EDA, 仿真验证

一周专利

重点聚焦

- "首份2020信创报告出炉，信创云三足鼎立 (From www.chinanews.com 2021.01.15)"

相关周报

-  [semi engineering](#) Week In Review:
 - Blog Review: [Jan. 13](#) *IC/ASIC design complexity; predictions for automotive, cloud, and more; software-defined hardware.*

- [Design, Low Power](#): *Qualcomm to buy processor startup; DSP for sensors; EDA, IP up 15%; Intel's new CEO.*
 - [Manufacturing, Test](#): *Intel CEO shakeup; TSMC CapEx; inspection; China's cobalt grab.*
 - [Auto, Security, Pervasive Computing](#): *Flash at bottom of Tesla recall; auto chips supply low.*
 - IoT News: ([Site](#)) : "Jan. 7, 2020"
 - OSDT Weekly: ([zhihu](#), [Github](#)): [OSDT Weekly 2021-01-13 第080期](#)
 - 泰晓咨询: ([Site](#)) : "1月 / 第二期 / 2021"
 - RT-Thread: ([oschina](#)) : [【20210108期AI简报】技术宅硬核跨年，开源DIY墨水屏日历！](#)
 - 科技爱好者周刊: ([yuque](#)) :
-

技术动态

- [StarFive发布单板计算机开源硬件Beagle](#), 2021年1月13日
- "揭秘支撑中国芯片自立雄心的RISC-V技术 (From [cn.wsj.com](#) 2021.01.15)"
 - <https://theinitium.com/article/20210115-wsj-china-chip-independence-goals/>
 - 上海的晶片工程师郭雄飞 (Alex Guo) 是RISC-V 基金会一个地区工作组的联席主席，他说，中国各地方政府之间争夺科技领导地位的竞争推动了RISC-V 的发展。郭雄飞称，推动力量还包括 Arm 许可证费用，以及RISC-V 更容易配置这一事实，因为它是开源的。
 - Arm 对此不予置评。
- "[RISC-V 指令集特权架构](#) (From [blog.strongwong.top](#) 2021.01.15)"
- "终于等到你了，首款高性能64位RISC-V单板计算机 (From [zhuanlan.zhihu.com](#) 2021.01.15)"
- "[国内首套完整开源RISC-V处理器教学平台](#) (From [www.eda365.com](#) 2021.01.15)"

一周问答

- "如果MIPS完成对risc-v指令的支持，应该能够焕发第二春，大家怎么看？ (From [www.zhihu.com](#) 2021.01.15)"
 - "[求助] RISC-V spike pk 失败求助 (From [bbs.eetop.cn](#) 2021.01.15)"
 - "[求助] 想问下各位大佬，soc 的rtl仿真阶段jtag怎么测试？ (From [bbs.eetop.cn](#) 2021.01.15)"
 - "[RISC-V MCU 应用开发] 请教：CH32V系列的单片机，能否用CMSIS-DAP来调试？ (From [bbs.21ic.com](#) 2021.01.15)"
-

产业风云

- "[凌阳科技采用SiFive RISC-V处理器](#) (From [gb-www.digitimes.com.tw](#) 2021.01.15)"

- "[独立FPGA公司Achronix将于纳斯达克上市，未来会关注哪些应用领域？](#) (From [www.ednchina.com](#) 2021.01.15)"
- "[首份2020信创报告出炉，信创云三足鼎立](#) (From [www.chinanews.com](#) 2021.01.15)"

评论文集

- "[Apple M1引发人们对RISC-V的新思考](#) (From [www.sohu.com](#) 2021.01.15)"
 - "[中国重视RISC-V引发美专家担忧](#) (From [aijishu.com](#) 2021.01.15)"
-

其他动态

博文推荐

- "[RISCV指令集指令简单介绍](#) (From [blog.csdn.net](#) 2021.01.15)"
- " [【计算机组成原理】 RISC-V-单周期非流水线-45条指令CPU设计](#) (From [blog.csdn.net](#) 2021.01.15)"
- "[介绍一种获得RISC-V工具链的方法](#) (From [zhuanlan.zhihu.com](#) 2021.01.15)"

项目推荐

- "[发布一个risc-v虚拟机](#) (From [whykan.com](#) 2021.01.15)"
 - 基于指令集 rv64i，实现了mtime，超级精简的uart和mmu sv39.
 - "[Wasmer 可以在各种操作系统上运行 WebAssembly 通用二进制文件](#) (From [zhuanlan.zhihu.com](#) 2021.01.15)"
-

一周论文

新架构设计

[SPAR-2: A SIMD Processor Array for Machine Learning in IoT Devices](#)

S Basalama, A Panahi, AT Ishimwe, D Andrews

本文介绍了一种用于将机器学习应用迁移到FPGA物联网边缘设备的SIMD处理器阵列SPAR-2。SPAR-2是作为现代FPGA的可编程覆盖开发的第二代处理器in/near-memory架构。与点设计相比，SPAR2可以通过编程实现不同类别的机器学习算法。覆盖架构基于处理器在内存中（PIM）瓦片，它将位序列

ALU与分布式块RAM (BRAM) 集成在一起。形成PIM瓦片可以增加乘积阵列的大小和片上存储容量。通过利用对整个分布式BRAMs中存储的权重和部分结果的并发访问, 降低了用户可见的推理延迟。提供了SPAR-2运行标准的长短期存储器 (LSTM) 循环神经网络 (RNN) 模型的规模和性能分析。结果表明, 我们的方法能够在Virtex-7 FPGA中打包多达16,384个处理元素。运行时间性能比较显示, SPAR-2与高级合成(HLS)等效设计相比, 速度提高了24.51倍, 比之前的定制调整设计提高了1.75倍。

芯片安全

[PDF] [Robust and Attack Resilient Logic Locking with a High Application-Level Impact](#)

Y Liu, M Zuzak, Y Xie, A Chakraborty, A Srivastava – arXiv preprint arXiv:2101.02577, 2021

逻辑锁定是一种硬件安全技术, 旨在保护知识产权, 使其免受集成电路供应链中的安全威胁, 特别是不受信任的制造设施所造成的威胁。这种技术在IC中加入了额外的锁定电路, 当用户提供错误的验证密钥时, 该电路会诱发错误的数字功能。由不正确的密钥引起的错误量被称为锁定技术的有效性。一个被称为 "SAT攻击" 的攻击家族提供了一个强大的数学公式来寻找锁定电路的正确密钥。为了实现高SAT弹性 (即SAT攻击的复杂度), 许多传统的逻辑锁定方案在密钥不正确时未能向电路注入足够的错误。例如, 在SARLock和Anti-SAT的情况下, 通常有很少 (或只有一个) 输入minterms在电路输出端造成任何错误。最先进的剥离功能逻辑锁(SFLL)技术提供了一个广泛的配置谱, 它引入了SAT弹性和有效性之间的权衡。在这项工作中, 我们证明了这种权衡在所有逻辑锁定技术中是普遍存在的。为了在不影响SAT弹性的情况下实现高有效性的锁定, 我们提出了一种新型的逻辑锁定方案, 称为强抗SAT (SAS)。除了SAT攻击外, 基于移除的攻击是另一种流行的针对逻辑锁的攻击方式, 攻击者试图识别并移除锁结构。在SAS的基础上, 我们还提出了鲁棒SAS(RSAS), 它对移除攻击具有弹性, 并保持了与SAS相同的SAT弹性和有效性。与现有技术相比, SAS和RSAS有以下显著改进。(1)我们证明了SAS和RSAS对SAT攻击的弹性不会因为有效性的提高而受到影响。(2)与之前只关注电路级锁定影响的工作不同, 我们将SAS锁定模块集成到80386处理器中, 并证明SAS对应用级影响很大。(3)我们的实验表明, SAS和RSAS比SFLL表现出更好的SAT弹性, 其有效性与SFLL相似。CCS的概念。- 安全与隐私→硬件的安全性。

RISCV应用

[PDF] [Bomberman: Defining and Defeating Hardware Ticking Timebombs at Design-time](#)

T Trippel, KG Shin, KB Bush, M Hicks

为了应对不断增加的设计复杂性, 集成电路设计者增加了设计团队的规模和对第三方知识产权(IP)的依赖。两者都是以牺牲信任为代价的: 要详尽地验证一个设计是否存在所有可能的恶意修改 (即硬件木马), 在计算上是不可行的。更糟糕的是, 与软件不同, 硬件修改是永久性的: 硬件没有 "补丁" 机制; 而且功能强大: 它们是颠覆上面软件的立足点。

为了应对这种威胁, 之前的工作使用静态和动态分析技术来验证硬件设计是否无木马。不幸的是, 研究人员不断发现这些 "一刀切"、基于启发式的方法的弱点。我们不试图检测所有可能的硬件木马, 而是采取分而治之的方式解决硬件木马威胁的第一步: 定义并消除 "定时炸弹木马" (TTT), 迫使攻击者实现更大的木马设计, 通过现有的验证和侧通道防御来检测。与许多系统级软件防御 (如地址空间布局随机

化 (ASLR) 和数据执行预防 (DEP)) 一样, 我们的目标是系统性地压缩硬件攻击者的设计空间。首先, 我们从TTTs的功能行为出发, 构建了TTTs的定义。接下来, 我们将这个定义转化为在硬件中实现TTT行为所需的基本组件。利用这些组件, 我们将所有已知TTTs的集合扩展到总共六个变体--包括未见过的变体。利用我们的定义, 我们设计并实现了一个TTT特定的动态验证工具链扩展, 称为Bomberman。利用四个真实世界的硬件设计, 我们展示了Bomberman检测所有TTT变体的能力, 在之前的防御失败的情况下, 误报率<1.2%。

[PDF] [On-Sensor Inference for Uncertainty Reduction](#)

JT Meech, P Stanley-Marbell – arXiv preprint arXiv:2101.02067, 2020

本文介绍了一种当给定两个具有相关噪声的量的测量值时, 减少一个量的测量不确定度的算法, 该算法假设两个物理量的测量值都遵循高斯分布, 并提供了这些假设有效的具体理由。该算法假设两个物理量的测量结果都遵循高斯分布, 并提供了这些假设有效的具体论证。当应用于湿度传感器时, 它提供了从相关的温度和湿度测量中减少湿度估计的不确定性。在实验评估中, 该算法实现了4.2%的不确定性降低。与测量和计算不确定性所需的最小算法相比, 该算法产生了1.4%的执行时间开销。对编译到RISC-V架构的C语言实现的详细指令级仿真显示, 不确定性降低程序每次迭代所需指令比计算不确定性所需的最小操作多0.05%。

EDA, 仿真验证

[BOSON-Application-Specific Instruction Set Processor \(ASIP\) for Educational Purposes](#)

P Mazurek – 2020 16th International Conference on Control ..., 2020

本文介绍了Boson – Application-Specific Instruction Set Processor (ASIP), 目的是为了大学的教育目的。ASIP允许针对特定任务进行ISA (指令集架构) 优化, 这对项目优化非常重要。考虑到软处理器允许逐步学习ASIP技术和微控制器使用Logisim模拟器, 以及FPGA合成工具, 如Quartus。所介绍的项目显示了在工程研究 "信息和通信技术 "第三学期的教育过程中验证的主要思想和设计选择。

[PDF] [Golden Gate: Bridging The Resource-Efficiency Gap Between ASICs and FPGA Prototypes](#)

S Seshia, A Magyar, D Biancolin, J Koenig, J Bachrach... – 2021

我们介绍了Golden Gate, 一个基于FPGA的仿真工具, 它将FPGA主机平台的时序与目标RTL设计的时序解耦。与之前在FPGA资源静态时间复用方面的工作不同, Golden Gate采用了延迟不敏感的边界数据流网络(LI-BDN)形式化, 将仿真器分解成子组件, 每个子组件都可以独立和自动优化。这种结构允许Golden Gate支持一类广泛的优化, 通过在多个周期内实现FPGA敌对结构来提高资源利用率, 同时LI-BTN形式化确保模拟器仍然能产生位和周期精确的结果。为了验证这些优化是否正确实现, 我们还介绍了lime, 这是一个模型检查工具, 它提供了一个按钮流程, 用于检查优化的子组件是否遵守相关的正确性规范, 同时也保证了前进的进度。最后, 我们使用Golden Gate生成了一个多核SoC的周期精确仿真

器，通过将多端口、组合读取存储器胁迫到由时间复用块RAM支持的仿真模型中，我们将LUT利用率降低了26%，使我们能够在单个FPGA上多仿真50%的内核。

[PDF] [XMG-based Logic Synthesis for Emerging Reconfigurable Nanotechnologies](#)

S Rai, H Riener, G De Micheli, A Kumar

与传统的CMOS技术相比，新兴的可重构纳米技术允许用较少的晶体管数量实现自双重功能。因此，为了实现基于可重构场效应晶体管(RFET)的电路更好的面积效果，必须将大部分的逻辑表示映射到自二重逻辑门。而这又取决于在逻辑优化和技术映射过程中如何在逻辑表示中保留自双重性。在本工作中，我们使用Xor-Majority Graphs (XMGs) 作为逻辑表示，开发逻辑优化算法。首先，与传统的逻辑表示法如And-Inverter Graphs(AIGs)或Majority-Inverter Graphs(MIGs)相比，XMGs对于单项和双项逻辑函数都更加紧凑。其次，XMG中使用的逻辑基元，即Majority门和Xor门，可以更好地保存自二重性，因为三分之二和奇数输入的Xor函数都是自二重性的。牢记XMGs的上述两个优点，我们实现了布尔大小优化方法，一种重写算法和一种替换算法，目的是在逻辑优化过程中更好地保留自二重性。我们使用精心制作的具有不同自双重性水平的基准、EPFL基准和密码学基准来评估所提出的算法。实验评估表明，XMG中自偶性节点的相对数量与基于RFET电路的技术映射后的面积优化结果有直接关系。对于具有较高自偶性比的实际基准，与学术逻辑综合工具ABC中实现的有效优化FLOW相比，基于XMG的逻辑优化FLOW可以实现高达12%的面积减少。

一周专利

[PDF] [Reliability coding for storage on a network](#)

R Goyal, AK Dikshit – US Patent App. 17/007,687, 2020

US20200401483A1 – Reliability coding for storage on a network – Google Patents.
Reliability coding for storage on a network. Download PDF Info. Publication number
US20200401483A1. US20200401483A1 US17/007,687 US202017007687A ...

[PDF] [Hybrid system-on-chip for power and performance prediction and control](#)

J Song, Y Liu, JIN Lingling, G Wang, Y Wang, H Tang... – US Patent App. 16/968,460, 2020
... Each general-purpose CPU, 110, 112, 114, 116, and 118, may comprise
a core, illustrated as a reduced instruction set computer (RISC) V Rocket
Core, a data cache (D-CACHE) for loading cache lines fetched from memory ...

[PDF] [Providing self-resetting multi-producer multi-consumer semaphores in distributed processor-based systems](#)

CB Verrilli, N Vaidhyathan – US Patent App. 16/443,954, 2020

... As seen in FIG. 2B , the microprocessor 236(P) provides a local static random access
memory (SRAM) device 242, a central processing unit (CPU) 244 (eg, a RISC-V

processing device), and one or more matrix processors 246 ...

RISC-V与芯片评论编辑部 – RISC-V和芯片动态周报
每周六发布
欢迎批评，指正，评论和加入

- 关于本刊:
- 非特殊注明，本刊消息均来自于网络，如有版权问题，我们会立刻处理。
 - [本刊部分消息来源](#)

语雀	微信公众号	Gitee	Github	Inspur
RISC-V和芯片动态简报	高效服务器和存储技术国家重点实验室	inspur-risc-v RVWeekly	inspur-risc-v RVWeekly	riscv RVWeekly
riscv rvnews				