

RV与芯片评论20210313： 2021年第10周(总第32期)

重点聚焦

[MIPS Technologies 加入RISC-V](#)

[相关周报](#)

技术动态

[Linux动态](#)

[社区动态](#)

产业风云

[评论文集](#)

其他动态

[硬件推荐](#)

[博文推荐](#)

[课程推荐](#)

一周论文

实践

["基于RISC-V架构的强化学习容器化方法研究 \(From manu46.magtech.com.cn 2021.03.13\)"](#)

[RISC-V Reward: Building Out-of-Order Processors in a Computer Architecture Design Course with an Ope...](#)

架构

[RISC-V Exceptions and Interrupts](#)

加速和异构

[Customizable Vector Acceleration in Extreme-Edge Computing: A RISC-V Software/Hardware Architecture...](#)

[F1: Striking the Balance Between Energy Efficiency & Flexibility: General-Purpose vs Special-Purpose ML ...](#)

[Krste Asanovic: 4.3 An Eight-Core 1.44 GHz RISC-V Vector Machine in 16nm FinFET](#)

[\[PDF\] Secure and Resilient SoCs for Autonomous Vehicles](#)

[\[PDF\] Edge-Centric Metamorphic IoT Device Platform for Efficient On-Demand Hardware Replacement in ...](#)

安全

[\[PDF\] Comparative Analysis and Enhancement of CFG-based Hardware-Assisted CFI Schemes](#)

[\[PDF\] ShEF: Shielded Enclaves for Cloud FPGAs](#)

[PDF] Cali: Compiler-Assisted Library Isolation

[PDF] Steel: Composable Hardware-based Stateful and Randomised Functional Encryption

[PDF] Volcano: Stateless Cache Side-channel Attack by Exploiting Mesh Interconnect

Machine Learning for Fostering Security in Cyber-Physical Systems

高性能

4.4 A 1.3 TOPS/W@ 32GOPS Fully Integrated 10-Core SoC for IoT End-Nodes with 1.7 μ W Cognitive Wa...

A Survey of Software-Defined Networks-on-Chip: Motivations, Challenges and Opportunities. Micromachi...

EDA和敏捷开发

[PDF] ISAMod: A Tool for Designing ASIPs by Comparing Different ISAs

[PDF] The OpenROAD Project: Unleashing Hardware Innovation

本期概要

- RISC-V中国峰会将于2021年6月21日至2021年6月27日在上海市浦东新区上海科技大学召开
- PLCT实验室Jenkins CI服务
- 李家杰：《关于大力推动RISC-V开源架构在信创产业应用的提案》
- MIPS Technologies 加入RISC-V
- Imperas发布了RV32/64K加密（标量）扩展的RISC-V架构验证测试套件
- 新手推荐：RISC-V教案

在语雀阅读本文：<https://www.yuque.com/riscv/rvnews/20210313/>

重点聚焦

MIPS Technologies 加入RISC-V


"MIPS Technologies 加入 RISC-V，转向开源 ISA 标准 (From www.oschina.net 2021.03.13)"

"全球三大芯片架构之一MIPS倒下！转身投入RISC-V阵营 (From finance.sina.com.cn 2021.03.13)"

" MIPS终结！悲催：MIPS持有者刚改名为MIPS公司，就"叛变"到RISC-V (From www.sohu.com 2021.03.13)"

"MIPS转投RISC-V阵营，曾经的全球三大芯片架构之一是如何走下神坛的？ (From www.ednchina.com 2021.03.13)"

相关周报

-  semi engineering Week In Review:
 - Blog Review:
 - Design, Low Power:
 - Manufacturing, Test:

- Auto, Security, Pervasive Computing:
- IoT News: ([Site](#)) :
- OSDT Weekly: ([zhihu](#), [Github](#)):
- 泰晓咨询: ([Site](#)) :
- PLCT开源进展: ([Github](#), [zhihu](#)) : "[第19期·2021年03月01日](#) (From [zhuanlan.zhihu.com](#) 2021.03.13)"
- RT-Thread: ([oschina](#)) :
- 科技爱好者周刊: ([yuque](#)) :
- [硅业亚历山大: RISC-V双周报](#): "[RISC-V双周报2月25日-3月10日](#) (From [mp.weixin.qq.com](#) 2021.03.13)"
 - RISC-V中国峰会将于2021年6月21日至2021年6月27日在上海市浦东新区上海科技大学召开
 - PLCT实验室Jenkins CI服务
 - 李家杰: 《关于大力推动RISC-V开源架构在信创产业应用的提案》
 - MIPS Technologies 加入RISC-V
 - Imperas发布了RV32/64K加密(标量)扩展的RISC-V架构验证测试套件
- "[【2021年03月电子工程专辑杂志】突破CMOS工艺极限 半导体技术下一步往哪走?](#) (From [mbb.eet-china.com](#) 2021.03.13)"
 - 思维与观点: 后摩尔定律时代, 不止晶体管微缩这一条路
 - 业界趋势: 5G和GaN系列之一: 全面了解 Sub-6Ghz大规模MIMO基础设施 CMOS图像传感器的五大工艺技术
 - 精英访谈: EdgeQ利用RISC-V SoC同时处理5G与AI工作负载
 - 聚焦: 半导体工艺 突破CMOS工艺极限 半导体技术下一步往哪走?
 - 中国半导体设计: 30家国产AI芯片厂商的核心技术、代表产品及典型应用场景
 - 设计新技术: 48 V革命: 超薄笔记本电脑需要GaN加数字控制技术 碳化硅(SiC)如何赋能更高效分布式太阳能发电 从汽车到可穿戴设备的设计如何利用PMIC提高能效 利用机器学习的数据驱动控制架构来提高5G网络性能
 - 测试与测量: 5G网络的部署将改变路测方式

技术动态

"[如何利用RISC-V SoC同时处理5G与AI工作负载?](#) (From [www.eet-china.com](#) 2021.03.13)"

硅谷初创公司EdgeQ最近计划开发RISC-V SoC, 来探索5G和AI处理工作负载之间的数学相似性, 这款芯片将兼具5G和AI功能。

Linux动态

"[2017年的龙芯2K1000 已获得新的Linux内核补丁](#) (From [www.cnbeta.com](#) 2021.03.13)"

国产 MIPS64 芯片制造商 Loongson 在 2017 年发布的 2K1000 芯片, 还是于近日获得了最新的 Linux 内核补丁

社区动态

["张先轶博士（OpenBLAS开源项目发起人，PerfXLab创始人）的采访录，中关村管委会千帆计划之“创见新面孔”专题采访活动（From zhuanlan.zhihu.com 2021.03.13）"](#)

彭峰科技大力支持开源社区，领导了国际知名开源矩阵库OpenBLAS（全球前三），贡献了OpenCV项目的OpenCL GPU代码。2020年，我们又率先发起了RVBoards开源软件技术组织，目的是让开源软件赋能每一颗RISC-V SoC。也率先向RISC-V社区提供了高性价比的Perf-V开发板，未来将加大力度为开发者提供更普惠、性能更好的RISC-V开源硬件。

产业风云

["李家杰委员：RISC-V有望成CPU国产化的重要选项（From www.laoyaoba.com 2021.03.13）"](#)

在今年的全国两会上，全国政协常委、全国工商联副主席、香港恒基兆业集团主席、香港中华煤气主席李家杰带来包括《培育成熟的开源芯片生态实现科技自立自强》《关于大力推动RISC-V开源架构在信创产业应用的提案》以及《推动以智慧能源为核心的零碳示范城市试点助力实现2060碳中和国家战略》在内的三份提案。

["全球第三大汽车半导体厂商瑞萨电子谈缺芯：没有必要增加产能（From www.leiphone.com 2021.03.13）"](#)

“从某种意义上讲，我们的生产能力将会有所提升。瑞萨电子在之前的财报会议上已经披露过，总晶圆厂产能还有更多的增长空间。”柴田英利说道：“但这并不意味着我们必须花大量的精力提高生产能力，我们并不觉得有必要在这个时刻扩大产能，因为目前材料供应非常紧张，上游供应商供货受限，这不仅仅是芯片生产的问题。如果没有足够的材料，只是简单地增加产能是没有用的。”

“数据中心架构正在从x86转变为基于ARM或RISC-V的架构，几乎每隔20年，架构体系就会发生变化，我们预计到2030年，很多数据中心将迁移到基于ARM或RISC-V架构，这会让我们处于非常有利的地位，即便是x86还能存活一段时间，我们也将处于有利地位。” SaileshChittipeddi说。

["格兰仕领航“智造”转型，把“饭碗”牢牢端在自己手上（From finance.sina.com.cn 2021.03.13）"](#)

["OURS 创始人首谈 1 亿美金被 Aurora 收购：激光雷达是否为刚需仍有待观察（From www.sohu.com 2021.03.13）"](#)

成立之初，OURS是一家以低功耗端计算（Edge Computing）AI 芯片为核心技术的公司，产品分为采用硅光技术的传感芯片和RISC-V可编程低功耗ASIC芯片两个系列。

评论文集

["RISC-V是否是中国半导体的救星（From posts.careerengine.us 2021.03.13）"](#)

中国最大，最先进的芯片制造厂半导体制造国际公司（SMIC）直到最近才具备生产基于14纳米节点的芯片的能力。相比之下，台积电和三星在5纳米节点上生产芯片，而英特尔正在将7纳米芯片推向市场。因此，尽管RISC-V可能是x86和Arm处理器的一个有前途的替代品，但要赶上西方的竞争对手，中国还有很长的路要走。

"GPU时代即将来临? (From zhuanlan.zhihu.com 2021.03.13)"

ARK预测, ARM和RISC-V的结合将从2020年的0%市场份额, 到2030年达到71%的服务器市场份额。

"英国启动对ARM收购案调查, 对半导体产业有何影响? (From ee.ofweek.com 2021.03.13)"

英国竞争和市场管理局(CMA)宣布,将对英伟达400亿美元收购Arm的交易展开调查

1.1 Unleashing the Future of Innovation

M Liu – 2021 IEEE International Solid-State Circuits ..., 2021

社会对更强大、更节能的计算的需求是无法满足的。每天, 世界上一半以上的人口 (41亿人) [1]在半导体技术的推动下, 利用互联网阅读新闻、与朋友和家人沟通、参加在线课程、购买从杂货到家具的一切物品、管理财务和个人健康。从对抗COVID-19的疫苗和药物的发现, 到将改变运输业的自动汽车, 再到使我们能够在家工作和参加虚拟会议的信息和通信技术, 半导体技术是这些改变和改善我们日常生活的史诗性变化的核心。

其他动态

"Writing an Extremely Fast RISC-V Emulator and Fuzzing with it! (From www.bilibili.com 2021.03.13)"

硬件推荐

"iCESugar-pro 开源FPGA开发板 (From zhuanlan.zhihu.com 2021.03.13)"

iCESugar-pro 是基于Lattice LFE5U-25F设计的一款开源FPGA开发板, 板载32MB SDRAM, 32MB SPI-Flash, 支持启动RISC-V Linux, 板载iCELink调试器经过精心设计, 支持拖拽烧录, 调试串口, 以及双JTAG接口, 只需一根TYPE-C线即可进行开发测试, 开发板使用DDR SODIMM 接口引出106个可用IO, 可配合底板进行扩展测试。

博文推荐

"硬件芯片篇: RISC-V处理器嵌入式开发者必看 (上) (From www.laoyaoba.com 2021.03.13)"

"软件生态篇: RISC-V处理器嵌入式开发者必看 (下) (From www.laoyaoba.com 2021.03.13)"

①RISC-V 指令集的起源和发展历史, ②讨论各种RISC-V CPU核、SoC设计平台和芯片产品的技术特点及选型要点, ③重点阐述RISC-V 给嵌入式系统带来了益处, ④RISC-V指令扩展的特点与安全应用。本期第二篇推文还将介绍: ⑤支持RISC-V开源和商业软件开发工具和操作系统的现况, 最后⑥展望RISC-V 在教育 and 产业应用的发展趋势。

"【RISC-V MCU CH32V103测评】- 7: PWM 也不简单 (From bbs.eeworld.com.cn 2021.03.13)"

"【RISC-V MCU CH32V103测评】+ ADC模拟看门狗 (From bbs.eeworld.com.cn 2021.03.13)"

"RISC-V几个重要的软件生态 (From blog.csdn.net 2021.03.13)"

"RISCV架构的中断控制器 (From zhuanlan.zhihu.com 2021.03.13)"

"详解 RVB2601 套件: 手把手教你开发出理想的应用解决方案 (From segmentfault.com 2021.03.13)"

课程推荐

"RISC-V 教学教案 (From www.icfedu.cn 2021.03.13)"

- "RISC-V ALU模块和branch (1) ALU模块 (From www.icfedu.cn 2021.03.13)"
- "RISC-V CSR读写控制 (3) CSR寄存器实现上 (From www.icfedu.cn 2021.03.13)"
- "RISC-V CSR读写控制 (4) CSR寄存器实现中 (From www.icfedu.cn 2021.03.13)"

[PDF] [Mi Casa su Botnet? Learning the Internet of Things with WaterElf, unPhone and the ESP32](#)

H Cunningham

谢菲尔德大学IOT开发教程，基于ESP32

一周论文

实践

"[基于RISC-V架构的强化学习容器化方法研究](#) (From manu46.magtech.com.cn 2021.03.13)"

RISC-V作为近年来最热门的开源指令集架构，被广泛应用于各个特定领域的微处理器，特别是机器学习领域的模块化定制。但是，现有的RISC-V应用需要将传统软件或模型在RISC-V指令集上重新编译或优化，故如何能快速地在RISC-V体系结构上部署、运行和测试机器学习框架是一个亟待解决的技术问题。使用虚拟化技术可以解决跨平台的模型部署和运行问题。但是，传统的虚拟化技术，例如虚拟机，对原生系统性能要求高，资源占用多，运行响应慢，往往不适用于RISC-V架构的应用场景。讨论在资源受限的RISC-V架构上的强化学习虚拟化问题。首先，通过采用容器化技术减少上层软件构建虚拟化代价，去除冗余中间件，定制命名空间隔离特定进程，有效提升学习任务资源利用率，实现模型训练快速执行；其次，利用RISC-V指令集的特征进一步优化上层神经网络模型，提高强化学习效率；最后，实现整体优化和容器化方法系统原型，并通过多种基准测试集完成系统原型性能评估。容器化技术和传统RISC-V架构下交叉编译深度神经网络模型的方法相比，仅付出相对较小的额外性能代价，能快速实现更多、更复杂的深度学习软件框架的部署及运行；与Hypervisor虚拟机方法相比，基于RISC-V的模型具有近似的部署时间，并大量减少了性能损失。初步实验结果表明，容器化及其上的优化方法是实现基于RISC-V架构的软件和学习模型快速部署的一种有效方法。

RISC-V Reward: Building Out-of-Order Processors in a Computer Architecture Design Course with an Open-Source ISA

SA Zekany, J Tan, JA Connelly, RG Dreslinski – Proceedings of the 52nd ACM ..., 2021

我们描述了我们教授计算机体系结构本科生顶点课程(和研究生选修课)的经验，该项目为期一学期，由五名学生组成的团队使用开源的RISC-V指令集设计和实现一个无序(OoO)流水线处理器核心。课程内容包括利用指令级并行性 (ILP) 的OoO指令调度算法、实例微架构、缓存、预取和虚拟内存。实验室和项目帮助学生熟练掌握SystemVerilog语言。学生利用课堂上所学到的概念设计处理器，目标是实现一套代表不同数据结构和算法的测试程序的正确性和高性能。使用RISC-V使学生能够通过使用GCC与自定义链接器编译测试程序来验证和基准他们的设计。通过团队协作，学生在两个月的项目中学习如何编

写和调试一个大型代码库。我们详细解释了项目内容和过程，确定了学生所面临的挑战和必要的教师支持，并分享了项目的统计数据和学生的反馈。我们已经将实验室和项目材料开源，以便其他人能够教授类似的课程。

架构

RISC-V Exceptions and Interrupts

SR Keller – 2020

RISC-V是加州大学伯克利分校师生开发的一种开源处理器架构。本文档通过阐明这种计算机架构如何处理陷阱，来探讨RISC-V的异常和中断。该文档定义了RISC-V架构中概述的不同异常和中断，并解释了陷阱处理程序使用的不同寄存器。本文档还简要介绍了RISC-V ISA权限之外的概念，如中断控制器，这些概念对于理解这些外部事件如何与处理器硬件交互非常重要。

加速和异构

Customizable Vector Acceleration in Extreme-Edge Computing: A RISC-V Software/Hardware Architecture Study on VGG-16 Implementation. Electronics 2021, 10 ...

S Sordillo, A Cheikh, A Mastrandrea, F Menichelli... – 2021

相对于云计算而言，云边缘连续体的计算依赖于物联网(IoT)层次结构的极端边缘的高性能处理。硬件加速是实现性能要求的强制性解决方案，然而它可能与特定的计算内核紧密相连，甚至在同一应用中也是如此。面向向量的硬件加速已经重新获得了支持卷积网络或分类算法等人工智能（AI）应用的兴趣。我们提出了一个全面的调查的性能和功率效率可实现的configurable矢量加速子系统，获得的证据表明，所提出的微架构的高潜力和硬件定制的优势，在完全透明的软件程序。

F1: Striking the Balance Between Energy Efficiency & Flexibility: General-Purpose vs Special-Purpose ML Processors

SH Lim, YP Liu, L Benini, T Karnik, HC Chang – 2021 IEEE International Solid-State ..., 2021

论坛提供了一个从云到边缘的ML加速的全面全栈（硬件和软件）视图。第一讲主要探讨了大型通用加速器面临的主要设计和基准测试挑战，包括多模扩展，并介绍了随着研究原型和产品之间复杂度差距的不断扩大，开展相关研究的策略。第二讲探讨了如何利用开源的RISC-V ISA并将其专用于边缘ML，探讨了轻量级ISA扩展和紧耦合内存加速器等不同加速形式之间的权衡。第三讲详细介绍了一种基于实用的ML统一架构的方法，该架构可以轻松“定制”，以适应从智能手表、智能手机、自主汽车到智能云等不同场景。第四讲探讨了硬件和DNN模型的协同设计，以实现实时、极度能耗/吞吐量受限的推理应用的最新性能。第五讲涉及可重构逻辑上的ML，讨论了许多在FPGA上实现的专业化形式的例子，以及它们对潜在应用、灵活性、性能和效率的影响。第六讲介绍了为各种不同类型的专用硬件加速器（GPU、TPU，包括EdgeTPU）实现ML API的软件复杂性。第七讲探讨了如何为通用平台以及下一代基于memristor的ML引擎优化稀疏和低精度网络模型的训练过程。

Krste Asanovic: 4.3 An Eight-Core 1.44 GHz RISC-V Vector Machine in 16nm FinFET

C Schmidt, J Wright, Z Wang, E Chang, A Ou, W Bae... – 2021 IEEE International ..., 2021

现代工作负载，如深度神经网络(DNNs)，越来越多地依赖于不适合通用处理器的密集算术计算模式，导致特定领域计算加速器的兴起[1]。其中许多工作负载可以从计算过程中的不同精度中获益，例如，在DNNs的层间以及训练和推理之间的不同精度已经被证明可以提高能效[2]。

[PDF] [Secure and Resilient SoCs for Autonomous Vehicles](#)

P Bose, A Vega, S Adve, V Adve, S Misailovic...

以驱动未来自主汽车为目标的嵌入式片上系统(SoC)必须满足严格的功耗、实时性能、可靠性、安全性和安全标准，才有资格在现场部署。为了满足功耗性能的要求，需要通用处理器内核，并由精心挑选的加速器提供支持。这种硬件处理层面的异构性立即指向了用户级可编程性的挑战。在本文中，我们提出了我们的解决策略，并介绍了DARPA的DSSoC(Domain-Specific System-on-Chip)计划前两个阶段后取得的最新成果总结。

[PDF] [Edge-Centric Metamorphic IoT Device Platform for Efficient On-Demand Hardware Replacement in Large-Scale IoT Applications](#)

H Moon, D Park – Journal of the Korea Institute of Information and ..., 2020

物联网(IoT)系统的模式正在从基于云的系统向基于边缘的系统转变，以解决由于数据传输造成的网络拥堵、服务器过载和安全性问题所带来的延迟。然而，基于边缘的物联网系统由于受到各种限制，存在性能和灵活性不足等致命弱点。为了提高性能，可以在边缘设备中实现特定应用的硬件，但由于功能固定，除了特定应用外，性能无法提高。本文介绍了一种以边缘为中心的变形物联网(mIoT)平台，在边缘设备硬件资源有限的情况下，可以通过按需部分重构来使用多种硬件，因此我们可以提高边缘设备的性能和灵活性。根据实验结果，以边缘为中心的mIoT平台，在边缘执行重新配置算法，与以往在服务器上执行重新配置算法的研究相比，能够减少服务器的访问次数，最高减少82.2%。

安全

[PDF] [Comparative Analysis and Enhancement of CFG-based Hardware-Assisted CFI Schemes](#)

M Telesklav, S Tauner – arXiv preprint arXiv:2103.04456, 2021

颠覆指令版本(例如，通过使用代码重用攻击)仍然对当今系统的安全构成严重威胁。各种控制权完整性(CFI)方案已经被提出，作为一种强大的技术来检测和缓解这种攻击。近年来，学术界提出了许多基于控制平面图(CFG)的CFI执行的硬件辅助实现。这类方法通过限制有效的目标地址来检查控制流传输是否遵循预期的CFG。然而，这些论文都是针对不同的平台，并通过不同的基准应用集进行评估，因此很难进行定量比较。

[PDF] [ShEF: Shielded Enclaves for Cloud FPGAs](#)

M Zhao, M Gao, C Kozyrakis – arXiv preprint arXiv:2103.03500, 2021

FPGA现在被用于公共云中，以加速广泛的应用，包括许多对敏感数据(如财务和医疗记录)进行操作的应用。我们提出了ShEF，一个用于基于云的可重构加速器的可信执行环境(TEE)。ShEF独立于基

于CPU的TEE，并允许在威胁模型下安全执行，在这种情况下，对手可以控制连接到FPGA的CPU上运行的所有软件，可以物理访问FPGA，并可以破坏云提供商的FPGA接口逻辑。ShEF提供了一个安全的启动和远程验证过程，完全依靠现有的FPGA机制来获得信任根。它还包括一个Shield组件，在加速器使用时提供对数据的安全访问。Shield具有高度的可定制性和可扩展性，允许用户以最小的性能和面积开销来打造一个定制的安全解决方案，以满足加速器的内存访问模式、带宽和安全要求。我们描述了现有云FPGA的ShEF原型实现，并使用五种加速器设计测量了可定制安全的性能优势。

[PDF] [Cali: Compiler-Assisted Library Isolation](#)

M Bauer, C Rossow – 2021

软件库可以自由访问程序的整个地址空间，也可以继承其系统级权限。这种缺乏隔离的情况，一旦库中含有漏洞或变成流氓，就会经常导致安全关键事件。我们介绍了Cali，一个编译器辅助的库隔离系统，它可以完全自动地将程序从一个给定的库中屏蔽出来。Cali与主线Linux完全兼容，并且不需要主管权限就能执行。我们将库划分到自己的进程中，并制定了明确的安全策略。为了保留程序和库之间交互的功能，Cali使用了一个程序依赖图（Program Dependence Graph）来跟踪链接时间内程序和库之间的数据流。我们针对三个流行的库评估了我们的开源原型。Ghostscript、OpenSSL和SQLite。Cali成功地将程序和库之间共享的内存量减少到0.08%（ImageMagick）–0.4%（Socat），同时保留了可接受的程序性能。

[PDF] [Steel: Composable Hardware-based Stateful and Randomised Functional Encryption](#)

P Bhatotia, M Kohlweiss, L Martinico, Y Tselekounis

可信执行环境(TEEs)使程序能够在不受信任的主机上安全执行，并以密码学方式证明输出的正确性。由于这些都是复杂的系统，因此必须正式掌握采用TEEs的协议所达到的确切安全性，并最终证明其在组成下的安全性，因为TEEs通常同时在多个协议中采用。

[PDF] [Volcano: Stateless Cache Side-channel Attack by Exploiting Mesh Interconnect](#)

J Wan, Y Bi, Z Zhou, Z Li – arXiv preprint arXiv:2103.04533, 2021

缓存侧通道攻击会导致一个CPU在不同用户之间共享的设置受到严重的安全威胁，例如，在云中。现有的攻击依赖于感知受害者所做的微架构状态变化，而这一假设可以通过结合空间(如Intel CAT)和时间隔离(如时间保护)而失效。在这项工作中，我们通过展示无法被空间和时间隔离击败的无状态缓存侧通道攻击来推进缓存侧通道攻击的状态。

[Machine Learning for Fostering Security in Cyber-Physical Systems](#)

A Dhiman, K Gupta, DK Sharma – Security in Cyber-Physical Systems: Foundations and ...

Page 104. Machine Learning for Fostering Security in Cyber-Physical Systems Akash Dhiman, Kanishk Gupta, and Deepak Kumar Sharma Abstract Cyber-Physical Systems (CPSs) are developed by the amalgamation that comprises ...

高性能

4.4 A 1.3 TOPS/W@ 32GOPS Fully Integrated 10-Core SoC for IoT End-Nodes with 1.7 μ W Cognitive Wake-Up From MRAM-Based State-Retentive Sleep Mode

D Rossi, F Conti, M Eggiman, S Mach, A Di Mauro... – 2021 IEEE International ..., 2021

物联网需要具有超低功耗始终在线能力的终端节点，以延长电池寿命，以及高性能、高能效和极高的灵活性，以应对复杂和快速发展的近传感器分析算法（NSAA）。我们介绍了Vega，这是一款始终在线的物联网终端节点SoC，能够从1.7 μ W的全保持COGNITIVE睡眠模式扩展到32.2GOPS(@49.4mW)的NSAAs峰值性能，包括移动DNN推理，利用1.6MB的状态保持SRAM和4MB的非易失性MRAM。为了满足NSAAs的性能和灵活性要求，该SoC采用了10个RISC-V内核：一个用于SoC和IO管理的内核和一个支持多精度SIMD整数和浮点计算的9核集群。两个可编程机器学习(ML)加速器分别提升睡眠和活动状态下的能效。

A Survey of Software-Defined Networks-on-Chip: Motivations, Challenges and Opportunities. Micromachines 2021, 12, 183

JR Gomez-Rodriguez, R Sandoval-Arechiga... – 2021

当前的计算平台鼓励将数千个处理核心及其互连集成到单个芯片中。移动智能手机、物联网、嵌入式设备、台式机和数据中心使用多核系统级芯片(SoC)来利用其计算能力和并行性来满足动态工作负载的要求。片上网络(NoCs)为不同的应用提供了可扩展的连接，这些应用具有不同的传输模式和数据依赖性。然而，当系统在传统的NoC中执行各种应用时——在合成时进行了优化和优化——与不同应用需求的互连不一致会产生性能上的限制。在文献中，NoC设计接受了软件定义网络(SDN)策略，以发展成为未来芯片的适应性互连解决方案。然而，所调查的作品都实现了部分的Software-Defined Network-on-Chip(SDNoC)方法，抛开了SDN分层架构带来的传统网络的互操作性。本文探讨了SDNoC文献，并就每个作品所呈现的所需SDN特性进行了分类。然后，我们描述了从文献调查中发现的挑战和机遇。此外，我们解释了SDNoC方法的动机，我们揭露了SDN和SDNoC的概念和架构。我们观察到，文献中的作品采用了一种不完整的分层SDNoC方法。这一事实在SDNoC架构中创造了各种肥沃的领域，研究人员可能会在这些领域为多核SoC设计做出贡献。

EDA和敏捷开发

[PDF] ISAMod: A Tool for Designing ASIPs by Comparing Different ISAs

SS Singh, SR Sarangi

设计ISA(指令集架构)是整个ASIP(应用特定指令集处理器)设计过程中非常关键的活动。使用自动化工具，根据对目标程序的数据图表(DFG)的分析来建议定制指令，已经有很长的历史。这种方法通常会创建一个针对一小套应用的过度专业化的ISA，而且它们通常会建议大量无法实际实现的自定义指令。对最近工作的调查表明，在免费提供的ISA（如RISC-V）中添加自定义指令仍然依赖于定制分析和机构存储器。在本文中，我们专注于这样的现代应用，我们只需要在现有的ISA如RISC-V中添加一些指令。其目的是取代或补充这种决策所需的大量人工分析。

[PDF] The OpenROAD Project: Unleashing Hardware Innovation

AB Kahng, T Spyrou

OpenROAD项目开发了一个开源的RTL-to-GDS工具，它能在24小时内根据给定的硬件描述生成可制造的布局，而且没有人参与其中。该项目是DARPA ERI内IDEA计划的一部分。通过减少当今硬件设计的成本、专业技术和进度障碍，OpenROAD能够实现ASIC的实现，从而释放硬件创新。本文介绍了OpenROAD在其v1.0版本发布时的状况和展望。OpenROAD工具围绕一个开源的、商业质量的数据库和时序引擎进行集成。efabless.com在2020年5月制作了一个SkyWater 130nm tapeout。2020年7月实现了GLOBALFOUNDRIES 12nm的DRC-clean布局生成。OpenROAD的未来包括：(i)作为学术研究和教学的基础；(ii)将开源EDA过渡到政府和商业用途的种子；(iii)推动新的机器学习研究，进一步加速EDA和硬件创新。OpenROAD允许开放代码，不限制脚本的共享，使硬件和EDA研究的透明度和可重复性得以实现，从而加快了发现的步伐。

RISC-V与芯片评论编辑部 – RISC-V和芯片动态周报

每周六发布

欢迎批评，指正，评论和加入

关于本刊：

- 非特殊注明，本刊消息均来自于网络，如有版权问题，我们会立刻处理。
- [本刊部分消息来源](#)

语雀

微信公众号

Gitee

Github

Inspur

RISC-V和芯片动态
简报
[riscv rvnews](#)

高效服务器和存储技术
国家重点实验室

[inspur-risc-v](#)
[RVWeekly](#)

[inspur-risc-v](#)
[RVWeekly](#)

[riscv](#)
[RVWeekly](#)

