

# RV与芯片评论.20210306： 2021年第10周(总第32期)

---

[相关周报](#)

[技术动态](#)

[Linux动态](#)

[技术展望](#)

[一周问答](#)

[社区动态](#)

[产业风云](#)

[评论文集](#)

[其他动态](#)

[博文推荐](#)

[一周论文](#)

[架构](#)

[A RISC-V ISA Extension for Ultra-Low Power IoT Wireless Signal Processing](#)

[\[PDF\] Enabling Virtual Memory Research on RISC-V with a Configurable TLB Hierarchy for the Rocket Chip...](#)

[Resonant Clock Synchronization With Active Silicon Interposer for Multi-Die Systems](#)

[\[HTML\] DNNGuard: An Elastic Heterogeneous DNN Accelerator Architecture against Adversarial Attacks ...](#)

[加速](#)

[\[PDF\] TNN-on-MCU: Efficient Ternary Inference on PULP](#)

[安全](#)

[Leaky Nets: Recovering Embedded Neural Network Models and Inputs through Simple Power and Timing ...](#)

[Utilizing and Extending Trusted Execution Environment in Heterogeneous SoCs for a Pay-Per-Device IP Lic...](#)

[\[PDF\] SoK: Enabling Security Analyses of Embedded Systems via Rehosting](#)

[\[PDF\] Reconfigurable Hardware for Microarchitectural Timing Attacks Detection](#)

[EDA](#)

[An Approach of Project-Based Learning: Bridging the Gap Between Academia and Industry Needs in Teac...](#)

[模块设计](#)

[\[PDF\] Design and implementation of a fast sequential multiplier based on iterative addition architecture](#)

## 相关周报

-  [semi engineering](#) Week In Review:
    - Blog Review:
    - Design, Low Power:
    - Manufacturing, Test:
    - Auto, Security, Pervasive Computing:
  - IoT News: ([Site](#)) :
  - OSDT Weekly: ([zhihu](#), [Github](#)):
  - 泰晓咨询: ([Site](#)) :
  - PLCT开源进展: ([Github](#), [zhihu](#)) : "[第19期·2021年03月01日](#) (From [zhuanlan.zhihu.com](#) 2021.03.06)"
  - RT-Thread: ([oschina](#)) :
  - 科技爱好者周刊: ([yuque](#)) :
  - [硅农亚历山大: RISC-V双周报](#)
- 

## 技术动态

"[使用CDS进行RISC-V硬件平台的开发和调试](#) (From [developer.aliyun.com](#) 2021.03.06)"

本视频是给open hardware组织展示使用，open hardware开源了一个RISCV的硬件代码：CORE-V，并且提供了FPGA作为演示平台。本视频第一部分：使用对应的FPGA，演示如何通过CDS，创建、编译并且在FPGA上调试CORE-V CPU的程序。第二部分，为了显示CDS与其他同样支持CORE-V平台的IDE的不同指出，CDS推出了Profiling功能，并且配置了CORE-V虚拟平台，并且演示了与第一个工程同样的工程。

## Linux动态

## 技术展望

"[数据中心SSD存储发展的几大趋势](#) (From [www.eet-china.com](#) 2021.03.06)"

随着超过100层的3D NAND的量产，QLC逐步被PC OEM厂商采用，NVMe标准提出了更多新的功能，SSD存储控制也在不断发展。虽然PCIe Gen4的SSD还正在普及之中，但PCIe Gen5 SSD已即将到来，Intel打算明年正式实现Gen5的支持。而AI在冷热数据上的运用，也催生了面向数据中心的“智能存储”方案

英韧科技未来的SSD控制器可能会采用SiFive 7-Series核心IP，西数一直以来就是RISC-V的支持者  
"人工智能技术和行业深度洞察 (From [www.eet-china.com](http://www.eet-china.com) 2021.03.06)"

## 一周问答

- "RISC-V sext的意思 (From [zhuanlan.zhihu.com](http://zhuanlan.zhihu.com) 2021.03.04)"  
sext其实是sign-extend（符号扩展）的缩写表示将该立即数扩展到32位，如果是有符号数则进行符号扩展，若是无符号数则进行无符号扩展
- "GD32VF103芯片启动时\_init()函数的调用在哪里 (From [www.riscv-mcu.com](http://www.riscv-mcu.com) 2021.03.06)"

## 社区动态

"中科蓝讯 AB32VG1 RISC-V开发板模块评测任务大挑战 (From [club.rt-thread.org](http://club.rt-thread.org) 2021.03.06)"

报名申请时间：2月26日-3月5日

完成任务时间：3月1日-3月31日

"RISC-V应用创新大赛 | 一文详解RVB2601套件 助你快速上手赢比赛 (From [blog.csdn.net](http://blog.csdn.net) 2021.03.06)"

RVB2601板载了丰富的硬件资源，内置了WiFi&BLE Combo芯片W800，音频ADC芯片ES7210，音频DAC芯片ES8156，128\*64 OLED屏，用户按键，三色灯及兼容Arduino的扩展接口。开发者基于RVB2601可进行端云一体的物联网应用开发及音频方案开发；此外RVB2601配置了板载JTAG调试器，用户只需一根USB线即可开始软件调试。

## 产业风云

"RISC-V走进手机？ (From [zhuanlan.zhihu.com](http://zhuanlan.zhihu.com) 2021.03.04)"

日前，RISV-V International的首席技术官Mark Himelstein在接受媒体采访的时候也表示，我们应该很快就能看到RISC-V架构走向智能手机，乃至HPC等领域。这无疑又吸引了大家对这个话题的再次关注。

相关报道

- "RISC-V基金会：开放指令集架构的应用领域正从物联网迈向数据中心 (From [mp.weixin.qq.com](http://mp.weixin.qq.com) 2021.03.05)"

"万向区块链亮相2021MWC，携手合作伙伴探索物联网+区块链的融合创新 (From [news.tom.com](http://news.tom.com) 2021.03.06)"

紫光展锐、中国电信天翼物联、跃昉科技、摩联科技、广和通参加

Silicon Federation主席，RISC-V基金会RISC-V战略联盟主席Naveed Sherwani：区块链行业工作组（Blockchain SIG）将在未来3至5年时间里充分融合RISC-V的芯片架构优势及区块链的信任机制，着力打造可信嵌入式架构（TEA），构建一个人人可以参与的开放平台。

万向区块链执行总裁王允臻介绍了“中国信芯”（Chinese TEA），并宣布万向区块链、摩联科技正式宣布成为RISC-V基金会战略会员

跃昉科技首席技术官江朝晖：通过区块链+RISC-V开源技术实现CPU架构的开放和芯片级的安全可信环境，构建安全可信的应用场景。

摩联科技创始人兼首席执行官林瑶：通过与RISC-V技术社区的交流，进一步优化BoAT区块链应用框架，与RISC-V的指令集和芯片架构更好地融合，帮助更多物联网设备具备访问区块链的能力，构建基于数据价值开放的可信数据底座

相关新闻

- "[万向区块链亮相MWC2021，共探索物联网+区块链的融合创新](#) (From [mbb.eet-china.com](#) 2021.03.06)"

"[“明星”AI芯片公司Wave Computing破产重组成功，更名MIPS](#) (From [www.leiphone.com](#) 2021.03.06)"

Wave Computing于2020年4月申请破产。目前，新公司MIPS的大股东是2020年12月举行的破产拍卖的赢家Tallwood Venture Capital，最终重组报价为6100万美元。2019年9月开始掌舵Wave Computing的Sanjai Kohli继续担任MIPS的CEO。

该公司声明称MIPS正在开发基于RISC-V的“第八代标准体系结构”

Wave Computing在2018年收购MIPS后就宣布会开放MIPS架构。2019年，时任Wave Computing CEO的Art Swift对雷锋网表示：“从技术的角度看，RISC-V和MIPS都非常不错，Wave Computing选择开源MIPS是希望给业界多一个选择，MIPS和RISC-V不是非此即彼的关系，未来的市场足够大，可以用一种更加兼容并包的态度看待这两个技术。”

"[芯原高性能和高品质AI视频处理器获领先的数据中心用户采用](#) (From [www.eet-china.com](#) 2021.03.06)"

2021年3月1日，中国上海——芯片设计服务企业芯原股份（股票代码：688521）宣布推出下一代AI视频处理解决方案：新优化的VC9000视频编解码器与VIP9400人工智能（AI）和神经网络处理技术的结合，可以更高效地处理数据中心的视频流。

芯原的VC9000视频处理器系列提供了高性能、高品质、小面积和省电的多格式视频解码和编码，支持8K@120fps，支持AV1、HEVC等所有主流视频编解码，支持FLEX API从而帮助用户程序开发基于内容的编码策略，内置嵌入式RISC-V内核以实现多达256个流的多核扩展。该处理器基于业经验证的芯原Hantro技术——该技术已被应用在需要最高性能和品质的从数据中心到低功耗智慧物联网（AIoT）的广泛应用中。

"[Aurora1亿美金收购背后：RISC-V发起者的“中国芯”宏愿](#) (From [www.163.com](#) 2021.03.06)"

2月27日消息，美国知名自动驾驶公司Aurora以1亿美金价格收购激光雷达芯片公司OURS，后者团队将加入Aurora，帮助规模化其FMCW激光雷达系统FirstLight Lidar。

OURS卖出后，谭章熹并未加入Aurora。这是因为，早在2018年，谭章熹回到深圳，将OURS的芯片部分业务及团队带回国内，成立RISC-V芯片公司睿思芯科，而这也将成为他此后工作的重点

在服务器、桌面、车载芯片等高端芯片市场，RISC-V前景广阔：根据被誉为科技投资圣经的ARK 2021 Big Ideas报告，ARM + RISC-V的组合所占据的服务器市场份额，将从2020年的零，增加到2030年的71%。而ARM和RISC-V还可能会在云业务领域取代英特尔x86。

## 评论文集

"RISC-V“芯”事：十年萌芽，繁荣于物联网森林 (From [www.iyiou.com](http://www.iyiou.com) 2021.03.06)"

Scale Partners与光锥智能联合发布的《RISC-V主题相关行业研究》报告，旨在通过梳理全球芯片指令集发展脉络探讨RISC-V崛起原因，并借此观察中国半导体行业近三年行业格局变化，推断行业窗口期内潜在机遇和风险，并希望为相关从业者及投资者提供帮助。

"RISV-V International: RISC-V正在走向手机和HPC (From [www.semiinsights.com](http://www.semiinsights.com) 2021.03.06)"

Himmelstein说：“目前已经有基RISC-V的云服务器，阿里巴巴和一些公司已经做到了这一点。”他预料很快能看到RISC-V架构能为从智能手机到HPC系统都提供支持

"RISC-V基金会：开放指令集架构的应用领域正从物联网迈向数据中心 (From [www.eet-china.com](http://www.eet-china.com) 2021.03.06)"

---

## 其他动态

### 博文推荐

"RISC-V中断简析 (From [zhuanlan.zhihu.com](http://zhuanlan.zhihu.com) 2021.03.06)"

"【RISC-V MCU CH32V103测评】W25Q16读写及应用 (From [bbs.eeworld.com.cn](http://bbs.eeworld.com.cn) 2021.03.06)"

"盘点国内RISC-V内核MCU厂商 (From [www.eefocus.com](http://www.eefocus.com) 2021.03.06)"

"基于RISC-V单片机的鸿蒙系统开发板项目日记连载 (From [bbs.elecfans.com](http://bbs.elecfans.com) 2021.03.06)"

使用的单片机是深圳睿思芯科的Pygmy-E系列的单片机

第1篇：项目简介 [https://bbs.elecfans.com/jishu\\_2031611\\_1\\_1.html](https://bbs.elecfans.com/jishu_2031611_1_1.html)

第2篇：USB转spi模块调试 [https://bbs.elecfans.com/jishu\\_2040155\\_1\\_1.html](https://bbs.elecfans.com/jishu_2040155_1_1.html)

---

## 一周论文

### 架构

[A RISC-V ISA Extension for Ultra-Low Power IoT Wireless Signal Processing](#)

HB Amor, C Bernier, Z Prikryl – IEEE Transactions on Computers, 2021

这项工作提出了一个指令集扩展到开源的RISC-V ISA (RV32IM)，专门用于超低功耗 (ULP) 软件定义的无线物联网收发器。该定制指令是根据正交调制通常所需的8/16/32位整数复算的需求而定制的。拟议的扩展只占用2个主要的操作码，而且大多数指令都被设计为以接近零的能量成本来实现。新架构的指令精确(IA)和周期精确(CA)模型都被用来评估6个物联网基带处理测试台，包括FSK解调和LoRa前缀检测。仿真结果显示，周期数从19%提高到68%。目标22nm FD-SOI技术的后合成仿真显示，相对于基线RV32IM设计，功率和面积开销分别小于1%和28%。功率模拟显示，蓝牙LE解调的峰值功耗为380 W，LoRa前缀检测的峰值功耗为225 W(BW = 500 kHz, SF = 11)。

## [PDF] [Enabling Virtual Memory Research on RISC-V with a Configurable TLB Hierarchy for the Rocket Chip Generator](#)

N Charalampous, V Karakostas, K Nikas, N Koziris...

Rocket Chip Generator使用一系列参数化的处理器组件来生产基于RISC-V的SoC。它是一个强大的工具，可以生产从微小的嵌入式处理器到复杂的多核系统的各种处理器设计。在本文中，我们扩展了Rocket Chip Generator的内存管理单元的功能，特别是TLB层次结构。TLB在性能方面是必不可少的，因为它们减轻了频繁的Page Table Walks的开销，但由于其大小和/或关联性，可能会损害处理器的关键路径。在最初的Rocket Chip实现中，L1指令/数据TLB是完全关联的，共享的L2 TLB是直接映射的。我们解除了这些限制，设计并实现了可配置的、集关联性的 L1 和 L2 TLB 模板，可以创建从直接映射到完全关联的任何组织，以实现所需的性能和资源利用比例，尤其是对于较大的 TLB。我们评估了不同的TLB配置，并在Xilinx ZCU102 FPGA上使用SPEC2006套件的基准来展示我们设计的性能、面积和频率结果。

## [Resonant Clock Synchronization With Active Silicon Interposer for Multi-Die Systems](#)

R Kuttappa, B Taskin, S Lerner, V Pano – IEEE Transactions on Circuits and Systems I ..., 2021

本文介绍了将谐振时钟集成到多晶粒架构中，以同步通过有源硅插层连接的单个芯片。所提出的通过有源硅插层旋转振荡器阵列(ASI-ROA)实现芯片间同步，以极低的设计开销为封装中的多芯片(即多个芯片)提供了一个单元时钟域。通过寄生提取的、布局后的仿真模型对两种不同规模的代表性异构多芯片架构进行系统性能分析，每种架构的每个芯片都有不同数量的RISC-V内核。多模封装的每个RISC-V核都属于单元时钟域，用ASI-ROA设计，工作频率为2 GHz。所提出的架构通过基于SPICE的后布局模型模拟，研究了整个多模系统(MDS)在频率和偏移方面的鲁棒性，证明在2 GHz目标频率下的变化只有80 MHz。与当代ADPLL用于在有源互换器上同步多个芯片的等效实现相比，整个MDS的功率节省高达41%。这项工作中提出的完全谐振架构的平均时钟偏移为8.2 ps。

## [HTML] [DNNGuard: An Elastic Heterogeneous DNN Accelerator Architecture against Adversarial Attacks Mark](#)

J Zhang, D Meng, X Qian

最近的研究表明，深度神经网络(DNN)很容易受到对抗性样本的影响，这些样本是通过扰动正确分类的输入而产生的，从而导致DNN模型的错误分类。这有可能导致灾难性的后果，尤其是在无人驾驶、金融和医疗等安全敏感应用中。现有的对抗性防御方法需要各种计算单元来有效检测对抗性样本。然而，在现有的DNN加速器中部署对抗样本防御方法，会导致成本、计算效率和信息安全等诸多关键问题。此

外，现有的DNN加速器无法为防御方法中所需要的特殊计算提供有效支持。为了解决这些新的挑战，本文提出了一种弹性异构DNN加速器架构DNNGuard，它可以高效地协调原始（目标）DNN网络和检测算法或检测对手样本攻击的网络的同时执行。该架构将DNN加速器与CPU核心紧密耦合到一个芯片中，实现高效的数据传输和信息保护。弹性DNN加速器是为了同时运行目标网络和检测网络而设计的。除了能够同时执行两个网络外，DNNGuard还支持非DNN计算，让神经网络的特殊层得到CPU核的有效支持。为了减少片外流量，提高资源利用率，我们提出了动态资源调度机制。为了构建一个通用的实现框架，我们提出了一个扩展的AI指令集，用于神经网络同步、任务调度和高效的数据交互。我们基于RISC-V和NVDLA实现了DNNGuard，并在6个目标网络和3个典型检测网络下评估其性能影响。实验结果表明，DNNGuard可以有效地验证输入样本与目标DNN模型并行的合法性，与最先进的加速器相比，平均提速1.42倍。

## 加速

### [PDF] [TNN-on-MCU: Efficient Ternary Inference on PULP](#)

B Student, M Scherer, R Balas, PDL Benini

ETH的 大作业

## 安全

### [Leaky Nets: Recovering Embedded Neural Network Models and Inputs through Simple Power and Timing Side-Channels—Attacks and Defenses](#)

S Maji, U Banerjee, AP Chandrakasan – IEEE Internet of Things Journal, 2021

随着机器学习理论的最新进展，许多商用嵌入式微处理器将神经网络模型用于各种信号处理应用。然而，它们相关的侧通道安全漏洞却引起了人们的极大关注。已经有一些概念验证攻击演示了其模型参数和输入数据的提取。但是，这些攻击中有许多涉及特定的假设，适用性有限，或者给攻击者带来巨大的开销。在这项工作中，我们研究了嵌入式神经网络实现的侧通道漏洞，通过使用基于时序的信息泄露和简单的功率分析侧通道攻击恢复其参数。我们在流行的微控制器平台上演示了我们在浮点、定点、二进制网络等不同精度的网络上的攻击。我们不仅能够成功地恢复模型参数，而且能够恢复上述网络的输入。实现了针对基于时序的攻击的对策，并分析了其开销。

### [Utilizing and Extending Trusted Execution Environment in Heterogeneous SoCs for a Pay-Per-Device IP Licensing Scheme](#)

N Khan, S Nitzsche, AG López, J Becker – IEEE Transactions on Information ..., 2021

按使用付费的知识产权(IP)许可模式可以保护多个参与者的IP，这将有利于FPGA IP市场和中小企业。现代FPGA器件中现有的保护解决方案依赖于使用加密密钥的专用解密引擎，这需要在可信环境中对其进行编程。由于在典型的许可方案中，来自多个参与者的设计需要保护，因此需要一个可信的第三方来完成密钥编程和加密任务。这些要求导致了几种许可方案的提出；然而，它们并没有解决几个安全性和灵活性的挑战。因此，在这项工作中，我们提出了一种按设备付费的IP授权方案，它是安全的，对系统开发者的限制较少，并提供对恶意IP核的保护。该方案依赖于一个安全框架（SFW），它提供了一个可信执行环境（TEE），处理密钥存储、加密操作和安全监控。运行SFW的设备可以被认为是一个可信的平



台，它为IP从其供应商到设备的TEE提供了一条直接的安全路径，在那里，IP被解密、分析和，然后在可编程逻辑上进行配置。

### [PDF] [SoK: Enabling Security Analyses of Embedded Systems via Rehosting](#)

A Fasano, T Ballo, M Muench, T Leek, A Olienik... – 2020

### [PDF] [Reconfigurable Hardware for Microarchitectural Timing Attacks Detection](#)

Y Mao, V Migliore, V Nicomette – Rendez-vous de la Recherche et de l'Enseignement ..., 2020

基于软件的微结构时序攻击发展迅速，利用硬件设计特性，广泛影响通用处理器和嵌入式处理器。在攻击检测手段中，硬件监控与软件监控相比，具有开销小、功耗低的优点。然而，由于通常的硬件无法升级，硬件监控设备组件的有效性无法保证抵御未来的攻击。

在本文中，我们研究了使用可重构硬件与软件攻击检测一起应对微架构时序攻击的可行性，我们提出利用硬件的并行执行能力，来处理可重构技术比硬线技术频率低的问题。这个架构的设计是为了适应新的攻击，因为处理器可以决定重新配置检测逻辑来考虑它们。我们简要介绍了一个在FPGA上的概念验证的实现，以验证我们的设计。

## EDA

### [An Approach of Project-Based Learning: Bridging the Gap Between Academia and Industry Needs in Teaching Integrated Circuit Design Course](#)

X Yang – IEEE Transactions on Education, 2021

在集成电路(IC)设计课程的教学中，通过提供一个与行业相关的项目，对电子设计自动化(EDA)工具和设计方法的捆绑培训，可以获得许多好处。然而，很少有开源项目能够覆盖工业界所需的关键资格。因此，本文提出了一种基于项目的学习(PBL)的方法，旨在弥补行业需求与学术界学习成果之间的差距。具体来说，本文首先对集成电路设计人员入门级所需的基本素质进行调查，并将调查结果总结为规范。通过这些结果总结为规范，将开发、实施和评估到一个开源项目中，以包括IC设计公司所需的最新EDA工具和方法，以及课程成果的基本知识和技能。通过对学生期末考试成绩的分析，用t检验来评价这项工作的效果。结果表明，参与项目的学生对集成电路设计的知识掌握程度更高。学生的调查和评价也证明了PBL方法对学生成绩的积极影响。此外，这个项目的公共性具有很大的潜力，可以为实践课程提供一个框架，并提高学生在许多主题的知识和技能，如计算机体系结构和微系统。

## 模块设计

### [PDF] [Design and implementation of a fast sequential multiplier based on iterative addition architecture](#)

AS Hameed, MJ Kathem – IOP Conference Series: Materials Science and ..., 2021

本文提出了一种顺序乘法器的快速设计和实现方法。所建议的实现方法结合了迭代加法的定义，减少了计算两个二进制数乘积时所需的加法次数。所提出的顺序乘法器的实现方法将传统顺序乘法器所需的所有移位操作消除到只有一次移位操作，最后累计结果。在Quartus II综合软件工具中使用Verilog实现对所提出的和传统的顺序乘法器设计进行了仿真。根据仿真结果，提出的顺序乘法器的实现在延迟时间和



功耗方面都优于传统的实现。与传统的顺序乘法器相比，所提出的顺序乘法器在延迟时间上平均提高了17.15%。

---

RISC-V与芯片评论编辑部 – RISC-V和芯片动态周报

每周六发布

欢迎批评，指正，评论和加入

关于本刊:

- 非特殊注明，本刊消息均来自于网络，如有版权问题，我们会立刻处理。
- [本刊部分消息来源](#)

语雀

微信公众号

Gitee

Github

Inspur

[RISC-V和芯片动态  
简报](#)

[riscv rvnews](#)

高效服务器和存储技  
术国家重点实验室



[inspur-risc-v  
RVWeekly](#)

[inspur-risc-v  
RVWeekly](#)

[riscv  
RVWeekly](#)