



Cypher: Manual de Hardware

v0.4

Marzo 2019



INTRODUCCIÓN

El presente documento es un avance en la sección de Hardware del proyecto Cypher, que incluye el diseño electrónico actual, lista de componentes necesarios para la fabricación del dispositivo, diseño físico y estético del dispositivo y el presupuesto para su fabricación.

SECCIONES

1. Esquema electrónico.
2. Conexiones electrónicas físicas.
3. BOM - lista de componentes electrónicos necesarios para la fabricación de 1 dispositivo.



ESQUEMA ELECTRÓNICO

Energía

USB

El puerto USB sirve como la fuente principal de energía (+5V, GND). Proporciona además la comunicación a otros dispositivos por los pines **USB+** y **USB-**. Estos pines se comunican con el dispositivo UART to USB. El pin **ID** queda flotando pues el dispositivo funcionará como “esclavo” respecto al dispositivo que se conecte. La documentación del puerto incluye sus [especificaciones eléctricas](#), [datasheet](#) y el [plano de dibujo](#).

Batería

La batería es la fuente secundaria de energía. Tiene un voltaje nominal de 3.7 V y una capacidad de 580mAh con una carga de 1C y una descarga de 2C. Su principal función es mantener el sistema activo mientras existan operaciones pendientes. Su segunda función es proveer energía adicional suficiente en caso de que la fuente primaria (USB) no pueda proveerla. Tiene energía suficiente para realizar operaciones aún sin otra fuente de energía.



Push-button

El presionado del botón es administrado por el IC [STM6601](#) (U1). Este IC tiene un muy bajo consumo de corriente (0.6 μ A). Al presionar el botón, se aterriza el pin **PB**.

El pin **PB_OUT** manda una señal baja al μ P para que cierre operaciones. Este pin es un reflejo del pin de entrada **PB**. El pin **PS_HOLD** recibe una señal baja del μ P para bajar la señal de EN. **V_REF** es un pin de referencia preciso de 1.5V, pero no es utilizado en nuestro circuito. Requiere de un capacitor de desacoplo (C2).

VCC es el pin de entrada de energía, que será alimentado por la batería. **GND** es la referencia. El pin **EN** es el encargado de habilitar o deshabilitar la energía de la batería hacia el resto del dispositivo, por medio del switch [TPS22916](#) (U2).

Este switch admite corrientes de hasta 2A en su salida y una corriente de reversa de hasta 500mA, permitiendo la carga de la batería.

Esta configuración permite que la batería alimente el SiP únicamente si se enciende por medio del botón, y que de lo contrario, esté completamente desconectada del mismo.

Cuando el sistema está en estado activo o pasa a estado de suspensión ([vease sección SiP - A](#)), el pin **PS_HOLD** se mantiene alto, por lo que la batería sigue conectada al SiP, permitiendo carga (o descarga). Cuando el sistema está apagado (OFF) no se permite la carga ni descarga de la batería.

Componentes pasivos asociados		
Referencia	Valor	Función
C1	0.1 μ F	Capacitor de desacoplo VCC
C2	1 μ F	Capacitor de desacoplo V_REF



MEGAHASH

Cypher: Manual de Hardware

v0.4

Marzo 2019



LCD y Touchscreen

LCD

La pantalla LCD está controlada por el IC [ILI9488](#). Este es controlado por el protocolo SPI, por lo que los pines **[DB0:DB17]** están aterrizados. De la misma manera, los pines **TE**, **DE**, **DOTCLK**, **HSYNC** y **VSNC** están deshabilitados. Para activar este modo de funcionamiento (SPI de cuatro líneas) se conectaron los pines **IM0**, **IM1** e **IM2** a 3.3V. La pantalla está alimentada por medio de **VCI**, y los pines **IOVCC** indican la amplitud de las salidas lógicas del IC.

La LCD cuenta con luz manejada por 6 LEDs, cuya corriente está limitada por un arreglo de resistencias de $15\ \Omega$ (RN2). Además, su intensidad está regulada por un transistor [MMBT2222](#) (Q1) cuya base recibe una señal PWM del μP , proporcionando la diferencia de voltajes en el pin **LEDK**. Tiene un pin también controlado por el μP para reiniciar el IC (**RESET**).

TOUCHSCREEN

El touchscreen es de tipo capacitivo y tiene un controlador [FT5336](#) con comunicación I²C que lo administra. Sus pines **VDD** y **GND** son para alimentar el controlador y la pantalla, con 3.3 V. El pin **INT** es un pin de salida que manda una señal cuando la pantalla es tocada. Los pines **SCL** y **SDA** son los pines de reloj y transmisión de datos del protocolo I²C. Su dirección como esclavo es **0x70**. Al igual que la pantalla LCD, tiene un pin **RESET** que está conectado al reset de la LCD.

Componentes pasivos asociados		
Referencia	Valor	Función
RN1	1k Ω	Polarización transistor Q1
RN2	15 Ω	Limitadores de corriente LED
Q1	MMBT2222A	Control PWM de Luz



UART to USB

Este dispositivo (U3) mantiene la comunicación entre el System in Package y el puerto USB.

El pin **VCC** recibe una entrada de 5V para alimentación. El pin **VCCIO** recibe alimentación para los pines digitales, que tendrán el nivel introducido en este pin. Puede ser alimentado por el regulador del IC, cuya salida de 3.3 V se encuentra en el pin **3V3OUT**. Los pines que administran la información del puerto USB son los pines **USBDP** y **USBDM**. Los pines de transmisión y recepción UART son **TXD** y **RXD**, respectivamente. No es necesario el uso de ninguno de los demás pines.

Tiene dos capacitores de desacople en sus fuentes (C3, C4). Información más detallada puede encontrarse en su [datasheet](#).

Componentes pasivos asociados		
Referencia	Valor	Función
C3	10 nF	Desacople VCC
C4	0.1 μ F	Desacople VCCIO



MEGAHASH

Cypher: Manual de Hardware

v0.4

Marzo 2019



System in Package - A

Primer sub paquete del System in Package (SiP). La administración de energía es realizada por el PMIC [TPS62517C](#) y un regulador de voltaje [TL5209](#).

Cuenta con una fuerte variedad de resistencias pull-up y pull-down, así como capacitores de desacople de manera interna, por lo que tiene pocos componentes pasivos externos asociados.

Administración de fuentes de energía

El PMIC puede manejar diferentes configuraciones de energía dependiendo de los valores encontrados en sus registros. Estos registros son accedidos por medio del protocolo I2C, ya que está conectado al canal I2C0, con la dirección 0x24.

La secuencia en la que se activan y desactivan las líneas de energía del PMIC dependen de la configuración de eventos (strokes) y retrasos que pueden ser configuradas en los registros de 0x19 a 0x1E del PMIC. Hay dos eventos especiales (STROBE14 y STROBE15) que son ignorados cuando se cambia el estado del PMIC de Activo (ACTIVE) a Suspendido (SLEEP), pero el evento 15 sucede inmediatamente cuando se cambia el estado de apagado (OFF) a activo (ACTIVE). **Debido a que al apagar el PMIC se resetean los valores de los registros, la secuencia de inicio no se puede modificar y la secuencia de apagado debe modificarse cada vez que se inicia el dispositivo.**

El evento 15 (STROBE15) es activado una vez que se tiene voltaje en VSYS, y automáticamente activa LDO1 por defecto. Luego, después de un retraso sucede el evento 14 (STROBE14) y luego los eventos 1 a 7, en ese orden (STROBE1 - STROBE7) activando el resto de las líneas de energía del SiP.

La salida de 1.8V **SYS_RTC_IP8V** del SiP A es alimentada por LDO1 del PMIC [TPS62517C](#). Ya que depende del evento 15 (STROBE15), cuando el PMIC pasa al estado de suspensión (SLEEP) este pin se mantiene activo, pero cuando el PMIC pasa al estado de apagado (OFF) este pin pasa a bajo. Debido a esto, este pin alimenta el buffer monitor de energía (U5) y el controlador del pushbutton (U1).



Descripción de pines

Este PMIC tiene 6 conexiones que se deben hacer obligatoriamente de manera externa, **PMIC_PWR_EN** con **PMIC_POWER_EN**, **PMIC_LDO_PGOOD** con **RTC_PWRONRSTN**, **PMIC_NWAKEUP** con **EXT_WAKEUP**, **PMIC_NINT** con **EXTINTN**, **PMIC_SCL** con **I2C0_SCL** y **PMIC_SDA** con **I2C0_SDA**. Estas conexiones tienen puntos de prueba externos en el dispositivo para realizar pruebas.

El pin **EEPROM_WP** debe aterrizar para escribir en la memoria EEPROM, por lo que se conecta a uno de los GPIO (23) para facilidad de control. Refiérase a la sección SiP - C para información de registros.

La sección de reinicio es la que depende de componentes externos. El pin **PMIC_PGOOD** es un pin de salida que indica el estado de la energía. **PWRONRSTN** es el pin que recibe esta señal, así como un buffer (U5) externo. El pin **WARMRSTN** recibe como entrada la señal de reinicio, pero la ignora si hay alguna falta de energía que indique **PMIC_PGOOD**. Tiene una resistencia pull-up (R2) para evitar reiniciar el dispositivo inesperadamente. El buffer [SN74LVC1G07](#) (U5) tiene un capacitor de desacople (C5) para su alimentación de 1.8 V.

Cuenta con 3 entradas de energía, de las cuales solo se utilizará la alimentación USB por medio de los pines **VIN_USB** y la alimentación por batería por medio del pin **VIN_BAT**. El pin **VIN_AC** es conectado únicamente entre las entradas de la misma señal, sin embargo, no están conectados de manera externa a ningún otro pin. En el caso de **VIN_BAT** también está conectado con el pin **PMIC_BAT_SENSE** el cual monitorea el voltaje de la batería. El pin **PMIC_TS** tiene como función monitorear la temperatura de la batería, pero debido a que no utilizamos un termistor con este propósito, se conecta a una resistencia (R1) para simular temperatura de carga.

Las salidas de energía son **SYS_VOUT** con +5V, **SYS_VDD1_3P3V** con 3.3V para componentes externos (hasta 500 mA), **SYS_VDD2_3P3V** con 3.3V también para componentes externos pero con un límite de 100 mA, por lo que no lo utilizamos. **SYS_VDD3_3P3V** provee 3.3 V para los estados lógicos de los GPIO, por medio de los pines **VDDSHVx**. **SYS_VDD_1P8V** y **SYS_RTC_1P8V** son fuentes de 1.8 V, de los cuales solo el último alimenta el buffer de estado de energía y el IC administrador del Push-Button (U1).



MEGAHASH

Cypher: Manual de Hardware

v0.4

Marzo 2019



System in Package - B

El segundo sub paquete del SiP. Administra las entradas de datos analógicos del procesador [AM3358](#), el tiempo por medio de un cristal oscilador y las entradas USB USB0 y USB1.

XTAL

El cristal utilizado es de 24 MHz, conectado por medio de los pines OSC0_IN y OSC0_OUT. El cristal [TSX-3225](#) tiene además, pines de conexión a tierra, los que son conectados a OSC0_GND. Este cristal debe tener una capacitancia de carga de 9 pF, por lo que el valor de capacitores que se utilizan para lograrla se da por la siguiente fórmula (asumiendo que ambos son iguales, $C_{I1} = C_{I2} = C_{Cristal}$):

$$C_{Cristal} = 2 * (C_L - C_{Strau})$$

Asumiendo que la capacitancia parásita de la PCB es de 3pF:

$$C_{Cristal} = 2 * (9pF - 3pF) = 12pF$$

Analog

La sección Analog Pwr & Gnd utiliza como referencia el voltaje de VREF, por lo que utiliza un capacitor de desacoplo (C13) de 0.1 μ F. Estos pines reciben un máximo de 1.8 V. La sección Analog Inputs solo es utilizada para medir los voltajes proporcionados por el PMIC por medio de **PMIC_MUX_OUT** en el pin **AIN7**. El pin **PMIC_MUX_OUT** puede proporcionar los siguientes valores: Voltaje de sistema (VSYS), Voltaje de la batería (VBAT) o Voltaje proporcional a la corriente que alimenta la batería (VICH). El valor que proporciona depende de los valores en el registro 0x09 del PMIC. Ya que **AIN7** sólo puede recibir valores entre 0 y 1.8V, el **PMIC_MUX_OUT** divide el voltaje de **VSYS** y **VBAT** con un factor de 3, mientras que VICH depende de la configuración de corriente de carga, con un factor de 5.625 si la corriente es de 400mA o 4.5 si la corriente es de 500mA.

Secciones no utilizadas

Las secciones RTC, JTAG, USB0 y USB1 no son utilizadas, por lo que todos los pines que se incluyen en ellos están desconectados.



Componentes pasivos asociados SiP - A		
Referencia	Valor	Función
R1	10k Ω	Simulador de termistor
R2	10k Ω	Pull-up del pin RESET
C5	0.1 μ F	Desacople de buffer
U5	SN74LVC1G07	Buffer monitor de PMIC

Componentes pasivos asociados SiP - B		
Referencia	Valor	Función
Y1	24 MHz 9pF	Oscilador del procesador
C6, C7	12 pF	Carga del oscilador
C8	0.1 μ F	Desacople de Voltaje de ref.



MEGAHASH

Cypher: Manual de Hardware

v0.4

Marzo 2019



System in Package - C

Este sub paquete es el encargado de las comunicaciones entre dispositivos y las entradas/salidas de propósitos generales (GPIO).

UART

Solo se utilizan dos canales UART del μ P, UART0 y UART4. Los pines **UART0_TXD** y **UART0_RXD** son utilizados para realizar la programación general del SiP de manera externa por medio de comunicación serial. Están conectados a pines de acceso externo. Los pines **UART0_CTSn** y **UART0_RTSn** no son necesarios para la comunicación, por lo que no se conectan.

El cana UART4 es utilizado para la comunicación USB por medio del dispositivo UART to USB. Este puerto está ubicado en diferentes pines, marcados en azul.

Nombre	Descripción	Tipo	Nombre del pin	Mode	Pin
uart0_txd	Transmisión del canal 0 UART	O	UART0_TXD	0	B12
uart0_rxd	Recepción del canal 0 UART	I	UART0_RXD	0	A12
uart4_txd	Transmisión del canal 4 UART	O	GPMC_WPn	6	R16
			MII1_TXD2	3	G16
			UART0_RTSn	1	C13
uart4_rxd	Recepción del canal 4 UART	I	GPMC_WAIT0	6	P15
			MII1_TXD3	3	G15
			UART0_CTSn	1	C12



I²C

Hay tres canales I²C conectados al μ P. El primero, I2C0 administra la energía en el SiP - A y la memoria EEPROM.

Los pines **UART1_TXD** y **UART1_RXD** realizan el papel de las conexiones **I2C1_SCL** y **I2C1_SDA**, respectivamente. Este bus administra los siguientes IC con las siguientes direcciones:

Direcciones de dispositivos en el bus de I ² C 1			
Referencia	Dispositivo	Descripción	Dirección
XU1	FT5336	Touchscreen driver	0x70
U7	LSM6DS33	Inertial Motion Unit - Read command	0xD5
		Inertial Motion Unit - Write command	0xD4
U8	PN7150	RFID/NFC - Read command	0x51
		RFID/NFC - Write command	0x50

Los pines **UART1_RTSN** y **UART1_CTSN** realizan el papel de las conexiones I2C2_SCL y I2C2_SDA, respectivamente. Este bus administra únicamente el módulo TPM:

Direcciones de dispositivos en el bus de I ² C 2			
Referencia	Dispositivo	Descripción	Dirección
U6	AT97SC3205T	Trusted Platform Module	0x29



SPI

El μ P ofrece dos canales SPI, de los cuales solo se utiliza SPI0 para el control de la pantalla LCD.

El pin **SPI0_D0** actúa como Master Input Slave Output (MISO) y el pin **SPI0_D1** actúa como Master Output Slave Input (MOSI).

Nombre	Descripción	Tipo	Nombre del pin	Mode	Pin
spi0_sclk	Reloj del canal SPI 0	O	SPI0_SCLK	0	A13
spi0_cs0	Recepción del canal 0 UART	I	SPI0_CS0	0	A14
spi0_d0	Master Input Slave Output	I	SPI0_D0	0	B13
spi0_d1	Master Output Slave Input	O	SPI0_D1	0	B14



MMC0

Solo se emplea uno de los 3 canales multimedia que ofrece el μ P, MMC0. Algunos de los pines relacionados se encuentran en SiP - D.

Nombre	Descripción	Tipo	Nombre del pin	Mode	Pin
mmc0_clk	MMC/SD/SDIO Clock	I/O	MMC0_CLK	0	B15
mmc0_cmd	MMC/SD/SDIO Command	I/O	MMC0_CMD	0	B16
mmc0_dat0	MMC/SD/SDIO Data Bus	I/O	MMC0_DAT0	0	A16
mmc0_dat1	MMC/SD/SDIO Data Bus	I/O	MMC0_DAT1	0	A15
mmc0_dat2	MMC/SD/SDIO Data Bus	I/O	MMC0_DAT2	0	C16
mmc0_dat3	MMC/SD/SDIO Data Bus	I/O	MMC0_DAT3	0	C15
mmc0_dat4	MMC/SD/SDIO Data bus	I/O	MII1_RXD2	3	D15
mmc0_dat5	MMC/SD/SDIO Data Bus	I/O	MII1_RXD3	3	D14
mmc0_dat6	MMC/SD/SDIO Data Bus	I/O	MII1_RX_CLK	3	E16
mmc0_dat7	MMC/SD/SDIO Data Bus	I/O	MII1_TX_CLK	3	H16
mmc0_pow	MMC/SD Power Switch Control	O	SPIO_CS1	3	C14
			RMII1_REF_CLK	5	J14
mmc0_sdcd	SD Card Detect	I	MCASP0_ACLKX	4	C4
			MDIO	4	E13
			SPIO_CS1	5	C14
mmc0_sdwp	SD Write Protect	I	ECAPO_IN_PWM0_OUT	5	C5
			MCASP0_ACLKR	4	A3
			MDC	4	D13



PWM

El μ P contiene 3 salidas PWM auxiliares de las cuales solo se utiliza PWM0 para el control de backlight de la pantalla LCD por medio de la señal LITE. Debido a la multiplexión de los pines del μ P esta señal se encuentra en varios pines, de los cuales utilizamos el azul:

Nombre	Descripción	Tipo	Nombre del pin	Mode	Pin
ehrpwm0A	Salida de PWM0 de Alta Resolución Aumentada - A	O	MCASP0_ACLKX	1	C4
			SPI0_SCLK	3	A13

GPIOs

El resto de los pines utilizados de este paquete son las entradas/salidas de propósitos generales.

Estos pines están referenciados a su vez a los utilizados por el PocketBeagle.

Nombre señal	Descripción	GPIO	Pin PB	Señal AM3358	Mode	Pin
RFID_IRQ	Antenna interrupt	20	P1 20	gpio0_20	7	B4
CHRG	Estado de carga de batería	57	P2 6	gpio1_25	7	T15
EEPROM.WP	Activar escritura de EEPROM	23	P2 3	gpio0_23	7	P5
LCD_D/C	Data/Command de la LCD	26	P1 34	gpio0_26	7	R5
RFID_VEN	Activar voltaje en antena	46	P2 22	gpio1_14	7	T6
PB	Software Push Button					
EN_BL	Activar backlight LCD					



System in Package - D

Esta sección del μ P contiene dos GPIOs y se encarga de realizar la selección prioridad de inicio.

GPIOs

Estos pines están referenciados a su vez a los utilizados por el PocketBeagle.

Nombre señal	Descripción	GPIO	Pin PB	Nombre del pin	Mode	Pin
TP_IRQ	Interruptor touchscreen	87	P1 2	LCD_HSYNC	7	F2
LCD_RESET	Reset de la pantalla	89	P1 4	LCD_AC_BIAS_EN	7	E1

SYSBOOT

La configuración de los pines de sysboot indica cual es el orden de prioridad para el inicio del dispositivo. Actualmente el PocketBeagle utiliza 0x4018, cuyo orden es SPI0, MMC0, USB0, UART0. La configuración se cambió a 0x4017 para obtener un orden de prioridad de MMC0, SPI0, UART0, USB0; sin embargo, **este cambio presenta problemas para interactuar con hardware vía SPI0 en boot.**

Los pines sysboot[15:0] son mismos pines de lcd_data[15:0]. Debido a que este tipo de comunicación no será utilizado con la pantalla LCD, no requiere pull-up o pull-down resistors.

El resto de los pines en este subpaquete no son utilizados.

Componentes pasivos asociados		
Referencia	Valor	Función
R8	10 k Ω	Pull-up de TP_IRQ
R9	10 k Ω	Pull-up de LCD_RESET



MEGAHASH

Cypher: Manual de Hardware

v0.4

Marzo 2019



System in Package - E

Este subpaquete solo contiene las conexiones a tierra. Estas conexiones no requieren una vía por cada pin, solo una conexión dispersa.

System in Package - F

Este subpaquete contiene las conexiones de energía interna para hacer pruebas, así como señales que no se deben conectar externamente.

Nombre señal	Descripción	Pin	Valor por defecto
VDDS_DDR	Fuente de alimentación de los pines I/O DDR.	F4	1.8 V
VDD_CORE	Fuente de alimentación para el dominio núcleo	G4	1.1 V
VDD_MPU	Fuente de alimentación para dominio de MPU	F13	1.2 V
VDD_PLL	Fuente de alimentación de PLL	G13	1.8 V



MEGAHASH

Cypher: Manual de Hardware

v0.4

Marzo 2019



microSD

Esta memoria contiene la información del sistema operativo y será de donde inicie el dispositivo. Para efectos de prototipado, se utiliza una memoria microSD, pero se sustituirá por una eMMC. El conector de la memoria microSD a la PCB es de tipo cubierta con bisagra, en lugar de push-pull. Este tipo de conexión utiliza 8 pines para su funcionamiento, de los cuales 6 son para comunicación. Los 6 pines de comunicación requieren el uso de resistencias pull-up, por lo que se añaden resistencias de 10k [R12:R17]. Utiliza 4 pines para fijar el conector a la PCB, los cuales están eléctricamente conectados a tierra. Utiliza un capacitor de desacople de 10 μ F (C9). El pin **CMD** funciona como command line. El pin **CLK** es el reloj de referencia para comunicación. Los pines **DATx** son pines bidireccionales de datos.

Componentes pasivos asociados		
Referencia	Valor	Función
R12-R17	10 k Ω	Pull-up de comunicación
C9	10 μ F	Desacople de VCC



IMU

Este chip es encargado de entregar más entropía al algoritmo de encriptación. El modelo de IMU utilizado es el [LSM6DS33](#). Utiliza comunicación I²C por medio de las líneas **SCL** y **SDA**. Ambos pines requieren una resistencia pull-up. El pin **SDO/SDA0** tiene la función de cambiar de dirección, pero no es necesaria, por lo que se aterriza. La dirección I²C asociada de 7 bits es **0x6A**, y el 8vo bit es de escritura 0 (**0xD4**) y lectura 1 (**0xD5**).

El pin **VDD** es una entrada de 3.3 V para la alimentación del dispositivo. En caso de requerir un diferente nivel de voltaje para la comunicación de un dispositivo, se puede alimentar con este voltaje en el pin **VDDIO**, pero para este caso no es necesario, por lo que se alimenta de la misma fuente. Ambos pines requieren un capacitor de desacoplo de 0.1 µF (C12, C13). El pin **CS** indica el modo de comunicación a utilizar. Debido a que se utiliza I²C este pin se deja en alto. El chip incluye dos interruptores programables pero no son utilizados para este caso. Los pines **RES** son pines reservados, y deben conectarse a tierra.

Componentes pasivos asociados		
Referencia	Valor	Función
R10, R11	10 kΩ	Pull-up de comunicación I ² C
C12, C13	0.1 µF	Desacople de VDD y VDDIO



TPM

Se utiliza un Trusted Platform Module modelo [AT97SC3205T](#). Los pines utilizados para el funcionamiento de este módulo son de comunicación I²C, alimentación y reset. El módulo incluye tres entradas de alimentación, que requieren cada una un capacitor de desacople de 2.2 nF (C10, C11, C14). Requieren además un capacitor de desacople de 0.1 µF (C15) en donde se junten estas líneas de alimentación. Los pines **VCC** admiten 3.3 V. Este dispositivo tiene reservado un canal I²C para este dispositivo, el canal **I2C2**. Su dirección I²C es 0x29. El pin **SM_CLK** se conecta a la línea SCL y el pin **SM_DAT** se conecta a la línea SDA. Utilizan resistencias pull-up de 1.5 kΩ (R18, R19) recomendadas por el fabricante. El pin **LRESET#** se conecta al mismo reset del SiP. El resto de los pines no son utilizados, por lo que se conectan a tierra o se dejan flotando según la recomendación del fabricante.

Componentes pasivos asociados		
Referencia	Valor	Función
R28, R29	1.5 kΩ	Pull-up de comunicación I ² C
C15, C16 y C19	2.2 nF	Desacople de VCC (3)
C20	0.1 µF	Desacople alimentación principal



MEGAHASH

Cypher: Manual de Hardware

v0.4

Marzo 2019



RFID y acople de Antena

PN7150

Este dispositivo cuenta con cuatro diferentes interfaces de funcionamiento:

Interfaz de Host

Esta interfaz se encarga de la comunicación con el μ P. Este chip utiliza comunicación I²C, y está conectado al canal I2C1. Su dirección de 7 bits es 0x28. La dirección 0x50 es para escritura y la dirección 0x51 es para lectura. Esta dirección puede cambiarse haciendo uso de los pines **I2CADR0** y **I2CADR1**.

Los pines **I2CSDA** y **I2CSCL** son los pines de datos y reloj respectivamente. El pin **IRQ** es utilizado para determinar la disponibilidad de información (por ejemplo, una tarjeta entra en el campo de lectura). Una vez que este pin mande un alto a el μ P se utiliza el comando de lectura en la comunicación I²C.

El nivel de voltaje al que se comunicará el dispositivo es el voltaje en el pin **VDD(PAD)**. Es por ello que se alimenta este pin con una fuente constante de 3.3 V.

El control de encendido y apagado está regulado por el pin **VEN**. Si este pin tiene menos de 0.4 V, el dispositivo está completamente apagado y no se envía energía de la batería al núcleo del dispositivo. El pin enciende el dispositivo al recibir una señal de 1.1 V o más.



Interfaz de reloj

El dispositivo requiere estar conectado a un reloj externo o a un oscilador de cristal. Para el caso, se utiliza un cristal con una frecuencia de 27.12MHz. El modelo de cristal utilizado es uno de los recomendados por el fabricante. Este cristal debe conectarse a los pines **NFC_CLK_XTAL1** y **NFC_CLK_XTAL2**. El pin **CLK_REQ** es utilizado únicamente si se usa un reloj en lugar del cristal, para este caso no es empleado. Este cristal debe tener una capacitancia de carga de 10 pF, por lo que el valor de capacitores que se utilizan para lograrla se da por la siguiente fórmula (asumiendo que ambos son iguales, $C_{16} = C_{17} = C_{Cristal}$):

$$C_{Cristal} = 2 * (C_L - C_{Strau})$$

Asumiendo que la capacitancia parásita de la PCB es de 4pF:

$$C_{Cristal} = 2 * (10pF - 4pF) = 12pF$$

Interfaz de energía

Este dispositivo cuenta con su propia unidad de administración de energía. Puede operar con un rango de voltaje entre 2.75 V y 5.5 V. Se requieren 6 capacitores externos, los cuales se seleccionaron todos con un voltaje máximo de 6.5V y un 10% de tolerancia.

Los pines **VBAT** y **VBAT2** son la entrada de voltaje de la batería para hacer funcionar al dispositivo. El pin **VBAT1** es la fuente para alimentar el LDO de transmisión. Puede ser conectado a la misma fuente de batería o a una fuente externa de 5 V. Su configuración estándar es conectado a los pines **VBAT** y **VBAT2**. **VDD(TX)** es el voltaje de salida del LDO de transmisión. **VDD(TX_IN)** es el voltaje de entrada para energizar la transmisión. El pin **VDD** tiene el voltaje de referencia para trabajar, y los pines **VDDD** y **VDDA** son las entradas de voltaje digital y analógico, respectivamente. **VDD(MID)** es la fuente de voltaje de referencia de entrada para la recepción. Todos los pines **VSS** son conexiones aterrizadas para referencia. Mas información respecto a los niveles de voltaje y modos de funcionamiento se pueden encontrar en su [datasheet](#) y su [guía de diseño de hardware](#).



Interfaz de la Antena

El dispositivo está diseñado para conectarse a una antena por medio de un circuito de acoplamiento, que incluye un filtro de ondas electromagnéticas. Debido al tamaño de la antena, la ruta que toma el circuito de recepción es directamente de la antena y no después del circuito de acople.

El circuito filtro EMC filtra las señales con resonancia entre 15.5 MHz y 17 MHz. La fórmula que determina la frecuencia de resonancia del filtro EMC es:

$$f_{r0} = \frac{1}{2 \pi \sqrt{C_{28} * L_3}}$$

El fabricante de la antena sugiere valores de 560 nH y 180pF, que nos dan una frecuencia de resonancia en el filtro EMC de:

$$f_{r0} = \frac{1}{2 \pi \sqrt{180 \text{ pF} * 560 \text{ nH}}} = 15.852 \text{ MHz}$$

Los valores de los componentes utilizados en el acople son dependientes de la antena, por lo que los valores utilizados son los recomendados por el fabricante de antenas y no por el fabricante de este dispositivo.

Más información puede encontrarse en la [guía de acople y diseño de antenas](#) del PN7150 y el [datasheet](#) de la antena.



Componentes pasivos asociados		
Referencia	Valor	Función
Y2	27.12 MHz 10 pF	Oscilador para control de tiempo
C16, C17	12 pF	Carga del cristal oscilador
C18	1 μ F	Desacople voltaje de referencia VDD(PAD)
C19	4.7 μ F	Desacople alimentación por batería VBAT
C20	1 μ F	Desacople voltajes de referencias (VDD, VDDD y VDDA)
C29	1 μ F	Desacople alimentación de transmisión VDD(TX_IN)
C30	0.1 μ F	Desacople voltaje de referencia para recepción VDD(MID)
C31	0.1 μ F	Desacople alimentación por batería (VBAT1, VBAT2)
C21, C22	1 nF	Acople AC en recepción
C23, C24	180 pF	Filtro EMC
C25, C26	33 pF	Acople de antena con circuito EMC
C27, C28	82 pF	Acople de antena con circuito de transmisión
R20, R21	1.5 k Ω	Puente atenuador de voltaje en recepción
L1, L2	560 nH	Filtro EMC



MEGAHASH

Cypher: Manual de Hardware

v0.4

Marzo 2019



CONEXIONES ELECTRÓNICAS FÍSICAS

El circuito impreso contiene cuatro capas de conexiones. Aunque todas las capas tienen múltiples conexiones, cada una tiene un propósito general. La capa superior es un plano de aterrizaje o referencia a 0 V. La segunda capa contiene las señales de energía en diferentes secciones (5 V y 3.3 V). La tercera capa tiene como propósito esconder las señales desde la memoria microSD o eMMC al SiP, y a su vez transporta otras señales. La capa inferior contiene los componentes, por lo que aquí se encuentran la mayoría de las señales. En las siguientes páginas se pueden ver las capas en ese orden.

Las conexiones electrónicas siguen una serie de reglas para que sea posible su manufactura y no aumentar costos por utilizar tecnología de precisión.

Dimensión	Valor
Tamaño mínimo de líneas	6 mil / 0.1524 mm
Distancia mínima entre líneas	6 mil / 0.1524 mm
Distancia mínima entre línea y pin	0.20 mm
Tamaño menor de agujero	0.35 mm
Grosor de PCB	0.6mm
Distancia mínima al borde	10 mil / 0.254 mm

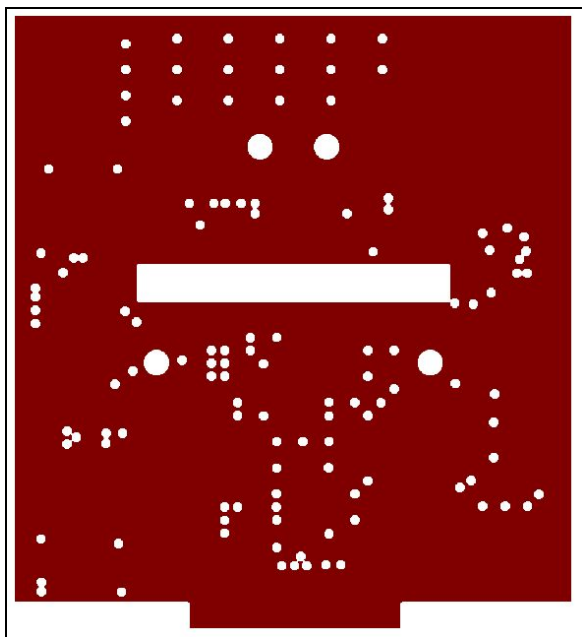


Fig. 1 Capa Superior (Aterrizaje)

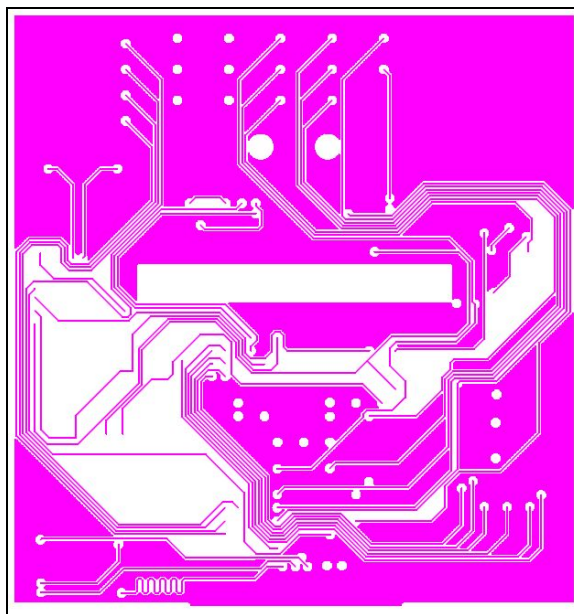


Fig. 3 Capa intermedia 2 (Señales)

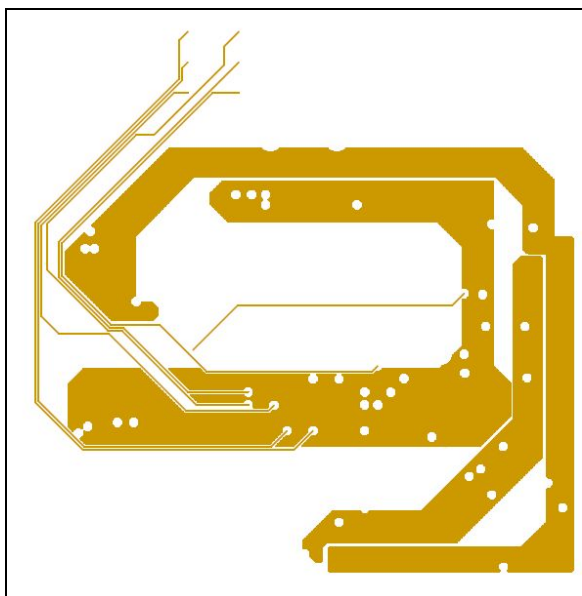


Fig. 2 Capa intermedia 1 (Fuentes)

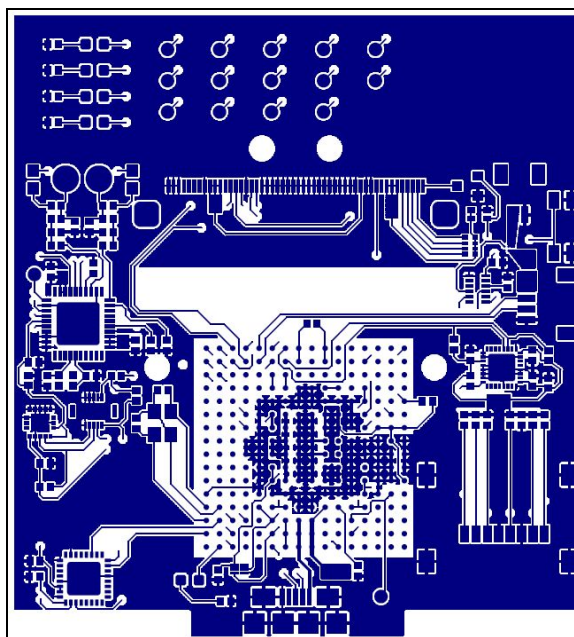


Fig. 4 Capa inferior (Componentes)

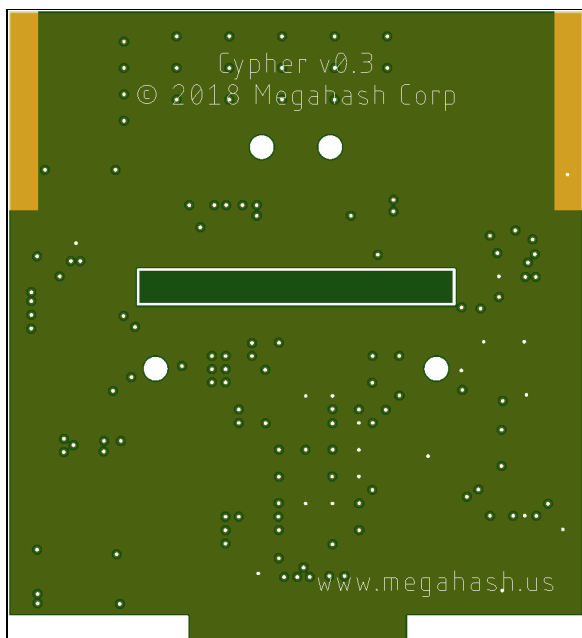


Fig. 5 Vista “Realista” capa superior

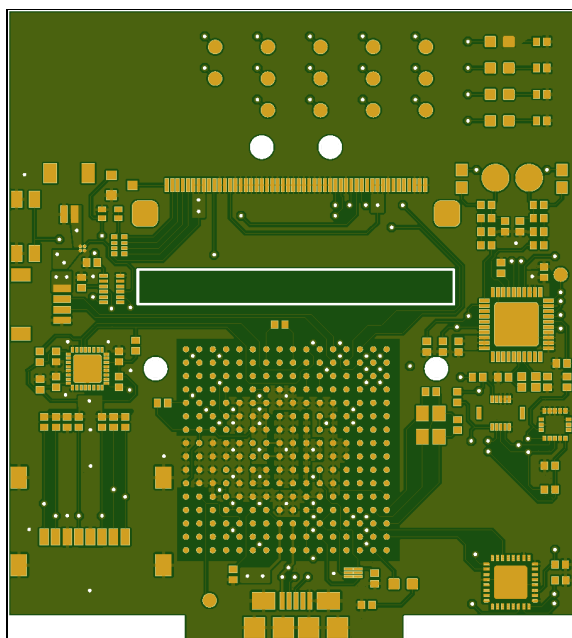


Fig. 6 Vista “Realista” capa inferior



Bill of Materials

Qty	Parts	Value	Manufacturer Code
9	C1, C4, C5, C8, C12, C13, C15, C30, C31	0.1uF	C1005X7R1H104K050BB
4	C2, C18, C20, C29	1uF	CL05A105KO5NNNC
1	C3	10nF	C0402C103K4PAC7867
4	C6, C7, C16, C17	12pF	C0402C120J3GACAUTO
1	C9	10uF	CL05A106MQ5NUNC
3	C10, C11, C14	2.2nF	CL05B222KB5VPNC
1	C19	4.7uF	CL05A475MQ5NRNC
2	C21, C22	1 nF	C0603C102J1HACTU
2	C23, C24	180pF	CL05C181JB51PNC
2	C25, C26	33pF	CL05C330JB51PNC
2	C27, C28	82pF	CL05C820JB5NNNC
5	D1, D2, D3, D4, D5	Green	APGA1602CGC/KA
1	J1	2 POS	SM02B-SRSS-TB(LF)(SN)
1	J2	MicroAB	ZX62-AB-5PA(31)
1	J3	4 POS	SM04B-SRSS-TB(LF)(SN)
2	L1, L2	560nH	LQB15NNR56J10D
1	Q1		MMBT2222A-7-F



Qty	Parts	Value	Manufacturer Code
16	R1, R2, R3, R4, R5, R6 R8, R9, R10, R11, R12, R13, R14, R15, R16, R17	10k	ERJ-2RKF1002X
1	R7	160	ERJ-2RKF1600X
4	R18, R19, R20, R21	1.5k	ERJ-2RKF1501X
1	RN1	1k	EXB-V4V102JV
1	RN2	15	EXB-N8V150JX
1	S1		EVQ-PUK02K
2	TP17, TP18	3 mm	709150001030006
1	U1		STM6601CM2DDM6F
1	U2		TPS22916CNYFPR
1	U3		FT232RQ-REEL
1	U4		OSD3358-512M-BSM
1	U5		SN74LVC1G07DSFR
1	U6		AT97SC3205T-G3M4C-10
1	U7		LSM6DS33TR
1	U8		PN7150B0HN/C11002Y
1	XU1	10 POS	DF37NB-10DS-0.4V(51)
1	XU2	50 pin	62684-502100ALF
1	XU3	Hinged Lid	0472192001
1	Y1	24MHz 9pF	TSX-3225 24.0000MF15X-AC6
1	Y2	27.12MHz 10pF	XRCGB27M120F3M10R0



Los componentes necesarios pero que no están soldados al circuito impreso son los siguientes:

Nombre	Código proveedor	Proveedor
Antena 13.56 MHz	ANFCA-1510-A02	Abracon LLC
Light pipe 1mm	5151003F	Dialight
Batería 3.7V 580mA	403048	General Electronics Battery Co., Ltd
Pantalla TFT	MI0350EAT-7	Multi-inno Technology Co., Ltd
Touchscreen capacitivo	CSK035FF098	Fujian Wiwo Electronic Technology Co., Ltd