

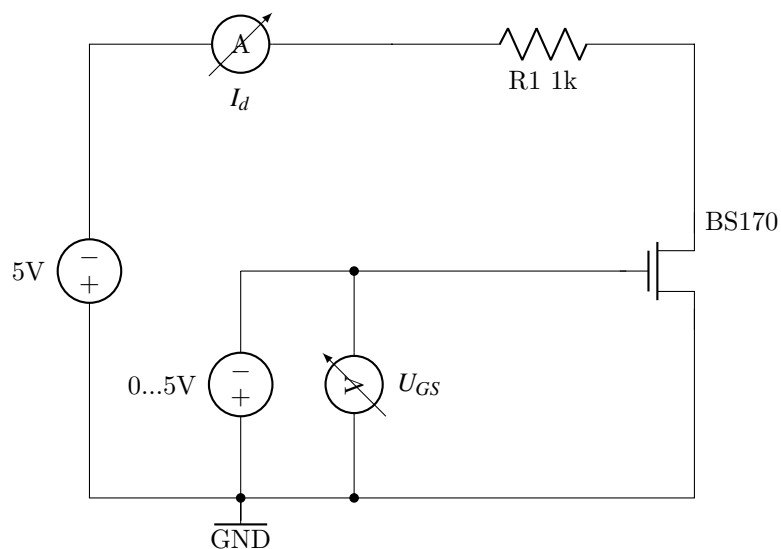
Laboratoria Podstawy Elektroniki			
Kierunek Informatyka	Specjalność –	Rok studiów I	Symbol grupy lab. I1
Temat Laboratorium Tranzystor MOS			Numer lab. 4
Skład grupy ćwiczeniowej oraz numery indeksów Stanisław Jasiewicz(116753), Krzysztof Michalak(132281), Wojciech Regulski(132312), Ewa Rudol(132314)			
Uwagi		Ocena	

1 Cel

Zapoznanie się z zasadami działania oraz zastosowaniem modeli tranzystorów nMOS i pMOS.

2 Pomiary

1. Charakterystyka bramkowa nMOS (1.6)

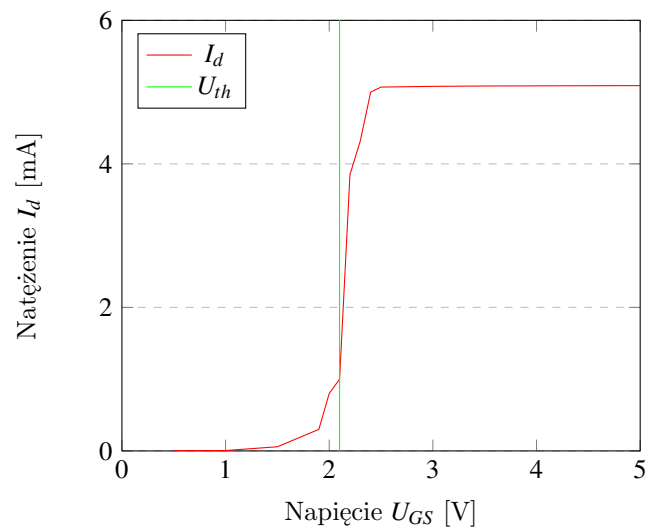


Rysunek 1: Układ do badania charakterystyki bramkowej tranzystora nMOS

- Tabela - wartości prądu drenu I_d w zależności od napięcia Bramka - Źródło U_{GS} zmienianego w zakresie $[0..5]$ V .

Lp.	U_{GS} [V]	I_d [mA]
1	0,5	0,0025
2	1,0	0,0054
3	1,5	0,058
4	1,9	0,3
pom.dod	2,0	0,8
pom.dod	2,1	1,0
pom.dod	2,2	3,85
pom.dod	2,3	4,32
pom.dod	2,4	5,0
5	2,5	5,07
6	3,0	5,08
7	3,5	5,085
8	4,0	5,087
9	4,5	5,089
10	5,0	5,09

Wartości prądu drenu I_d w zależności od napięcia Bramka - Źródło U_{GS}

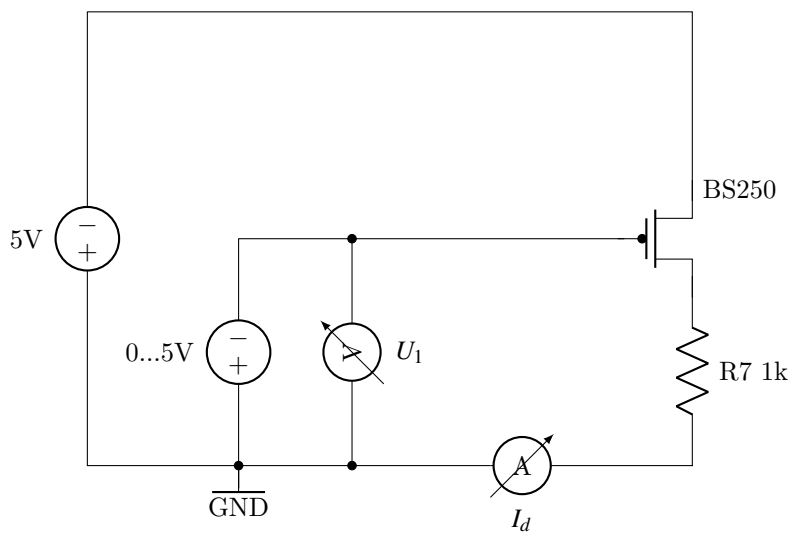


- Odczyt z noty katalogowej producenta:

$$U_{th} = 2,1[V]$$

- Aby tranzystor nMOS przewodził prąd, do elektrody bramki musi zostać doprowadzone napięcie o potencjale dodatnim. Gdy tak się stanie, powstanie w obszarze półprzewodnika leżącego pod bramką tzw. kanał, utworzony za sprawą oddziaływania pola elektrycznego.

2. Charakterystyka bramkowa pMOS (1.7)



Rysunek 2: Układ do badania charakterystyki bramkowej tranzystora pMOS

- Tabela - wartości prądu drenu I_D w zależności od napięcia V_1 wytwarzanego przez zasilacz, przyłożony między bramkę, a dren.

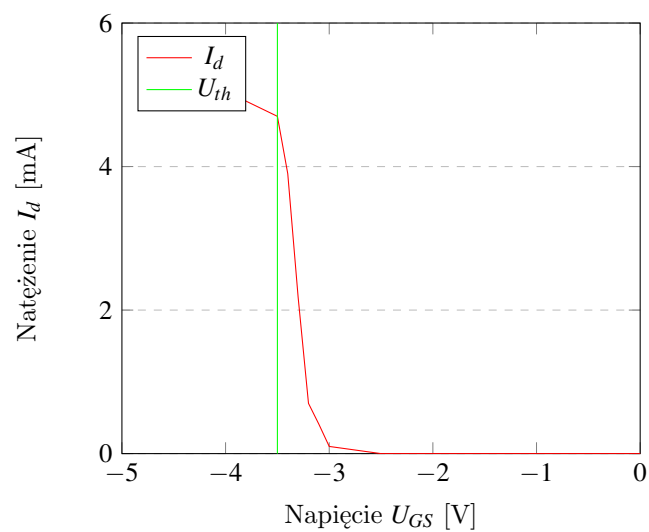
Lp.	V_1 [V]	I_d [mA]
1	0,5	5,07
2	1,0	5,05
3	1,5	4,7
pom.dod.	1,6	3,9
pom.dod.	1,7	2,18
pom.dod.	1,8	0,7
pom.dod.	1,9	0,41
4	2,0	0,10
5	2,5	0,00
6	3,0	0,00
7	3,5	0,00
8	4,0	0,00
9	4,5	0,00
10	5,0	0,00

- Wartości napięć bramka-źródło U_{GS} dla tranzystora pMOS (napięciowe prawo Kirchhoffa)

$$U_{GS} = -(U_{SS} - U_1)$$

Lp.	U_{GS} [V]
1	-4,5
2	-4,0
3	-3,5
pom.dod.	-3,4
pom.dod.	-3,3
pom.dod.	-3,2
pom.dod.	-3,1
4	-3,0
5	-2,5
6	-2,0
7	-1,5
8	-1,0
9	-0,5
10	0,0

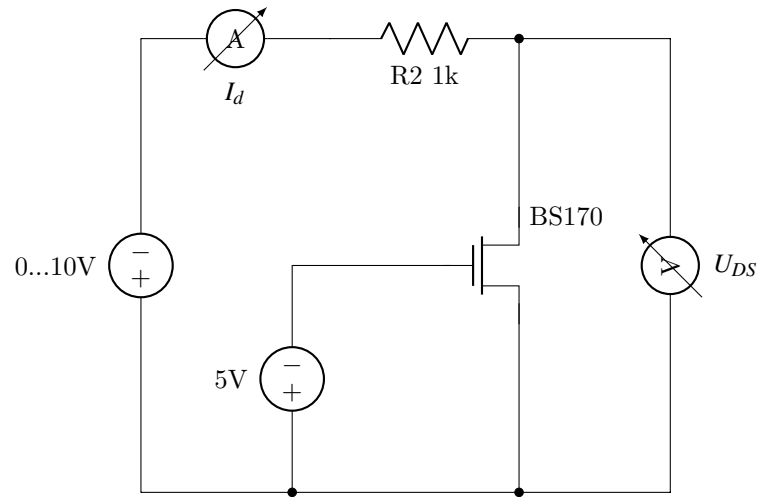
Wartości prądu drenu I_d w zależności od napięcia Bramka - Źródło U_{GS}



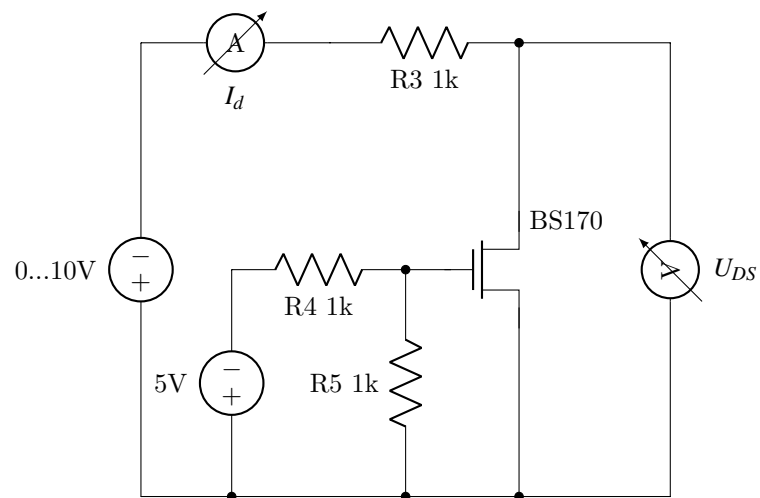
- Odczyt z noty katalogowej producenta:

$$U_{th} = -3,5[V]$$

3. Charakterystyka drenowa nMOS (1.8 i 1.9)



Rysunek 3: Układ do badania charakterystyki drenowej tranzystora nMOS



Rysunek 4: Układ do badania charakterystyki drenowej dla obniżonego napięcia bramki

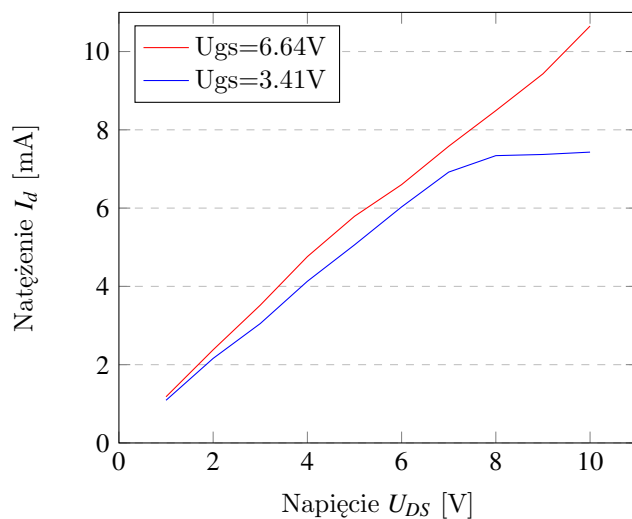
- Tabela - 1.8 $U_{gs} = 6,64V$

Lp.	U_{DS} [V]	I_d [mA]
1	1,0	1,18
2	2,0	2,38
3	3,0	3,52
4	4,0	4,76
5	5,0	5,79
6	6,0	6,60
7	7,0	7,58
8	8,0	8,49
9	9,0	9,43
10	10,0	10,65

- Tabela - 1.9 $U_{gs} = 3,41V$

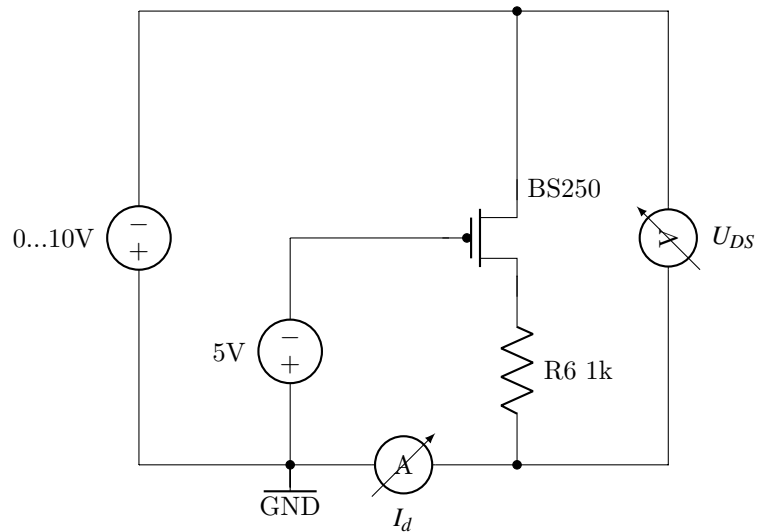
Lp.	U_{DS} [V]	I_d [mA]
1	1,0	1,09
2	2,0	2,16
3	3,0	3,05
4	4,0	4,13
5	5,0	5,06
6	6,0	6,03
7	7,0	6,92
8	8,0	7,34
9	9,0	7,37
10	10,0	7,43

Wartości prądu drenu I_d w zależności od napięcia Dren - Źródło U_{DS}

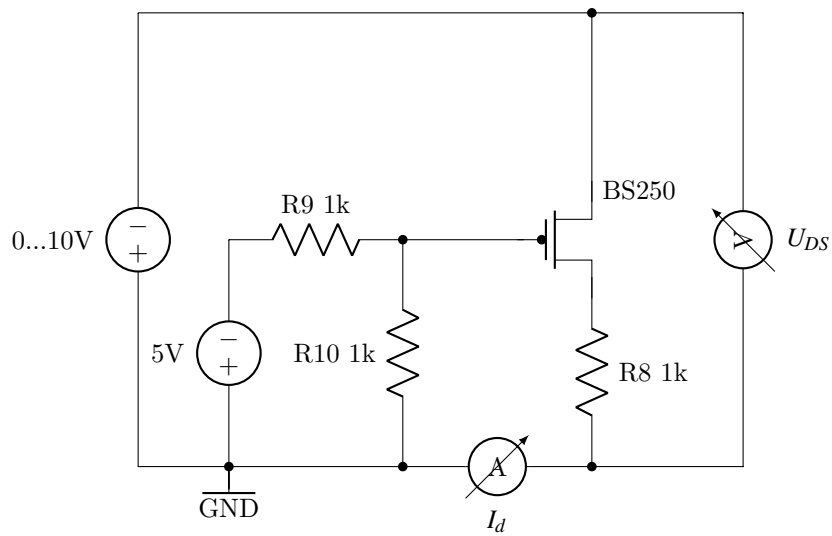


- Im wyższa wartość napięcia bramki tym szybciej rośnie I_d w stosunku do U_{ds} . Przyrost ten jest w przybliżeniu liniowy aż do osiągnięcia obszaru nasycenia, który występuje przy wyższym U_{ds} , gdy jest wyższy U_{gs} . Obszar nasycenia przy obniżonym U_{gs} jest osiągany w okolicach 8V.

4. Charakterystyka drenowa pMOS (1.10, 1.11)



Rysunek 5: Układ do badania charakterystyki drenowej tranzystora pMOS



Rysunek 6: Układ do badania charakterystyki drenowej dla obniżonego napięcia bramki pMOS

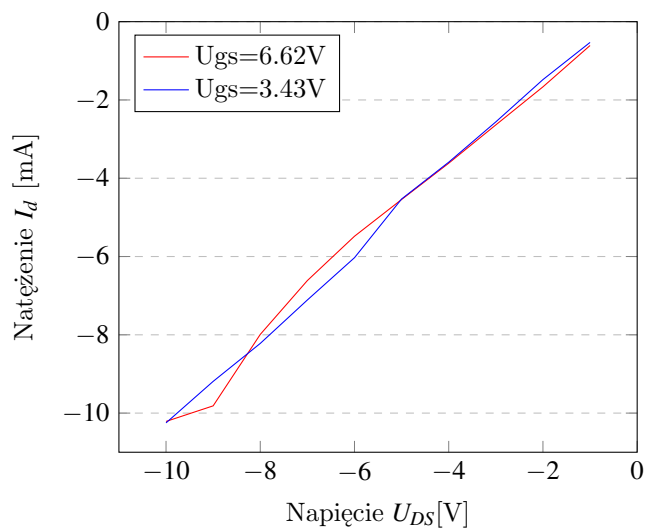
- Tabela - 1.10

Lp.	U_{DS} [V]	I_d [mA]
1	-1,0	-0,609
2	-2,0	-1,665
3	-3,0	-2,637
4	-4,0	-3,616
5	-5,0	-4,543
6	-6,0	-5,482
7	-7,0	-6,614
8	-8,0	-7,99
9	-9,0	-9,815
10	-10,0	-10,213

- Tabela - 1.11

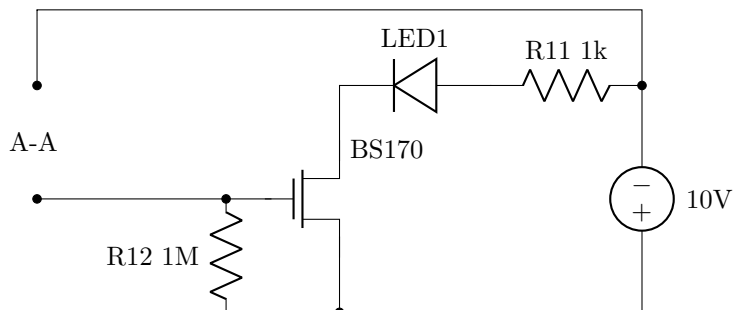
Lp.	U_{DS} [V]	I_d [mA]
1	-1,0	-0,53
2	-2,0	-1,48
3	-3,0	-2,56
4	-4,0	-3,59
5	-5,0	-4,53
6	-6,0	-6,03
7	-7,0	-7,11
8	-8,0	-8,22
9	-9,0	-9,19
10	-10,0	-10,25

Wartości prądu drenu I_d w zależności od napięcia Dren - Źródło U_{DS}

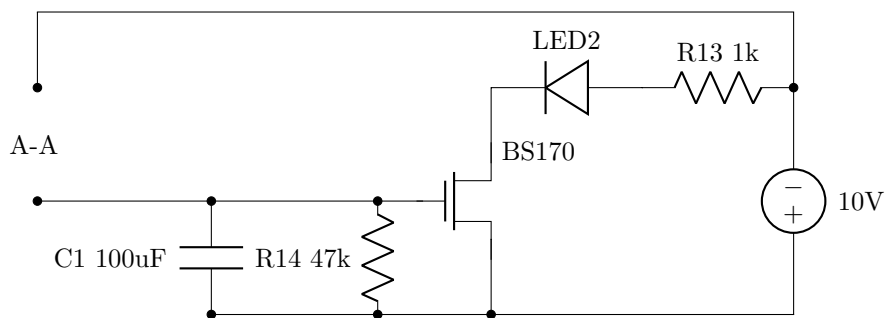


- Dla różnych wartości napięcia bramki krzywe natężenia prądu w funkcji napięcia U_{DS} były takie same (liniowe). Wartość napięcia bramki nie wpływa na kształt zarejestrowanych charakterystyk drenowych.

5. Tranzystor nMOS jako przełącznik (1.14, 1.15)



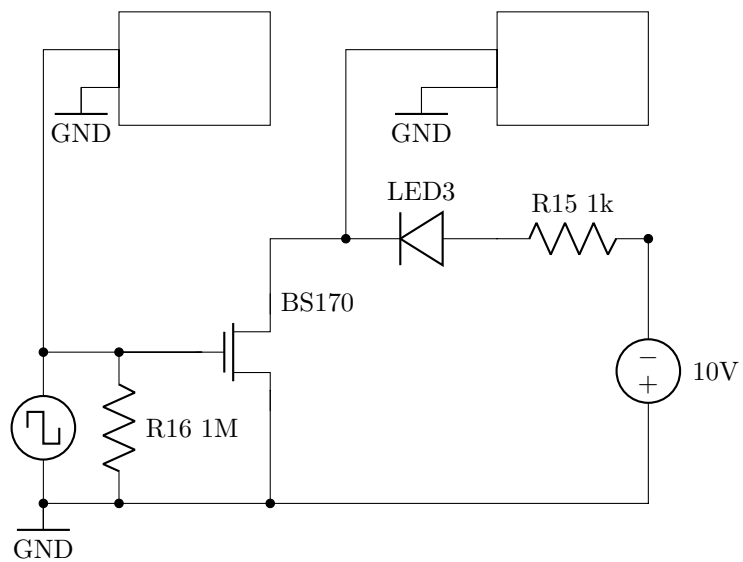
Rysunek 7: Schemat układu do badania tranzystora nMOS w roli przełącznika



Rysunek 8: Model układu z opóźnieniem wyłączenia

- Praca nMOS w roli przełącznika może znaleźć zastosowanie w układach cyfrowych opartych o logikę dwustanową, gdzie może on sterować przepływem prądu przez załączanie lub wyłączanie. Napięcie może być wykorzystane do sterowania przepływem prądu, ponieważ wymuszenia napięcia między bramką a źródłem wyższego niż napięcie progowe jest warunkiem załączenia tranzystora nMOS.

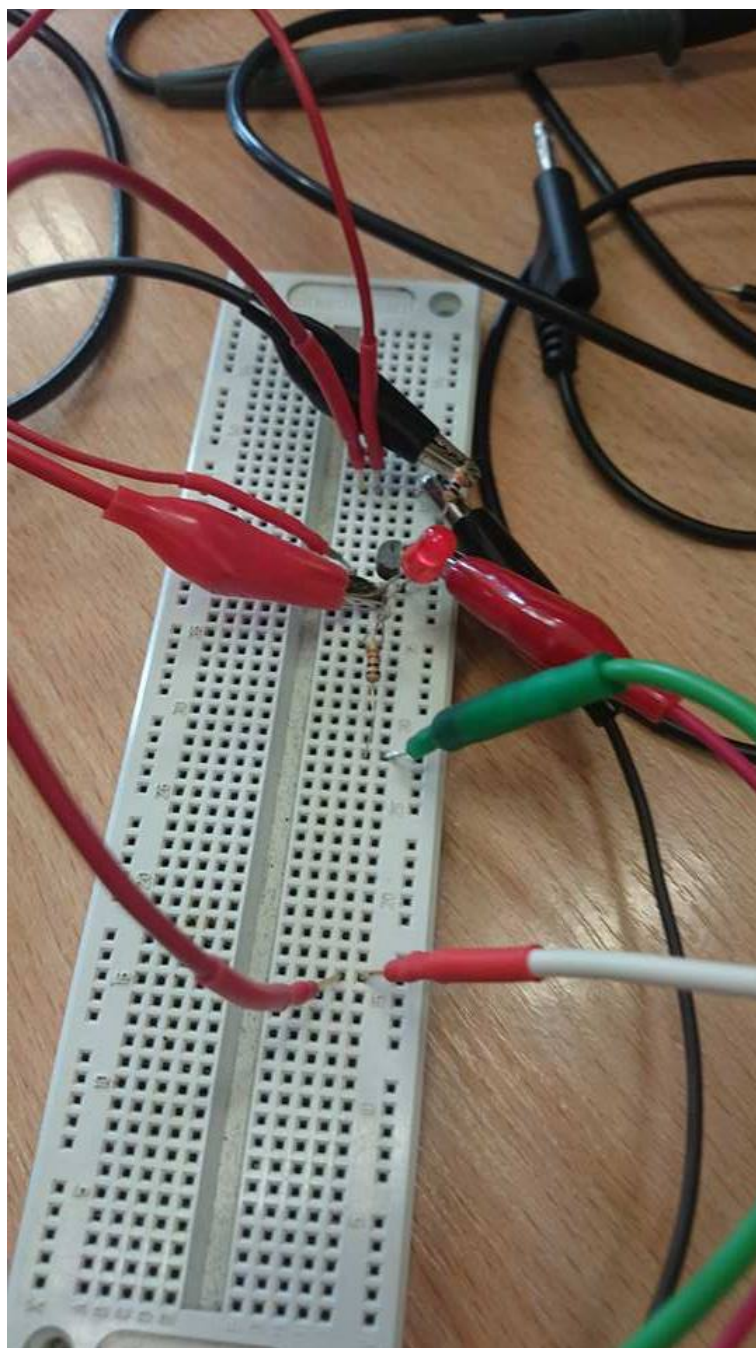
6. Czas załączania tranzystora (1.17)



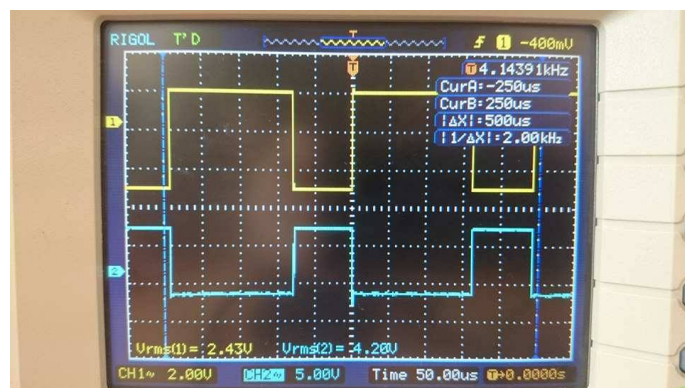
Rysunek 9: Obwód do pomiaru czasu przełączenia

- Częstotliwość pobudzenia: 6,05 [kHz]
- Maksymalna stabilna częstotliwość pracy układu tranzystora i diody LED:

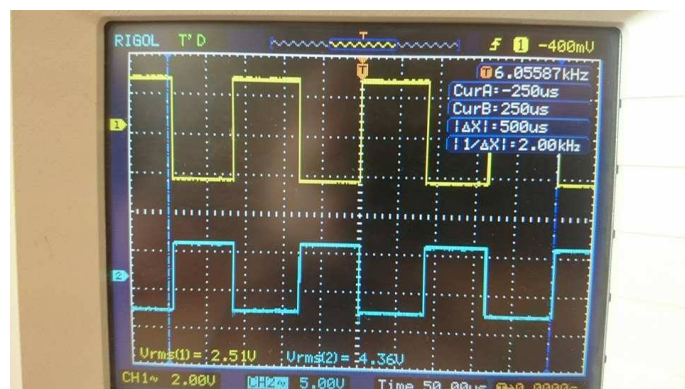
$$f_{max} = \frac{1}{td} = \frac{1}{20 * 10^{-9}} = 5 * 10^7 [Hz]$$



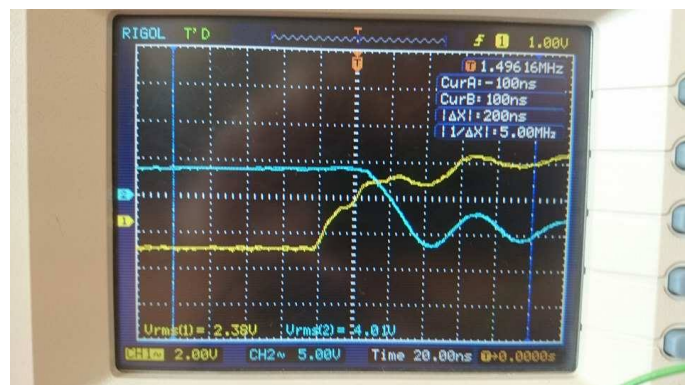
Rysunek 10: Zapalona dioda dla dużego wypełnienia



Rysunek 11: Małe wypełnienie



Rysunek 12: Duże wypełnienie



Rysunek 13: Przebieg wyłączenia tranzystora (czas wyłączenia 20ns)

3 Wnioski

Zaobserwowano zwiększoną intensywność świecenia diody dla większego wypełnienia przebiegu sterującego PWM względem wypełnienia mniejszego. Różnica ta nie została w sposób wyraźny uchwycona na zdjęciu, dlatego przedstawiono jedynie diodę świecącą dla dużego wypełnienia.

Należy zwrócić uwagę na charakterystykę drenową tranzystora pMOS. Dla obu obwodów wyszła ona liniowa, nie została również zaobserwowana różnica w przebiegu wynikająca z różnych wartości napięcia bramki. Wyniki te nie są zgodne z oczekiwaniami. Charakterystyka drenowa tranzystora pMOS powinna bowiem wyglądać analogicznie do charakterystyki tranzystora nMOS. Przebieg dla niższego napięcia powinien zaczynać się dla wyższej wartości prądu i stopniowo zrównywać się z nim od góry.

4 Bibliografia

- Encyclopaedia Britannica <http://www.britannica.com/>
- Nosal Z., Baranowski J. Układy elektroniczne, WNT, Warszawa 2003r.
Noty katalogowe producenta:
- <http://pl.farnell.com/fairchild-semiconductor/bs170/n-channel-mosfet-500ma-60v-to/dp/1017687?mckv=sdc>
- <http://pl.farnell.com/diodes-inc/bs250fta/mosfet-p-ch-45v-0-09a-sot23-3/dp/1843731>