

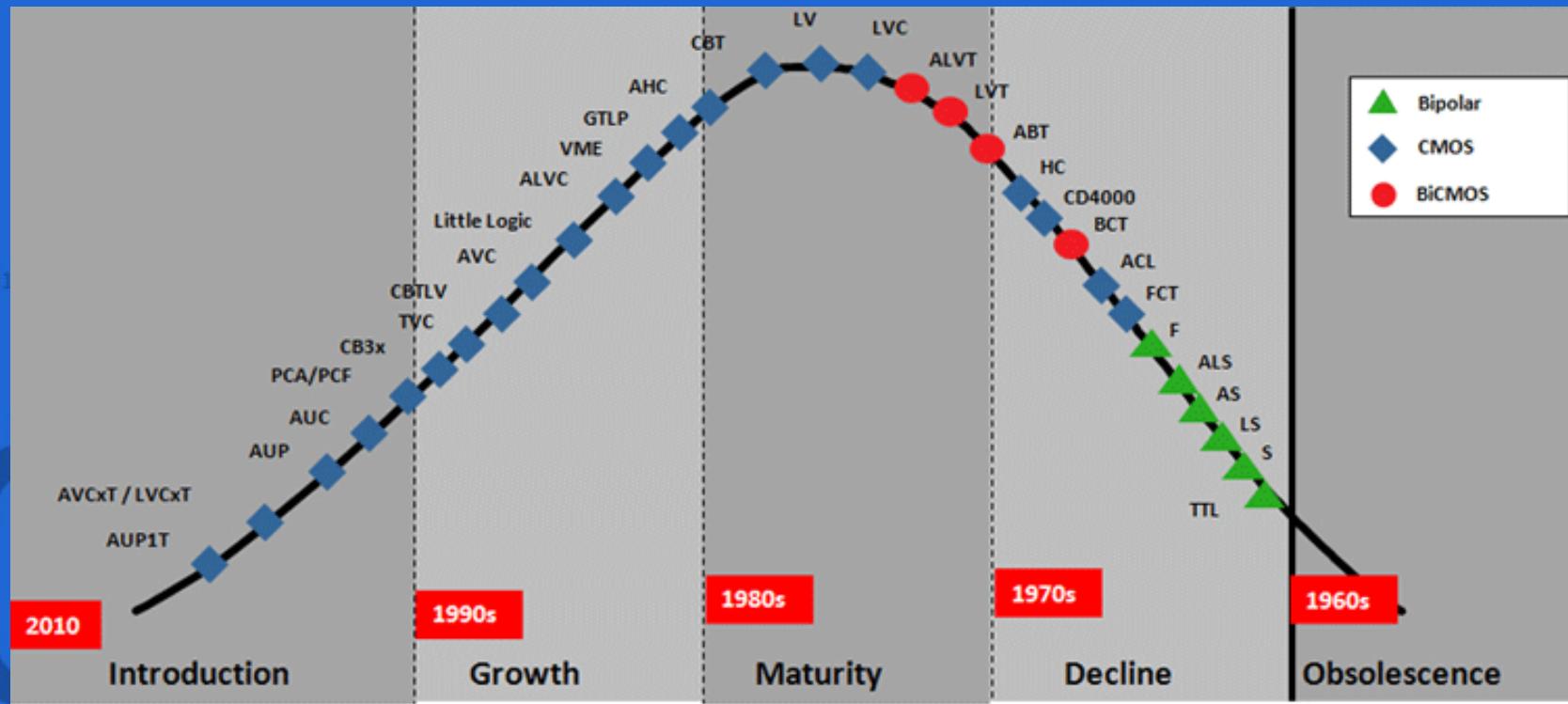
Sławomir Kulesza

Technika cyfrowa Układy serii TTL

Wykład dla studentów III roku Informatyki

Wersja 2.1, 25/10/2011

Czas życia generacji układów logicznych



Porównanie parametrów rodzin

ZESTAWIENIE PORÓWNAWCZE PARAMETRÓW GŁÓWNYCH KLAS CYFROWYCH UKŁADÓW SCALONYCH

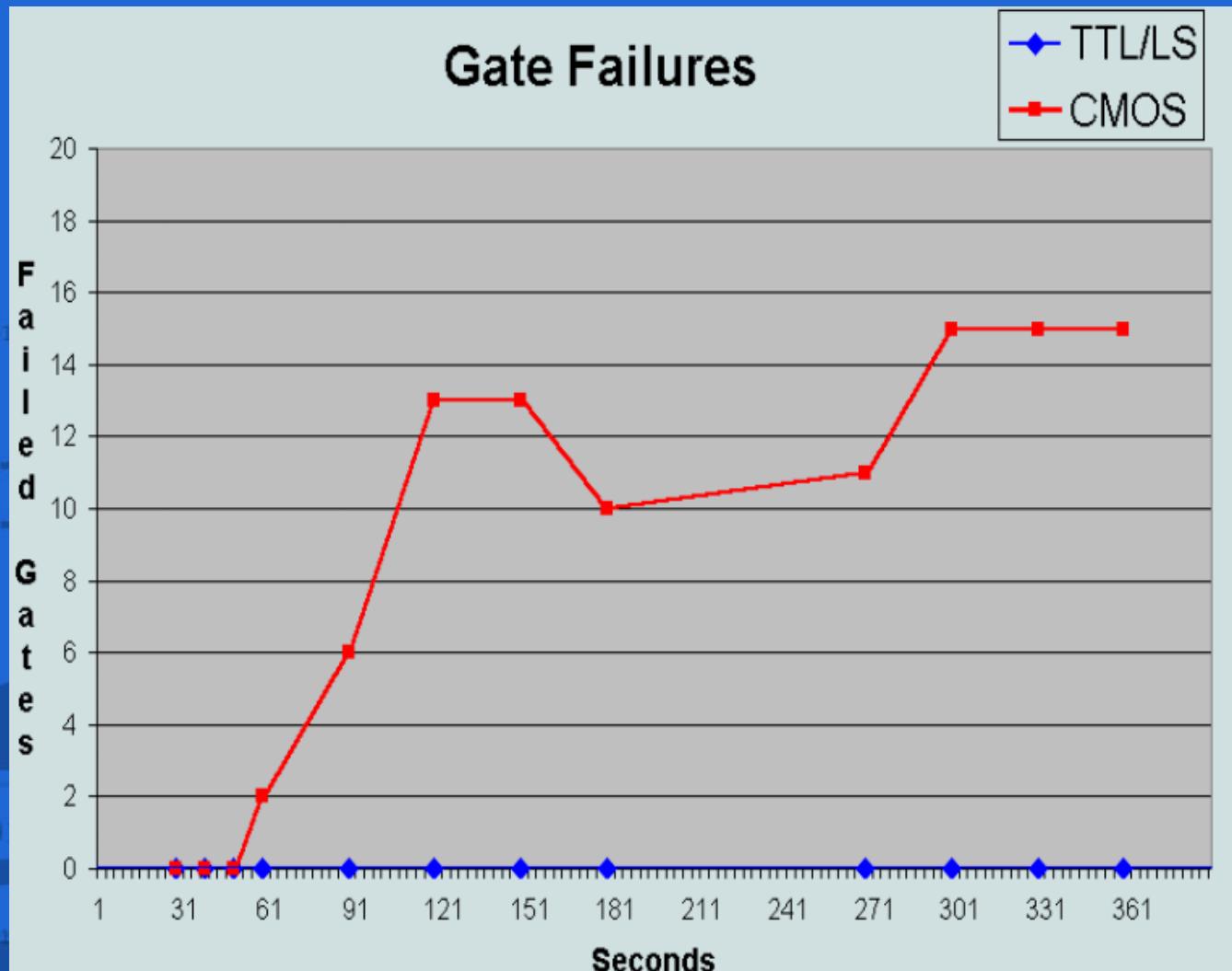
Tablica 5.1

Parametr	Klasa lub rodzina	ECL SSI	TTL SSI	MOS LSI, VLSI	CMOS SSI	I ² L LSI	GaAs MSI
Czas propagacji $t_{p,typ}$ [ns]		0.3÷2	1.7÷33	0.2÷50	3÷125	7÷50	0.05÷0.2
Moc strat na bramkę P_{typ} [mW]		25÷60	1÷23	0.1÷15	1 μ W statyczna, ~ 1 mW przy 1 MHz	4÷300 μ W	0.1÷1
Współczynnik dobroci D_{typ} [pJ]		15÷60	4÷138	0.2÷75	10 ⁻² statyczna, 50÷150° przy 1 MHz	0.2÷2	0.01÷0.2
Obciążalność statyczna wyjściowa N_{max}		60÷90	10	> 20	50	1÷10	
Margines zakłóceń M_{typ} [V]		~0.2	1	0.7÷1.5	0.45 U_{DD}	0.45 U_{DD}	
Impedancja wyjściowa [Ω]		6÷10	10	0.5÷10k	800		
Częstotliwość zegarowa f_{max} [MHz]		150÷1200	3÷150	2÷30	5÷150	1÷20	1÷10 GHz
Zasilanie [V]		$-5.2 \pm 10\%$	$5 \pm 10\%$	Jedno do trzech napięć w zakresie $-15 \text{ V} \dots +15 \text{ V}$ typowo tylko $+5 \text{ V}$ (NMOS)			
Asortyment		średni	bardzo duży	duży	duży	maly	maly

Porównanie cech rodzin

characteristic	family			
	TTL -ALS	CMOS -ACT	ECL 100K	GaAs
propagation delay	5 ns	5 ns	0.75 ns	185 pico sec
power dissipation per gate	1.3 mW	5 μ W, but increases quickly with speed	60 mw	10 mW
fanout to other chips in family	good VVV	excellent VVVV	excellent	
noise margin	good	ACT is same as TTL	OK	poor
power supply tolerance	$\pm 5\%$	2–6 volts	OK	
IC transistor packing density	good	excellent	poor	not so good
cost \$\$	38¢ for 74ALS00	31¢ for 74HCT00	high cost	high cost
comments		breakthrough in short t_{pd}	hard to interface to TTL or CMOS	no oxide like SiO_2

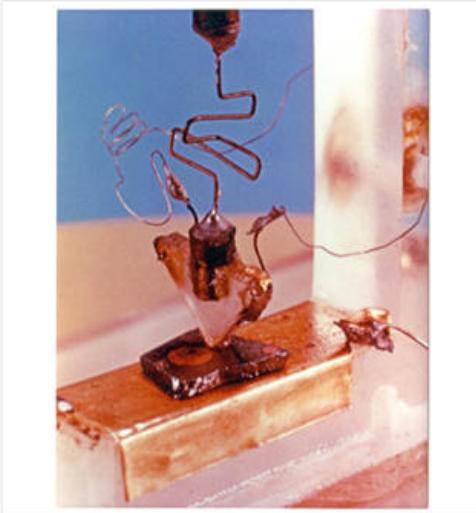
Odporność TTL na promieniowanie jonizujące



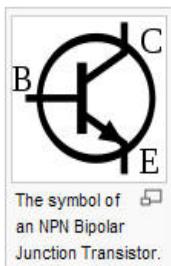
Tranzystor bipolarny

Bipolar Junction Transistor - BJT

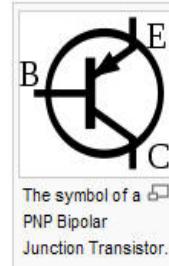
The BJT can be observed as a: CurrentSource controlled by a Current $I_C = h_{FE} * I_B$



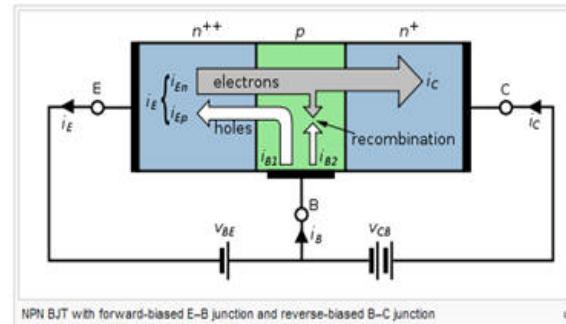
Bardeen and Brattain's first point-contact transistor



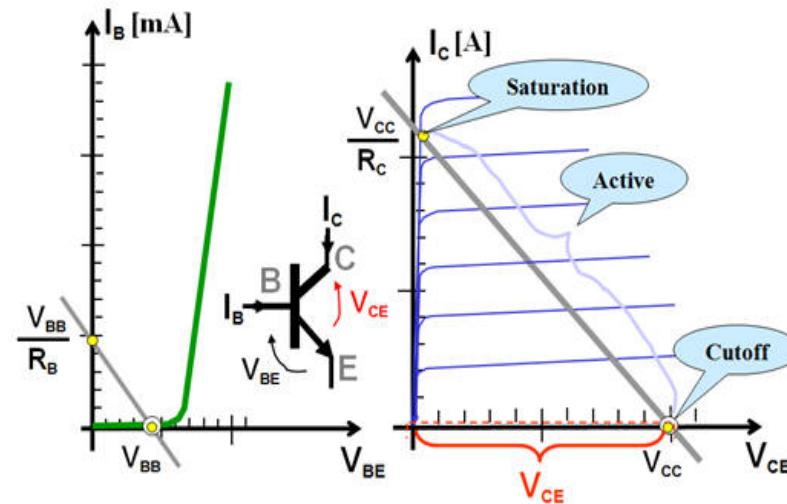
The symbol of an NPN Bipolar Junction Transistor.



The symbol of a PNP Bipolar Junction Transistor.

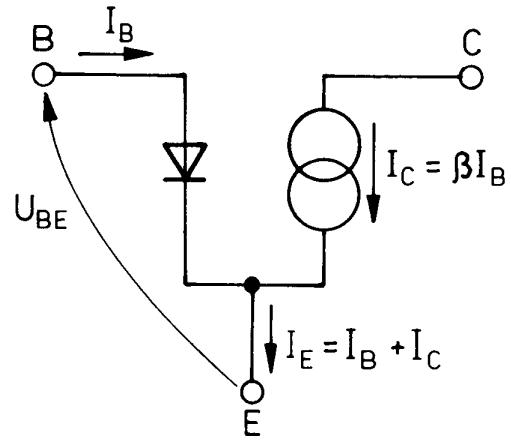


NPN BJT with forward-biased E-B junction and reverse-biased B-C junction

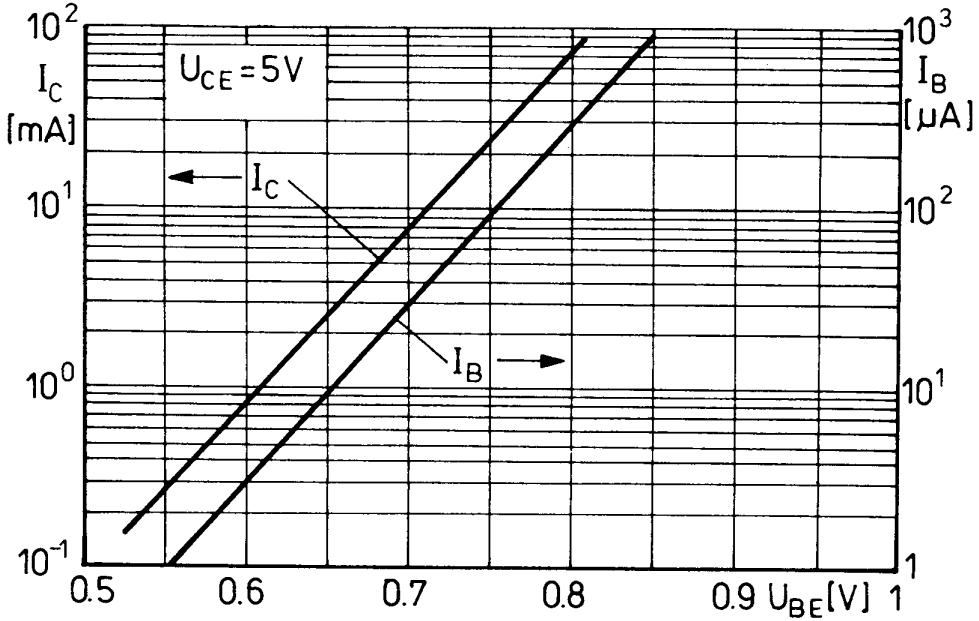


Tranzystor bipolarny (model)

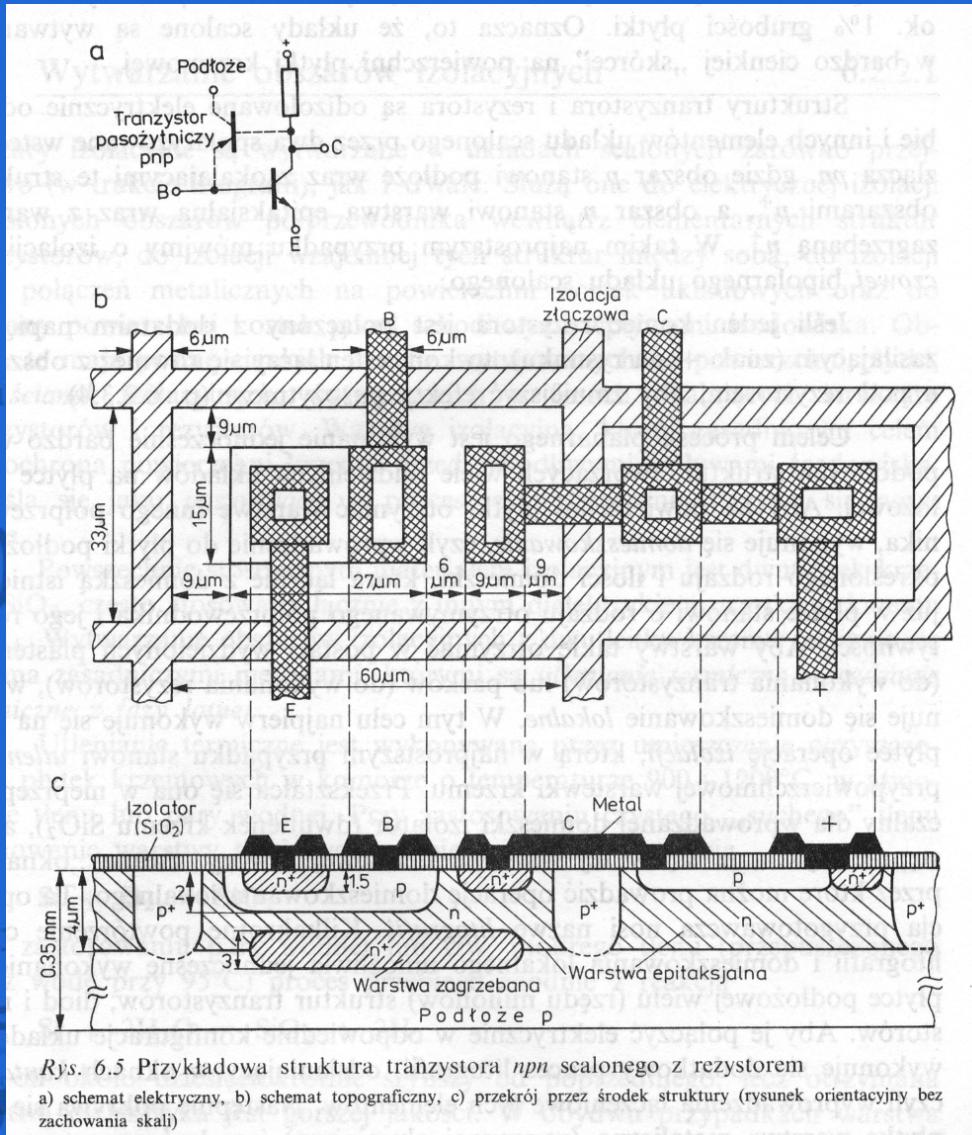
a



b



Tranzystor bipolarny wykonany w technice epiplanarnej

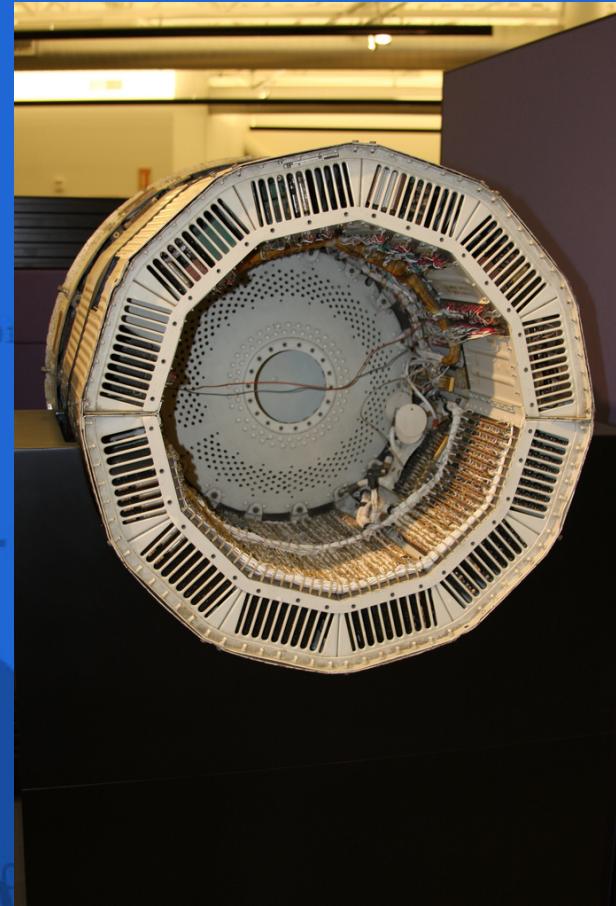
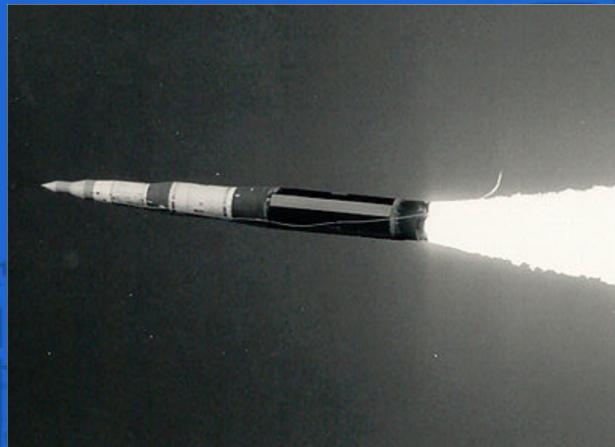


Układy TTL (Transistor-Transistor Logic)

Rozwój rodziny TTL zapoczątkowany dwoma programami w USA:

- rozwój układów sterowania międzykontynentalnych pocisków balistycznych typu Minuteman (1962),
- program kosmiczny Apollo.

Pierwotna cena bramki 7400 – 1000 USD, inżynier specj. – 9500 USD/rok (1963).



Parametry układów TTL

ZESTAWIENIE ZASADNICZYSTYCH PARAMETRÓW SERII W RODZINIE UKŁADÓW TTL

Tablica 7.1

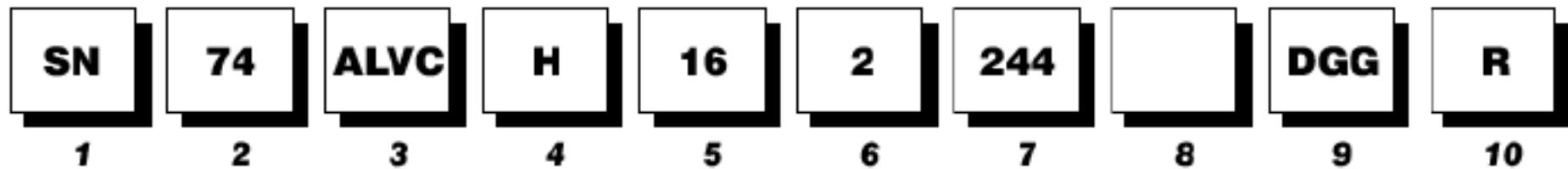
Parametr	Seria	Technologia izolacji złączowej z domieszkowaniem złotem			Technologia izolacji złączowej z diodami Schottky'ego		Technologia izolacji tlenkowej z diodami Schottky'ego		
		Standar-dowa	H szybka (przesta-rzala)	L malej mocy (przesta-rzala)	S Schottky'ego	LS Schottky'ego malej mocy	FAST	ALS ulepszo-na LS	AS ulepszo-na S
Czas propagacji t_{prop} (ns) przy $N = 10$	10	6	33	3	9	3.5	5	1.7	
Moc strat na bramkę P_{typ} (mW)	10	23	1	19	2	5.5	1	8	
Współczynnik dobroci $D_{typ} = t_{prop} \cdot P_{typ}$ (pJ)	100	138	33	57	18	19.2	5	13.6	
Maksymalna częstotliwość pracy (f_{max}) _{typ} (MHz)	25	50	3	125	33	125	50	200	
Prąd wyjściowy $I_{OH\max}$ (mA)	0.4	1	0.5	1	0.4	1	0.4	2	
Prąd wyjściowy $I_{OL\max}$ (mA)	16/16	20/20	2/3.6	20/20	4/8	20/20	4/8	20/20	
Prąd wejściowy $I_{IL\max}$ (mA)	1.6	2	0.18	2	0.4	0.6	0.2	0.5	
Obciążalność N_{max}	10	10	10/20*	10	10/20*	33	20/40*	40/48*	

* w odmianach 54/74

Parametry nominalne bramek TTL

Parametr \ Seria		74	74S	74LS
U_{CC}	V		$5\pm 5\%$	
$U_{CC\ max}$	V		7	
U_{IL}	V	$-0,5\div+0,8$	$-1,2\div+0,8$	$-1,5\div+0,8$
U_{OL}	V	$0\div 0,4$	$0\div 0,5$	$0\div 0,5$
U_{IH}	V		$2\div 5,5$	
U_{OH}	V	$2,4\div 5$	$2,7\div 5$	$2,7\div 5$
$I_{OL\ max}$	mA	16	20	8
t_{pLH}	ns	8	3	10
t_{pHL}	ns	12	3	9
N	—	10	10	20
ΔU_L	V	0,4	0,3	0,3
ΔU_H	V	0,4	0,7	0,7

Kodowanie układów TTL (US)



1 Standard Prefix

Example: SNJ – Conforms to MIL-PRF-38535 (QML)

2 Temperature Range

Examples: 54 – Military
T4 – Commercial

4 Special Features

Examples: Blank = No Special Features
D – Level-Shifting Diode (CBTD)
H – Bus Hold (ALVCH)
R – Damping Resistor on Inputs/Outputs (LVCR)
S – Schottky Clamping Diode (CBTS)

5 Bit Width

Examples: Blank = Gates, MSI, and Octals
1G – Single Gate
8 – Octal IEEE 1149.1 (JTAG)
16 – Widebus™ (16, 18, and 20 bit)
18 – Widebus IEEE 1149.1 (JTAG)
32 – Widebus+™ (32 and 36 bit)

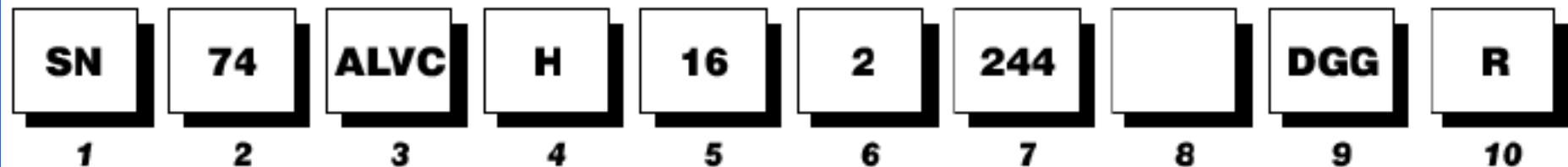
6 Options

Examples: Blank = No Options
2 – Series-Damping Resistor on Outputs
4 – Level Shifter
25 – 25-Ω Line Driver

3 Family

Examples: Blank – Transistor-Transistor Logic
ABT – Advanced BiCMOS Technology
ABTE – Advanced BiCMOS Technology/
Enhanced Transceiver Logic
AC/ACT – Advanced CMOS Logic
AHC/AHCT – Advanced High-Speed CMOS Logic
ALB – Advanced Low-Voltage BiCMOS
ALS – Advanced Low-Power Schottky Logic
ALVC – Advanced Low-Voltage CMOS Technology
AS – Advanced Schottky Logic
AVC – Advanced Very Low-Voltage CMOS Logic
BCT – BiCMOS Bus-Interface Technology
CBT – Crossbar Technology
CBTLV – Low-Voltage Crossbar Technology
F – F Logic
FB – Backplane Transceiver Logic/Futurebus+
GTL – Gunning Transceiver Logic
HC/HCT – High-Speed CMOS Logic
HSTL – High-Speed Transceiver Logic
LS – Low-Power Schottky Logic
LV – Low-Voltage CMOS Technology
LVC – Low-Voltage CMOS Technology
LVT – Low-Voltage BiCMOS Technology
S – Schottky Logic
SSTL – Stub Series-Terminated Logic
TVC – Translation Voltage Clamp Logic

Kodowanie układów TTL (US)



7 Function

Examples: 244 – Noninverting Buffer/Driver
374 – D-Type Flip-Flop
573 – D-Type Transparent Latch
640 – Inverting Transceiver

8 Device Revision

Examples: Blank = No Revision
Letter Designator A–Z

10 Tape and Reel

Devices in the DB and PW package types include the R designation for reeled product. Existing products designated as LE may maintain that designation, but are being converted to R.

Examples:

Existing Nomenclature – SN74LVTxxxDBLE
New Nomenclature – SN74LVTxxxADBR

LE – Left Embossed (valid for DB and PW packages only)
R – Standard (valid for all surface-mount packages
except some DB and PW devices)

There is no functional difference between LE and R designated products, with respect to the carrier tape, cover tape, or reels used.

9 Packages

Examples: D, DW – Small-Outline Integrated Circuit (SOIC)
DB, DL – Shrink Small-Outline Package (SSOP)
DBB, DGV – Thin Very Small-Outline Package (TWSOP)
DBQ – Quarter-Size Outline Package (QSOP)
DBV, DCK – Small-Outline Transistor Package (SOT)
DGG, PW – Thin Shrink Small-Outline Package (TSSOP)
FK – Leadless Ceramic Chip Carrier (LCCC)*
FN – Plastic Leaded Chip Carrier (PLCC)
GB – Ceramic Pin Grid Array (CPGA)*
GKE, GKF – MicroStar BGA™ Low-Profile Fine-Pitch Ball Grid Array (LFBGA)
HFP, HS, HT, HV – Ceramic Quad Flatpack (CQFP)*
J, JT – Ceramic Dual-In-Line Package (CDIP)*
N, NP, NT – Plastic Dual-In-Line Package (PDIP)
NS, PS – Small-Outline Package (SOP)
PAG, PAH, PCA, PCB, PM, PN, PZ – Thin Quad Flatpack (TQFP) or Thin Shrink Small-Outline Package (TSSOP)
PH, PQ, RC – Quad Flatpack (QFP)
W, WA, WD – Ceramic Flatpack (CFP)*

* Military Only

Kodowanie układów TTL (PL)

- Pierwszy znak — litera — określa wykonanie:
U — układ scalony półprzewodnikowy monolityczny wykonany w technologii bipolarnej,
M — układ scalony półprzewodnikowy monolityczny wykonany w technologii unipolarnej.
- Drugi znak — litera — określa spełnianą funkcję:
C — układy cyfrowe,
L — układy liniowe (analogowe).
- Trzeci znak — litera — określa zastosowanie:
X — wykonanie prototypowe, doświadczalne,
Y — wykonanie do zastosowań w sprzęcie profesjonalnym,
A — do zastosowań specjalnych.
Brak litery oznacza wyrób do zastosowań w sprzęcie powszechnego użytku.
Uwaga. Każda firma produkująca układy cyfrowe wprowadza na wyżej wymienione pozycje własne oznaczenia. Dalsze informacje dotyczące kolejnych pozycji są już bardziej uniwersalne i odnoszą się do produktów wielu firm.

Kodowanie układów TTL (PL)

- Kolejny znak — cyfra — określa zakres dopuszczalnej temperatury otoczenia.
 - 1 — zakres inny niż wymienione poniżej,
 - 4 — od -55 do $+85^{\circ}\text{C}$,
 - 5 — od -55 do $+125^{\circ}\text{C}$,
 - 6 — od -40 do $+85^{\circ}\text{C}$,
 - 7 — od 0 do $+70^{\circ}\text{C}$,
 - 8 — od -25 do $+85^{\circ}\text{C}$.
- Kolejny znak — cyfra — określa numer serii. Dodatkowo mogą wystąpić jedna lub dwie litery określające rodzaj serii:

Dla układów TTL:

- Brak litery — seria standardowa,
L — seria małej mocy,
H — seria o zwiększonej szybkości,
S — seria Schottky'ego (bardzo szybka),
LS — seria Schottky'ego o małym poborze mocy,
F — seria szybka,
ALS — ulepszona Schottky'ego małej mocy,
AS — ulepszona Schottky'ego (najszybsza).

Dla układów CMOS:

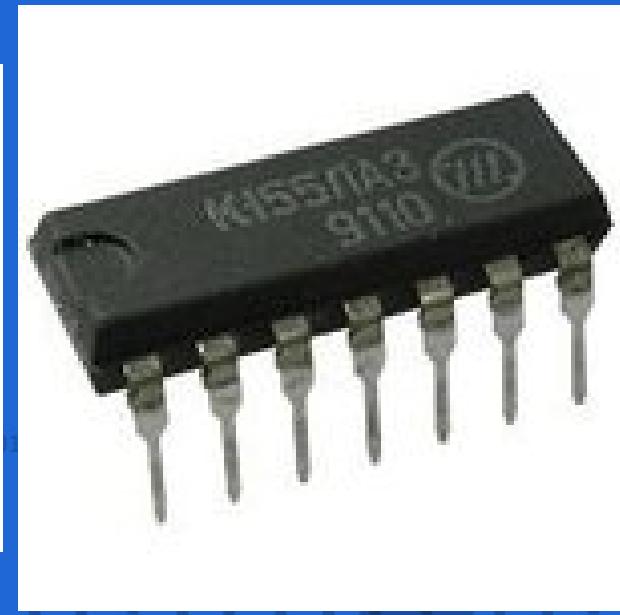
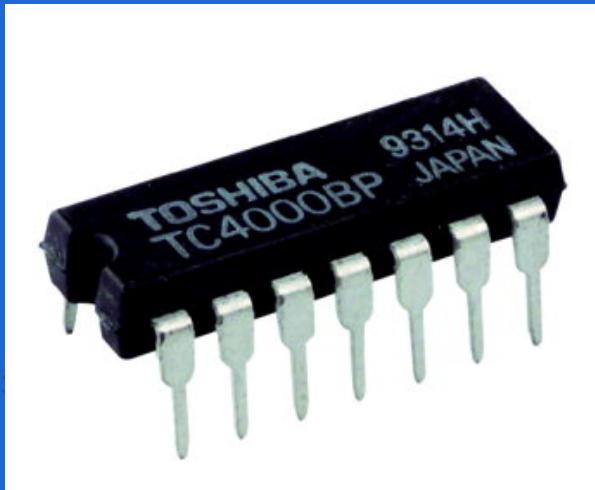
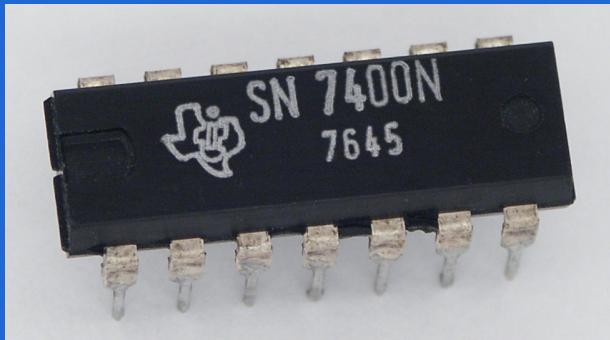
- HC — szybkie układy CMOS,
HCT — szybkie układy CMOS kompatybilne z układami TTL,
AC — ulepszone szybkie układy CMOS (można spotkać także oznaczenie ACL),
ACT — ulepszone szybkie układy CMOS kompatybilne z układami TTL.

Kodowanie układów TTL (PL)

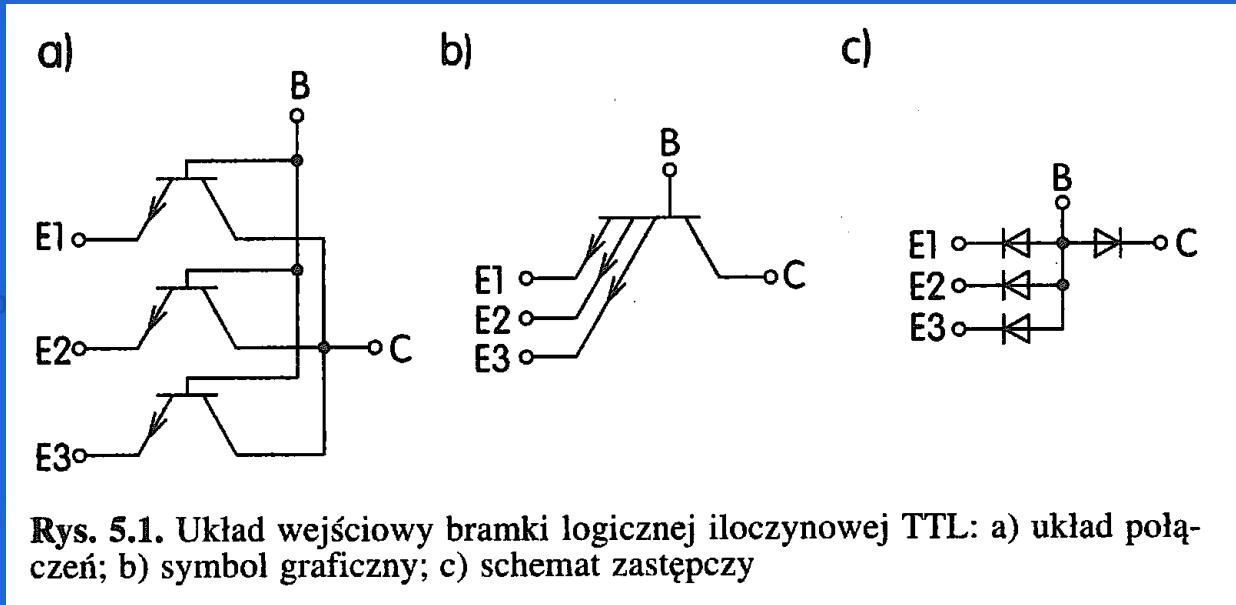
- Kolejne znaki — dwie lub trzy cyfry — są liczbą porządkową określającą rodzaj elementu.
- Na końcu może wystąpić jeszcze litera określająca rodzaj obudowy (F, S, H, J, N, L, K, M, P, R, T). Na przykład:
N — obudowa dwurzędowa plastykowa (typu DIL — ang. *Dual In Line*),
K — obudowa czterorzędowa plastykowa.

Na przykład oznaczenie UCY74LS132N należy rozumieć jako: układ scalony półprzewodnikowy monolityczny wykonany w technologii bipolarnej (U), cyfrowy (C), do zastosowań w sprzęcie profesjonalnym (Y), o dopuszczalnych temperaturach otoczenia w zakresie od 0°C do +70°C, o numerze seryjnym 4, serii układów Schottky'ego (bardzo szybkich) małej mocy. Jest to układ zawierający w dwurzędowej obudowie plastykowej (N) cztery dwuwejściowe bramki NAND z przerzutnikiem Schmitta (132).

Istna wieża Babel...



Wejścia bramek TTL – tranzystory wieloemitoerowe

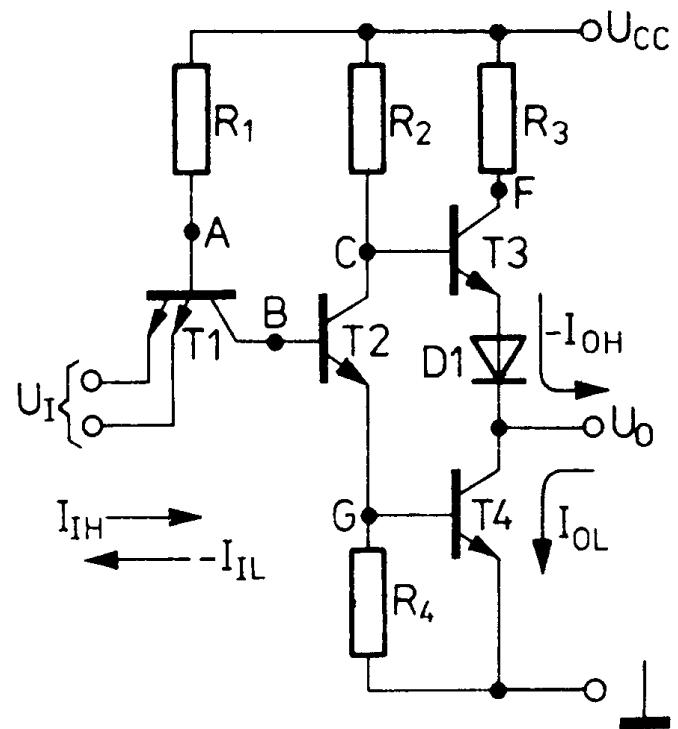
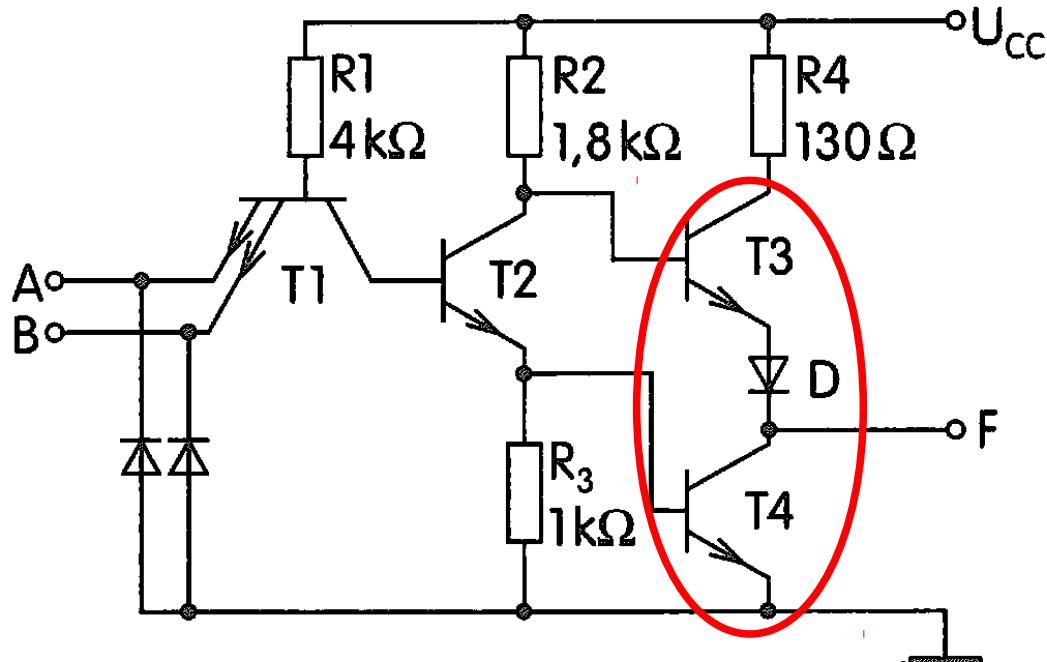


Rys. 5.1. Układ wejściowy bramki logicznej iloczynowej TTL: a) układ połączeń; b) symbol graficzny; c) schemat zastępczy

Układ zapewnia stabilniejszą i szybszą pracę niż w przypadku wielu osobnych tranzystorów (lub diod).

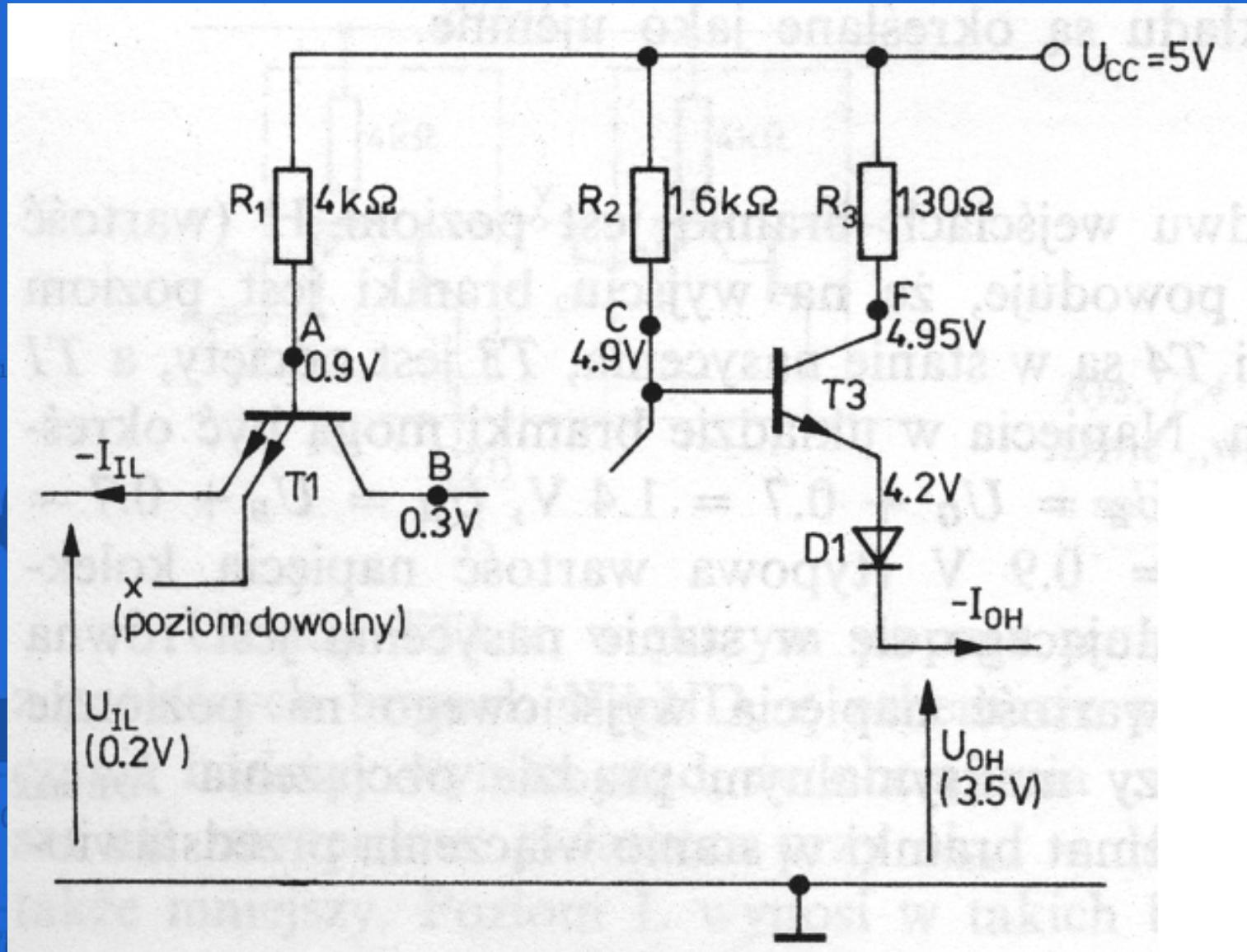
Łączenie ze sobą kilku wejść bramki wieloemitörowej nie zmienia pobieranego przez nią prądu.

Standardowa bramka NAND

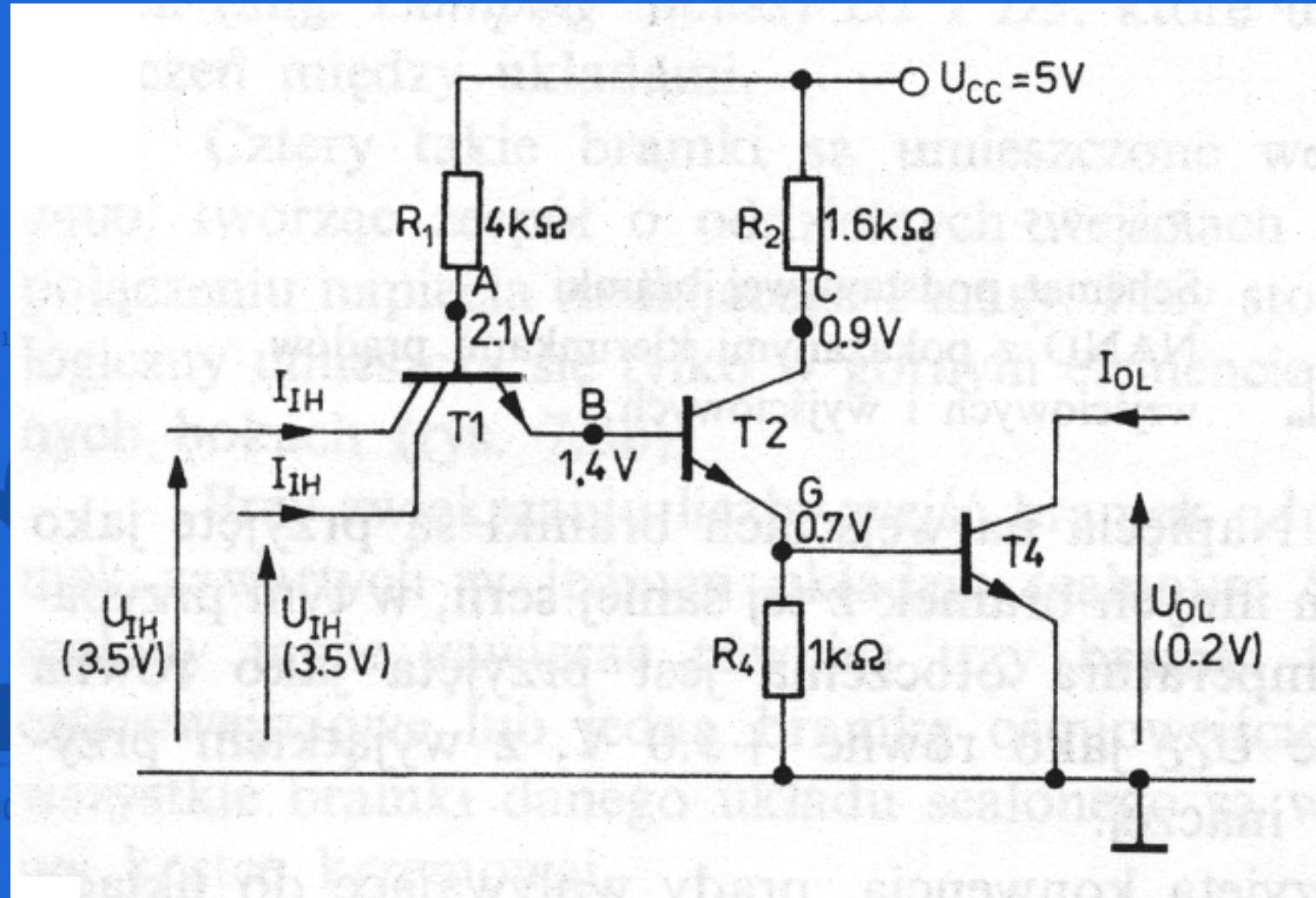


Rys. 5.2. Schemat bramki NAND (7400)

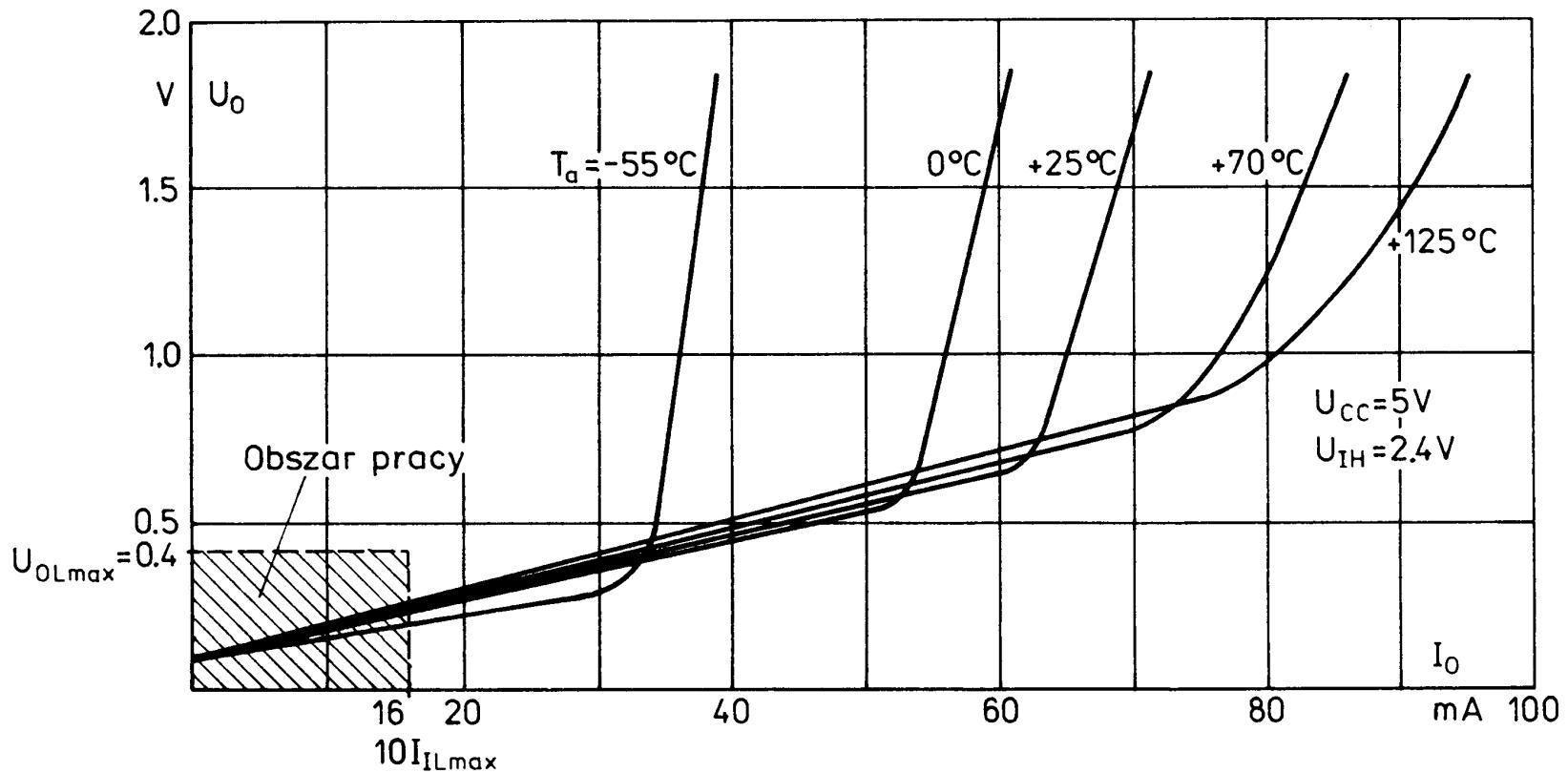
Standardowa bramka NAND w stanie H



Standardowa bramka NAND w stanie L

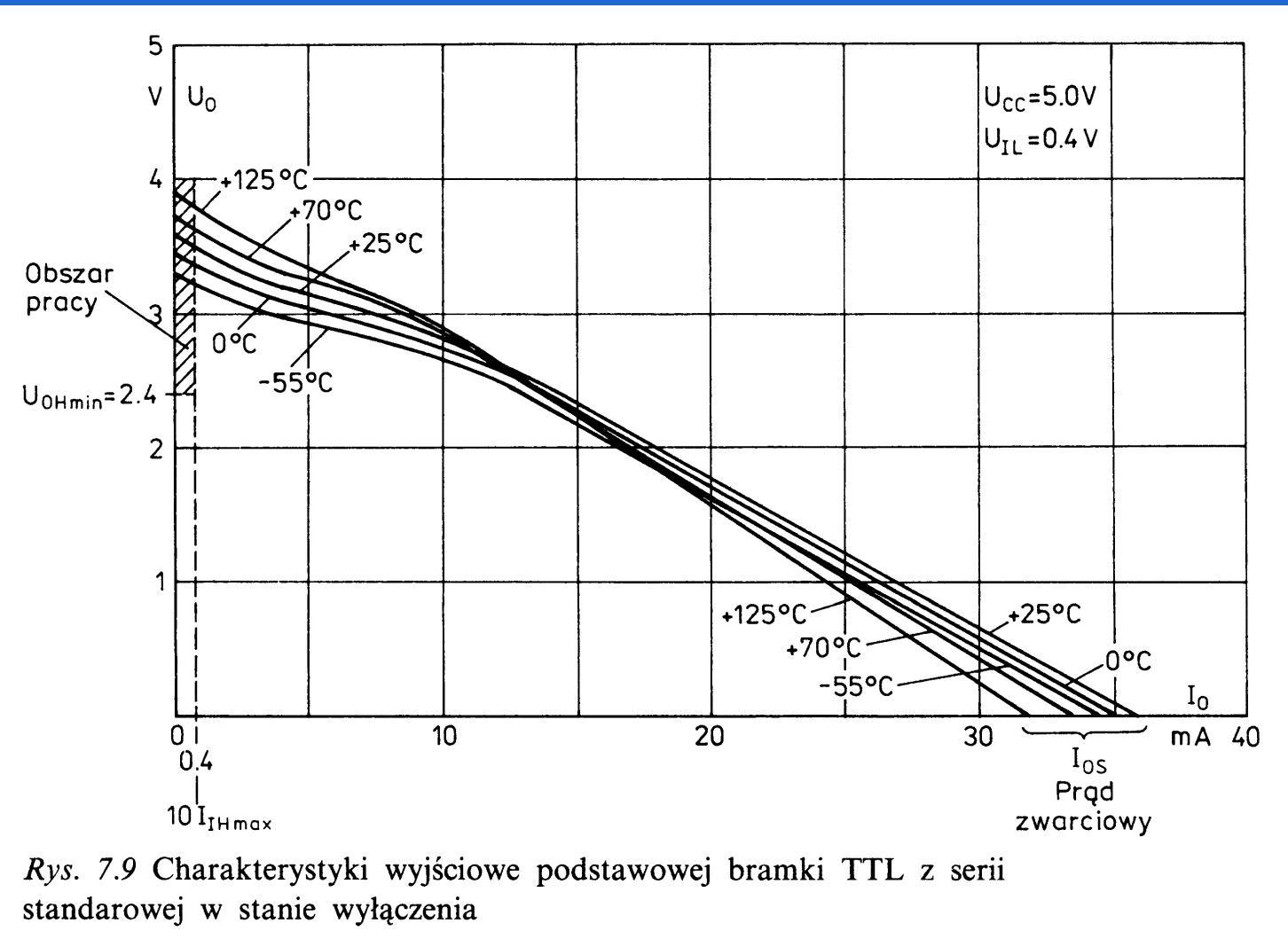


Charakterystyka wyjściowa bramki TTL



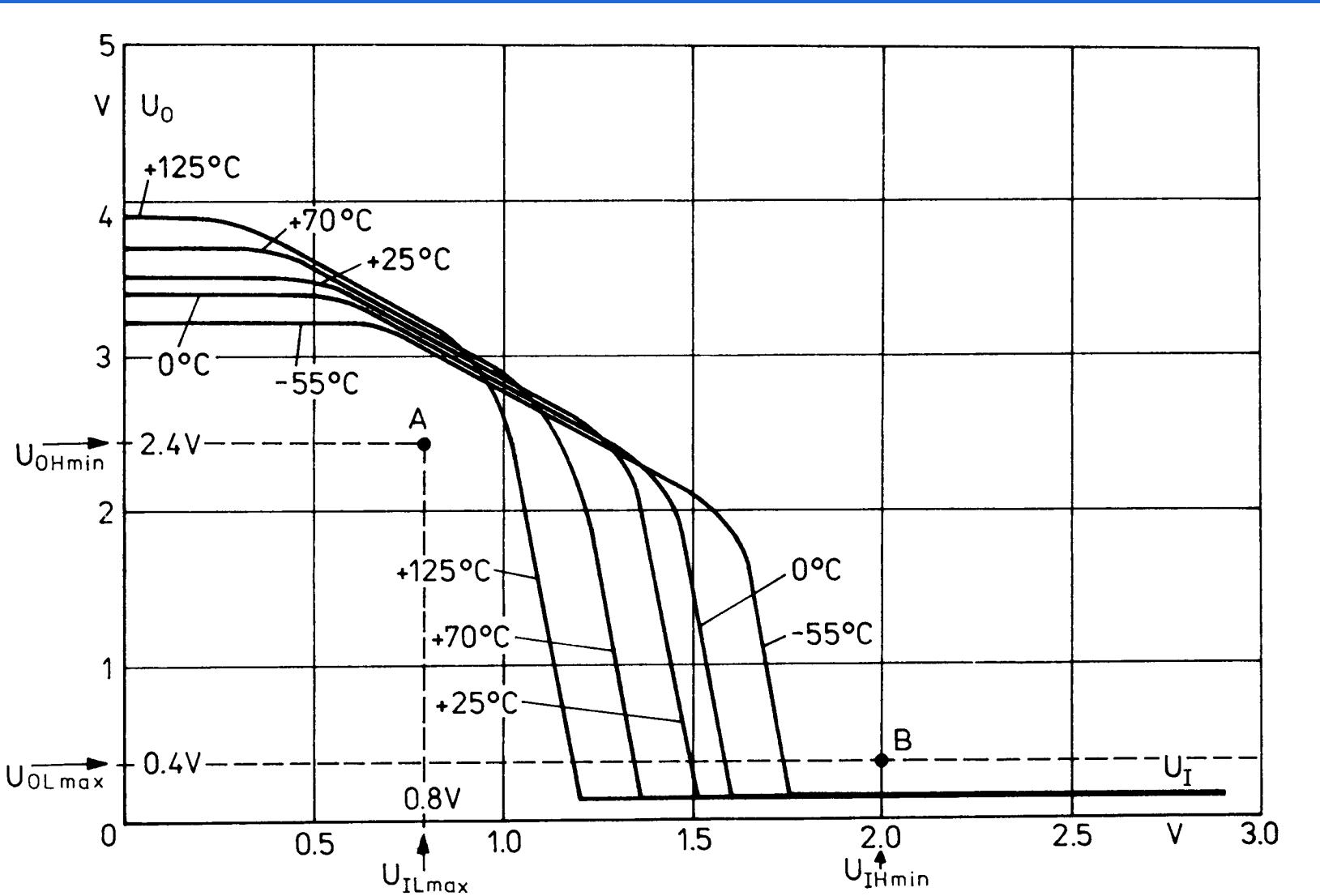
Rys. 7.8 Charakterystyki wyjściowe podstawowej bramki TTL z serii standardowej w staniełączenia

Charakterystyka wyjściowa bramki TTL

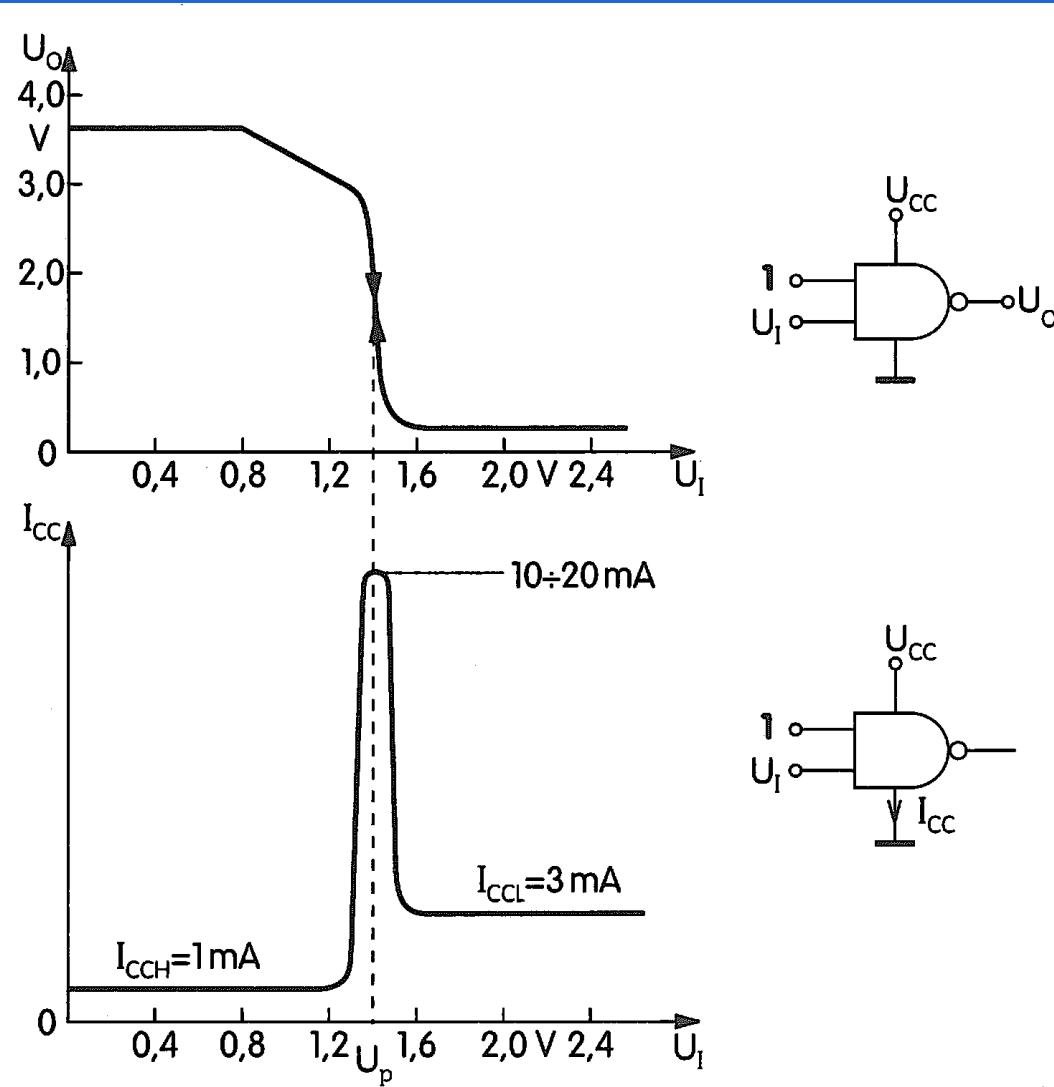


Rys. 7.9 Charakterystyki wyjściowe podstawowej bramki TTL z serii standarowej w stanie wyłączenia

Charakterystyka przejściowa bramki TTL

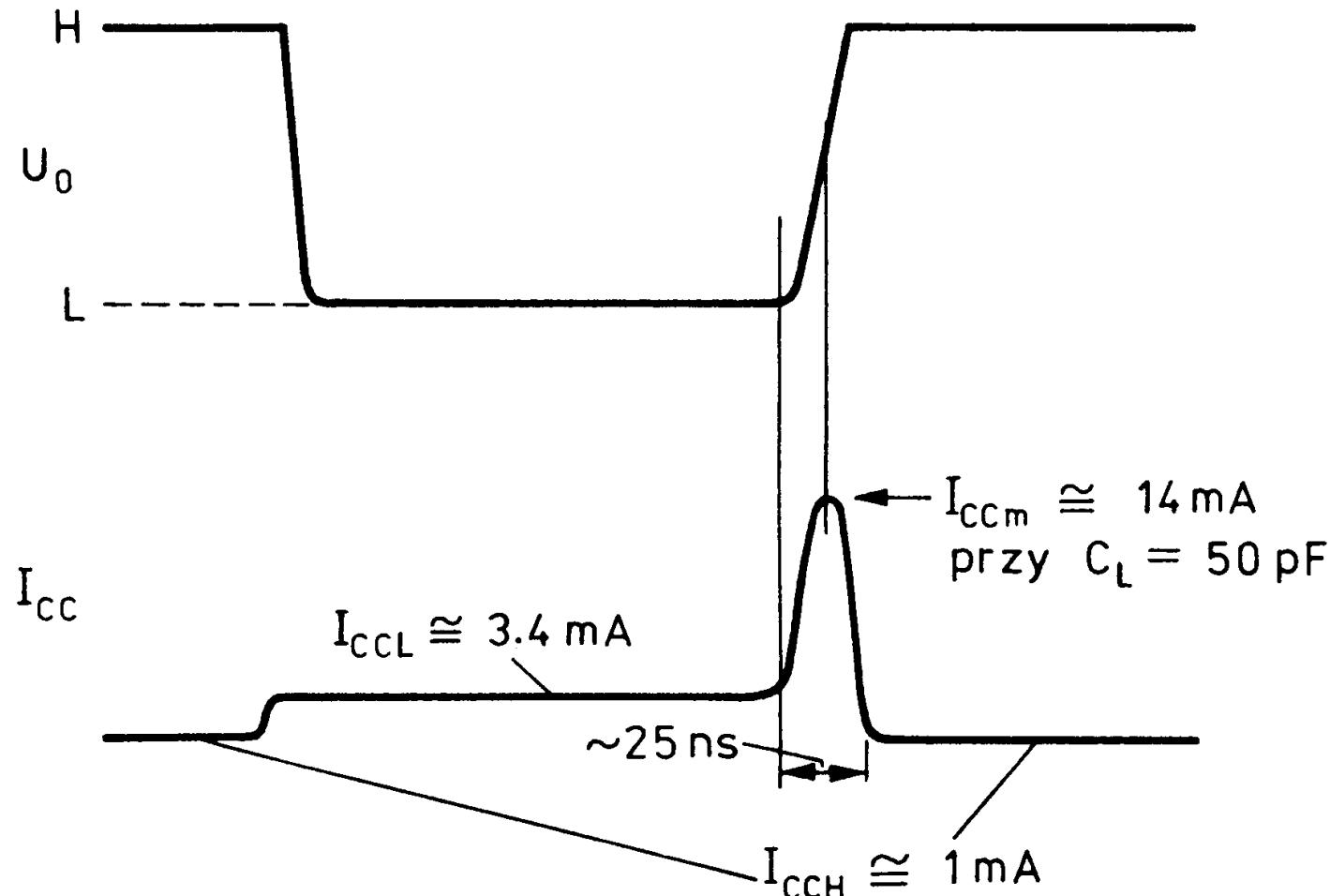


Przełączanie bramki NAND



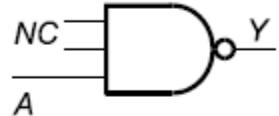
Rys. 5.5. Charakterystyka przejściowa $U_o = f(U_i)$ oraz charakterystyka poboru prądu przez bramkę $I_{cc} = f(U_i)$

Przełączanie bramki NAND

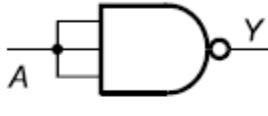


Postępowanie z nadmiarowymi wejściami układów TTL

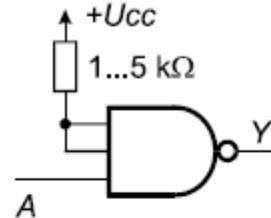
Bramki typu AND i NAND



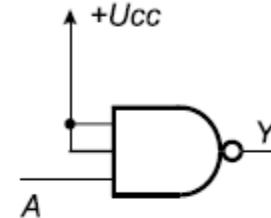
poprawne
(z ograniczeniami)



poprawne



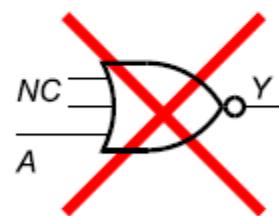
poprawne



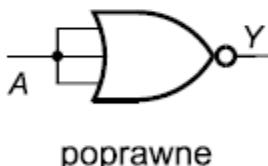
poprawne
(z ograniczeniami)

NC - not connected

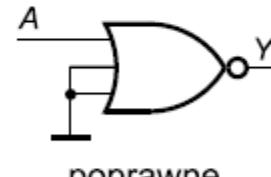
Bramki typu OR i NOR



błędne!



poprawne
(z ograniczeniami)

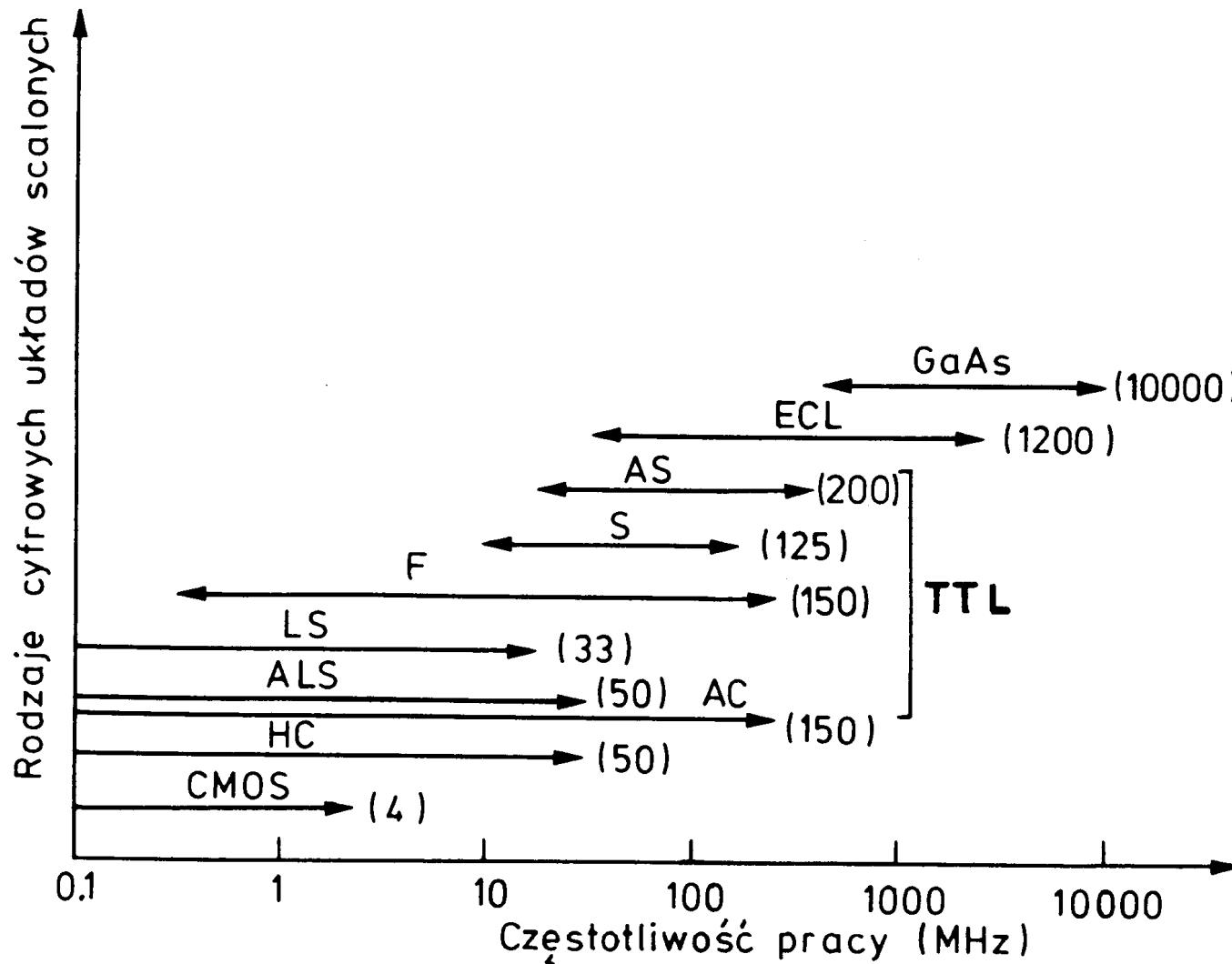


poprawne

Rys. 1.15. Przykłady postępowania z wejściami nadmiarowymi w układach TTL.

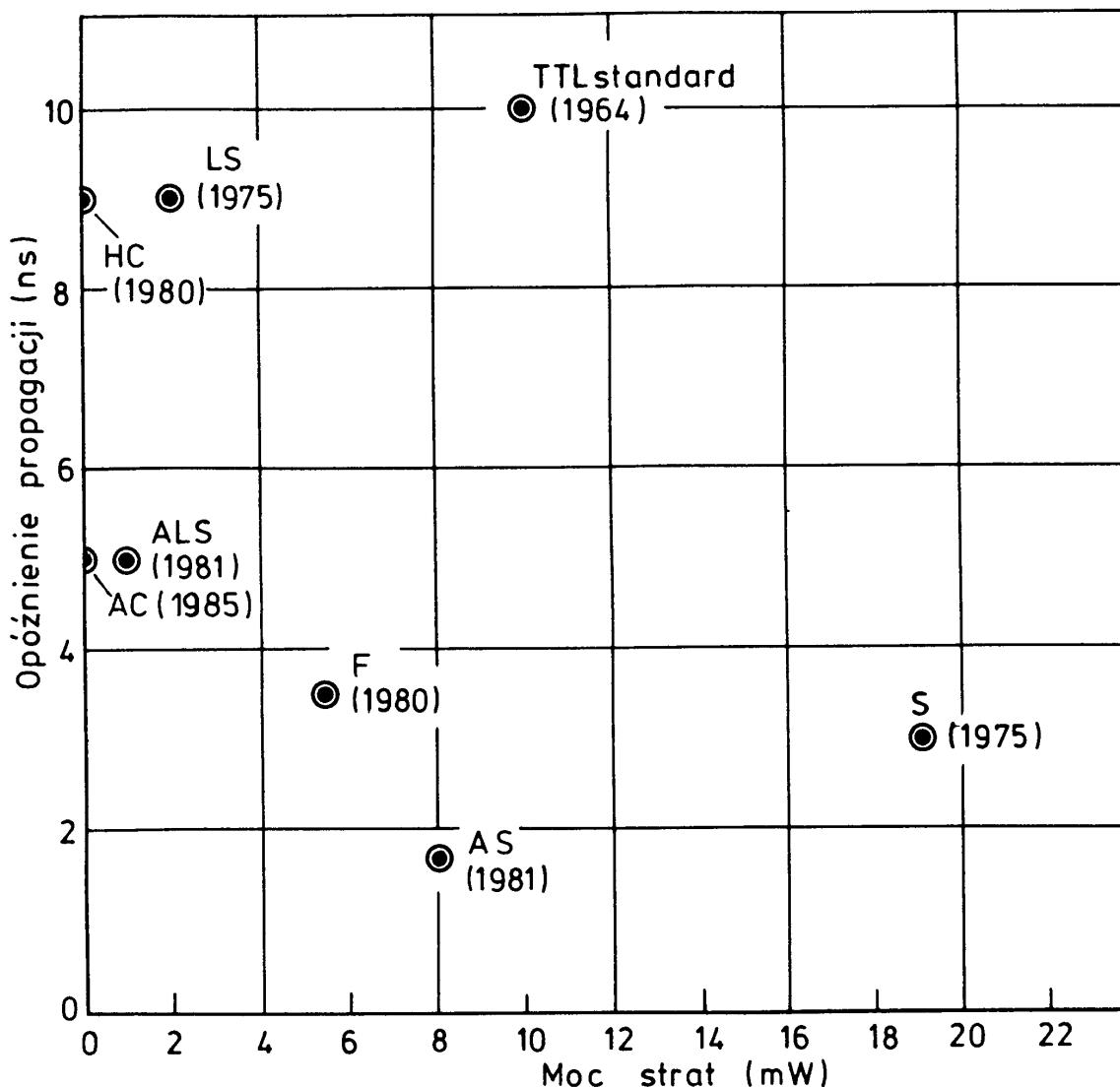
- Niepodłączone wejścia są w stanie 1. W bramkach AND/NAND nie podłączenie wejść wydłuża czas propagacji z wejść podłączonych i zwiększa podatność na zakłócenia.
- Podłączanie wejść wprost do U_{cc} dozwolone dla $U_{cc} = 4,75 \dots 5,25V$. Niektórzy producenci dopuszczają większe nap. zasilania (np..do 7V w UCY7400) ale dopuszczalne napięcie wejściowe musi być mniejsze (np. 5,5V w UCY7400).
- Łączenie wejść bramek OR i NOR powoduje zwielokrotnienie prądu wejściowego.

Ulepszone serie TTL



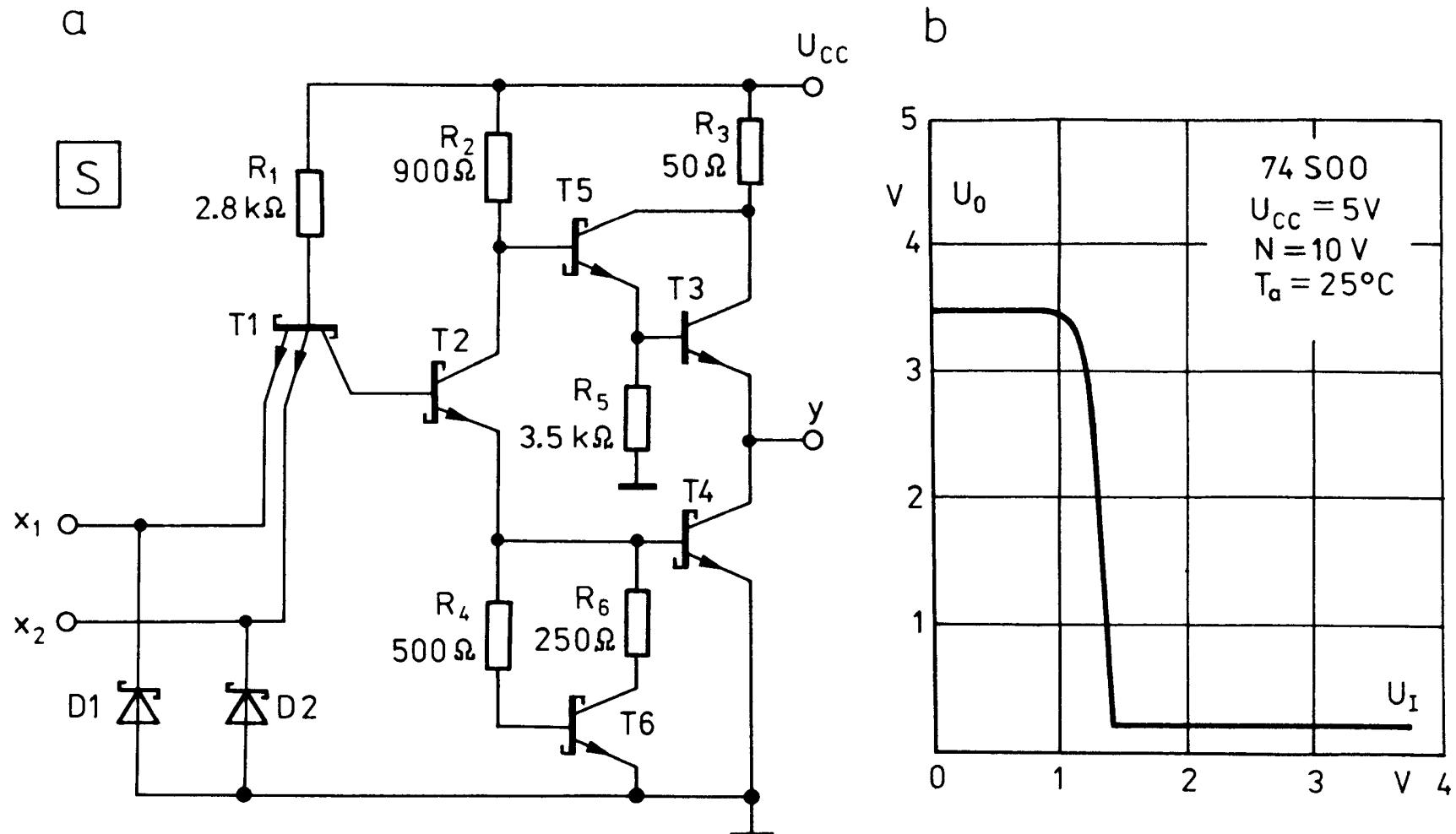
Rys. 7.33. Zakres częstotliwości pracy układów TTL z różnych serii

Ulepszone serie TTL



Rys. 7.34. Opóźnienie propagacji i moc strat układów TTL z różnych serii

Seria z tranzystorami Schottky'ego (74S)



Rys. 7.35. Bramka NAND 74S00

a) schemat, b) typowa charakterystyka przejściowa

Cechy układów serii 74S

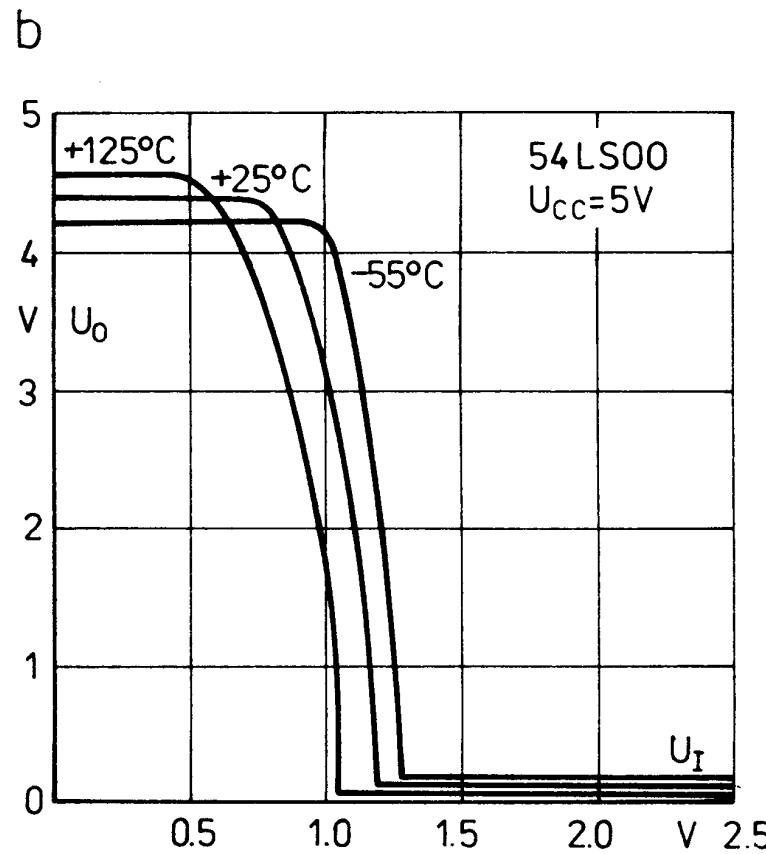
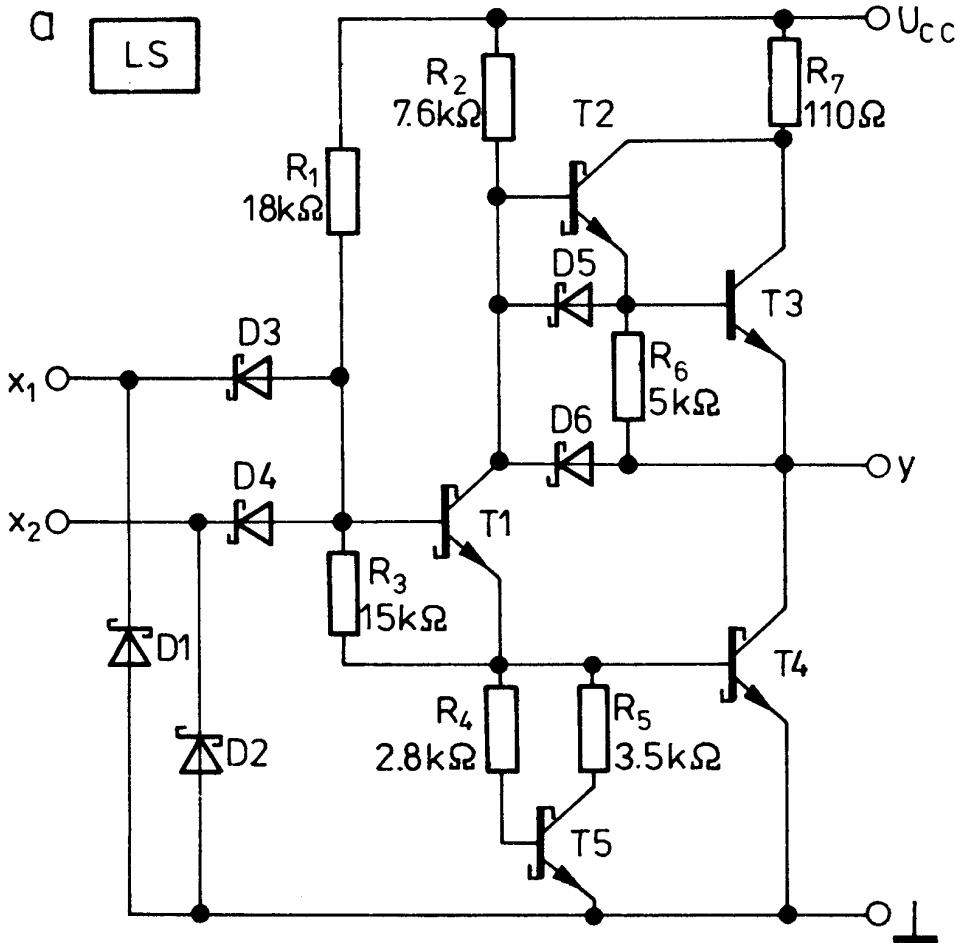
Tranzystory objęte diodowym sprzężeniem w układzie C-B nie wchodzą w nasycenie, stąd ich szybsze przełączanie.

Czas propagacji rzędu 3-4 ns, tj. 2-3-krotnie krócej niż układów standardowych.

Mniejszy pobór mocy w czasie przełączania (stany przejściowe), jednak większy niż standardowy w stanach stacjonarnych.

Obcinanie ujemnych napięć na poziomie 0.4 V, co skuteczniej chroni przed przepięciami niż w serii standardowej.

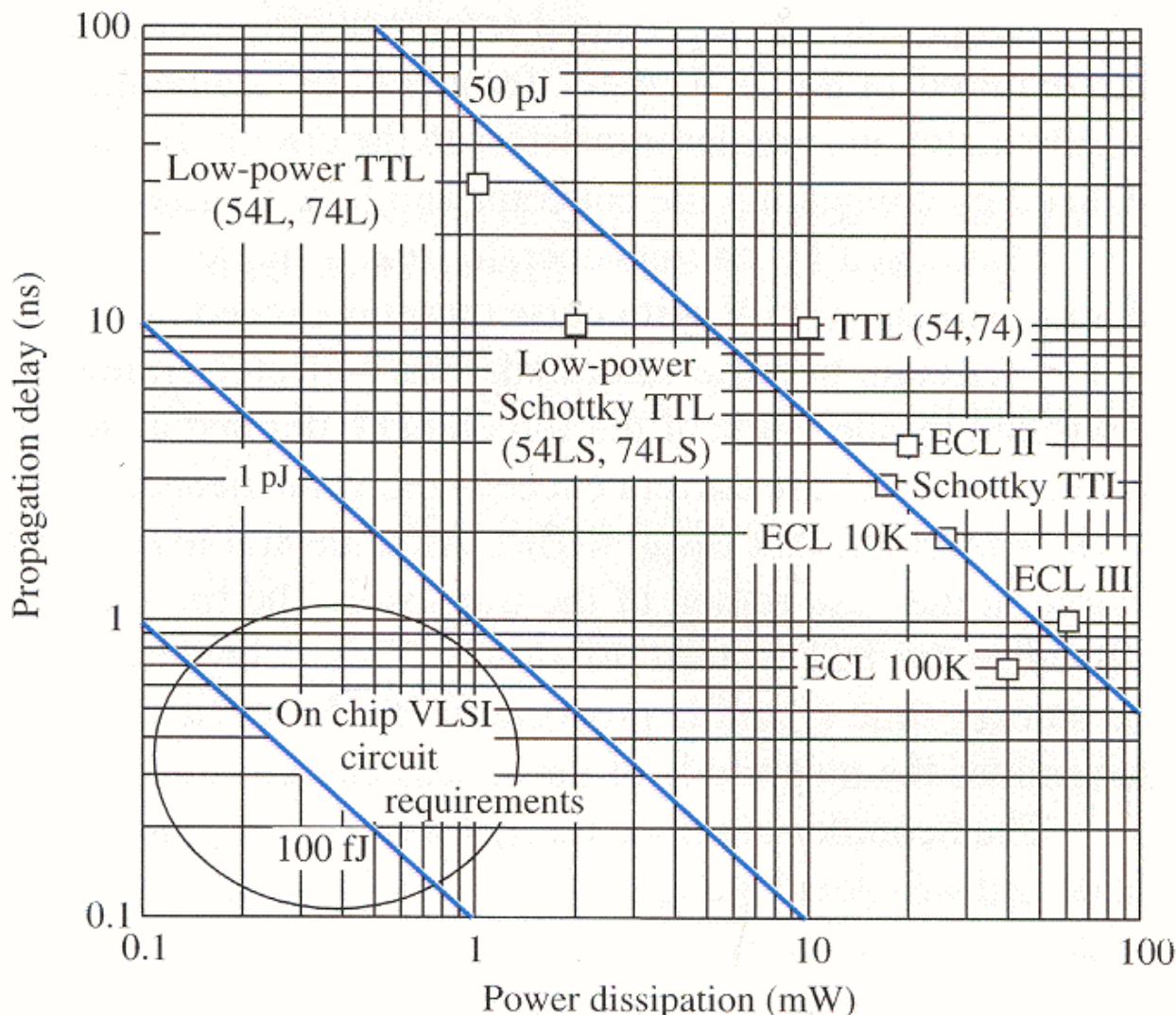
Seria z tranzystorami Schottky'ego i obniżonym poborem mocy (74LS)



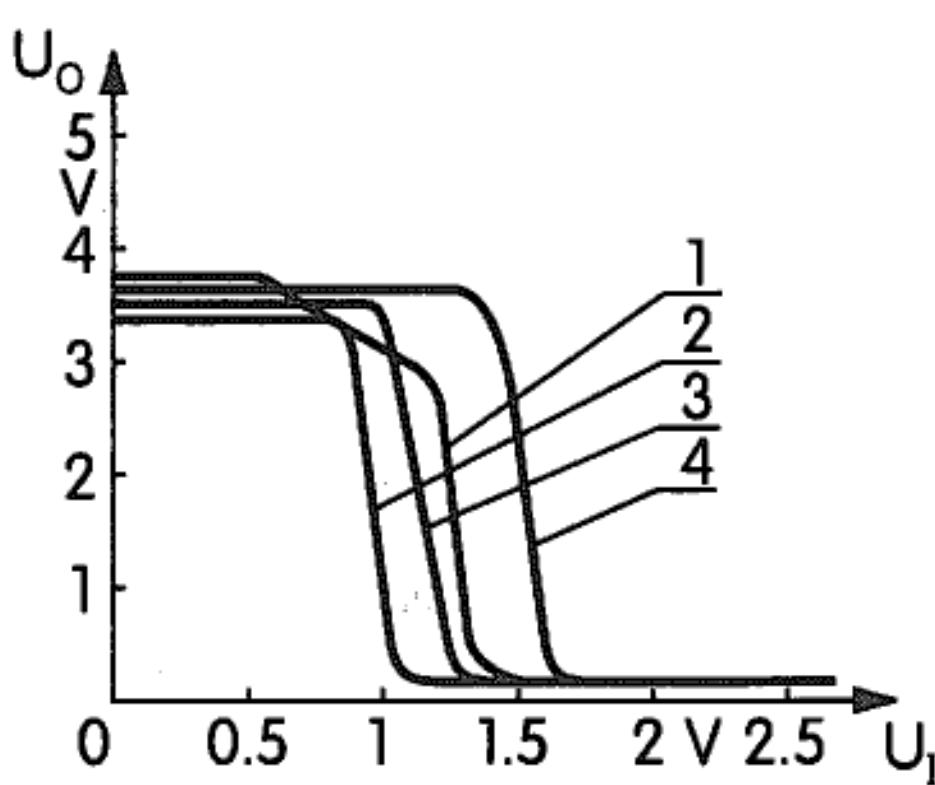
Rys. 7.36. Bramka NAND 74LS00

a) schemat, b) typowa charakterystyka przejściowa

Porównanie odmian TTL



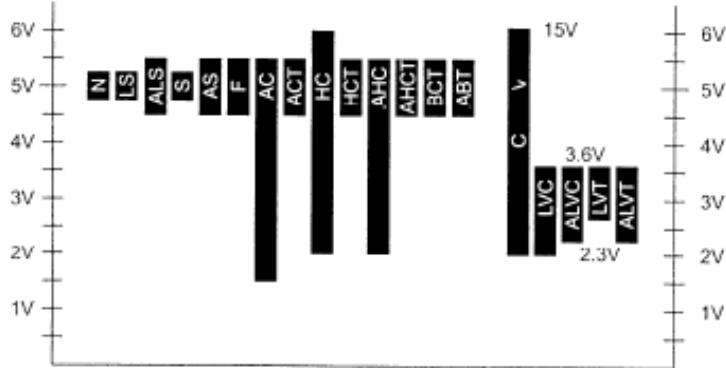
Porównanie charakterystyk TTL



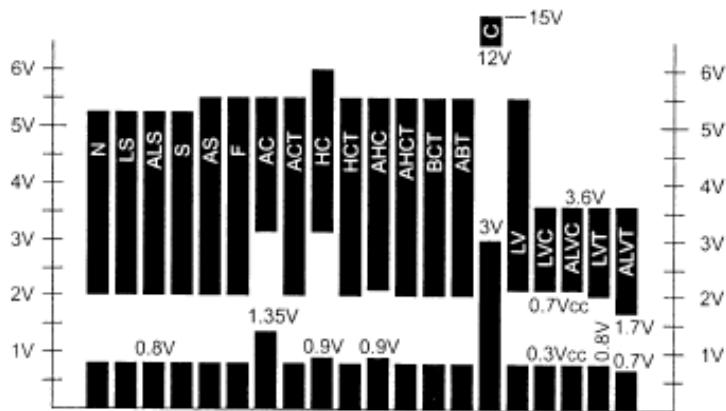
Rys. 5.11. Charakterystyki przejściowe (przełączania) podstawowych bramek TTL serii:
1 — 74; 2 — 74LS; 3 — 74ALS;
4 — 74F

Porównanie charakterystyk TTL

Napięcia zasilania



Napięcia wejściowe



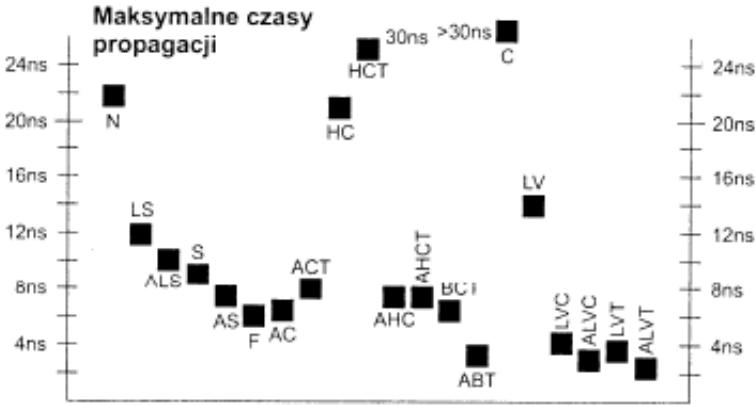
Technologia TTL

N	Normal Logic 74xx
LS	Low-Power Schottky Logic
A	Advanced Low-Power Schottky Logic
S	Schottky Logic
AS	Advanced Schottky Logic
F	Fast Logic

Technologia CMOS

AC/ACT	Advanced CMOS Logic
HC(T)	High-Speed CMOS Logic
AHC(T)	Advanced High-Speed CMOS Logic
BCT	BiCMOS Bus-Interface Technology
ABT	Advanced BiCMOS Technology
C	CMOS Logic
LV/LVC	Low-Voltage CMOS Technology
LVT	Low-Voltage BiCMOS Technology
ALVT	Advanced Low-Voltage BiCOMS Technology

Porównanie charakterystyk TTL

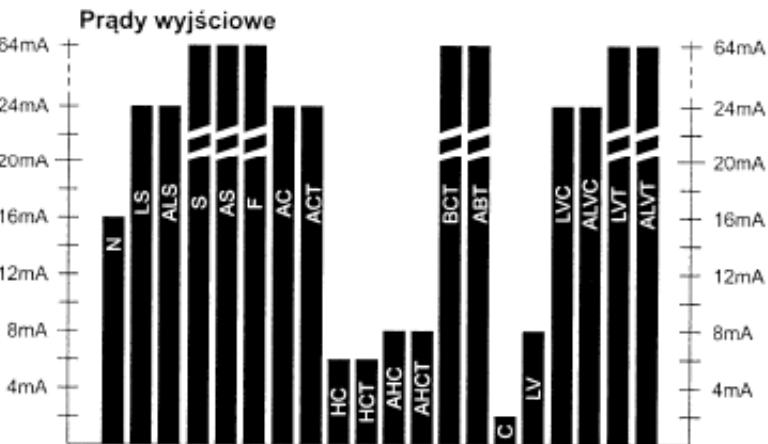


Technologia TTL

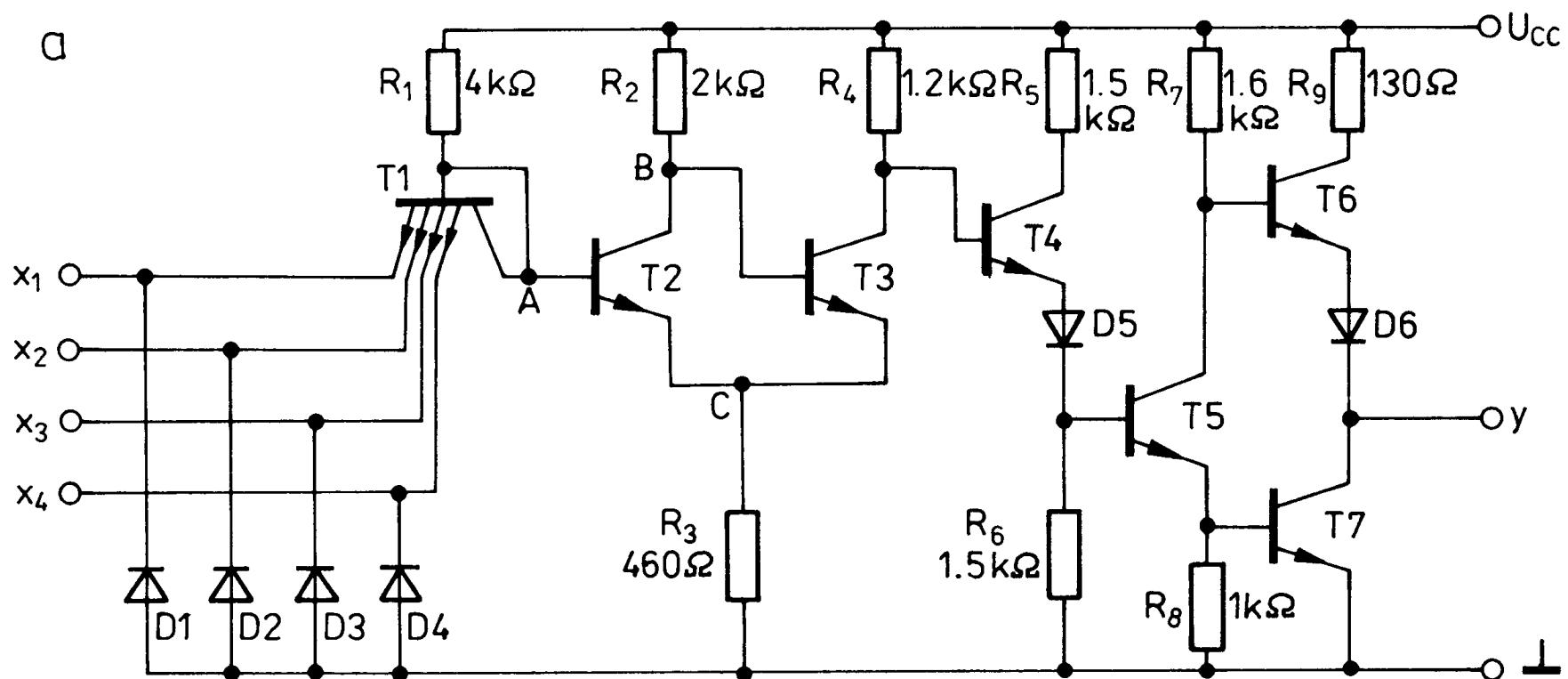
N	Normal Logic 74xx
LS	Low-Power Schottky Logic
A	Advanced Low-Power Schottky Logic
S	Schottky Logic
AS	Advanced Schottky Logic
F	Fast Logic

Technologia CMOS

AC/ACT	Advanced CMOS Logic
HC(T)	High-Speed CMOS Logic
AHC(T)	Advanced High-Speed CMOS Logic
BCT	BiCMOS Bus-Interface Technology
ABT	Advanced BiCMOS Technology
C	CMOS Logic
LV/LVC	Low-Voltage CMOS Technology
LVT	Low-Voltage BiCMOS Technology
ALVT	Advanced Low-Voltage BiCMOS Technology

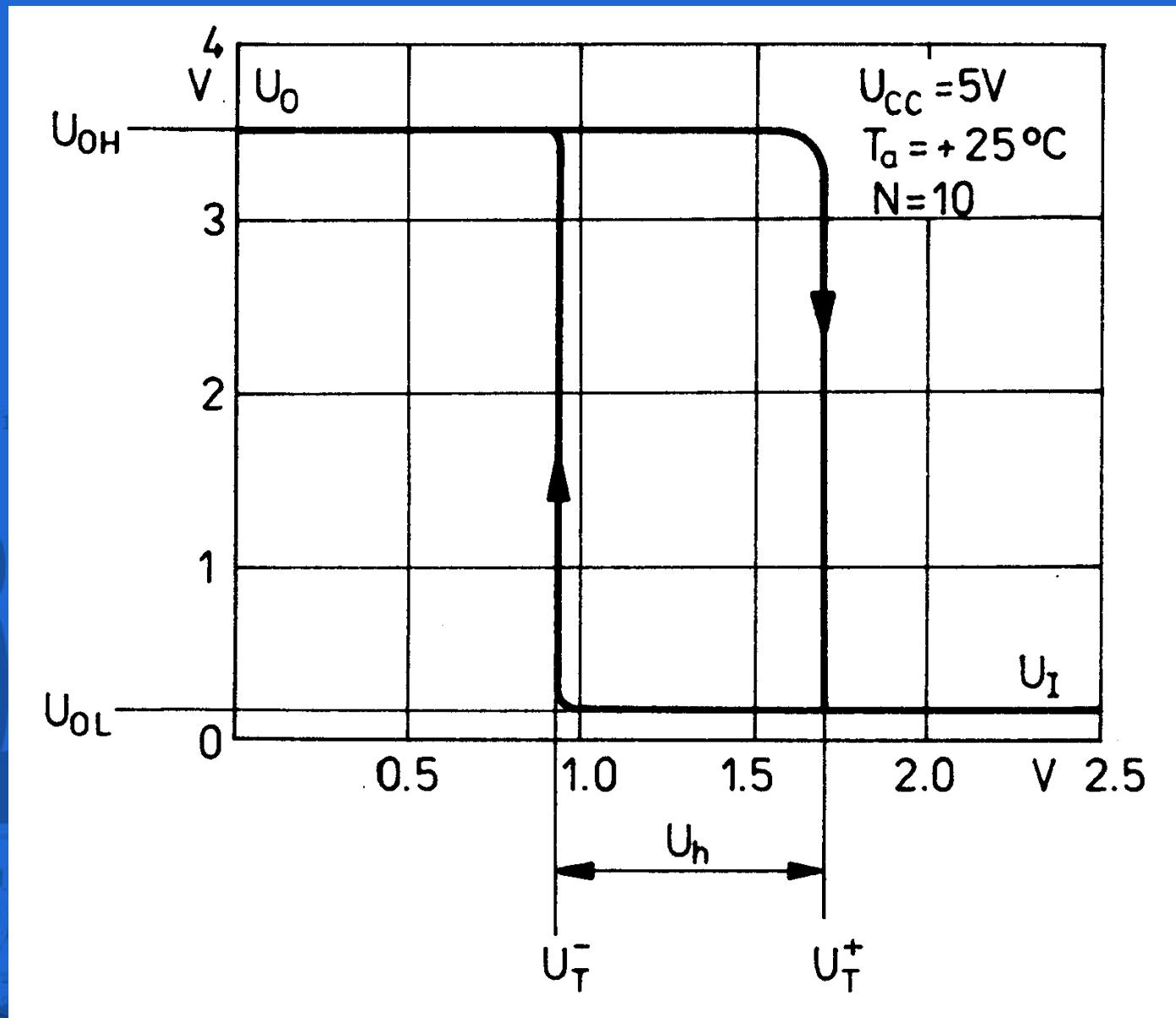


Bramki z układem Schmitta



Rys. 7.15 Bramka NAND z układem Schmitta (1/2 7413)

Charakterystyka przejściowa bramki S/NAND



Formowanie impulsów w bramce Schmitta



Rys. 7.17
Zastosowanie bramki S/NAND do formowania impulsów wejściowych w obecności silnych zakłóceń
(U_I odnosi się do zwartych wszystkich wejść bramki)

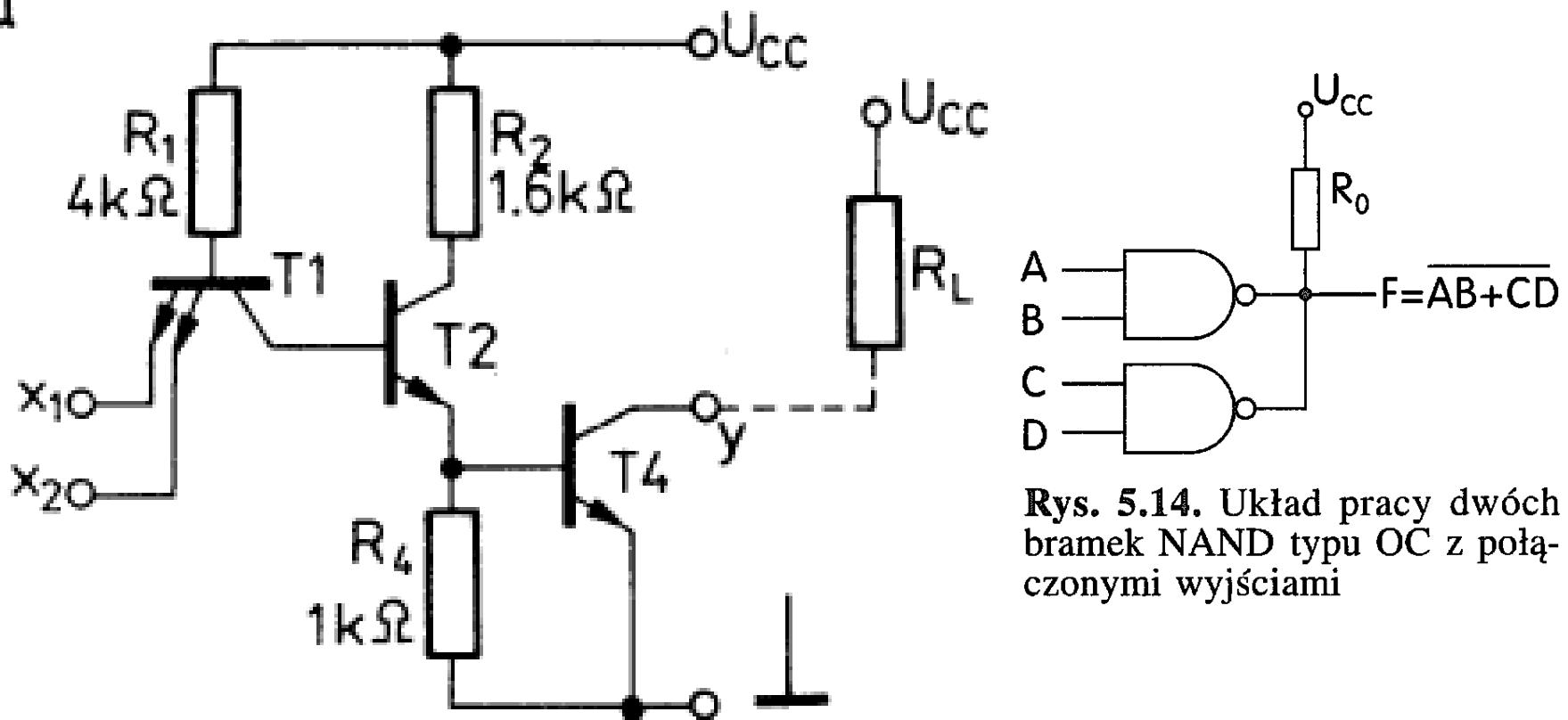
Układy dołączane do szyn

Szyna – wspólny przewód, do którego przyłącza się N-wejście oraz N_0 -wyjście układów cyfrowych celem selektywnego przesyłania danych między układami.

Wyjścia układów dołączanych do wspólnej szyny muszą mieć strukturę zapobiegającą powstawaniu dużych prądów skrośnych w chwili przełączania oraz pojawianiu się nieokreślonych napięć.

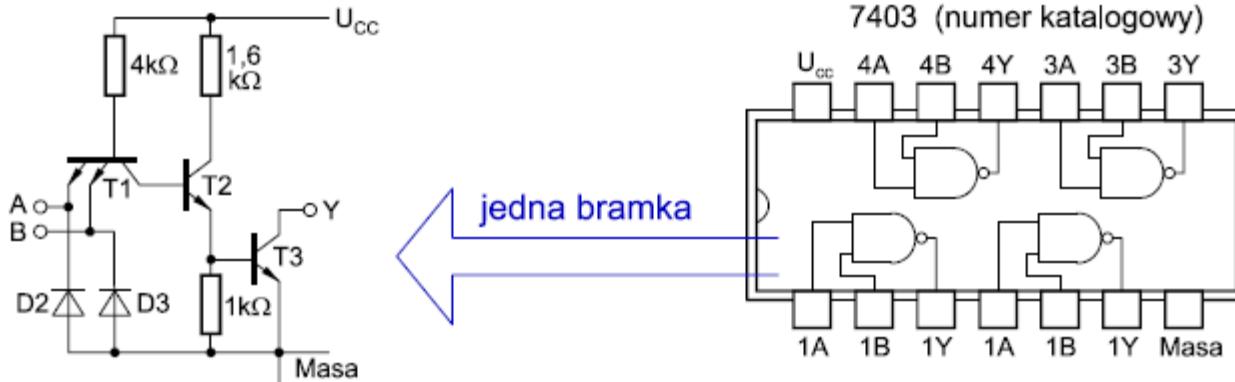
Do połączeń szynowych używa się bramek z **otwartym kolektorem** (OC – Open Collector) lub **bramek trójstanowych** (tri-state).

Bramka z otwartym kolektorem

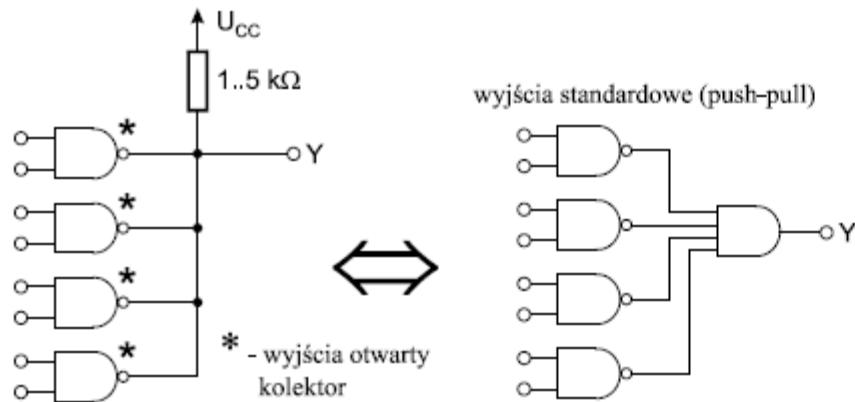


Rys. 5.14. Układ pracy dwóch bramek NAND typu OC z połączonymi wyjściami

Bramki TTL z wyjściami typu otwarty kolektor



Rys. 1.13. Schemat układu scalonego 7403 zawierającego 4 bramki NAND serii standardowej z wyjściami typu otwarty kolektor.

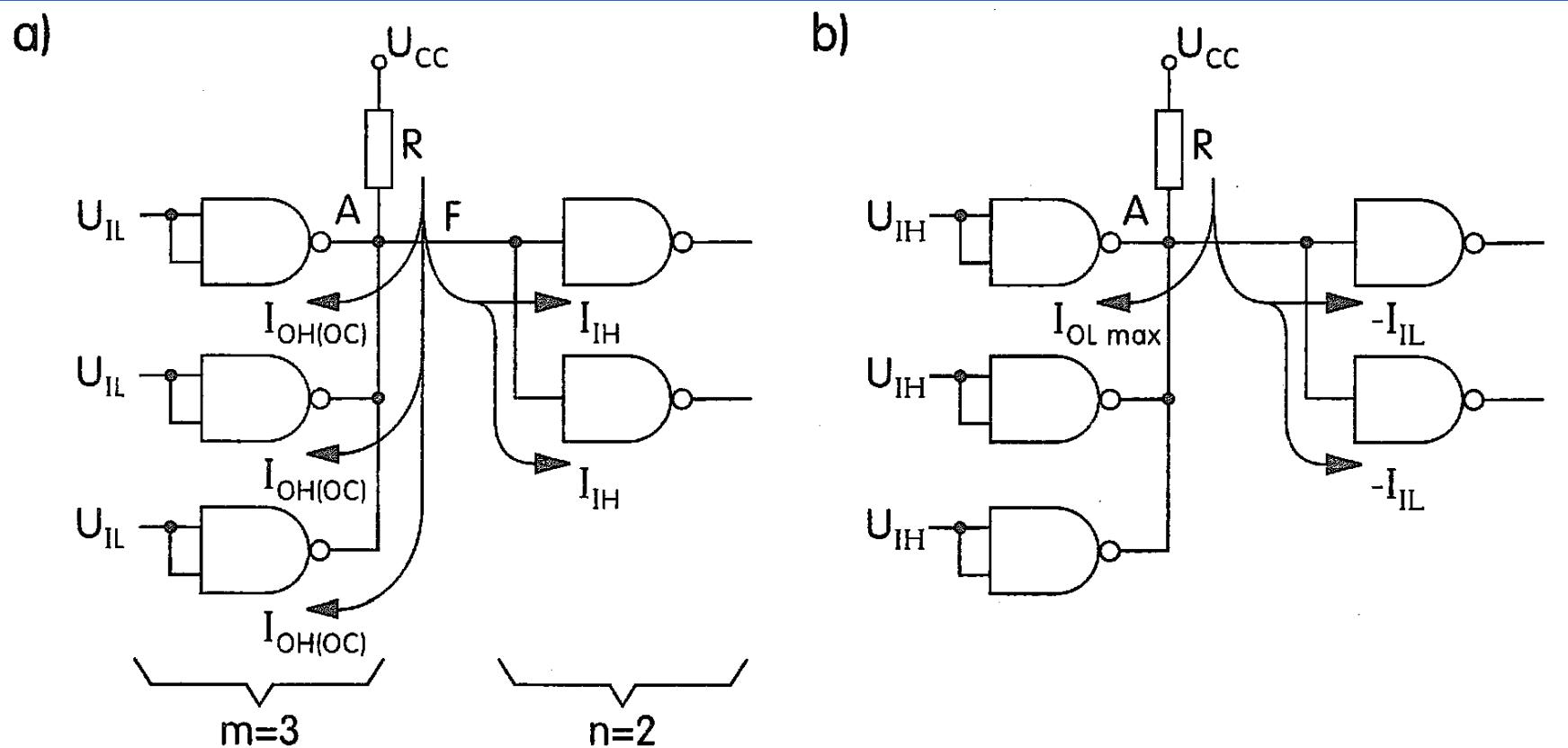


Rys. 1.14. Realizacja iloczynu logicznego na przewodzie przy użyciu bramek z wyjściami typu otwarty kolektor.

Zastosowania wyjścia typu otwarty kolektor:

- Iloczyn na przewodzie.
- Układy dwukierunkowej transmisji danych po jednej linii,
- Układy wyjściowe, np. sterowanie LED, przekaźnikami, podłączenia do gniazd narażonych na zwarcia.

Obliczanie oporu kolektorowego



Rys. 5.15. Rozpływ prądów w układzie bramek typu OC połączonych do wspólnego rezystora:
a) w stanie H na wyjściu; b) w stanie L

Obliczanie oporu R_L w stanie H

Poziom H ($U_{OH\ min} = 2.4)$

W ogólnym przypadku może być razem połączonych N wejść bramek oraz N_o wyjść bramek. Prąd płynący przez rezystor R_L może być określony jako

$$I_{L\ max} = NI_{IH\ max} - N_o I_{OH\ max}$$

Wartość rezystora R_L można obliczyć jako

$$R_{L\ max} = (U_{CC} - U_{OH\ min}) / I_{L\ max}$$

Przyjmując $U_{CC} = 5$ V, $I_{IH\ max} = 40 \mu A$ przy $U_{IH\ min} = 2.4$ V oraz $I_{OH\ max} = -250 \mu A$ (dla bramki 7401), otrzymujemy np. przy $N = 3$ i $N_o = 4$ wartość $R_{L\ max} = 2321 \Omega$.

Obliczanie oporu R_L w stanie L

Poziom L ($U_{OL\max} = 0.4$ V)

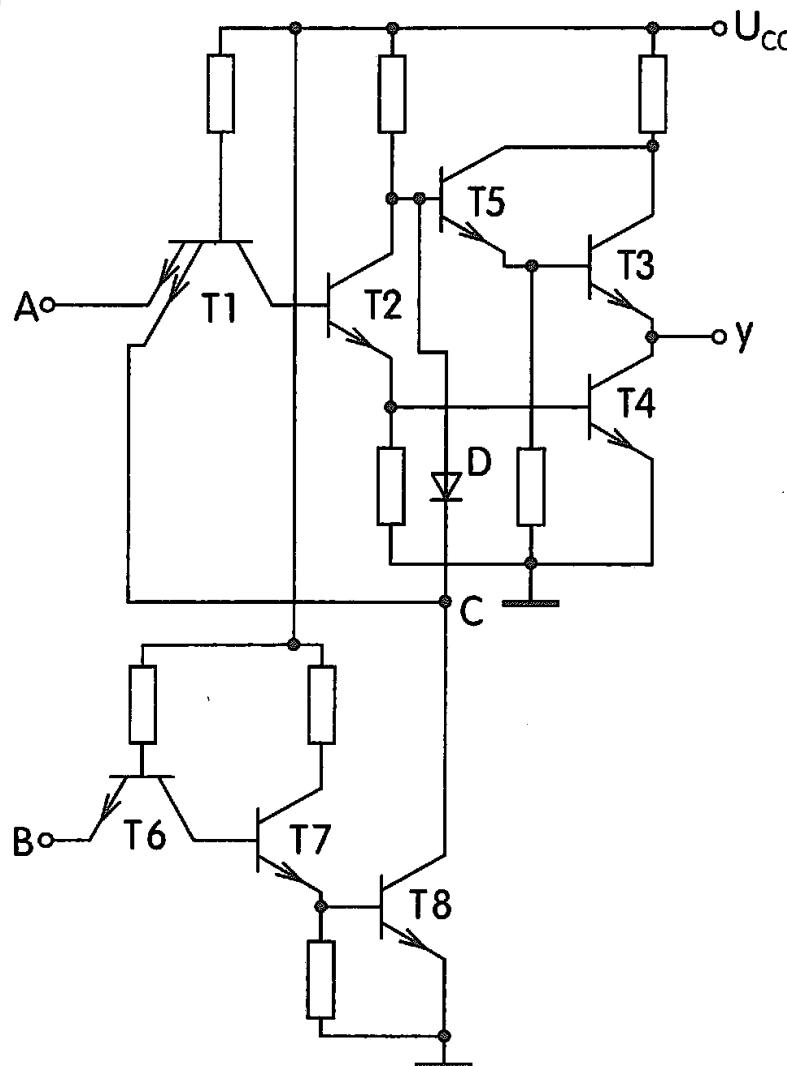
Przyjmując podobnie jak poprzednio połączone razem N wejścia oddzielnych bramek i N_O wyjść bramek można stwierdzić, że najgorszy przypadek istnieje wówczas, gdy tylko jedna z N_O bramek przyłączonych wyjściem do R_L jest w stanie włączenia, a pozostałe ($N_O - 1$) bramek jest w stanie wyłączenia. Suma prądów $I_L + NI_{IL\max}$ płynie wówczas tylko przez jeden tranzystor $T4$, stwarzając najtrudniejsze warunki do zapewnienia $U_{OL\max} = 0.4$ V. Wartość R_L może być obliczona ze związku

$$R_{L\min} = \frac{U_{CC} - U_{OL\max}}{I_{OL\max} + NI_{IL\max}}$$

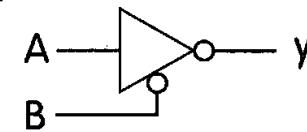
Przyjmując $U_{CC} = 5$ V, $I_{OL\max} = 16$ mA i $I_{IL\max} = -1.6$ mA otrzymujemy przy $N = 3$ wartość $R_{L\min} = 411 \Omega$.

Bramki trójstanowe

a)



b)



Rys. 5.16. Negator z wyjściem trójstanowym: a) schemat; b) symbol graficzny

Bramki trójstanowe

Bramki trójstanowe mają dodatkowe parametry dynamiczne (poza takimi, jak dla bramek dwustanowych) charakteryzujące ich działanie. Są to:

- 1) **Czas zablokowania wyjścia (czas blokowania).** Ponieważ blokowanie takiej bramki może nastąpić zarówno wtedy, gdy znajduje się ona w stanie H, jak i w stanie L, rozróżnia się:

t_{HZ} — czas zablokowania wyjścia przy przejściu ze stanu o poziomie wysokim do stanu wielkiej impedancji,

t_{LZ} — czas zablokowania wyjścia przy przejściu ze stanu o poziomie niskim do stanu wielkiej impedancji.

- 2) **Czas odblokowania wyjścia.** Analogicznie jak dla czasu blokowania:

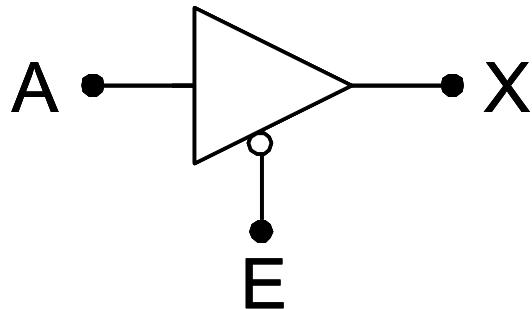
t_{ZL} — czas odblokowania wyjścia przy przejściu ze stanu wielkiej impedancji do stanu o poziomie niskim,

t_{ZH} — czas odblokowania wyjścia przy przejściu ze stanu wielkiej impedancji do stanu o poziomie wysokim.

Obwody bramek trójstanowych projektuje się tak, aby czas blokowania bramki (przełączenia w stan wielkiej impedancji) był krótszy od czasu jej otwierania (odblokowania), co jest istotne przy współpracy wielu bramek z magistralą.

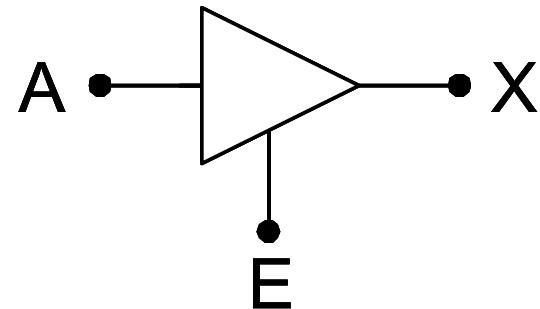
Bufory trójstanowe

74LS125



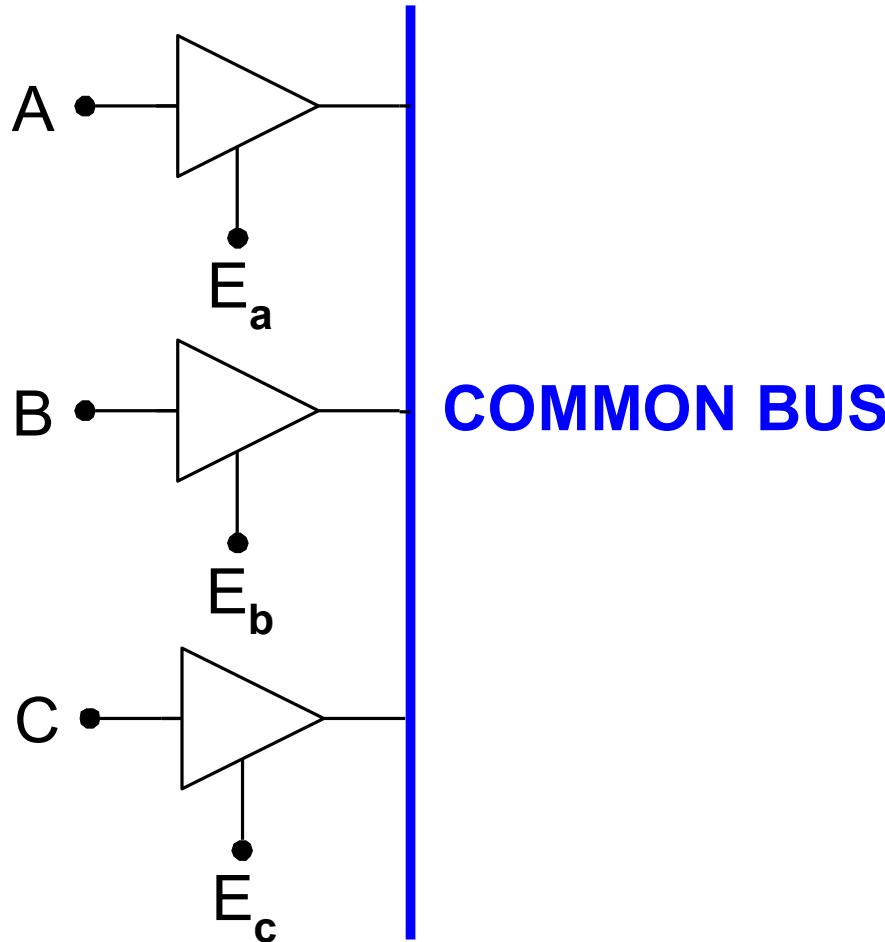
\bar{E}	X
0	A
1	HI-Z

74LS126



E	X
0	HI-Z
1	A

Łączenie buforów z szyną



only one E_x should be activated at any time