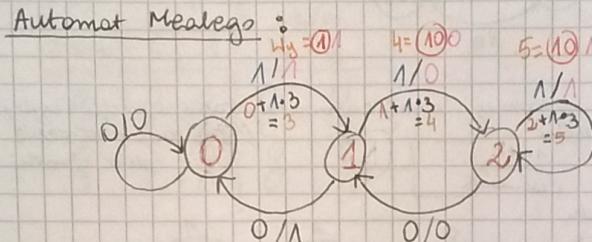
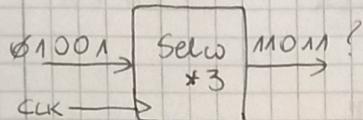


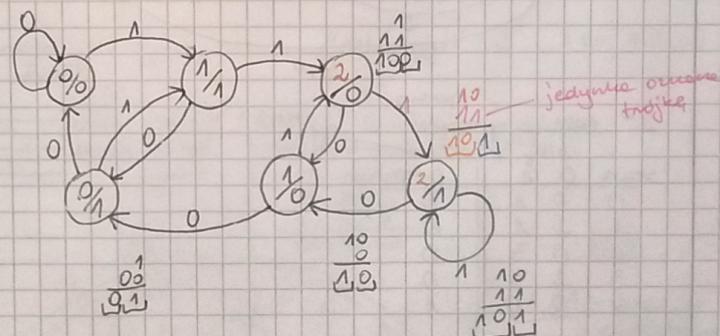
PTC

I AUTOMATY SYNCHRONICZNE

- a) automat Mealego, automat Moore'a, mnożenie przez 3
1-bitowe wyjście

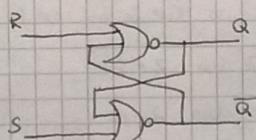


Automat Moore'a:

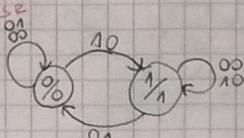


b) grafy automatu

- 1) zatrzask RS (NOR)?

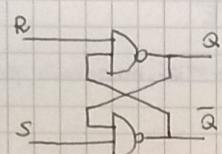


S	R	Q _n	x	y	NDR
0	0	Q _{n-1}	0	0	1
1	0	1	0	1	0
0	1	0	1	1	0
1	1	stany zatrzymujące	1	0	0

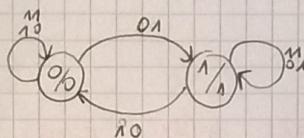


zatrzymujące

zatmask RS (NAND) ?



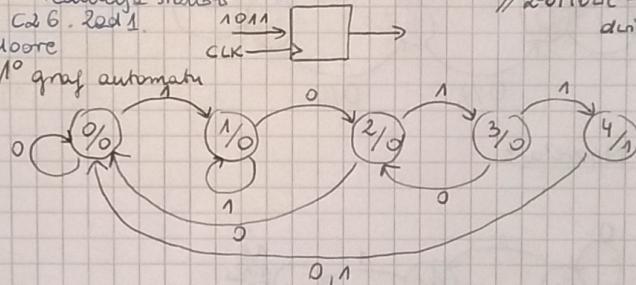
R	S	R	Q _n	stan zatmienia.	x	y	NAND
0	0	0	0		0	0	1
1	0	0	0		0	1	1
0	1	1	1		1	1	0
1	1	1	0	stan zatmienia.	1	0	1



2) reprezentacjami stanów, grafem automatu, tablicą przejść i wypisem
redukując stanów
Cz 6. zad 1.

a) Moore

1^o graf automatu



// 2-bitowe - od siebie
dwie stanów

2^o tablica przejść i wypis'

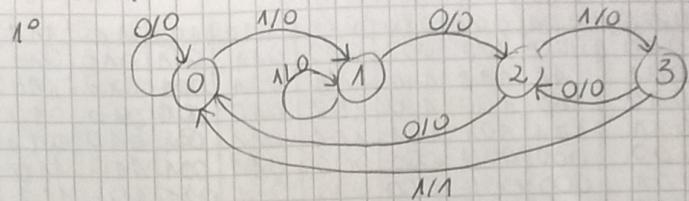
stan	0	1	OUT
0	0	1	0
1	2	1	0
2	0	3	0
3	2	4	0
4	0	0	1

3^o redukuje stanów za pomocą tablicy trojkrojnej
// żeby rozwiązać to OUT musi być taki sam

1	02		
2	31	20	
3	20	31	
4	41	20	20
	X	X	X
	0	1	2
			3

1 ≠ 0 bo 0 ≠ 2 bo 3 ≠ 1 bo 4 ≠ 1
3 ≠ 0 bo 2 ≠ 0
2 ≠ 1 bo 2 ≠ 0
3 ≠ 2 bo 2 ≠ 0

b) Mcalceps



2^o tablica przejścia

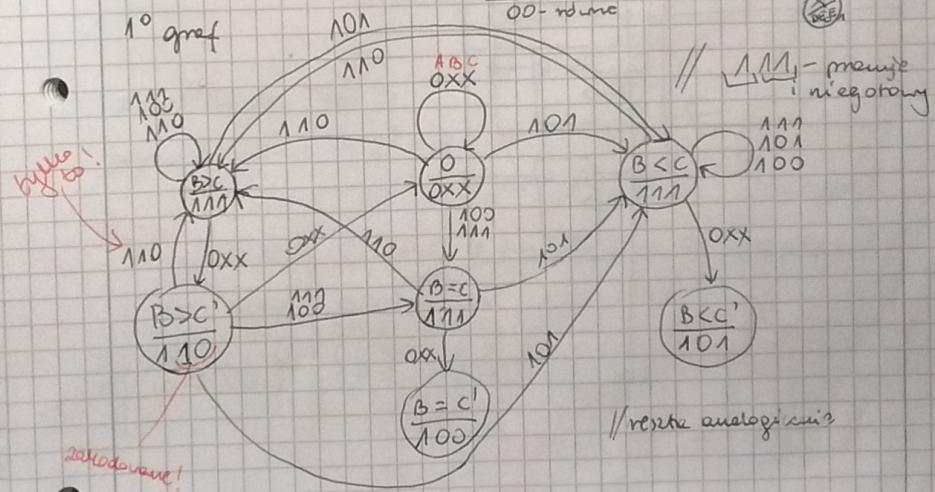
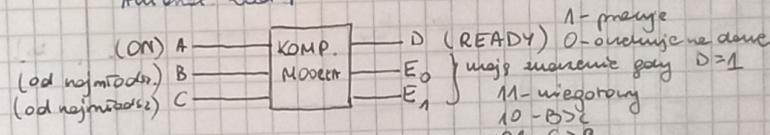
Stan	0	1	x_0	y_1
0	0	1	0	0
1	2	1	0	0
2	3	0	0	0
3	2	0	0	1

3^o redukuje stanów

// muszą zgadzać się dwa wyjścia!

3) komparator szeregowy
Autorem zadania

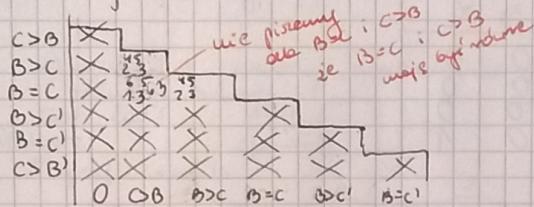
// ilość wyjść 2³ (3 do A,B,C)



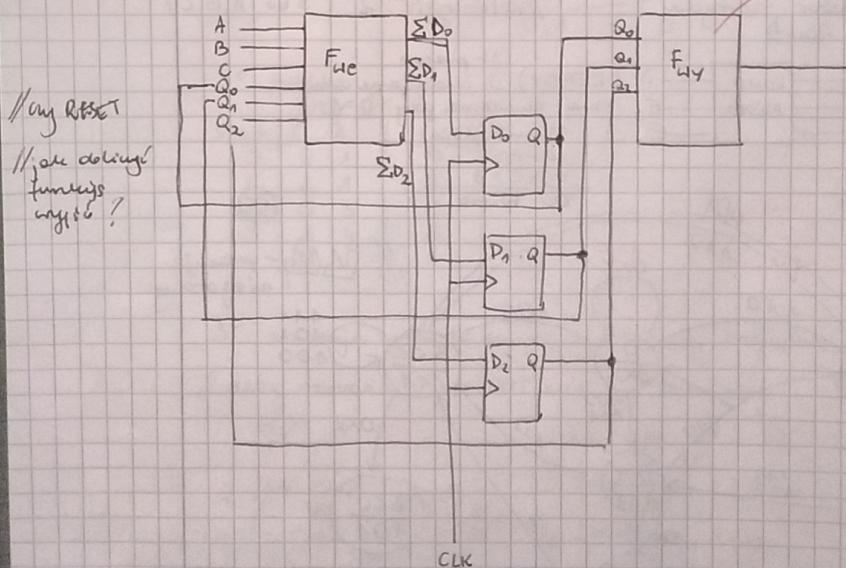
2^o Kodowanie stanów, tablica wejść i wyjść.

	A	B	C	$Q_2 Q_1 Q_0$	000	001	010	011	100	101	110	111	OUT
0	0	0	0	000	000	000	000	000	011	001	010	011	0XX
$C > B$	0	0	1	110	110	110	110	110	001	001	010	110	111
$B > C$	0	1	0	100	100	100	100	100	010	001	010	010	111
$B = C$	0	1	1	101	101	101	101	101	011	001	010	011	111
$B > C'$	1	0	0	000	000	000	000	000	011	001	110	110	110
$B = C'$	1	0	1	000	000	000	000	000	011	001	110	110	100
$C > B'$	1	1	0	000	000	000	000	000	011	001	110	110	101

3^o redukuje stanów



4^o za pomocą macierzynych i bramek



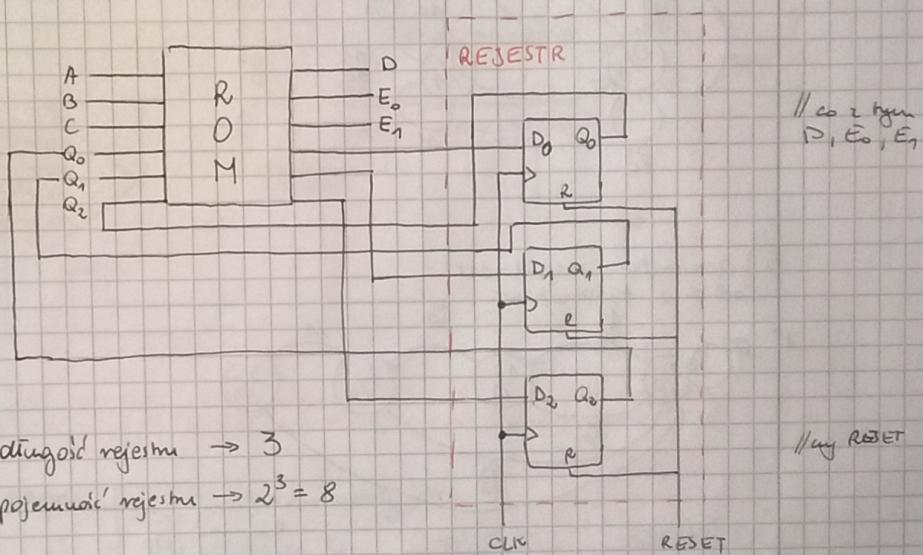
wyznaczanie funkcji wybranych

$$D_2(Q_2, Q_1, Q_0, A, B, C)$$

001000	8
010000	16
011000	24
001001	9
010001	17
011001	25
001010	10
010010	18
011010	26
001011	11
010011	19
011011	27

$$D_2 = \sum(8, 16, 24, 9, 17, 25, 10, 18, 26, 11, 19, 27)$$

5° za pomocą ROM



dwugrodzony rejestr $\rightarrow 3$

pojemność rejestrów $\rightarrow 2^3 = 8$

wyznaczanie zawartosci dwojkowych stanów pamięci:

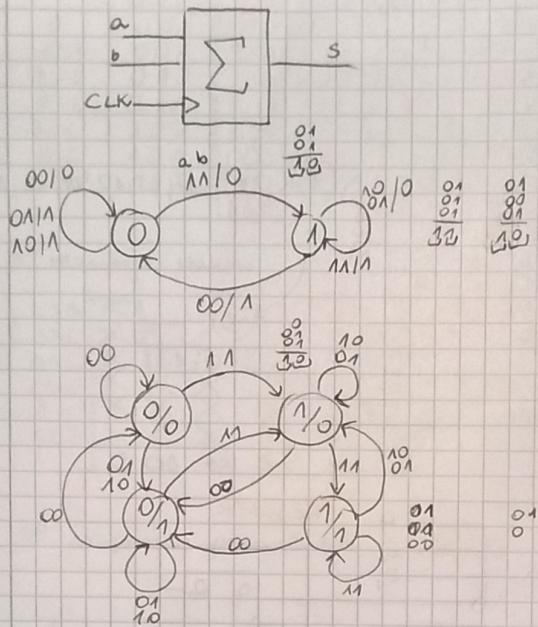
ADRES	IN			OUT			DANE
	A	B	C	Q ₀	Q ₁	Q ₂	
0	0	0	0	0	0	0	D ₀ , E ₀ , D ₁ , D ₂ 0 0 0 0
1	0	0	0	1	1	1	D ₀ , E ₀ , D ₁ , D ₂ 1 1 1 1

C>B

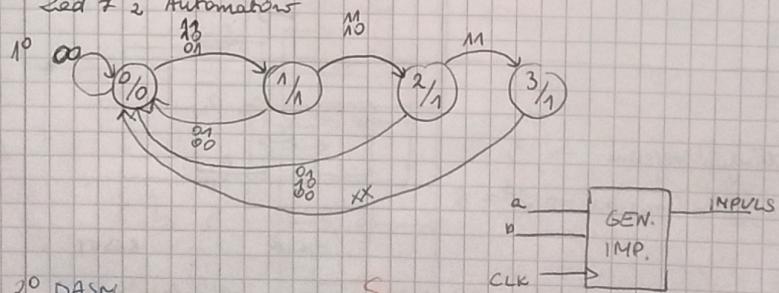
OUT 2?

C>B

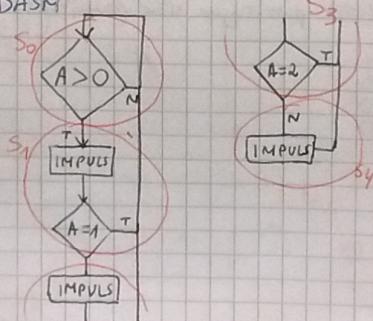
4) Sumator selewencyjny



5) generator impulsen
zur Zeit 2 Automaten



2° DASM



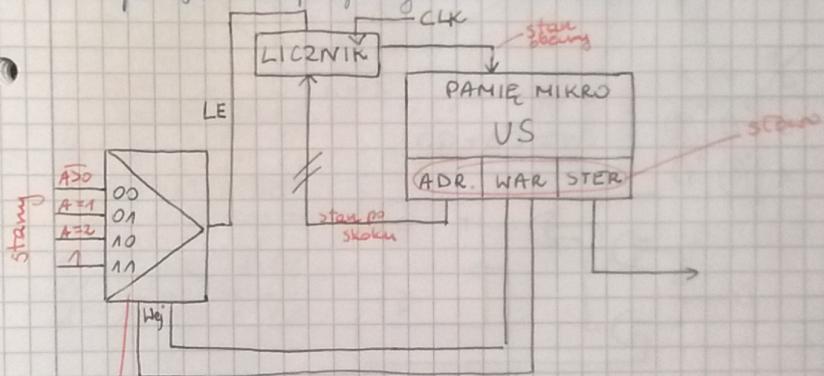
3^o tabela przejścia dla multikanału sterującego
 (stan pocz.) (stan docz.)

Stan adres wejściowe ster (OUT)

S_0	S_0	$A=0$	0
S_1	S_0	$A=1$	1
S_2	S_0	$A=2$	1
S_3	S_0	1	1
00	00	00	0
01	00	01	1
10	00	10	1
11	00	11	1

STAN (mikroprocesor)

4^o pamięć mikroprogramowalna dla skoku



jeśli warunek jest spełniony $\rightarrow LE = 1$ i zmienia w stanie
 jeśli nie $\rightarrow LE = 0$, a ADR wygrywa kolejny stan

6) menurowki (proste automaty)

a) JK za pomocą D

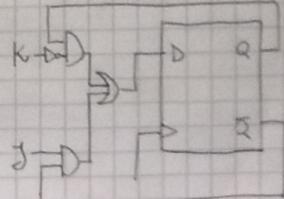
Q	JK			
	00	01	11	10
0	0	0	(1)	(1)
1	1	0	0	(1)

Kto wie odróżnić
jeden od drugiego?

Kto wie
kiedyś

$D = \bar{Q}J + QK$

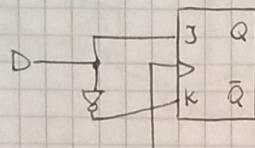
$Q \Rightarrow Q'$	J	K	$Q \Rightarrow Q''$	D
$0 \Rightarrow 0$	0	-	$0 \Rightarrow 0$	0
$0 \Rightarrow 1$	1	-	$0 \Rightarrow 1$	1
$1 \Rightarrow 0$	-	1	$2 \Rightarrow 0$	0
$1 \Rightarrow 1$	-	0	$1 \Rightarrow 1$	1



b) D za pomocą JK

D	Q	Q̄
0	0 0 1	1 1 0
1	1 0 0	0 1 1

$$\begin{array}{l} J = D \\ K = \bar{D} \end{array}$$



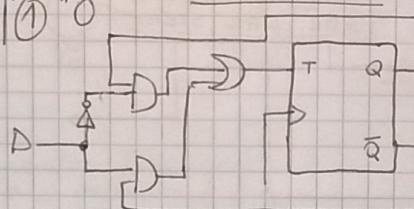
c) D za pomocą T

D	Q	Q̄
0	0 0 1	1 1 0
1	1 0 0	0 1 1

$$T = \bar{Q}D + Q\bar{D}$$

$Q \rightarrow Q^+$	T
0 → 0	0
0 → 1	1
1 → 0	1
1 → 1	0

tuż gdzieś
mam zmianę



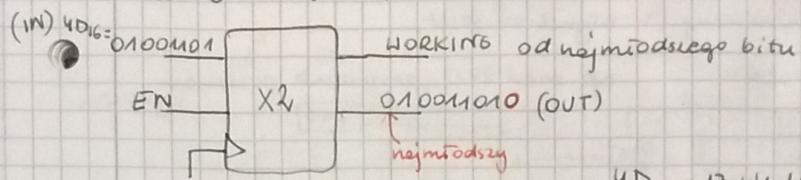
d) JK za pomocą T

JK	00	01	11	10
Q	0 0 0 1	0 1 1 1	1 1 0 0	1 0 1 0
1	0 1 1 0	1 0 0 0	0 0 1 1	0 0 0 1

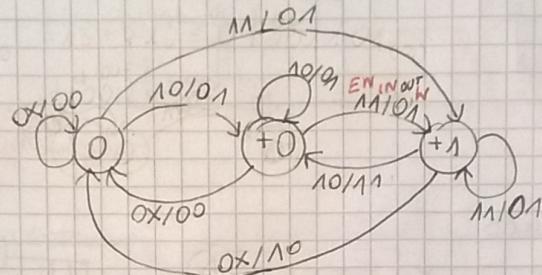
$$T = QK + \bar{Q}J$$

7) funkcje wyjścia dla Mealy'go

Zad 6 AUTOMATY



$$4D_{16} = 13 + 4 \cdot 16 = 01001101_2$$



EN IN	00	01	10	11
0	0	0	0+	1+
0+	0	0	0+	1+
1+	0	1+	0+	1+

WYSZCIA

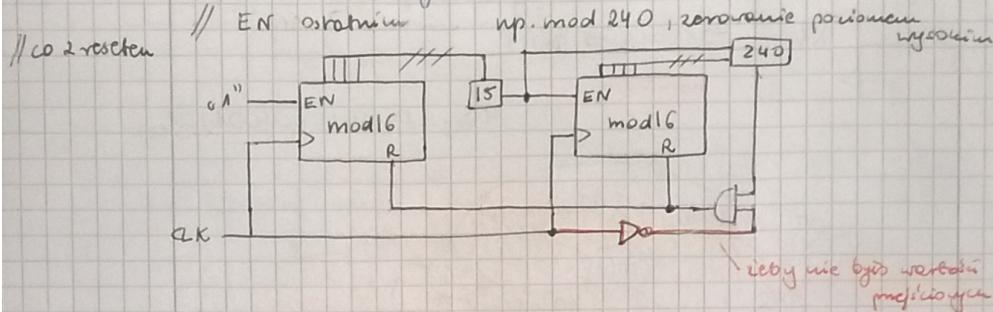
0	00	00	01	01
0+	00	00	01	01
1+	10	10	11	01

funkcje przejścia

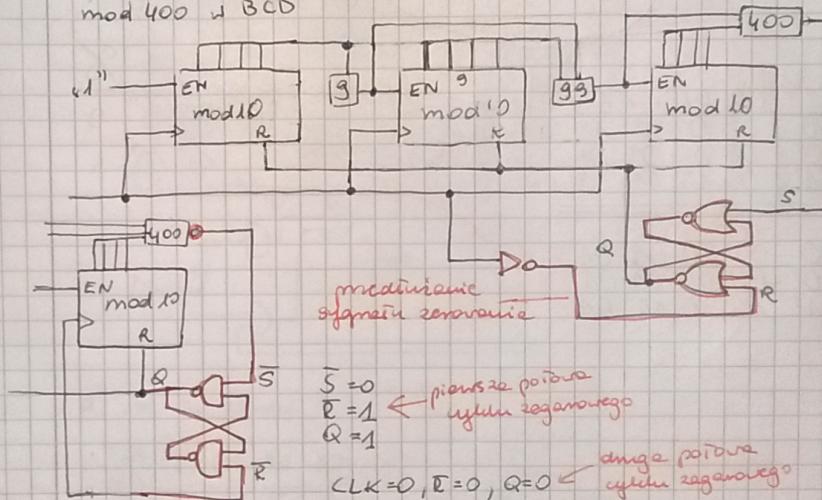
funkcje wyjścia

II LICZNIKI

1) synchroniczny + asynchron. reset



mod 400 w BCD

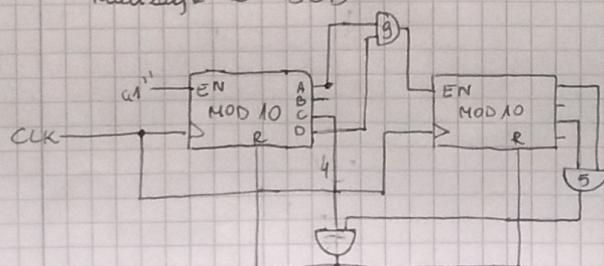


2) synchroniczny + synchroniczny zeraowanie

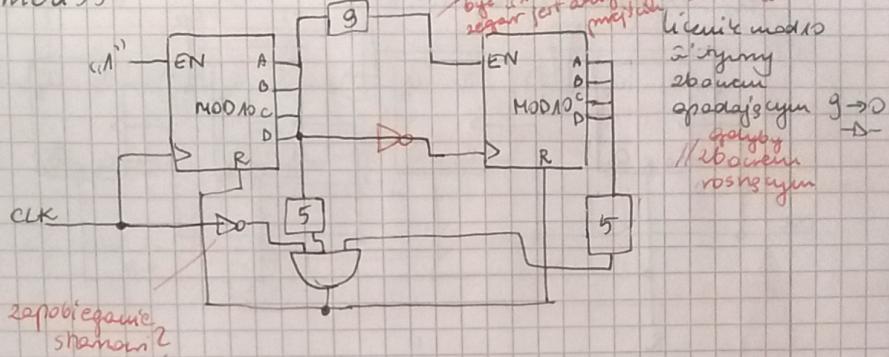
mod 55

// synchroniczny 54

Realizacja w BCD



3) asynchroniczny z zeraaniem asynchronicznym
mod 55

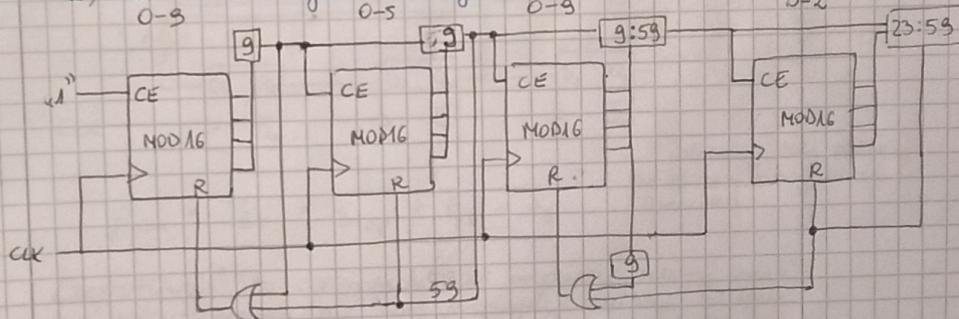


4) asynchroniczny z zeraaniem synchronicznym?

? nie istnieje
bo będzie mniej niż dółce ?

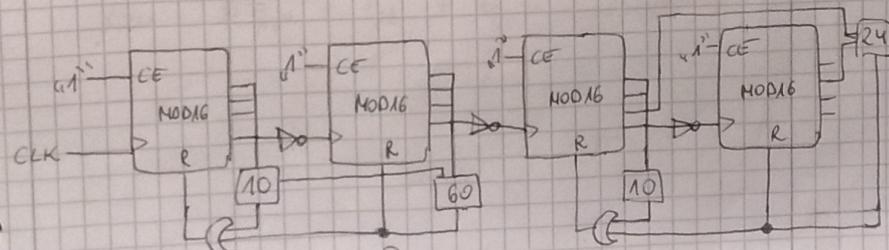
5) Godziny:

a) na liczniku synchronicznym z synchron. zeraaniem



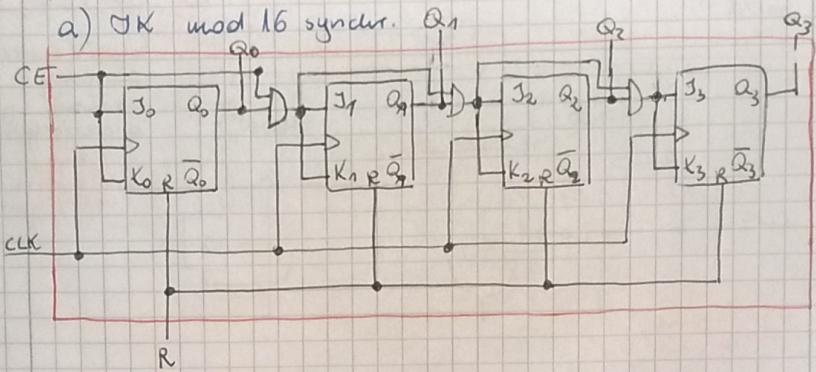
// 9:59 wy 3
zeraanie

b) na liczniku asynchronicznym z asynch. zeraaniem

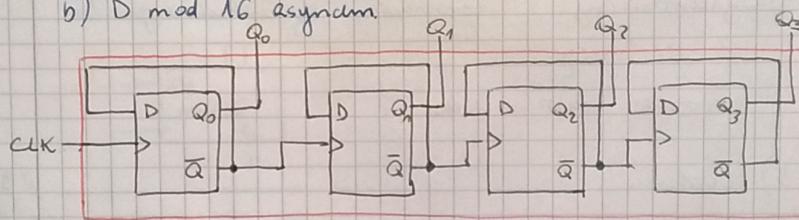


6) Licznik mod 2^n na D, JK, T

a) JK mod 16 synchr.



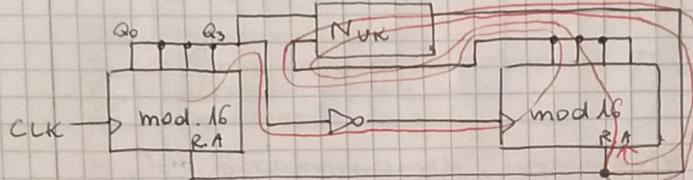
b) D mod 16 asynchron.



f) maksymalne częstotliwości pracy liczników
mod 256

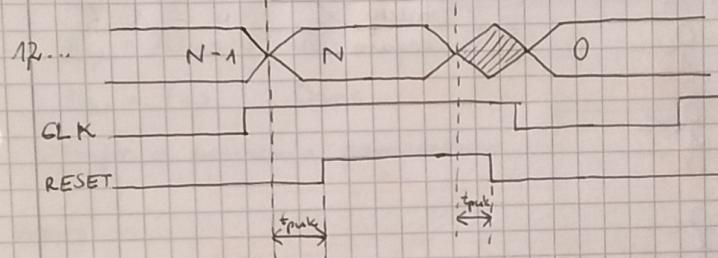
$$\text{np. } T > X \cdot t_{pl} + t_{pb} + 2 \cdot t_{puK} + t_{par} + t_M$$

Wysoka częstotliwość czas propagacji licznika bramki unidre kombinacyjnego

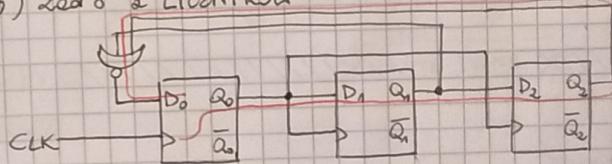


(Reset się zatrzymuje, ale kiedy nie jest góra na zegar)

c.p. RESETU - typu
van 60 milisekund
należy do wszystkich



b) Led 8 z licznikiem



odnajduję takie dłuższe
aż się nie zatrzyma na liczniku

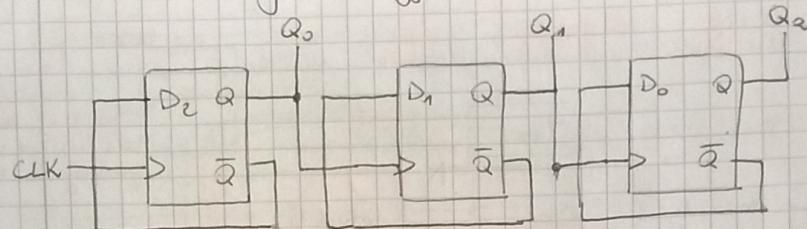
$$f_{max} = \frac{1}{t_{pl}} = \frac{1}{3 \cdot t_{pp} + t_{pb} + t_s}$$

Częstotliwość to odwrotność dt. impulsu, który musi być nie mniejszy niż czas propagacji unidre. W tym wypadku najdłuższy szkielet i unidre jest zatrzymany na przekonku.

$$t_{pl} = 3 \cdot t_{pp} + t_{pb} + t_s \rightarrow \text{czas wypracowania}$$

8) niewciągane sterujące - jeli po prostujs

Zad 8. Wykresy sekwencyjne



Wykresy sekwencyjne, asynchron. mod. 8

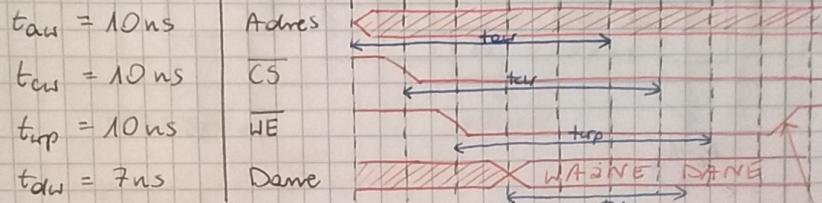
Q_2	Q_1	Q_0	
0	0	0	← takiż zegarek
0	0	1	
0	0	0	←
0	1	0	
0	1	1	←
0	1	0	
0	0	0	
1	0	0	
1	0	1	←
1	0	0	
1	1	0	
1	1	1	←
1	1	0	
1	0	0	
0	0	0	

III PAMIĘCI

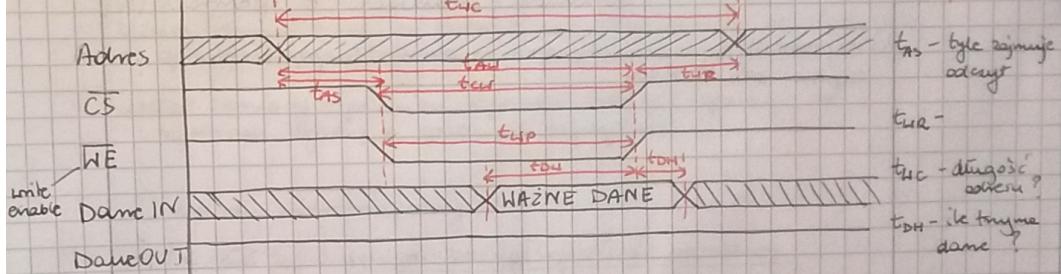
1) najwcześniejszy moment zapisu + określenie parametrów zapisu dla SRAM

Zad 6 Pamięci

t_{aw} - wymiedzenie adresu
 t_{cw} - wymiedzenie chip select (CS)
 t_{cp} - szerokość impulsu zapisu
 t_{dw} - wymiedzenie danych



2) inform. o zasadach parametrów



3) tworzenie pamięci静态的

64 Słów Sztuk: 8-bitowe

Zad 1. PAMIĘCI

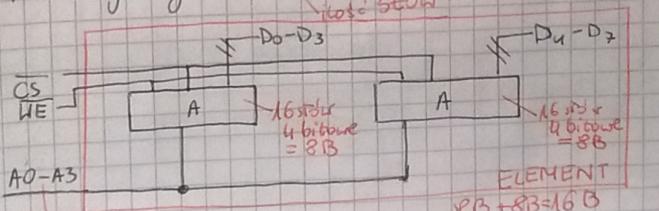
czyli 64B

z adresem A : o wielkości 8B i słowa 4-bitowe

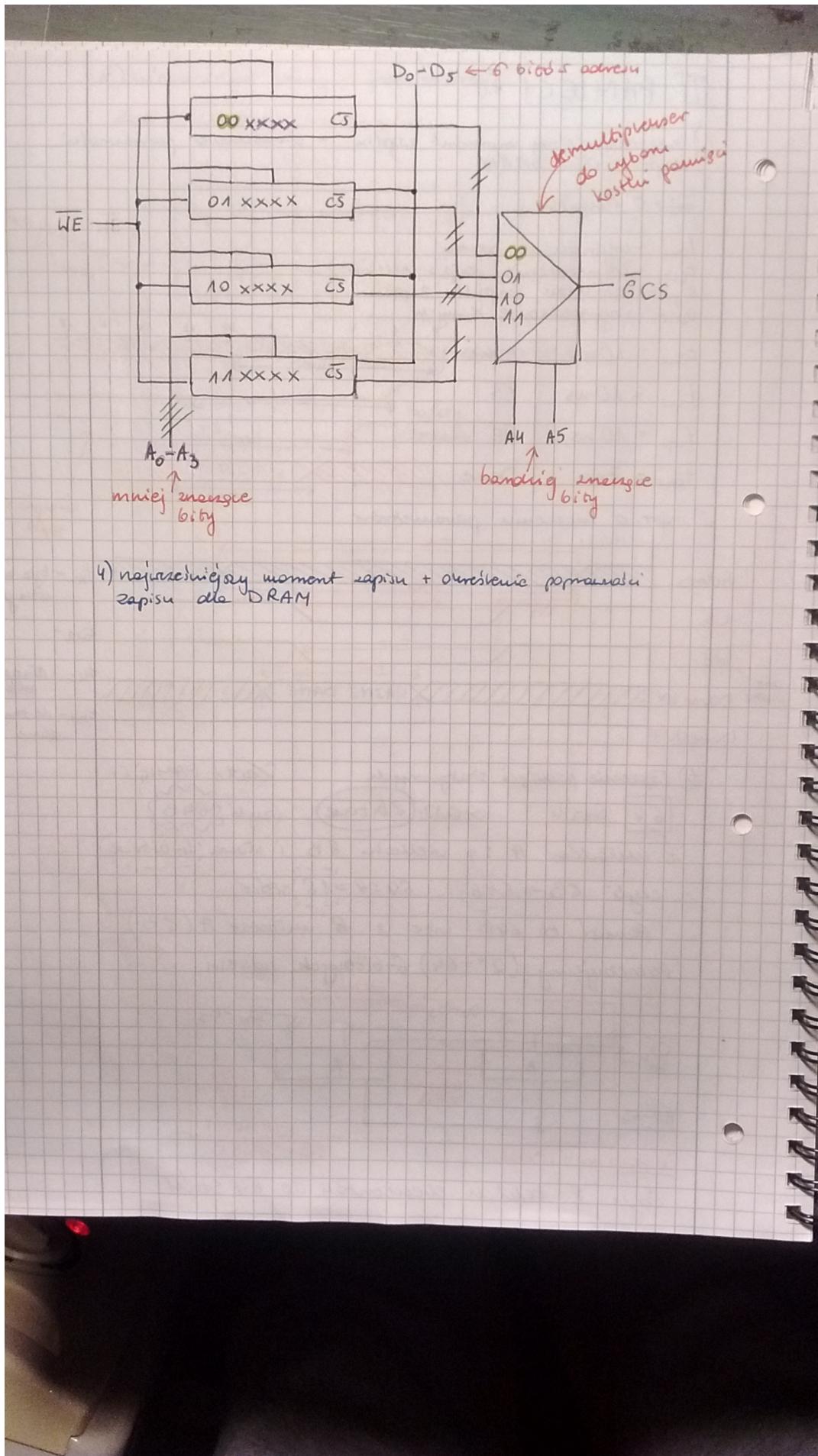
czyli $64 \rightarrow 64 \cdot 8$ $64 \cdot 8 = 16$ SŁÓW

Pamięć to 64B w nsc 2 8 uniwolt A (8B)

Potrzebujemy ($2^6 = 64$) 6-bitowych adresów

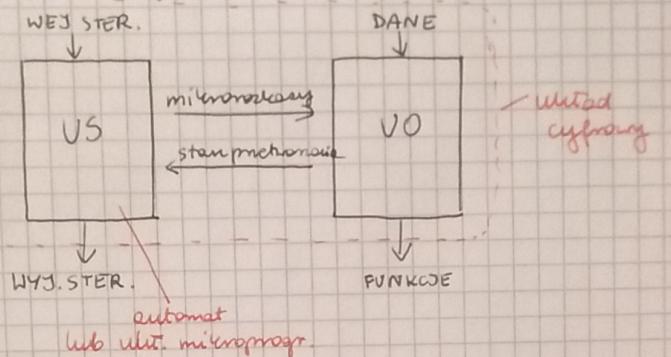


czyli 8 takich elementów do 64 Słów



IV SYNTESA STRUKTURALNA UKŁADU CYFROWEGO

1) układ wykonywany (operacyjny): układ sterowania



sterowanie operacji - opis sterujących dla algorytmów

scenariusze danych - moza za zadanie realizacji opisane w algorytmie
 operacje na wartościach przechowywanych w rejestrach

układ sterujący - poziomem operacji kolejność operacji: na rejestrach zgodnie z opisem z algorytmu

2) układy mikroprogramowane

Zad 2 C2.8 rozkaz obsługi wykonywanie procedury

