

1. (1 pkt) Korzystając z notacji uzupełnieniowej (liczby dodatnie (znak modu w NKB), liczby ujemne (znak modu w U2)) spróbuj wyznaczyć używając słowa równego 5 bitów sumę dwóch liczb: -16, -3. Proszę opisać i zastosować w praktyce dla dodawanych liczb test poprawności operacji dodawania.
2. (3pkt) Metodą Quine–McCluskey dokonać optymalizacji funkcji  $f(e,d,c,b,a)=SUMA(1,9,12,17,19,23,25,27,28,31)+d(13)$  wynik optymalizacji proszę zapisać w sposób pozwalający na realizację funkcji wyłącznie za pomocą bramek NAND.
3. (3pkt) Dla licznika asynchronicznego proszę dokonać wyboru sygnałów zegarowych na wejściach przerzutników D tworzących licznik modulo 9 liczący w NKB kodzie od 2 do 10 (nie podano stanów przejściowych). Licznik rozpoczyna pracę od asynchronicznego wprowadzenia przerzutników w stan 2. Proszę uzasadnić poprawność wyboru zegarów. Dobór sygnałów zegarowych ma na celu minimalizację funkcji wejściowych przerzutników. Proszę określić funkcję wejścia przerzutnika bitu C.
4. (2 pkt) Proszę wyznaczyć (metodą syntezy) funkcje wejść przerzutnika JK dla najstarszego bitu licznika synchronicznego modulo 6 liczącego w NKB (stany od 5 do 0). Licznik rozpoczyna pracę po asynchronicznym wprowadzeniu przerzutników w stan 0.
5. (3pkt) Metodą skracania zakresu pracy licznika synchronicznego z zerowaniem asynchronicznym modulo 16 w NKB (o stanach od 0 do 15) zaprojektowano: licznik liczący w NKB modulo 12 (ze stanem 0 w cyklu stanów stabilnych). W wyniku oceny pracy wykonanego zgodnie z projektem licznika zaobserwowano, że stan 0 pojawia się częściej niż zakładano, a mianowicie układ jest zerowany co 8 narastające zbocze zegarowe się. Proszę:
  - A) Określić co jest prawdopodobną przyczyną błędnej pracy,
  - B) zaprojektować licznik synchroniczny modulo 16 z przerzutników JK,
  - C) skrócić licznik modulo 16 do opisanego układu mod12 za pomocą bramek,
  - D) określić sposób modyfikacji zapewniający poprawną pracę zaprojektowanego układu licznika synchronicznego.

W

**Zad 1.**  $16_{(10)} = 10000_{(2)}$  **W**  
 $-16_{(10)} = 10000_{(U2)}$

Według wykładów powinniśmy dorzucić "1" na początku przy zmianie na U2, ale według polecenia mamy spróbować wykonać operację na 5 bitach. //to jest poprawna konwersja -16 w U2, nic nie trzeba dodawać - a jaki jest zakres U2? -1 do -16 | dodatnie 0-15 dla 5 bitów

$$-3_{(10)} = 11101_{(U2)}$$

$$\begin{array}{r} 10 \\ 10000 \\ + 11101 \\ \hline = (1)01101 \end{array}$$

Wynik nie jest poprawny, gdyż przeniesienie z ostatniego bitu nie jest równie przeniesieniu na ostatni bit, kiedy mamy wykonać operację na dokładnie 5 bitach.

Poprawne? tak.

## Zad 2.

$$f(e, d, c, b, a) = \sum(1, 3, 12, 17, 19, 23, 25, 27, 28, 31) + d(13)$$

1	00001
3	01001
12	01100
17	10001
19	10011
23	10111
25	11001
27	11011
28	11100
31	11111
(13)	01101

• 1	00001
• 3	01001
• 12	01100
• 17	10001
• 19	10011
• 23	10111
• 25	11001
• 28	11100
• 31	11111

• 1:3	0•001
• 1:17	•0001
A 3:15	01•01
• 9:25	•1001
B 12:15	0110•
C 12:23	•1100
• 14:19	100•1
• 17:25	1•001
• 19:23	10•11
• 19:17	1•011
• 25:17	110•1
• 23:31	1•111
• 27:31	11•11

$$\begin{aligned} & \underline{1, 3, 17, 25} \quad \bullet \bullet \bullet 001 \quad \textcircled{D} \\ & \underline{1, 17, 9, 25} \quad \bullet \bullet \bullet 001 \\ & \underline{17, 19, 25, 27} \quad 1 \bullet 0 \bullet 1 \quad \textcircled{E} \\ & \underline{17, 25, 19, 27} \quad 1 \bullet 0 \bullet 1 \\ & \underline{19, 23, 27, 31} \quad 1 \bullet \bullet 11 \quad \textcircled{F} \\ & \underline{19, 27, 23, 31} \quad 1 \bullet \bullet 11 \end{aligned}$$

	1	3	12	17	19	23	25	27	28	31
A		x								
B			x							
C				x						
D	x	x			x		x			
E				x	x		x	x		
F					x	x		x		x

$$f = d\bar{c}\bar{b}\bar{a} + \bar{c}\bar{b}a + eba = f \cdot \overline{(d\bar{c}\bar{b}\bar{a})} \cdot \overline{(\bar{c}\bar{b}a)} \cdot \overline{(eba)}$$

Poprawne?

tak

### Zad 3.

Zadanie 3  
2-10

D	C	B	A
$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1

CLW

$\overline{Q_0}$

$\overline{Q_1}$

$D_c =$

$Q_0 Q_1$	00	01	11	10
$Q_2 Q_3$	00	01	11	10
00	-	-	1	-
01	-	-	0	-
11	-	-	-	-
10	-	-	-	-

$= \overline{Q_c}$

\ Nie jestem pewny tego zadania, ale chyba o to chodziło.

Poprawne? Myślę, że tak chociaż dla D liczy się opadające(????wut?????), więc w Q0 bym zaznaczył odwrotnie. //Q0 jest dobrze wyznaczone.

// Mógłby ktoś wyjaśnić dlaczego i jak to działa?

//na pozycji abcd zapisywana jest ta wartość na jaką zmienia się bit c(o ile się zmienia) po tym stanie(po stanie 0011 bit c zmienia się na 1, po stanie 0111 bit c zmienia stan na 0, w pozostałych wypadkach się nie zmienia, więc wartości dowolne - przynajmniej ja tak to rozumiem)

Mam pytanie, jak mamy tabele dla Dc, to czy wartość QdQcQbQa 0010 nie powinna wynosić zero? Mamy nawet w poleceniu napisane że "Licznik rozpoczyna pracę od asynchronicznego wprowadzenia przerzutników w stan 2". Czy zatem nie jest bezpieczniej wymusić te zera w Qd Qc i Qa?

### Zad 4a



	$Q_2$	$Q_1$	$Q_0$	$J_2$	$K_2$	$J$	$K$	$Q_n \rightarrow Q_{n+1}$
0	0	0	0	1	-	0	-	0 $\rightarrow$ 0
5	1	0	1	-	0	1	-	0 $\rightarrow$ 1
4	1	0	0	-	1	-	1	1 $\rightarrow$ 0
3	0	1	1	0	-	-	0	1 $\rightarrow$ 1
2	0	1	0	0	-			
1	0	0	1	0	-			

$$J_2 = \sum(0) + d(4, 5, 6, 7)$$

$$K_2 = \sum(4) + d(0, 1, 2, 3, 6, 7)$$

Poprawne? // A nie powinno być po prostu  $J_2 = \sim Q_0 \sim Q_1$ ,  $K_2 = \sim Q_0$ ?

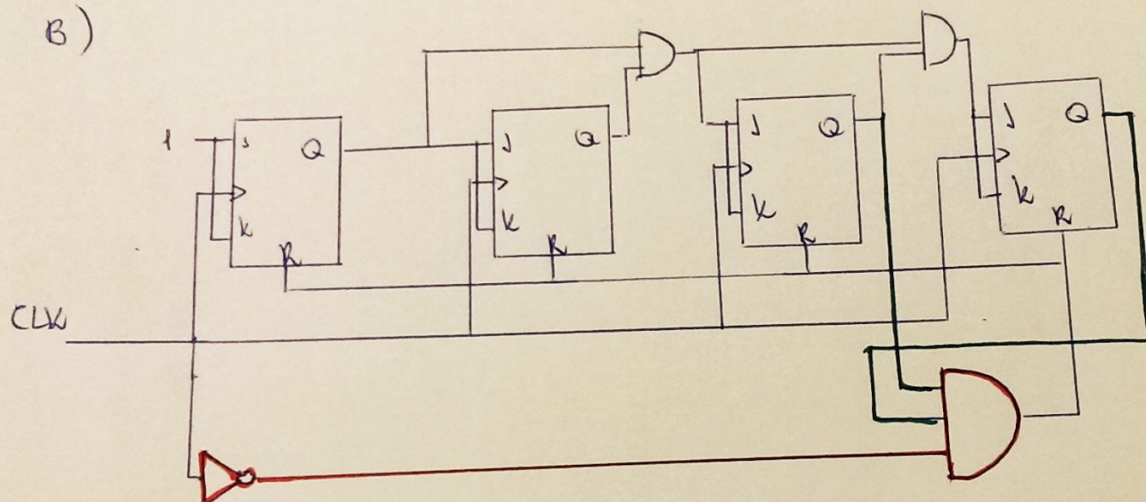
Poprawne, metoda syntezy to właśnie takie funkcje

### Zad 5.

Zad 5

A) Prawdopodobnie przyciągną błędnie progi są stony przejścia, które inicjują zerowanie.

B)



C) ●

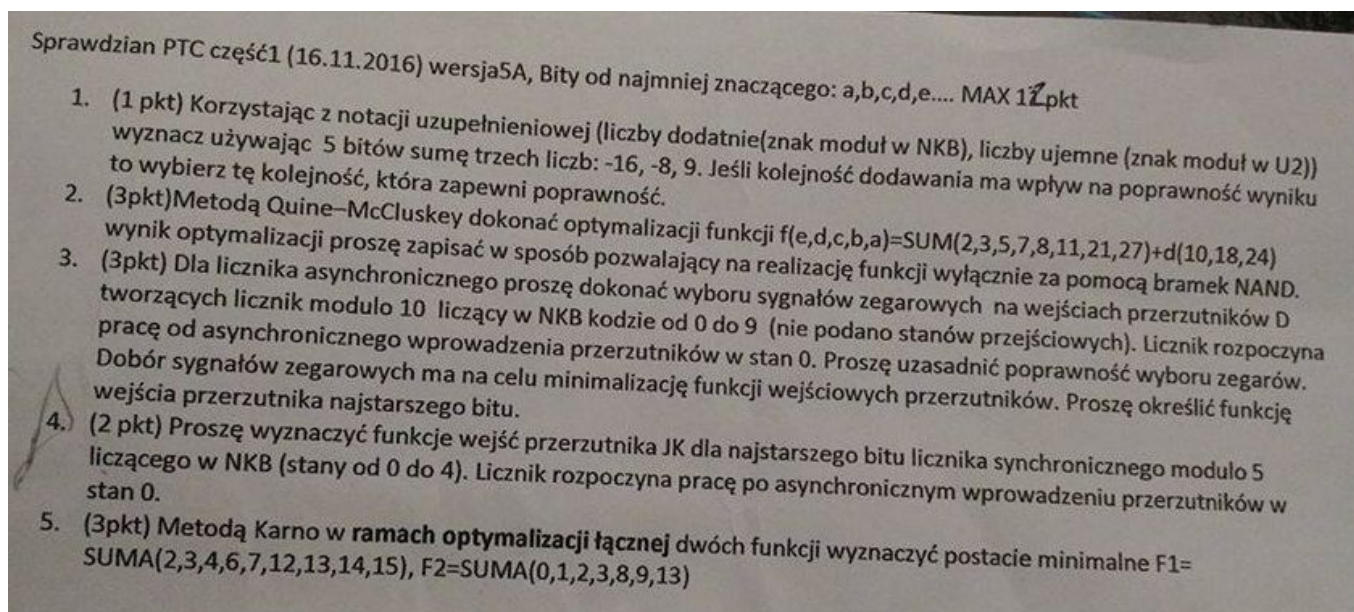
D) Bramka AND, która wygeneruje jest przez sygnał modulo i opóźnienie about zero. ●

Poprawne? tak.

Te ANDy łączące kolejne przerzutniki na pewno są potrzebne? tak

**W synchro tak.**

**KONIEC.**



#### Zad 1.t

$$-16_{(10)} = 10000_{(2)}$$

$$-8_{(10)} = 11000_{(2)}$$

$$9_{(10)} = 01001_{(2)}$$

$-16 + (-8) + 9 = -15$ , ale ponieważ  $-16 + (-8) = -24$  to nie można rozpocząć od dodania obu ujemnych liczb, w pierwszym dodawaniu musi wystąpić dodatnia czyli np

$$10000(-16)$$

$$+01001(9)$$

$$=11001(-7)$$

$-16+9=-7$  - wynik jest poprawny(nie było przeniesienia na najstarszy bit ani z najstarszego bitu)

$$11001(-7)$$

$$+11000(-8)$$

$=10001(-15)$  - wynik poprawny(dodatkowa jedynka, która przeniosłaby się na 6 bit jest do ucięcia, bo mieliśmy działać na 5 bitach)

#### Zad 2.

Zad 3.

00 01 11 10

00 - 0 0 -

01 - 0 1 -

11 - - - -

10 - 0 - -

(przejście na 1 przy stanie 0111 i na 0 przy stanie 1001)

funkcja  $D3 = (\sim d)bc$

(tu nie jestem pewien, ale funkcja musi dać 1 dla 0111 i 0 dla 1001...)

a nie powinniśmy też wpisać 0 dla 1,3 i 5 ?? też tak myślę

Najstarszy bit zmienia się raz na 1 i raz na 0

no to powinien być sterowany ( $\sim Q0$ ) no tak i dlatego powinniśmy też wpisać 0 dla 1,3 i 5

Samo  $\sim Q0$  nie da przypadkiem zmiany co jeden stan?

Wg. mnie pasuje tak jak jest, można co najwyżej inną parę wziąć.

Czyli funkcja  $(\sim d)bc$  jest poprawna? (tylko jaką inną parę jak najstarszy bit zmienia się raz w jedną i raz w drugą stronę?) Np. bit 1 i górne:  $D3 = (\sim d)ba$  ; zerowanie raczej będzie rst, więc tego nie ustawiamy

jest git.

Zad 4.

$J3 = \Sigma(3) + d(4, 5, 6, 7)$

$K3 = \Sigma(4) + d(1, 2, 3, 5, 6, 7)$

//nie powinno być w k3 do d(0 dodatkowo)”?

Zad 5.

//pamięta ktoś jak dokonywało się łącznej optymalizacji? To był iloczyn optymalizacji

poszczególnych funkcji czy coś jeszcze innego innego?

chyba to: [https://www.cs.put.poznan.pl/rwalkowiak/pliki/2015/ptc/ptc\\_w1.pdf#53](https://www.cs.put.poznan.pl/rwalkowiak/pliki/2015/ptc/ptc_w1.pdf#53) + tabelka, które stany są dla danej grupy ( $F1, F2, F1 \cdot F2$ ), tylko nie wiem, czy MUSIMY brać z  $F1 \cdot F2$  stany, czy nie Dla liczb:

00 01 11 10

00 0 1 3 2

01 4 5 7 6

11 12 13 15 14

10 8 9 11 10

F1: (A,B,C)	F2: (D,E,F)	F1xF2: (G,H)
00 01 11 10	00 01 11 10	00 01 11 10
00 0 0 1 1	00 1 1 1 1	00 0 0 1 1
01 1 0 1 1	01 0 0 0 0	01 0 0 0 0
11 1 1 1 1	11 0 1 0 0	11 0 1 0 0
10 0 0 0 0	10 1 1 0 0	10 0 0 0 0

Wybrane grupy: H,G (pokrywają liczby 13, 2 i 3) + E,D (pokrywają 0-3, 8,9) + A,B,C (dla 2,3,4,6,7,12-15)



$$f = \overline{\overline{db}} * \overline{\overline{ac}} * \overline{\overline{dc}} * \overline{\overline{dc}} * \overline{\overline{dcba}} \cdot \overline{\overline{dcb}}$$

→ktoś potwierdzi?

tu jest moje, bo końcówka z rozwiązaniem powyżej jest chyba trochę inna (akurat tak wyszło, że nie było sensu wykorzystywać G,H do F1)

h

2.4

Q <sub>3</sub> Q <sub>2</sub> Q <sub>1</sub>   J <sub>2</sub> K <sub>2</sub>	
000	0 -
001	0 -
010	0 -
011	1 -
100	-1

$J_2 = \Sigma(3) + d(4,5,6,7)$   
 $K_2 = \Sigma(4) + d(1,2,3,5,6,7)$

2.5

$F1 = \Sigma(2,3,4,6,7,12,13,14,15)$   
 $F2 = \Sigma(0,1,2,3,8,9,13)$   
 $F1 \cdot F2 = \Sigma(2,3,13)$

F1

ab \ cd	00	01	11	10
00	0	0	1	1
01	1	0	1	1
11	1	1	1	1
10	0	0	0	0

F2

ab \ cd	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	0	1	0	0
10	1	1	0	0

F1 F2

ab \ cd	00	01	11	10
00	0	0	1	1
01	0	0	0	0
11	0	1	0	0
10	0	0	0	0

$F1 = f(A,B,C) = b\bar{c}\bar{d} + ab + \bar{a}c$   
 $F2 = f(E,H,G) = \bar{b}\bar{c} + \bar{a}\bar{b}c + ab\bar{c}d$

//w a mogłeś mieć jeszcze 0110 i 1110

Mam tak samo jak Ty... ;)

moje miasto a w nim

Najpiękniejszy mój świat

Sprawdzian PTC część1 (21.11.2016) wersjaB, Bity od najmniej znaczącego: a,b,c,d,e.... MAX 12 pkt

1. (1 pkt) Korzystając z notacji uzupełnieniowej (liczby dodatnie (znak modu w NKB), liczby ujemne (znak modu w U2)) wyznacz używając 9 bitów dwóch liczb: -120, 81. Opisać i zastosować w praktyce test poprawności operacji dodawania.
2. (3pkt) Metodą Carno dokonać optymalizacji funkcji znajdując implikanty (grupy kombinacji z 0 na wyjściach)  
 $f(e,d,c,b,a)=\pi(2,3,5,7,8,11,21,27)+d(10,18,22,24)$  wynik optymalizacji proszę zapisać w sposób pozwalający na realizację funkcji wyłącznie za pomocą bramek NOR.
3. (3pkt) Dla licznika asynchronicznego proszę dokonać wyboru sygnałów zegarowych na wejściach przerzutników D tworzących licznik modulo 11 liczący w NKB kodzie od 1 do 10 (nie podano stanów przejściowych). Licznik rozpoczyna pracę od asynchronicznego wprowadzenia przerzutników w stan 1. Proszę uzasadnić poprawność wyboru zegarów. Dobór sygnałów zegarowych ma na celu minimalizację funkcji wejściowych przerzutników. Proszę określić funkcję wejścia przerzutnika najstarszego bitu.
4. (2 pkt) Proszę wyznaczyć (metodą syntezy) funkcje wejść przerzutnika JK dla najstarszego bitu licznika synchronicznego modulo 5 liczącego w NKB (stany od 4 do 0). Licznik rozpoczyna pracę po asynchronicznym wprowadzeniu przerzutników w stan 0.
5. (3pkt) Metodą skracania zakresu pracy licznika synchronicznego z zerowaniem asynchronicznym modulo 16 w NKB (o stanach od 0 do 15) zaprojektowano: licznik liczący w NKB modulo 14 (ze stanem 0 w cyklu stanów). W wyniku oceny pracy wykonanego zgodnie z projektem licznika (w ramach testu licznik taktowano zegarem o okresie 1 sekunda) zaobserwowano, że stan 0 nie pojawia się, a po widocznym gołym okiem stanie 13 pojawia się stan 2. Proszę wyjaśnić:  
A) jak należy zaprojektować powyższy licznik,  
B) prawdopodobną przyczynę zaobserwowanego zjawiska oraz  
C) określić sposób umożliwiający modyfikację układu zapewniającą poprawną pracę.

**Zad 1.**

**Zad 2. Ma ktoś karno dla 5 zmiennych? Bo tam się dwie robiło i jakieś dzikie kombinacje.**

Sprawdzian PTC część1 (18.11.2015) wersja1

4. Oblicz sumy dwóch par liczb: 12 i -8 oraz -1 i -15. Zarówno składniki jak i wynik proszę zapisać na 5 bitach . Proszę sprawdzić czy wynik jest poprawny.
5. Metodą Quine–McCluskey dokonać optymalizacji funkcji (e oznacza najstarszy bit)  
 $f(e,d,c,b,a)=\text{SUM}(2,3,5,7,8,11,27)+d(10,19,24)$  wynik optymalizacji proszę zapisać w sposób pozwalający na jej realizację funkcji wyłącznie za pomocą bramek NAND.
6. Dla licznika asynchronicznego proszę dokonać wyboru sygnałów zegarowych na wejściach przerzutników JK tworzących licznik modulo 6 liczący w kodzie 0,1,2,3,4,5 (nie podano stanów przejściowych). Licznik rozpoczyna pracę od asynchronicznego wprowadzenia przerzutników w stan 0. Proszę uzasadnić poprawność wyboru. Dobór sygnałów zegarowych ma na celu minimalizację funkcji wejściowych przerzutników. Proszę przedstawić funkcje wejść za pomocą wyrażenia typu:  $J1=\text{SUM}(1,3)+d(0,7,2,5)$  .

**Tam było coś w stylu: [dla E=0; AB/CD w Greyu] [dla E=1; AB/CD w Greyu od końca(10, 11, 01, 00)] //a które można łączyć?**

**Łączyć można te co się różnią jednym bitem , odbijasz lustrzanie od prawej krawedzi pierwszej tabeli to wszystko. Trzeba później tylko uważać przy łączeniu w grupy ;) Choc prawde mowiac zapisanie drugiej tabeli od 00,01,11,10 nie ma znaczenia jezeli wiesz jak sie laczy.**

**Zad 3.**

**Zad 4.**

**Zad 5.**



Śprawdzian PTC część 1 (30.11.2016) wersja E, Bity od najmniej znaczącego: a,b,c,d,e,... MAX 12 pkt

1. (1 pkt) Korzystając z notacji uzupełnieniowej (liczby dodatnie (znak moduł w NKB), liczby ujemne (znak moduł w U2)) spróbuj wyznaczyć używając słowa długości 5 bitów różnicę dwóch liczb: -16, -5. Proszę opisać i zastosować w praktyce dla dodawanych liczb test poprawności operacji dodawania.
2. (3pkt) Metodą Quine–McCluskey dokonać optymalizacji funkcji  $f(e,d,c,b,a) = \sum(1,9,12,17,19,23,25,27,28,31) + d(13)$  wynik optymalizacji proszę zapisać w sposób pozwalający na realizację funkcji wyłącznie za pomocą bramek NAND.
3. (2pkt) Dla licznika asynchronicznego proszę dokonać wyboru sygnałów zegarowych na wejściach przerzutników D tworzących licznik modulo 8 liczący w NKB kodzie od 3 do 10 (nie podano stanów przejściowych). Licznik rozpoczyna pracę od asynchronicznego wprowadzenia przerzutników w stan 3. Proszę uzasadnić poprawność wyboru zegarów. Dobór sygnałów zegarowych ma na celu minimalizację funkcji wejściowych przerzutników. Proszę określić funkcję wejścia przerzutnika najstarszego bitu.
4. (3pkt) Metodą optymalizacji tącznej wyznaczyć minimalne postacie funkcji F1 i F2. Funkcja  $F1 = \Pi(1,3,5,8,9,11,12,13)$  i  $F2 = \Pi(0,1,2,3,6,8,9,10,11,14)$
5. (3pkt) Metodą skracania zakresu pracy licznika synchronicznego z zerowaniem asynchronicznym modulo 16 w NKB (o stanach od 0 do 15) zaprojektowano: licznik liczący w NKB modulo 12 (ze stanem 0 w cyklu stanów stabilnych). W wyniku oceny pracy wykonanego zgodnie z projektem licznika zaobserwowano, że po stanie maksymalnym pojawia się stan 4 zamiast stanu. Proszę:
  - A) Określić co jest prawdopodobną przyczyną błędnej pracy,
  - B) zaprojektować wykorzystany licznik synchroniczny modulo 16 z przerzutników JK czułych na zbocze opadające,
  - C) skrócić licznik modulo 16 do opisanego układu mod12 za pomocą bramek,
  - D) określić sposób modyfikacji pozwalający na usunięcie zaobserwowanego problemu.

Zad 1.

Zad 2.

Zad 3.

Zad 4.

Zad 5.

Zad 4.

Zad 5.

Zad 6.

p

Sprawdzian PTC część1 (18.11.2015) wersja2

4. Oblicz sumy dwóch par liczb: 12 i -9 oraz -1 i -14. Zarówno składniki jak i wynik proszę zapisać na 5 bitach . Proszę sprawdzić czy wynik jest poprawny.
5. Metodą Quine–McCluskey dokonać optymalizacji funkcji (e oznacza najstarszy bit)  
 $f(e,d,c,b,a)=\text{SUM}(2,3,7,8,10,11,27)+d(5,19,24)$  wynik optymalizacji proszę zapisać w sposób pozwalający na jej realizację funkcji wyłącznie za pomocą bramek NAND.
6. Dla licznika asynchronicznego proszę dokonać wyboru sygnałów zegarowych na wejściach przerzutników JK tworzących licznik modulo 6 liczący w kodzie 7,6,5,4,3,2 (nie podano stanów przejściowych). Licznik rozpoczyna pracę od asynchronicznego wprowadzenia przerzutników w stan 1. Proszę uzasadnić poprawność wyboru. Dobór sygnałów zegarowych ma na celu minimalizację funkcji wejściowych przerzutników. Proszę przedstawić funkcje wejść za pomocą wyrażenia typu:  $J1=\text{SUM}(1,3)+d(0,7,2,5)$  .

Zad 4.

Zad 5.

Zad 6.

Sprawdzian 1 ver3, Podstawy techniki cyfrowej 19.11.2015

5. Używając dla liczb dodatnich reprezentację binarną znak-moduł, dla liczb ujemnych reprezentację znak-U2 (uzupełnienie do 2) **dodać** następujące pary liczb: 40 i -120, 15 i -8 (wartości zapisano dziesiętnie), określić słownie niezbędną liczbę bitów używanych reprezentacji.
6. Proszę wykonać dodawanie w kodzie **BCD** liczb, które w kodzie dziesiętnym mają wartości 8257 i 1749.
7. Dla asynchronicznego licznika modulo 7 w kodzie 0,1,2,3,4,5,6, ( projekt **metodą syntezy**):
  - Proszę wyznaczyć sygnały zegarowe pozwalające na uproszczenie funkcji wejść przerzutników
  - Proszę wyznaczyć funkcje wejść przerzutników DLicznik jest wprowadzany w stan początkowy za pomocą asynchronicznego resetu.
8. Zminimalizować postać funkcji 5 zmiennych metodą **McCluskeya**  $F3=\text{SUM}(0,2,7,8,10,15,23,31)+d(13,29)$ , zmienne *abcde*, *a* ma wagę 1.

Zad 5.

Zad 6.

Zad 7.

Zad 8.

Sprawdzian 1/2015 z PTC Wer. 4

1. Dokonać optymalizacji łącznej funkcji  $F1$  i  $F2$ . Optymalizacja łączna minimalizuje liczbę implikantów użytych do implementacji wielu funkcji (dzięki wykorzystaniu implikantów wspólnych).  $F1=\text{SUM}(3,5)+d(7)$   $F2=\text{SUM}(0,5)+d(2)$
2. Metodą McCluskey'a dokonać optymalizacji funkcji  $F3=\text{SUM}(0,8,10,12,14,15,22)+d(7,20,26)$
3. Wyznaczyć funkcje wzbudzeń przerzutników JK w synchronicznym liczniku liczącym w kodzie: 0,4,2,1,6. Licznik wprowadzamy w stan początkowy za pomocą asynchronicznego resetu.
4. Odjąć liczby (-13) i 18 korzystając z notacji uzupełnieniowej liczb ujemnych oraz notacji znak moduł liczb dodatnich. Wykonać obliczenia na 6 bitach i sprawdzić poprawność wyniku.

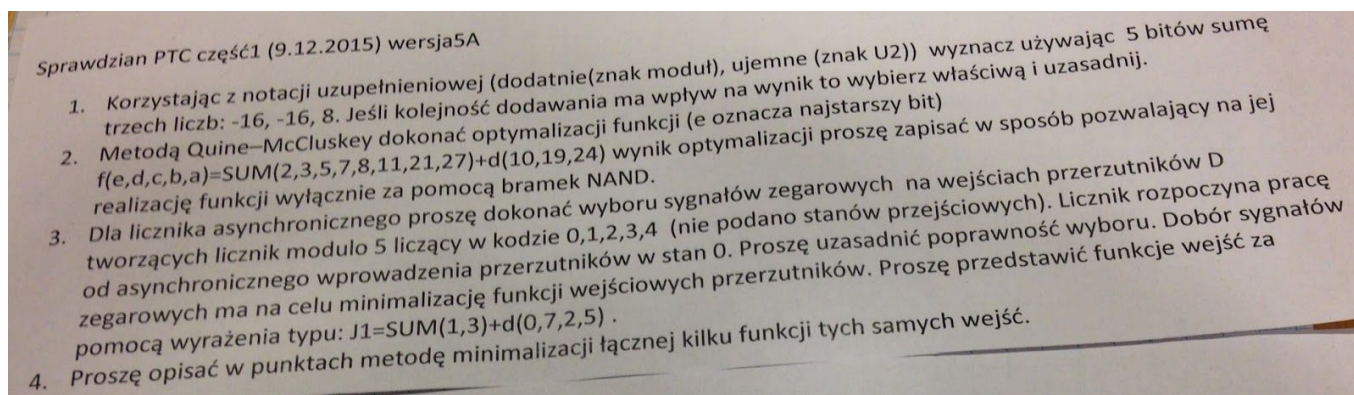


**Zad 1.**

**Zad 2.**

**Zad 3.**

**Zad 4.**

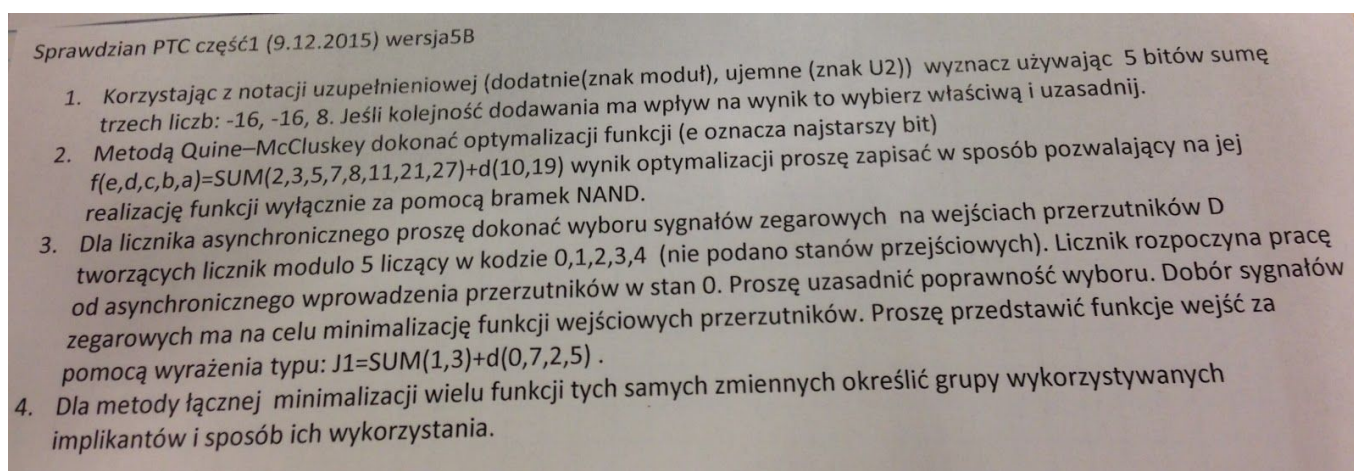


**Zad 1.**

**Zad 2.**

**Zad 3.**

**Zad 4.**



**Zad 1.**

**Zad 2.**

**Zad 3.**

**Zad 4.**



Sprawdzian PTC część1 (9.12.2015) wersja1

1. Proszę zapisać w kodzie BCD liczby dziesiętne 2839 oraz 7842, a następnie dodać je wyjaśniając kroki procedury. Proszę sprawdzić czy wynik dodawania jest poprawny poprzez zamianę wyniku na liczbę dziesiętną.
2. Metodą Quine–McCluskey dokonać optymalizacji funkcji (e oznacza najstarszy bit)  $f(e,d,c,b,a) = \text{SUM}(2,3,5,7,11,21,24,27) + d(10,19)$  wynik optymalizacji proszę zapisać w sposób pozwalający na realizację funkcji wyłącznie za pomocą bramek NAND.
3. Licznik synchroniczny zbudowano z modułów liczników mod 16 z wejściami: zegarowym, zgody na zliczanie i wejściem asynchronicznym zerowania. Miał on (po wstępnym zerowaniu) liczyć w kodzie modulo 24. W tym celu poprawnie zaprojektowano i wykonano układ wykrywający na wyjściu licznika wartość 24. Wygenerowany przez układ sygnał podawano na wejście zerujące liczników. Zaobserwowano jednak błędną pracę licznika, który zerował się, lecz występowało to w złym momencie - wkrótce po osiągnięciu stanu 15. Proszę zaprojektować licznik synchroniczny (schemat połączeń z dokładnością do bramki NOT) w sposób, który zapewni usunięcie wyżej opisanego problemu. Czym jest ten problem spowodowany?

Sprawdzian PTC część1 (23.11.2017) wersja3 czas 45 minut.

1. 1 pkt Korzystając z notacji uzupełnieniowej (dodatnie (znak moduł), ujemne (znak U2)) wyznaczyć używając wystarczającą liczbę bitów sumę trzech liczb dodając kolejno dwie pierwsze liczby i do ich wyniku trzecią: -50, -13, 34. Jak ustalić niezbędną liczbę bitów zapewniającą poprawność powyższego ciągu operacji dodawania.
2. 2 pkt Proszę zaprojektować licznik synchronicznego modulo 50 zrealizowany metodą skracania przy użyciu liczników modulo 16 liczących w NKB. Proszę podać warunki pozwalające na określenie minimalnego okresu zegara wejściowego. Wejście zerujące jest synchroniczne. W przypadku wykorzystania, proszę określić znaczenie następujących czasów – parametrów elementów składowych: czas propagacji licznika mod 16, czas propagacji układu bramek (co najmniej jedna), czas wyprzedzenia, czas martwy, czas podtrzymania, czas zerowania. Proszę uzasadnić podane warunki na okres zegara.
3. 3 pkt Proszę dokonać optymalizacji łącznej 3 funkcji:  $F1(c,b,a) = \Sigma(0,1,5,7)$   $F2(c,b,a) = \Sigma(0,2,6,7)$   $F3 = \Sigma(0,4,5)$  Czy koszt rozwiązania wynikającego z optymalizacji łącznej okazał się lepszy od wyniku optymalizacji indywidualnej każdej z funkcji. Oprócz wyniku proszę opisać słownie sposób wyznaczenia rozwiązania.

Sprawdzian PTC część1 (9.12.2015) wersja2

1. Korzystając z notacji uzupełnieniowej (dodatnie (znak moduł), ujemne (znak U2)) wyznaczyć używając 5 bitów sumę trzech liczb: -5, -13, 8. Jeśli kolejność dodawania ma wpływ na poprawność operacji to wybierz właściwą i uzasadnij.
2. Proszę dla licznika asynchronicznego mod 11 (liczącego w NKB od zera):
  - Na schemacie zaznaczyć sposób połączenia wejść zegarowych oraz wejść inicjacji pracy,
  - Podać funkcję najstarszego wyjścia w postaci kanonicznej uproszczonej przy użyciu symboli  $\Pi$  i  $d$ .
3. Proszę dokonać optymalizacji łącznej funkcji:  $F1(c,b,a) = \Sigma(1,2,3,4)$   $F2(c,b,a) = \Sigma(1,4,5,6)$  Czy wynik optymalizacji łącznej jest w tym przypadku lepszy od wyniku optymalizacji indywidualnej funkcji. Oprócz wyniku proszę opisać słownie sposób wyznaczenia rozwiązania funkcji.

Sprawdzian PTC część1 (30.11.2017) wersja4 czas 45 minut.

1. 1 pkt Korzystając z notacji uzupełnieniowej (dodatnie (znak moduł), ujemne (znak U2)) wyznaczyć używając wystarczającą liczbę bitów sumę trzech liczb dodając kolejno dwie pierwsze liczby i do ich wyniku trzecią: 50, 14, -34. Jak ustalić niezbędną liczbę bitów zapewniającą poprawność powyższego ciągu operacji dodawania.
2. 1 pkt Proszę zaprojektować licznik asynchroniczny modulo 4 w oparciu o przerzutniki D. Proszę określić kolejne stany licznika z uwzględnieniem stanów przejściowych.
3. 1 pkt Proszę określić przyczynę problemu oraz sposób jej usunięcia. Licznik synchroniczny został zaprojektowany metodą skracania zakresu zliczania. Zerowanie jest asynchroniczne. Po osiągnięciu stanu maksymalnego = 14 przechodzi w stan = 6 zamiast stanu = 0. Proszę narysować schemat układu usuwającego problem przy założeniu, że licznik jest czuły na zbocze narastające, a wejście zerujące jest aktywne poziomem wysokim. Proszę określić w jaki sposób należy podłączyć układ do wcześniej zaprojektowanego licznika.
4. 3 pkt Proszę dokonać optymalizacji łącznej 3 funkcji:  $F1(c,b,a) = \Pi(0,1,5,7)$   $F2(c,b,a) = \Pi(0,2,6,7)$   $F3 = \Pi(0,4,5)$  Czy koszt rozwiązania wynikającego z optymalizacji łącznej okazał się lepszy od wyniku optymalizacji indywidualnej każdej z funkcji. Oprócz wyniku proszę opisać słownie sposób wyznaczenia rozwiązania.

Sprawdzian PTC część 1 (13.12.2017) wersja 5 czas 45 minut.

1. 1 pkt Korzystając z notacji uzupełnieniowej (dodatnie (znak moduł), ujemne (znak U2)) spróbuj wyznaczyć za pomocą reprezentacji binarnej 8 bitowej sumę liczb -64 i -63. Po dodaniu wartości binarnych sprawdź poprawność wyniku.
2. 2 pkt Proszę zaprojektować licznik synchronicznego modulo 200 zrealizowany metodą skracania przy użyciu liczników modulo 16 liczących w NKB. Proszę podać warunki pozwalające na określenie minimalnego okresu zegara wejściowego. Wejście zerujące jest asynchroniczne. W przypadku wykorzystania, proszę określić znaczenie następujących czasów – parametrów elementów składowych: czas propagacji licznika mod 16, czas propagacji układu bramek, czas wyprzedzenia, czas martwy, czas podtrzymania, czas zerowania. Proszę uzasadnić podane warunki na okres zegara.
3. 3 pkt Proszę dokonać optymalizacji łącznej funkcji:  $F1(d,c,b,a) = \Sigma(2,3,4,6,7,12,13,14,15)$  i funkcji  $F2(d,c,b,a) = \prod(4,5,6,7,8,10,11,12,14,15)$  Oprócz wyniku – postaci minimalnych funkcji proszę opisać słownie sposób wyznaczenia rozwiązania. Czy koszt rozwiązania wynikającego z optymalizacji łącznej okazał się lepszy od wyniku optymalizacji indywidualnej każdej z funkcji.