

Sławomir Kulesza

# Technika cyfrowa

# Układy serii CMOS

Wykład dla studentów III roku Informatyki

Wersja 2.1, 25/10/2011

# Rodziny układów logicznych

## **Rodziny układów bipolarnych:**

TTL – Transistor-Transistor Logic

ECL – Emiter-Coupled Logic

I<sup>2</sup>L – Integrated Injection Logic

## **Rodziny układów unipolarnych:**

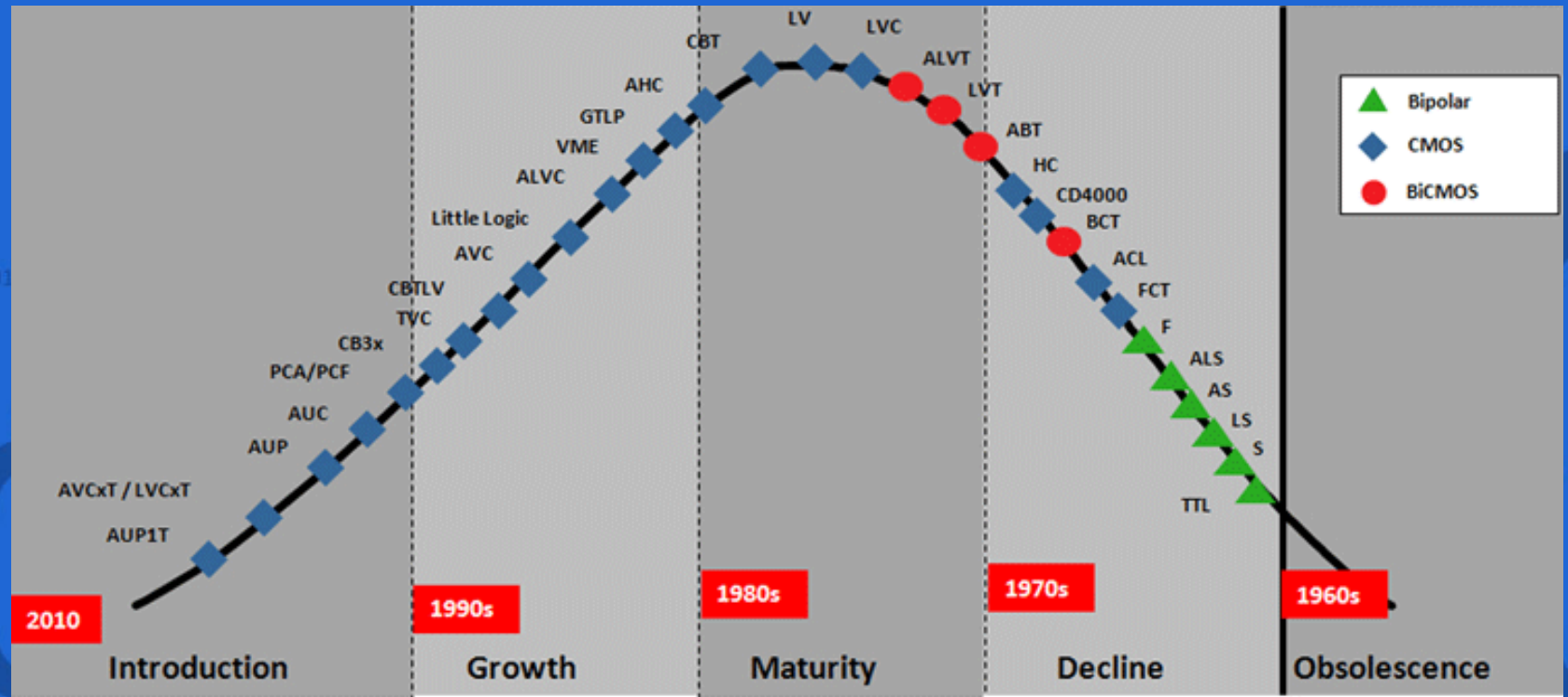
MOS – Metal-Oxide Semiconductor

CMOS – Complementary MOS

CTD – Charge Transfer Device

MESFET – Metal Semiconductor Field  
Effect Transistor

# Czas życia generacji układów logicznych



# Porównanie parametrów układów

ZESTAWIENIE PORÓWNAWCZE PARAMETRÓW GŁÓWNYCH KLAS CYFROWYCH UKŁADÓW SCALONYCH

Tablica 5.1

Klasa lub rodzina Parametr	ECL SSI	TTL SSI	MOS LSI, VLSI	CMOS SSI	I <sup>2</sup> L LSI	GaAs MSI
Czas propagacji $t_{p\text{typ}}$ [ns]	0.3 ÷ 2	1.7 ÷ 33	0.2 ÷ 50	3 ÷ 125	7 ÷ 50	0.05 ÷ 0.2
Moc strat na bramkę $P_{\text{typ}}$ [mW]	25 ÷ 60	1 ÷ 23	0.1 ÷ 15	1 $\mu$ W statyczna, ~ 1 mW przy 1 MHz	4 ÷ 300 $\mu$ W	0.1 ÷ 1
Współczynnik dobroci $D_{\text{typ}}$ [pJ]	15 ÷ 60	4 ÷ 138	0.2 ÷ 75	10 <sup>-2</sup> statyczna, 50 ÷ 150° przy 1 MHz	0.2 ÷ 2	0.01 ÷ 0.2
Obciążalność statyczna wyjściowa $N_{\text{max}}$	60 ÷ 90	10	> 20	50	1 ÷ 10	
Margines zakłóceń $M_{\text{typ}}$ [V]	~ 0.2	1	0.7 ÷ 1.5	0.45 $U_{DD}$	0.45 $U_{DD}$	
Impedancja wyjściowa [ $\Omega$ ]	6 ÷ 10	10	0.5 ÷ 10k	800		
Częstotliwość zegarowa $f_{\text{max}}$ [MHz]	150 ÷ 1200	3 ÷ 150	2 ÷ 30	5 ÷ 150	1 ÷ 20	1 ÷ 10 GHz
Zasilanie [V]	-5.2 ± 10%	5 ± 10%	Jedno do trzech napięć w zakresie -15 V ... +15 V typowo tylko +5 V (NMOS)			
Asortyment	średni	bardzo duży	duży	duży	mały	mały

# CMOS vs. TTL

PORÓWNANIE PARAMETRÓW UKŁADÓW TTL I CMOS  
(WARTOŚCI TYPOWE PRZY  $U_{CC} = 5V$ ,  $C_L = 50pF$  i  $T_a = +25^\circ C$ )

Tablica 7.4

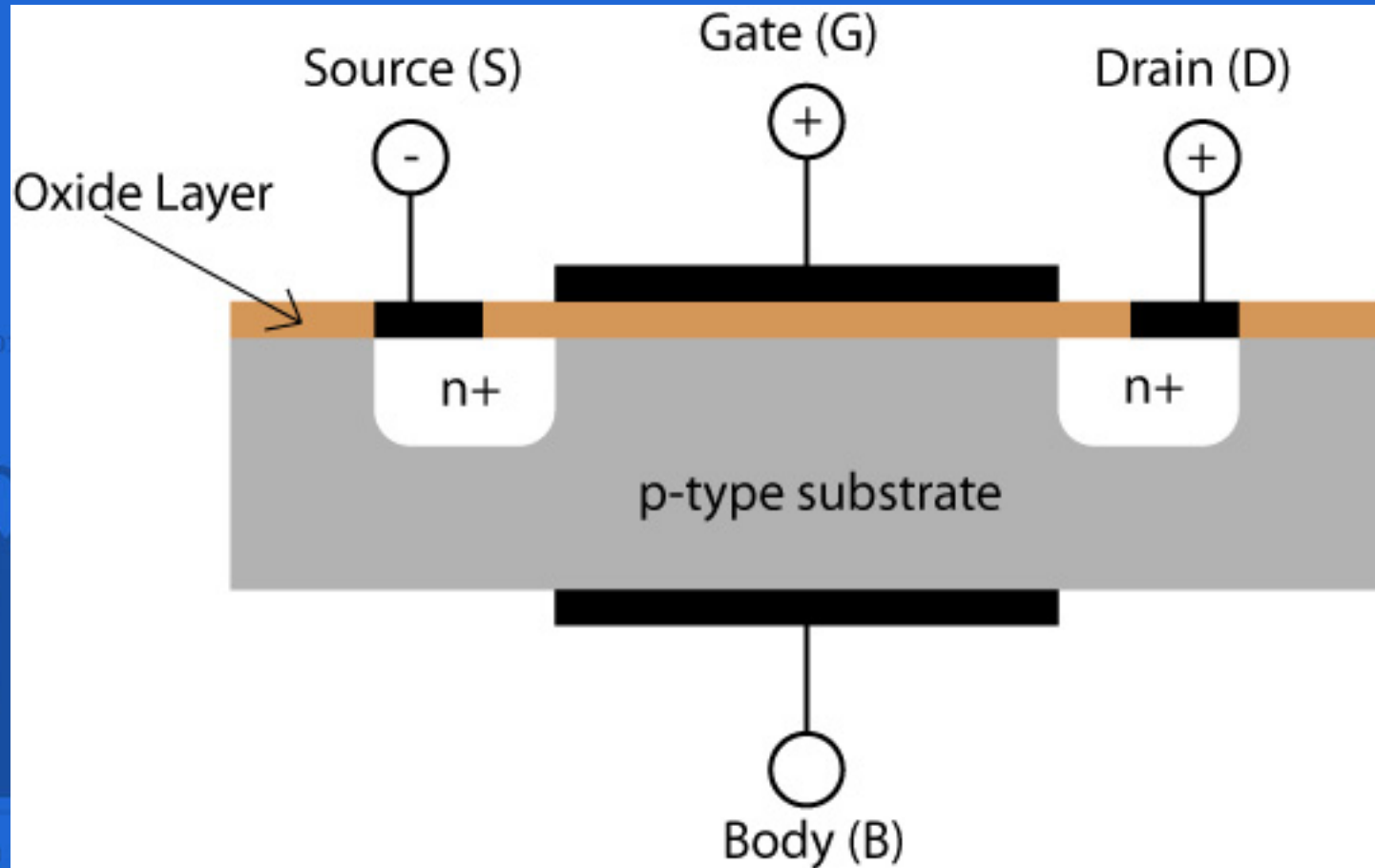
Rodzina Parametr	TTL			CMOS			
	LS	ALS	F	4000B	HC	AHC	AC FACT
Napięcie zasilające $U_{CC}$ (V)	$5 \pm 5\%$	$5 \pm 10\%$	$5 \pm 5\%$	3–18	2–6	2–5.5	2–6
Moc strat na bramkę w stanie statycznym $P_{typ}$ (mW)	2	1	5.5	0.001	0.0025	0.0025	0.0025
Czas propagacji $t_{p_{typ}}$ (ns) przy $C_L = 50$ pF	9	5	3.5	125	8	5.2	5.5
Maksymalna częstotliwość pracy $f_{max}$ (MHz)	33	50	150	4	50	115	160
Prądy wyjściowe (mA): — $I_{OH_{max}}$ przy $U_{OH_{min}}$	0.4	0.4	1	2.1 mA przy 2.5V	4 mA przy 4.5V	8 mA przy 4.5V	24 mA przy 3.8V
$I_{OL_{max}}$ przy $U_{OL_{max}}$	8	8	20	0.44 mA przy 0.4V	4 mA przy 0.4V	8 mA przy 0.4V	24 mA przy 0.4V
Prądy wejściowe ( $\mu A$ ): $I_{IH_{max}}$	20	20	20	0.1	1	1	1
$I_{IL_{max}}$	400	200	600	0.1	1	1	1
Margines zakłóceń $M_{min}$ (V)	0.3	0.4	0.3	$0.3 U_{CC}$	0.28 $U_{CC}$ czyli 1.25V przy $U_{CC} = 4.5V$ oraz 1.4V przy $U_{CC} = 5.0V$		



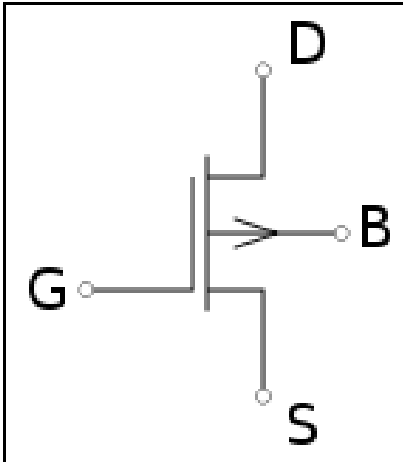
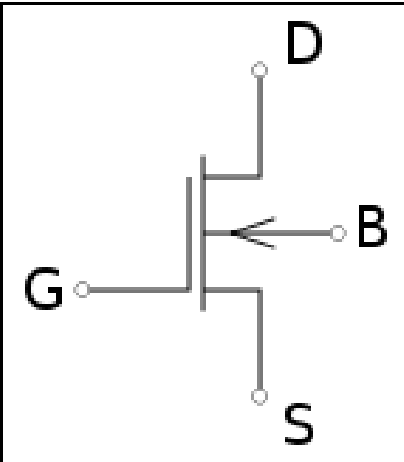
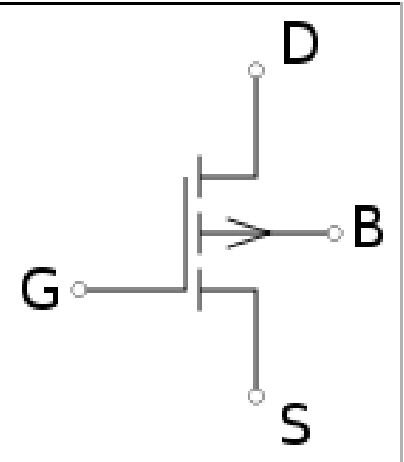
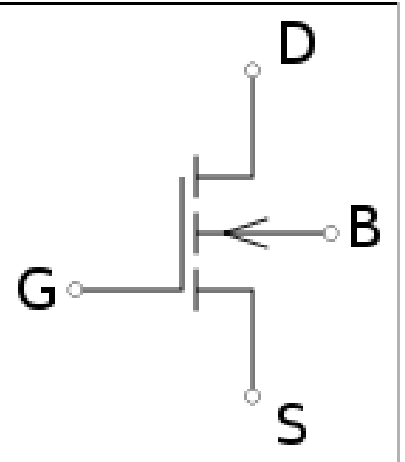
# Parametry nominalne układów CMOS

Parametry	Rodzina		
	LV	LVC	ALVC
Napięcie zasilające $U_{CC}$ [V]	2 – 5,5	1,2 – 3,6	1,2 – 3,6
Czas propagacji $t_{p\text{typ}}$ [ns] przy $C_L = 50$ pF	9	6,5	3
Maksymalna częstotliwość pracy $f_{\text{max}}$ [MHz]	70	150	300
Prąd wyjściowy [mA]: $I_{OL\text{max}}$ ( $I_{OH\text{max}}$ )	8 (8)	24 (24)	24 (24)
Technologia [ $\mu\text{m}$ ]	2	0,8	0,6
Temperatura pracy [ $^{\circ}\text{C}$ ]	-40 ÷ +125	-40 ÷ +85	-40 ÷ +85

# Tranzystor MOSFET

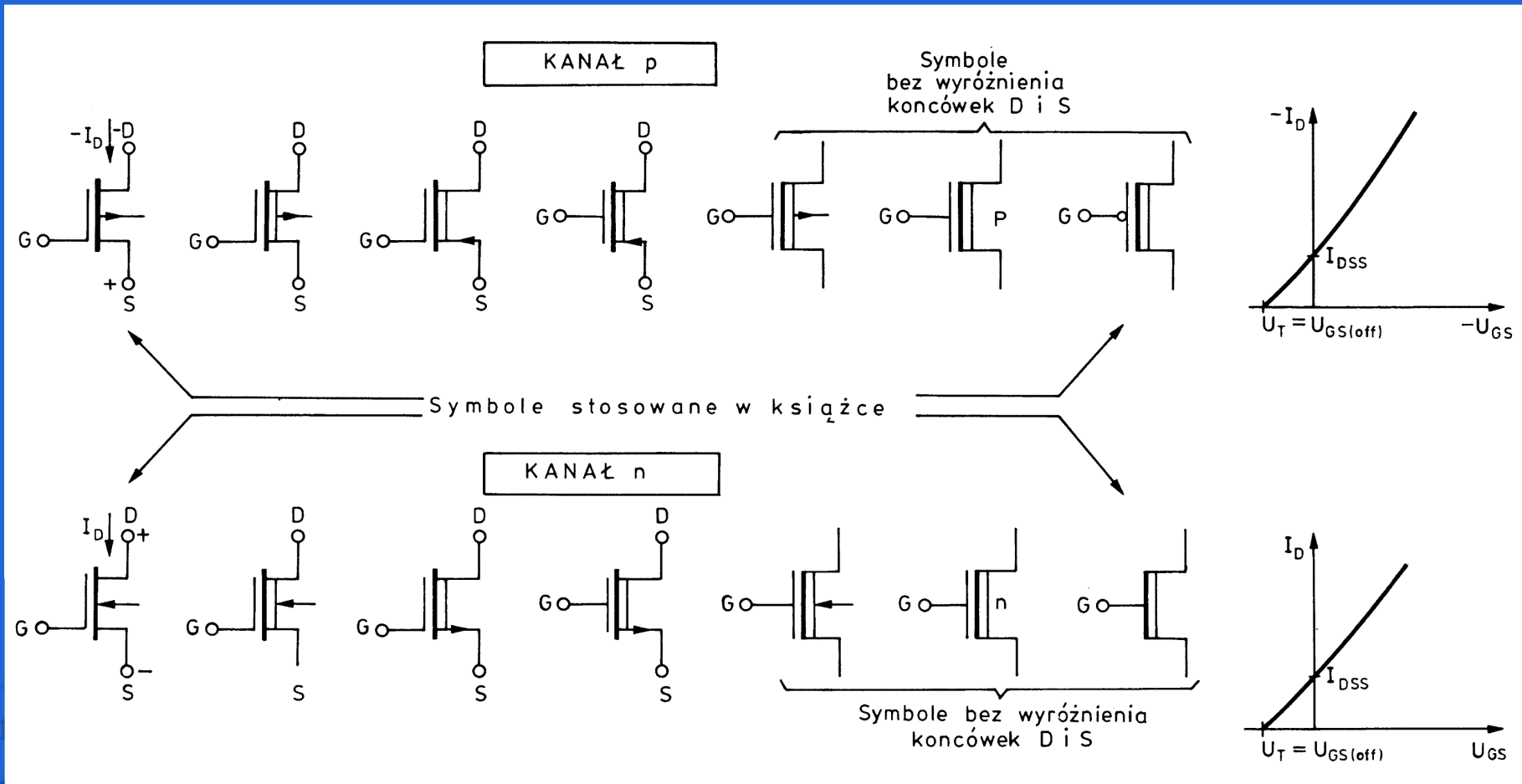


# Tranzystor MOSFET

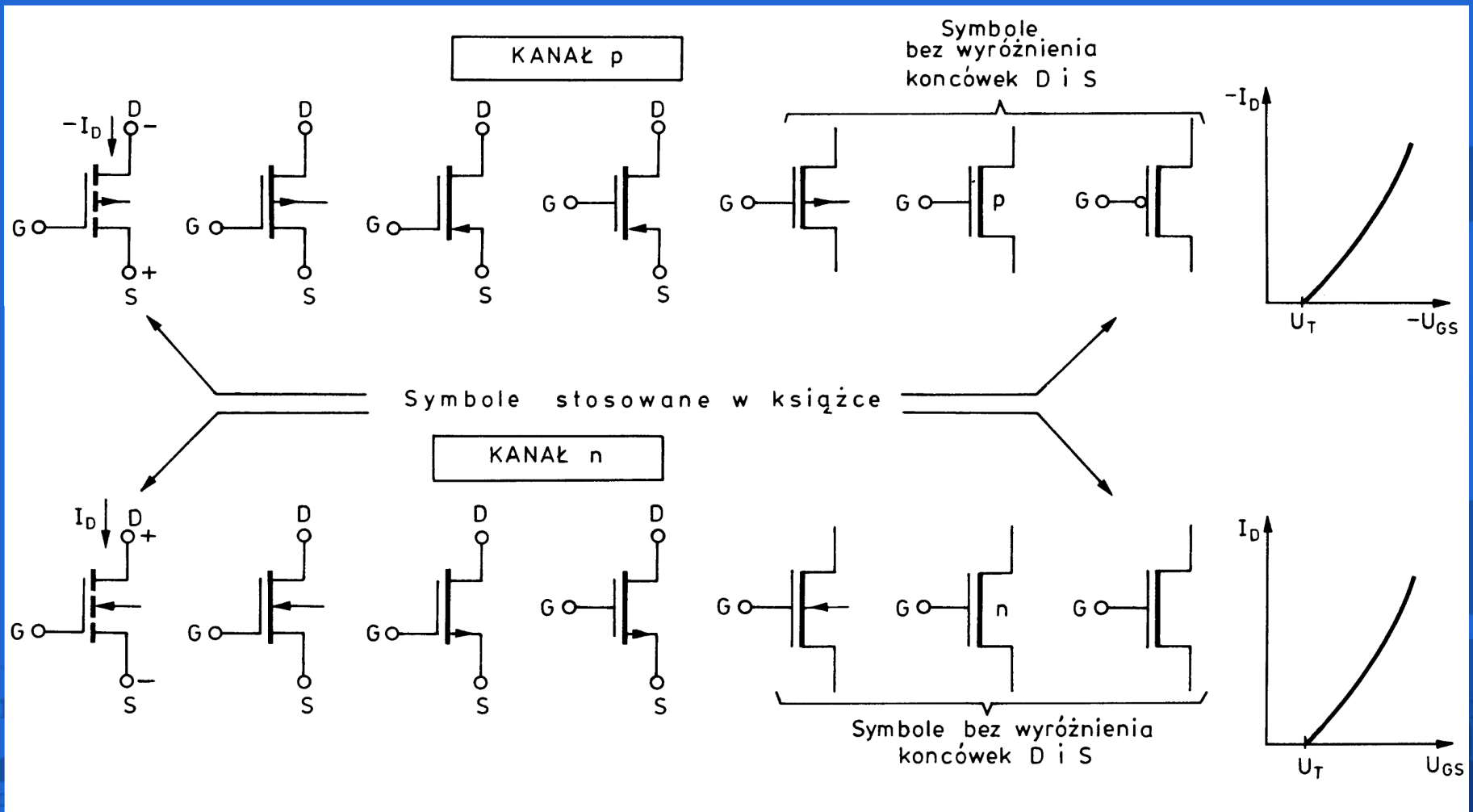
z kanałem zubożanym		z kanałem wzbogaczanym	
			
z kanałem typu P	z kanałem typu N	z kanałem typu P	z kanałem typu N



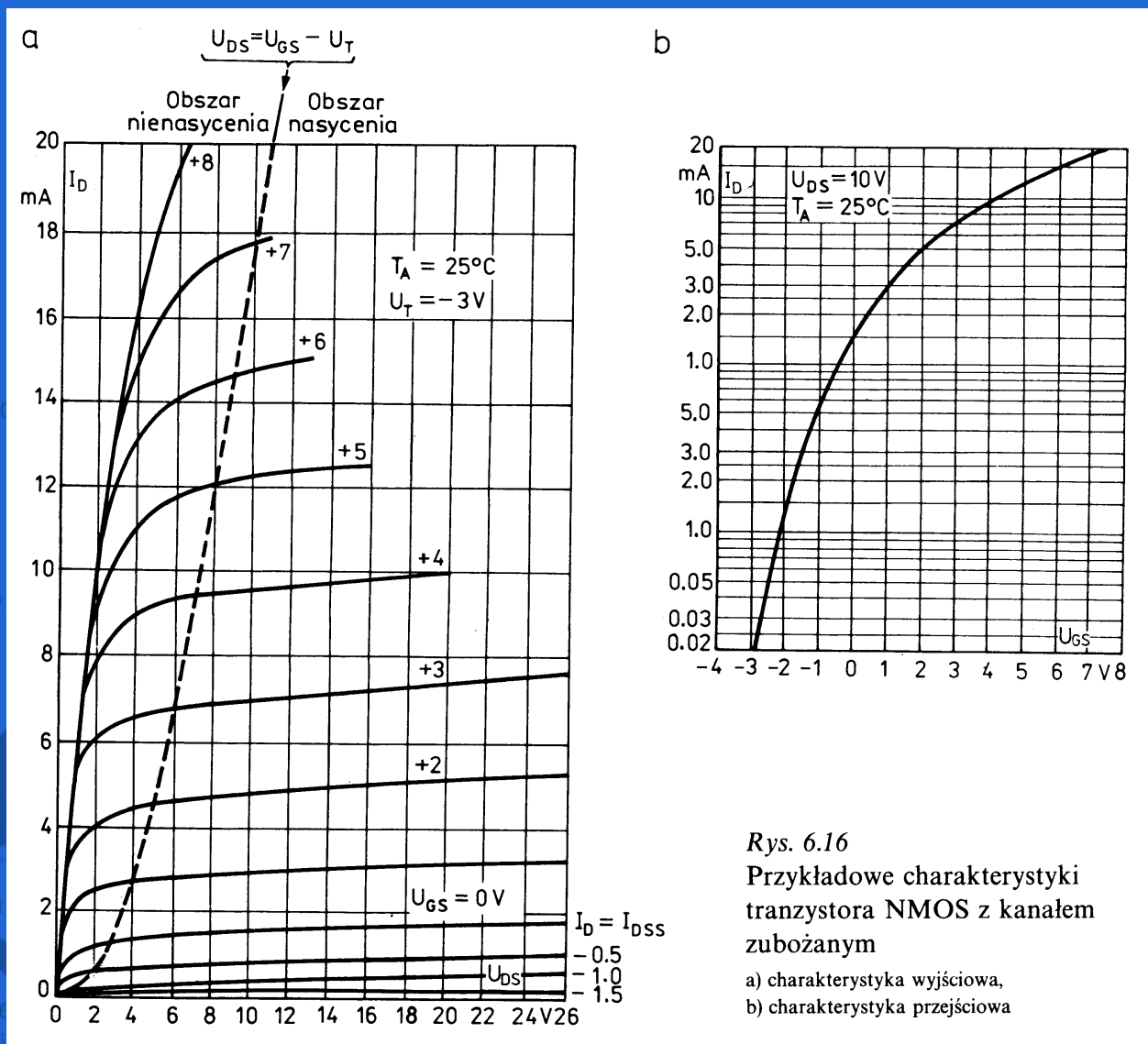
# Tranzystor MOS z kanałem zubożanym (normally ON)



# Tranzystor MOS z kanałem wzbogaczanym (normally OFF)



# Tranzystor z kanałem zubożanym



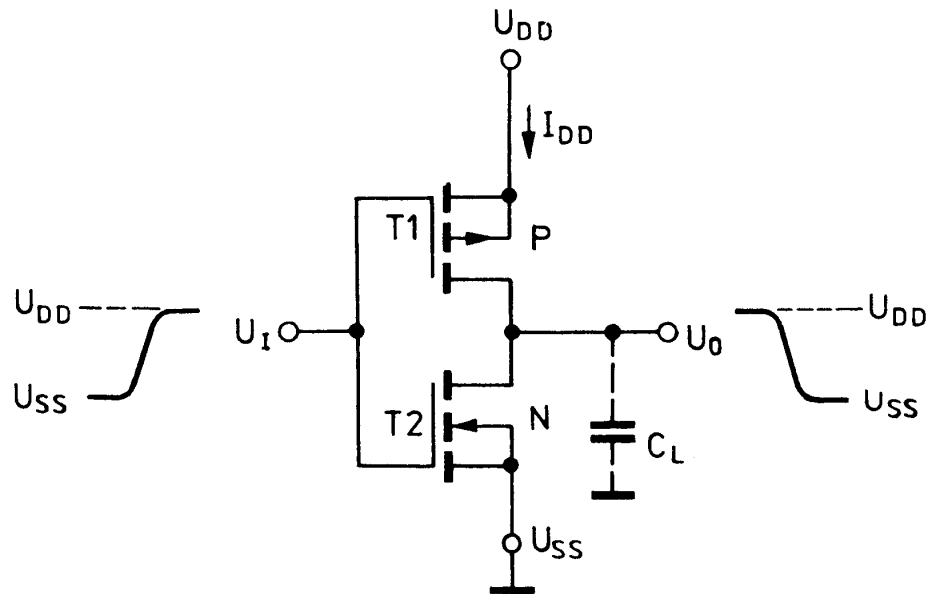
# Rodzina układów CMOS

- **CD4000** – CMOS B-Series Integrated Circuits
- **HC / HCT** – High Speed CMOS Logic
- **AC / ACT** – Advanced CMOS Logic
- **AHC / AHCT** – Advanced High Speed CMOS Logic
- **FCT** – Fast CMOS TTL Logic
- **LV** – Low-Voltage CMOS Technology Logic
- **LVC** – Low-Voltage CMOS Technology Logic
- **ALVC** – Advanced Low-Voltage CMOS Technology Logic
- **AVC** – Advanced Very-Low-Voltage CMOS Logic
- **AUC** – Advanced Ultra-Low-Voltage CMOS Logic

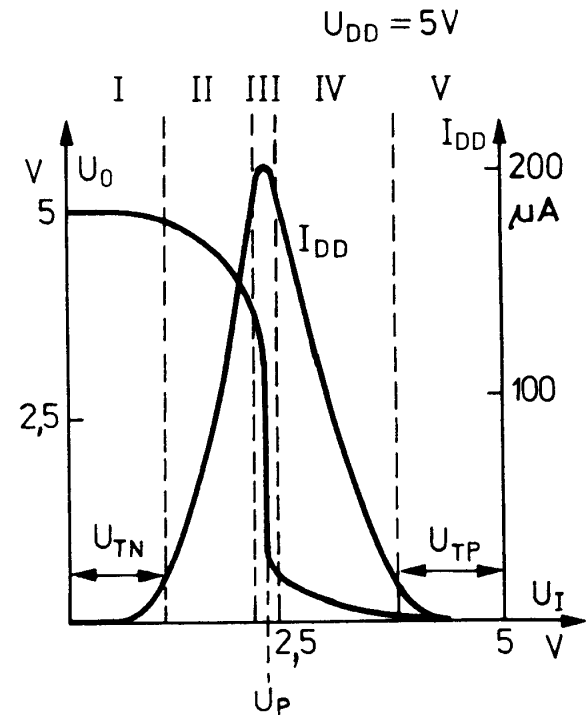
# Zastosowania układów CMOS

1. **Układy do zastosowań masowych**, o niewielkiej szybkości działania. Typowymi przykładami są układy zegarkowe i proste, nieprogramowane układy kalkulatorowe. Napięcie zasilania tych układów wynosi typowo  $1 \div 1.5$  V. Układy te nie są objęte ogólnie przyjętą standaryzacją typów.
2. **Układy programowalne** (takie jak układy PLD i FPGA) i **specjalizowane** (ASIC – *Application-Specific Integrated Circuits*). Układy te są omówione w rozdziale 9.
3. **Uniwersalne układy cyfrowe LSI i VLSI**, głównie układy mikroprocesorowe (rozdz. 10) i pamięciowe (p. 8.4).
4. **Uniwersalne układy cyfrowe SSI i MSI**, stanowiące funkcjonalne odpowiedniki układów TTL.

# Inwerter CMOS



Rys. 7.70. Schemat inwertera CMOS



Rys. 7.71

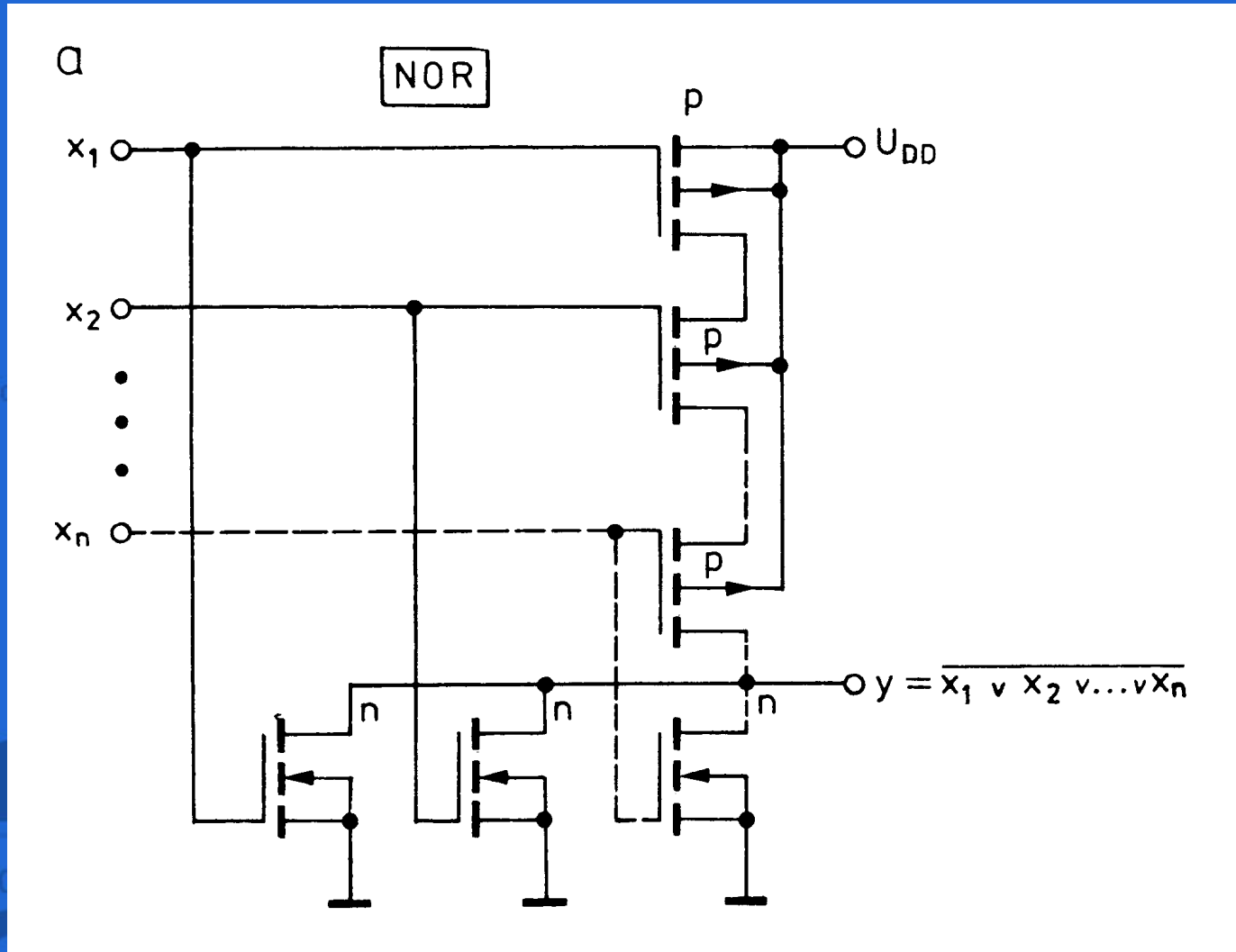
Charakterystyka przejściowa inwertera CMOS

- I:  $0 \leq U_I \leq U_{TN}$ ,
- II:  $U_{TN} \leq U_I \leq U_O - |U_{TP}|$ ,
- III:  $U_O - |U_{TP}| \leq U_I \leq U_O + U_{TN}$ ,
- IV:  $U_O + U_{TN} \leq U_I \leq U_{DD} - |U_{TP}|$ ,
- V:  $U_{DD} - |U_{TP}| \leq U_I \leq U_{DD}$ ,

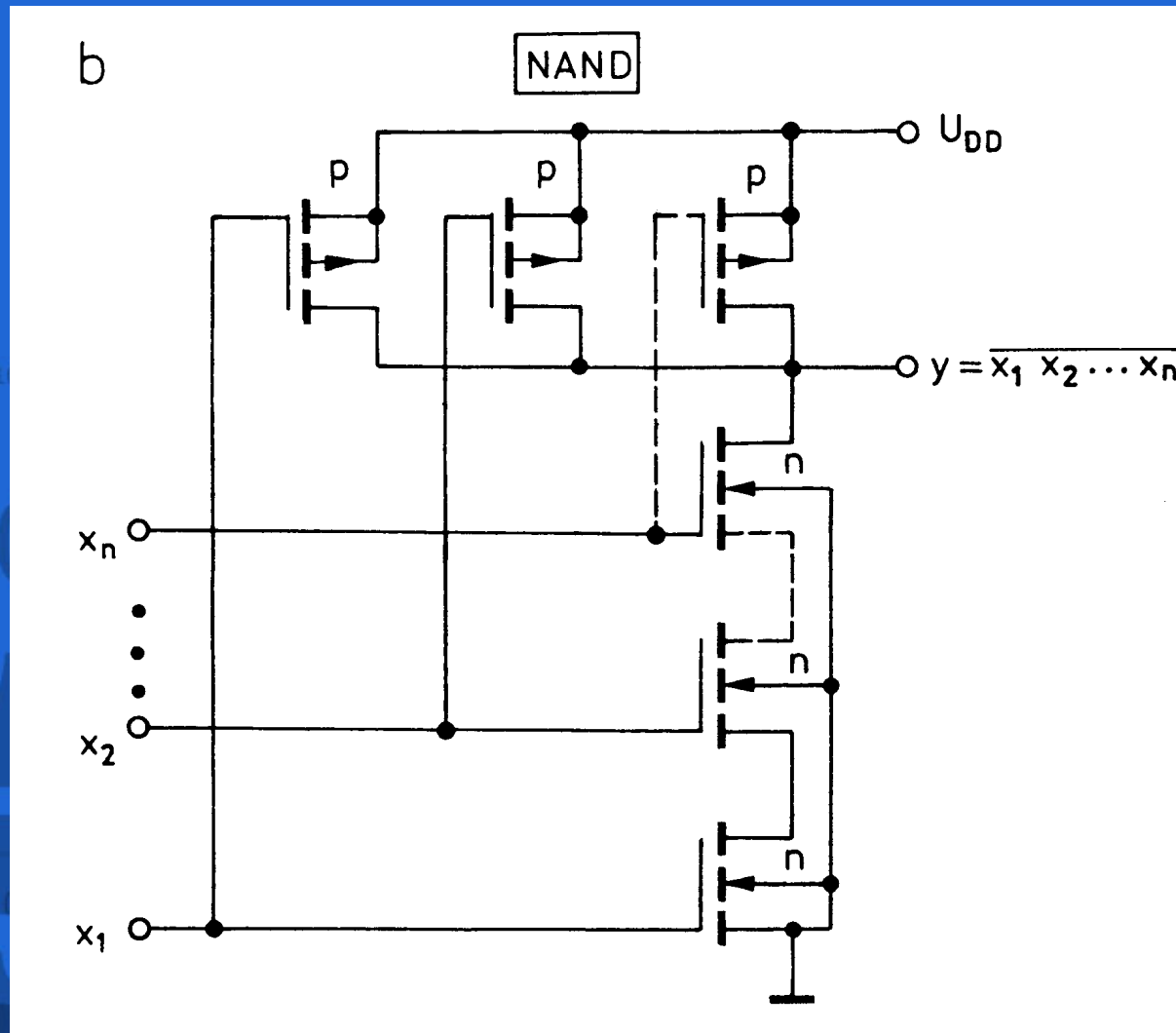
- |                   |                   |
|-------------------|-------------------|
| $T1$ nienasycony, | $T2$ odcięty;     |
| $T1$ nienasycony, | $T2$ nasycony;    |
| $T1$ nasycony,    | $T2$ nasycony;    |
| $T1$ nasycony,    | $T2$ nienasycony; |
| $T1$ odcięty,     | $T2$ nienasycony; |



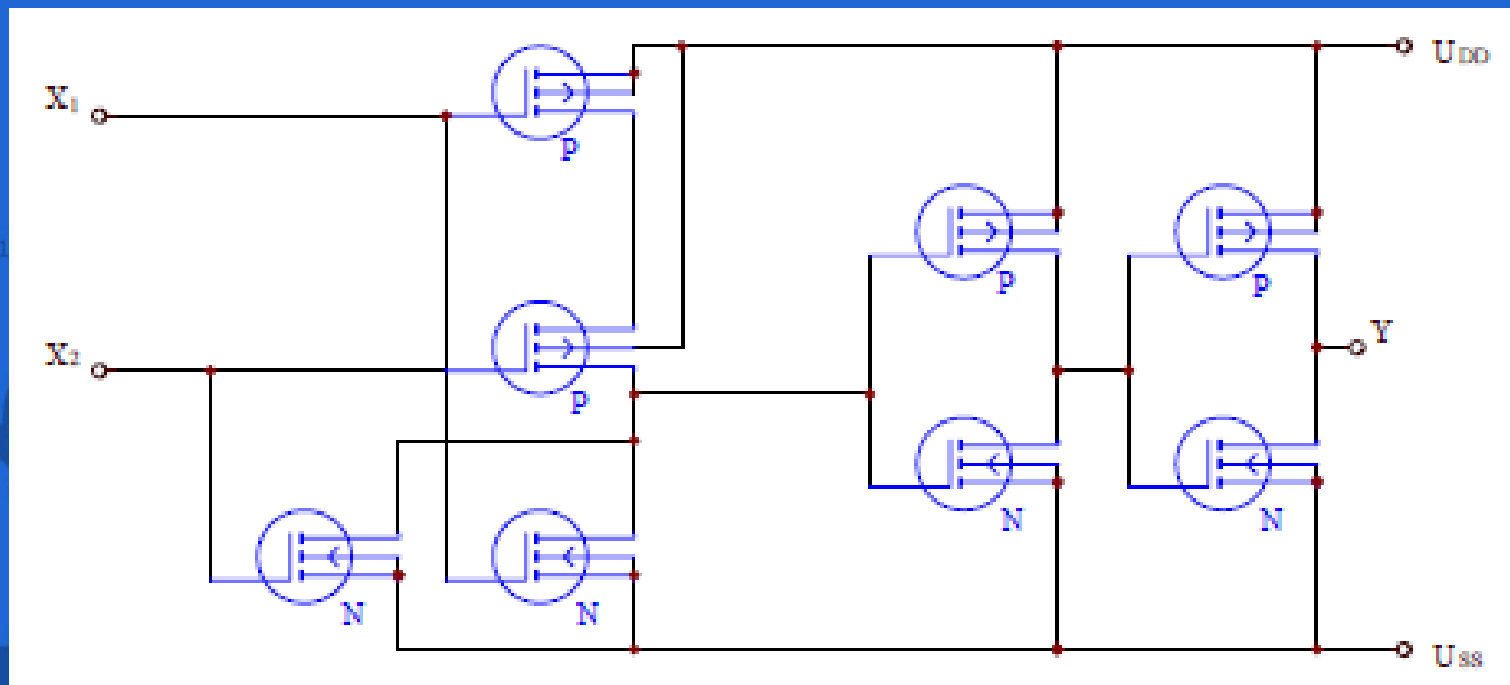
# Bramka NOR CMOS



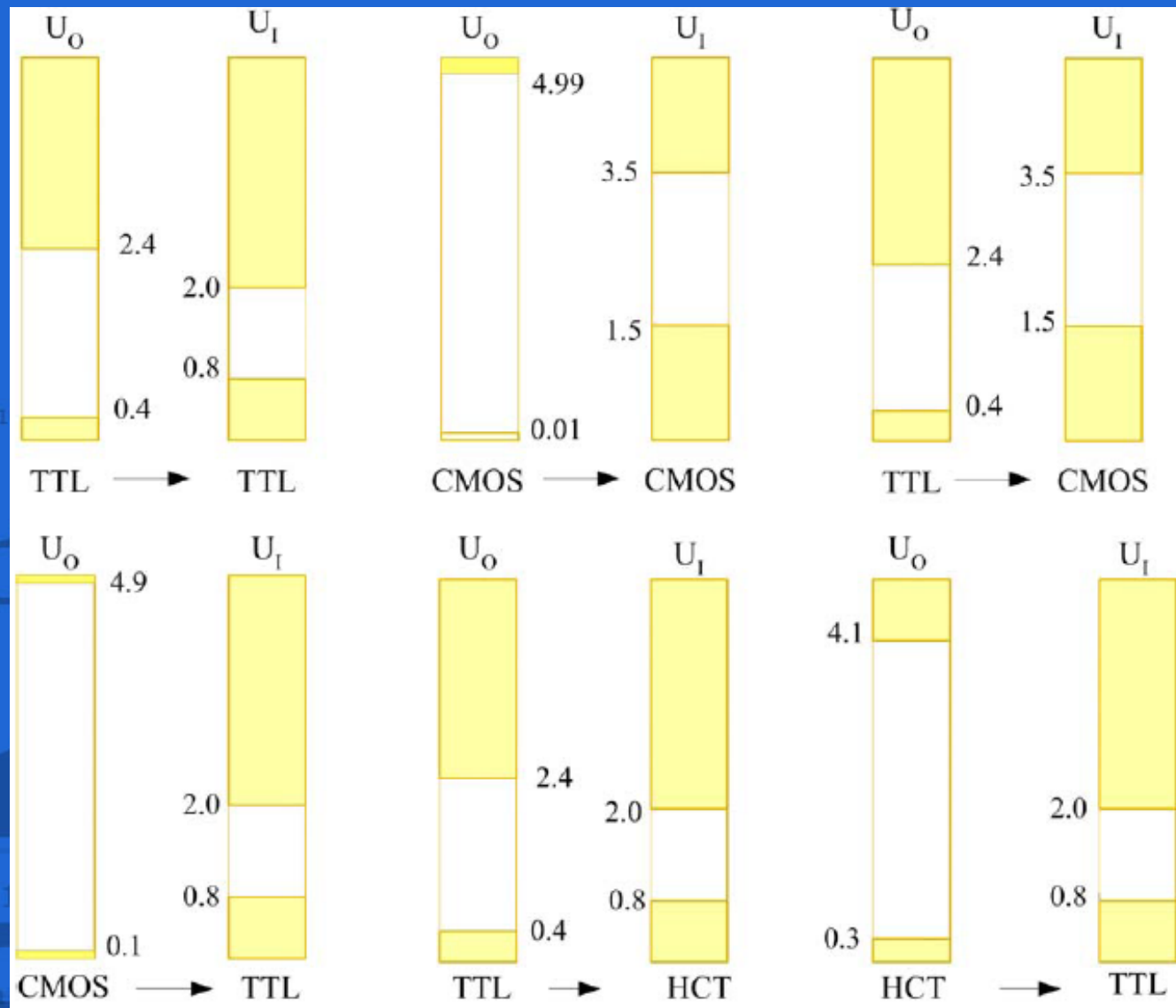
# Bramka NAND CMOS



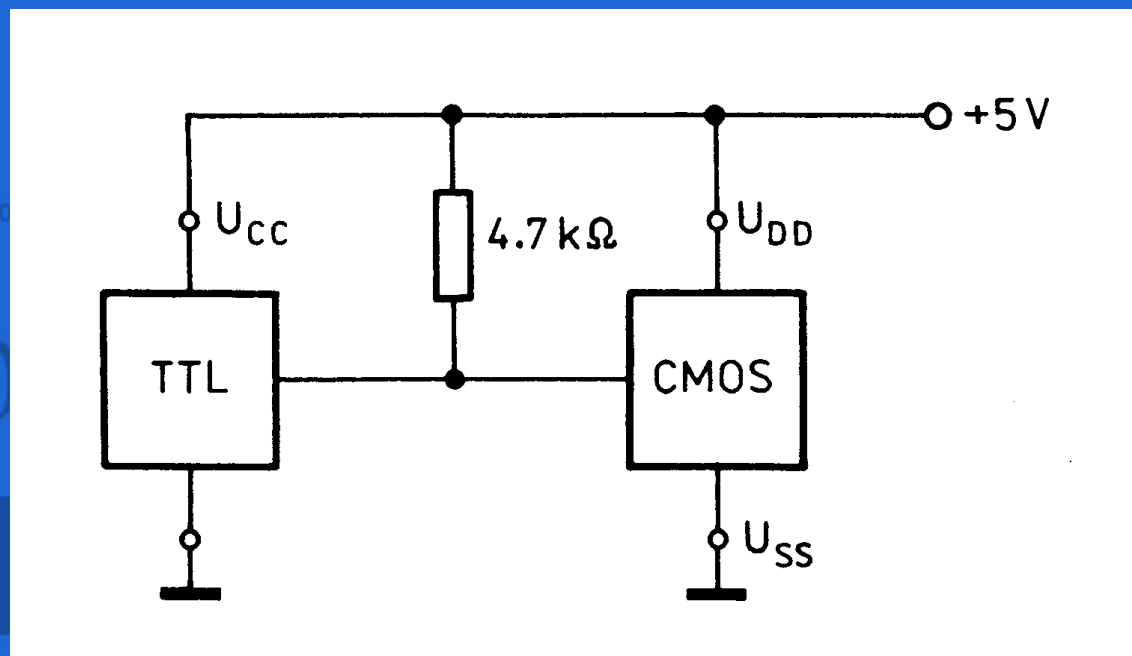
# Buforowana bramka NOR CMOS



# Zgodność łączeniowa TTL - CMOS



# Zgodność łączeniowa TTL - CMOS



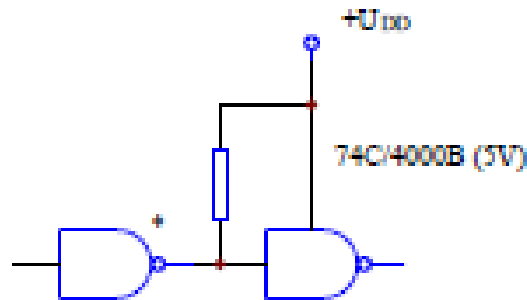
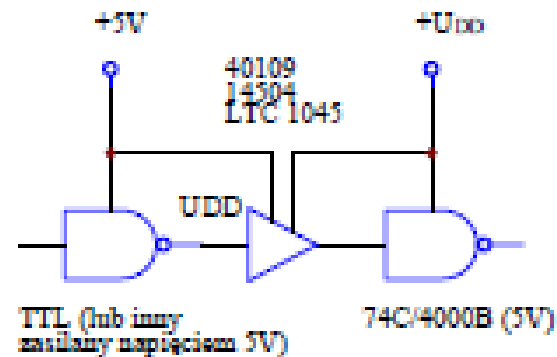
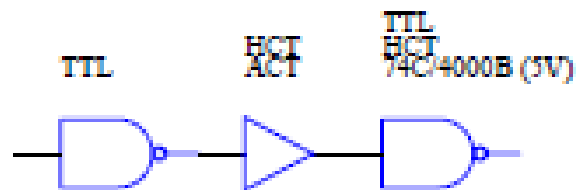
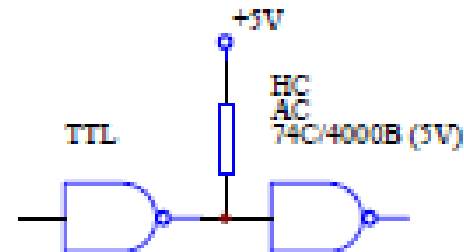
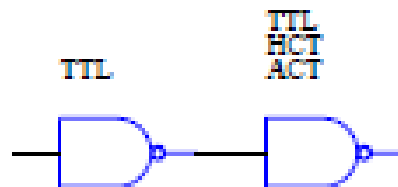
# Zgodność łączeniowa TTL - CMOS

wyjście	wejście					
	TTL	HCT, ACT	HC, AC	HC, AC dla 3,3V	4000B, 74C dla 5V	4000B, 74C dla 10V
TTL	tak	tak	A	tak	A	B
HCT, ACT	tak	tak	tak	nie	tak	B
HC, AC	tak	tak	tak	nie	tak	B
HC, AC dla 3,3V	tak	tak	nie	tak	B	B
4000B, 74C dla 5V	tak	tak	tak	nie	tak	B
4000B, 74C dla 10V	C	C	C	C	C	tak

*Tab. 6.1 Kompatybilność pomiędzy poszczególnymi seriami; A - rezystor podciągający do 5V lub stopień pośredni układu HCT, B - zalecane stosowanie układu z otwartym kolektorem i rezystora kolektorowego dołączonego do źródła napięcia 10V, C - zalecane zastosowanie translatora poziomów*

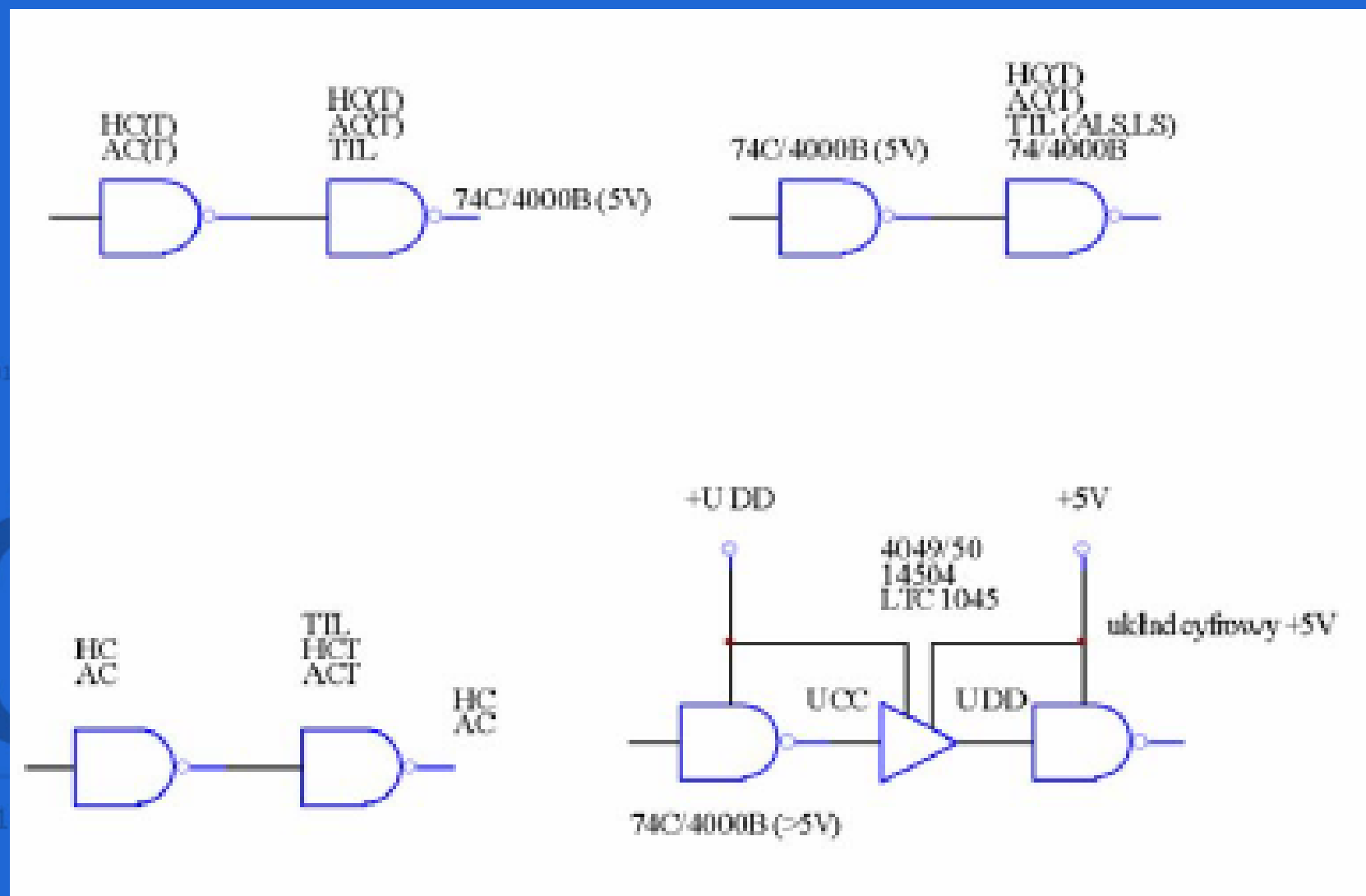


# Sprzęganie TTL - CMOS



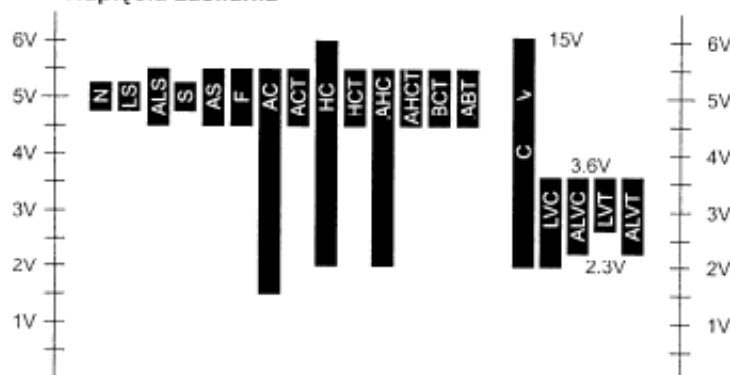
układ cyfrowy +5V  
wyjście wysokonapięciowe  
z otwartym kolektorem

# Sprzężanie CMOS - TTL

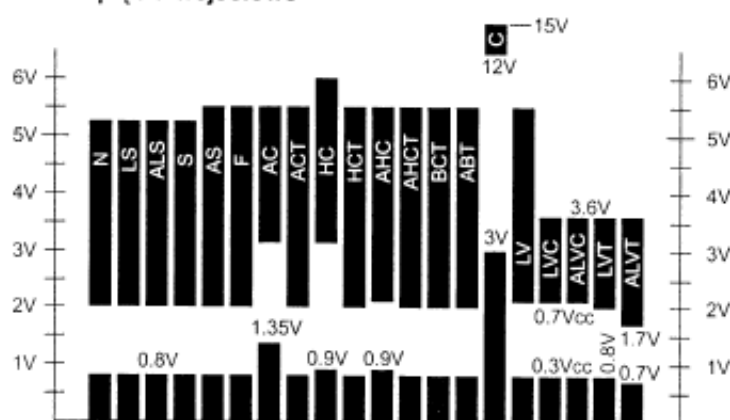


# Charakterystyki elektryczne serii układów 74xx

Napięcia zasilania



Napięcia wejściowe



## Technologia TTL

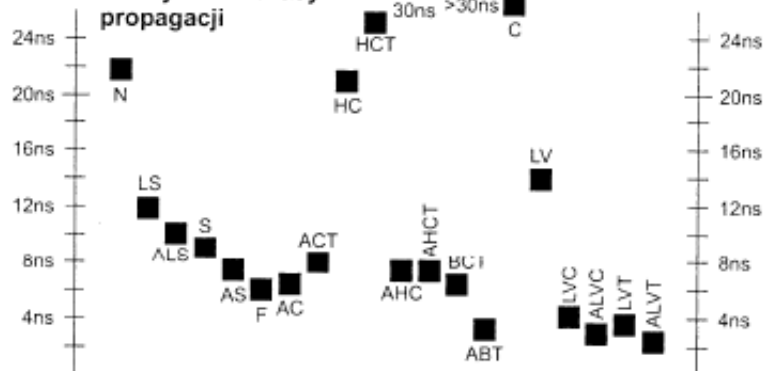
N	Normal Logic 74xx
LS	Low-Power Schottky Logic
A	Advanced Low-Power Schottky Logic
S	Schottky Logic
AS	Advanced Schottky Logic
F	Fast Logic

## Technologia CMOS

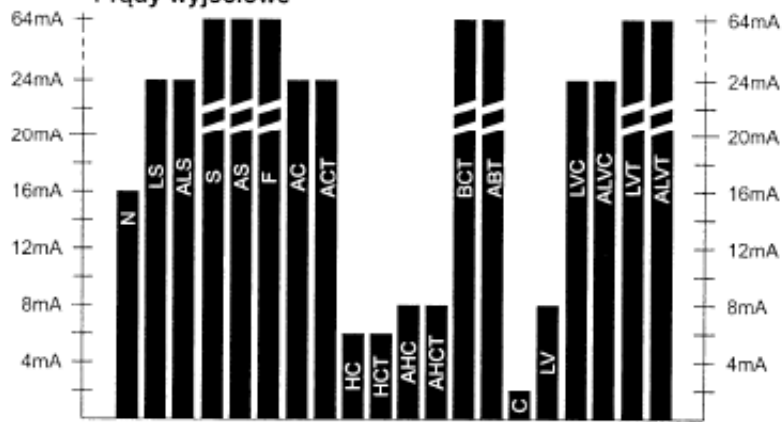
AC/ACT	Advanced CMOS Logic
HC(T)	High-Speed CMOS Logic
AHC(T)	Advanced High-Speed CMOS Logic
BCT	BiCMOS Bus-Interface Technology
ABT	Advanced BiCMOS Technology
C	CMOS Logic
LV/LVC	Low-Voltage CMOS Technology
LVT	Low-Voltage BiCMOS Technology
ALVT	Advanced Low-Voltage BiCOMS Technology

# Charakterystyki elektryczne serii układów 74xx

Maksymalne czasy propagacji



Prądy wyjściowe



## Technologia TTL

N	Normal Logic 74xx
LS	Low-Power Schottky Logic
A	Advanced Low-Power Schottky Logic
S	Schottky Logic
AS	Advanced Schottky Logic
F	Fast Logic

## Technologia CMOS

AC/ACT	Advanced CMOS Logic
HC(T)	High-Speed CMOS Logic
AHC(T)	Advanced High-Speed CMOS Logic
BCT	BiCMOS Bus-Interface Technology
ABT	Advanced BiCMOS Technology
C	CMOS Logic
LV/LVC	Low-Voltage CMOS Technology
LVT	Low-Voltage BiCMOS Technology
ALVT	Advanced Low-Voltage BiCOMS Technology