

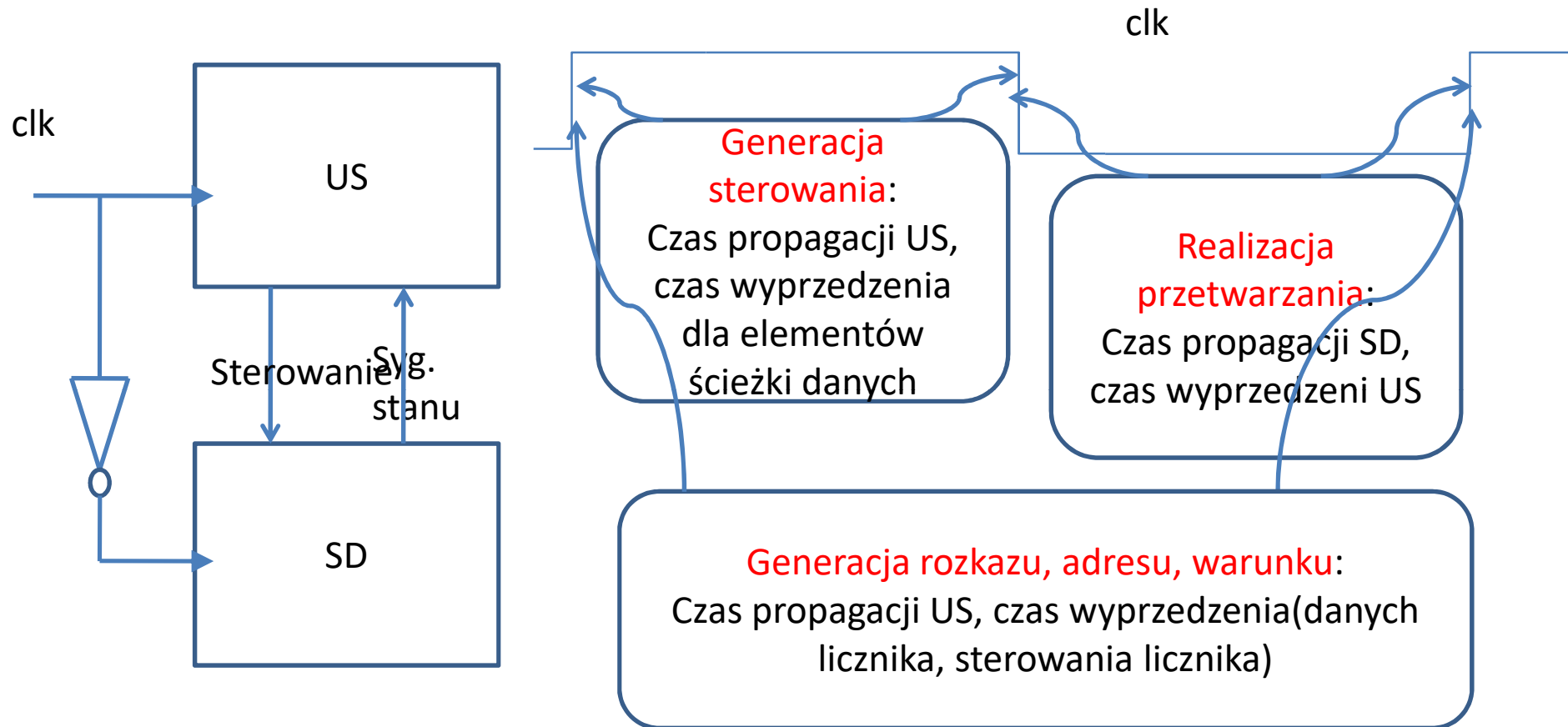
# Zależności czasowe w sterowaniu, przykłady układów wykonawczych

Materiały pomocnicze do ćwiczeń

R.Walkowiak

4.01.2018

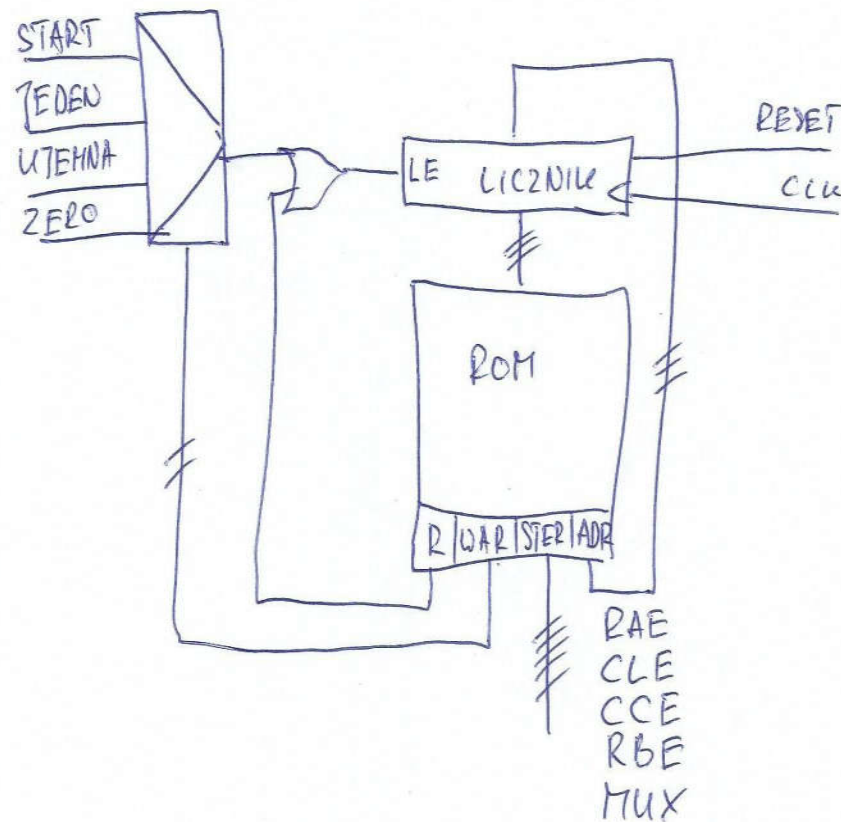
# Współpraca US i SD



## Legenda:

tp(R) - czas propagacji elementu R (od wejścia do wyjścia w układzie kombinacyjnym) (od zbocza aktywnego CLK do wyjścia w układzie sekwencyjnym) ,  
 ts (K) czas wyprzedzenia informacji na wejściu K przed aktywnym zboczem zegarowym

# Propagacja do wyjść US

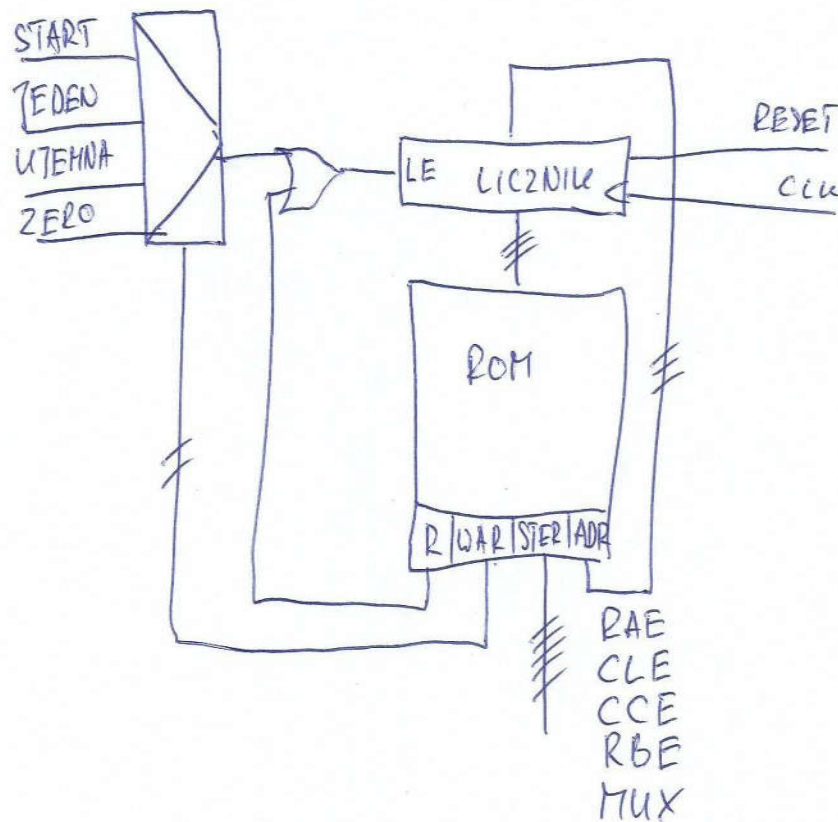


Układ sterowania (mikroprogramowalny)  
generuje sterowanie po clk up

**Propagacja US**

**tp US** = t propagacji licznika +  
t propagacji pamięci

# Wyprzedzenie sygnałów na wejściach US



## Wyprzedzenie US

Układ sterowania wymaga sygnałów wcześniej niż clk up

## Warunki (max)

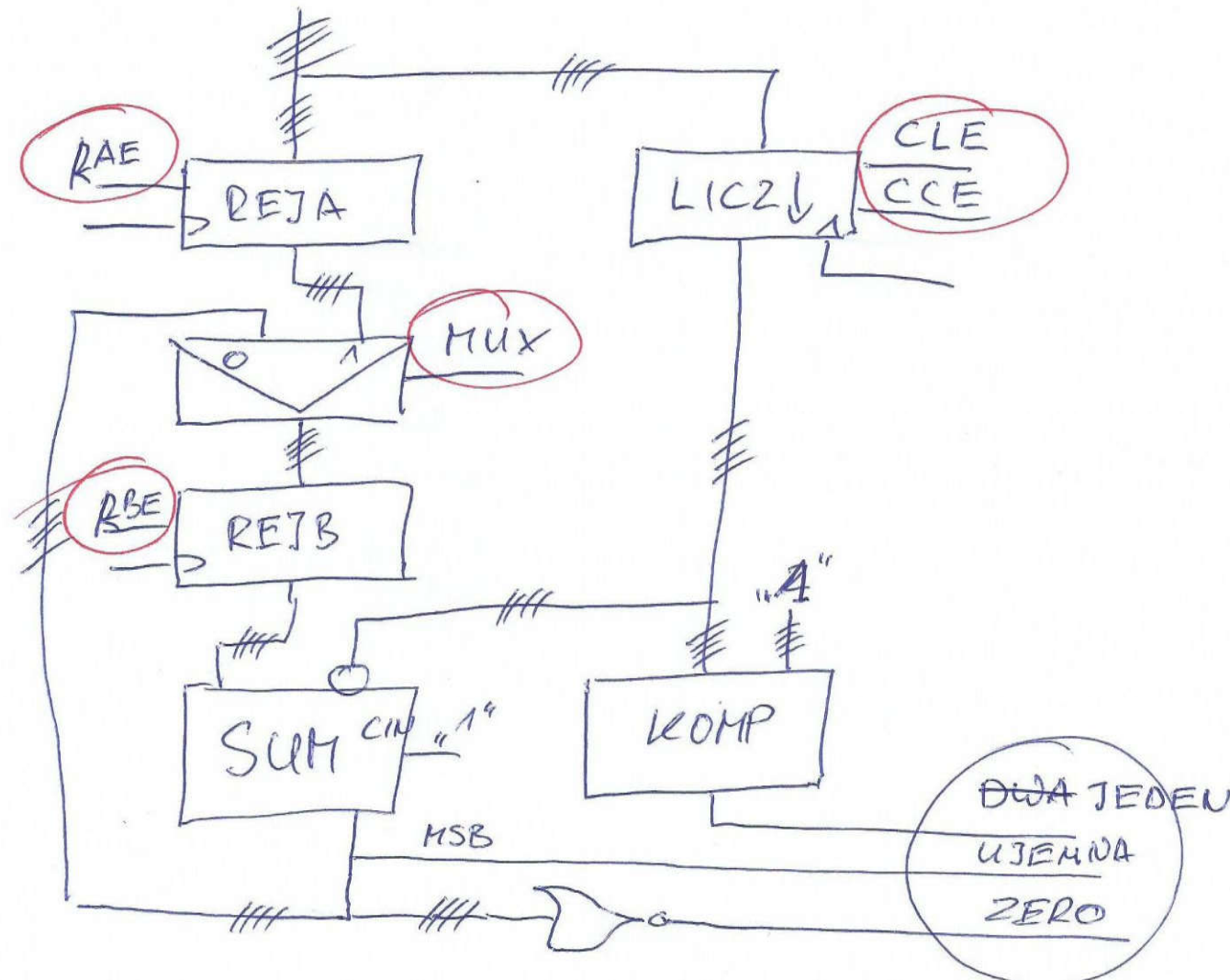
- ze względu na sygnał LE:  
propagacja multipleksera + bramka OR+Ts(LE licz))

po clk down (sygnały pochodzą z SD)

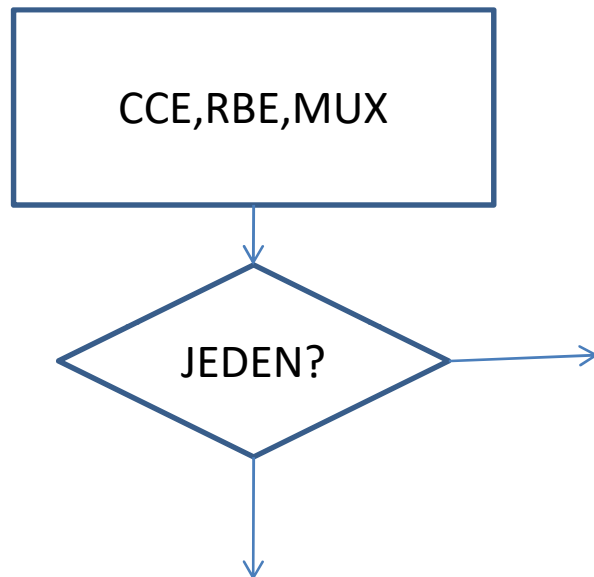
1. Ze względu na ADRES  
propagacja US+Ts(dane licz)
2. ze względu na LE  
propagacja US+ tp(bramkaOR)+ ts(LE licz)
3. Ze względu na LE  
propagacja US+ tp(MUX US)+ tp(bramkaOR)+ts(LE licz)

po clk up (sygnały pochodzą z US)

# SD (czy liczba pierwsza ?)



# Warunki czasowe stanu przygotowania dzielnika



CCE – zgoda na zliczanie licznika

RBE – zgoda na zapis do rejestru RB

MUX – sterowanie multiplekserem

Warunki na okres clk wynikające ze sterowania:

1. CCE pojawi się przed clk down:

$\frac{1}{2} \text{ clk} > \text{Propag US} + t_s(\text{CCE})$

2. RBE pojawi się przed clk down:

$\frac{1}{2} \text{ clk} > \text{Propag US} + t_s(\text{RBE})$

3. Dane na wej RB pojawią się :

$\frac{1}{2} \text{ clk} > \text{Propag US} + t_p(\text{MUX}) + t_s(\text{daneRB})$

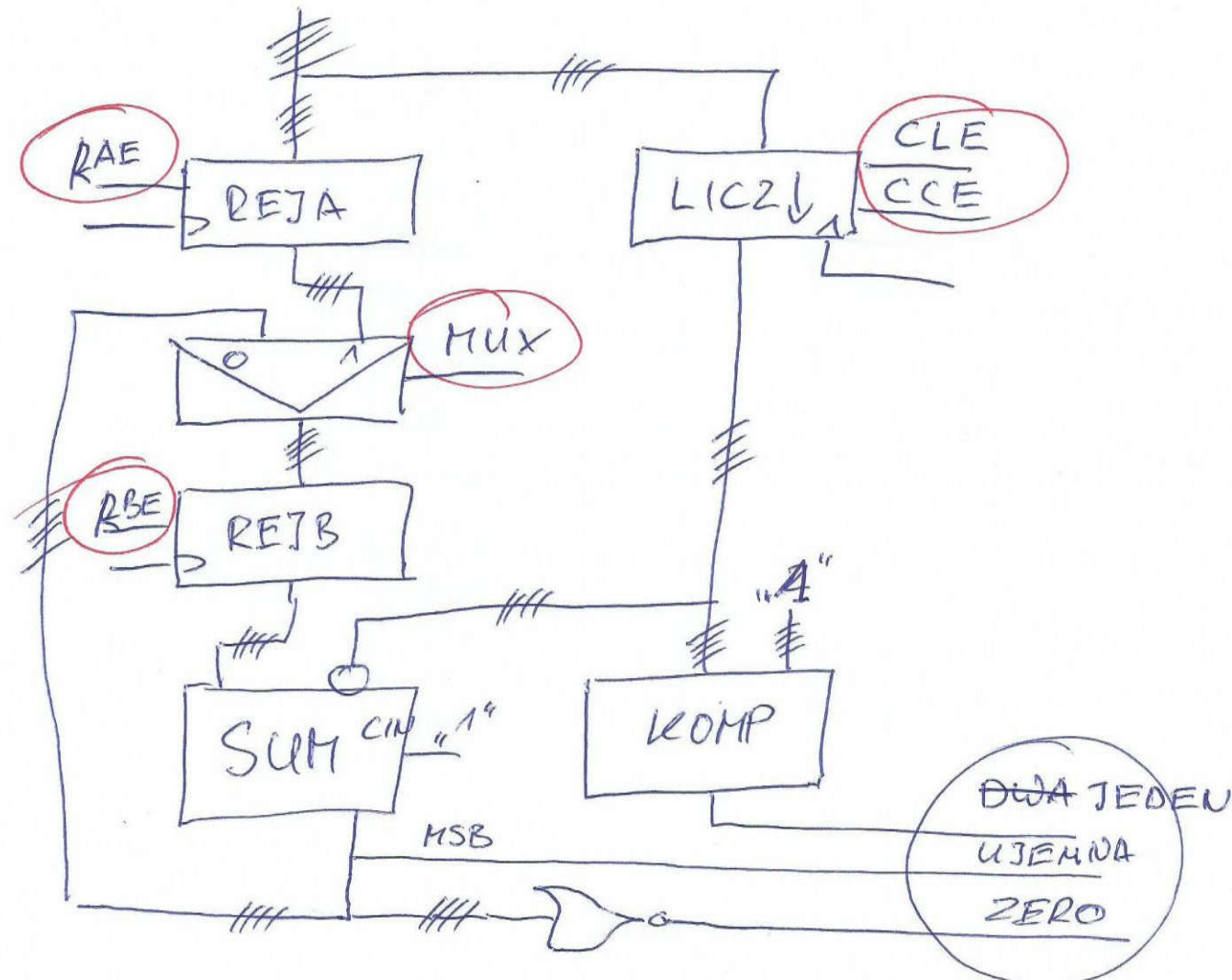
Warunek na okres clk wynikający z sygnału stanu

- JEDEN :

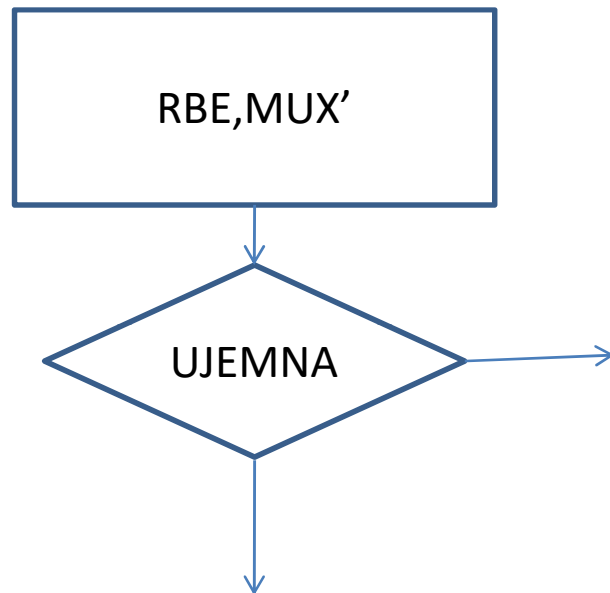
$\frac{1}{2} \text{ clk} > t_p(\text{licznika}) + t_p(\text{komparatora}) +$

wyprzedzenie US

# SD (czy liczba pierwsza ?)



# Warunki czasowe stanu odejmowania



RBE – zgoda na zapis do rejestru RB

MUX – sterowanie multiplekserem

Warunki na okres clk wynikające ze sterowania:

1. RBE pojawi się przed clk down:

$$\frac{1}{2} \text{ clk} > \text{Propag US} + t_s(\text{RBE})$$

2. Dane na wej RB pojawią się przed clk down :

$$\frac{1}{2} \text{ clk} > \text{Propag US} + t_p(\text{MUX}) + t_s(\text{daneRB})$$

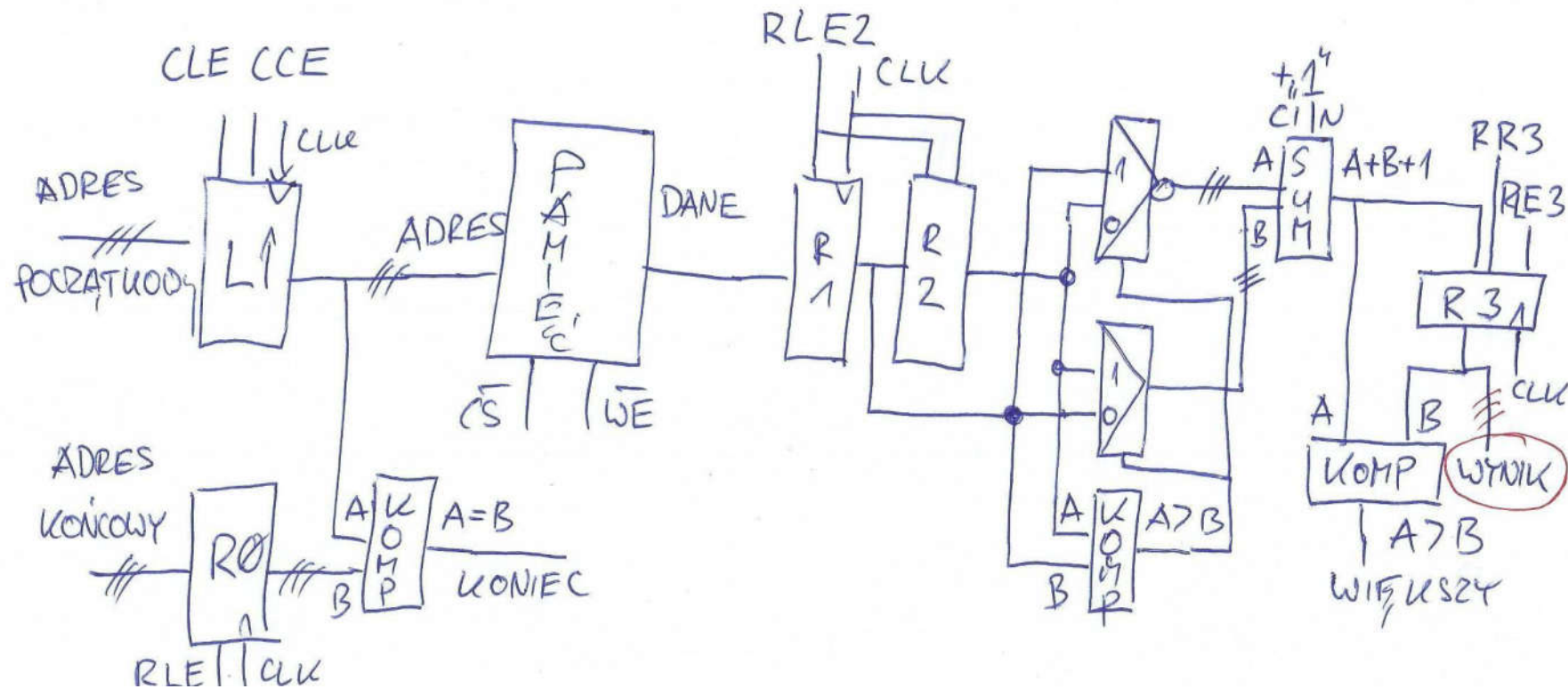
Warunek na okres clk wynikający z syg. stanu:

UJEMNA pojawi się przed clk up

$$\frac{1}{2} \text{ clk} > t_p(\text{RB}) + t_p(\text{sumatora}) + \text{wyprzedzenie US}$$



# Ścieżka danych układ 2



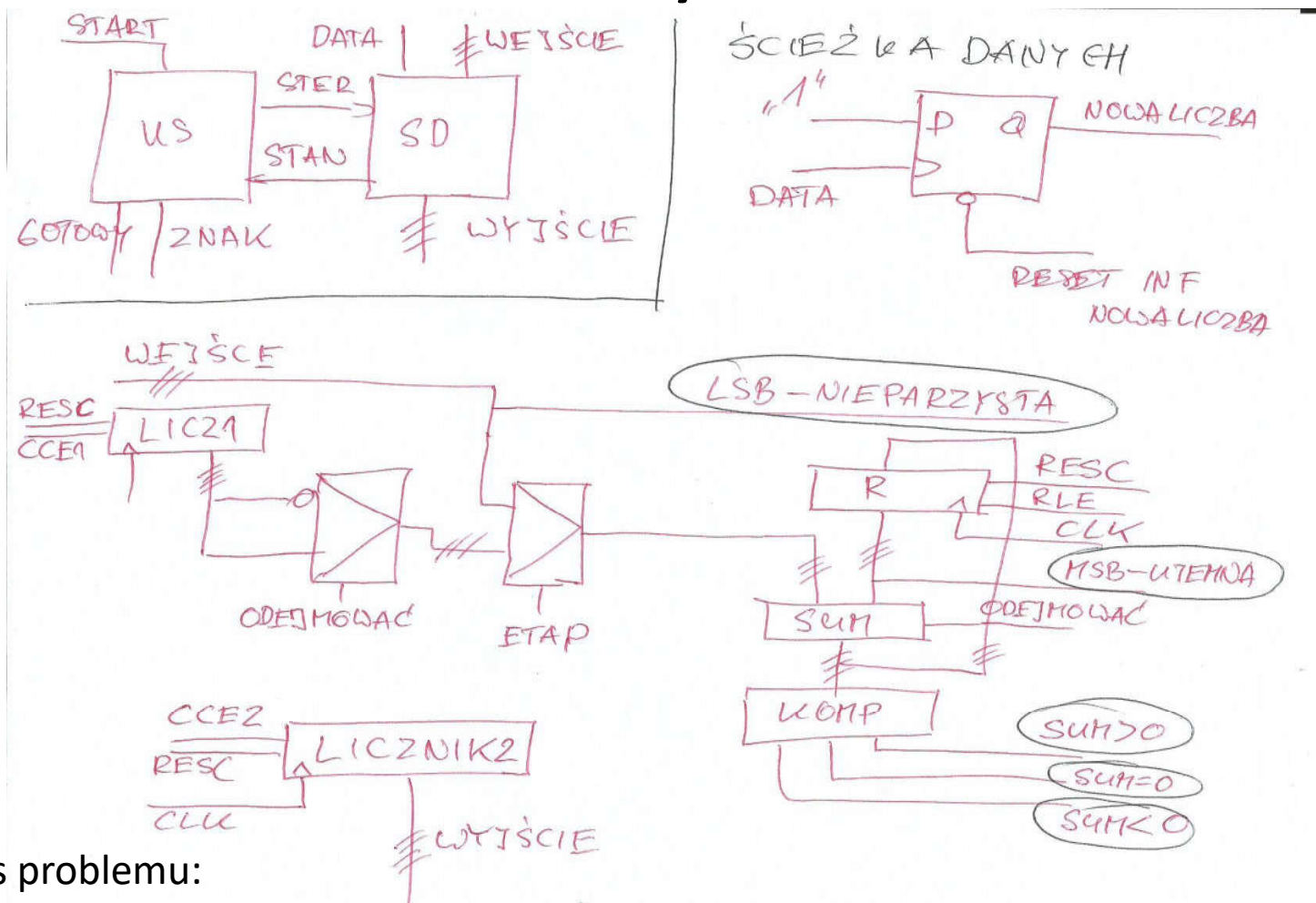
Opis problemu:

W pamięci od adresu podanego jako adres startowy do adresu podanego jako adres końcowy odczytywać liczby. Wyznaczyć maksymalną wartość spośród wartości bezwzględnych różnic kolejnych liczb, np. dla danych 5,7,3,0 wynik wynosi 4.

Należy określić interfejs z układem sterowania.

Uwaga: na wyjściu pamięci, rejestrów i sumatora znajdują się wielobitowe wektory sygnałów.

# Ścieżka danych układ 3

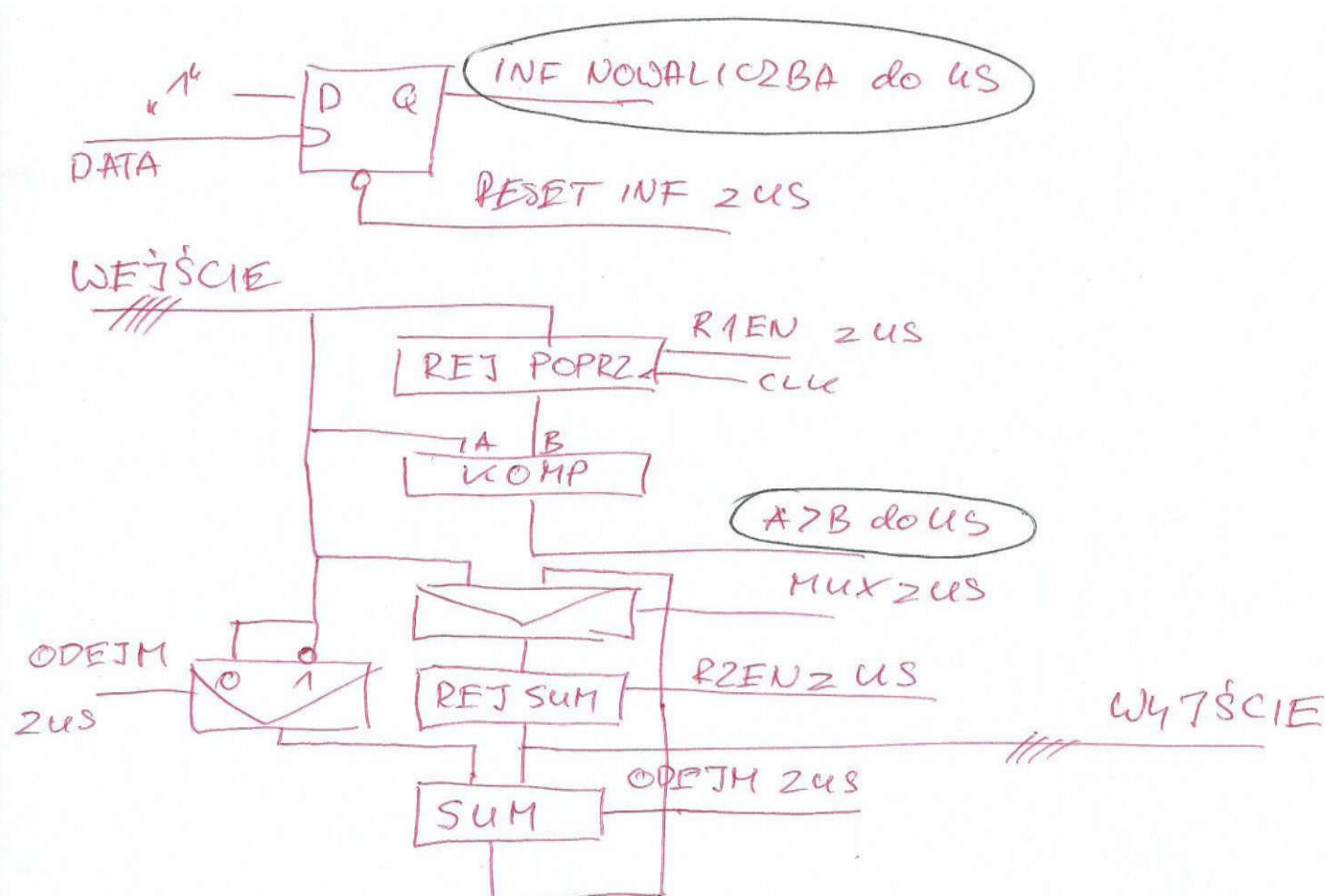


## Opis problemu:

wyznaczenie wartości średniej (całkowitej) z ze zbioru liczb nieparzystych, należy określić interfejs z układem sterowania.

Sygnalizacja nowej liczby zboczem sygnału DATA, układ otrzymuje sygnał końca zbioru liczb.

# Ścieżka danych układ 4



Opis problemu: Dane z wejścia układu należy przetwarzać w następujący sposób, liczbę większą od poprzedniej należy dodać do sumy, mniejszą odjąć; należy określić interfejs z układem sterowania, sygnalizacja nowej liczby zboczem sygnału DATA.