

Sławomir Kulesza

Technika cyfrowa

Podstawowe układy sekwencyjne

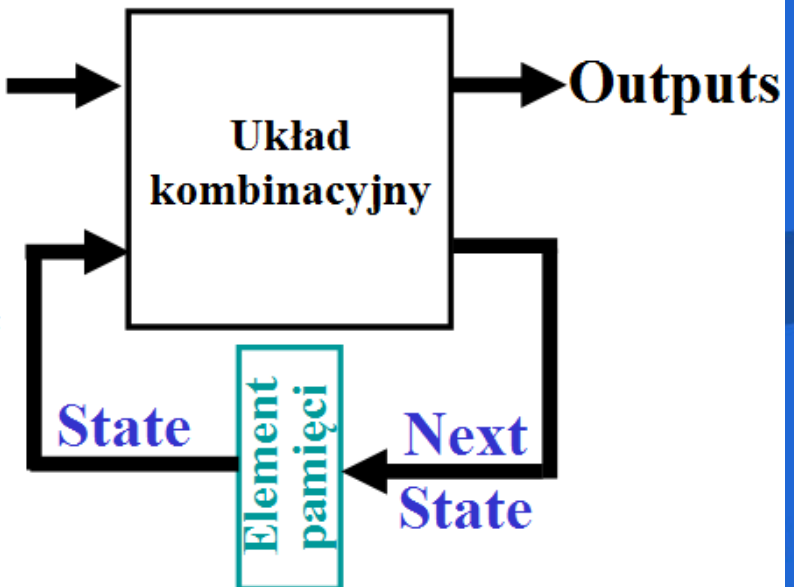
Wykład dla studentów III roku Informatyki

Wersja 1.0, 05/10/2010

Układy sekwencyjne – wprowadzenie

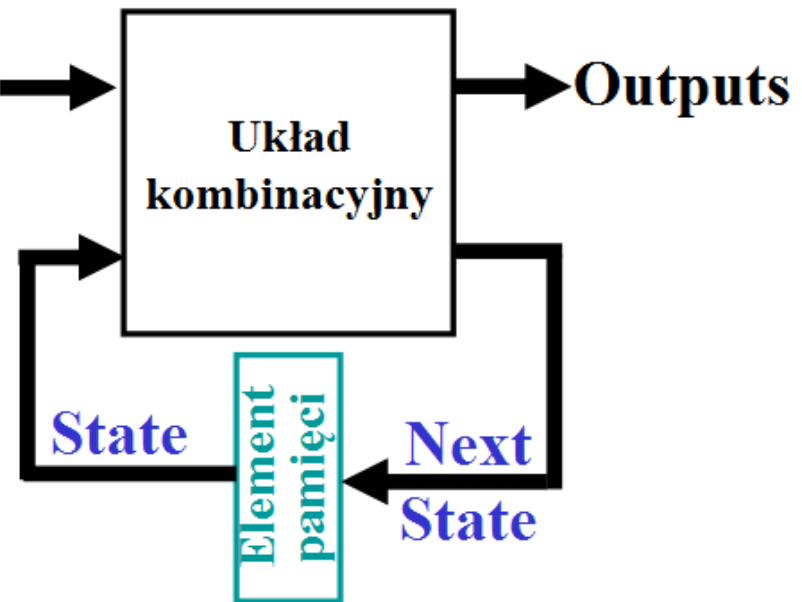
■ Układ sekwencyjny zawiera:

- Elementy pamięciowe: zatrzaski lub przerzutniki
- Logikę kombinacyjną:
 - Działanie opisywane wielowyjściową funkcją przełączającą
 - Inputs to sygnały docierające z zewnątrz.
 - Outputs to sygnały wysyłane na zewnątrz.
 - Inne sygnały, State lub Present State, to sygnały wysyłane przez element pamięciowy.
 - Pozostałe sygnały, Next State to sygnały pobudzenia elementu pamięciowego.



Układy sekwencyjne – wprowadzenie

- **Logika kombinacyjna:**
 - *Funkcja następnego stanu*
 $\text{Next State} = f(\text{Inputs}, \text{State})$
 - *Funkcja wyjścia (Mealy)*
 $\text{Outputs} = g(\text{Inputs}, \text{State})$
 - *Funkcja wyjścia (Moore)*
 $\text{Outputs} = h(\text{State})$
- **Funkcja wyjścia zależy od opisu układu i znacząco wpływa na jego projekt.**

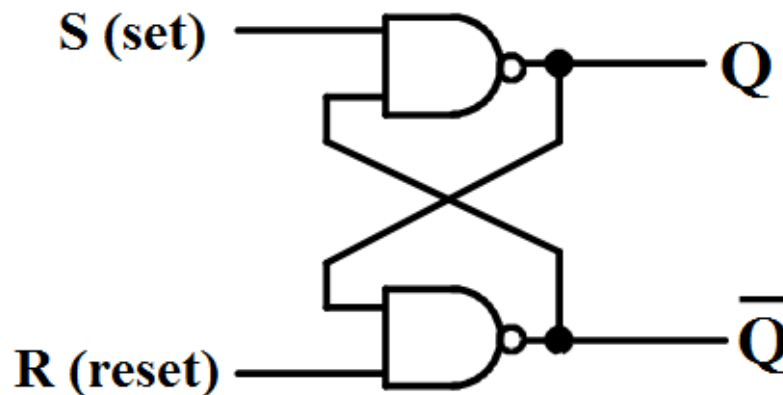


Typy układów sekwencyjnych

- **Istotny jest moment, gdy:**
 - Elementy pamięciowe reagują na stan swojego wejścia
 - Elementy pamięciowe zmieniają swój stan
- **Układy synchroniczne**
 - Zachowanie określone zmianami sygnału w ściśle określonych, dyskretnych chwilach czasu
 - Elementy pamięciowe obserwują swoje wejście, lecz mogą zmienić swój stan tylko pod wpływem sygnału synchronizującego (impulsy zegarowe)
- **Układy asynchroniczne**
 - Zachowanie określone zmianami stanów wejściowych w dowolnych chwilach czasu oraz kolejnością zmian tychże sygnałów
 - Jeśli sygnał zegarowy traktować jak kolejne wejście, wszystkie układy są asynchroniczne

Asynchroniczny przerzutnik $\overline{S} \overline{R}$ (NAND)

- “Sprzężenie skrośne”
dwie bramki NAND
tworzą zatrzask $\overline{S} \overline{R}$:



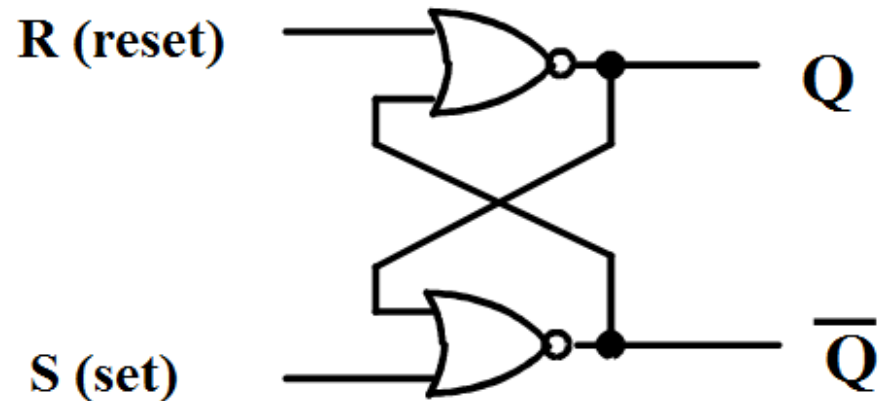
- $S = 0, R = 0$ jest
zabronionym stanem
wejść

Time
↓

| R | S | Q | \overline{Q} | Uwagi |
|---|---|---|----------------|----------------------|
| 1 | 1 | ? | ? | |
| 1 | 0 | 1 | 0 | “ustawienie” $Q = 1$ |
| 1 | 1 | 1 | 0 | Q “pamięta” 1 |
| 0 | 1 | 0 | 1 | “kasowanie” $Q = 0$ |
| 1 | 1 | 0 | 1 | Q “pamięta” 0 |
| 0 | 0 | 1 | 1 | Stan niedozwolony |
| 1 | 1 | ? | ? | Niestabilność! |

Asynchroniczny przerzutnik RS (NOR)

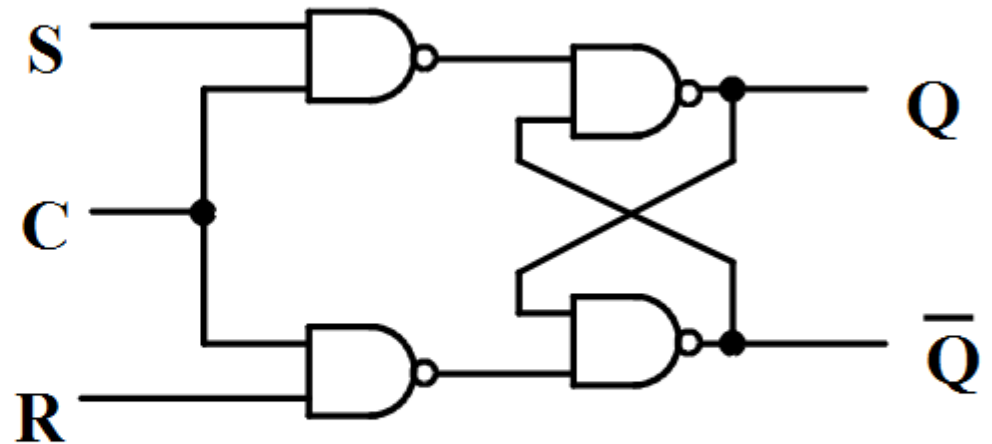
- Dwie sprzęgnięte bramki NOR tworzą zatrząsk SR:



| Time | R | S | Q | \bar{Q} | Uwagi |
|------|---|---|---|-----------|--------------------|
| | 0 | 0 | ? | ? | |
| | 0 | 1 | 1 | 0 | “Ustawienie” Q = 1 |
| | 0 | 0 | 1 | 0 | Q “pamięta” 1 |
| | 1 | 0 | 0 | 1 | “Skasowanie” Q = 0 |
| | 0 | 0 | 0 | 1 | Q “pamięta” 0 |
| | 1 | 1 | 0 | 0 | Stan zabroniony |
| | 0 | 0 | ? | ? | Niestabilność! |

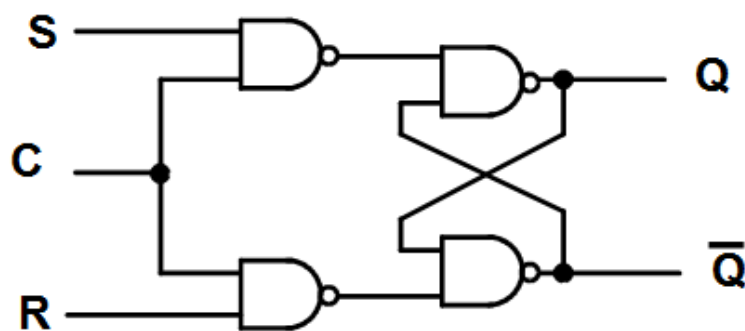
Synchroniczny przerzutnik SR (zatrzask)

- Dodanie dwóch bramek NAND do podstawowego zatrzasku \overline{SR} daje wyzwalany zatrzask SR:
- Układ jest synchroniczny – zmiany na wyjściu zachodzą tylko przy $C = 1$.



Synchroniczny przerzutnik SR

- **Tablica synchronicznego zatrzasku SR:**



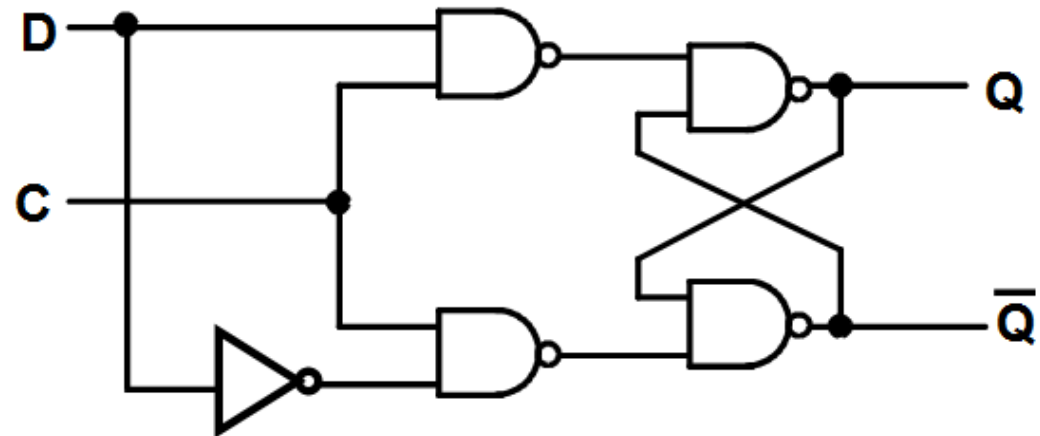
- **Tablica opisuje zachowanie układu po impulsie zegarowym [w chwili (t+1)] bazując na:**

- bieżących wejściach S, R
- bieżącym stanie układu $Q(t)$.

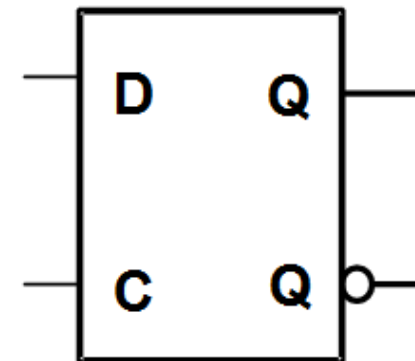
| $Q(t)$ | S | R | $Q(t+1)$ | Uwagi |
|--------|---|---|----------|--------------|
| 0 | 0 | 0 | 0 | Bez zmian |
| 0 | 0 | 1 | 0 | Kasuj Q |
| 0 | 1 | 0 | 1 | Ustaw Q |
| 0 | 1 | 1 | ??? | Niedozwolony |
| 1 | 0 | 0 | 1 | Bez zmian |
| 1 | 0 | 1 | 0 | Kasuj Q |
| 1 | 1 | 0 | 1 | Ustaw Q |
| 1 | 1 | 1 | ??? | Niedozwolony |

Zatrząsk D

- Dodanie inwertera do zatrząsku SR daje zatrząsk D:
- Brak stanów zabronionych



| Q | D | Q(t+1) | Uwagi |
|---|---|--------|-----------|
| 0 | 0 | 0 | Bez zmian |
| 0 | 1 | 1 | Ustaw Q |
| 1 | 0 | 0 | Kasuj Q |
| 1 | 1 | 1 | Bez zmian |

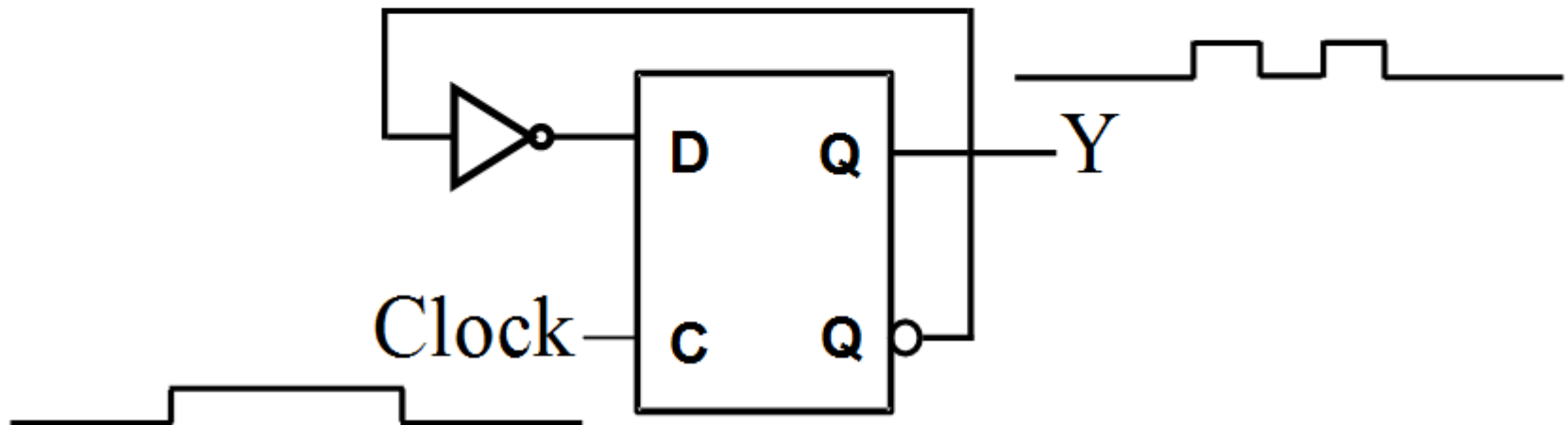


Problem niestabilności zatrzasków

- **W układach sekwencyjnych mogą istnieć ścieżki danych poprzez bloki kombinacyjne:**
 - **Pomiędzy różnymi elementami pamięci**
 - **Z wyjścia danego elementu pamięci z powrotem do jego wejścia**
- **W najprostszym przypadku pętla sprzężenia zwrotnego może być zwykłym połączeniem elektrycznym.**
- **W bramkowanym zatrzasku D, wyjście Q zmienia się w takt zmian D zawsze, gdy wejście zegarowe ma stan 1.**

Problem niestabilności zatrząsków

- Rozważmy układ jak na rys. Niech początkowo $Y = 0$.
- Gdy $C = 1$, stan Y oscyluje! Częstotliwość oscylacji zależy od opóźnienia pętli sprzężenia zwrotnego.
- Jest to działanie wysoce niepożądane. Pożądane zachowanie: Y zmienia się 1 raz na 1 takt zegara

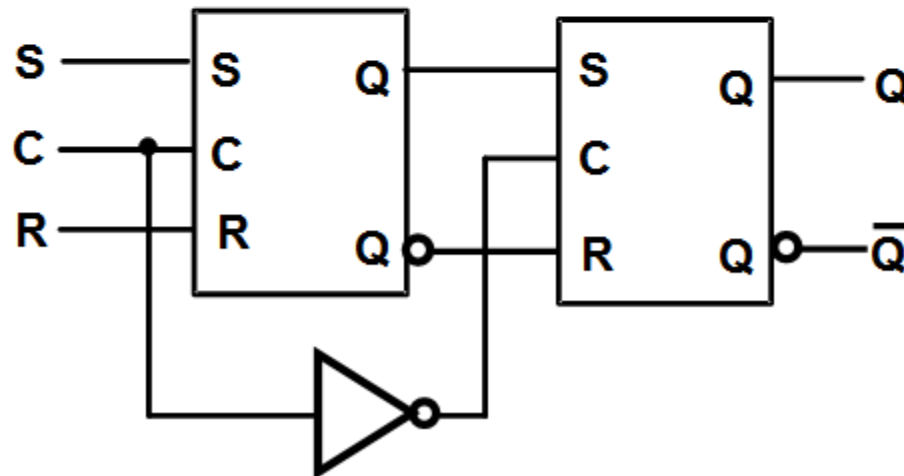


Problem niestabilności zatrząsków

- Rozwiązaniem problemu niestabilności zatrząsków jest przerwanie ścieżki sprzężenia zwrotnego wewnątrz elementu pamięciowego.
- Najczęściej stosowane rozwiązania:
 - Przerzutnik typu Master-Slave
 - Przerzutnik wyzwalany zboczem

Synchroniczny przerzutnik SR Master-Slave

- Dwa zatrzaski SR połączone szeregowo z odwróconym wyzwalaniem
- Stan wejściowy przenosi się przez pierwszy zatrzask, gdy $C = 1$
- Wyjście układu zmienia stan, gdy $C = 0$
- Przerwa w ścieżce sygnału wynika z odmiennego wyzwalania obu części ($C = 1$ and $C = 0$).
- Zmiana stanu pierwszego zatrzasku nie pociąga automatycznie za sobą zmiany stanu drugiego – wpisywanie i przepisywanie informacji odbywa się w różnych fazach taktowania.



Problem przerzutników Master-Slave

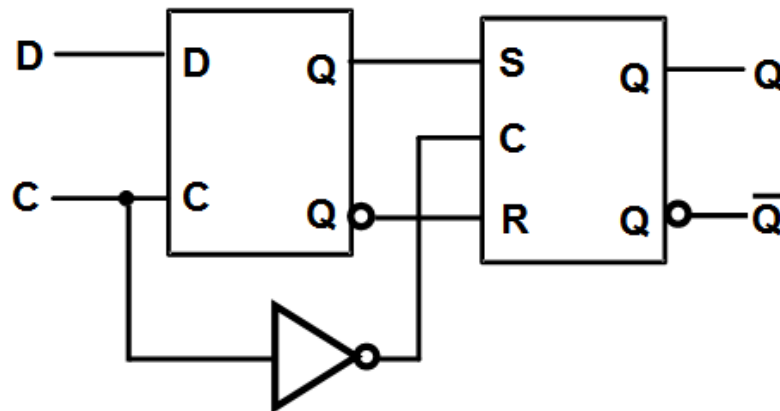
- Zmiana wyjścia przerzutnika jest opóźniona o czas trwania impulsu, co spowalnia działanie układu.
- S i/lub R mogą się jednocześnie zmieniać przy $C = 1$:
 - Niech: $Q = 0, R = 0, S = 0 \rightarrow 1 \rightarrow 0$:
 - Zatrask M zmienia się na 1
 - Stan 1 jest przenoszony do zatrzasku S
 - Niech: $Q = 0, R = 0 \rightarrow 1 \rightarrow 0, S = 0 \rightarrow 1 \rightarrow 0$:
 - Zatrask M ustawia się, a potem zeruje,
 - Do zatrzasku S przenoszony jest stan 0
 - Takie zachowanie to *1s catching*

Rozwiązanie – wyzwalanie zboczem

- **Używaj wyzwalania zboczem zamiast układów Master-Slave (edge-triggering)**
- **Przerzutnik wyzwalany zboczem ignoruje ustalony poziomy impuls i reaguje tylko przy zmianach sygnału zegarowego.**
- **Przerzutnik D Master-Slave jest przerzutnikiem wyzwalanym zboczem.**

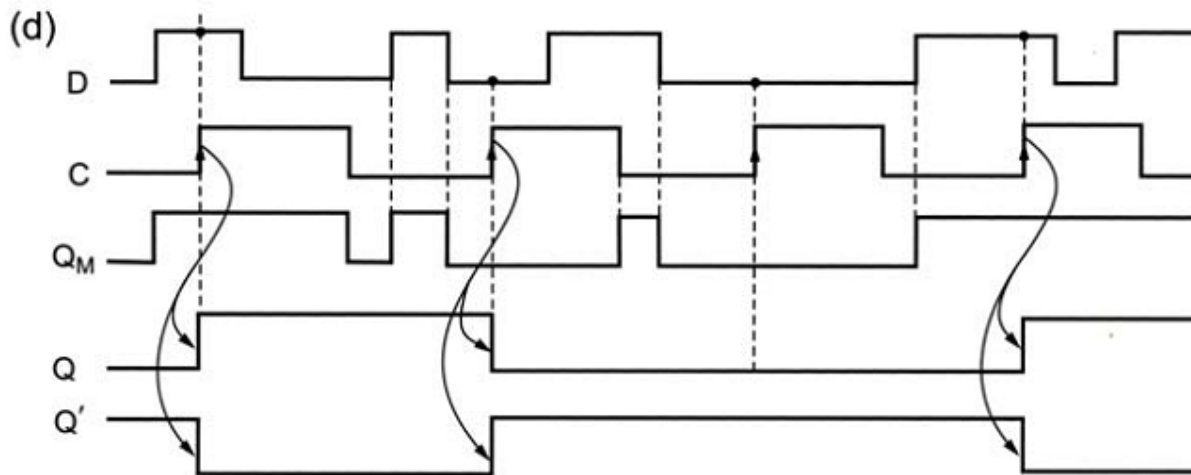
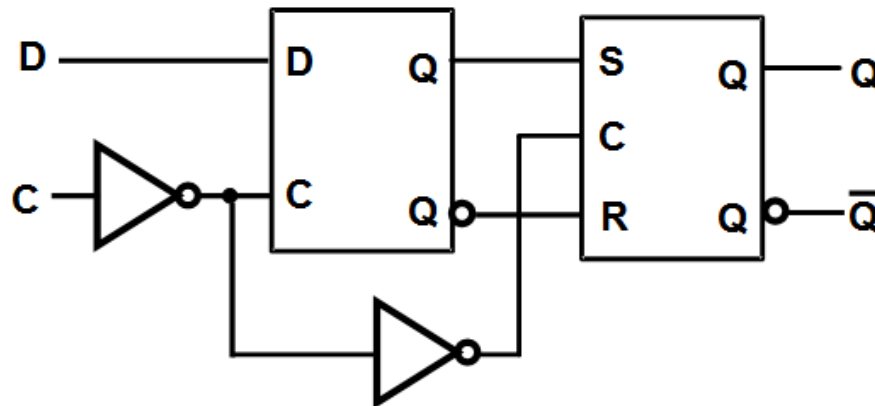
Przerzutnik D wyzwalany zboczem opadającym

- Przerzutnik D wyzwalany zboczem jest taki sam jak przerzutnik D Master-Slave
- Można go utworzyć przez:
 - Zastąpienie pierwszego taktowanego zatrzasku SR taktowanym zatrzaskiem D lub
 - Dodanie wejścia D i inwertera do zatrzasku SR Master-Slave
- Zmiana wyjścia przerzutnika D związana jest z opadającym zboczem impulsu zegarowego
- Jest to tzw. przerzutnik wyzwalany zboczem opadającym



Przerzutnik D wyzwany zboczem narastającym

- Powstaje przez dodanie dodatkowego inwertera do wejścia zegarowego
- Jest to standardowy przerzutnik w większości układów sekwencyjnych



Scalony przerzutnik D – 7474

NL17SZ74

Single D Flip Flop

The NL17SZ74 is a high performance, full function Edge triggered D Flip Flop, with all the features of a standard logic device such as the 74LCX74.

- Extremely High Speed: t_{PD} 2.6 ns (typical) at $V_{CC} = 5$ V
- Designed for 1.65 V to 5.5 V V_{CC} Operation
- 5 V Tolerant Inputs – Interface Capability with 5 V TTL Logic
- LVTTTL Compatible
- LVCMOS Compatible
- 24 mA Balanced Output Sink and Source Capability
- Near Zero Static Supply Current (10 μ A) Substantially Reduces System Power Requirements
- Replacement for NC7SZ74
- Tiny Ultra Small Package Only 2.1 X 3.0 mm
- High ESD Ratings: 2000 V Human Body Model
200 V Machine Model
- Chip Complexity: FET = 64

TRUTH TABLE

| Inputs | | | | Outputs | | Operating Mode |
|--------|-----|------------|---|---------|-----------|--|
| PR | CLR | CP | D | Q | \bar{Q} | |
| L | H | X | X | H | L | Asynchronous Set Asynchronous Clear Undetermined |
| H | L | X | X | L | H | |
| L | L | X | X | H | H | |
| H | H | \uparrow | h | H | L | Load and Read Register |
| L | L | \uparrow | h | L | H | |



ON Semiconductor®

<http://onsemi.com>

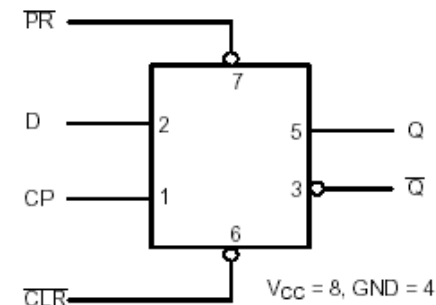


Figure 1. Logic Diagram



US8
CASE 493
US SUFFIX

MARKING DIAGRAM

Scalony przerzutnik D – 7474

AC ELECTRICAL CHARACTERISTICS (Input $t_r = t_f = 3.0$ ns)

| Symbol | Parameter | V_{CC} (V) | Test Conditions | $T_A = 25^\circ\text{C}$ | | | $T_A = -40$ to 85°C | | Unit |
|--------------------------|---|----------------|---|--------------------------|-----|------|-----------------------------------|------|------|
| | | | | Min | Typ | Max | Min | Max | |
| f_{MAX} | Maximum Clock Frequency (50% Duty Cycle) (Waveform 1) | 1.8 ± 0.15 | $C_L = 15$ pF $R_D = 1$ M Ω $S_1 =$ Open | 75 | | | 75 | | MHz |
| | | 2.5 ± 0.2 | | 150 | | | 150 | | |
| | | 3.3 ± 0.3 | | 200 | | | 200 | | |
| | | 5.0 ± 0.5 | | 250 | | | 250 | | |
| | | 3.3 ± 0.3 | $C_L = 50$ pF, $R_D = 500$ Ω , $S_1 =$ Open | 175 | | | 175 | | |
| | | 5.0 ± 0.5 | | 200 | | | 200 | | |
| t_{PLH} , t_{PHL} | Propagation Delay, CP to Q or \bar{Q} (Waveform 1) | 1.8 ± 0.15 | $C_L = 15$ pF $R_D = 1$ M Ω $S_1 =$ Open | 2.5 | 6.5 | 12.5 | 2.5 | 13 | ns |
| | | 2.5 ± 0.2 | | 1.5 | 3.8 | 7.5 | 1.5 | 8.0 | |
| | | 3.3 ± 0.3 | | 1.0 | 2.8 | 6.5 | 1.0 | 7.0 | |
| | | 5.0 ± 0.5 | | 0.8 | 2.2 | 4.5 | 0.8 | 5.0 | |
| | | 3.3 ± 0.3 | $C_L = 50$ pF, $R_D = 500$ Ω , $S_1 =$ Open | 1.0 | 3.4 | 7.0 | 1.0 | 7.5 | |
| | | 5.0 ± 0.5 | | 1.0 | 2.6 | 5.0 | 1.0 | 5.5 | |
| t_{PLH} , t_{PHL} | Propagation Delay, PR or CLR to Q or \bar{Q} (Waveform 2) | 1.8 ± 0.15 | $C_L = 15$ pF $R_D = 1$ M Ω $S_1 =$ Open | 2.5 | 6.5 | 14 | 2.5 | 14.5 | ns |
| | | 2.5 ± 0.2 | | 1.5 | 3.8 | 9.0 | 1.5 | 9.5 | |
| | | 3.3 ± 0.3 | | 1.0 | 2.8 | 6.5 | 1.0 | 7.0 | |
| | | 5.0 ± 0.5 | | 0.8 | 2.2 | 5.0 | 0.8 | 5.5 | |
| | | 3.3 ± 0.3 | $C_L = 50$ pF, $R_D = 500$ Ω , $S_1 =$ Open | 1.0 | 3.4 | 7.0 | 1.0 | 7.5 | |
| | | 5.0 ± 0.5 | | 1.0 | 2.6 | 5.0 | 1.0 | 5.5 | |
| t_S | Setup Time, D to CP (Waveform 1) | 1.8 ± 0.15 | $C_L = 15$ pF $R_D = 1$ M Ω $S_1 =$ Open | 6.5 | | | 6.5 | | ns |
| | | 2.5 ± 0.2 | | 3.5 | | | 3.5 | | |
| | | 3.3 ± 0.3 | | 2.0 | | | 2.0 | | |
| | | 5.0 ± 0.5 | | 1.5 | | | 1.5 | | |
| | | 3.3 ± 0.3 | $C_L = 50$ pF, $R_D = 500$ Ω , $S_1 =$ Open | 2.0 | | | 2.0 | | |
| | | 5.0 ± 0.5 | | 1.5 | | | 1.5 | | |
| t_H | Hold Time, D to CP (Waveform 1) | 1.8 ± 0.15 | $C_L = 15$ pF $R_D = 1$ M Ω $S_1 =$ Open | 0.5 | | | 0.5 | | ns |
| | | 2.5 ± 0.2 | | 0.5 | | | 0.5 | | |
| | | 3.3 ± 0.3 | | 0.5 | | | 0.5 | | |
| | | 5.0 ± 0.5 | | 0.5 | | | 0.5 | | |
| | | 3.3 ± 0.3 | $C_L = 50$ pF, $R_D = 500$ Ω , $S_1 =$ Open | 0.5 | | | 0.5 | | |
| | | 5.0 ± 0.5 | | 0.5 | | | 0.5 | | |
| t_W | Pulse Width, CP, CLR, PR (Waveform 3) | 1.8 ± 0.15 | $C_L = 15$ pF $R_D = 1$ M Ω $S_1 =$ Open | 6.0 | | | 6.0 | | ns |
| | | 2.5 ± 0.2 | | 4.0 | | | 4.0 | | |
| | | 3.3 ± 0.3 | | 3.0 | | | 3.0 | | |

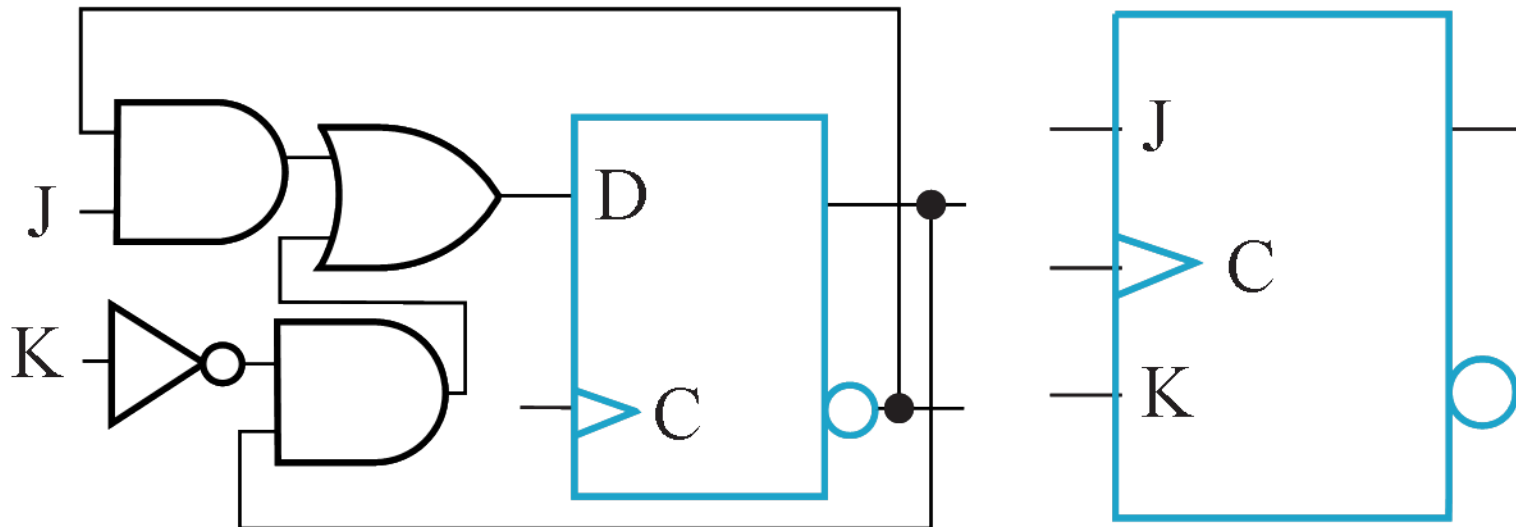
Inne typy przerzutników

Przerzutnik JK

- Odpowiednik przerzutnika SR, gdzie J odpowiada S, a K odpowiada R, przy czym stan $J = K = 1$ jest dozwolony, a co więcej wyjście przerzutnika zmienia wówczas swój stan na przeciwny.
 - Przerzutnik JK Master-Slave wykazuje przechwytywanie 1 tak jak przerzutnik SR

Przerzutnik JK

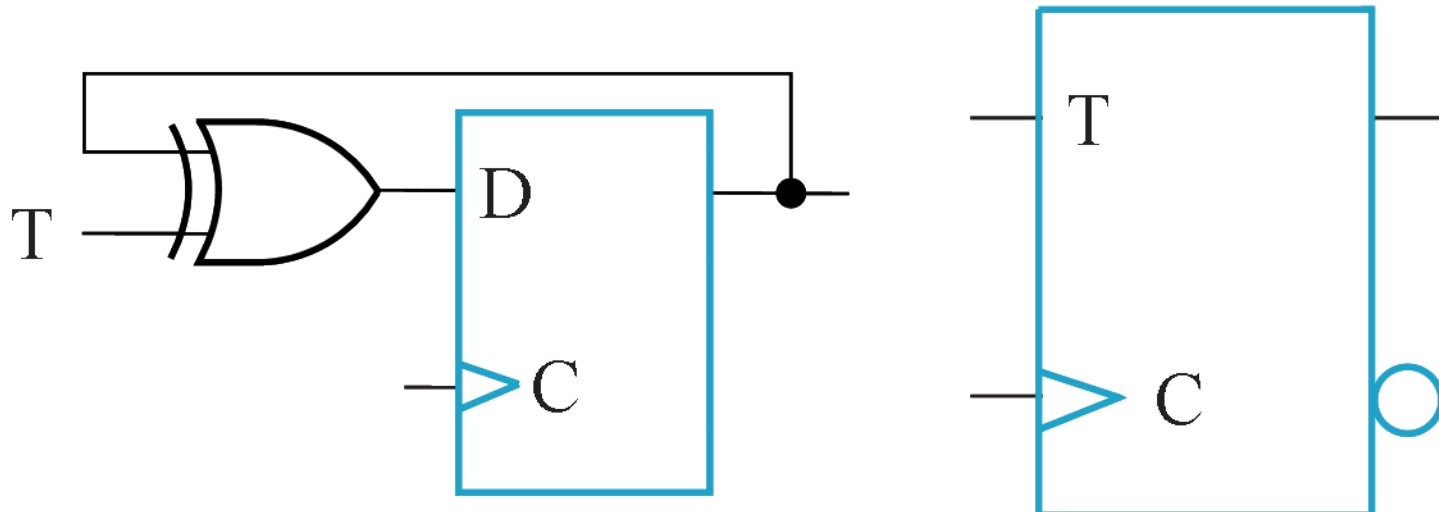
- Odpowiednik przerzutnika SR, gdzie J odpowiada S, a K odpowiada R, przy czym stan $J = K = 1$ jest dozwolony, a co więcej wyjście przerzutnika zmienia wówczas swój stan na przeciwny.
- Przerzutnik JK Master-Slave wykazuje przechwytywanie 1 tak jak przerzutnik SR
- Aby uniknąć wylapywania 1, wewnątrz przerzutnika stosuje się wyzwalany zboczem przerzutnik D



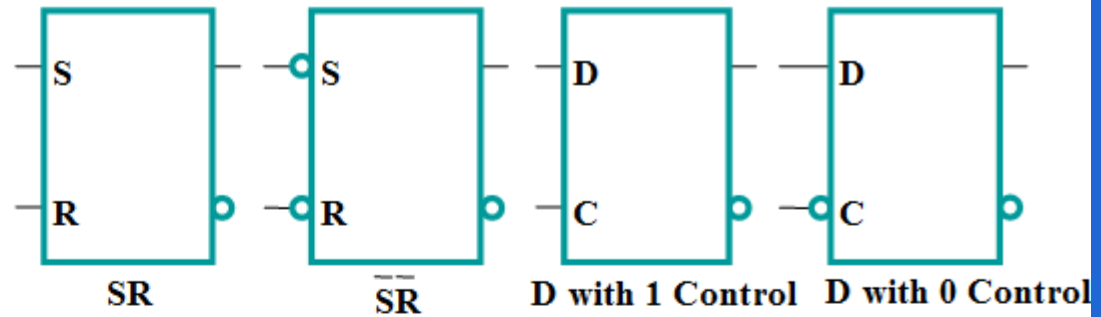
Inne typy przerzutników

Przerzutnik T

- **Pojedyncze wejście T**
 - $T = 0$, wyjście bez zmian
 - $T = 1$, wyjście oscyluje
- **Odpowiednik przerzutnika J-K dla $J = K = T$**
- **Brak możliwości inicjalizacji za pomocą wejścia T – istotny problem ustawiania i kasowania (synchronicznego lub asynchronicznego)**

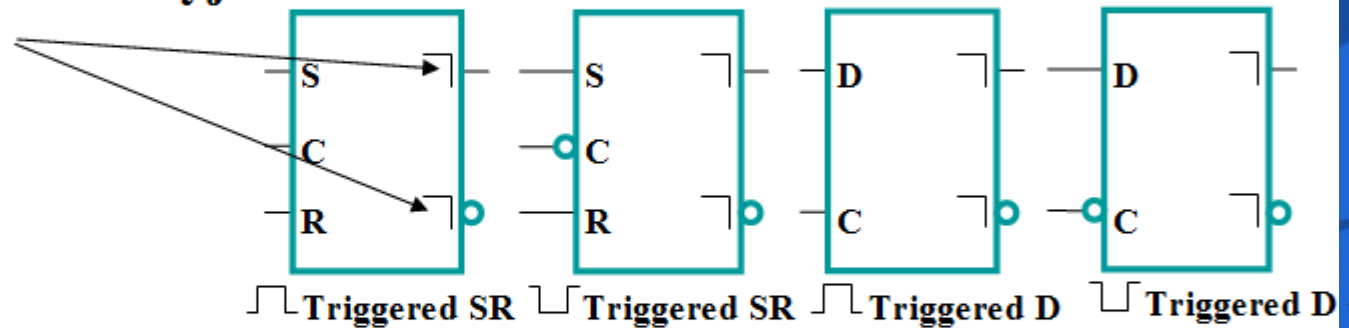


Opis wejść i wyjść przerzutników



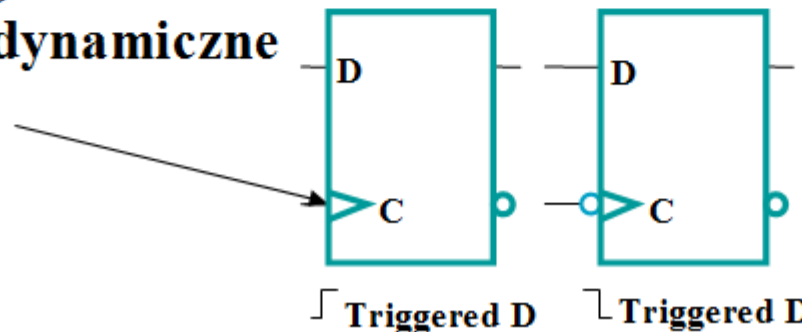
(a) Zatrzaski

- **Master-Slave:**
wskaźniki stanów wyjść



(b) Przerzutniki Master-Slave

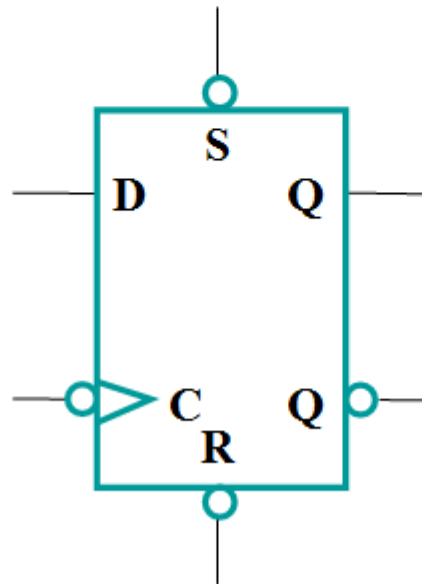
- **Edge-Triggered:**
wskaźniki dynamiczne



(c) Przerzutniki wyzwalane zboczem

Inicjalizacja – wejścia asynchroniczne

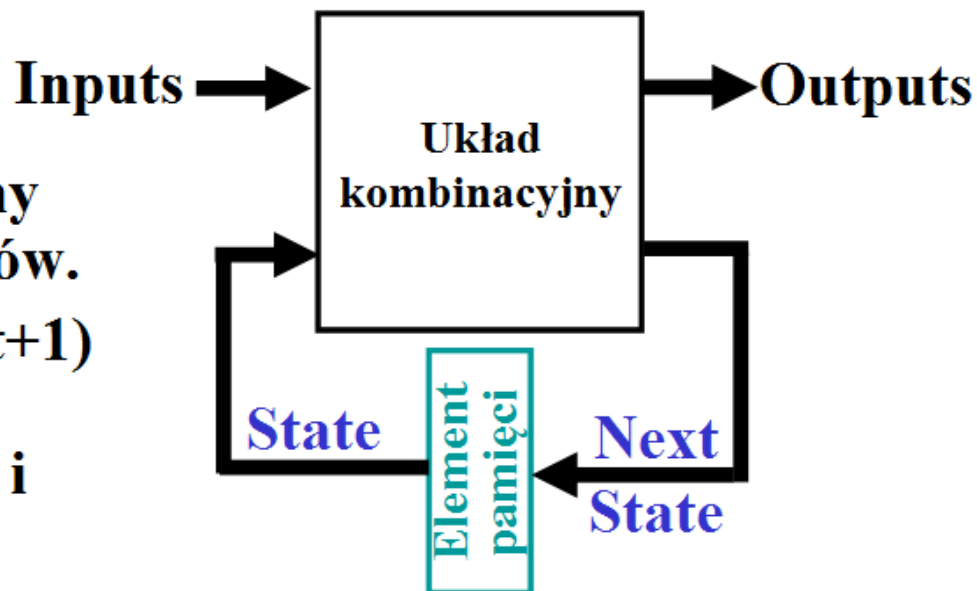
- Zanim układ sekwencyjny rozpocznie pracę, powinien zostać zainicjalizowany do ustalonego stanu początkowego.
- Inicjalizacja przebiega zwykle niezależnie od sygnału zegarowego, a więc asynchronicznie.
- Do zainicjalizowania układu wykorzystuje się wejścia SR zatrząsków bezpośrednio kontrolujące pracę przerzutników.



Analiza układów sekwencyjnych

■ Model układu

- Stan aktualny układu (w chwili t) jest pamiętany przez zespół przerzutników.
- Stan następny (w chwili $t+1$) jest funkcją logiczną aktualnego stanu układu i sygnałów wejściowych.
- Sygnały wyjściowe w chwili t są funkcją logiczną aktualnego stanu układu i (czasami) aktualnych sygnałów wejściowych.



Deskryptory układów sekwencyjnych

Tablica stanów (przejść)

- ***Tablica stanów*** – tablica podzielona na 4 sekcje zmiennych:
 - *Aktualny stan układu* – wartości zmiennych stanu dla każdego stanu dozwolonego.
 - *Input* – dopuszczalne słowa wejściowe.
 - *Stan następny* – wartość stanu w chwili $(t+1)$ w oparciu o stan aktualny i słowo wejściowe.
 - *Output* – słowo wyjściowe jako funkcja aktualnego stanu układu i (czasami) słowa wejściowego.
- **Z punktu widzenia tabeli prawdy:**
 - Argumentami funkcji są: Input, Aktualny stan
 - Wartościami funkcji są: Output, Następny stan

Deskryptory układów sekwencyjnych

Graf (diagram) stanów

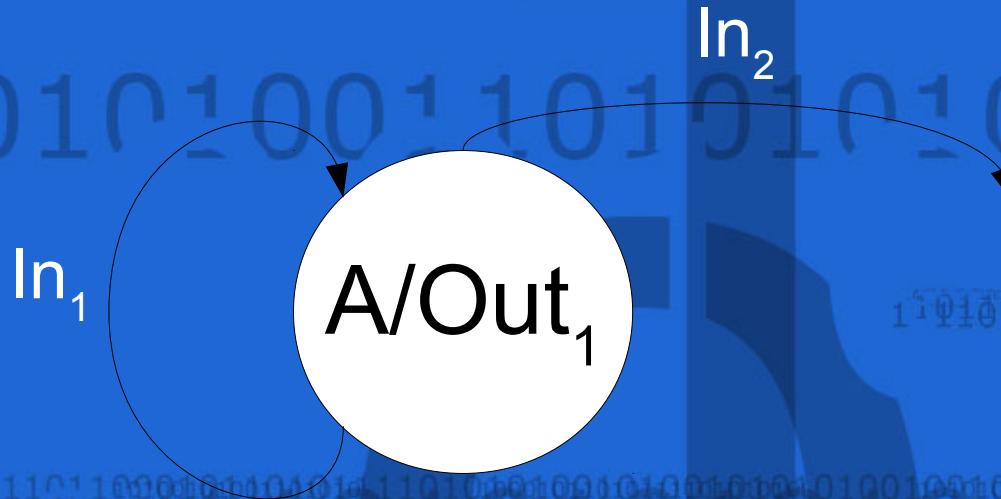
- **Diagram stanów – graficzne przedstawienie funkcji układu sekwencyjnego zawierające:**
 - **Kółko z nazwą stanu wpisaną wewnątrz; każde kółko odpowiada jednemu stanowi.**
 - **Strzałki łączące aktualne stany układu ze stanami przyszłymi dla wszystkich dozwolonych przejść**
 - **Opis strzałki zawierający słowo wejściowe powodujące daną zmianę stanu układu oraz**
 - **Opis:**
 - **W każdym kółku – zawierający generowane słowo wyjściowe, lub**
 - **Nad strzałką – zawierający generowane słowo wyjściowe.**

Graf stanów (Moore)

Forma opisu:

w kółku: aktualny stan wewnętrzny/aktualne wyjście

nad strzałką: aktualne wejście

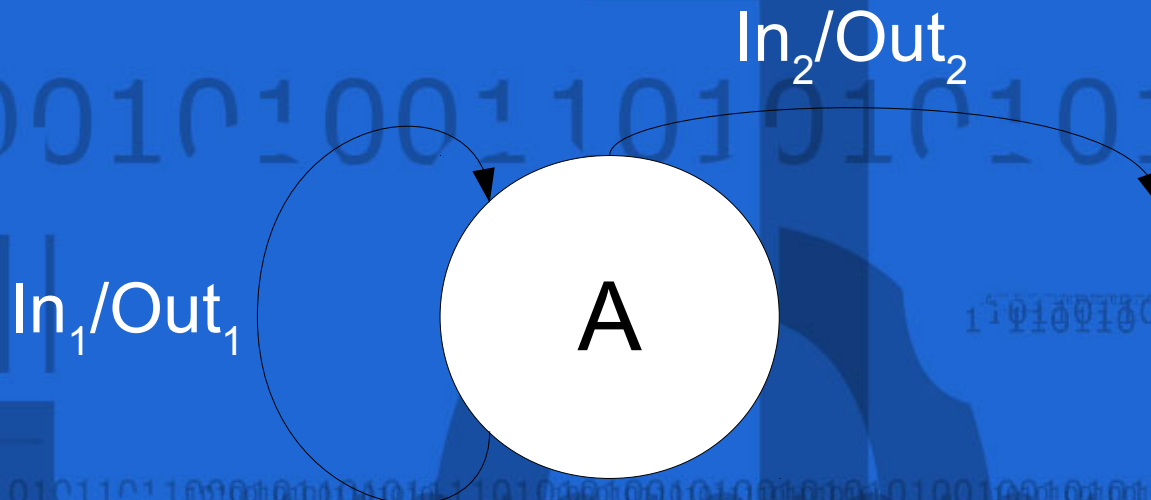


Graf stanów (Mealy)

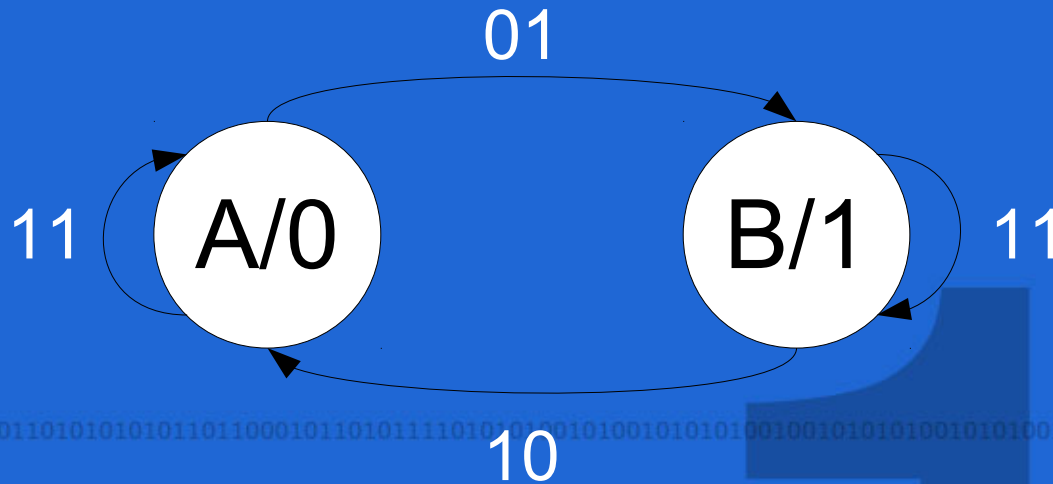
Forma opisu:

w kółku: aktualny stan wewnętrzny

nad strzałką: aktualne wejście/aktualne wyjście



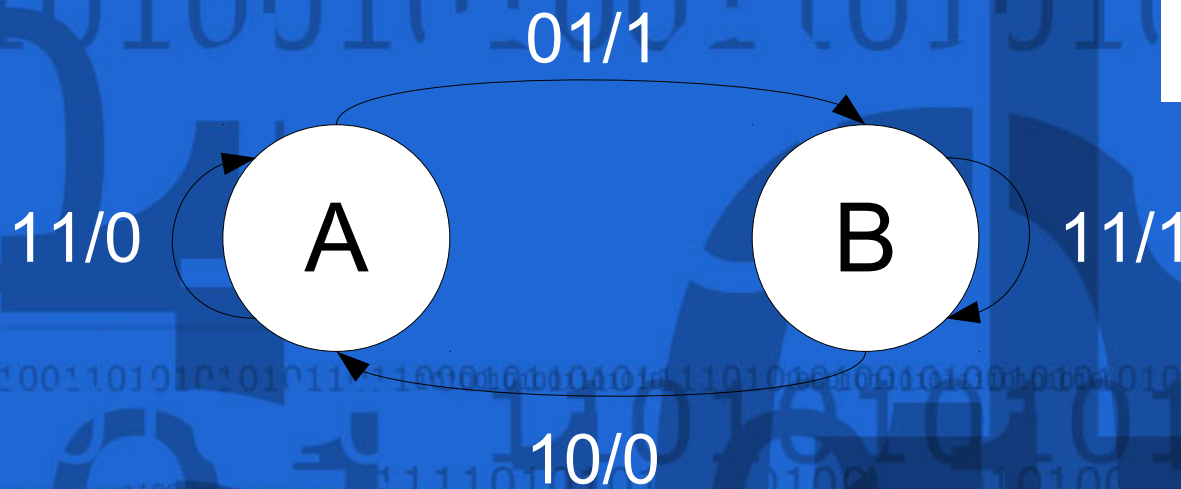
Graf stanów przerzutnika \overline{SR}



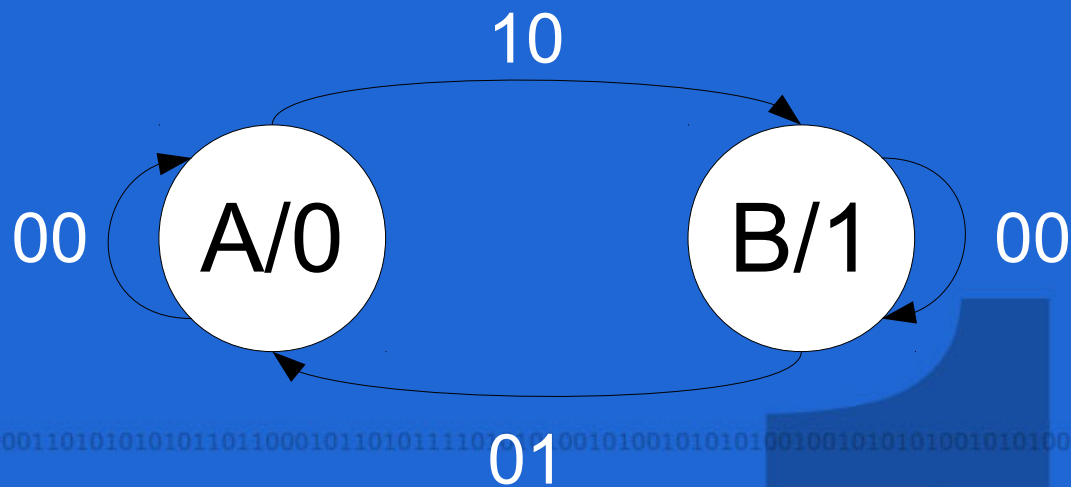
| S | R | Q | Q' |
|---|---|---|----|
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 |

(after S=1, R=0)

(after S=0, R=1)



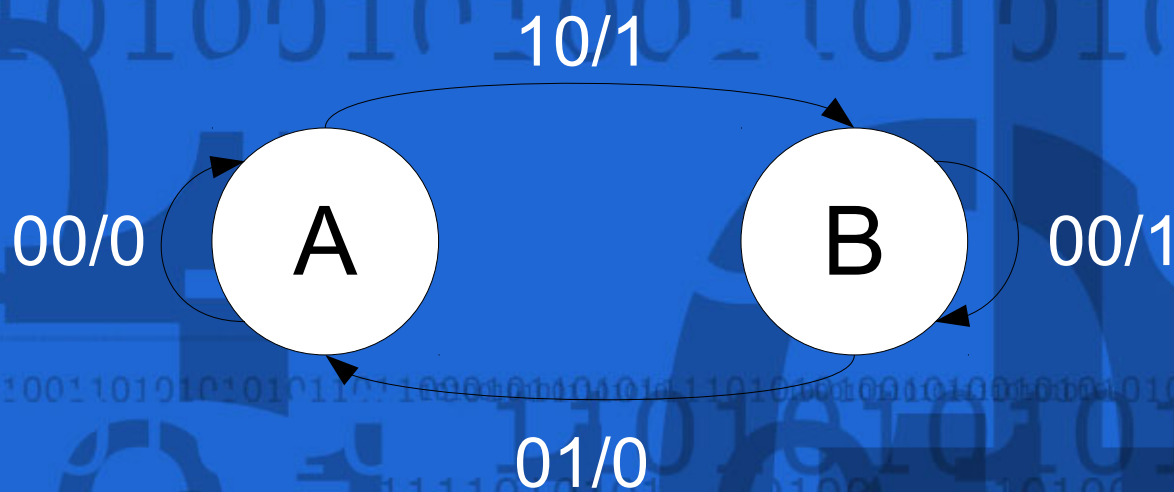
Graf stanów przerzutnika SR



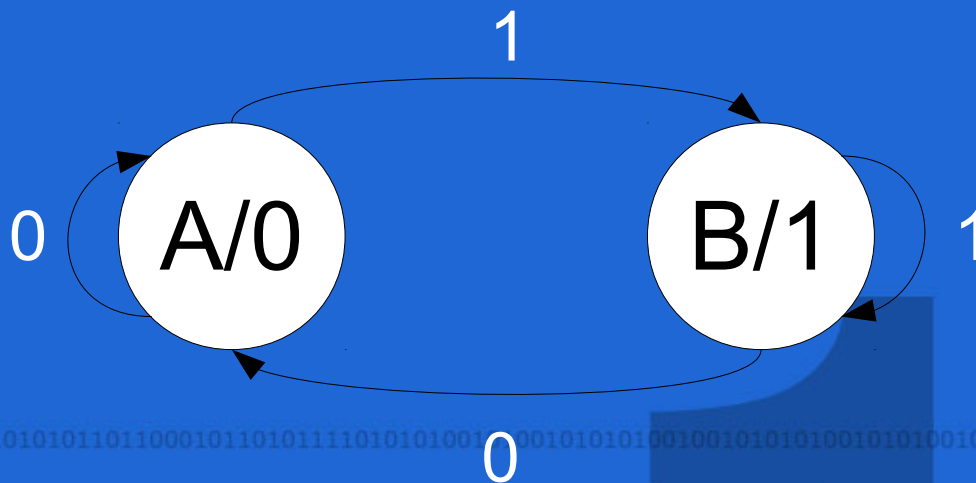
| S | R | Q | Q' |
|---|---|---|----|
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 |

(after S=1, R=0)

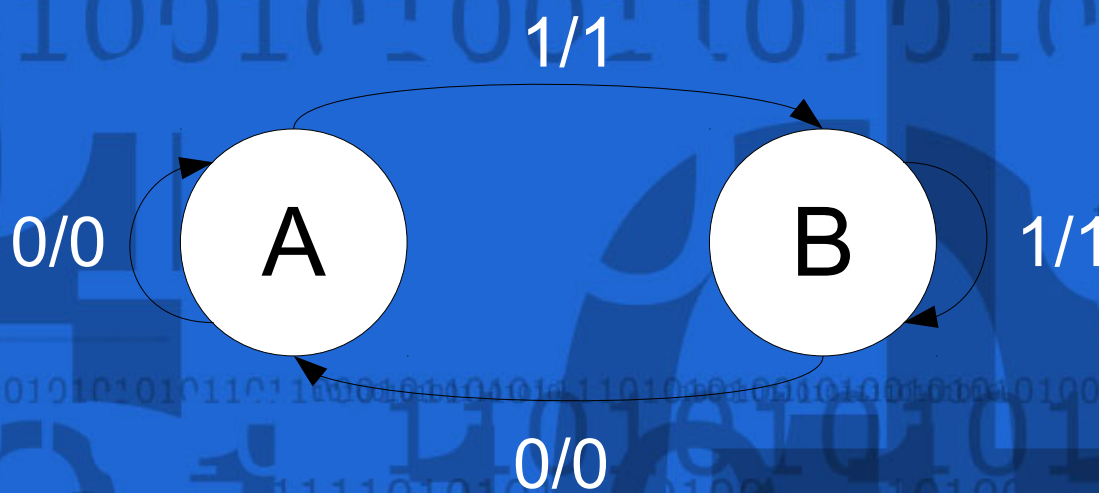
(after S=0, R=1)



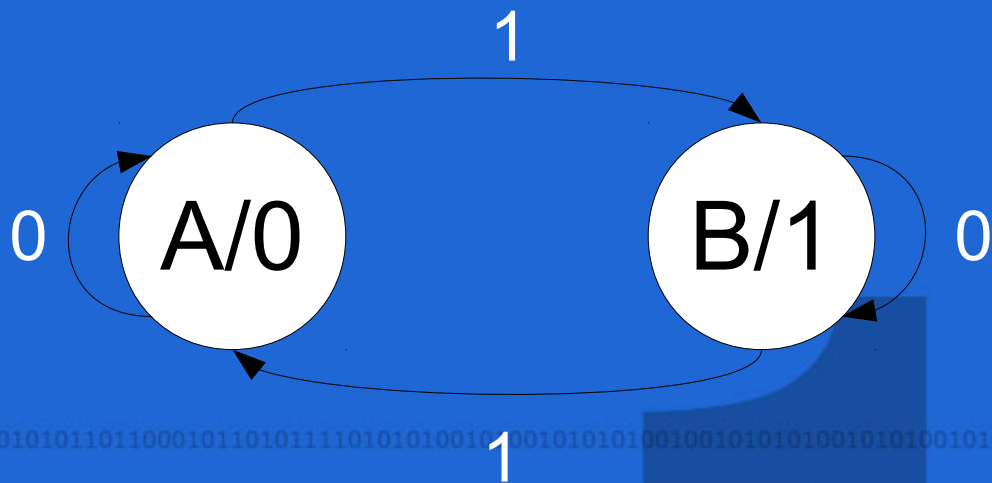
Graf stanów przerzutnika D



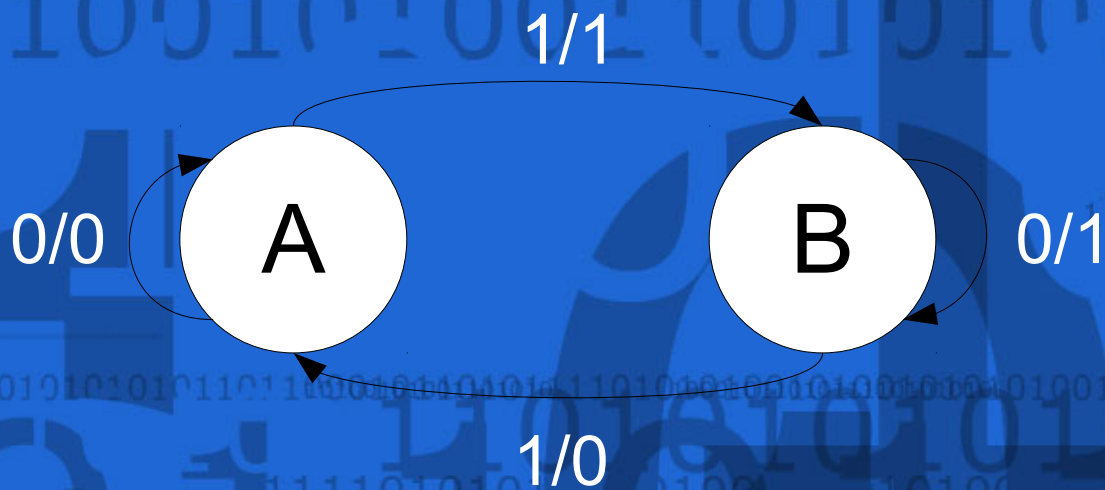
| D | Q(t+1) |
|---|--------|
| 0 | 0 |
| 1 | 1 |



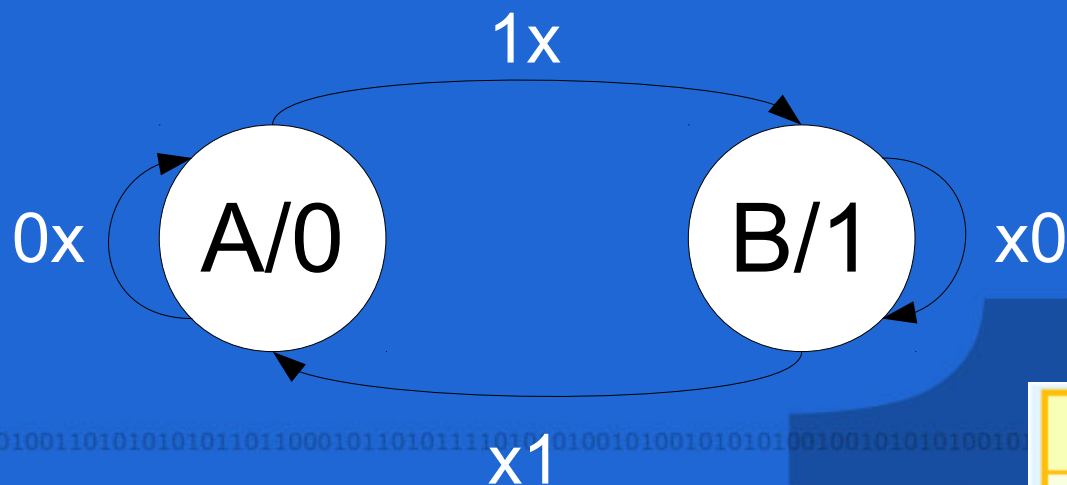
Graf stanów przerzutnika T



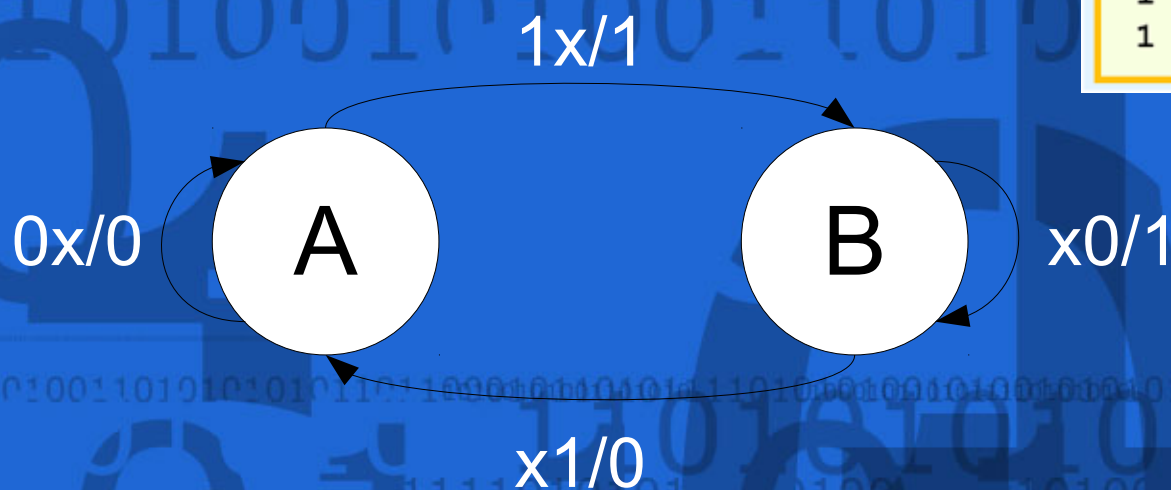
| Q | T | Q(t+1) |
|---|---|--------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



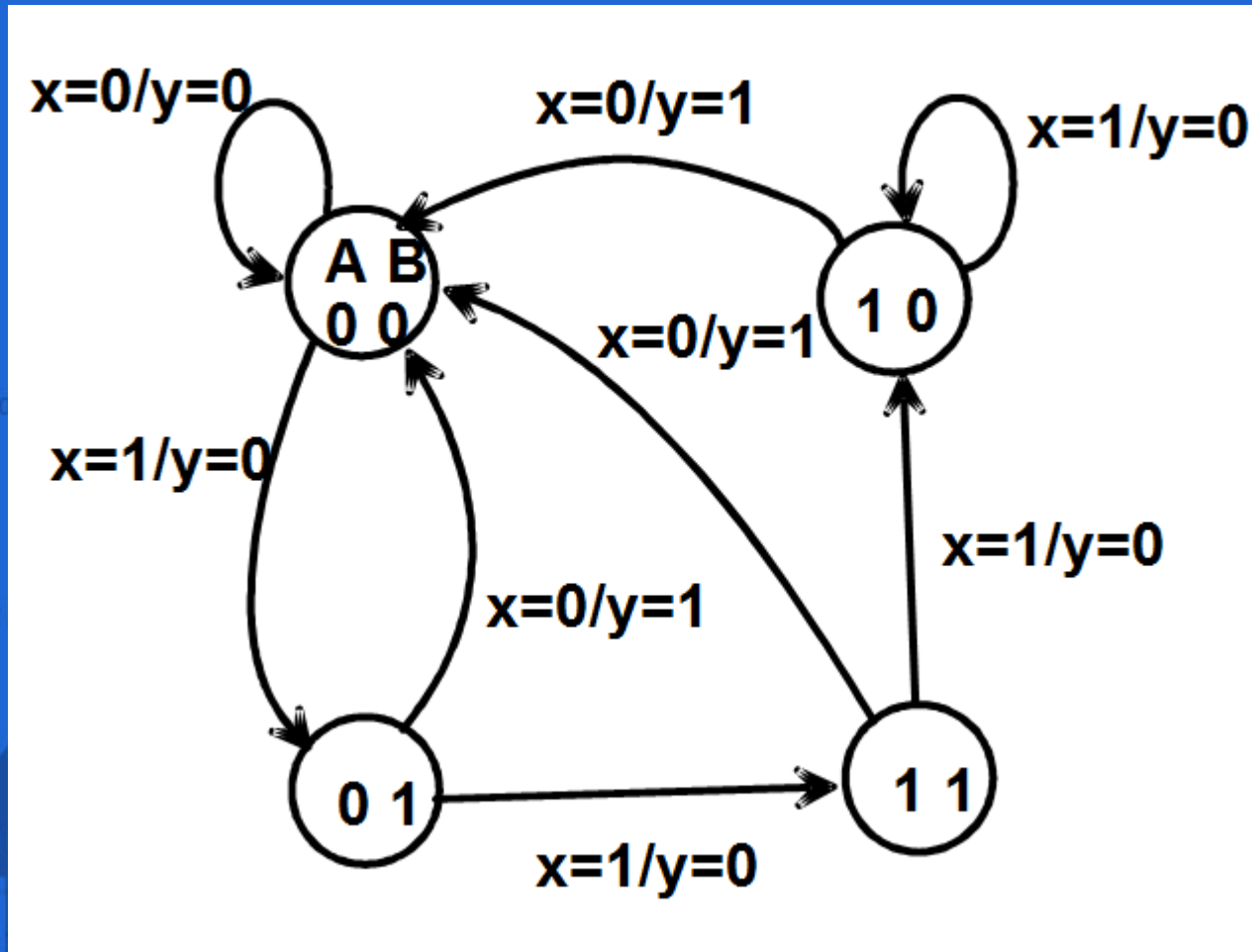
Graf stanów przerzutnika JK



| J | K | Q(t+1) |
|---|---|------------------|
| 0 | 0 | Q(t) (no change) |
| 0 | 1 | 0 (reset to 0) |
| 1 | 0 | 1 (set to 1) |
| 1 | 1 | $\bar{Q}(t)$ |



Przykład grafu stanów



Deskryptory układów sekwencyjnych

Tablica wzbudzeń

| Q Q' | D | T | S R | J K |
|------|---|---|-----|-----|
| 00 | 0 | 0 | 0 – | 0 – |
| 01 | 1 | 1 | 1 0 | 1 – |
| 10 | 0 | 1 | 0 1 | – 1 |
| 11 | 1 | 0 | – 0 | – 0 |

D – delay

T – trigger

S – set (wejście włączające)

R – reset (wejście wyłączające)

J – wejście włączające

K – wejście wyłączające

Deskryptory układów sekwencyjnych

Równanie charakterystyczne

| | | D | |
|---|---|---|---|
| | | 0 | 1 |
| Q | 0 | 0 | 1 |
| | 1 | 0 | 1 |

$$Q' = D$$

| | | T | |
|---|---|---|---|
| | | 0 | 1 |
| Q | 0 | 0 | 1 |
| | 1 | 1 | 0 |

$$Q' = \bar{T}Q + T\bar{Q}$$

| | | SR | | | |
|---|---|----|----|----|----|
| | | 00 | 01 | 11 | 10 |
| Q | 0 | 0 | 0 | — | 1 |
| | 1 | 1 | 0 | — | 1 |

| | | JK | | | |
|---|---|----|----|----|----|
| | | 00 | 01 | 11 | 10 |
| Q | 0 | 0 | 0 | 1 | 1 |
| | 1 | 1 | 0 | 0 | 1 |

Równanie charakterystyczne: $Q' = f(I_1, I_2, Q)$