

Sławomir Kulesza

Technika cyfrowa

Parametry układów cyfrowych

Wykład dla studentów III roku Informatyki

Wersja 3.1, 25/10/2012

Układ scalony od środka

Przewodność cieplna obudowy ogranicza wzrost temperatury układu.

Położenie półprzewodnika uniemożliwia powstawanie zwarć wewnętrznych.

Jednolita obudowa podtrzymuje druty łączące.

Wyprowadzenia są silnie związane z obudową.

Końcówka 7

Szkielet metalowy ułatwiający rozpraszanie ciepła.

Materiał obudowy ściśle przylega do wyprowadzeń.

Wykonanie końcówek umożliwia montaż automatyczny.

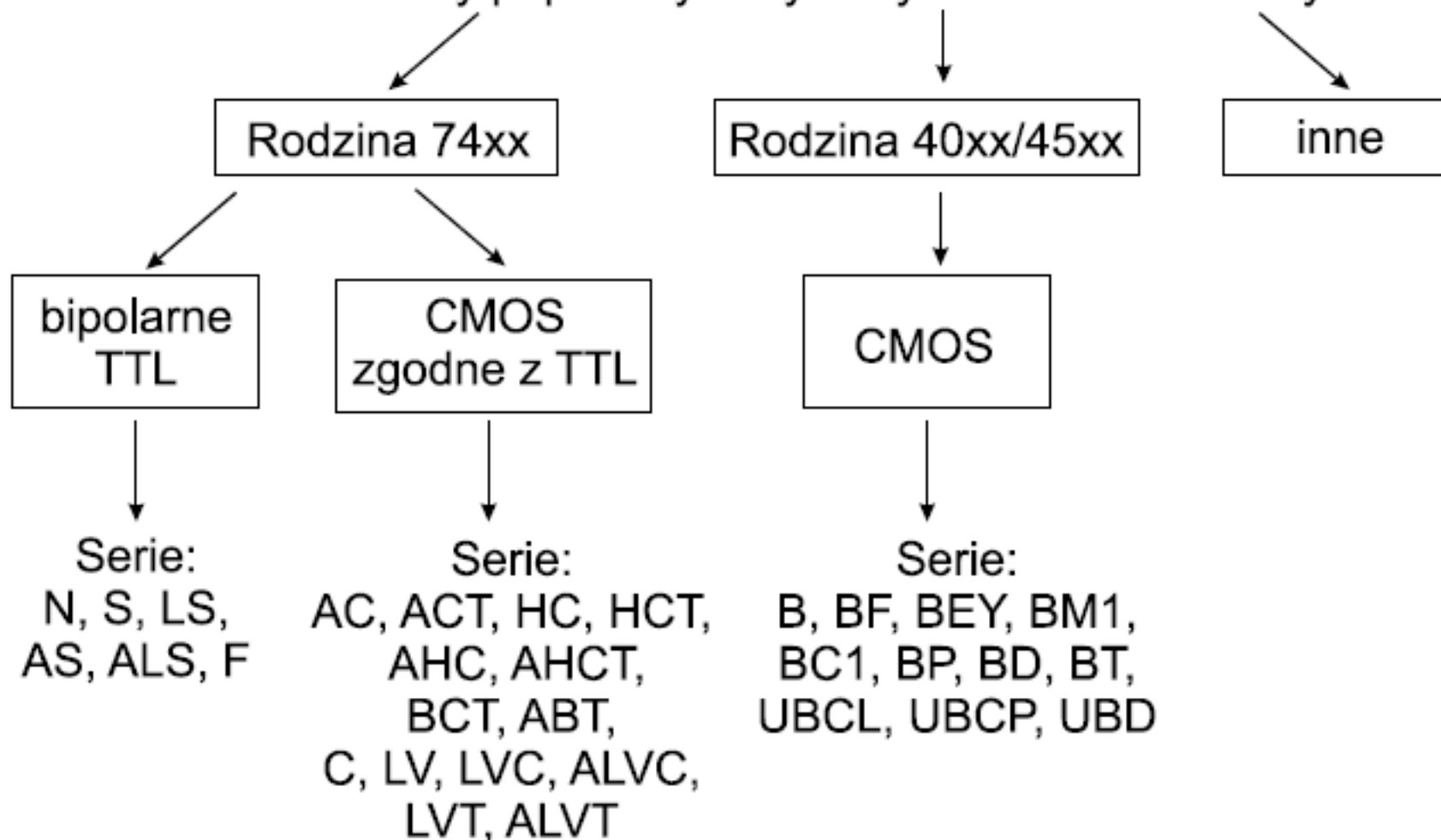
Końcówka 14

Zgrubienia końcówek utrzymują obudowę ponad płytką montażową, zapewniając wentylację i eliminując wilgoć.

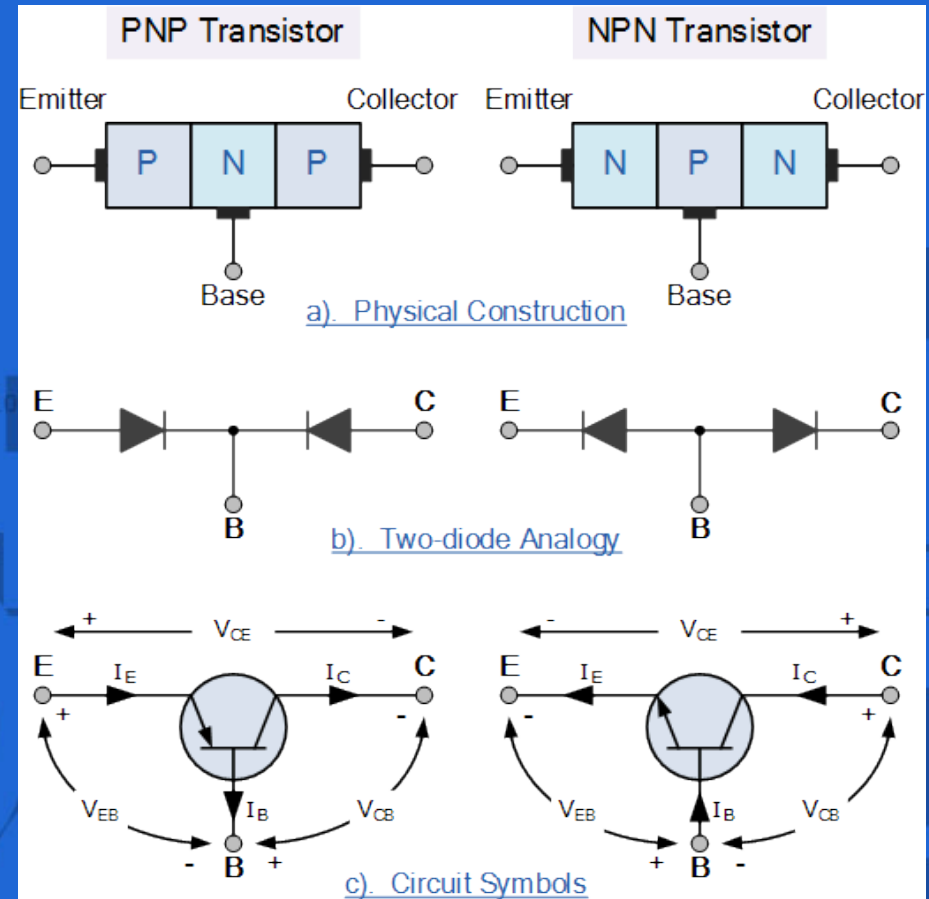
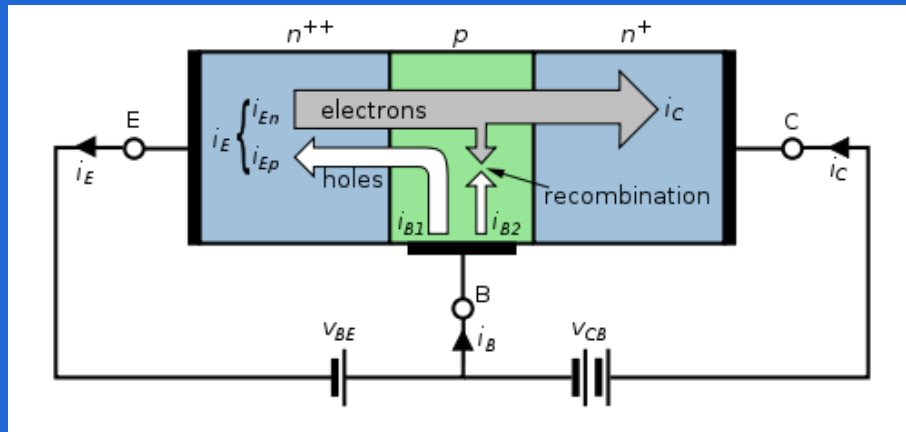
Końcówka 8

Rodziny bramek logicznych

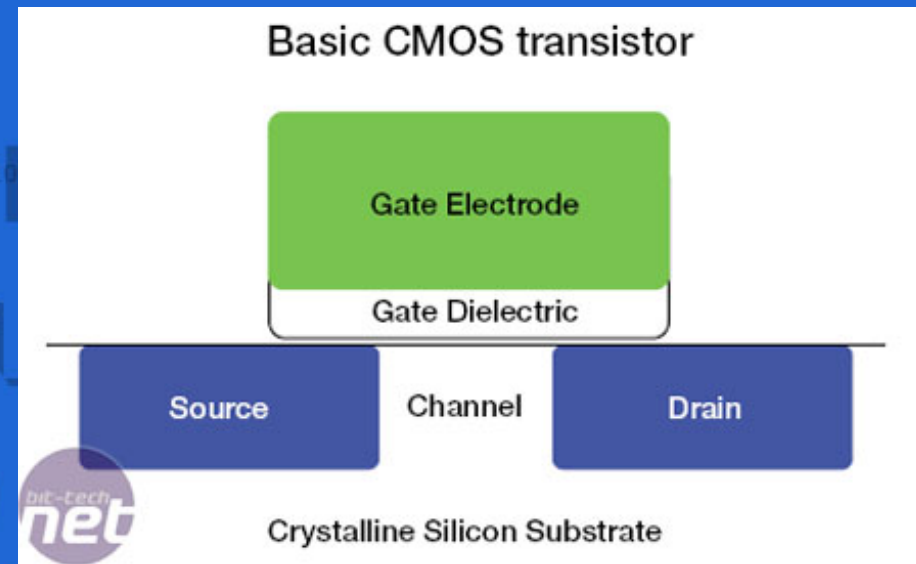
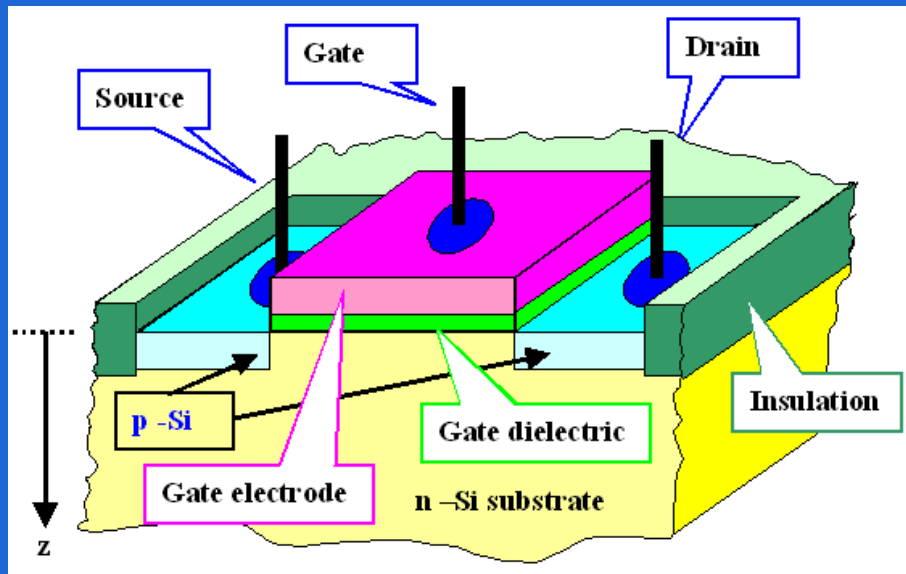
Rodziny popularnych cyfrowych układów scalonych



Tranzystory bipolarné



Tranzystory unipolarne



Porównanie cech rodzin układów

rodzina 74xx	rodzina 40xx / 45xx
Zalety:	Zalety:
Bardzo duży wybór typów układów.	Bardzo mały pobór prądu w stanie spoczynku (1nA - 1μA w układach złożonych z kilku bramek)
Liczne serie układów różnią się znacznie szybkością pracy, prądem zasilania, natężeniami prądów wej. i wyj., kosztem itd.	Bardzo małe prądy wejściowe
Określony standard napięć dla wejść i wyjść.	Szeroki zakres napięć pracy dochodzący do 2...20 V.
Wady (przezwyciężone w nowszych seriach):	Wady
Duży pobór prądu w stanie spoczynkowym (rzędu kilka mA na bramkę serii standardowej).	Małe prądy wyjściowe (<1mA przy $U_Z = 5V$)
Duże prądy wejściowe (do 1,6 mA w serii standardowej).	Mała szybkość pracy (f_{max} rzędu kilka MHz przy $U_Z = 5V$)
Wady wspólne: brak zgodności końcówkowej układów scalonych z różnych rodzin, bezpośrednie połączenia między układami z różnych rodzin nie zawsze możliwe.	

Porównanie parametrów układów

ZESTAWIENIE PORÓWNAWCZE PARAMETRÓW GŁÓWNYCH KLAS CYFROWYCH UKŁADÓW SCALONYCH

Tablica 5.1

Klasa lub rodzina Parametr	ECL SSI	TTL SSI	MOS LSI, VLSI	CMOS SSI	I ² L LSI	GaAs MSI
Czas propagacji $t_{p\text{typ}}$ [ns]	0.3 ÷ 2	1.7 ÷ 33	0.2 ÷ 50	3 ÷ 125	7 ÷ 50	0.05 ÷ 0.2
Moc strat na bramkę P_{typ} [mW]	25 ÷ 60	1 ÷ 23	0.1 ÷ 15	1 μ W statyczna, ~ 1 mW przy 1 MHz	4 ÷ 300 μ W	0.1 ÷ 1
Współczynnik dobroci D_{typ} [pJ]	15 ÷ 60	4 ÷ 138	0.2 ÷ 75	10 ⁻² statyczna, 50 ÷ 150° przy 1 MHz	0.2 ÷ 2	0.01 ÷ 0.2
Obciążalność statyczna wyjściowa N_{max}	60 ÷ 90	10	> 20	50	1 ÷ 10	
Margines zakłóceń M_{typ} [V]	~ 0.2	1	0.7 ÷ 1.5	0.45 U_{DD}	0.45 U_{DD}	
Impedancja wyjściowa [Ω]	6 ÷ 10	10	0.5 ÷ 10k	800		
Częstotliwość zegarowa f_{max} [MHz]	150 ÷ 1200	3 ÷ 150	2 ÷ 30	5 ÷ 150	1 ÷ 20	1 ÷ 10 GHz
Zasilanie [V]	-5.2 ± 10%	5 ± 10%	Jedno do trzech napięć w zakresie -15 V ... +15 V typowo tylko +5 V (NMOS)			
Asortyment	średni	bardzo duży	duży	duży	mały	mały

Parametry układów cyfrowych

Aby porównywać układy z różnych rodzin logicznych, należy zdefiniować wspólne dla nich parametry, do których należą:

- poziomy napięć logicznych,
- margines szumów,
- obciążalność wyjść,
- straty mocy,
- czas propagacji,
- zgodność łączeniowa.

Parametry statyczne układów logicznych

Parametry statyczne

- U_{CC} — napięcie zasilania,
- U_{IH} — napięcie wejściowe w stanie wysokim,
- U_{IL} — napięcie wejściowe w stanie niskim,
- U_{OH} — napięcie wyjściowe w stanie wysokim,
- U_{OL} — napięcie wyjściowe w stanie niskim,
- I_{IH} — prąd wejściowy w stanie wysokim,
- I_{IL} — prąd wejściowy w stanie niskim,
- I_{OH} — prąd wyjściowy w stanie wysokim,
- I_{OL} — prąd wyjściowy w stanie niskim,
- I_{CCH} — prąd zasilania układu w stanie wysokim na wyjściu,
- I_{CCL} — prąd zasilania układu w stanie niskim na wyjściu,
- I_{OS} — wyjściowy prąd zwarcia,
- ΔU_L — margines zakłóceń w stanie niskim,
- ΔU_H — margines zakłóceń w stanie wysokim.

Parametry dynamiczne układów logicznych

Parametry dynamiczne

- t_{pHL} — czas propagacji przy zmianie stanu logicznego na wyjściu z wysokiego (H) na niski (L), tj. czas upływający między występowaniem na wejściu i na wyjściu napięcia $(U_{IH\min} + U_{IL\max})/2$ przy zmianie stanu logicznego na wyjściu z H na L.
- t_{pLH} — czas propagacji przy zmianie stanu logicznego na wyjściu z niskiego (L) na wysoki (H), tj. czas upływający między występowaniem na wejściu i na wyjściu napięcia $(U_{IH\min} + U_{IL\max})/2$ przy zmianie stanu logicznego na wyjściu z L na H,
- t_p — czas propagacji, tj. średnia arytmetyczna czasów t_{pLH} i t_{pHL} lub niekiedy wartość większa spośród czasów t_{pLH} , t_{pHL} .

Poziomy logiczne napięcie

Pracę układów logicznych łatwo wyjaśnić w oparciu o poziomy generowanych przez nie poziomów napięć wyrażonych w woltach, niekoniecznie oznacza to jednak jednoznaczny opis wartościami logicznymi 0 oraz 1.

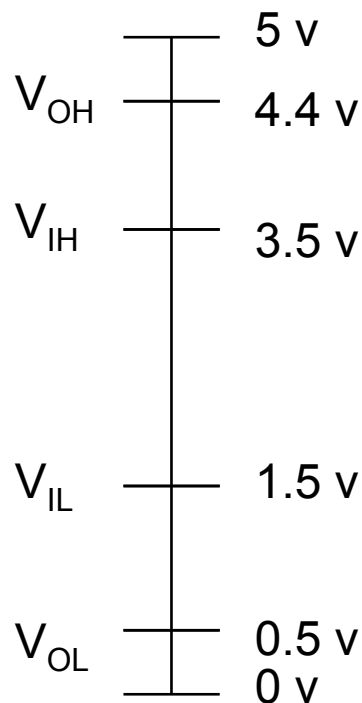
Układy logiczne binarne są tak zaprojektowane, aby w stanie stacjonarnym generować tylko jeden z dwóch możliwych poziomów napięć: wysoki (H) lub niski (L).

Istnieje zatem odwzorowanie łączące stany logiczne 0 oraz 1 z poziomami napięcia H oraz L. Rodzaj odwzorowania definiuje logikę układu:

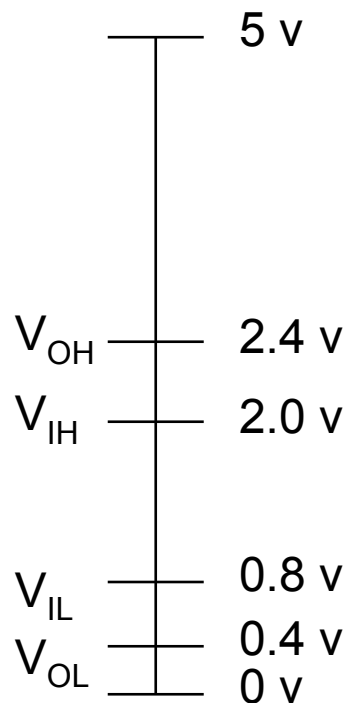
- logika dodatnia: $0 \rightarrow L, 1 \rightarrow H$,
- logika ujemna: $0 \rightarrow H, 1 \rightarrow L$ (rzadko spotykana)

Poziomy logiczne napięć

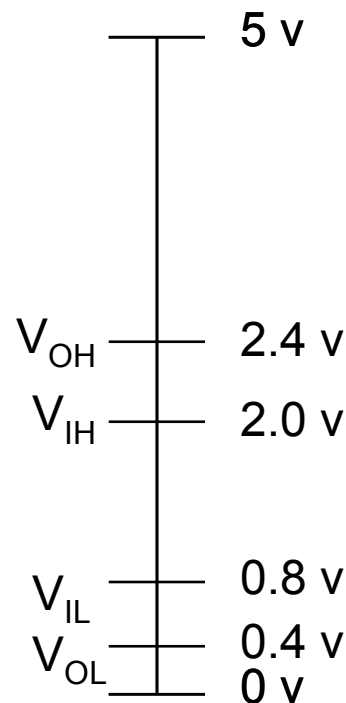
CMOS
(HC, AC)



CMOS
(HCT, ACT)

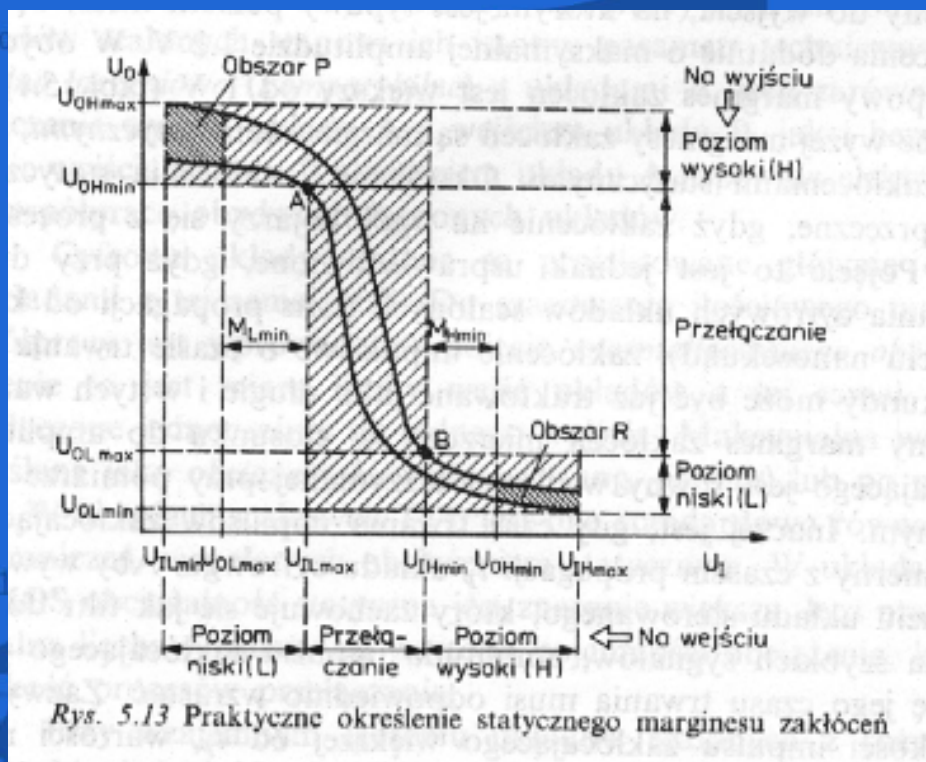


TTL
(S, LS, AL, ALS, F)



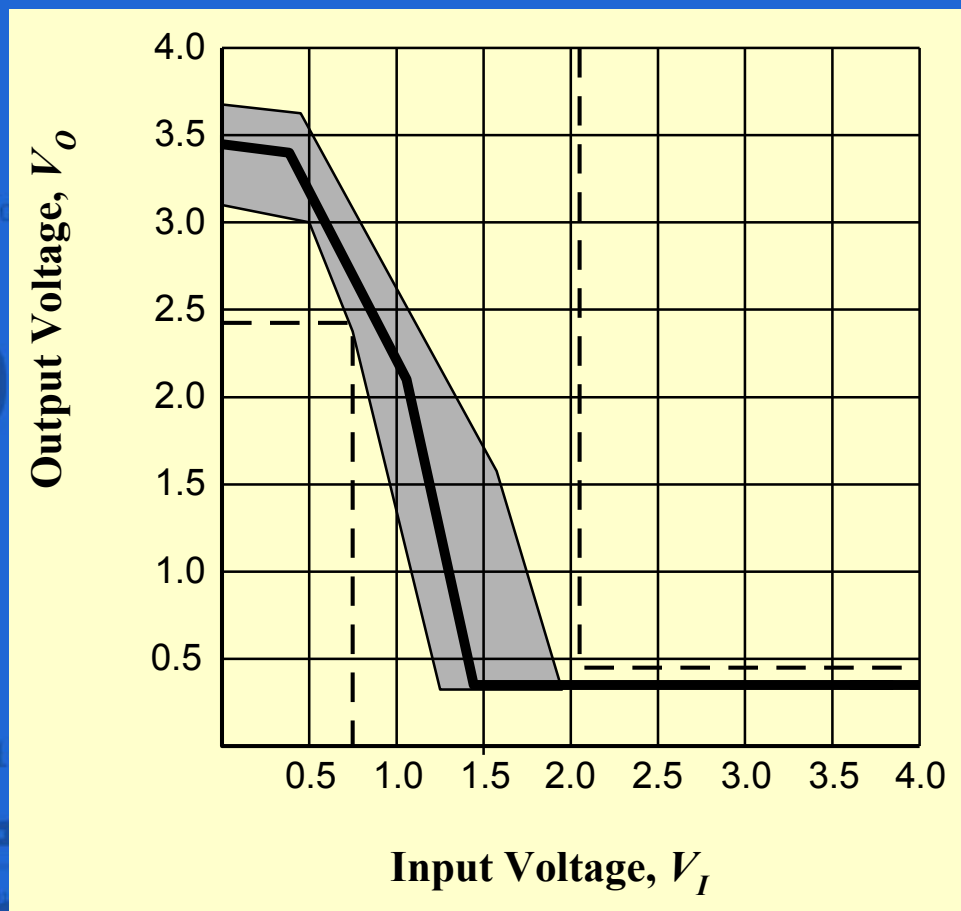
Margines zakłóceń

Margines zakłóceń to maksymalna wartość napięcia zakłócającego (szumu), które dodane do sygnału wejściowego nie spowoduje przekroczenia dopuszczalnych parametrów napięcia wyjściowego układu. Margines zakłóceń wyznaczamy dla najbardziej niekorzystnych warunków pracy układu.

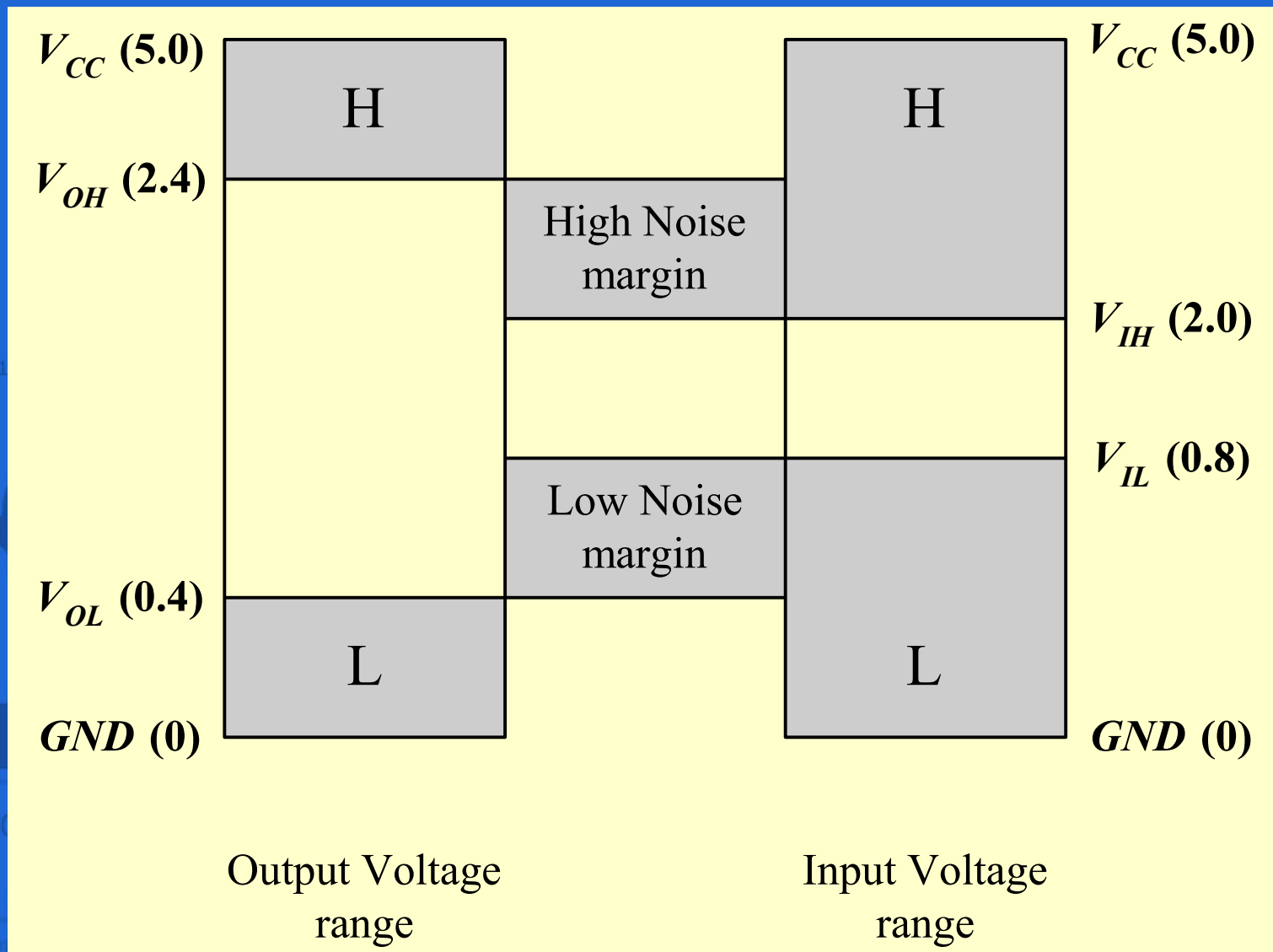


Margines zakłóceń

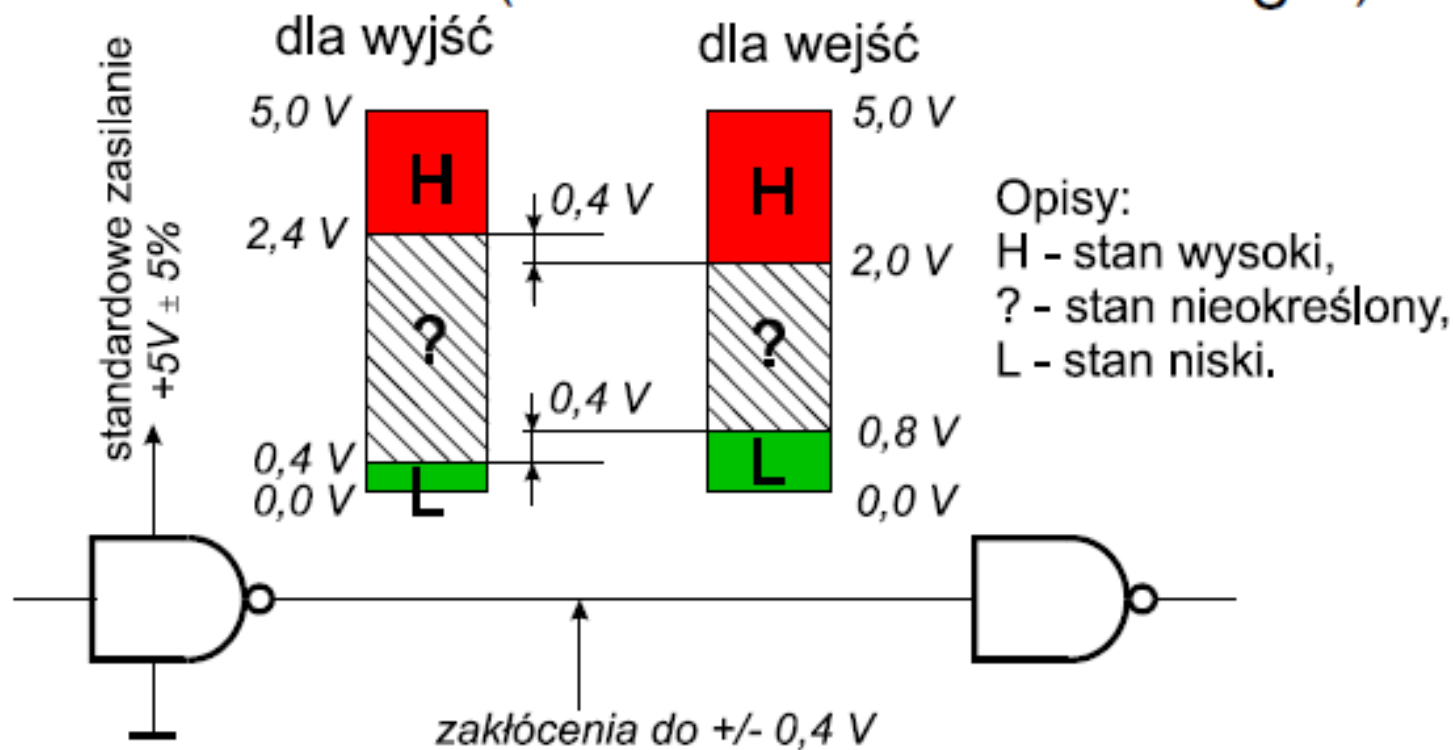
Na skutek zmian warunków pracy, charakterystyki przełączeniowe układów wykazują dryft, stąd wyznaczenie marginesów zakłóceń obarczone jest pewnym błędem:



Margines zakłóceń



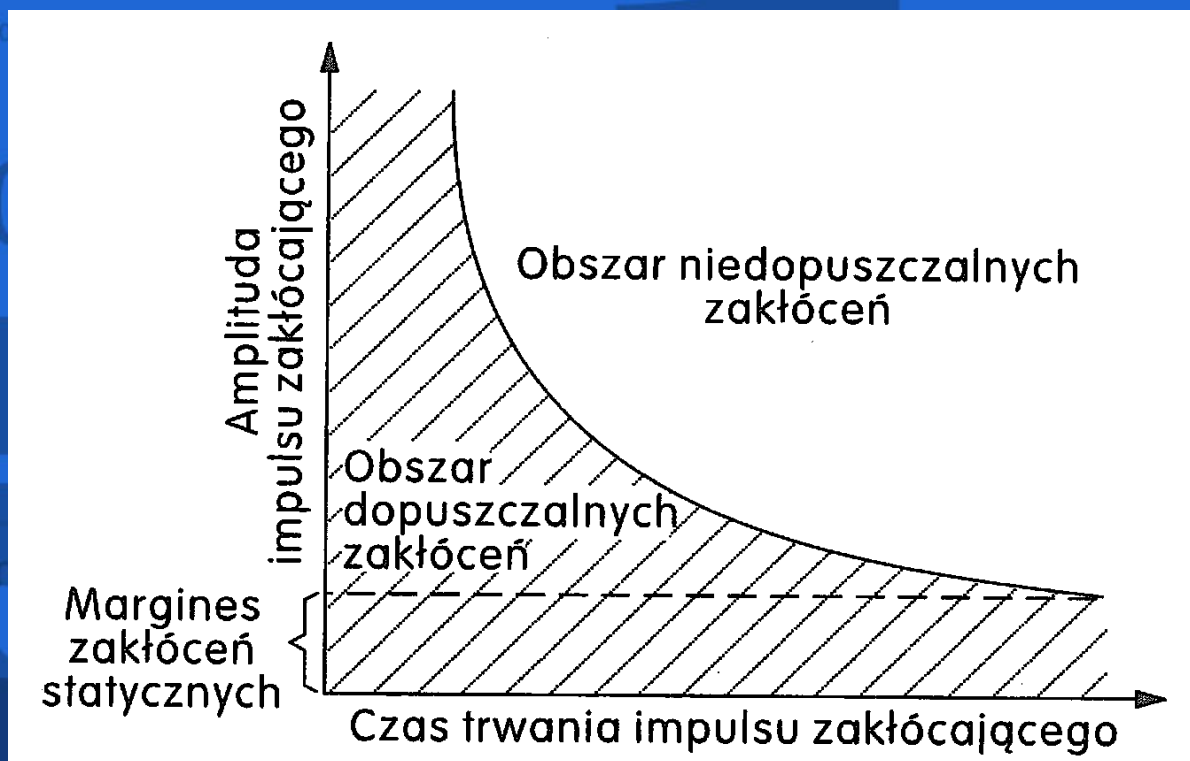
Standard napięć w układach TTL (transistor-transistor logic)



Margines zakłóceń

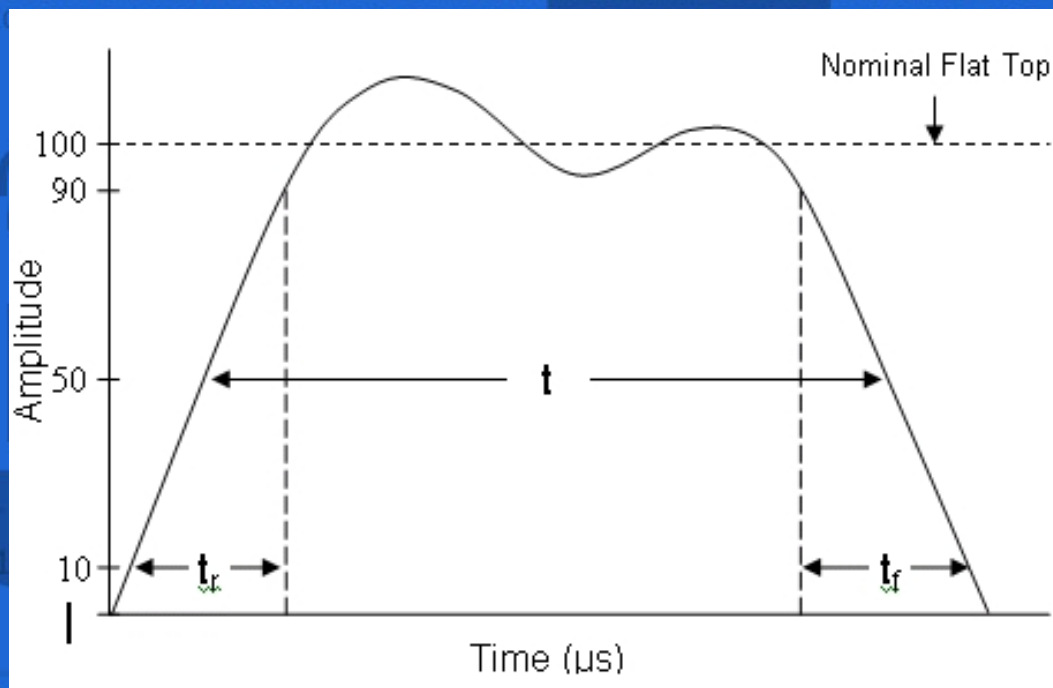
Odporność układu na zakłócenia zależy nie tylko od amplitudy impulsu, ale też czasu jego trwania. Zakłócenia krótsze niż czas propagacji to zakłócenia dynamiczne, dłuższe zaś to zakłócenia statyczne.

Układy posiadają szerszy margines zakłóceń dynamicznych niż statycznych.



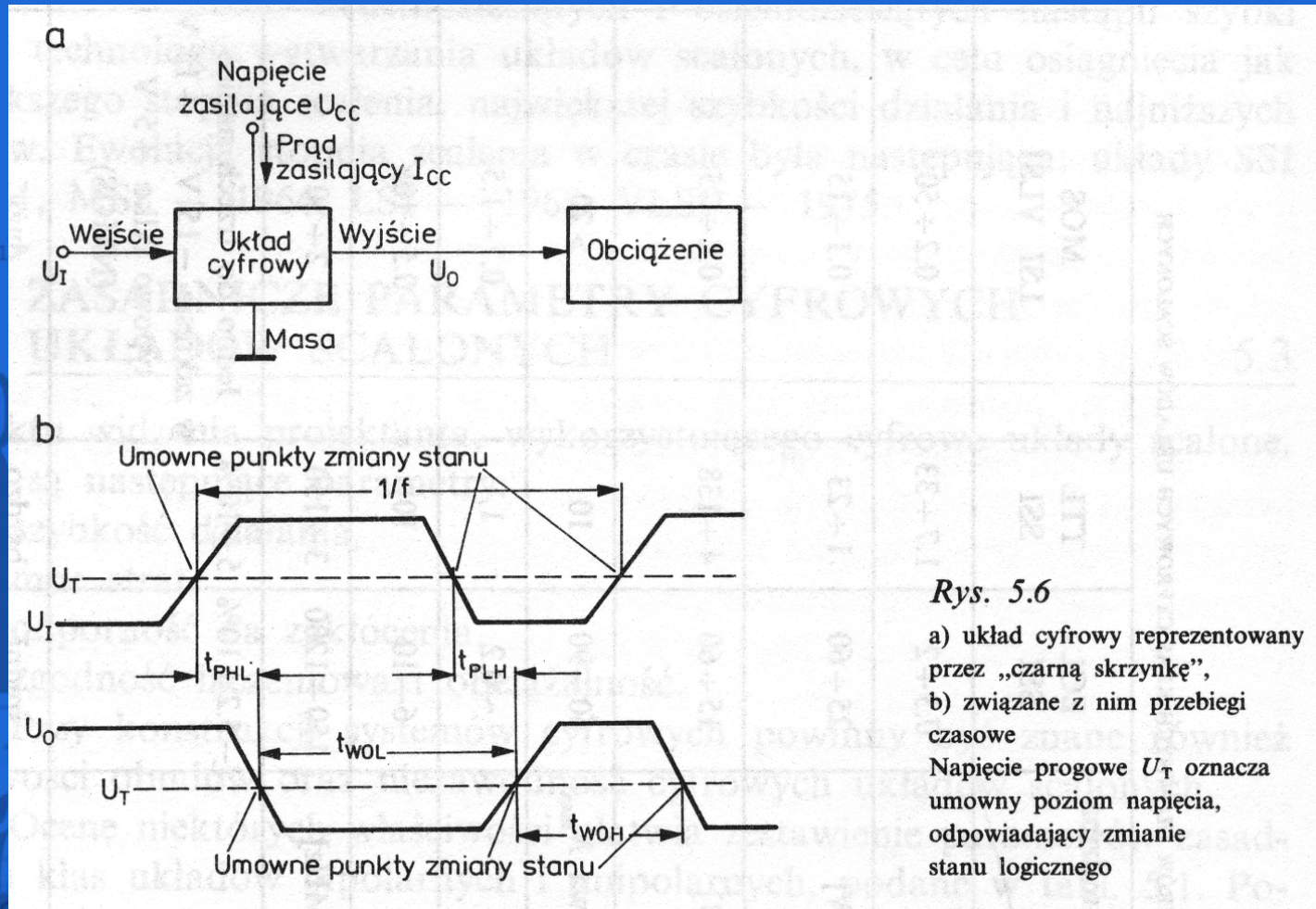
Czas narastania/opadania sygnału

Ponieważ skokowa zmiana sygnału nie dokonuje się natychmiast, aby wyznaczyć czas propagacji bramki należy najpierw zdefiniować czas narastania i opadania sygnału – czas, jaki upływa, zanim wartość sygnału zmieni się między 10% a 90 % jego wartości maksymalnej.



Czas propagacji

$$t_p = \frac{1}{2} (t_{pLH} + t_{pHL})$$



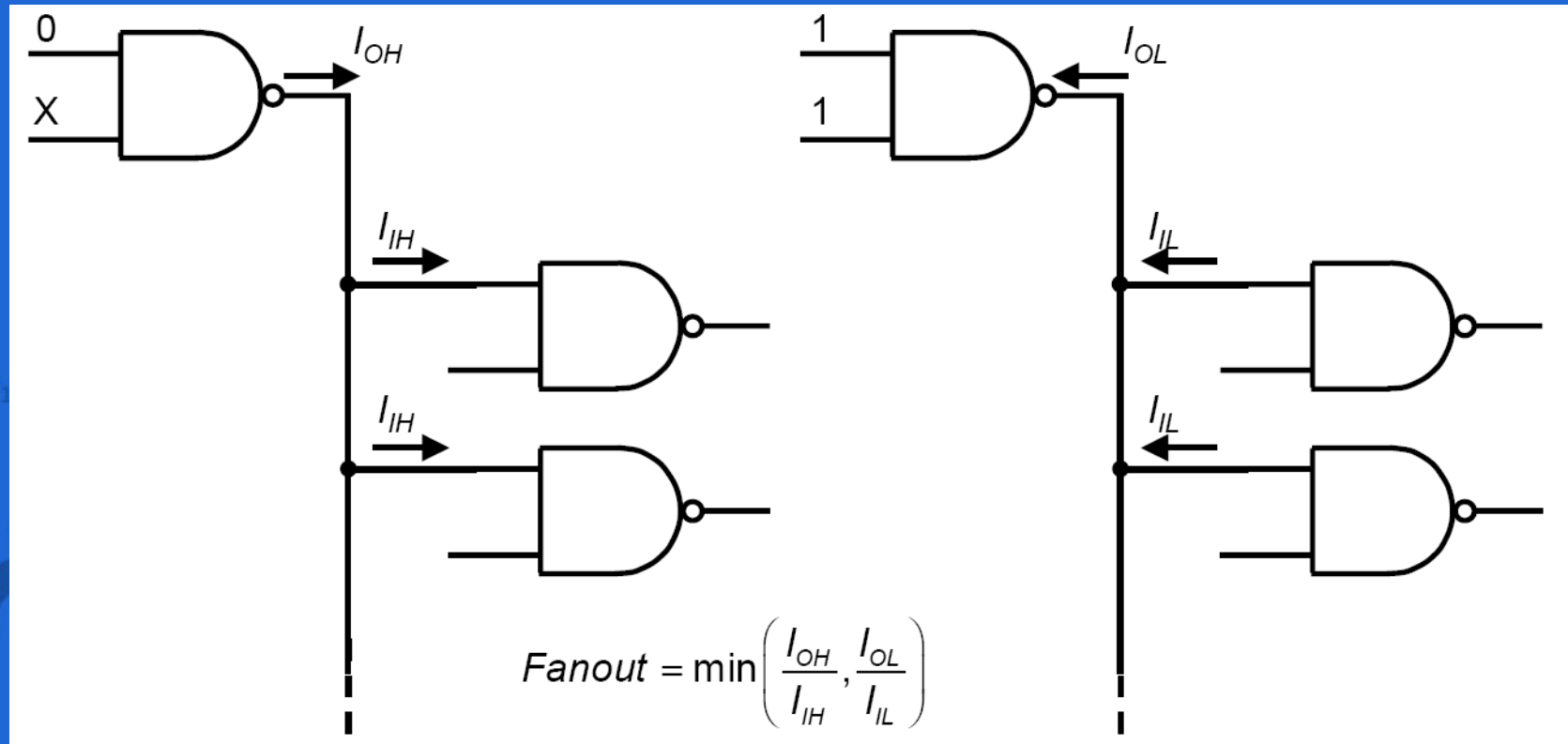
Obciążalność bramek

Obciążalność określa liczbę wejść bramek, które mogą zostaćysterowane przez pojedyncze wyjście danej bramki bez przekraczania dopuszczalnych wartości prądów i napięć.

Oznaczenia:

- I_{ILMax} maks. natężenie prądu wypływającego z wejścia bramki w stanie niskim.
- I_{IHMax} maks. natężenie prądu wpływającego do wejścia bramki w stanie wysokim.
- I_{OLMax} maks. natężenie prądu wpływającego do wyjścia bramki w stanie niskim.
- I_{OHMax} maks. natężenie prądu wypływającego z wyjścia bramki w stanie wysokim.

Obciążalność bramek



$$N = \min \left(\frac{|I_{OL}|}{|I_{IL}|}, \frac{|I_{OH}|}{|I_{IH}|} \right)$$

Moc strat

Każdy układ jest dołączony do napięcia zasilającego V_{CC} i w trakcie swojej pracy pobiera pewien prąd. W zależności od stanu bramki wyróżniamy:

- I_{CCL} – prąd pobierany ze źródła w stanie niskim,
- I_{CCH} – prąd pobierany ze źródła w stanie wysokim,
- I_{CCT} – prąd pobierany ze źródła w stanie przejściowym.

Gdy $I_{CCT} \ll (I_{CCH}, I_{CCL})$, wówczas:

$$P_s = V_{CC} \frac{I_{CCL} + I_{CCH}}{2}$$

Gdy $I_{CCT} \gg (I_{CCH}, I_{CCL})$, wówczas:

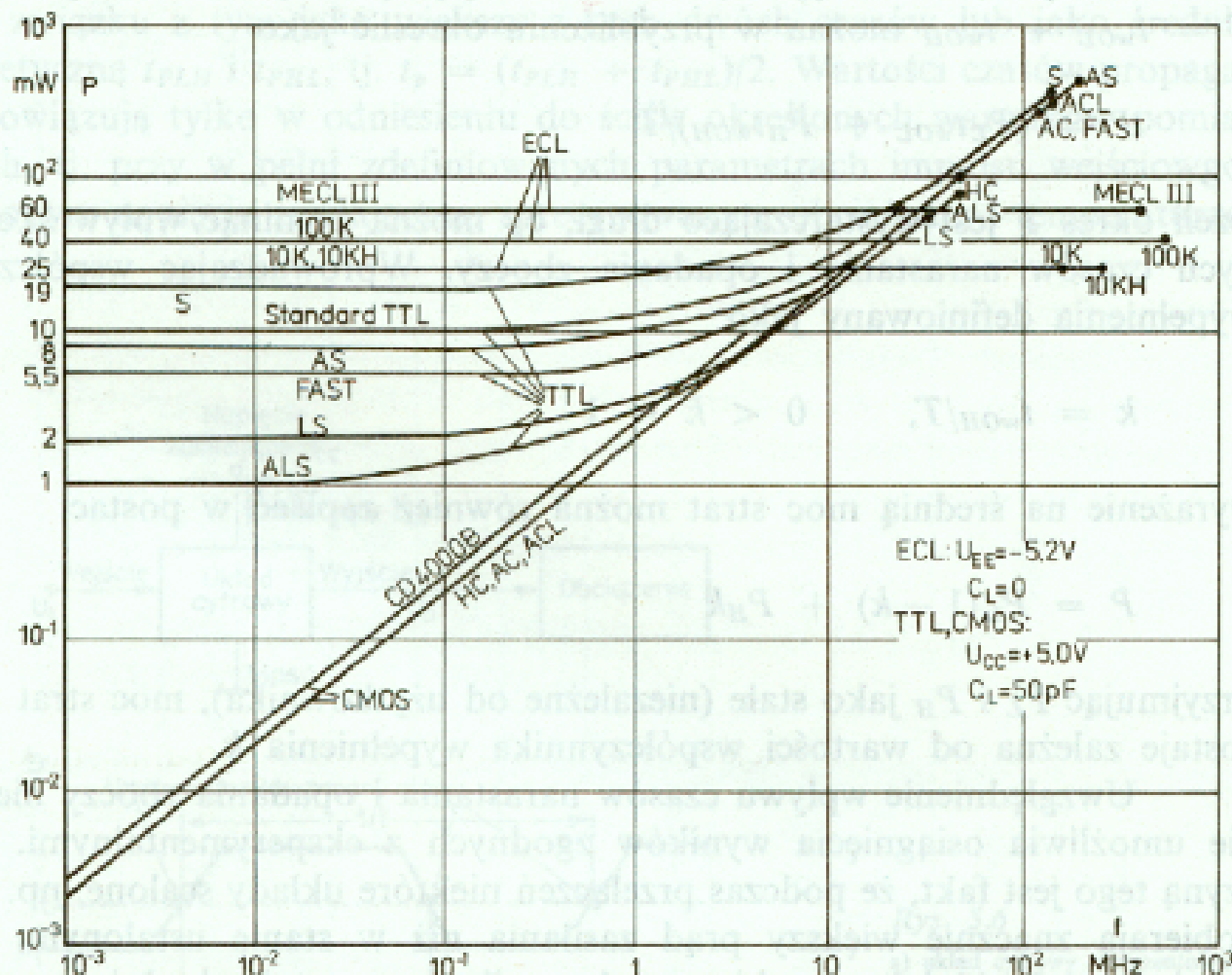
$$P_s = V_{CC} \cdot I_{CCT} \cdot F(f)$$

Moc strat

Moc strat jest parametrem istotnym zwłaszcza w odniesieniu do urządzeń mobilnych:

- ponieważ pojemność każdej baterii jest ograniczona, moc strat określa czas życia baterii,
- ponieważ moc strat jest proporcjonalna do mocy wydzielanej w układzie w postaci ciepła – wyższa temperatura pracy powoduje zwiększenie poboru energii i zmianę warunków pracy.

Moc strat



Rys. 5.7 Typowe zależności średniej mocy strat P pojedynczej bramki od częstotliwości przełączania f dla różnych serii układów scalonych TTL, ECL i CMOS ($C_L = 50$ pF z wyjątkiem układów ECL, dla których $C_L = 5$ pF; współczynnik wypełnienia $k = 0.5$)

Współczynnik dobroci

Zwiększenie szybkości pracy układu wiąże się zwykle ze wzrostem mocy traconej w układzie, przy czym iloczyn czasu propagacji i strat mocy jest dla danej rodziny układów wielkością stałą, zwaną współczynnikiem dobroci D:

$$D = t_p \cdot P_s [J]$$

Współczynnik dobroci

