

Elementy struktur cyfrowych

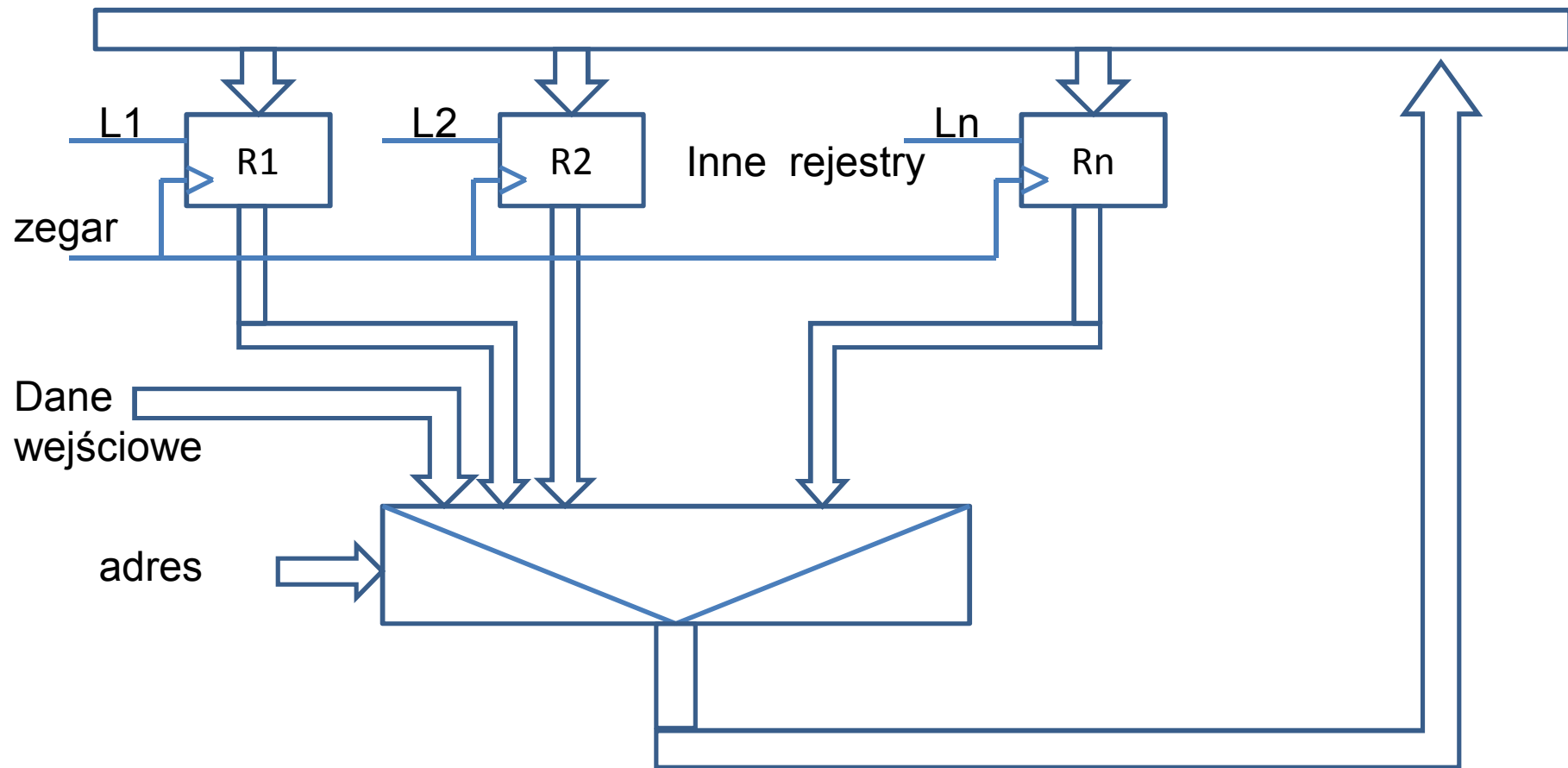
Magistrale, układy iterowane w przestrzeni i w czasie, wprowadzanie i wyprowadzanie danych.

PTC 2015/2016

Magistrale

- W układzie cyfrowym występuje bank rejestrów do przechowywania danych.
- Wybór źródła danych – rejestru możliwy za pomocą wektorowego multipleksera. Wyjście multipleksera skierowane na wielobitową szynę danych – udostępniającą dane innym układom.
- Podłączenie magistrali na wejście rejestrów pozwala na przepisanie danych pomiędzy dowolnymi rejestrami, o tym:
 - jakie jest źródło? decyduje rejestr adresowy,
 - jakie jest przeznaczenie? decyduje sygnał zapisu do rejestru.

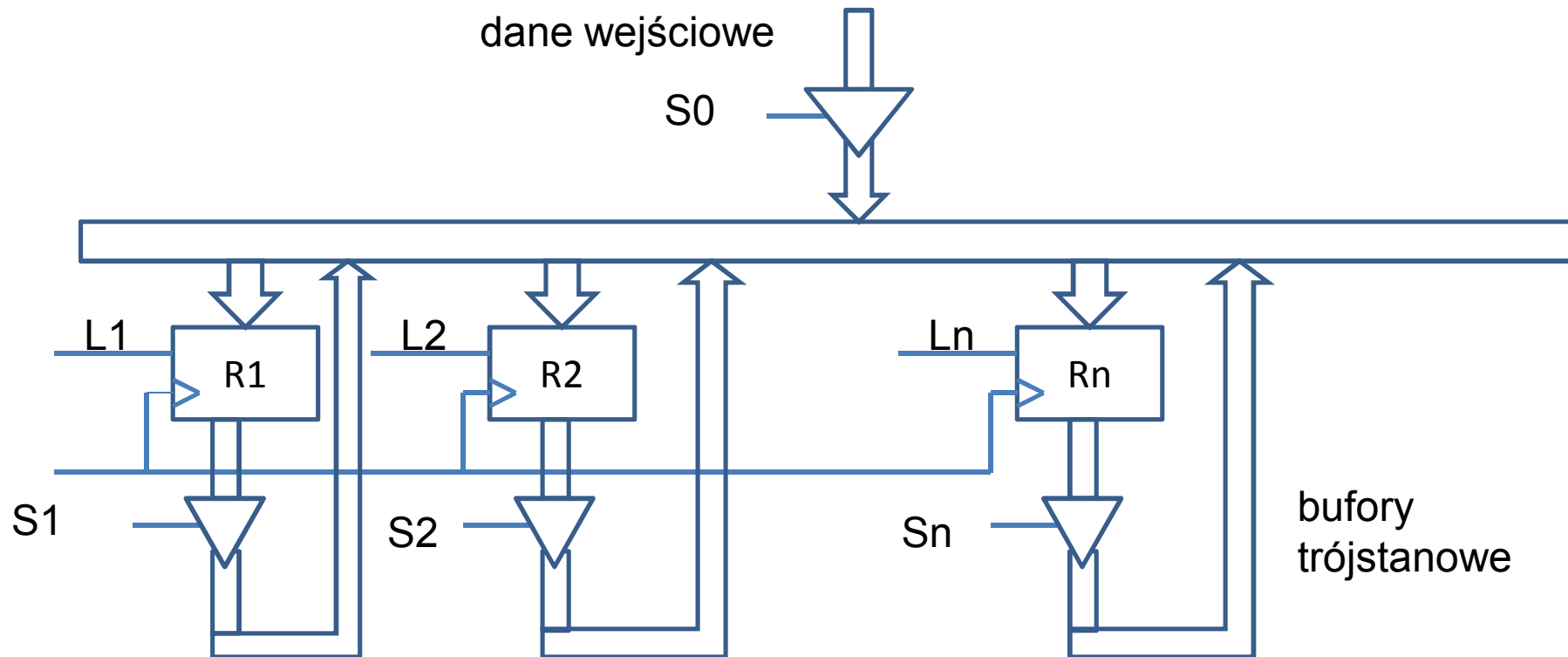
Szyna danych – magistrala w oparciu o multiplekser



L1, L2 to wejścia zgody na wpis równoległy

Szyna danych – magistrala w oparciu o bufory trójstanowe

Wyjścia bramek trójstanowych można łączyć tworząc magistralę. Sterowanie bramkami musi zapewnić wybranie tylko jednej z nich, podczas gdy wyjścia pozostałych będą w stanie wysokiej impedancji.



Układy iteracyjne - przykład:

| nr | g8 | g4 | g2 | g1 | | b8 | b4 | b2 | b1 |
|----|----|----|----|----|--|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 1 | | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 0 | | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 1 | 0 | | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 1 | 1 | | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 0 | 1 | | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 0 | 0 | | 0 | 1 | 1 | 1 |
| 8 | 1 | 1 | 0 | 0 | | 1 | 0 | 0 | 0 |
| 9 | 1 | 1 | 0 | 1 | | 1 | 0 | 0 | 1 |
| 10 | 1 | 1 | 1 | 1 | | 1 | 0 | 1 | 0 |
| 11 | 1 | 1 | 1 | 0 | | 1 | 0 | 1 | 1 |
| 12 | 1 | 0 | 1 | 0 | | 1 | 1 | 0 | 0 |
| 13 | 1 | 0 | 1 | 1 | | 1 | 1 | 0 | 1 |
| 14 | 1 | 0 | 0 | 1 | | 1 | 1 | 1 | 0 |
| 15 | 1 | 0 | 0 | 0 | | 1 | 1 | 1 | 1 |

Transkoder z kodu Graya na
kod binarny

Zauważmy:

$$b8 = g8$$

$$b4 = g4 * b8' + g4' * b8 = g4 \oplus b8$$

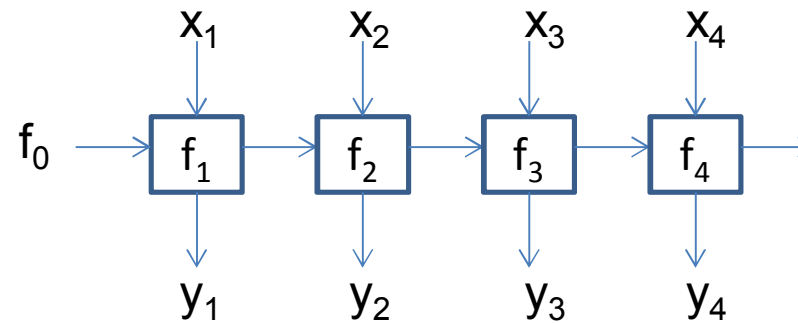
$$b2 = g2 * b4' + g2' * b4 = g2 \oplus b4$$

$$b1 = g1 * b2' + g1' * b2 = g1 \oplus b2$$

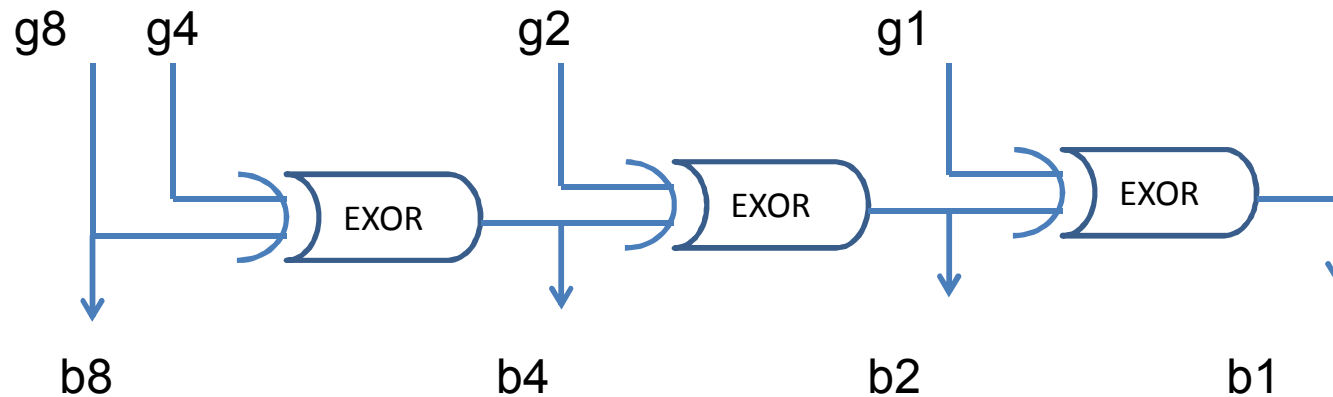
$$\text{Ogólnie: } b(n-1) = g(n-1) \oplus b_n$$

Układy iteracyjne – iteracja w przestrzeni

$$\begin{aligned} b_8 &= g_8 \\ b_4 &= g_4 * b_8' + g_4' * b_8 = g_4 \oplus b_8 \\ b_2 &= g_2 * b_4' + g_2' * b_4 = g_2 \oplus b_4 \\ b_1 &= g_1 * b_2' + g_1' * b_2 = g_1 \oplus b_2 \end{aligned}$$



Układ iteracyjny: x- wejścia, y- wyjścia, f-zmienne stanu (dla każdego bloku mogą być wektorami)



Jednowymiarowy układ iteracyjny: bloki z pojedynczymi: wejściem, wyjściem i zmienną stanu.

Układy iteracyjne – iteracja w czasie

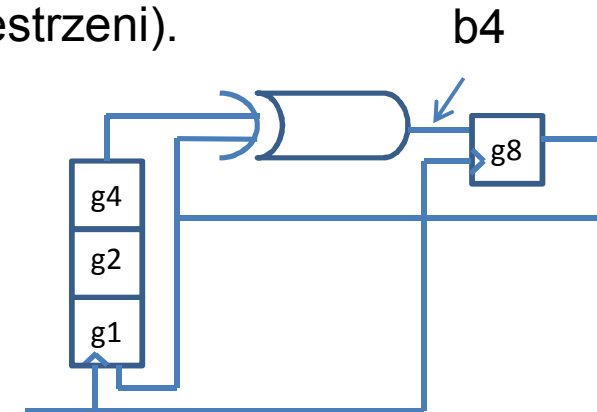
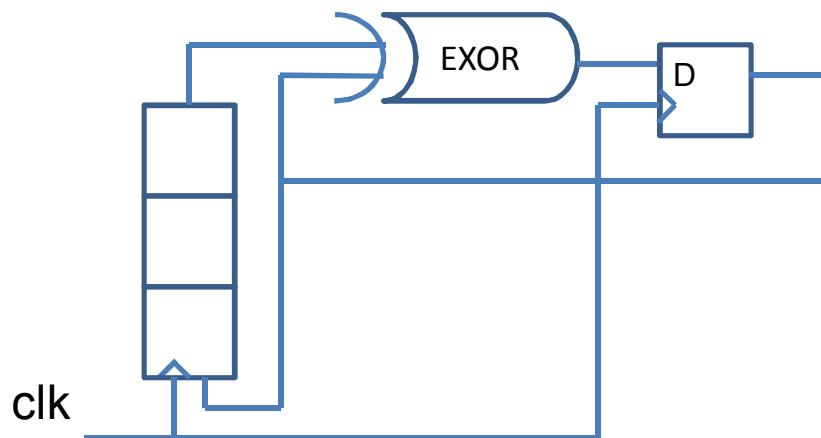
Generacja wyniku jest rozłożona w czasie – w odróżnieniu od wcześniejszego rozwiązania (rozłożenia generacji wyniku w przestrzeni).

Start:

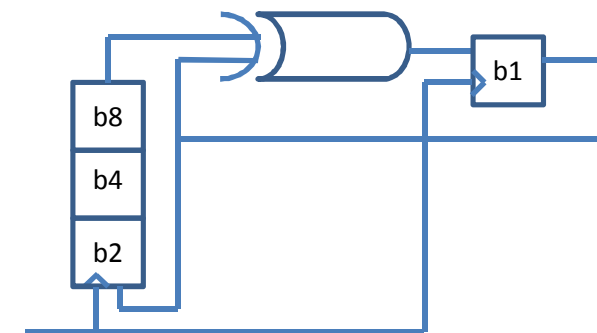
- wpis g8 (set, reset) do przerzutnika,
- wpis równoległy g4, g2, g1 do rejestru przesuwanego

Praca:

w kolejnych taktach generowane i zapisywane do przerzutników (rejestru i D) kolejnych bitów wyniku



Stan układu w $t=0$



Stan układu w $t = 3 T_{clk}$

Porównanie układów realizowanych wg koncepcji iteracji w czasie i przestrzeni

Iterowanie w czasie

- Wystarczy jeden blok wykonawczy – funkcjonalny.
- Korzystna sytuacja w przypadku rozłożenia wektora wejściowego w czasie – brak potrzeby rejestru wejściowego.
- Brak potrzeby rejestru wyjściowego, gdy elementy wyniku mają być dostępne na wyjściu w kolejnych chwilach.



Iterowanie w przestrzeni

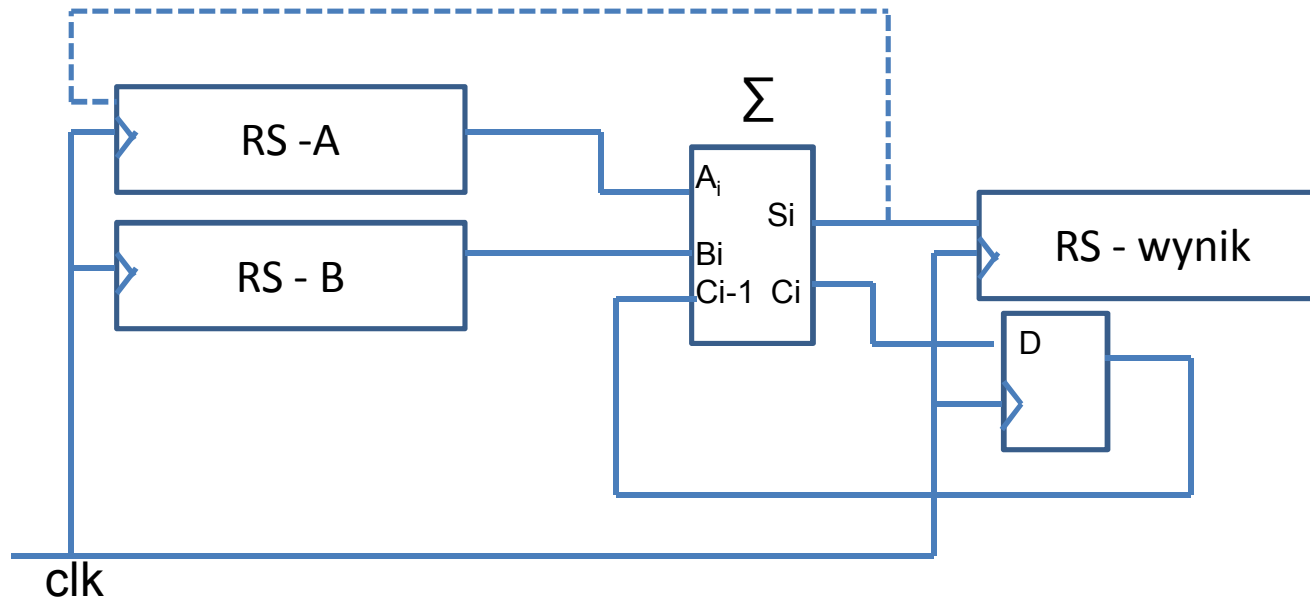
Wszystkie wyjścia są dostępne jednocześnie, najszybciej jak to jest możliwe.

Niepotrzebne: rejestry przesuwne i generator impulsów zegarowych.



Układy iteracyjne – sumator szeregowy

iteracja w czasie

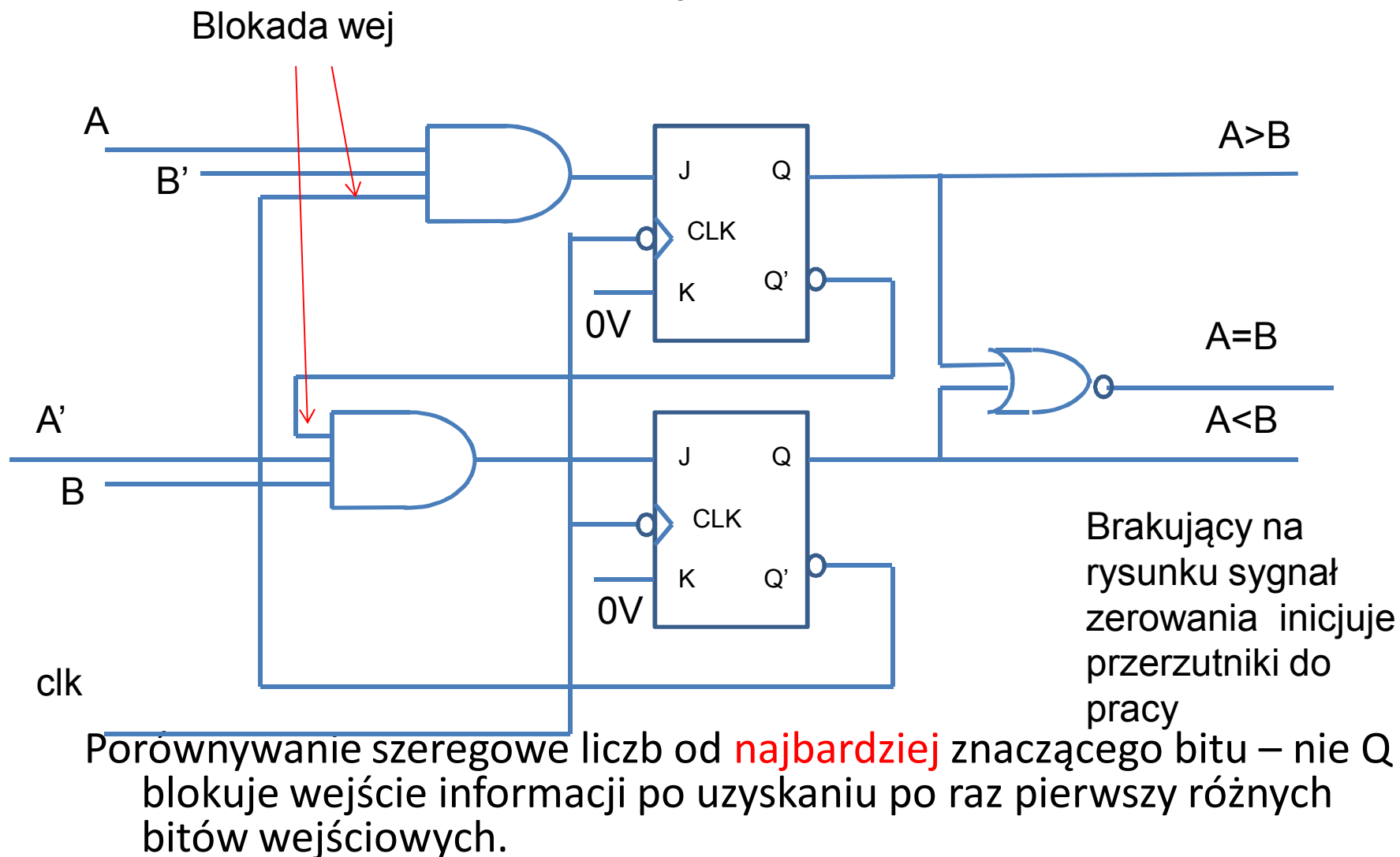


Sumator jednobitowy pełny:

- generuje wynik sumowania dla liczb dowolnego rozmiaru w czasie zależnym od rozmiaru liczb,
- liczby podawane są począwszy od najmłodszego bitu
- linie przerywane – sumator akumulacyjny – bez dodatkowego rejestru dla wyniku

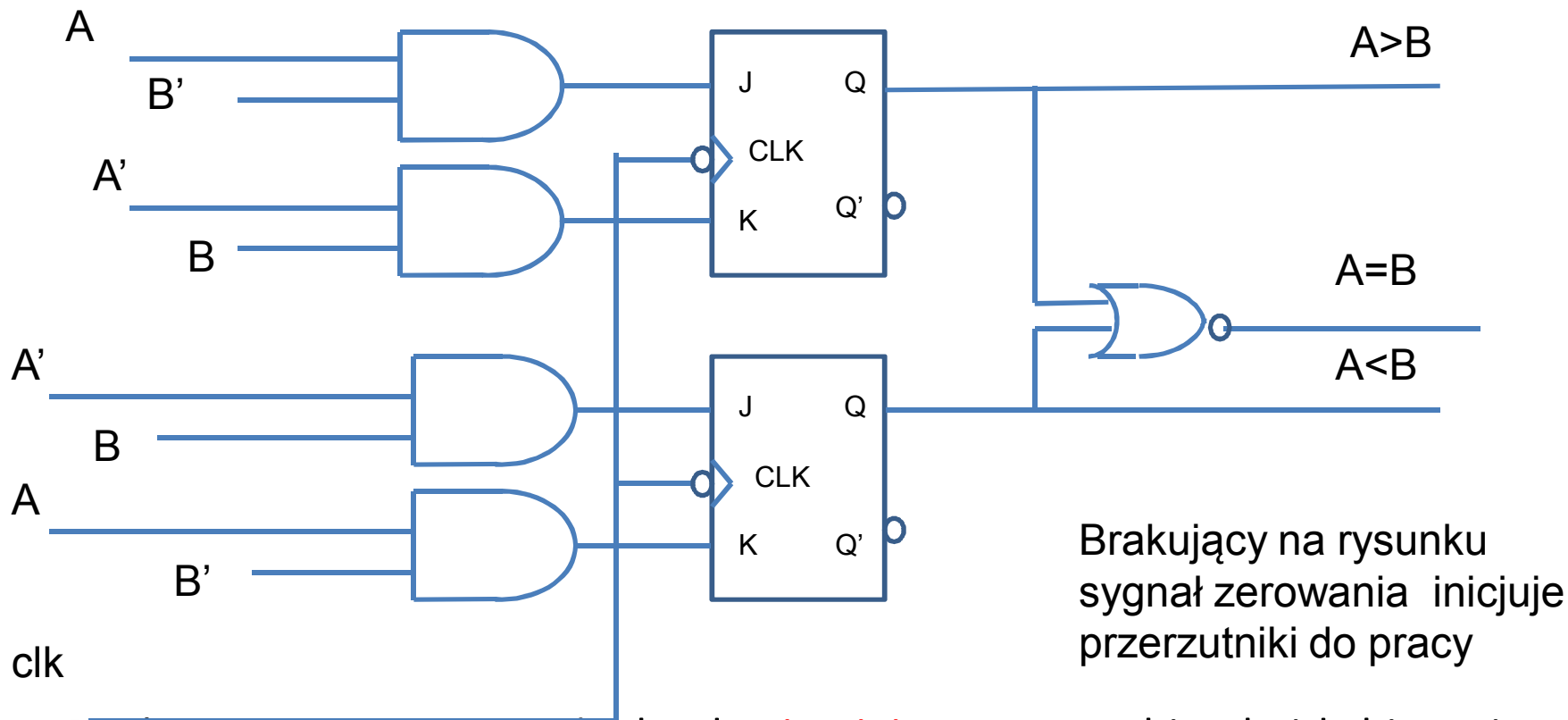
Układy iteracyjne – komparator szeregowy

iteracja w czasie



Układy iteracyjne – komparator szeregowy

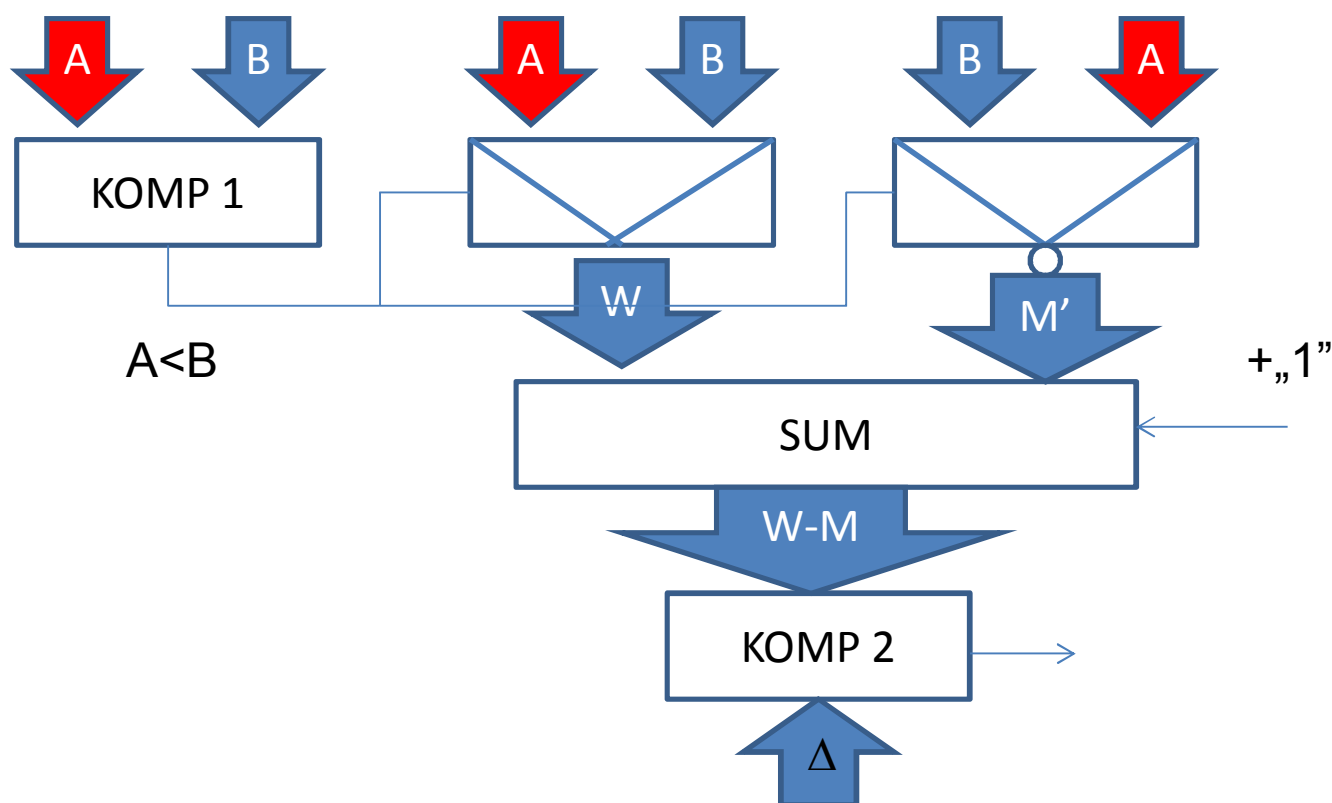
iteracja w czasie



Porównywanie szeregowo liczb od **najmniej** znaczącego bitu, każdy bit może decydować o wyniku, ostatni bit decyduje ostatecznie lub potwierdza wcześniejszy wynik

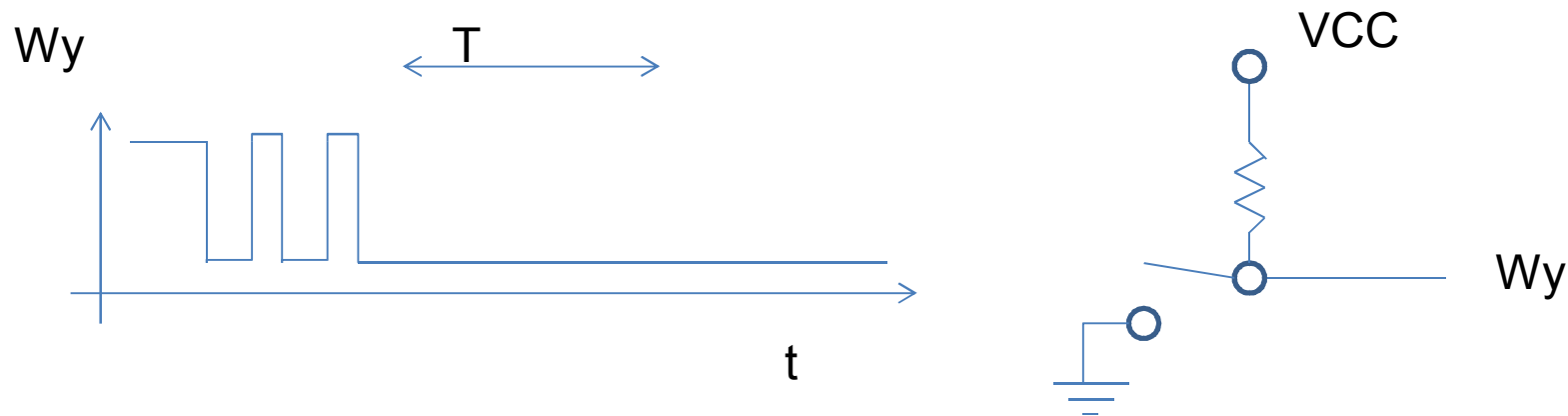
Komparator przedziałowy

Odpowiada na pytanie: Czy $|A-B| < \Delta$?



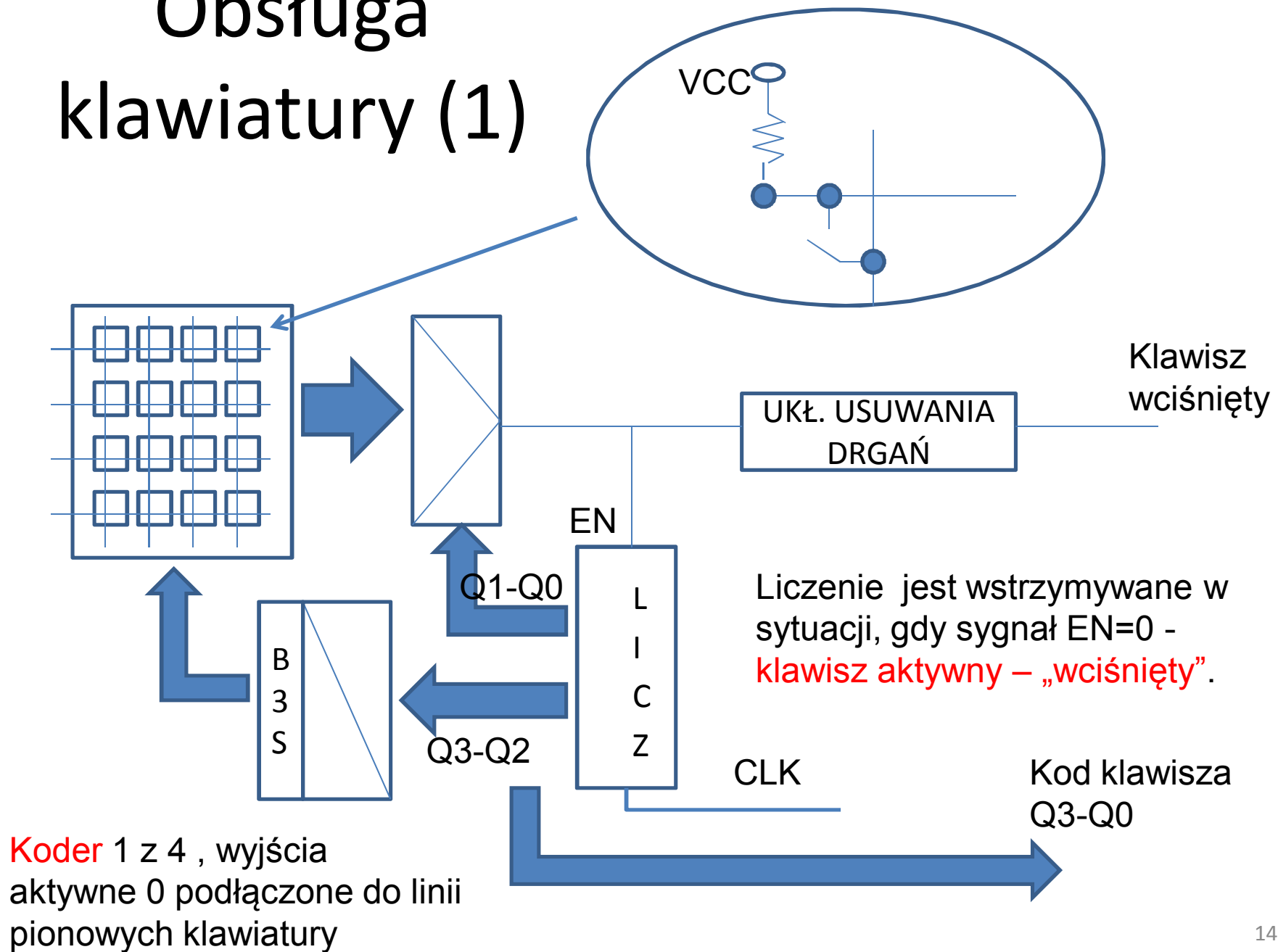
- Liczba mniejsza jest zapisana jest w U2 co umożliwia jej odjęcie od liczby większej. Komparator 2 porównuje $|A-B|$ i Δ

Wprowadzanie danych

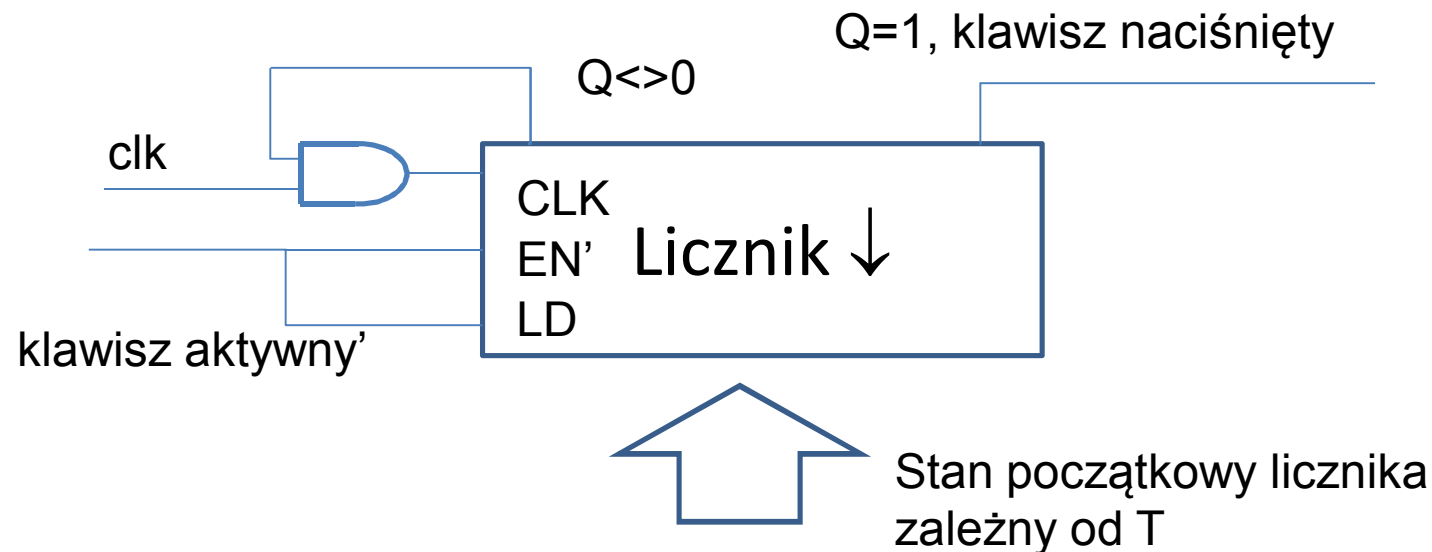


- Współpraca wejścia cyfrowego z przyciskiem.
- Drgania zestyków naciśniętego przycisku powodują wielokrotną zmianę sygnału przed ustaleniem ostatecznej wartości.
- Dla uzyskania poprawnej informacji o jednokrotnej zmianie stanu przycisku konieczne **usunięcie** przejściowych impulsów. Można tego dokonać poprzez wykrycie stabilności (jednakowa wartość) sygnału przez czas T - dłuższy od (technologicznie) określonego czasu drgania zestyków.
- Zasada działania: Układ usuwania drgań po upływie czasu T od początku stabilności stanu przekazuje informację o wciśniętym (zwolnionym) przycisku.

Obsługa klawiatury (1)



Obsługa klawiatury 2



Licznik czasu stabilności sygnału z klawiatury

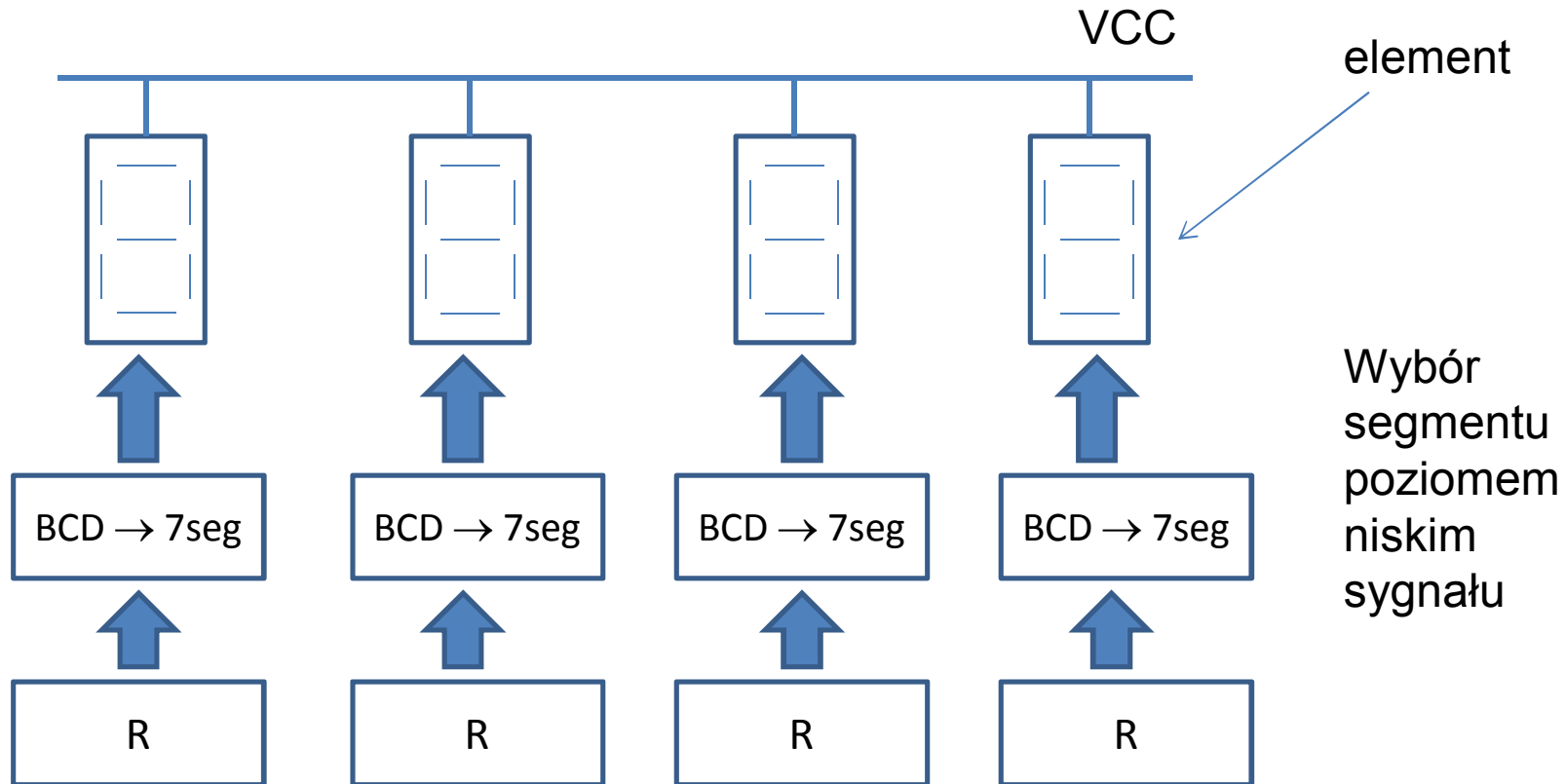
- **klawisz aktywny'** jest stanem zaadresowanej linii klawiatury
- **klawisz naciśnięty** oznacza jednokrotne wciśnięcie klawisza
- EN= 1 ładuje licznik zliczający czas
- EN=0 uruchamia licznik,
- w stanie wyjść licznika Q=1 na jeden cykl clk generowany jest impuls
- w stanie Q=0 zliczanie jest wstrzymywane
- Efekt każde wciśnięcie przycisku trwające co najmniej tyle cykli clk ile załadowano do licznika powoduje jednorazową generację impulsu „klawisz naciśnięty „

UWAGA:

koder 1 z N na stronie poprzedniej posiada wyjścia trójstanowe w stanie wysokiej impedancji przy braku wybrania linii. Zapobiega to zwarciu wystereowanych wyjść kodera w przypadku wciśnięcia kilku klawiszy w jednym rzędzie klawiatury.

Wyprowadzanie informacji

Wyświetlanie równoległe – **statyczne**



Liczba transkoderów równa liczbie **elementów** układu wyświetlania – każdy element jest wyświetlaczem 7-mio segmentowym.

Wartość zapisana w rejestrze jest wyświetlona na 7 segmentach pod warunkiem podania zasilania do **elementu** wyświetlacza.

Wyprowadzanie informacji

Wyświetlanie równoległe – dynamiczne

Układ wyświetlania dynamicznego pozwala na sterowanie okresowe (nie ciągłe) poszczególnymi wyświetlaczami – wykorzystanie bezwładności percepcji światła przez oko ludzkie.

Układ zbudowany jest z następujących części:

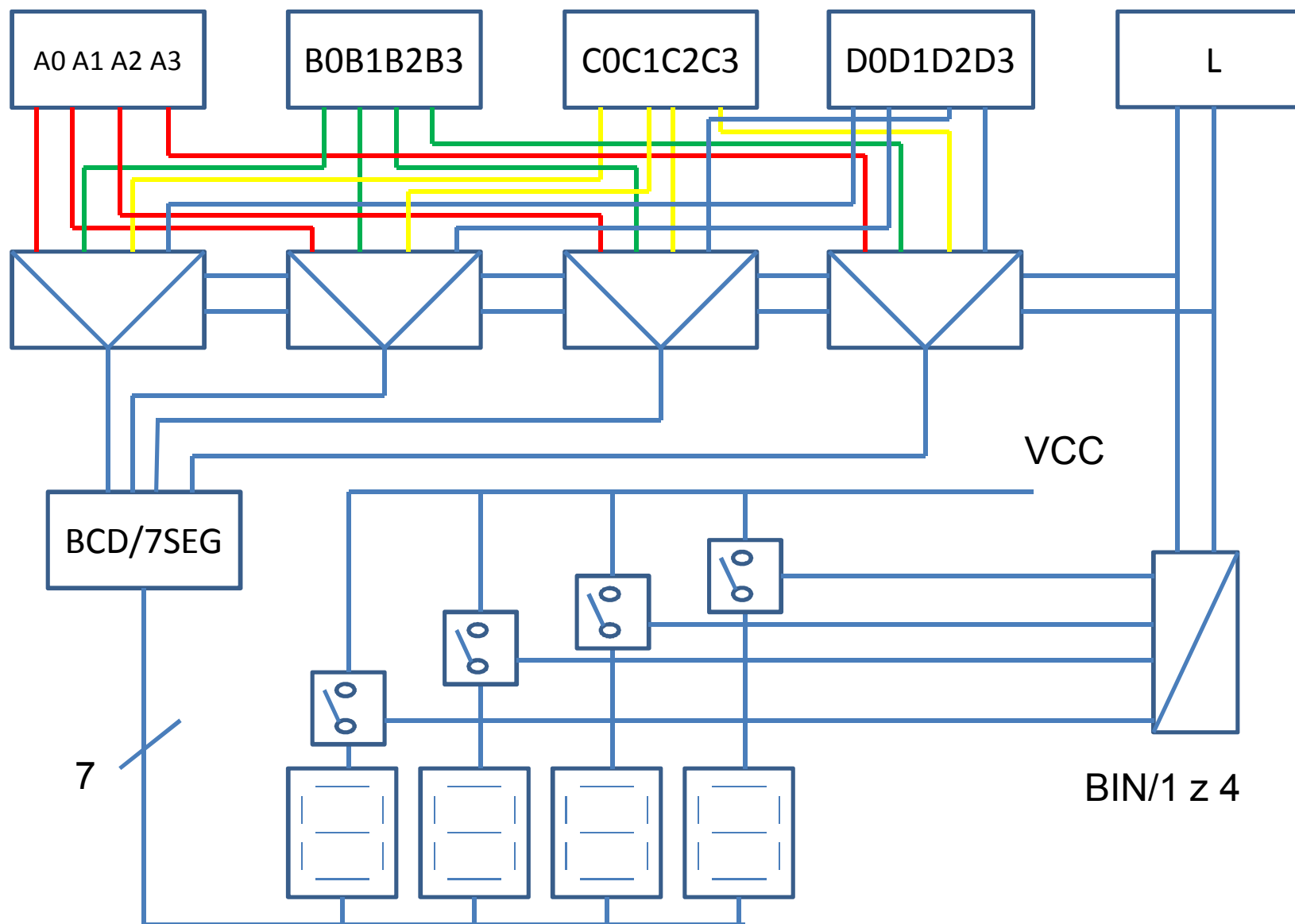
- Układ wybierania segmentów elementu wyświetlacza (transkoder BCD – 7 segmentowy).
- Multiplexer – (lub rejestru przesuwającego) dostarczającego w kolejnych cyklach odpowiednich informacji dla obsługiwanych elementów wyświetlacza.
- Układ wybierania elementów wyświetlacza - dekodek 1 z N i sterowane z jego wyjść wyłączniki zasilania elementu wyświetlacza.
- Licznik określający obsługiwany obecnie element wyświetlacza.
- Generator sygnału zegarowego określającego częstotliwość multipleksowania między segmentami.



Cyfrowo sterowany wyłącznik – bramka transmisyjna

Wyprowadzanie informacji

Wyświetlanie równoległe – dynamiczne - przykład 4 segmenty



Wyprowadzanie informacji

Wyświetlanie równoległe – dynamiczne

Cechy wyświetlania dynamicznego:

- Zmniejszenie poboru mocy – wysterowanie wyświetlacza do świecenia tylko w części czasu wyświetlania.
- Zwiększenie czasu życia wyświetlacza.
- Mniejsza liczba połączeń.
- W przypadku dysponowania dynamicznym źródłem informacji (informacje multipleksowane) **mniejsza liczba** elementów wykonawczych: licznik, jeden koder (BCD- 7 segment), selektor oraz wyłączniki.
- Wynikający z powyższego wzrost niezawodności.