

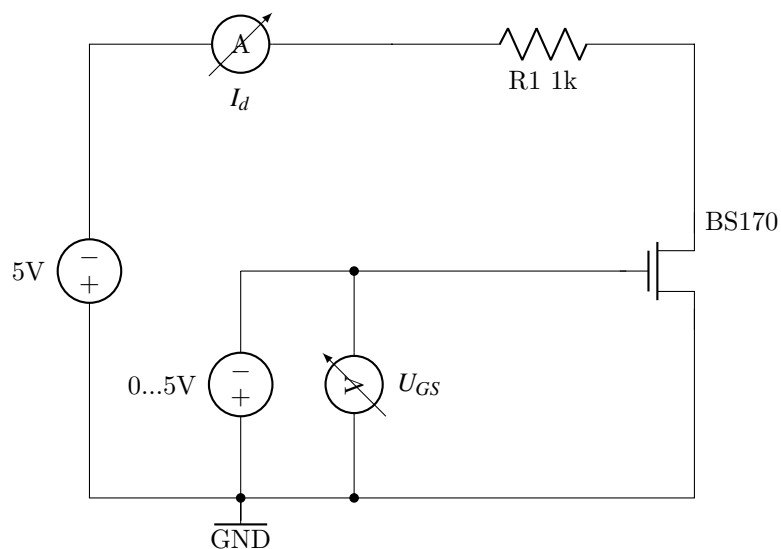
Laboratoria Podstawy Elektroniki			
Kierunek Informatyka	Specjalność –	Rok studiów I	Symbol grupy lab. I1
Temat Laboratorium Tranzystor MOS			Numer lab. 4
Skład grupy ćwiczeniowej oraz numery indeksów Stanisław Jasiewicz(116753), Krzysztof Michalak(132281), Wojciech Regulski(132312), Ewa Rudol(132314)			
Uwagi		Ocena	

## 1 Cel

\*\*\*TO DO

## 2 Pomiary

### 1. Charakterystyka bramkowa nMOS (1.6)

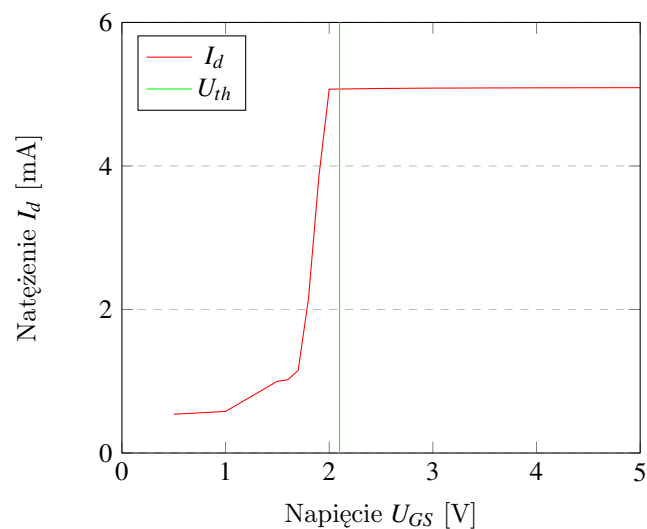


Rysunek 1: Układ do badania charakterystyki bramkowej tranzystora nMOS

- Tabela - wartości prądu drenu  $I_d$  w zależności od napięcia Bramka - Źródło  $U_{GS}$  zmienianego w zakresie  $[0..5]$  V .

Lp.	$U_{GS}$ [V]	$I_d$ [mA]
1	0,5	0,54
2	1,0	0,58
3	1,5	1,00
pom.dod.	1,6	1,02
pom.dod.	1,7	1,15
pom.dod.	1,8	2,15
pom.dod.	1,9	3,85
4	2,0	5,07
5	2,5	5,08
6	3,0	5,085
7	3,5	5,087
8	4,0	5,089
9	4,5	5,09
10	5,0	5,091

Wartości prądu drenu  $I_d$  w zależności od napięcia Bramka - Źródło  $U_{GS}$

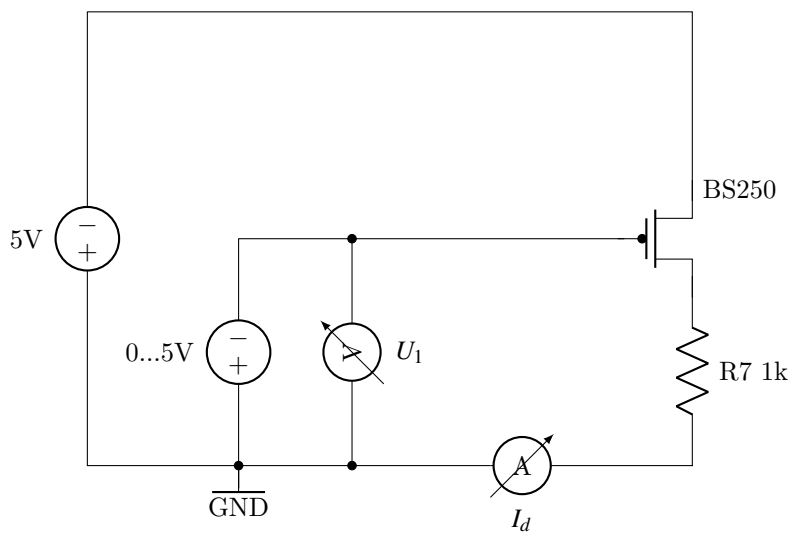


- Odczyt z noty katalogowej producenta:

$$U_{th} = 2,1[V]$$

- Aby tranzystor nMOS przewodził prąd, do elektrody bramki musi zostać doprowadzone napięcie o potencjale dodatnim. Gdy tak się stanie, powstanie w obszarze półprzewodnika leżącego pod bramką tzw. kanał, utworzony za sprawą oddziaływania pola elektrycznego.

## 2. Charakterystyka bramkowa pMOS (1.7)



Rysunek 2: Układ do badania charakterystyki bramkowej tranzystora pMOS

- Tabela - wartości prądu drenu  $I_D$  w zależności od napięcia  $V_1$  wytwarzanego przez zasilacz, przyłożony między bramkę, a dren.

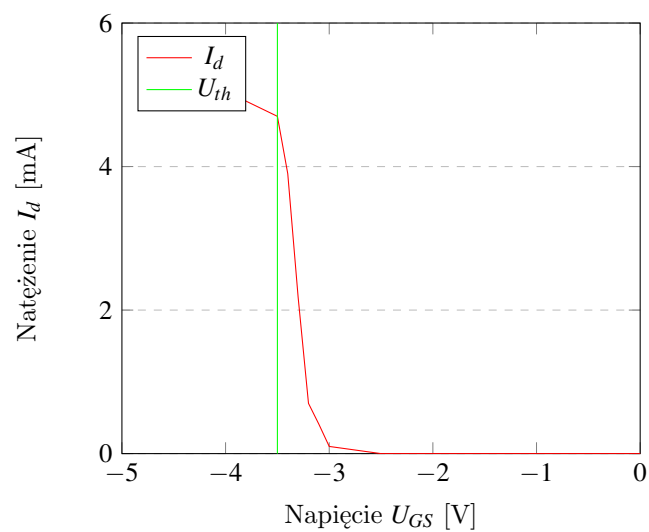
Lp.	$V_1$ [V]	$I_d$ [mA]
1	0,5	5,07
2	1,0	5,05
3	1,5	4,7
pom.dod.	1,6	3,9
pom.dod.	1,7	2,18
pom.dod.	1,8	0,7
pom.dod.	1,9	0,41
4	2,0	0,10
5	2,5	0,00
6	3,0	0,00
7	3,5	0,00
8	4,0	0,00
9	4,5	0,00
10	5,0	0,00

- Wartości napięć bramka-źródło  $U_{GS}$  dla tranzystora pMOS (napięciowe prawo Kirchhoffa)

$$U_{GS} = -(U_{SS} - U_1)$$

Lp.	$U_{GS}$ [V]
1	-4,5
2	-4,0
3	-3,5
pom.dod.	-3,4
pom.dod.	-3,3
pom.dod.	-3,2
pom.dod.	-3,1
4	-3,0
5	-2,5
6	-2,0
7	-1,5
8	-1,0
9	-0,5
10	0,0

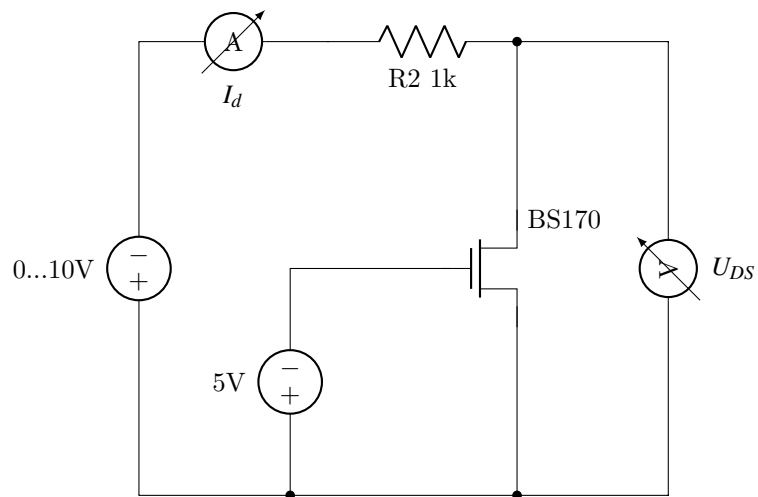
Wartości prądu drenu  $I_d$  w zależności od napięcia Bramka - Źródło  $U_{GS}$



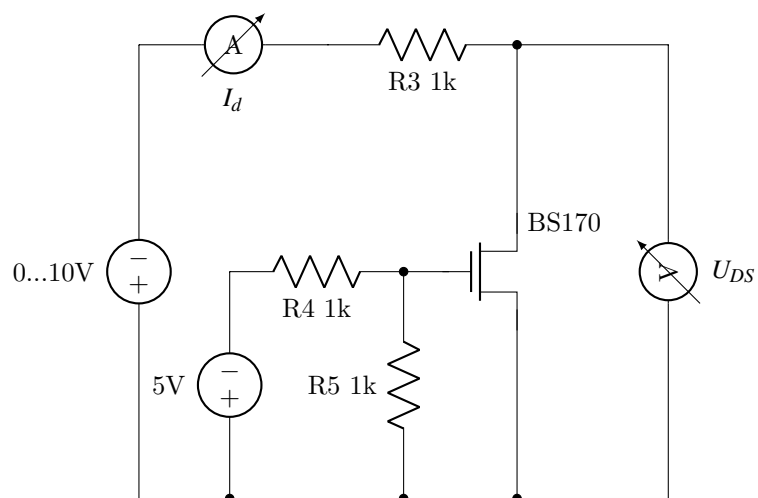
- Odczyt z noty katalogowej producenta:

$$U_{th} = -3,5[V]$$

### 3. Charakterystyka drenowa nMOS (1.8 i 1.9)



Rysunek 3: Układ do badania charakterystyki drenowej tranzystora nMOS



Rysunek 4: Układ do badania charakterystyki drenowej dla obniżonego napięcia bramki

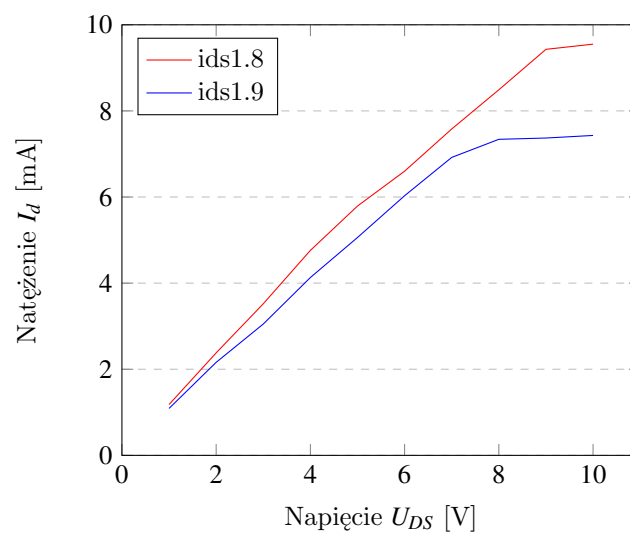
- Tabela - 1.8 (

Lp.	$V$ [V]	$U_{DS}$ [mV]	$I_d$ [mA]
1	1,0	2,48	1,18
2	2,0	5,68	2,08
3	3,0	15,35	3,12
4	4,0	102,33	4,06
5	5,0	428,87	4,78
6	6,0	627,91	5,60
7	7,0	655,80	6,58
8	8,0	664,00	7,49
9	9,0	671,12	8,63
10	10,0	675,33	9,55

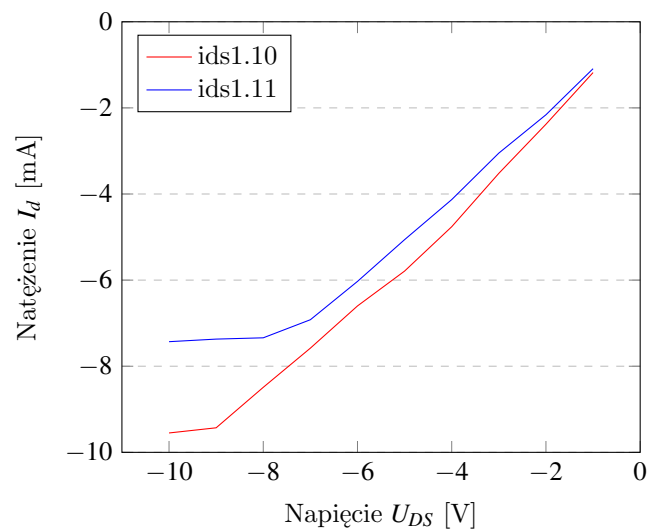
- Tabela - 1.9

Lp.	$V$ [V]	$U_{DS}$ [mV]	$I_d$ [mA]
1	1,0	0,01	1,09
2	2,0	0,04	2,16
3	3,0	0,07	3,05
4	4,0	0,10	4,13
5	5,0	0,15	4,86
6	6,0	0,23	5,93
7	7,0	0,47	6,82
8	8,0	1,32	7,34
9	9,0	2,72	7,37
10	10,0	3,80	7,43

Wartości prądu drenu  $I_d$  w zależności od napięcia Dren - Źródło  $U_{DS}$

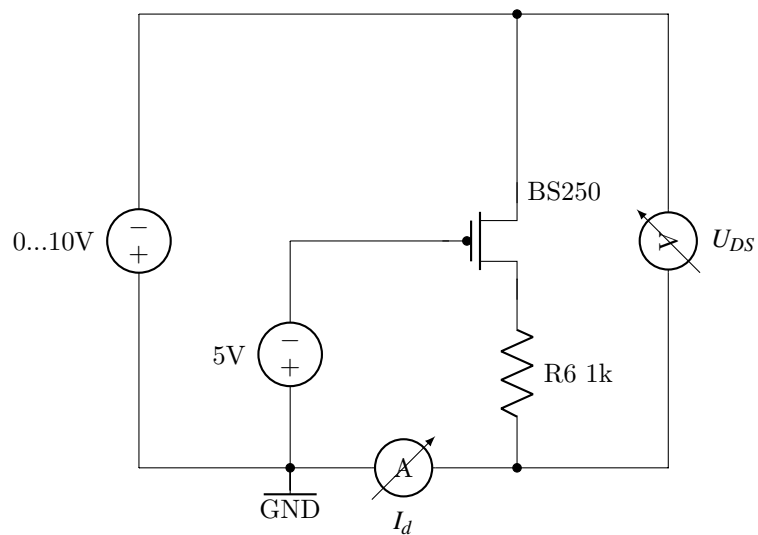


Wartości prądu drenu  $I_d$  w zależności od napięcia Dren - Źródło  $U_{DS}$

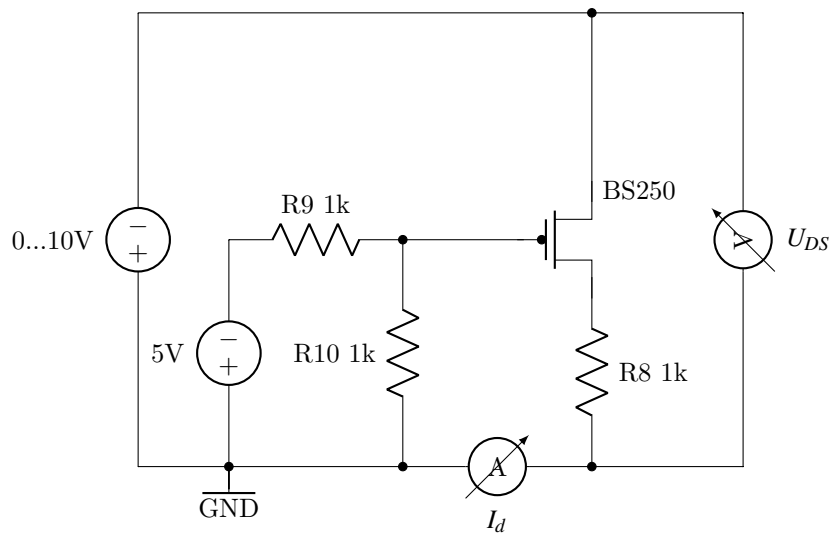


- \*\*\*Jak wartość napięcia Bramki wpływa na kształt zarejestrowanych charakterystyk drenowych?

4. Charakterystyka drenowa pMOS (1.10, 1.11)



Rysunek 5: Układ do badania charakterystyki drenowej tranzystora pMOS



Rysunek 6: Układ do badania charakterystyki drenowej dla obniżonego napięcia bramki pMOS



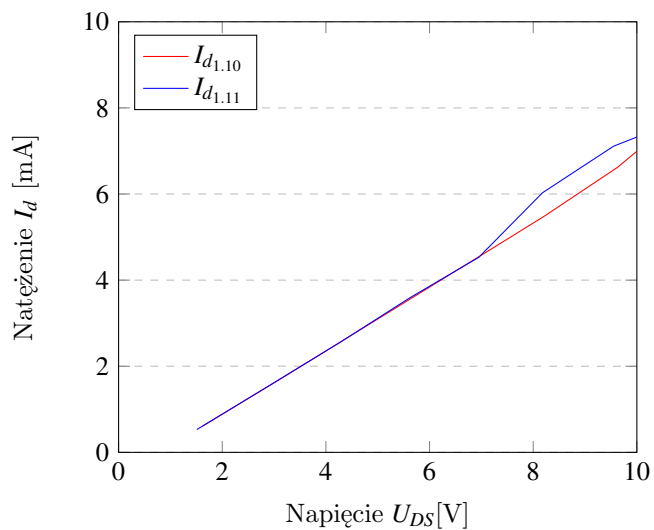
- Tabela - 1.10

Lp.	$V$ [V]	$U_{DS}$ [mV]	$I_d$ [mA]
1	1,0	1,62	0,609
2	2,0	3,07	1,665
3	3,0	4,38	2,637
4	4,0	5,70	3,616
5	5,0	6,95	4,543
6	6,0	8,21	5,482
7	7,0	9,62	6,614
8	8,0	11,00	7,99
9	9,0	12,34	9,815
10	10,0	13,65	10,213

- Tabela - 1.11

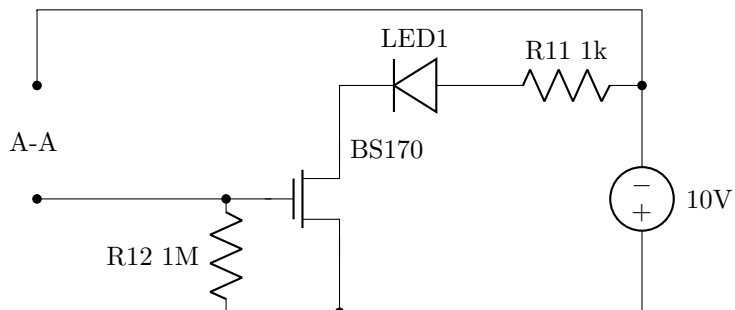
Lp.	$V$ [V]	$U_{DS}$ [mV]	$I_d$ [mA]
1	1,0	1,51	0,53
2	2,0	2,81	1,48
3	3,0	4,28	2,56
4	4,0	5,62	3,59
5	5,0	6,95	4,53
6	6,0	8,18	6,03
7	7,0	9,55	7,11
8	8,0	11,89	8,22
9	9,0	12,17	9,19
10	10,0	13,65	10,25

Wartości prądu drenu  $I_d$  w zależności od napięcia Dren - Źródło  $U_{DS}$

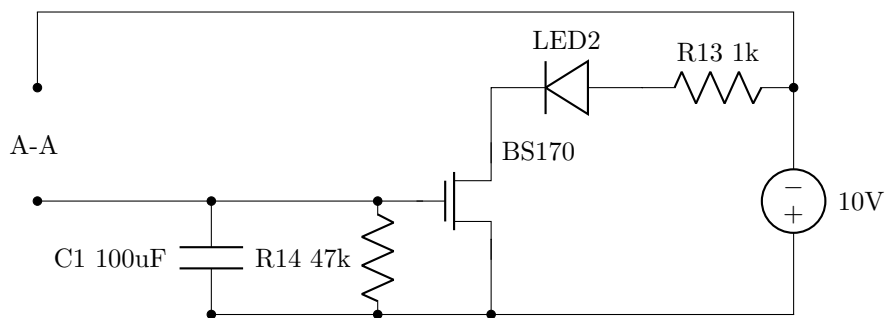


- \*\*\*Jak wartość napięcia Bramki wpływa na kształt zarejestrowanych charakterystyk drenowych?

## 5. Tranzystor nMOS jako przełącznik (1.14, 1.15)



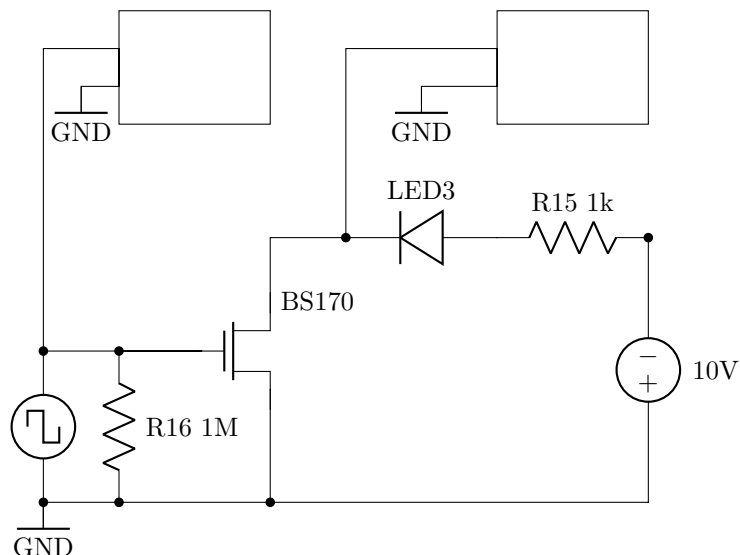
Rysunek 7: Schemat układu do badania tranzystora nMOS w roli przełącznika



Rysunek 8: Model układu z opóźnieniem wyłączenia

- Praca nMOS w roli przełącznika może znaleźć zastosowanie w układach cyfrowych opartych o logikę dwustanową, gdzie może on sterować przepływem prądu przez załączanie lub wyłączanie. Napięcie może być wykorzystane do sterowania przepływem prądu, ponieważ wymuszenia napięcia między bramką a źródłem wyższego niż napięcie progowe jest warunkiem załączenia tranzystora nMOS.

## 6. Czas załączania tranzystora (1.17)



Rysunek 9: Obwód do pomiaru czasu przełączenia

\*\*\*Zapisz oscylogramy dla małego i dużego wypełnienia sygnału sterującego

- \*\*\*Podnies częstotliwość pobudzenia ponad 1MHz. Dokonaj odpowiedniego powiększenia sygnałów widocznych na oscyloskopie. Przy pomocy oscyloskopu odczytaj wartości opóźnienia w przełączeniach tranzystora. Zapisz oscylogramy w sprawozdaniu.
- \*\*\*Określ, dla jakiej częstotliwości zostały utworzone i zapisz szacowany czas przełączenia. td.
- \*\*\*Oszacuj maksymalną stabilną częstotliwość pracy układu tranzystora i diody LED rozumiana jako:  $f_{max} = 1/t_d$

$$\text{tylko przykład zapisu matematycznego } R_{5,1} = \frac{510 * 220}{730} \approx 153,7 \Omega$$

## 3 Wnioski

\*\*\*TODO

-Spóźniony refleks w wyczuwaniu lawinowych wzrostów

## 4 Bibliografia

[1] Encyclopaedia Britannica <http://www.britannica.com/> [2] BS170/MMBF170 N-Channel Enhancement Mode Field Effect Transistor, National Semiconductor, 1992r. [3] TP0610L/T, VP0610L/T, BS250 P-Channel 60-V (D-S) MOSFET, Vishay Siliconix, 2001r. [4] ADI Reliability Handbook, Analog Devices, 2000r. [5] Horowitz P. Hill W., Sztuka elektroniki, tomy 1. i 2., WKiŁ, Warszawa 2003r. [6] Resnick R., Halliday D., Walker J., Podstawy fizyki, tom 3., PWN, Warszawa 2003r. [7] Watson J. Elektronika, WKiŁ, Warszawa 1999r. [8] Nosal Z., Baranowski J. Układy elektroniczne, WNT, Warszawa 2003r.