

Sławomir Kulesza

Technika cyfrowa

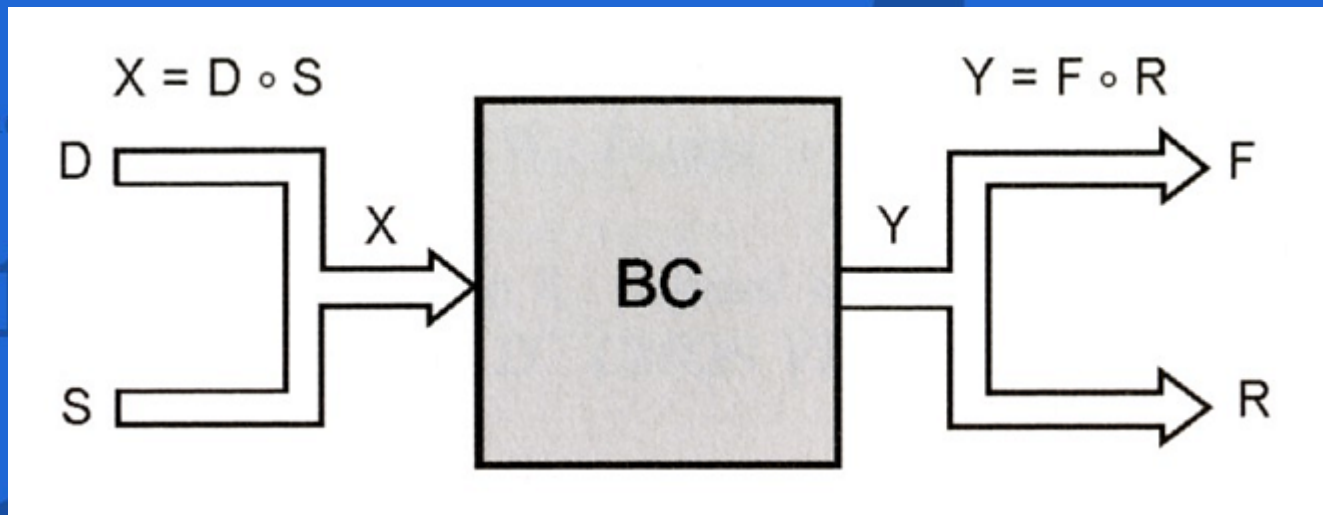
Kombinacyjne bloki funkcjonalne

Wykład dla studentów III roku Informatyki

Wersja 1.0, 05/10/2010

Bloki cyfrowe

Blok funkcjonalny to układ cyfrowy utworzony z pewnej liczby elementów logicznych (bramek, przerzutników), którego funkcja logiczna zależy od stanu wejść sterujących; przy określonym stanie wejść sterujących BC realizuje tylko jedną, określoną funkcję logiczną.



D – wejściowe sygnały informacyjne (do przetworzenia),

S – wejściowe sygnały sterujące,

F – wyjściowe sygnały informacyjne (przetworzone),

R – sygnały kontrolne (flagi).

Mikrooperacje

Mikrooperacją określamy pojedynczą czynność logiczną lub arytmetyczną wykonywaną przez blok funkcjonalny po podaniu określonego słowa sterującego S_μ .

Mikrooperację μ wykonywaną przez blok kombinacyjny można zapisać podając funkcję kodującą $\mu : D \rightarrow Y$ i warunkujący jej realizację stan sterowania S_μ postaci:

$$S_\mu : Y = \mu(D)$$

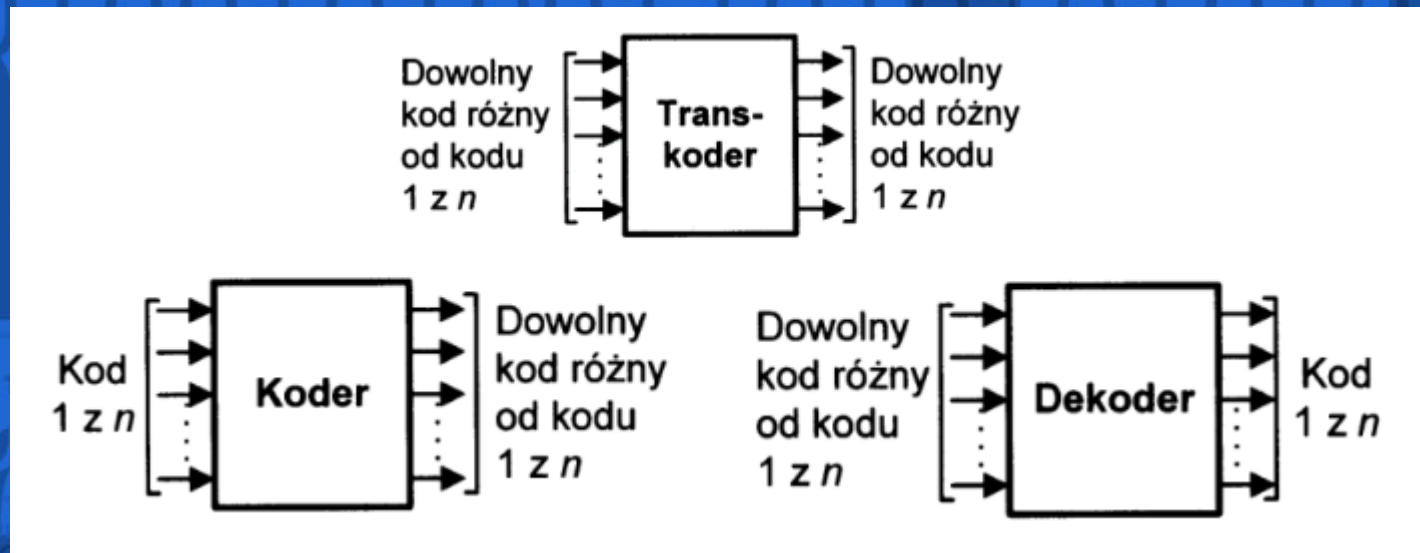
Powyższy zapis oznacza:

jeśli $S = S_\mu$, to...

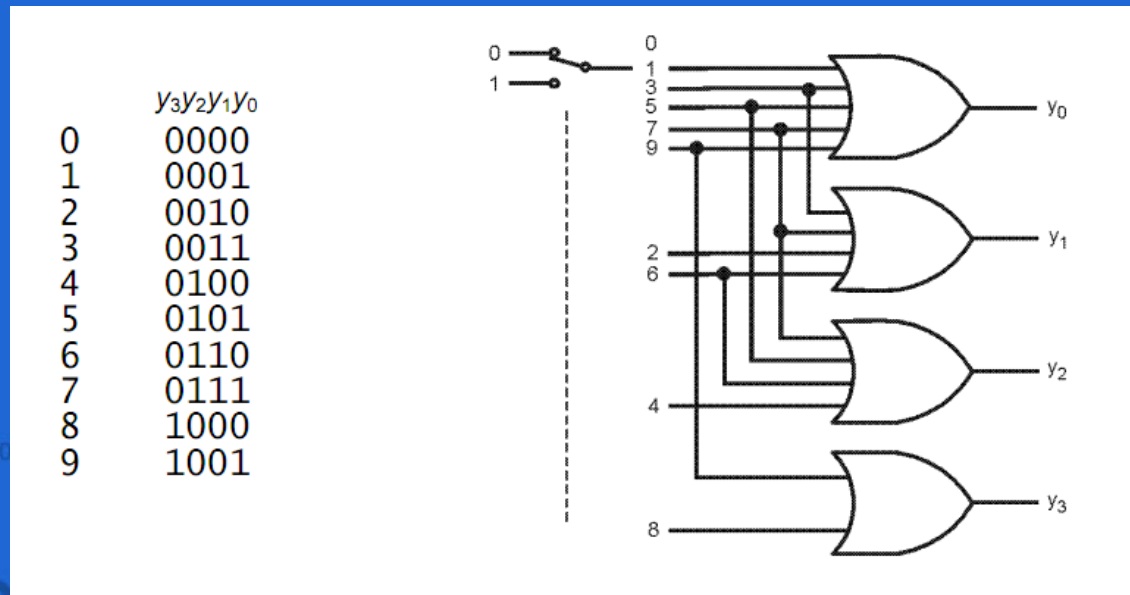
Konwertery kodów

Konwertery kodów (transkodery) to układy zamieniające słowa binarne w jednym kodzie na słowa binarne w innym kodzie. Spośród wszystkich konwerterów kodów dodatkowo wyróżnia się:

- kodery (enkodery) – układy zamieniające kod '1-z-N' na dowolny inny kod binarny,
- dekodery – układy zamieniające dowolny kod binarny na kod '1-z-N'.

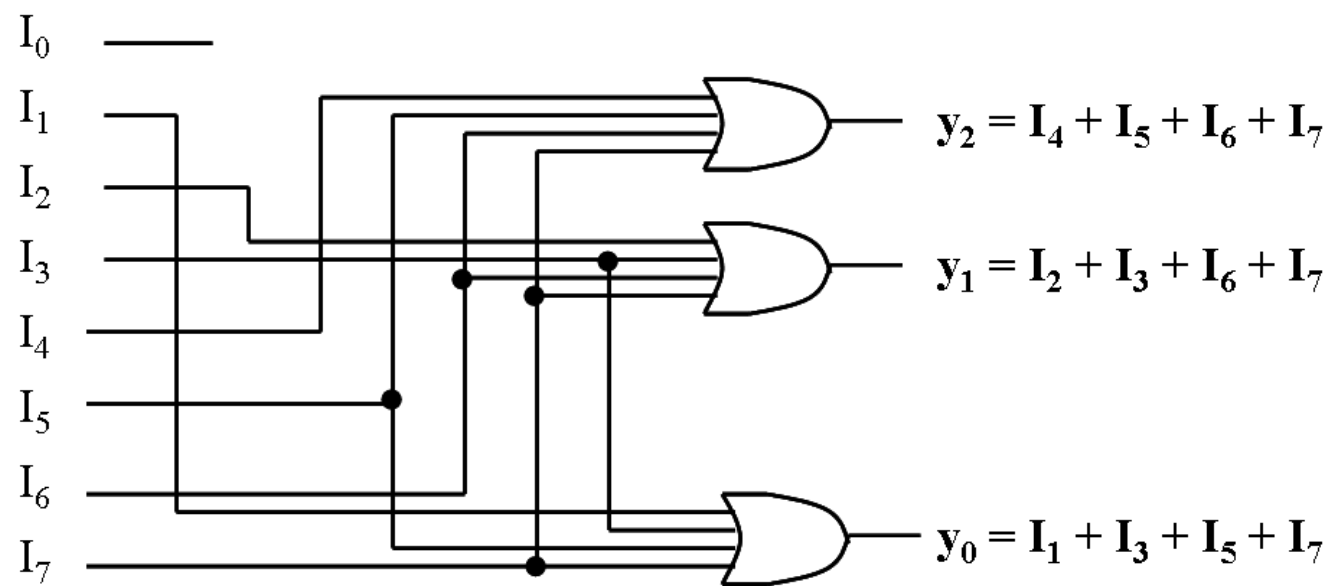


Koder '1-z-10'/BCD 8421



Wejścia											Wyjścia			
Kod 1 z 10														
9	8	7	6	5	4	3	2	1	0		D	C	B	A
0	0	0	0	0	0	0	0	0	1	0	0	0	0	
0	0	0	0	0	0	0	0	0	1	0	0	0	1	
0	0	0	0	0	0	0	0	1	0	0	0	1	0	
0	0	0	0	0	0	0	1	0	0	0	0	1	1	
0	0	0	0	0	0	1	0	0	0	0	0	0	0	
0	0	0	0	0	1	0	0	0	0	0	0	1	0	
0	0	0	0	1	0	0	0	0	0	0	0	1	1	
0	0	1	0	0	0	0	0	0	0	0	0	1	1	
0	1	0	0	0	0	0	0	0	0	0	1	0	0	
1	0	0	0	0	0	0	0	0	0	0	1	0	1	

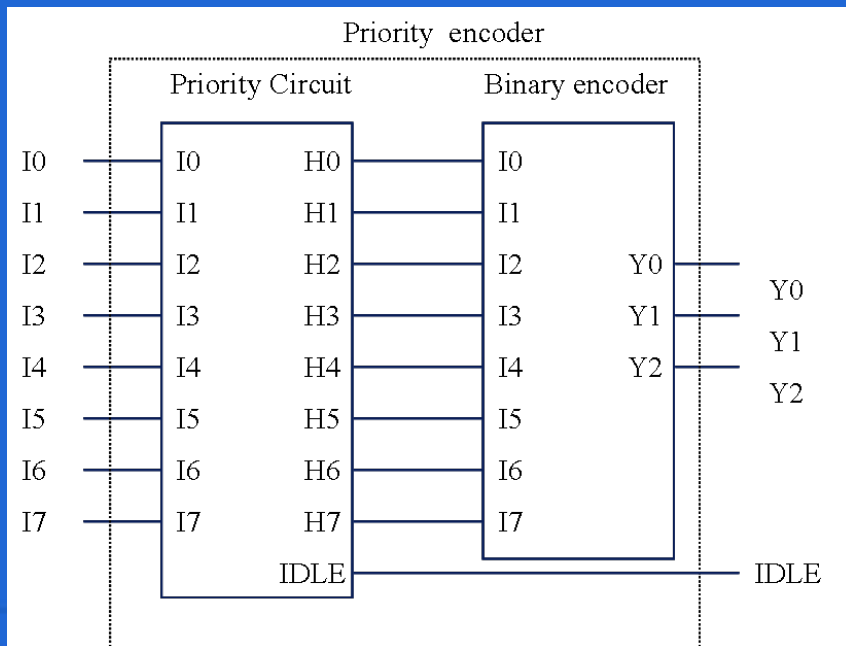
Koder '1-z-8'/NB



Inputs								Outputs		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	y_2	y_1	y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Koder priorytetowy

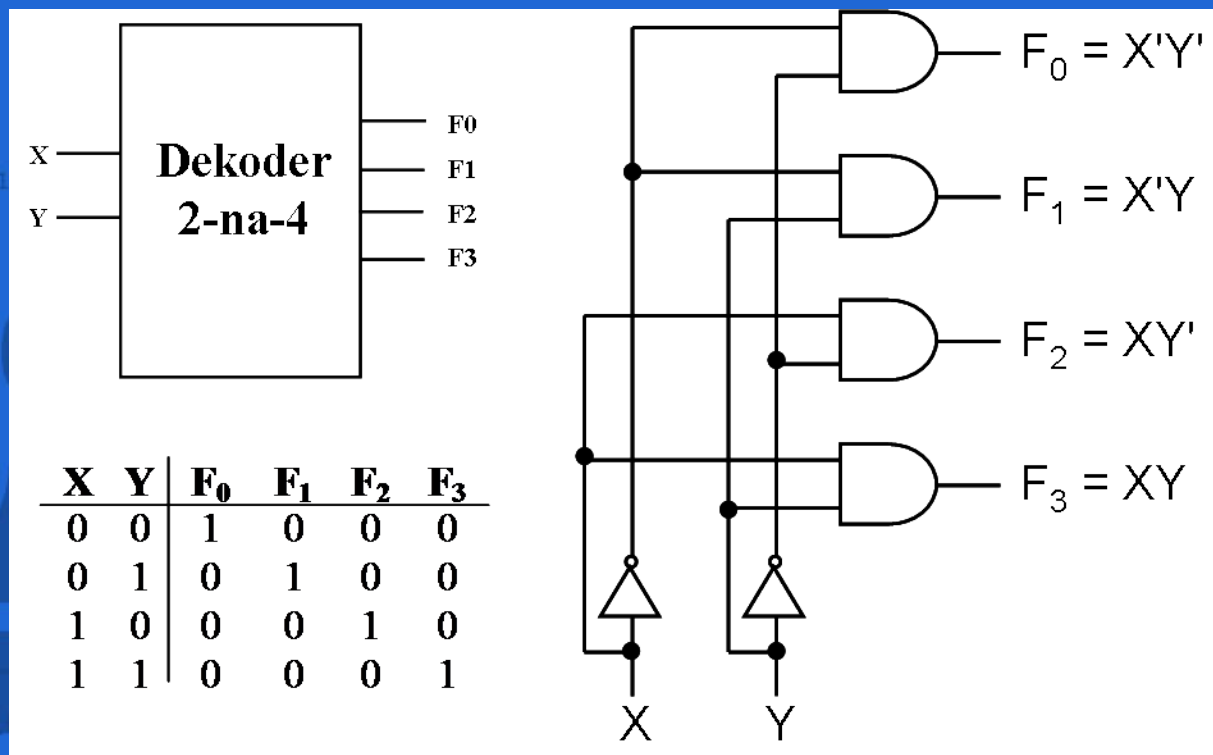
Przy jednoczesnej aktywacji kilku wejść, na wyjściu kodowany jest stan wejścia o najwyższym priorytecie (najwyższym numerze). Przy braku pobudzenia, uaktywnia się wyjście IDLE.



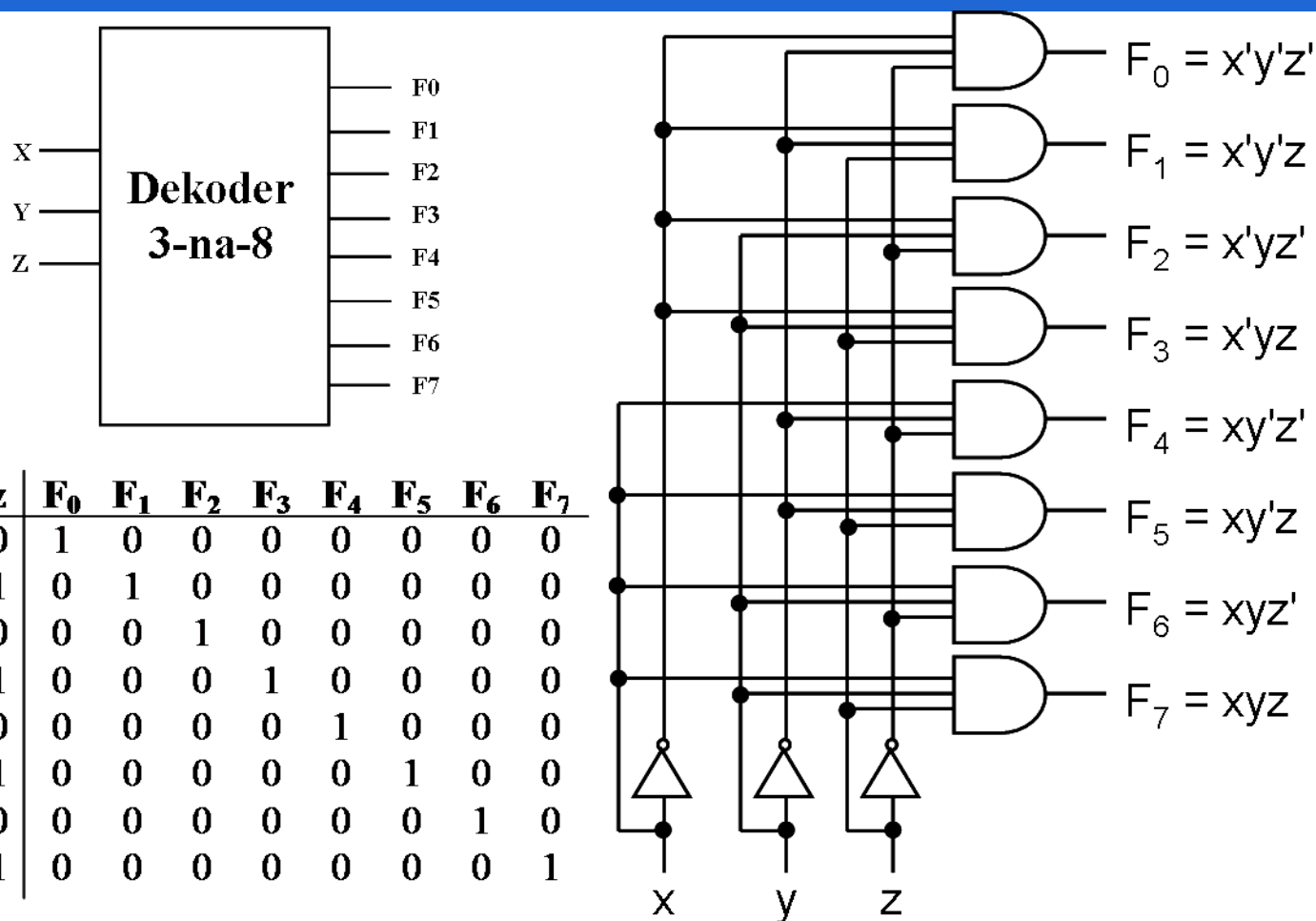
Inputs								Outputs			
I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	y ₂	y ₁	y ₀	Idle
0	0	0	0	0	0	0	0	x	x	x	1
1	0	0	0	0	0	0	0	0	0	0	0
X	1	0	0	0	0	0	0	0	0	1	0
X	X	1	0	0	0	0	0	0	1	0	0
X	X	X	1	0	0	0	0	0	1	1	0
X	X	X	X	1	0	0	0	1	0	0	0
X	X	X	X	X	1	0	0	1	0	1	0
X	X	X	X	X	X	1	0	1	1	0	0
X	X	X	X	X	X	X	1	1	1	1	0

Dekoder pełny NB/'1-z-4'

Dekoder nazywamy pełnym, jeśli ilość wyjść $M = 2^N$, gdzie N jest długością słowa wejściowego (ilością wejść).



Dekoder pełny NB/'1-z-8'



1010094070010091010100

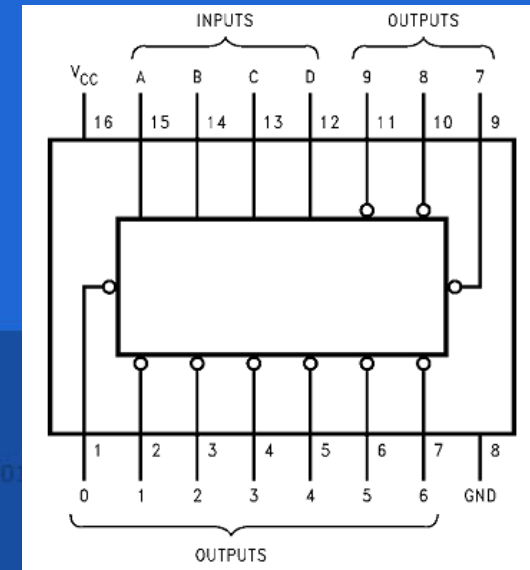
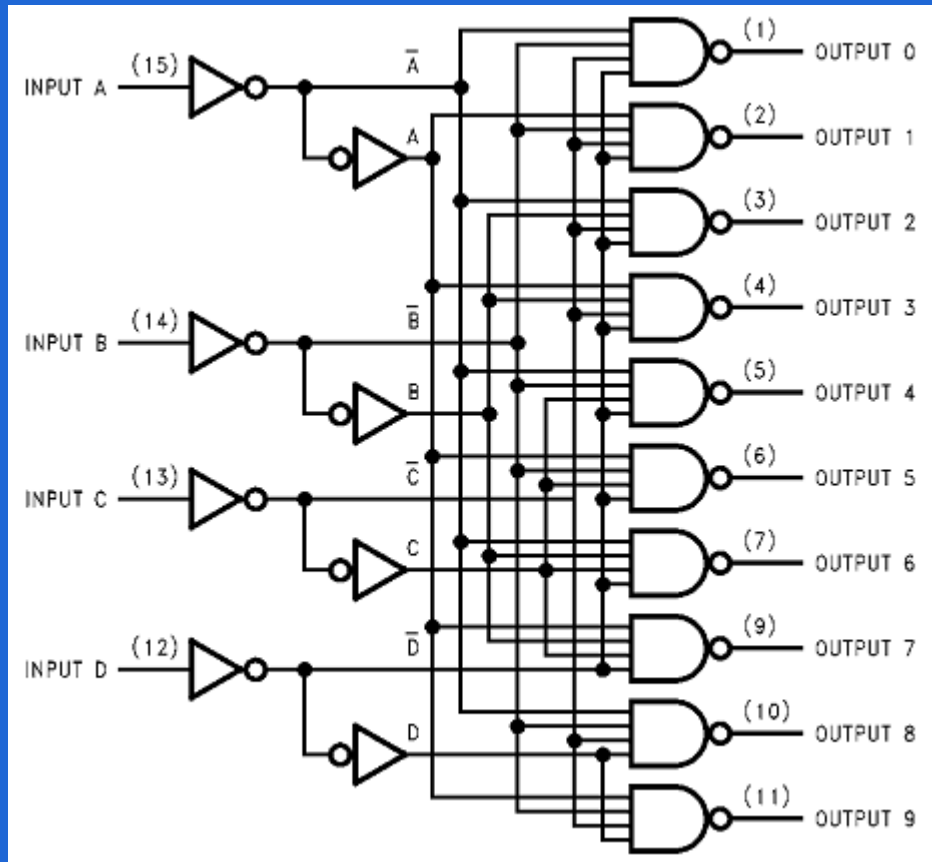
1010094070010091010100



01001010



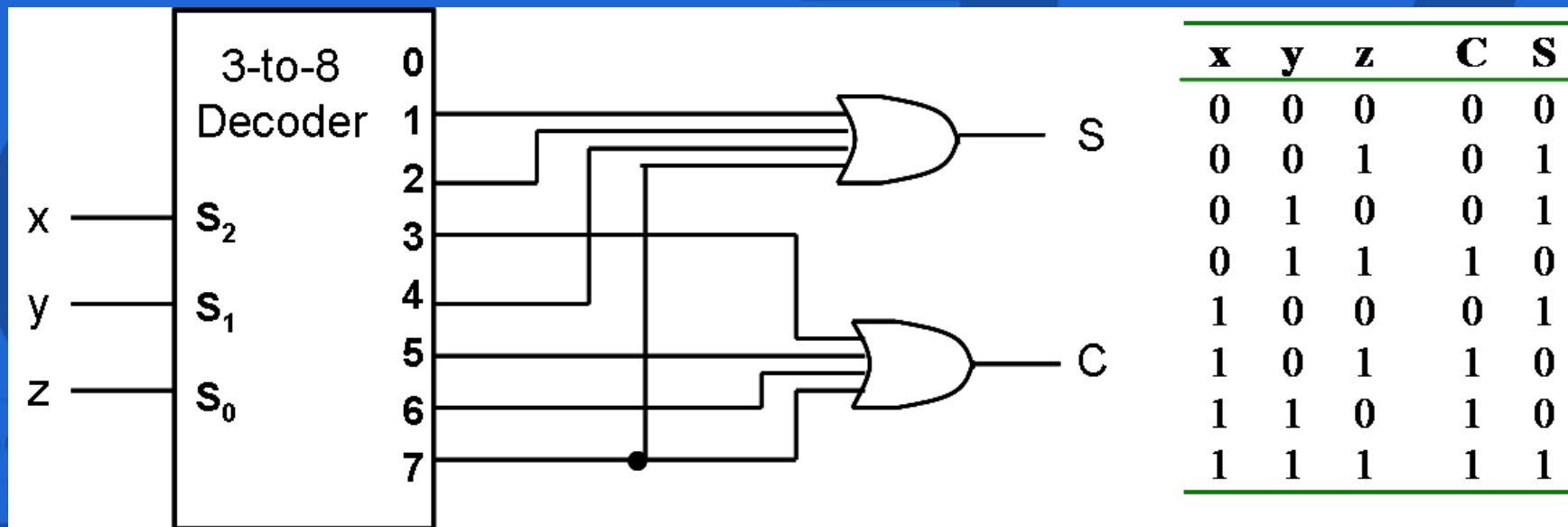
układ 7442 (Fairchild Semiconductor)

[illegible]

Dekoder jako generator funkcji przełączającej

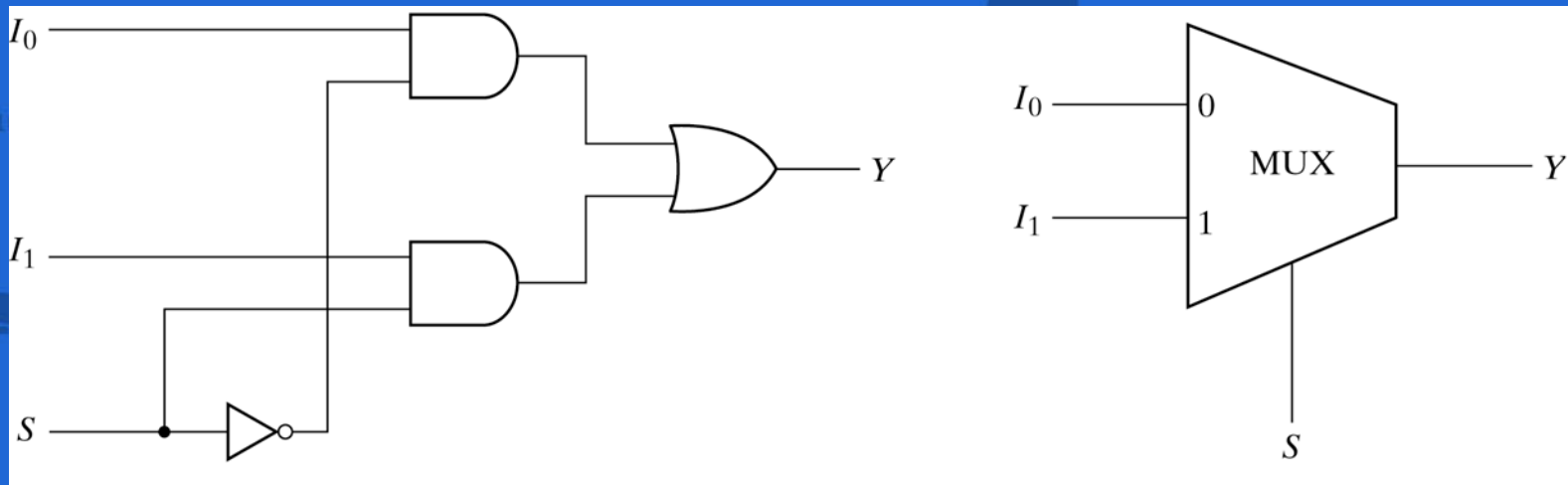
Dowolną N-wejściową funkcję przełączającą można zaimplementować przy użyciu dekodera $N \cdot 2^N$. Wyjścia dekodera odpowiadające 1-mintermom funkcji przełączającej podłącza się wówczas do wejścia bramki OR.

Ex.: Pełny sumator.



Multiplexer

Multiplexer (selektor, wybierak, MUX) – umożliwia wybór i przesłanie na wyjście Y sygnału z jednego z N -wejść informacyjnych $D = \{d_0, d_1, \dots, d_{N-1}\}$. Numer wybranego wejścia to adres podawany na wejścia sterujące $S = \{s_0, s_1, \dots, s_{M-1}\}$; $N = 2^M$:



W multiplexerach może występować także dodatkowe, 1-bitowe wejście sterujące E , nazywane wejściem zezwalającym. Słowo sterujące jest wówczas złożeniem (konkatenacją):

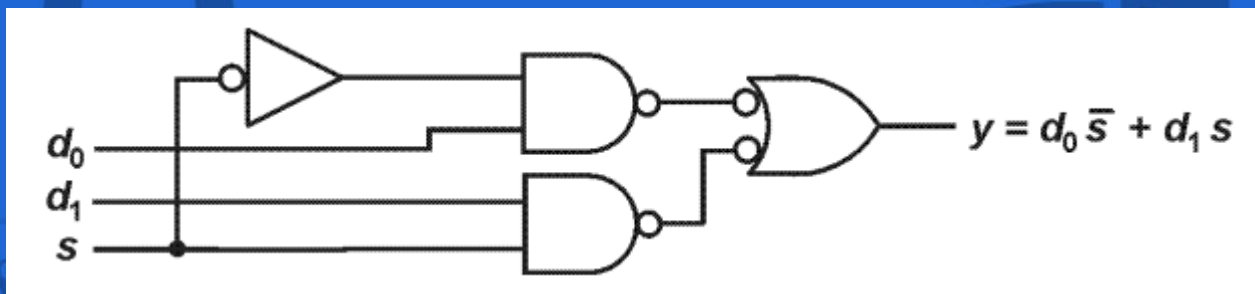
$$S = A \circ E$$

Funkcja przełączająca

Funkcja przełączająca multipleksera ma postać:

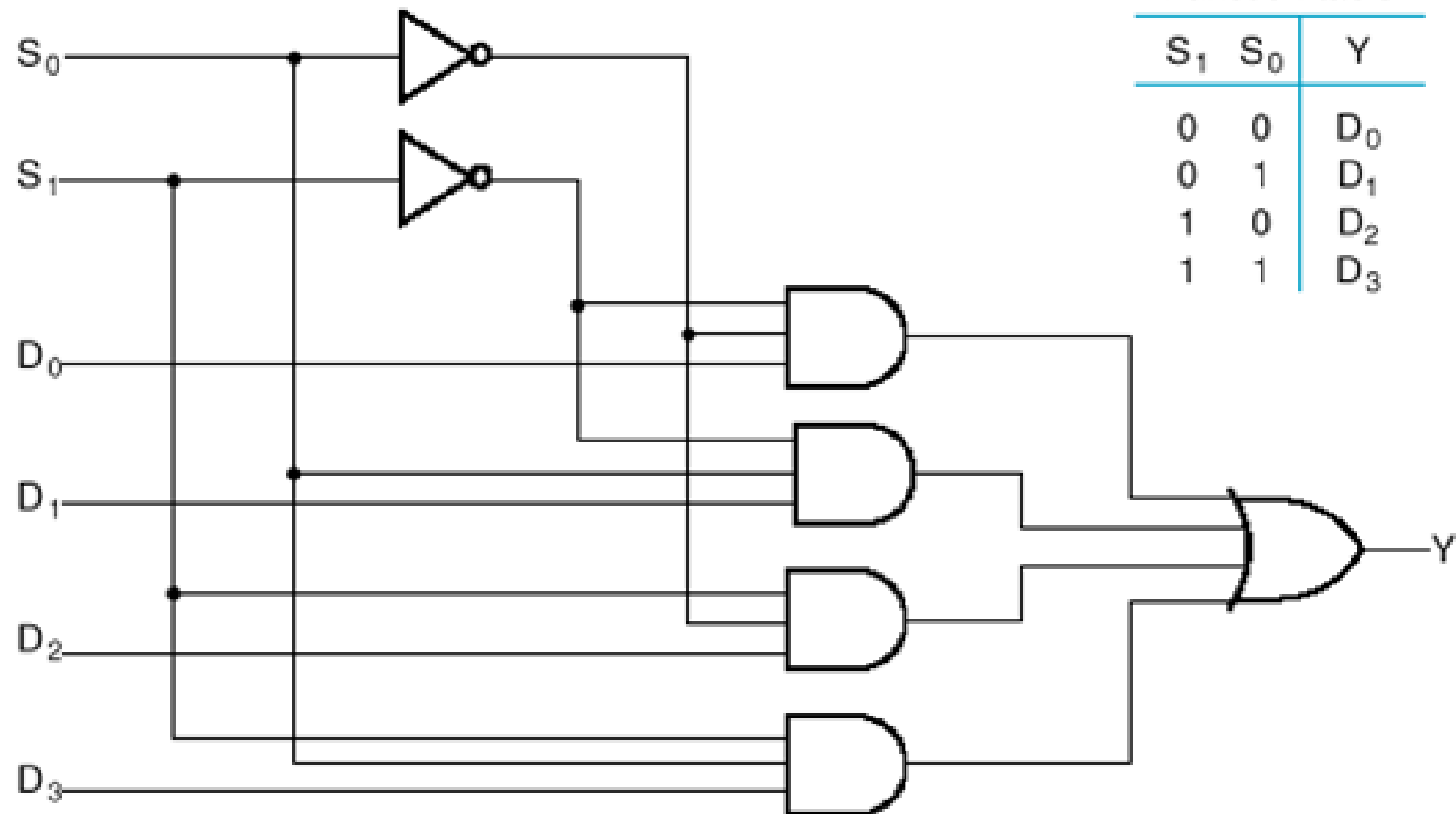
$$y = \sum_{n=0}^N d_n \cdot S_n$$

gdzie: S_n jest mintermem selekcyjnym (termem iloczynowym).
np. dla multipleksera 2-na-1:



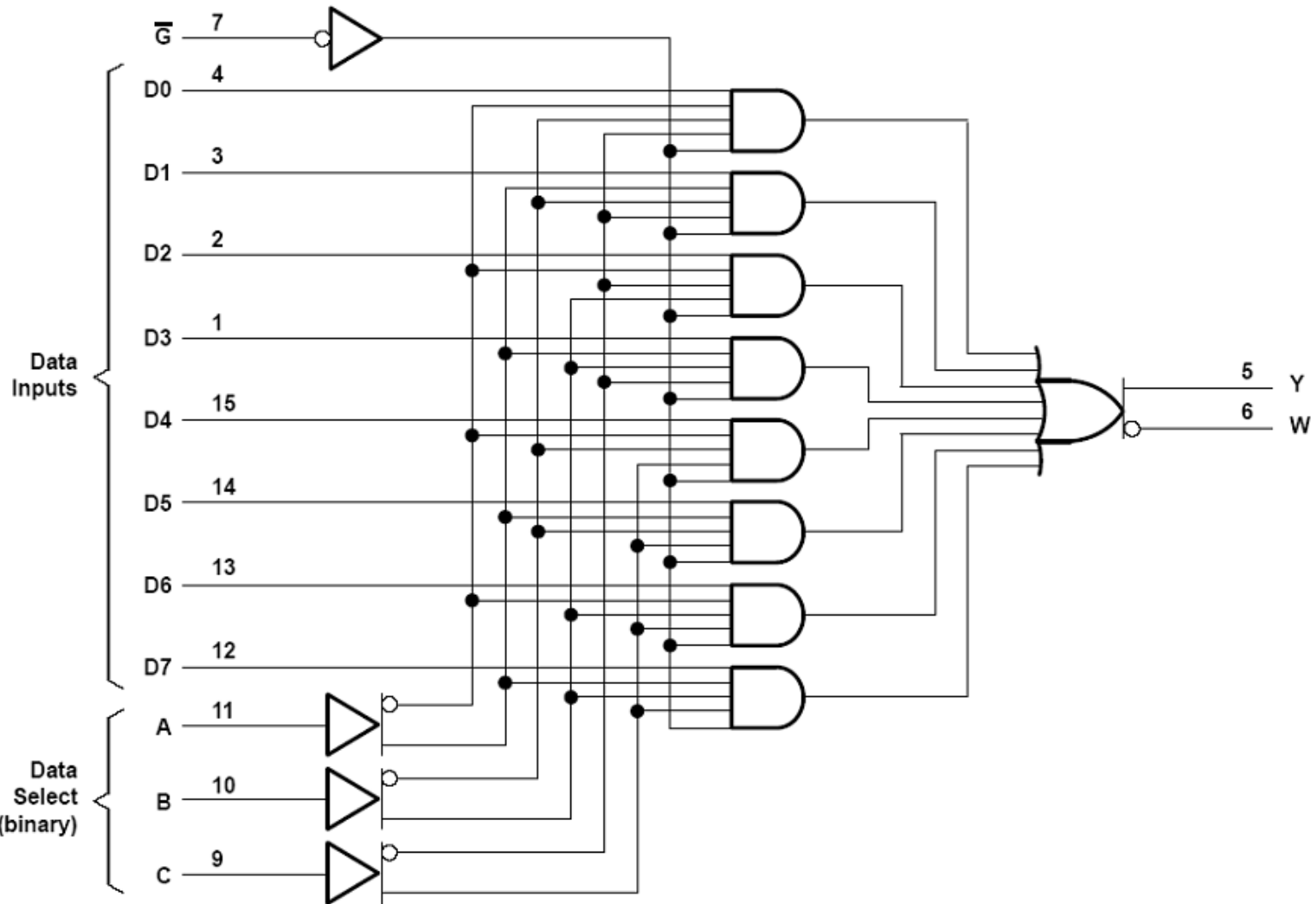
d_0	d_1	s	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Multiplexer 4-na-1



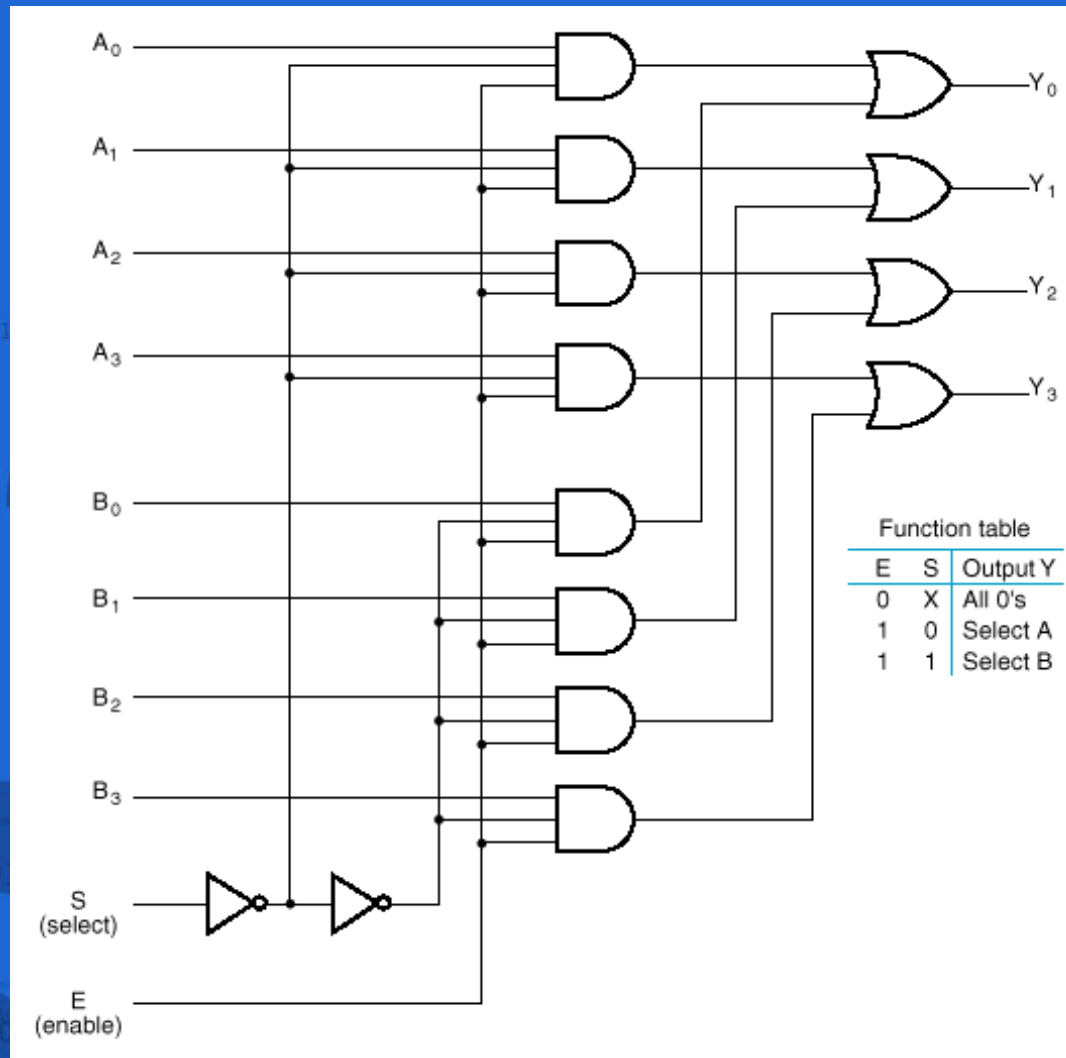
Multiplexer scalony

CD 74AC151 (Texas Instruments)



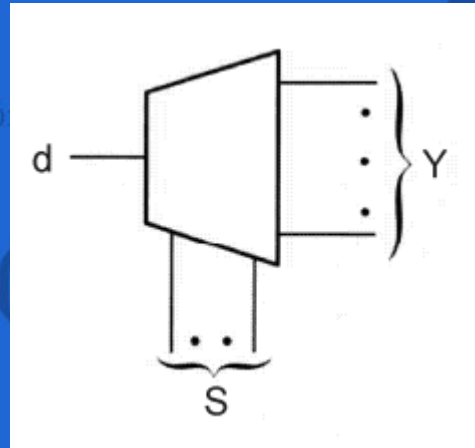
Multiplekser grupowy

Multiplekser grupowy umożliwia przełączenie K-bitowego słowa wejściowego do K-bitowego wyjścia układu.



Demultiplekser

Demultiplekser (rozdzielacz, DEMUX) – umożliwia wybór i przesłanie sygnału z wejścia $D = \{d_0\}$ na jedno z N -wyjść informacyjnych $Y = \{y_0, y_1, \dots, y_{N-1}\}$. Numer wybranego wyjścia to adres podawany na wejścia sterujące $S = \{s_0, s_1, \dots, s_{M-1}\}$.

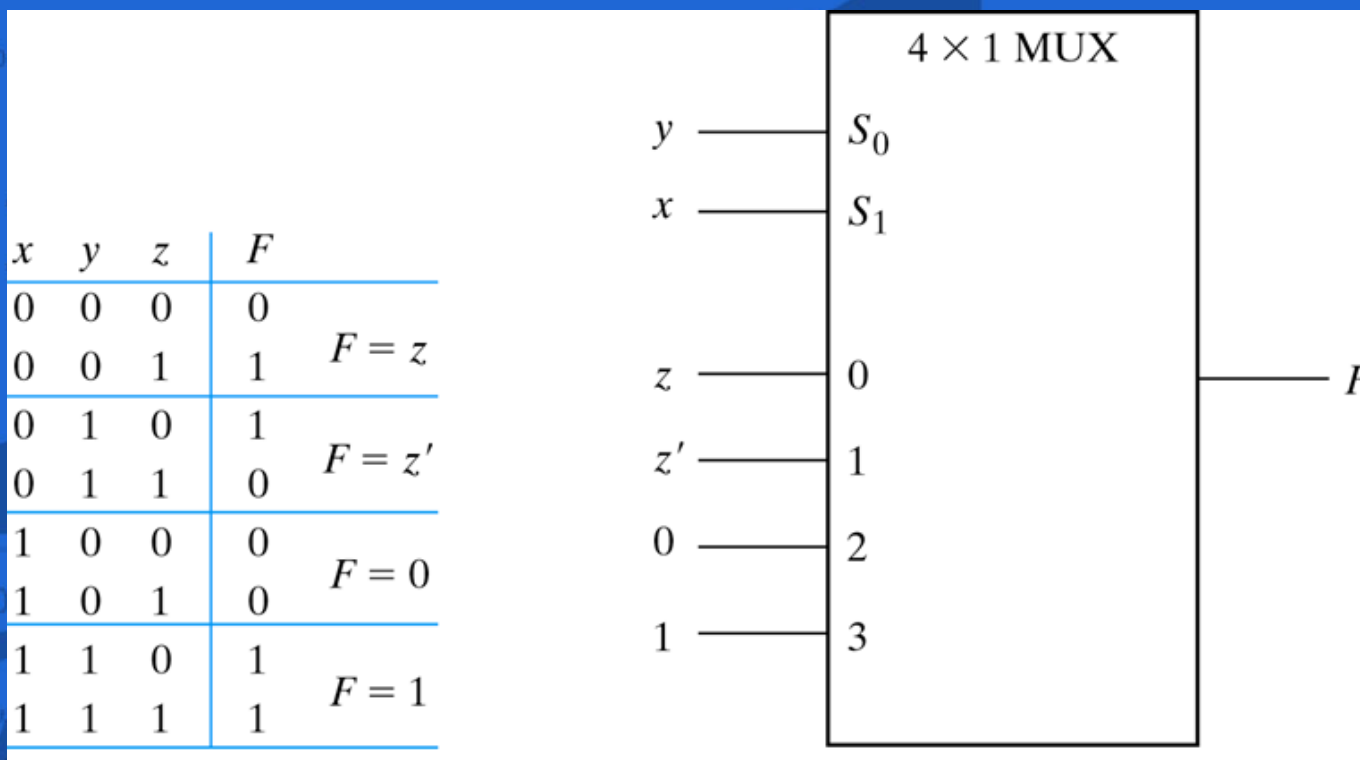


Funkcja przełączająca demultipleksera ma postać:

$$y = d \cdot S_n$$

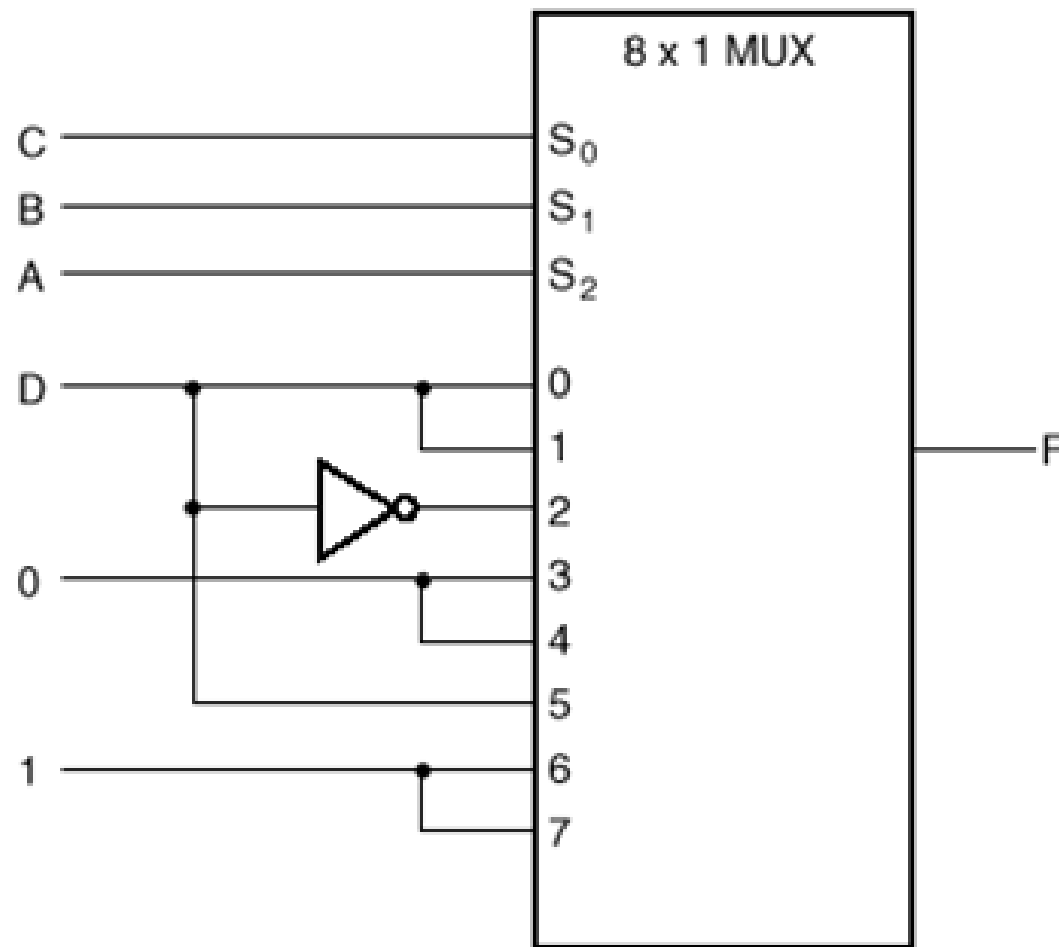
Multiplexer jako układ kombinacyjny

Przy pomocy multipleksera można zrealizować dowolną funkcję przełączającą, traktując wejścia adresowe (sterujące) S jak mintermy postaci kanonicznej, zaś wejścia danych (D) podłączając na stałe do sygnałów 0 lub 1. Użycie na wejściu danych zmiennej logicznej redukuje rozmiar multipleksera.

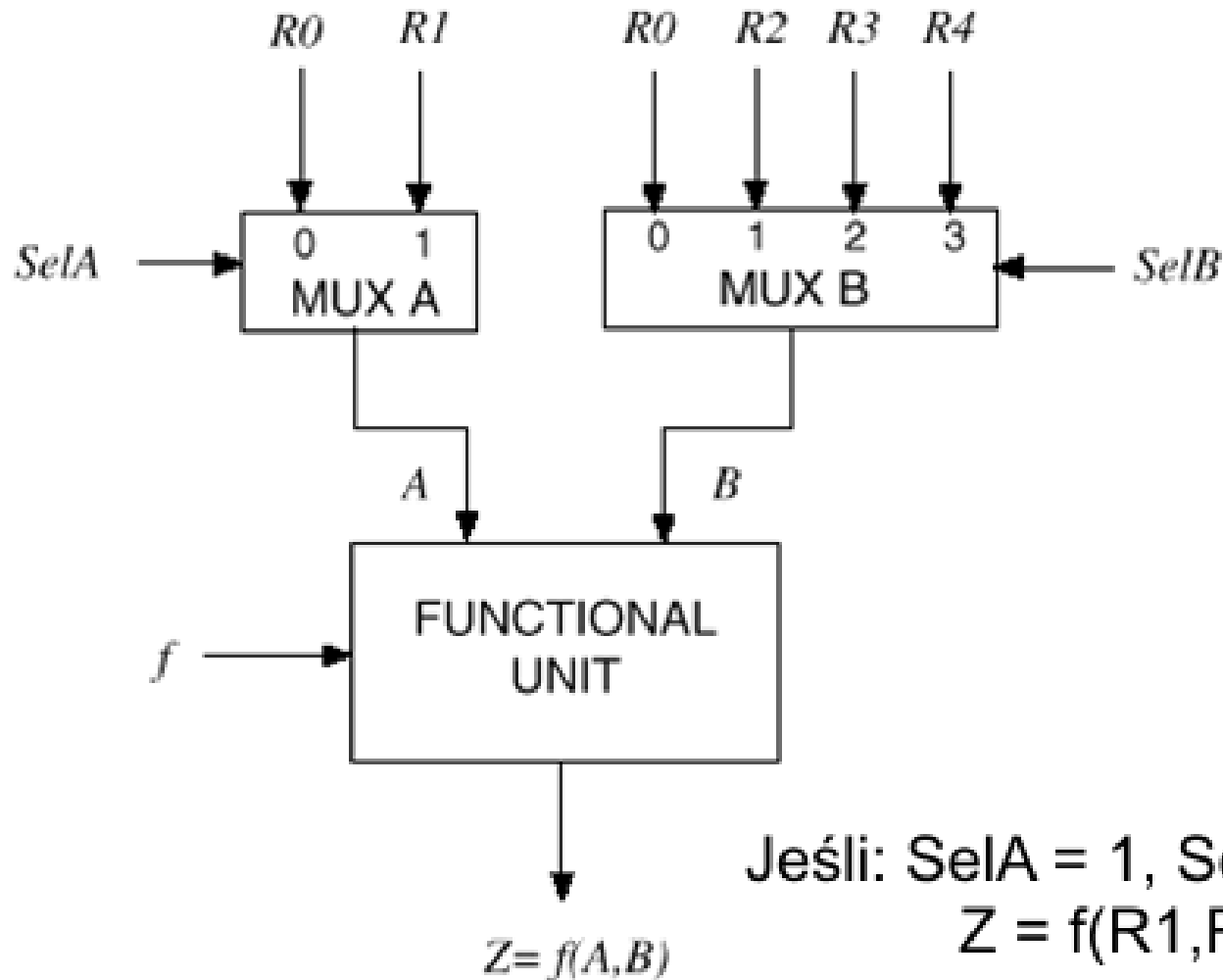


Multiplekser a 4-wejściowa funkcja przełączająca

A	B	C	D	F	
0	0	0	0	0	$F = D$
0	0	0	1	1	
0	0	1	0	0	$F = D$
0	0	1	1	1	
0	1	0	0	1	$F = \bar{D}$
0	1	0	1	0	
0	1	1	0	0	$F = 0$
0	1	1	1	0	
1	0	0	0	0	$F = 0$
1	0	0	1	0	
1	0	1	0	0	$F = D$
1	0	1	1	1	
1	1	0	0	1	$F = 1$
1	1	0	1	1	
1	1	1	0	1	$F = 1$
1	1	1	1	1	



Multiplexer jako układ interfejsu





0101101

10101009400010001010100

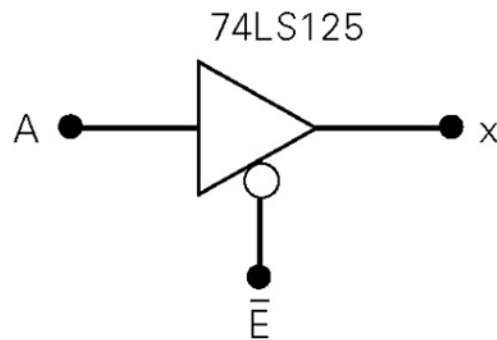
0101001010

00-1-1

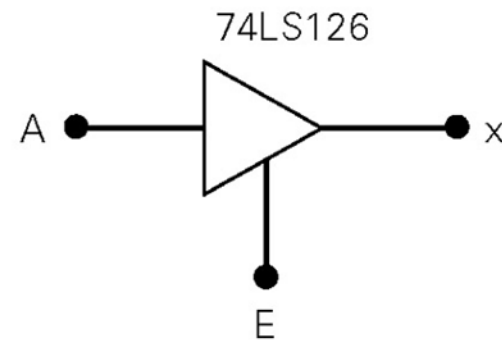
Bramki 3-stanowe

Na wyjściach układów przełączających (w tym multiplekserów) mogą być umieszczone tzw. bramki 3-stanowe: stan L, stan H, stan Z (wysokiej impedancji). Bramka otwierana jest dodatkowym wejściem OE (Output Enable).

Jeśli wyjście bramki jest w stanie Z, zachowuje się ona jakby była fizycznie odłączona od układu (na wyjściu bramki nie ma żadnego napięcia) – pozwala to bezpośrednio łączyć wyjścia bramek (o ile nie są one uaktywniane jednocześnie).

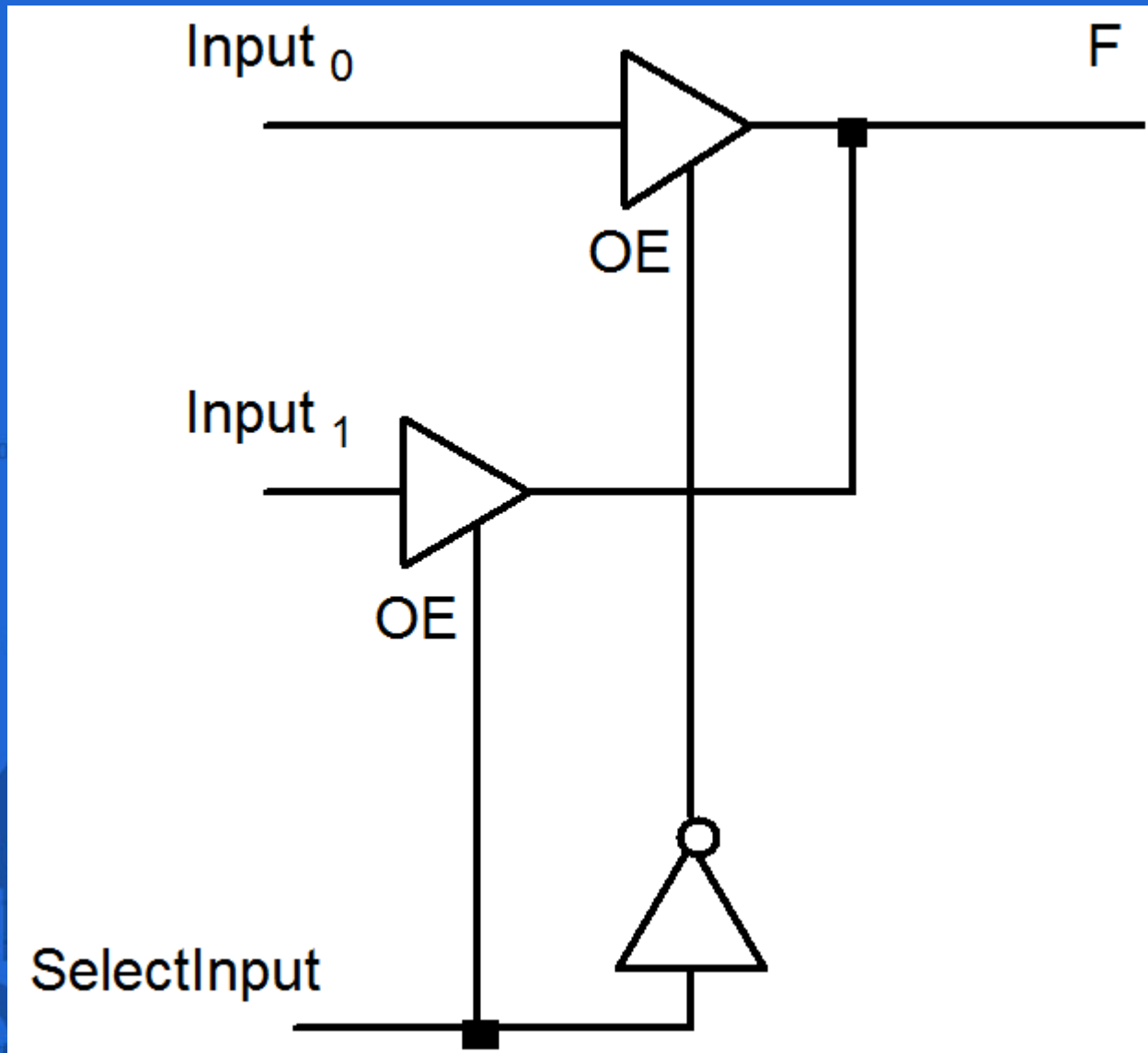


\bar{E}	x
0	A
1	Hi-Z



E	x
0	Hi-Z
1	A

Bramki 3-stanowe jako multiplekser

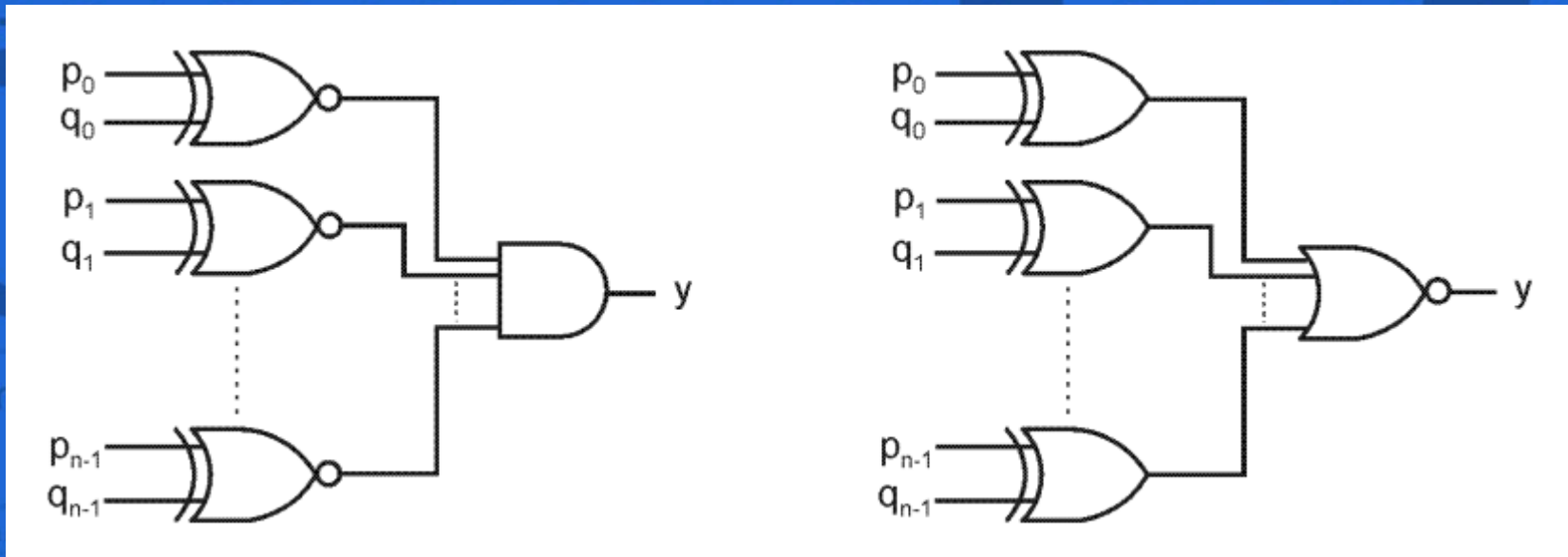


Komparator logiczny

Komparator logiczny porównuje słowa binarne poprzez porównanie ich bitów na tych samych pozycjach. Najprostszy komparator 1-bitowy – bramka XNOR.

Funkcja przełączająca komparatora dwóch słów n-bitowych P i Q ma postać:

$$y = \prod_{k=0}^{n-1} \overline{p_k * q_k}$$

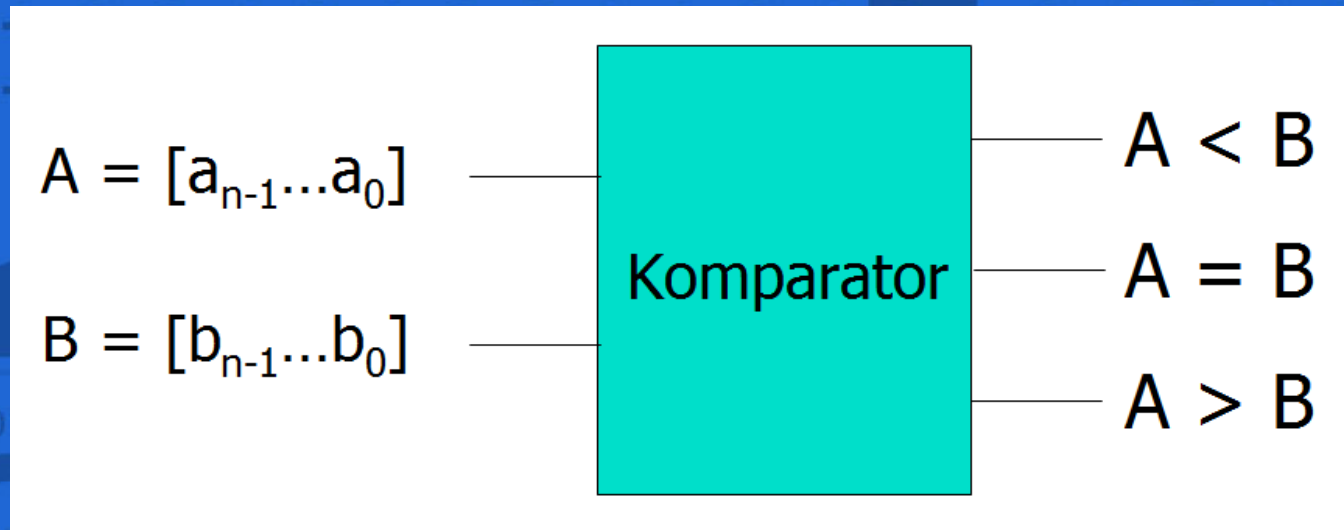


Komparator arytmetyczny

Komparator arytmetyczny porównuje wartości liczb P oraz Q reprezentowanych w danym kodzie binarnym, generując trzy wyniki 1-bitowe:

(1) $L = (P < Q)$, (2) $E = (P = Q)$, (3) $G = (P > Q)$

Główna trudność projektowania polega na tym, że przy n-bitowych słowach funkcja przełączająca przyjmuje 2^{2n} -stanów.



Algorytm porównania arytmetycznego

Niech dane są dwie liczby: $A = a_{n-1} \dots a_0$, $B = b_{n-1} \dots b_0$

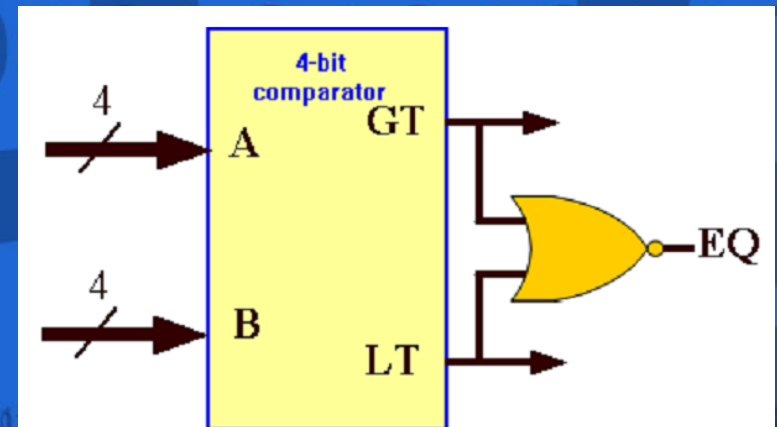
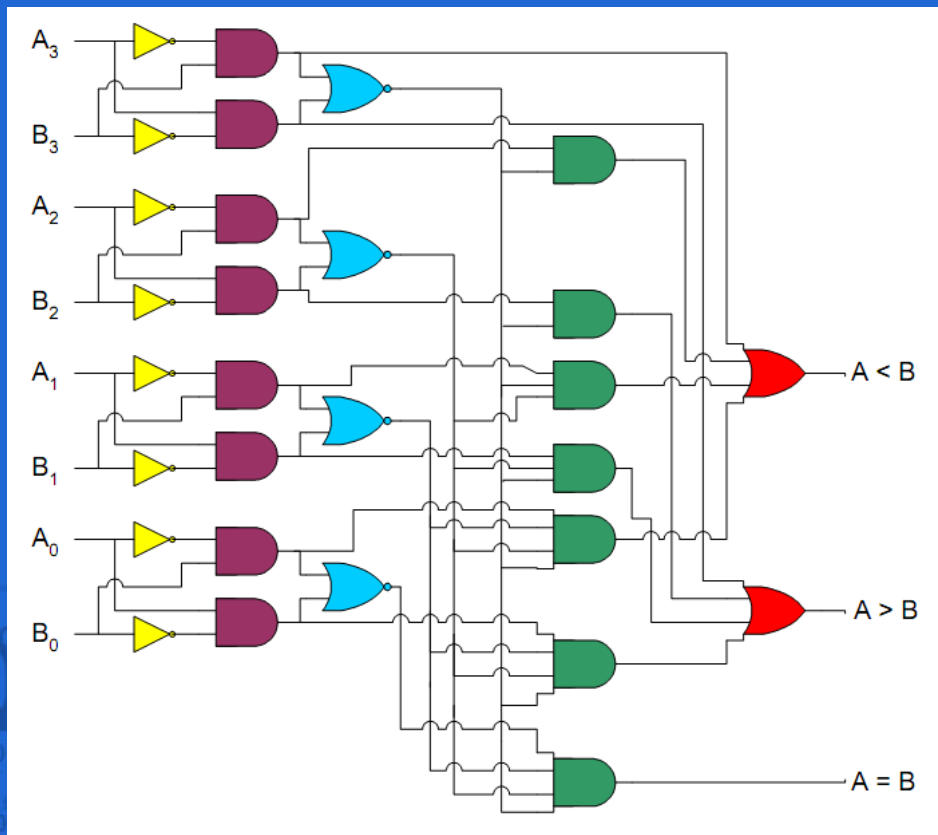
(1) Oznaczmy: $x_k = a_k b_k + a_k' b_k'$

(2) Jeśli $EQ = x_0 \cdot x_1 \cdot \dots \cdot x_{n-1} = 1$, to $A = B$.

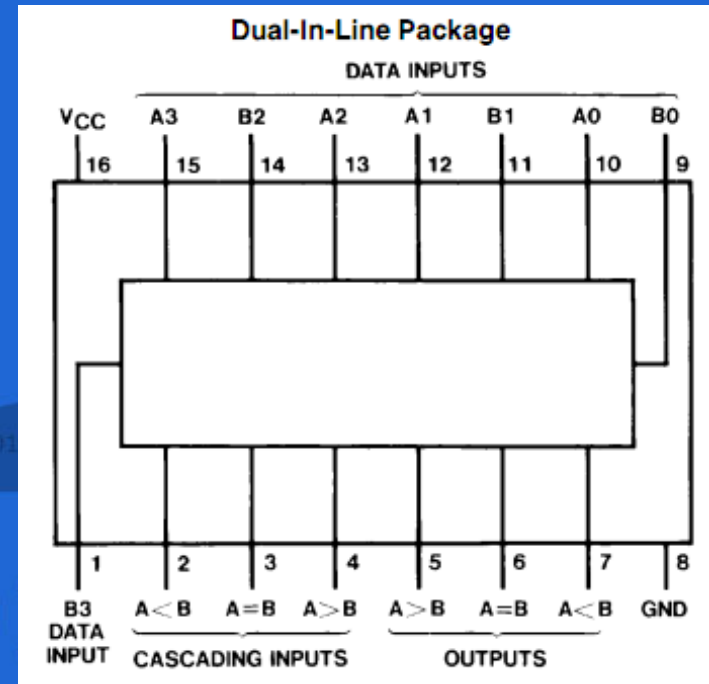
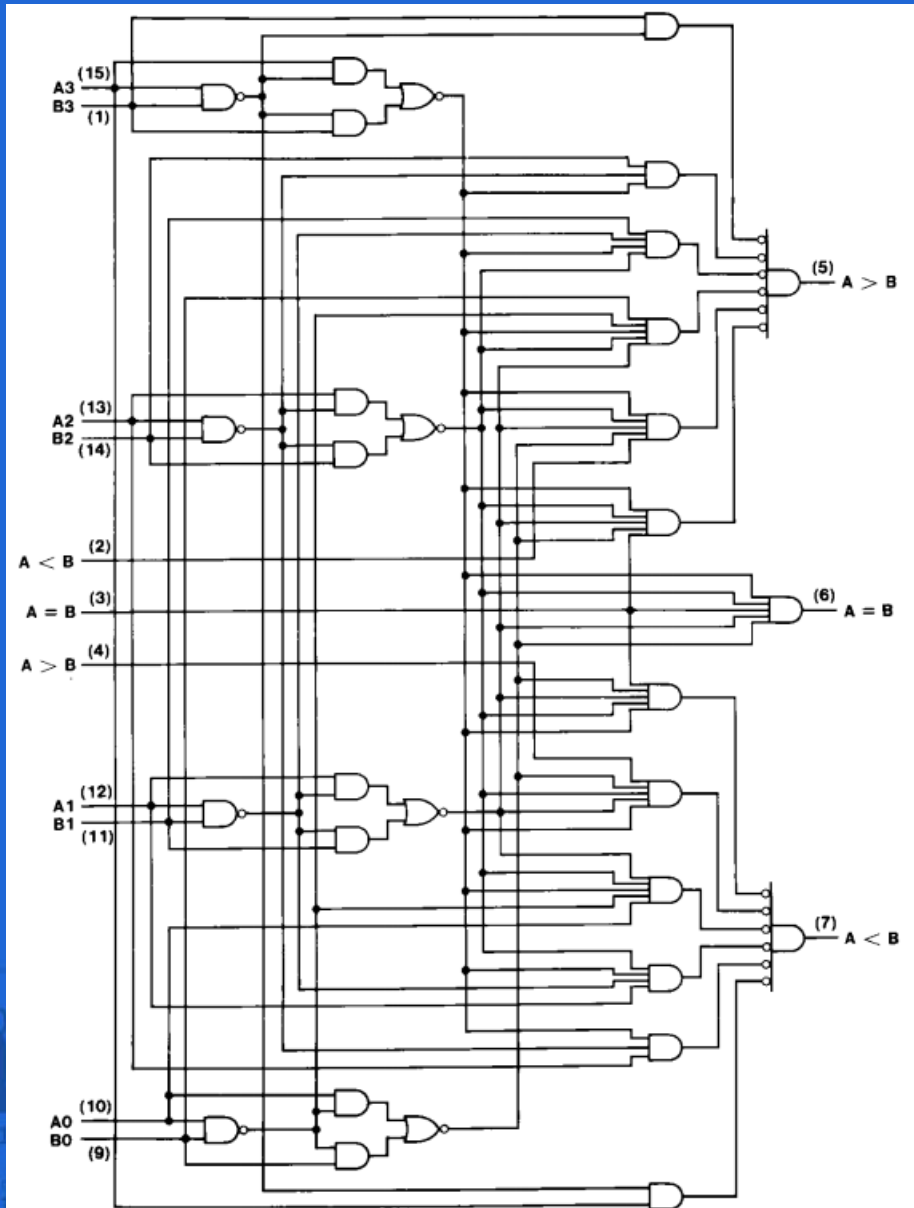
(3) Poczynając od MSB sprawdź wartość wyrażen:

Jeśli $GT = a_{n-1} b_{n-1}' + x_{n-1} a_{n-2} b_{n-2}' + \dots + x_{n-1} x_{n-2} \dots x_1 a_0 b_0' = 1$, to $A > B$

Jeśli $LT = a_{n-1}' b_{n-1} + x_{n-1} a_{n-1}' b_{n-2} + \dots + x_{n-1} x_{n-2} \dots x_1 a_0' b_0 = 1$, to $A < B$



Komparator 4-bitowy układ 7485 (National Semiconductor)

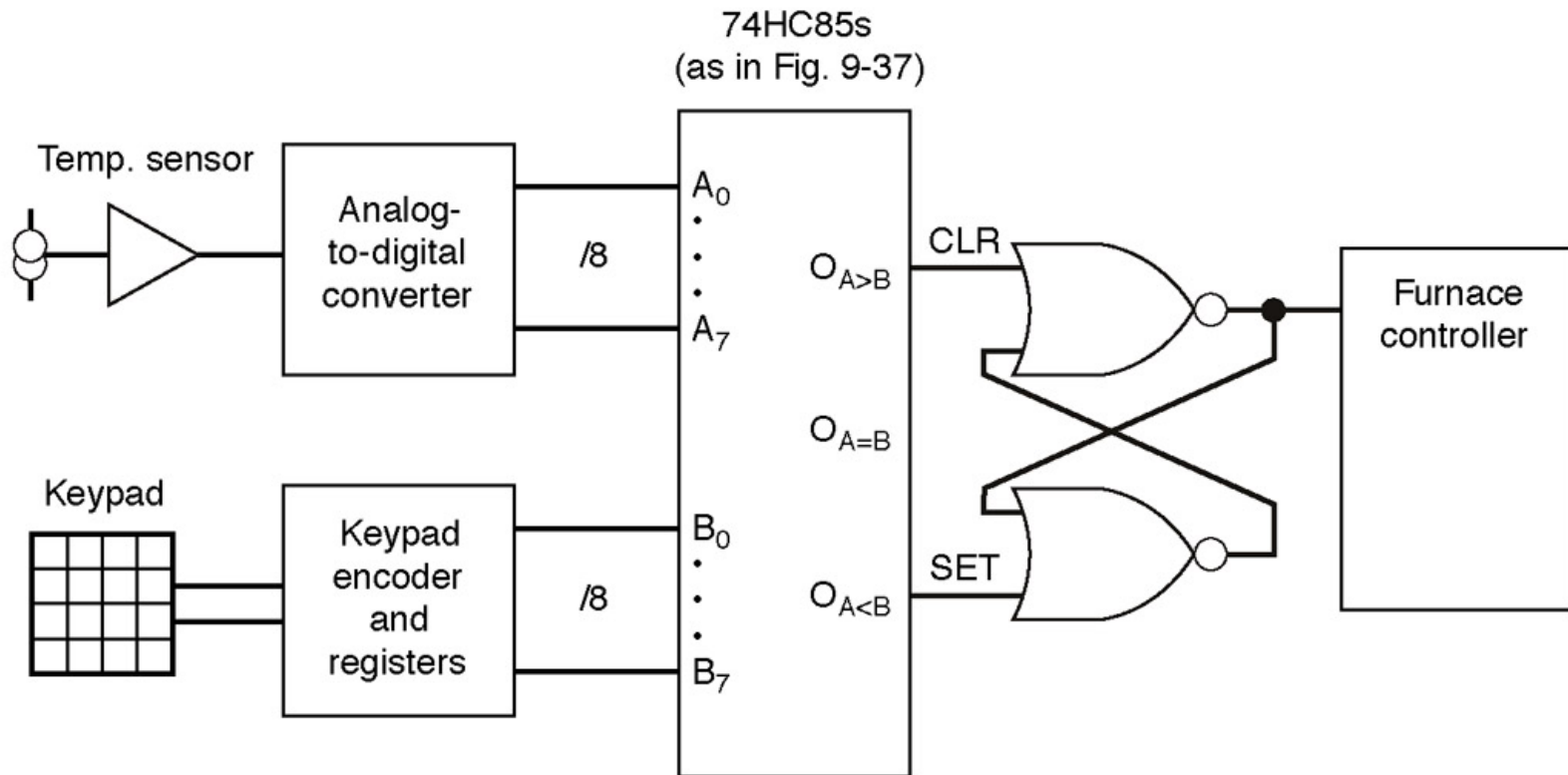


Function Table

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

H = High Level, L = Low Level, X = Don't Care

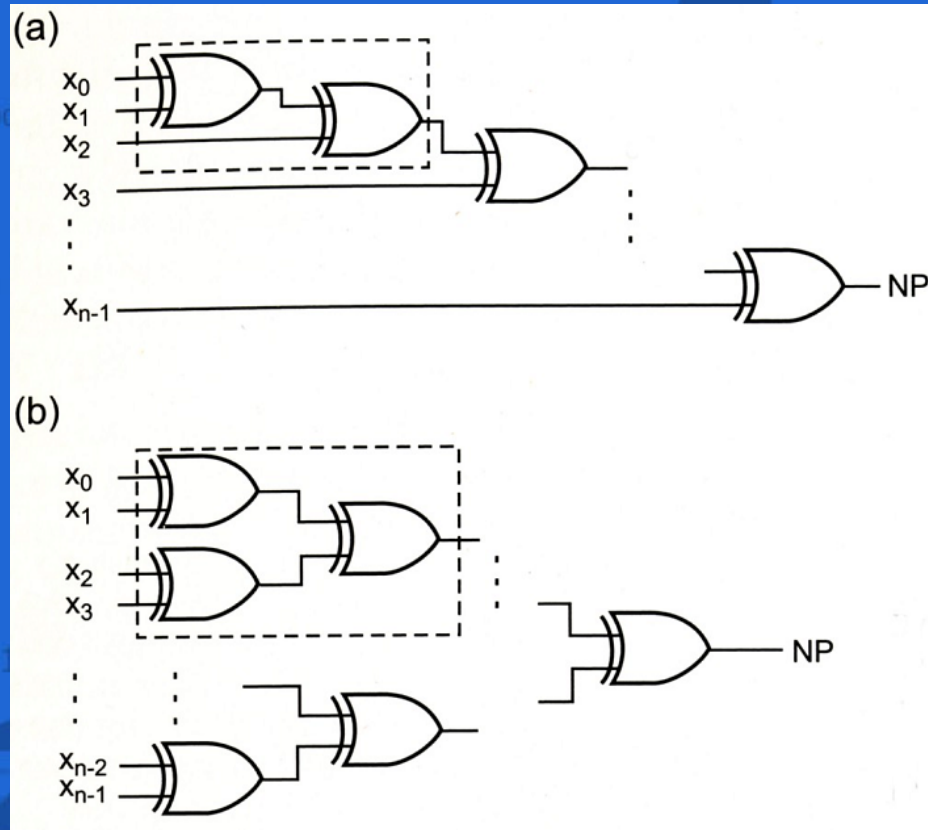
Zastosowanie komparatora



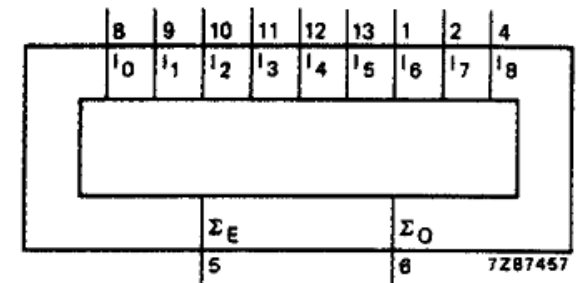
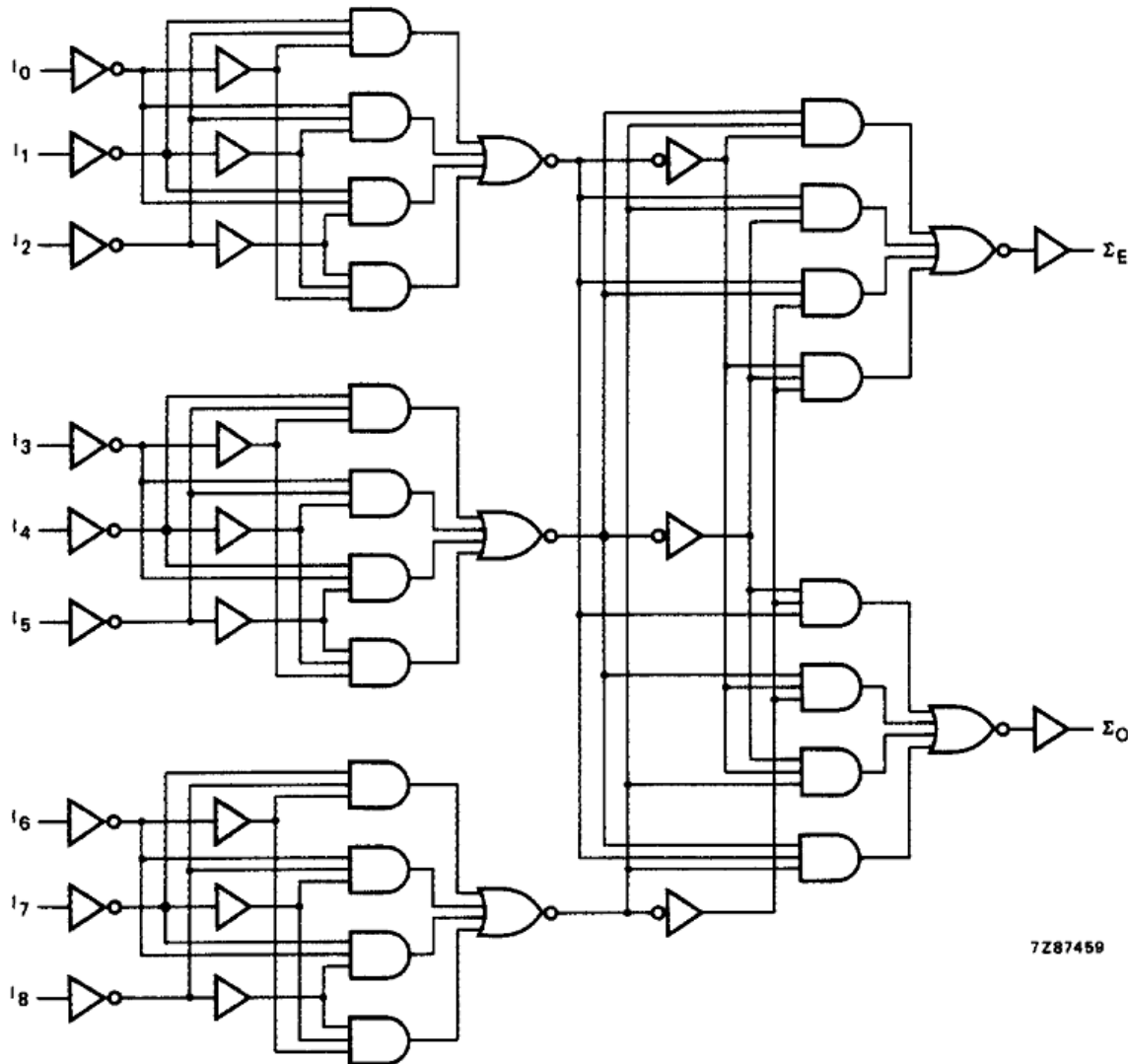
Tester parzystości

Tester (generator) (nie-)parzystości to układ cyfrowy wykrywający (nie-)parzystą liczbę 1 na wejściach.

Tester nieparzystości może mieć strukturę łańcuchową lub drzewiastą. Tester parzystości powstaje po zanegowaniu wyjścia testera nieparzystości.



9-bitowy tester parzystości układ 74280 (Philips Semiconductors)



FUNCTION TABLE

INPUTS	OUTPUTS	
number of HIGH data inputs (I_0 to I_8)	Σ_E	Σ_O
even	H	L
odd	L	H

Note

1. H = HIGH voltage level
L = LOW voltage level