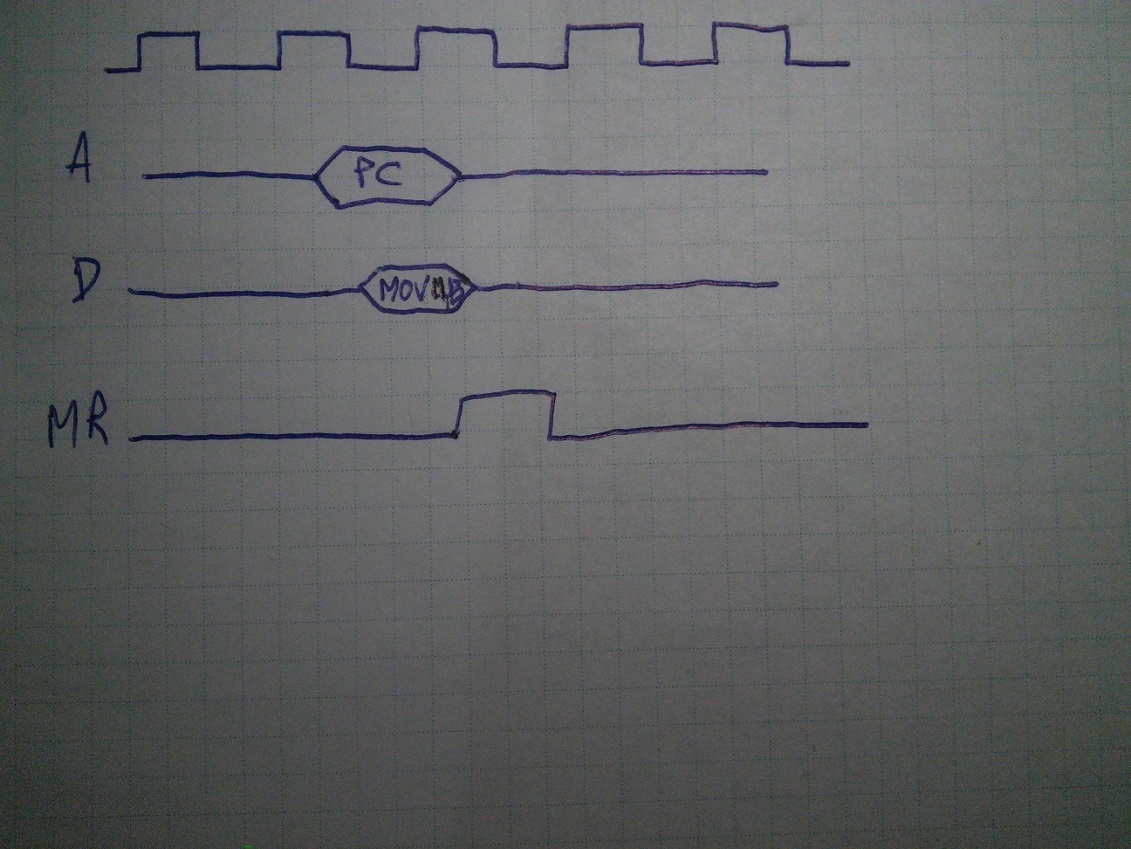
**7. Przebiegi czasowe**



**8.**

1. TAK, rejestry mikrokontrolera są fragmentami wewnętrznej pamięci RAM
2. Licznik rozkazów, R0-R7 wykorzystywane do wskazań odwołań mikrokontrolera do jego RAM
3. TAK, mają takie same adresy jak Upper Internal RAM
4. a) mov A,2011 (adres)

b) mov A, #2011 (liczba)

c) mov A, @R1 (rejestr)

d) movx A, @R1 – przypisanie Akumulatorowi wartość z rejestru 1 zewnętrznej pamięci danych  
 – zaadresowanie komórki pamięci o adresie wartości zewnętrznego R1

e) movc A, @A+DPTR (data pointer) Instrukcja zaadresuje komórkę pamięci o adresie powstałym przez niejawne sumowanie 16-bitowego adresu zawartego w DPTR z 8-bitowa wartością zawarta w A (Pam. Prog.)

1. **ALE** – WY sterujące „zatrzaśnięcie podanego adresu w P0” zboczem opadającym
2. **PSEN** - WY sterujące „odczyt z zewnętrznej pamięci programu”, koniec stanu aktywnego „0” wczytanie rozkazu
3. ● **8255** – programowalny, możliwość wprowadzenia do rejestru sterującego odpowiedniego słowa sterującego

● **8259** – programowalny sterownik przerwań

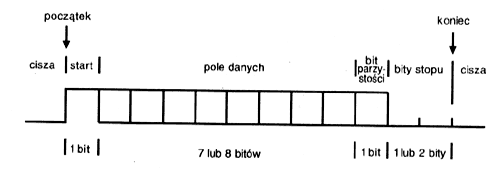
● **8251** – programowalny, przed rozpoczęciem transmisji danych należy wpisać 2 słowa programujące jego działanie: słowo modu i słowo sterujące

● **8253** – programowalny generator przedziałów czasowych

● **8051** – stworzony przez firmę Intel w 1980, zapoczątkował rodzinę mikrokontrolerów MCS-51 będących udoskonalonymi lub wyspecjalizowanymi mikrokontrolerami o tej samej, ośmiobitowej architekturze i kompatybilnej z pierwowzorem liście rozkazów.

● **8237** – układ scalony, zawiera programowalne generatory przebiegów czasowych, kontroler DMA, kontroler przerwań i pamięć nieulotną CMOS. Funkcje i znaczenie układów pozostały te same. (kompatybiln)

1. **Ramka transmisji asynchronicznej**



1. **Sekwencja obsługi przerwania:**

Urządzenie połączone z wejściem o numerze n zgłasza przerwanie wymuszając wysoki poziom logiczny na linii IRn. Ustawiając bit n w rejestrze IMR można spowodować ignorowanie wszelkich przerwań nadchodzących tą linią. Jeżeli wspomniany bit jest wyzerowany, informacja o przerwaniu przekazywana jest dalej i powoduje ustawienie bitu n w rejestrze IRR. Jak już wspomniano wcześniej, priorytet zgłoszenia na wejściach IRO—IR7 nie jest jednakowy i maleje ze wzrostem numeru wejścia. Ponieważ jednocześnie mogą nadchodzić zgłoszenia z wielu linii, układ oceny priorytetu wybiera jednorazowo tylko jeden z nich —ten o najwyższym priorytecie. Jednocześnie aktywowany jest sygnał INT, informujący procesor o konieczności obsługi przerwania. Jeżeli obsługa przerwań nie jest programowo zablokowana (bit 1E rejestru stanu procesora), ten ostatni reaguje sygnałem potwierdzenia na wyjściu ~INTA, które jest policzone z wejściem ~INTA układu 8259A. Wybrany przez układ oceny priorytetu bit rejestru IRR przekazywany jest tern do rejestru ISR. Oznacza to, te w tym momencie obsługiwane jest przerwanie z linii o numerze odpowiadającym ustawionej pozycji bitowej rejestru ISR. Procesor wysyła teraz drugi impuls ~INTA. Kontroler przerwań odpowiada na niego wystawieniem na szynę danych D7—DO wektora przerwań.  
Procesor traktuje ten bajt jako numer procedury obsługi przerwania, do wykonania której teraz przejdzie. Niezależnie od trybu pracy, moment wyzerowania bitu rejestru ISR odpowiadającego aktualnie obsługiwanemu kanałowi oznacza gotowość kontrolera do przyjęcia następnego zgłoszenia.

1. **Funkcje układu 8254:**

• czas wykonywania pewnych fragment6w programu musi być niezależny od obecnego w danym systemie procesora i szybkości jego taktowania. Wiele programów, w tym gry, wymaga wbudowanych opóźnień lub kontroli upływu czasu rzeczywistego.

• w oparciu o zegar czasu rzeczywistego system operacyjny prowadzi ewidencję plików dyskowych i katalogów, posługując sic między innymi daty i czasem ich założenia lub modyfikacji.

• wiele funkcji systemowych, np. odświeżanie pamięci dynamicznej, wymaga okresowego wykonywania z dokładnie określoną częstotliwość;

• mechanizmy napędowe stacji dysków elastycznych wymagają podawania bardzo precyzyjnych impulsów.

**5.** ● **system** **przerwań** 🡪

Fazy obsługi przerwania

1. Rozpoznanie i identyfikacja przerwania
2. Przerwanie wykonywania instrukcji i zapamiętanie kontekstu
3. Załadowanie nowego kontekstu i rozpoczęcie instrukcji przerwania

Podczas przerwania należy zapamiętać:

* Informacje o stanie procesora które mogą zostać samoczynnie zmodyfikowane przez procesor
  + Rejestr stanu z inf. systemowymi
  + PC - wskazuje na bieżącą instrukcję
  + czasami nextPC

● **rejestr rozkazu** 🡪 IR - *Instruction Register*. Przechowywany jest tutaj kod aktualnie wykonywanego polecenia, czyli rozkazu procesora pobranego z pamięci.  
● **przetwarzanie potokowe** 🡪„opracowanie”  
● **kanał multiplekserowy** 🡪może jednocześnie współpracować z wieloma urządzeniami I/O. W przypadku urządzeń powolnych multiplekser bajtowy odbiera lub przekazuje znaki do wielu urządzeń tak szybko, jak tylko jest to możliwe. W przypadku urządzeń szybkich multiplekser blokowy przeplata bloki danych z kilku urządzeń.   
● **adres bezpośredni** 🡪Przy adresowaniu bezpośrednim kod rozkazu zawiera adres komórki pamięci, w której przechowywany jest argument (operand).