Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

**КУРСОВАЯ РАБОТА**

Исследование арифметических устройств вычислительной техники

по дисциплине «Основы вычислительной техники»

Выполнил

студент гр. 13531/1

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Лапшов И.С.

(подпись)

Руководитель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_.

(подпись)

«\_\_\_» \_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2020 г.

Санкт-Петербург   
2020

Санкт-Петербургский государственный политехнический университет

**ЗАДАНИЕ**

**НА ВЫПолнение курсовой работы**

студенту группы 3530901/90006 Лапшову Ивану Сергеевичу

(номер группы) (ФИО)

***1. Тема проекта (работы):*** Исследование арифметических устройств вычислительной техники

***2. Срок сдачи законченной работы***      1 июня

***3. Исходные данные к работе***: руководство по выполнению курсовой работы, номер варианта:   11

***4. Содержание пояснительной записки***: введение, реализация и исследование работы полного одноразрядного комбинационного двоичного сумматора, исследование суммирования двоичных чисел в формате с фиксированной запятой в прямом коде, исследование суммирования двоичных чисел в формате с фиксированной запятой в обратном коде, исследование суммирования двоичных чисел в формате с фиксированной запятой в дополнительном коде, исследование суммирования двоичных чисел в формате с плавающей запятой, заключение, список использованных источников.

***Дата получения задания***: «  21  ».   февраля    2020 г.

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Кошелев С.И.

(подпись)

Задание принял к исполнению \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Лапшов.И.С.

(подпись)

\_\_\_\_\_\_\_\_\_\_\_\_

(дата)

**РЕФЕРАТ**

Лапшов И.С. Исследование арифметических устройств вычислительной техники: Курсовая работа по дисциплине «Основы вычислительной техники». – СПб.: СПбПУ, 2020. – xx c., рис. – x, табл. – x, библиогр. –6 назв.

ЭВМ, ПРЕДСТАВЛЕНИЕ ЧИСЕЛ, ФИКСИРОВАННАЯ ЗАПЯТАЯ, ПЛАВАЮЩАЯ ЗАПЯТАЯ, ПРЯМОЙ КОД, ДОПОЛНИТЕЛЬНЫЙ КОД, ОБРАТНЫЙ КОД, СЛОЖЕНИЕ ЧИСЕЛ

С использованием инструментальных средств САПР Quartus Prime проведен анализ арифметических и логических принципов работы сумматоров.

Разработаны планы тестирования для типовых реализаций сумматоров: сумматора и компаратора модулей чисел, сумматоров и компараторов чисел в обратных и дополнительных кодах, сумматора в формате с плавающей запятой.

Проведен анализ суммирования двоичных чисел в соответствии с разработанными планами тестирования.

СОДЕРЖАНИЕ

. Введение

## Цели и задачи

* Получение навыков работы с различными машинными форматами и кодами представления двоичных чисел; получение навыков по реализации сумматоров и компараторов на их основе.
* Исследование реализацию сумматора на логических элементах.
* Исследование работы двоичных сумматоров и компараторов чисел в формате с фиксированной запятой, выполняющих сложение в прямых, обратных и дополнительных кодах, реализованных с помощью библиотечного модуля.
* Исследование работы 32-х разрядного сумматора чисел в формате с плавающей запятой, реализованного с помощью библиотечного модуля.

## Основные термины и определения

a. Одноразрядный двоичный сумматор есть устройство с тремя входами и двумя выходами, работа которого может быть описана следующей таблицей истинности (см. табл. 1.1)  
Таблица 1.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Входы | | | Выходы | |
| Первое слагаемое | Второе слагаемое | Перенос | Сумма | Перенос |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Многоразрядный двоичный сумматор, предназначенный для сложения многоразрядных двоичных чисел, представляет собой комбинацию одноразрядных сумматоров.

Сложение (прибавление) — одна из основных бинарных математических операций (арифметических действий) двух аргументов (слагаемых), результатом которой является новое число (сумма), получаемое увеличением значения первого аргумента на значение второго аргумента. То есть каждой паре элементов из множества A ставится в соответствие элемент c = a + b, называемый суммой a и b.

с. Прямой код. Прямой код двоичного числа совпадает по изображению с записью самого числа. Значение знакового разряда для положительных чисел равно 0, а для отрицательных чисел 1.

Обратный код. Обратный код для положительного числа совпадает с прямым кодом. Для отрицательного числа все цифры числа заменяются на противоположные (1 на 0, 0 на 1), а в знаковый разряд заносится единица.

Дополнительный код. Дополнительный код положительного числа совпадает с прямым кодом. Для отрицательного числа дополнительный код образуется путем получения обратного кода и добавлением к младшему разряду единицы.  
В любом представлении старший бит определяет знак числа:  
0 - положительное число;  
1 - отрицательное число

d. Особенностью представления целых чисел со знаком в форме с фиксированной запятой в ЭВМ является использование прямого кода для положительных чисел и дополнительного кода – для отрицательных чисел.

При выполнении некоторых арифметических операций может возникать явление переполнения разрядной сетки. Причиной переполнения может служить суммирование двух чисел с одинаковыми знаками (для чисел с разными знаками переполнение не возникает), которые в сумме дают величину, большую или равную 1 (при сложении правильных дробей) и величины rn(при сложении целых чисел).

В результате сложения двух положительных чисел получено отрицательное число, что является ошибкой. Результат неверен также и по величине.

Для обнаружения переполнения можно использовать следующие признаки:

- знаки слагаемых не совпадают со знаком суммы;

- есть перенос только в знаковый или только из знакового разряда.

Если при сложении чисел с фиксированной запятой возникло переполнение, то вырабатывается сигнал переполнения разрядной сетки, и вычисления прекращаются.

Следует отметить, что при сложении чисел в дополнительном коде возможен случай, когда переполнение не фиксируется. Это происходит тогда, когда сумма модулей двух отрицательных чисел равна удвоенному весу единицы старшего разряда числа.

e. Действительные числа в обобщенном виде представляются следующим образом:

где signA – знак числа А (0 – для положительных, 1 – для отрицательных), МА – мантисса числа А, S – основание порядка, РА – порядок числа А. Основными особенностями представления чисел с плавающей запятой (плавающая точка) в современных ЭВМ являются:

* В качестве основания порядка в современных ЭВМ используются S=2 (двоичное представление мантиссы) и S=16 (шестнадцатеричное представление мантиссы). Основание 2 используется персональных компьютерах, а 16 – в компьютерах типа Мэйнфрейм (англ. Mainframe). Порядок числа представляет собой целое число со знаком.
* Преимущественное использование так называемых нормализованных чисел. Число с плавающей запятой называется нормализованным, если старшая цифра его мантиссы является значащей (не ноль).
* Порядок числа представляется не как целое число со знаком в явном виде, а в виде беззнакового числа, называемого смещенным порядком или характеристикой. При этом характеристика отличается от порядка на некоторую фиксированную для данного формата величину, называемую смещением (или смещением порядка)

,

где ХА – характеристика числа А, d – смещение порядка. Существует 2 подхода к выбору величины смещения:

* Величина смещения равна весу старшего разряда смещенного порядка (характеристики).
* Величина смещения равна весу старшего разряда смещения порядка, уменьшенного на 1.

Стандарт IEEE 754 определяет:

* как представлять нормализованные положительные и отрицательные числа с плавающей точкой;
* как представлять денормализованные положительные и отрицательные числа с плавающей точкой;
* как представлять нулевые числа;
* как представлять специальную величину бесконечность (Infinity);
* как представлять специальную величину "Не число" (NaN или NaNs);
* четыре режима округления.

Способы округления чисел по стандарту IEEE 754:

* Округление к ближайшему целому.
* Округление к нулю.
* Округление к +∞.
* Округление к -∞

В IEEE754 число «0» представляется значением со смещенным порядком, равным Х = Хmin -1 (для короткого формата это -127) и нулевой мантиссой.

Также в IEEE754 предусмотрено представление для специальных чисел, работа с которыми вызывает исключение. К таким числам относится бесконечность (±∞) и неопределенность (NaN). Эти числа позволяет вернуть адекватное значение при переполнении.

В IEEE754 NaN представлен как число, в котором Х = Хmax + 1, а мантисса не нулевая. Любая операция с NaN возвращает NaN.

NaN можно получить одним из следующих способов:

* ∞+(- ∞);
* 0 × ∞;
* 0/0, ∞/∞;
* sqrt(x), где x < 0

1. Исследование работы одноразрядного двоичного сумматора

## 1.1. Цели и задачи

* Синтезировать сумматор
* Создать проектный логический файл на основе предварительно разработанной схемы
* Смоделировать работу устройства

## 1.2. Синтез сумматора

## Исходные данные представлены в виде таблицы истинности (см. табл. 2.1)

## Таблица 2.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| a | b | cin | cout | s |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Используем формулы:

Получим функцию:

,

Где ,

,

,

,

Где

## 1.3. Синтез сумматора

Рисунок 2.1

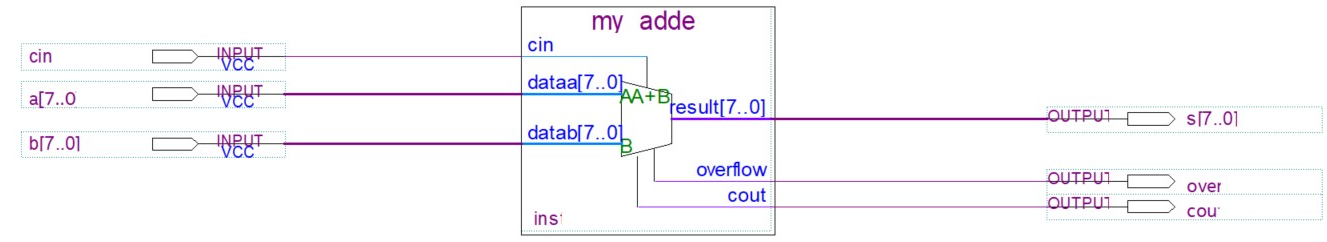
## 

## 1.4. Моделирование работы устройства

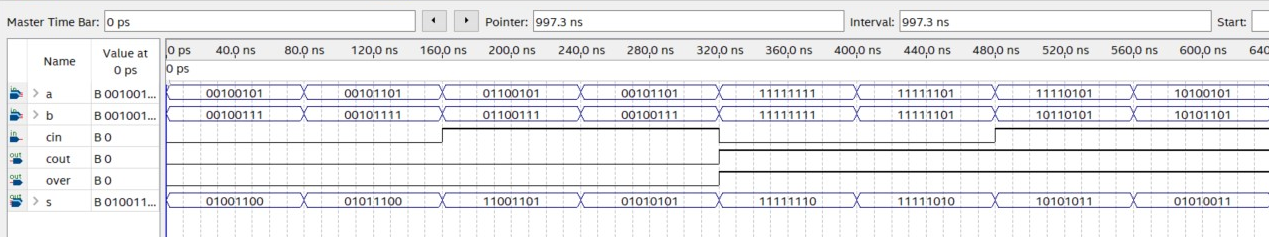
Рисунок 2.2

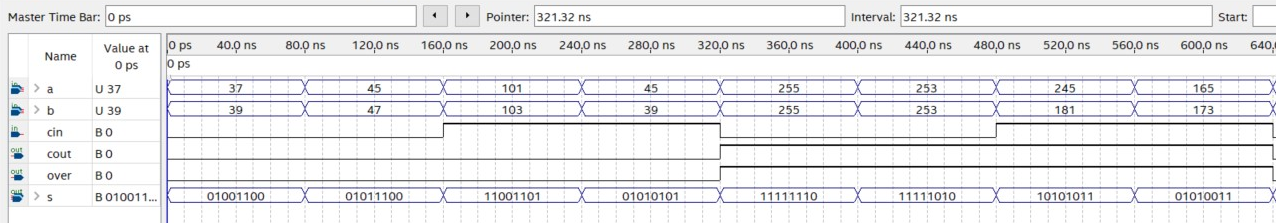
## 

2. ИССЛЕДОВАНИЕ СУММИРОВАНИЯ И СРАВНЕНИЯ ЧИСЕЛ БЕЗ ЗНАКА В ФОРМАТЕ С ФИКСИРОВАННОЙ ЗАПЯТОЙ

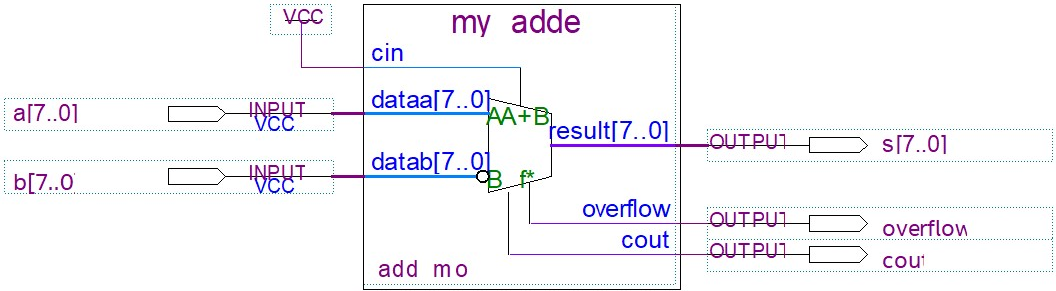


|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №  п/п | Тест | Входные воздействия | | | | | Результат | | | |
| a[7..0] | | b[7..0] | | cin | s[7..0] | | Cout/  over | Соот-  ветствует ожидаемому |
| двоичное | десятичное | двоичное | десятичное | двоичное | десятичное |
| 1 | Суммирование без переполнения | 0010010,1 | 18,5 | 0010011,1 | 19,5 | 0 | 00100110 | 38 | 0 | Да |
| 2 | 0010110,1 | 22,5 | 0010111,1 | 23,5 | 0 | 00101110 | 46 | 0 | Да |
| 3 | 0110010,1 | 50,5 | 0110011,1 | 51,5 | 1 | 1100110,1 | 102,5 | 0 | Да |
| 4 | 0010110,1 | 22,5 | 0010011,1 | 19,5 | 1 | 0100000,1 | 42,5 | 0 | Да |
| 5 | Суммирование с переполнением | 1111111,1 | 127,5 | 1111111,1 | 127,5 | 0 | 01111111 | 127 | 1 | Да |
| 6 | 1111110,1 | 126,5 | 1111110,1 | 126,5 | 0 | 01111101 | 125 | 1 | Да |
| 7 | 1111010,1 | 122.5 | 1011010,1 | 90.5 | 1 | 1010101,1 | 85,5 | 1 | Да |
| 8 | 1010010,1 | 82,5 | 1010110,1 | 86,5 | 1 | 0101001,1 | 41,5 | 1 | Да |





2.2.



|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №  п/п | Входные воздействия | | | | Результат | | | | |
| a[7..0] | | b[7..0] | | s[7..0] | | overflow | cout | Соответствует ожидаемому |
| двоичное | десятичное | двоичное | десятичное | двоичное | десятичное |
| 1 | 0010010.1 | 18.5 | 0001000.0 | 8 | 0001010.1 | 10.5 | 0 | 0 |  |
| 2 | 1101010.1 | 106.5 | 1111000.0 | 120 |  |  |  |  |  |
| 3 |  |  |  |  |  |  |  |  |  |
| 4 |  |  |  |  |  |  |  |  |  |
| 5 |  |  |  |  |  |  |  |  |  |
| 6 |  |  |  |  |  |  |  |  |  |
| 7 |  |  |  |  |  |  |  |  |  |
| 8 |  |  |  |  |  |  |  |  |  |

Список использованных источников

1. ГОСТ 7.32-2001. Система стандартов по информации, библиотечному и издательскому делу. Отчет о научно-исследовательской работе. Структура и правила оформления

2. Зыков А.Г., Поляков В.И. Арифметические основы ЭВМ. – Санкт-Петербург: СПб: Университет ИТМО, 2016. – 140 с.

3. Камкин А.C., Чупилко М.M. Тестирование модулей арифметики с плавающей точкой микропроцессоров на соответствие стандарту IEEE 754. [Труды Института системного программирования РАН, 2008.](http://hardware.ispras.ru/files/publications/2008-fpu-testing.pdf)

4. Hennessy, Patterson: Computer Architecture: A Quantitative Approach, 5th Edition. – Morgan Kaufmann. 2011. – Appendix J: Computer Arithmetic by David Goldberg.

5. Goldberg D. What every computer scientist should know about floating-point arithmetic // ACM Computing Surveys. 1991. – Т. 23. – № 1– С. 5–48.

6. Floating-Point IP Cores User Guide. ALTFP\_ADD\_SUB IP Core [Электронный ресурс] // Intel FPGA. URL: https://www.altera.com/content/dam/altera-www/global/en\_US/pdfs/literature/  
ug/ug\_altfp\_mfug.pdf (дата обращения: 04.05.2018).