

Control windows

External clock 输入一个外部的控制频率作为reference clock

Enable multipler 选择PLL信号的倍数，clock的的信号被加倍之后input到DDS 的核心中

CP current PLLL 的电流output，高电流ouput会让loop locking更快，但是噪声大

VCO Range 操作的频率范围，

XTAL out 3种drive strength

PPL lock 就是关闭状态 可以用Refresh 重新设置

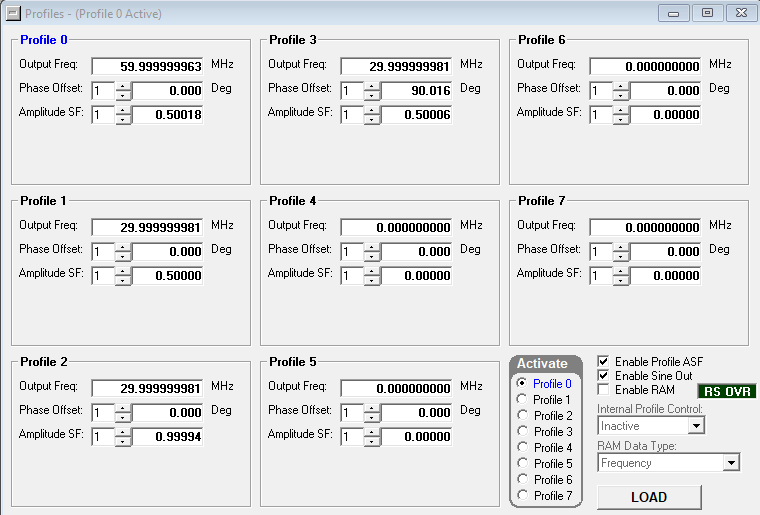
Setting I/O update options ： output 产生一个活跃的高脉冲，当internal I/O update 发生的时候，internal I/O updata可以被编程

Powering down： 控制特定的电路block 的 power down下来

Enable auto PD： pin是logic 0的时候 ； logic 1 的时候clock refresh

AUX DAC control

Loading Data 用来把data发送到AD9910中，当新的data被探测到的时候LOAD就变成橙色，click LOAD把这个信息输送到进去

PROFILES Windows User

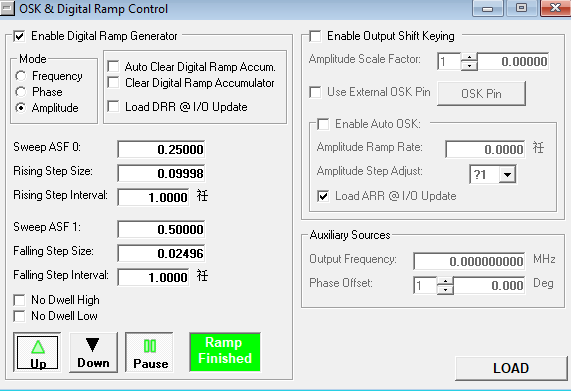
Single-tone模式

Output freq用来设定DDS产生的信号，AD9910产生sin cos波

Phase offset 控制DDS output的相位，可以从0-360 用的16bit resolution

Amplitude SF 数字控制amplitude

OSK & Digital Ramp Control Windows User， 参数变化装置



三种mode frequency phase 和 amplitude

Sweep 0 是开始value

Sweep 1是结束value

Rising step size 和 falling step size 是 设置rise 和 down 的步长

Rising step interval 和 falling 。。。 是设置每步的时间长度

UP DOWN 是调整的方向

RAM operation

每一个RAM segment 模块都对应一个不同的profile， RAM segment 0 是 profile 0。

Beginning address 和 final address 用来设置RAM sweep

Mode control 3\*-bit一个控制word mode

Activate area 是在profile之间交流的