

Projeto Base do Jogo do Desafio da Memória

Versão 2023

OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Projeto de um sistema digital a partir de sua especificação;
- Revisão de código de componentes;
- Projeto de fluxo de dados e de unidade de controle de circuitos digitais;
- Síntese em uma placa FPGA, usando Quartus Prime.

RESUMO

Esta experiência tem como objetivo o início do desenvolvimento do circuito digital do Jogo do Desafio da Memória usando VHDL em uma placa FPGA. A experiência usa como base um fluxo de dados proposto, e a unidade de controle deve ser projetada tendo como base uma especificação do funcionamento do jogo.

1. PARTE EXPERIMENTAL

A parte experimental desta experiência visa iniciar o desenvolvimento do circuito base do projeto da disciplina, o Jogo do Desafio da Memória. O projeto deve ser sintetizado na placa DE0-CV com o FPGA Cyclone V 5CEBA4F23C7N. Posteriormente, deve-se executar um estudo detalhado de seu funcionamento por meio da execução de um plano de testes minucioso.

Esta experiência será dividida em algumas atividades, de tal forma a orientar o desenvolvimento do projeto de forma incremental.

1.1. Atividade 1 – Projeto Lógico do Jogo Base do Desafio da Memória

Nesta primeira atividade, será desenvolvido o projeto lógico do Jogo Base do Desafio da Memória, tendo como referências uma descrição do funcionamento do Jogo e os circuitos desenvolvidos nas experiências anteriores. Tais projetos das experiências anteriores devem ser revisados e ajustados para a especificação do projeto desta experiência (refatoração de código).

- a) Considere um sistema digital com a interface externa de sinais conforme diagrama de blocos da Figura 1. O circuito digital deve implementar um jogo similar ao Modo 2 dos brinquedos Genius [7] e Simon [8], denominado “O Desafio de Genius”. Neste jogo, o jogador deve repetir a sequência de sinais que o jogo apresenta nos LEDs de saída. **Ao término de cada sequência, a sequência anterior é apresentada com uma jogada a mais.** Uma jogada é realizada com o acionamento de um dos quatro botões de entrada.

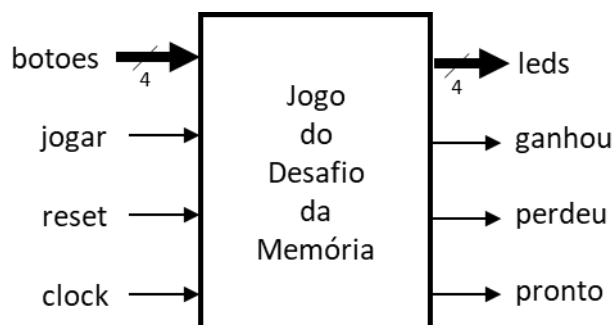


Figura 1: Diagrama de Blocos da Interface Externa de Sinais do Circuito para a Atividade 1

Na descrição prévia e no diagrama de blocos da Figura 1, não estão especificados **sinais adicionais de depuração**. Cabe ao grupo definir quais sinais de depuração devem ser acrescentados à interface de forma a garantir a realização eficiente de atividades de teste e de depuração e, depois, uma demonstração efetiva do circuito ao professor. Ao longo do enunciado da experiência, algumas sugestões são apresentadas com base em saídas de depuração já utilizadas em experiências anteriores.

O **funcionamento do sistema digital** da experiência deve seguir as **instruções de jogo** subsequentes:

Como jogar:

1. Para iniciar o jogo, aperte o botão JOGAR.
2. O circuito apresenta a primeira jogada, ativando um dos LEDs de saída.
3. As jogadas a serem realizadas estão armazenadas em uma memória do circuito.
4. O jogador deve acionar o botão de entrada associado ao LED da jogada apresentada.
5. A qualquer jogada realizada com o acionamento de um dos botões de entrada, o respectivo LED de saída deve indicar o botão acionado.
6. O jogador deve agora repetir as duas primeiras jogadas em sequência.
7. O jogo continua com o jogador repetindo as jogadas em sequência com tamanho incrementado por um (p.ex. três, quatro, cinco, etc).
8. O jogador vai ganhar o jogo se conseguir repetir a maior sequência, composta por 16 jogadas. Isso é sinalizado pelo sinal de saída GANHOU.
9. Se cometer um erro em qualquer jogada ou se demorar mais de 5 segundos para efetuar uma jogada, o jogador vai perder o jogo. Isso é sinalizado pelo sinal de saída PERDEU.
10. Em ambas as situações de término (itens “8” e “9”), o final de jogo também é sinalizado pela saída PRONTO.
11. Depois do final do jogo anterior, para iniciar um novo jogo, basta apertar novamente o botão JOGAR.
12. Se desejar parar um jogo em andamento, basta apertar o botão RESET.

O funcionamento do Jogo Base do Desafio da Memória pode ser descrito pelo pseudocódigo da Figura 2. Alterações notáveis em relação às experiências anteriores são salientadas em **azul**.

Dica: Notar que o pseudocódigo da Figura 2 não prevê o tratamento do sinal *reset*. Este deve ser feito conforme especificado nas instruções do jogo.

- b) A partir da especificação fornecida do Jogo Base do Desafio da Memória, desenvolva um **diagrama de alto nível** que descreve o funcionamento do circuito digital. Use comandos escritos e testes de condição em linguagem natural.
- c) Analisando o pseudocódigo e o diagrama de alto nível, identifique os componentes do Fluxo de Dados e apresente um diagrama de blocos do circuito do Fluxo de Dados, destacando também os sinais de controle e os sinais de condição.
- d) Em seguida, elabore o **diagrama de transição de estados da Unidade de Controle**. Mostre as transições de estados e a geração dos sinais de controle.
- e) Projete o circuito digital do Jogo Base do Desafio da Memória, compondo o Fluxo de Dados e Unidade de Controle.

Algoritmo: Jogo Base do Desafio da Memória

entradas: jogar, botoes

saídas: leds, ganhou, perdeu, pronto

depuração (sugestão): contagem, memoria, rodada, estado, jogada_feita, enderecoIgualRodada, jogada_correta, timeout

```

1. {
2.   while (verdadeiro) {
3.     espera acionamento do sinal JOGAR
4.
5.     inicia circuito para as condições iniciais
6.     apresenta jogada inicial
7.
8.     enquanto não atingir o final do jogo e não ocorrer uma jogada errada {
9.       reinicia rodada (sequência de jogadas)
10.
11.      enquanto não atingir jogada final da sequência atual e jogada foi correta {
12.        espera jogada
13.        compara jogada efetuada com jogada armazenada
14.        atualiza (incrementa) endereço da próxima jogada
15.      }
16.
17.      vai para próxima rodada (próxima sequência)
18.    }
19.
20.    se atingiu o final do jogo acertando todas as jogadas {
21.      então { // ganhou o jogo
22.        ativa saída GANHOU
23.        ativa saída PRONTO
24.        espera acionamento do sinal JOGAR
25.        reinicia o jogo
26.      }
27.    }
28.
29.    se jogada errada ou demorou mais de 5 segundos para fazer a jogada {
30.      então { // perdeu o jogo
31.        ativa saída PERDEU
32.        ativa saída PRONTO
33.        espera acionamento do sinal JOGAR
34.        reinicia o jogo
35.      }
36.    }
37.  }
38. }

```

Figura 2: Pseudocódigo do Jogo Base do Desafio da Memória da Experiência 5

- f) Implemente o circuito da experiência em VHDL. Ao descrever a entidade topo (componente principal) do circuito, adote a interface (mínima) da Figura para o nome da entidade e os sinais principais de entrada e saída.

NOTA: outras interfaces de depuração podem ser adicionadas a critério da equipe, mas a nomenclatura e as interfaces mínimas definidas na Figura devem ser obrigatoriamente adotadas.

```
entity circuito_jogo_base is
  port (
    clock    : in  std_logic;
    reset    : in  std_logic;
    iniciar  : in  std_logic;
    botoes   : in  std_logic_vector(3 downto 0);
    leds     : out std_logic_vector(3 downto 0);
    pronto   : out std_logic;
    ganhou   : out std_logic;
    perdeu   : out std_logic;
    -- acrescentar saidas de depuracao
  );
end entity;
```

Figura 3: Interface Mínima de Sinais da Entidade Topo `circuito_jogo_base`

- g) Elabore um **Plano de Testes** para estudar o funcionamento do circuito de tal forma a considerar diversos cenários de teste (por exemplo, jogo com vencedor, perda do jogo com erro na 2ª jogada da 4ª rodada, jogo com *timeout* na 3ª jogada da 2ª rodada, jogar duas vezes consecutivamente, etc.) com um conjunto mínimo de casos de teste que ateste o funcionamento básico do Jogo Base do Desafio da Memória. Para cada cenário do Plano de Testes vislumbrado pelo grupo, gere uma tabela seguindo a estrutura da Tabela 1 e inclua, em cada etapa, os sinais de entrada necessários para executar cada operação e os resultados esperados.

Nota Importante: Cada cenário de teste deve ser executado **separadamente**. Deve haver uma tabela com os testes específicos para cada cenário exercitado.

Tabela 1: Modelo de Tabela para cada Cenário do Plano de Testes

Cenário #i – Descrição do Cenário				
#	Operação	Sinais de Entrada	Resultado Esperado	Resultado Observado
c.i.	Condições Iniciais			
1				
2				
3				
...				
n				

- h) Execute **simulações do circuito** com o ModelSim usando o Plano de Testes elaborado para testar o funcionamento do seu circuito. Submeta os arquivos de *testbench* usados junto com o Planejamento.

DICA: elabore um arquivo de *testbench* (bancada de testes) para cada cenário de teste.

- i) Crie um projeto no Intel Quartus Prime referente ao circuito da Atividade 1. Documente o projeto elaborado no Planejamento e, ao final, submeta também o arquivo QAR (`exp5_TxByy-atividadel.qar`).
- j) Gere saídas da ferramenta **RTL Viewer** para o circuito digital e para o fluxo de dados e da ferramenta **State Machine Viewer**.

1.2. Atividade 2 – Implementação e Síntese do Sistema Digital

Esta atividade tem como objetivo a implementação e a síntese do circuito projetado na Atividade 1 na placa FPGA DE0-CV. Em seguida, esse circuito deve ser estudado, e seu comportamento deve ser validado conforme projetado.

- k) Sintetize o projeto do circuito no FPGA Cyclone V 5CEBA4F23C7N da placa DE0-CV. Para isso, adote a designação mínima de pinos da placa DE0-CV da Tabela 2 e complete-a com os dados faltantes no Planejamento – incluindo os sinais de depuração definidos no projeto do grupo.

Tabela 2: Designação de Pinos para a Atividade 2

	Sinal	Pino na Placa DE0-CV	Pino no FPGA	Analog Discovery
entradas	CLOCK	GPIO_0_D0		Patterns – Clock – 1 KHz – DIO
	RESET	GPIO_0_D1		StaticIO – Button 0/1 – DIO1
	INICIAR	GPIO_0_D3		StaticIO – Button 0/1 – DIO2
	BOTOES(0)	GPIO_0_D11		StaticIO – Button 0/1 – DIO4
	BOTOES(1)	GPIO_0_D13		StaticIO – Button 0/1 – DIO5
	BOTOES(2)	GPIO_0_D15		StaticIO – Button 0/1 – DIO6
	BOTOES(3)	GPIO_0_D17		StaticIO – Button 0/1 – DIO7
saídas	PERDEU	GPIO_1_D11		StaticIO – LED – DIO8
	GANHOU	GPIO_1_D13		StaticIO – LED – DIO9
	PRONTO	GPIO_1_D15		StaticIO – LED – DIO10
	LEDS(0)	GPIO_1_D17		StaticIO – LED – DIO12
	LEDS(1)	GPIO_1_D19		StaticIO – LED – DIO13
	LEDS(2)	GPIO_1_D21		StaticIO – LED – DIO14
	LEDS(3)	GPIO_1_D23		StaticIO – LED – DIO15
depuração (sugestão)	db_clock	Led LEDR0		-
	db_tem_jogada	Led LEDR1		-
	db_jogada_correta	Led LEDR2		-
	db_enderecoIgualRodada	Led LEDR3		-
	db_timeout	Led LEDR4		-
	db_contagem	Display HEX0		-
	db_memoria	Display HEX1		-
	db_jogada_feita	Display HEX2		-
	db_rodada	Display HEX3		-
	db_estado	Display HEX5		-

- l) Executa a ligação dos sinais entre a placa FPGA e o Analog Discovery.
- m) Programe o projeto sintetizado na placa FPGA DE0-CV.
- n) Configure as ferramentas do Analog Discovery, ajuste a frequência de clock de 1 KHz, e execute o acionamento das sequências de sinais de entrada dos cenários do Plano de Testes do circuito da experiência. Anote os resultados experimentais obtidos para cada cenário.
- o) Analise os resultados obtidos e elabore um resumo do funcionamento do circuito estudado.
- p) Submeta o arquivo QAR final desta atividade (exp5_TxByy-atividade2-final.qar) junto com o Relatório.

1.3. Atividade 3 – Desafio: Modificação do Sistema Digital

Esta atividade tem como objetivo praticar atividades de projeto de sistemas digitais. O circuito deve ser modificado a partir do projeto da Atividade 1.

- q) A especificação de uma modificação ao circuito da experiência será fornecida pelo professor.
- r) Projete a modificação do sistema digital e documente-a no relatório.
- s) Elabore um Plano de Testes para verificar o funcionamento do circuito, projetando-o para atestar o funcionamento das modificações introduzidas e a não regressão das demais funcionalidades não afetadas pela modificação (isto é, que as demais funcionalidades do circuito seguem inalteradas com a modificação). Para cada cenário do Plano de Testes vislumbrado pelo grupo, gere uma tabela seguindo a estrutura da Tabela 1 (ver Atividade 1) e inclua, em cada etapa, os sinais de entrada necessários para executar cada operação e os resultados esperados.
- t) Realize algumas **simulações do projeto** com o ModelSim executando os cenários do Plano de Testes do item anterior. Inclua as formas de onda obtidas na documentação da experiência.
- u) Sintetize o projeto do circuito no FPGA Cyclone V 5CEBA4F23C7N da placa DE0-CV. Para isto, adote a mesma designação de pinos da Atividade 2 e complete-a com os dados faltantes. **Sinais adicionais de depuração** podem ser incluídos conforme a necessidade (consulte a designação de pinos disponível no e-Disciplinas e documente-a no relatório).
- v) Programe o projeto na placa DE0-CV.
- w) Execute o acionamento da sequência de sinais de entrada conforme Plano de Testes elaborado. Anote os resultados experimentais obtidos.
- x) Submeta o arquivo QAR final desta atividade (exp5_TxByy_desafio.qar) junto com o Relatório.

2. BIBLIOGRAFIA

- [1] ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.
- [2] ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. **Tutorial para criação de circuitos digitais hierárquicos em VHDL no Quartus Prime 16.1**. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.
- [3] ALTERA / Intel. **DE0-CV User Manual**. 2015.
- [4] ALTERA / Intel. **Quartus Prime Introduction Using VHDL Designs**. 2016.
- [5] ALTERA / Intel. **Quartus Prime Introduction to Simulation of VHDL Designs**. 2016.
- [6] D'AMORE, R. **VHDL - descrição e síntese de circuitos digitais**. 2ª edição, 2012.
- [7] ESTRELA. **Genius: manual do jogo**. s.d.
- [8] HASBRO. **Simon instruction sheet**. 2013.
- [9] WAKERLY, John F. **Digital Design Principles & Practices**. 4th edition, Prentice Hall, 2006.

3. EQUIPAMENTOS NECESSÁRIOS

- 1 computador pessoal com os softwares Intel Quartus Prime e Intel ModelSim.
- 1 placa de desenvolvimento com FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.
- 1 dispositivo Analog Discovery da Digilent ou equivalente.

Histórico de Revisões

E.T.M. / 2018 (versão inicial)
 E.T.M. & A.V.S.N / 2021 (revisão e adaptação para ensino remoto)
 E.T.M. & A.V.S.N / 2022 (revisão e adaptação do projeto)
 E.T.M. / 2023 (revisão, reorganização e adaptação para ensino presencial)