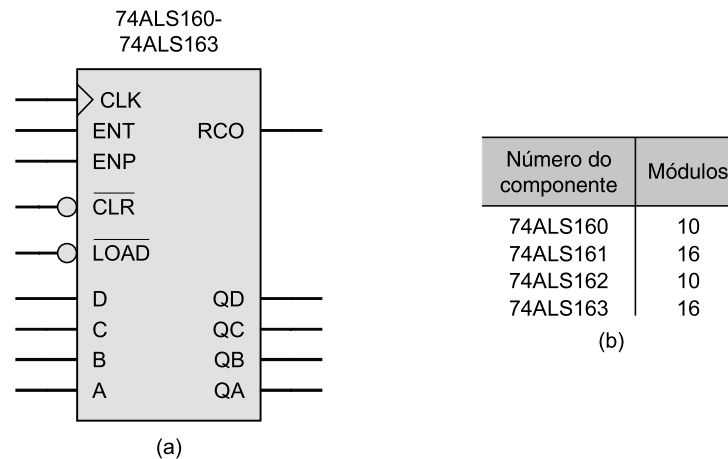


7.7 CIRCUITOS INTEGRADOS DE CONTADORES SÍNCRONOS

As séries 74ALS160-163/74HC160-163

A Figura 7.13 mostra o símbolo lógico, o módulo e a tabela de funções para a série de circuitos integrados de contadores de 74ALS160 a 74ALS163 (e seus equivalentes CMOS, de 74HC160 a 74HC163). Esses contadores autorrecicláveis, de quatro bits, têm saídas denominadas QD , QC , QB , QA , sendo QA o LSB e QD o MSB. Seu clock é ativado por uma borda de subida aplicada a CLK. Cada um dos quatro dispositivos diferentes possui uma combinação de duas variações de recursos. Como você pode ver na Figura 7.13(b), dois dos contadores são de módulo 10 (74ALS160 e 74ALS162), enquanto os outros dois são binários de módulo 16 (74ALS161 e 74ALS163). A outra diferença está na operação da função clear [sombreada na Figura 7.13(c)]. Tanto o 74ALS160 quanto o 74ALS161 possuem uma entrada clear assíncrona. Isso



74ALS160-74ALS163 Tabela de funções

\overline{CLR}	\overline{LOAD}	ENP	ENT	CLK	Função	Número de componentes
L	X	X	X	X	Clear assíncrono	74ALS160 & 74ALS161
L	X	X	X	↑	Clear síncrono	74ALS162 & 74ALS163
H	L	X	X	↑	Carga síncrona	Todos
H	H	H	H	↑	Contagem crescente	Todos
H	H	L	X	X	Sem mudança	Todos
H	H	X	L	X	Sem mudança	Todos

(c)

FIGURA 7.13 Série de contadores síncronos 74ALS160 a 74ALS163: (a) símbolo lógico; (b) módulos; (c) tabela de funções.

significa que, assim que o nível \overline{CLR} vai para BAIXO (\overline{CLR} é ativo-em-baixo em todos os quatro componentes), a saída do contador é resetada para 0000. Por outro lado, os CIs dos contadores 74ALS162 e 74ALS163 são limpos sincronamente. Para esses contadores serem limpos sincronamente, a entrada \overline{CLR} precisa estar no nível BAIXO e uma borda de subida precisa ser aplicada à entrada de clock. A entrada clear tem precedência sobre todas as outras funções nessa série de CIs de contadores. Clear se sobrepõe (*over-ride*) a todas as outras entradas de controle, como indicam os Xs na tabela de funções da Figura 7.13(c).

A segunda função em precedência disponível nessa série de CIs de contadores é a carga paralela de dados nos flip-flops do contador. Para carregar os valores de dados, torne a entrada clear inativa (ALTO), aplique o valor de quatro bits desejado aos pinos de entrada de dados D, C, B, A (A é o LSB e D é o MSB), aplique um nível BAIXO ao controle \overline{LOAD} de entrada e, então, aplique um clock no CI com uma borda de subida. A função carga é, desse modo, síncrona e tem prioridade sobre a contagem, portanto não importa que níveis lógicos são aplicados a ENT ou ENP . Para contar a partir do estado preset, será necessário desabilitar a carga (colocando-a em nível ALTO) e habilitar a contagem. Se a função carga estiver inativa, não importa o que é aplicado aos pinos de entrada de dados.

Para habilitar a contagem, a função de menor prioridade, tanto as entradas de \overline{CLR} quanto as \overline{LOAD} de controle precisam estar inativas. Além disso, há dois controles em nível ativo ALTO para habilitar a contagem (count), ENT e ENP , que são, essencialmente, unidos por um AND para controlar a função count. Se qualquer um dos controles de **habilitação da contagem**, ou ambos, estiverem inativos (BAIXO), o contador ficará no estado atual. Portanto, para incrementar a contagem a cada borda de subida em CLK , as quatro entradas de controle precisam estar em nível ALTO. Quando se conta, os contadores decádicos (74ALS160 e 74ALS162) voltarão automaticamente a 0000 após o estado 1001 (9), e os contadores binários (74ALS161 e 74ALS163) reciclarão após 1111 (15).

Essa série de CIs de contadores possui mais um pino de saída, RCO . A função dessa saída de nível ativo ALTO é detectar (*decodificar*) o estado último ou terminal do contador. O estado terminal de um contador decádico é 1001 (9), enquanto o de um contador de módulo 16 é 1111 (15). ENT , a entrada de habilitação da primeira contagem, também controla a operação de RCO e precisa estar em nível ALTO para que o contador indique com a saída RCO que chegou a seu estado terminal. Você verá que esse recurso é bastante útil quando se conectam dois ou mais CIs de contadores em um arranjo de múltiplos estágios para criar contadores maiores.

Exemplo 7.10

Consulte a Figura 7.14, em que você pode ver os sinais de entrada de um 74HC163 em um diagrama de tempo. As entradas de dados paralelos estão permanentemente conectadas em 1100. Suponha que o contador esteja inicialmente no estado 0000. Determine as formas de onda das saídas.

Solução

Inicialmente (em t_0), todas as saídas dos FFs estão em nível BAIXO. Como esse não é o estado terminal do contador, RCO também está em nível BAIXO. A primeira borda de subida em CLK ocorre no instante t_1 e, como todas as entradas de controle estão em nível ALTO, o contador sobe para 0001. O contador continua contando em ordem crescente a cada borda de subida até t_2 . A entrada \overline{CLR} está em nível BAIXO em t_2 . Isso reseta o contador sincronamente até 0000 em t_2 . Depois de t_2 , a entrada \overline{CLR} se torna inativa (ALTO), então o contador começa a contar em ordem crescente outra vez a partir de 0000, a cada borda de subida subsequente. A entrada de carga está no nível BAIXO em t_3 . Isso carrega sincronamente o valor de dados aplicado 1100 (12) no contador em t_3 . Após t_3 , a entrada de carga se torna inativa (ALTO),

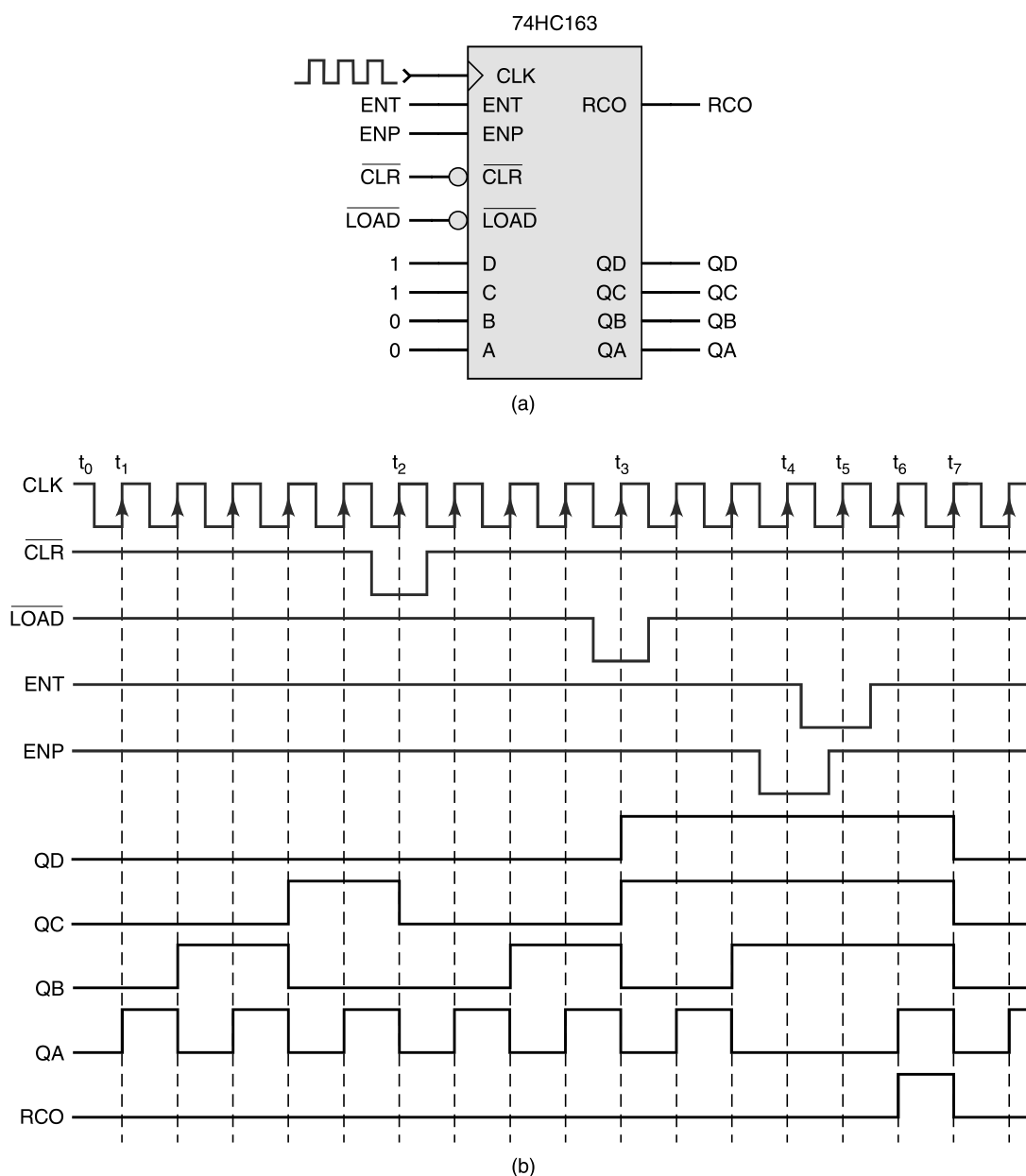


FIGURA 7.14 Exemplo 7.10.

portanto o contador continua contando de modo crescente a partir de 1100 a cada borda de subida subsequente, até chegar a t_4 . A saída do contador não muda em t_4 ou t_5 , já que ENT ou ENP (entradas de habilitação de contagem) estão no nível BAIXO. Isso suspende a contagem em 1110 (14). Em t_6 , o contador é habilitado outra vez e conta em ordem crescente até 1111 (15), seu estado terminal. Em consequência, a saída RCO se torna de nível ALTO. Em t_7 , outra borda de subida em CLK faz com que o contador retorne a 0000 e RCO volte à saída de nível BAIXO.

Exemplo 7.11

Consulte a Figura 7.15, em que você pode ver os sinais de entrada de um 74HC160 em um diagrama de tempo. As entradas de dados paralelos estão permanentemente conectadas em 0111. Suponha que o contador esteja inicialmente no estado 0000 e determine as formas de ondas da saída do contador.

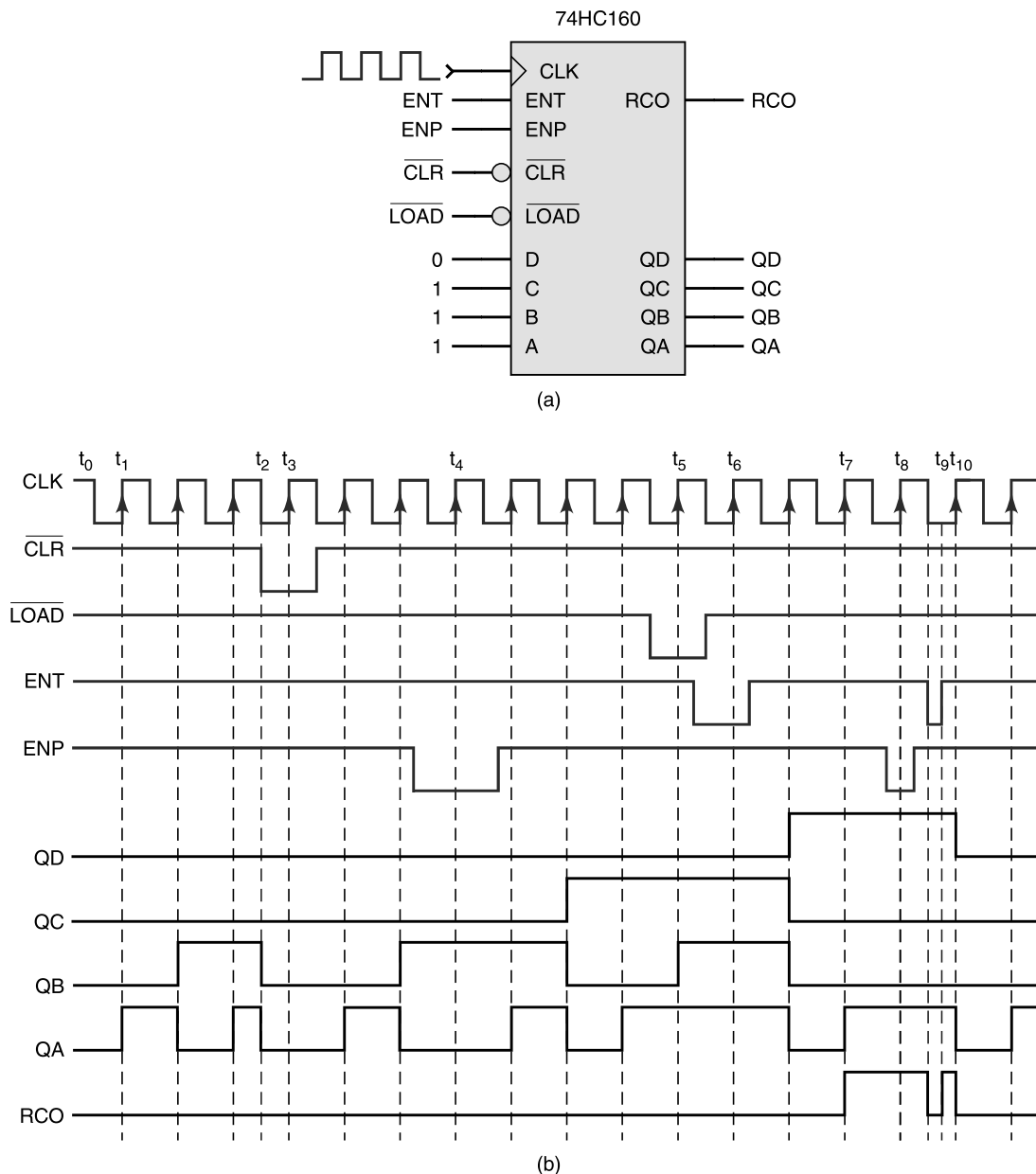


FIGURA 7.15 Exemplo 7.11.

Solução

Inicialmente (em t_0) os FFs do contador estão em nível BAIXO. Como esse não é o estado terminal do contador BCD, o *RCO* da saída também será de nível BAIXO. A primeira borda de subida na entrada *CLK* ocorre em t_1 e, como todas as entradas de controle estão em nível ALTO, o contador incrementará até 0001. O contador continua a contagem crescente a cada borda de subida até t_2 . A entrada assíncrona \overline{CLR} vai para nível BAIXO em t_2 e reseta imediatamente o contador a 0000 nesse ponto. Em t_3 , a entrada \overline{CLR} ainda está no nível ativo (BAIXO), então a borda de subida da entrada *CLK* será ignorada, e o contador permanecerá em 0000. Mais tarde, a entrada \overline{CLR} passará novamente a ser inativa, e o contador contará em ordem crescente até 0001 e depois até 0010. Em t_4 , a habilitação da contagem *ENP* está em nível BAIXO, então a contagem se mantém em 0010. Nas subseqüentes bordas de subida da entrada *CLK*, o contador está habilitado e conta crescentemente até t_5 . A entrada de carga está em nível BAIXO em t_5 . Isso carregará sincronamente o valor de dados aplicado 0111 (7) no contador em t_5 . Em t_6 , a habilitação *ENT* está em nível BAIXO, então a contagem se mantém em 0111. Nas duas bordas de subida subseqüentes após t_6 , o contador continuará contando em ordem crescente, já que foi reabilitado. Em t_7 , o contador *BCD* chega a seu estado terminal 1001 (9) e a saída *RCO* vai para o nível ALTO. Em t_8 , *ENP* está no nível BAIXO e o contador para de contar (permanecendo em 1001). Em t_9 , enquanto *ENT* está em nível BAIXO, a saída *RCO* será desabilitada de modo a voltar ao nível BAIXO, embora o contador ainda esteja em seu estado terminal (1001). Lembre-se de que apenas *ENT* controla a saída *RCO*. Quando *ENT* volta ao nível ALTO durante o estado terminal do contador, *RCO* vai para nível ALTO outra vez. Em t_{10} , o contador está habilitado; ele retorna a 0000 e então conta até 0001 na última borda de subida.

As séries 74ALS190-191/74HC190-191

A Figura 7.16 mostra o símbolo lógico, o módulo e a tabela de funções da série de CIs de contadores 74ALS190 e 74ALS191 (e seus equivalentes CMOS, 74HC190 e 74HC191). Esses contadores autorregressivos de quatro bits possuem saídas denominadas *QD*, *QC*, *QB*, *QA*, sendo *QA* o LSB e *QD* o MSB. Seu clock é ativado por uma borda de subida aplicada a *CLK*. A única diferença entre os dois componentes é o módulo do contador. O 74ALS190 é um contador de módulo 10, e o 74ALS191 é um contador binário de módulo 16. Ambos os CIs são contadores crescentes/decrescentes e possuem entrada de carga assíncrona, de nível ativo BAIXO. Isso significa que, assim que \overline{LOAD} for para esse nível, o contador será carregado com os dados paralelos nos pinos de entrada *D*, *C*, *B*, *A* (*A* é o LSB e *D* é o MSB). Se a função de carga estiver inativa, não importa o que é aplicado aos pinos de entrada de dados. A entrada de carga tem precedência sobre a função de contagem.

Para contar, a entrada de controle de carga deve estar inativa (nível ALTO) e o controle da habilitação da contagem \overline{CTEN} deve estar em nível BAIXO. O sentido da contagem é controlado pela entrada de controle D/\overline{U} . Se D/\overline{U} estiver em nível BAIXO, a contagem será incrementada a cada borda de subida em *CLK*, enquanto em nível ALTO em D/\overline{U} decrementará a contagem. Ambos os contadores reciclam automaticamente, seja qual for o sentido de contagem. O contador decádico retorna a 0000 após o estado 1001 (9), quando está contando em ordem crescente, ou para 1001 após o estado 0000, quando está contando em ordem decrescente. O contador binário retorna a 0000 após 1111 (15), quando conta em ordem crescente, ou para 1111 após o estado 0000, quando conta em ordem decrescente.

Esses CIs de contador possuem mais dois pinos de saída, *MAX/MIN* e \overline{RCO} . *MAX/MIN* é uma saída de nível ativo ALTO que detecta (decodifica) o estado terminal do contador. Como eles são contadores crescentes/decrescentes, o estado

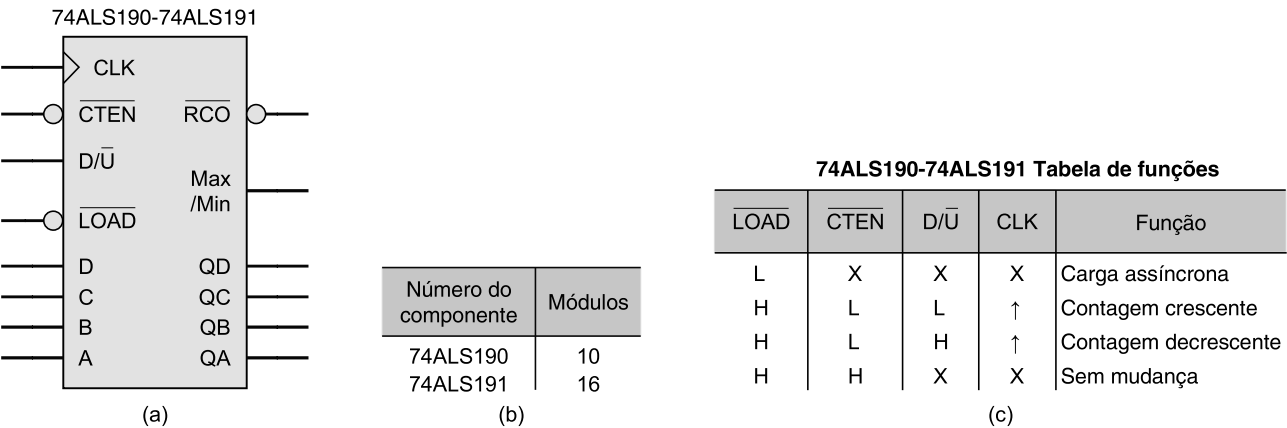


FIGURA 7.16 As séries de contadores síncronos 74ALS190-74ALS191: (a) símbolo lógico; (b) módulo; (c) tabela de funções.

terminal depende do sentido da contagem. O estado terminal (MIN) para ambos os contadores, quando estão contando em ordem decrescente, é 0000 (0). Entretanto, quando estão contando em ordem crescente, o estado terminal (MAX) para um contador decádico é 1001 (9), enquanto para um contador de módulo 16 é 1111 (15). Observe que *MAX/MIN* detecta apenas um estado na sequência de contagem — depende apenas de a contagem estar em ordem crescente ou decrescente. A saída de nível ativo BAIXO \overline{RCO} também detecta o estado terminal adequado ao contador, mas o processo é um pouco mais complicado. Primeiro porque só está habilitada quando \overline{CTEN} está em nível BAIXO. Além disso, \overline{RCO} só está em nível BAIXO enquanto a entrada *CLK* também estiver em nível BAIXO. Assim, de modo geral, \overline{RCO} imita a forma de onda de *CLK* durante o estado terminal enquanto o contador estiver habilitado.

Exemplo 7.12

Consulte a Figura 7.17, em que os sinais de entrada de um 74HC190 são fornecidos em um diagrama de tempo aplicado. As entradas de dados paralelos estão permanentemente conectadas em 0111. Suponha que o contador esteja inicialmente no estado 0000 e determine as formas de onda da saída do contador.

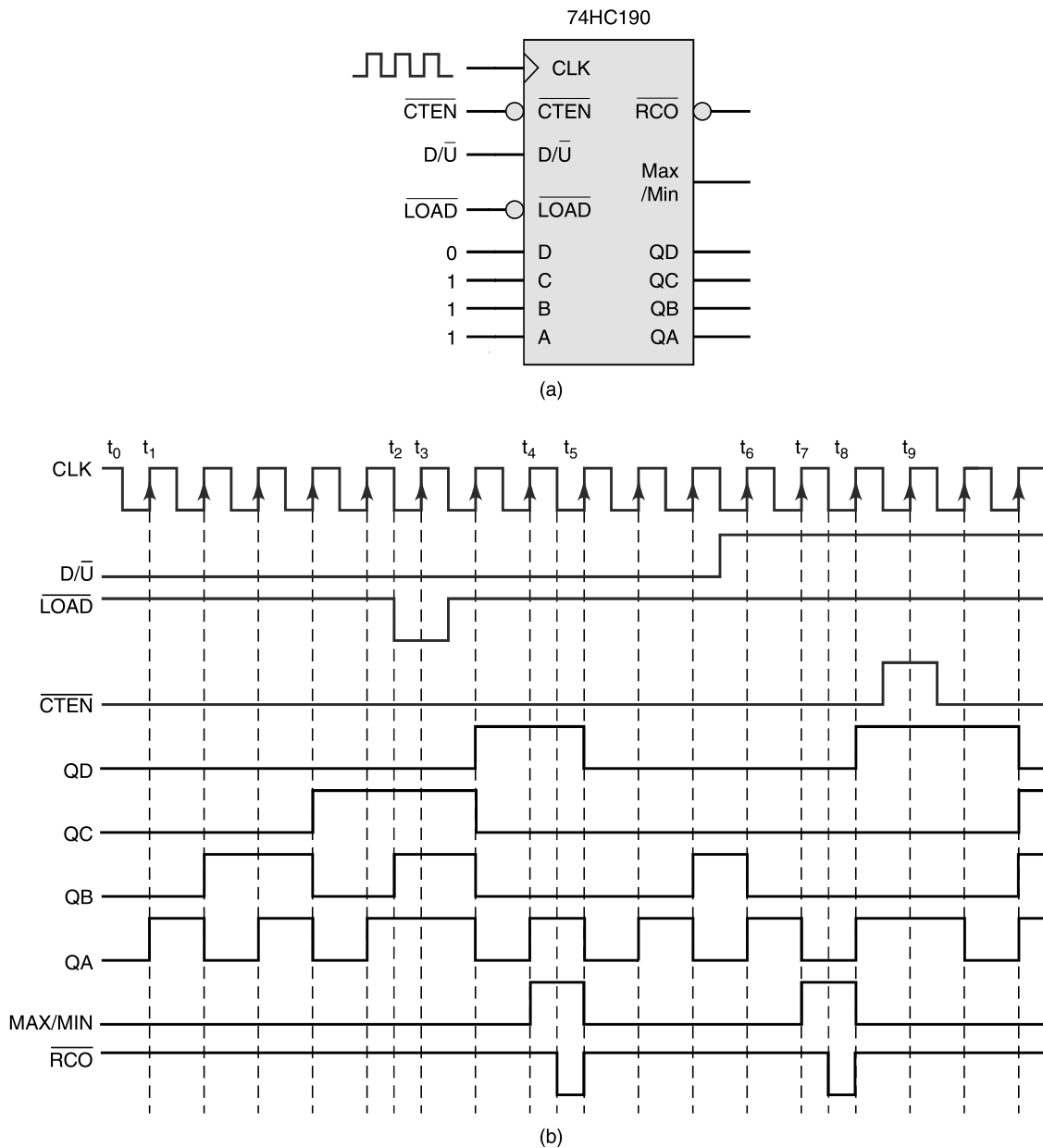


FIGURA 7.17 Exemplo 7.12.

Solução

Inicialmente (em t_0), os FFs do contador estão em nível BAIXO. Visto que o contador está habilitado ($\overline{CTEN} = 0$) e o controle do sentido da contagem $D/\overline{U} = 0$, o contador BCD começa a contar em ordem crescente na primeira borda de subida aplicada a CLK em t_1 e continua a contagem crescente a cada borda de subida até t_2 , em que a contagem chega a 0101. A entrada assíncrona de carga vai para o nível BAIXO em t_2 e carrega imediatamente 0111 no contador nesse ponto. Em t_3 , a entrada de carga ainda está em nível ativo (BAIXO), então a borda de subida da entrada CLK é ignorada e o contador permanece em 0111. Mais tarde, a entrada de carga vai novamente para o nível ALTO e o contador conta em ordem crescente até 1000 na próxima borda de subida. Em t_4 , o contador incrementa até 1001, estado terminal para um contador BCD crescente, e a saída MAX/MIN vai para o nível ALTO. Durante t_5 , o contador está em seu estado terminal e a entrada CLK está em nível BAIXO, então \overline{RCO} vai para o nível BAIXO. Nas bordas de subida subsequentes na entrada CLK, o contador retorna a 0000 e continua a contagem crescente até t_6 . Logo antes de t_6 , o controle D/\overline{U} passa para nível ALTO. Isso faz o contador contar em ordem decrescente em t_6 e novamente em t_7 , em que está no estado 0000, que é terminal, já que agora estamos contando em ordem decrescente, e MAX/MIN produz um nível ALTO. Durante t_8 , quando a entrada CLK vai para nível BAIXO, a saída \overline{RCO} será BAIXO outra vez. Em t_9 , o contador é desabilitado com $\overline{CTEN} = 1$ e fica parado em 1001. Nos subsequentes pulsos de CLK, o contador continua a contagem decrescente.

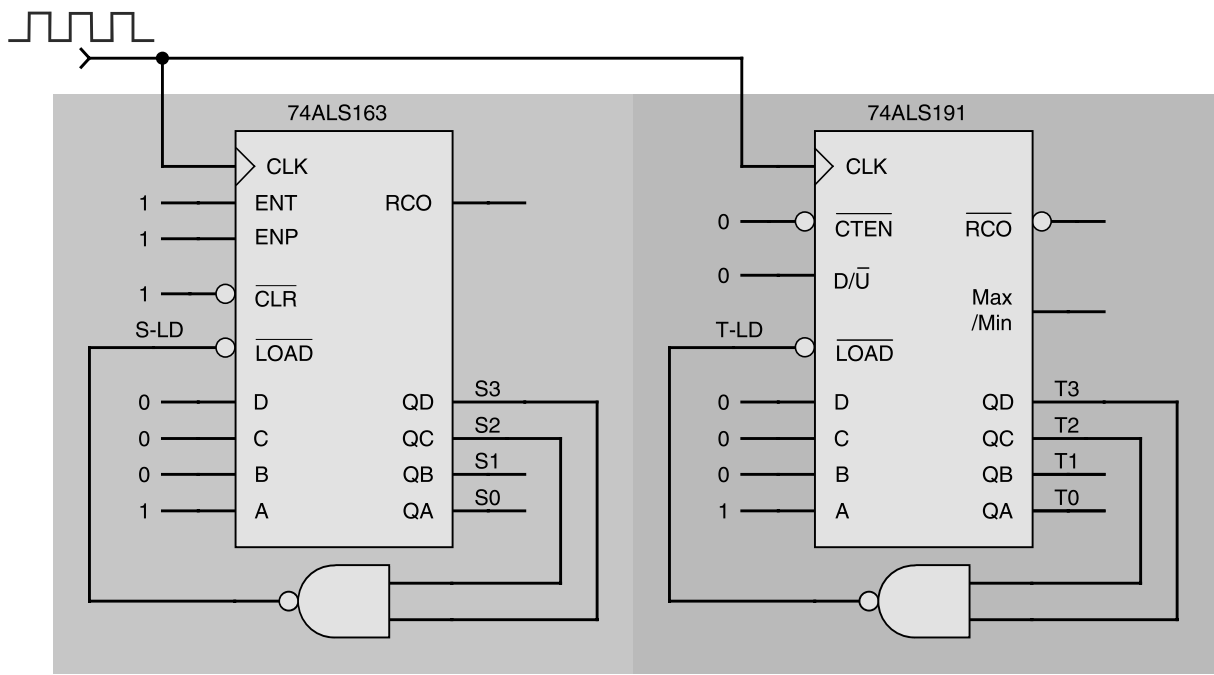
Exemplo 7.13

Compare o funcionamento de dois contadores, um com carga síncrona e outro com carga assíncrona. Consulte a Figura 7.18(a), em que um 74ALS163 e um 74ALS191 foram conectados de maneira semelhante para contar em binário em ordem crescente. Ambos os chips são acionados pelo mesmo sinal de clock, e suas saídas QD e QC passam por uma operação NAND para controlar os respectivos controles de entrada de carga. Suponha que ambos os contadores estejam inicialmente no estado 0000.

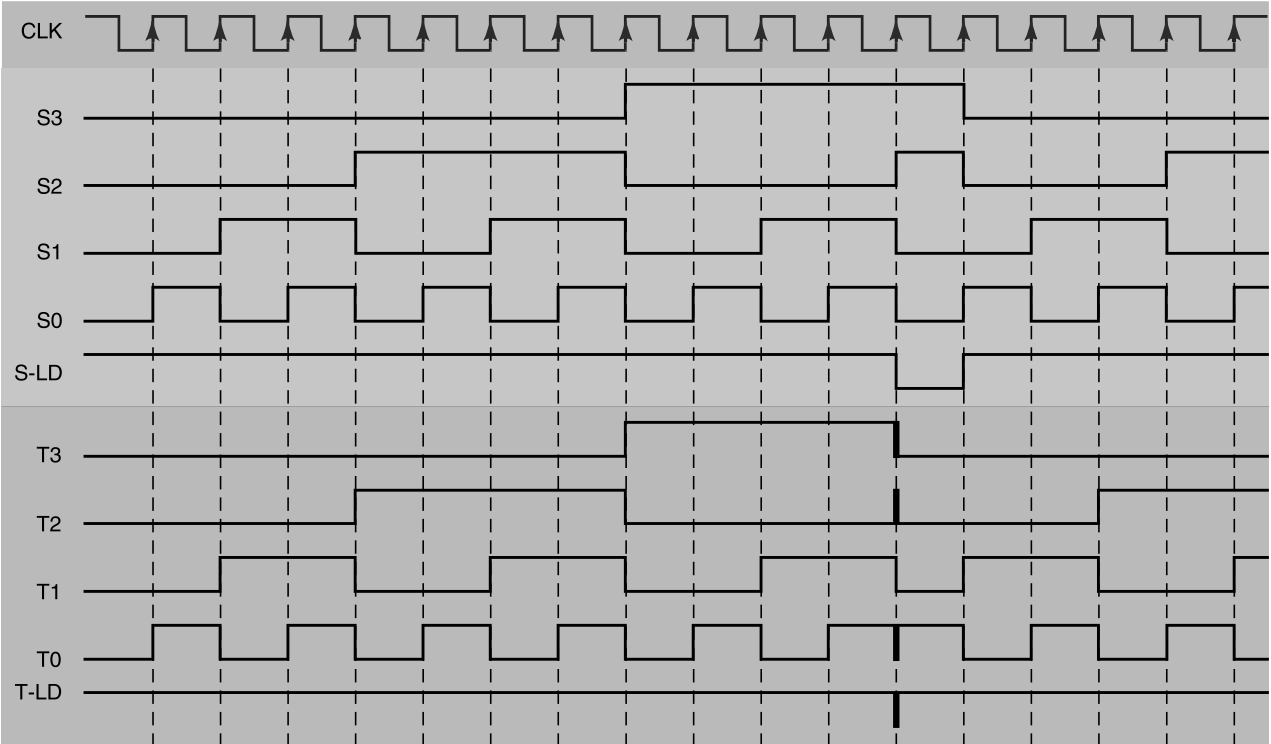
- Determine a forma de onda da saída de cada contador.
- Qual é a sequência de contagem de reciclagem e o módulo de cada contador?
- Por que eles têm sequências de contagem diferentes?
- Desenhe o diagrama de transição de estado completo (incluindo todos os 16 estados) para cada contador.

Solução

- Começando no estado 0000, cada contador contará em ordem crescente até chegar ao estado 1100 (12), como mostra a Figura 7.18(b). A saída de cada porta NAND aplicará nível BAIXO à respectiva entrada de carga naquele momento. O 74ALS163 possui um \overline{LOAD} síncrono e esperará até a próxima borda de subida em CLK para carregar 0001 no contador. O 74ALS191 possui \overline{LOAD} assíncrono e carregará 0001 imediatamente no contador. Isso tornará o estado 1100 temporário para o 74ALS191. O estado temporário produzirá alguns *spikes* ou *glitches* em algumas das saídas do contador devido às suas rápidas mudanças de estados.
- O circuito do 74ALS163 possui uma sequência de contagem de reciclagem de 0001 até 1100 e é um contador de módulo 12. O circuito do 74ALS191 possui uma sequência de contagem de reciclagem de 0001 até 1011 e é de módulo 11. Os estados temporários não são incluídos na determinação do módulo de um contador.
- Os circuitos dos contadores têm sequências de contagem diferentes porque um possui carga síncrona e o outro, assíncrona.
- Os diagramas de transição de estado são mostrados na Figura 7.18(c). Ambos os contadores vão contar até alcançar o estado 1100, ponto em que a porta NAND habilita o controle \overline{LOAD} . Com o 74ALS163, o próximo estado será 0001 quando o contador for disparado. A porta NAND trata os três outros estados (1101, 1110 e 1111) da mesma maneira e vai carregar 0001 no próximo clock. Já que a função LOAD para um 74ALS191 é assíncrona, cada um dos quatro estados (11XX) detectados pela porta NAND carregam imediatamente 0001 no contador. Isto tornará cada um destes estados transitórios quando (ou se) ocorrerem. As condições de transitoriedade são mostradas como linhas tracejadas no diagrama de transição de estados. Observe que o estado 0000 não ocorre novamente na sequência de contagem para qualquer dos contadores.



(a)



(b)

FIGURA 7.18 Exemplo 7.13. (continua)

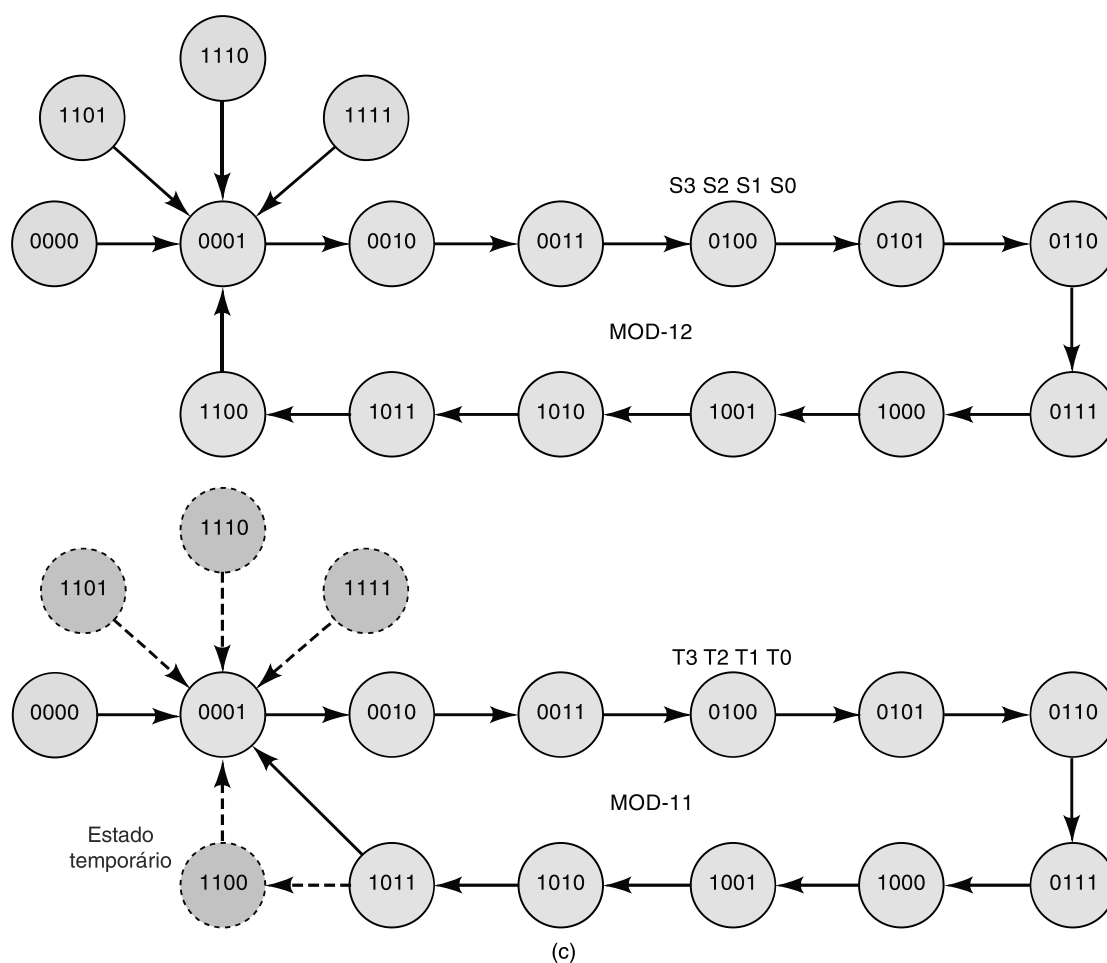


FIGURA 7.18 (continuação) Exemplo 7.13.

Contador de múltiplos estágios

Muitas saídas de CIs de contadores foram projetadas para facilitar a conexão de múltiplos CIs para criar circuitos com extensão de contagem mais ampla. Todos os CIs de contadores apresentados nesta seção podem ser conectados em uma configuração de **múltiplos estágios** ou em **cascata**. Na Figura 7.19, dois CIs 74ALS163 estão conectados em configuração de um contador de dois estágios que produz uma sequência binária de reciclagem de 0 a 255 para um módulo máximo de 256. Aplicar um nível BAIXO à entrada \overline{CLR} limpa sincronamente ambos os estágios do contador, e aplicar um nível BAIXO em \overline{LD} carrega sincronamente o contador de oito bits com o valor binário nas entradas $D7, D6, D5, D4, D3, D2, D1, D0$ ($D0 = \text{LSB}$). O bloco à esquerda (estágio 1) é o estágio de baixa ordem e fornece as saídas menos significativas $Q3, Q2, Q1, Q0$ (com $Q0$ como LSB) do contador. O estágio 2 à direita fornece as saídas mais significativas $Q7, Q6, Q5, Q4$ (com $Q4$ como MSB).

EN , a habilitação para o contador de oito bits, está conectada à entrada ENT no estágio 1. Observe que precisamos usar a entrada ENT , e não ENP , porque apenas ENT controla a saída RCO . Usar ENT e RCO torna a **conexão em cascata** bastante simples. Aplica-se um clock síncrono unindo ambos os blocos do contador, mas o bloco à direita (estágio 2) permanece desabilitado até que o nibble de saída menos significativo tenha chegado ao estado terminal, o que será indicado pela saída $TC1$. Quando $Q3, Q2, Q1, Q0$ chegam a 1111, e se EN for ALTO, $TC1$ resulta em nível ALTO. Isso permite que ambos os estágios do contador aumentem uma unidade na próxima borda de subida do clock. O estágio 1 voltará a 0000 e o estágio 2 sofrerá um incremento desde o estado da saída anterior. $TC1$ voltará ao nível BAIXO, já que o estágio 1 não está mais em seu estado terminal. Com os pulsos de clock subsequentes, o estágio 1 continuará a contar em ordem crescente se $EN = 1$ até chegar novamente a 1111 e o processo se repetir. Quando o contador de oito bits chegar a 11111111, retornará a 00000000 no próximo pulso de clock.

CIs adicionais do contador 74ALS163 podem ser conectados em cascata da mesma maneira. O $TC2$ pode ser conectado ao controle ENT do próximo CI, e assim por diante. O $TC2$ será de nível ALTO quando $Q7, Q6, Q5, Q4$ for 1111 e $TC1$

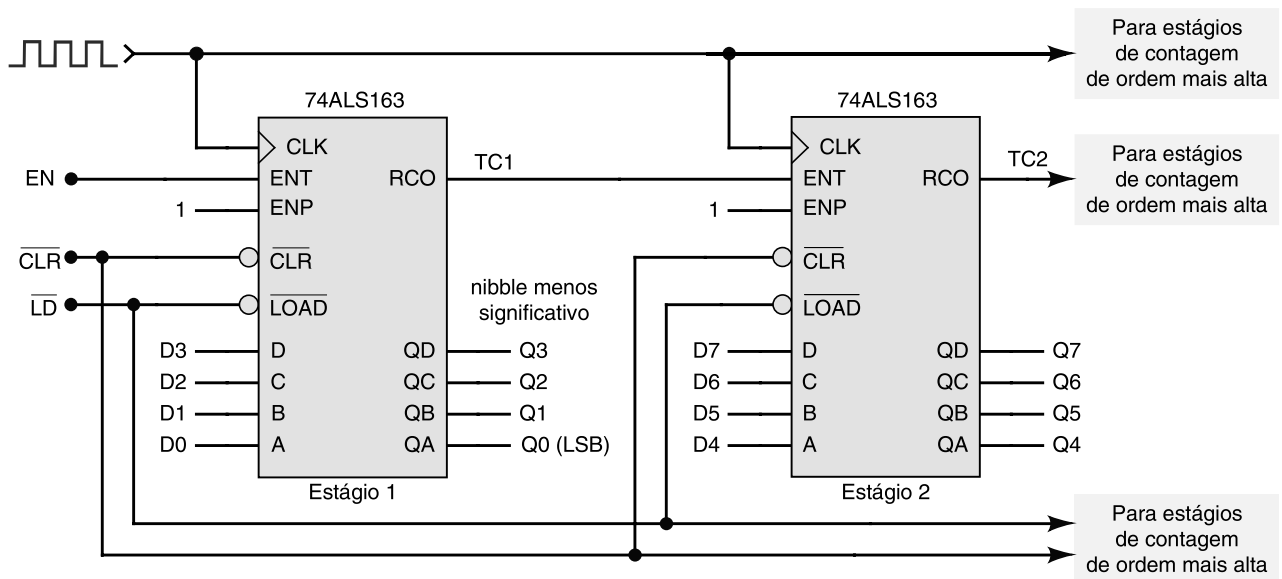


FIGURA 7.19 Dois 74ALS163s conectados em configuração de dois estágios para ampliar o intervalo máximo de contagem.

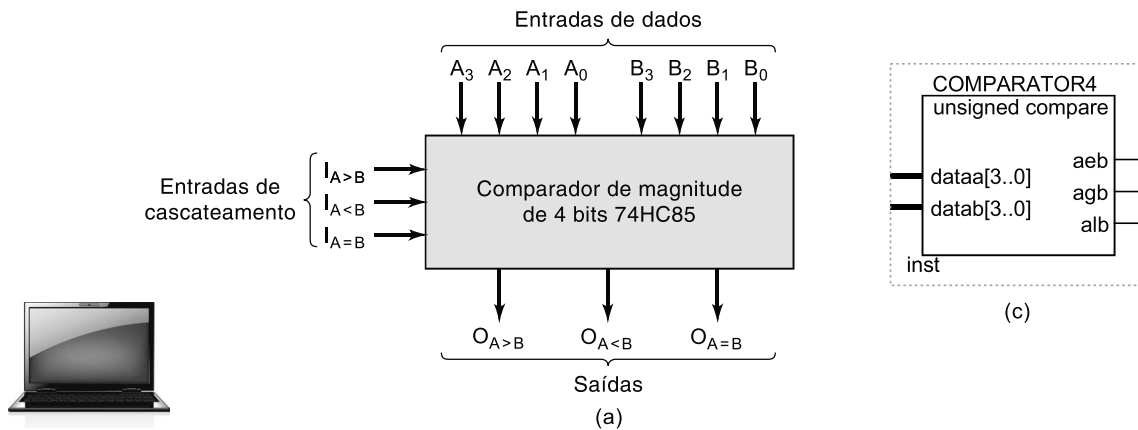
for ALTO, o que, por sua vez, significa que Q_3 , Q_2 , Q_1 e Q_0 também é igual a 1111 e EN é de nível ALTO. Essa técnica de conectar em cascata funciona para todos os CIs (de famílias TTL ou CMOS) nessa série, até para os contadores BCD. A série 74ALS190-191 (ou 74HC190-191) também pode ser conectada em cascata usando o ativo BAIXO \overline{CTEN} e pinos \overline{RCO} . Um **contador de múltiplos estágios** usando chips 74ALS190-191 conectados desse modo pode contar em ordem crescente ou decrescente.

Questões para revisão

1. Descreva a função das entradas de carga e D , C , B , A .
2. Descreva a função da entrada \overline{CLR} .
3. *Verdadeiro ou falso:* o 74HC161 não pode ser carregado enquanto \overline{CLR} estiver ativa.
4. Quais níveis lógicos têm de estar presentes nas entradas de controle para que o 74ALS162 conte os pulsos aplicados na CLK ?
5. Quais níveis lógicos têm de estar presentes nas entradas de controle para que o 74HC190 conte em ordem decrescente os pulsos aplicados na CLK ?
6. Qual seria a faixa de contagem máxima para um contador de quatro estágios construído com CIs 74HC163? Qual seria a contagem máxima para CIs 74ALS190?

9.10 COMPARADOR DE MAGNITUDE

Outro elemento útil da categoria de CIs MSI é o **comparador de magnitude**, circuito lógico combinacional que compara duas quantidades binárias e gera saídas para indicar qual tem a maior magnitude. A Figura 9.36(a) mostra o símbolo lógico e a parte (b) mostra a tabela-verdade do comparador de magnitude de quatro bits 74HC85. A Figura 9.36(c) mostra o símbolo de megafunção. Entradas em cascata não são necessárias em uma megafunção, pois não há necessidade de dispô-las dessa forma. Em vez disso, basta especificar portas de entrada de dados maiores.



TABELAS-VERDADE

COMPARANDO ENTRADAS				ENTRADAS DE CASCATEAMENTO			SAÍDAS		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	I _{A>B}	I _{A<B}	I _{A=B}	O _{A>B}	O _{A<B}	O _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L

H = Nível de tensão ALTO L = Nível de tensão BAIXO X = Irrelevante

(b)

FIGURA 9.36 (a) Símbolo lógico; (b) tabela-verdade para um comparador de magnitude de quatro bits 74HC85 (7485, 74LS85); (c) megafunção similar.

Entradas de dados

O 74HC85 compara dois números binários de quatro bits *sem sinal*. Um deles é $A_3A_2A_1A_0$, denominado palavra *A*; o outro é $B_3B_2B_1B_0$, denominado palavra *B*. O termo *palavra* é usado no campo dos computadores digitais para designar um grupo de bits que representa um tipo específico de informação. Nesse caso, a palavra *A* e a *B* representam quantidades numéricas.

Saídas

O 74HC85 tem três saídas ativas em nível ALTO. A saída $O_{A>B}$ estará em nível ALTO quando a magnitude da palavra *A* for maior que a da palavra *B*. A saída $O_{A<B}$, quando a magnitude da palavra *A* for menor que a magnitude da palavra *B*. A saída $O_{A=B}$, quando a palavra *A* e a palavra *B* forem idênticas.

Entradas de cascadeamento

As entradas de cascadeamento fornecem um meio de expandir a operação de comparação por mais de quatro bits, cascadeando dois ou mais comparadores de quatro bits. Observe que as entradas de cascadeamento são identificadas da mesma forma que as saídas. Quando uma comparação de quatro bits é realizada, como ilustra a Figura 9.37(a), elas devem ser conectadas conforme é mostrado para que a comparação produza saídas corretas.

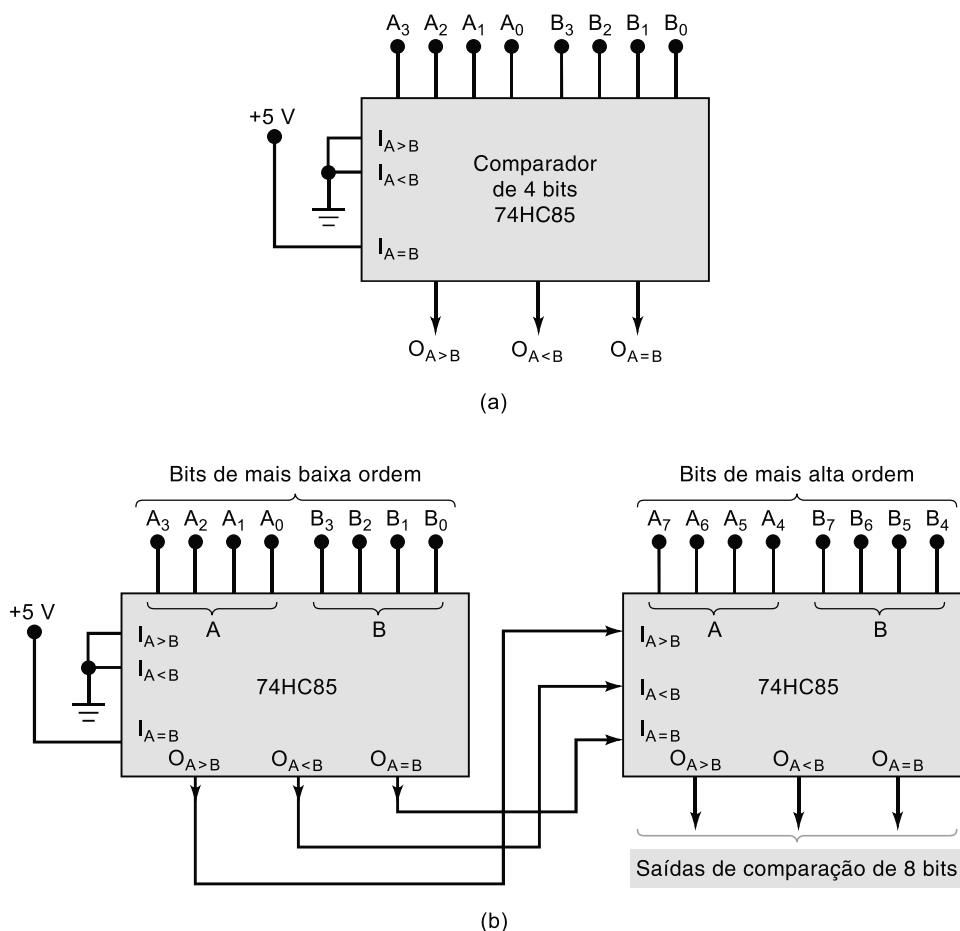


FIGURA 9.37 (a) 74HC85 conectado como comparador de quatro bits; (b) dois CIs 74HC85 cascadeados para formar um comparador de oito bits.

Quando dois comparadores são cascadeados, as saídas de mais baixa ordem de um comparador são conectadas nas correspondentes entradas de mais alta ordem do outro comparador. Isso é mostrado na Figura 9.37(b), em que o comparador da esquerda compara os quatro bits de mais baixa ordem das duas palavras de oito bits: $A_7A_6A_5A_4A_3A_2A_1A_0$ e $B_7B_6B_5B_4B_3B_2B_1B_0$. Suas saídas são ligadas nas entradas de cascadeamento do comparador da direita, que compara os bits de mais alta ordem. As saídas do comparador de mais alta ordem são as finais, que indicam o resultado da comparação de oito bits.

Exemplo 9.15

Descreva a operação de comparação de oito bits do circuito mostrado na Figura 9.37(b) para os seguintes casos:

- (a) $A_7A_6A_5A_4A_3A_2A_1A_0 = 10101111$; $B_7B_6B_5B_4B_3B_2B_1B_0 = 10110001$
 (b) $A_7A_6A_5A_4A_3A_2A_1A_0 = 10101111$; $B_7B_6B_5B_4B_3B_2B_1B_0 = 10101001$

Solução

- (a) O comparador de mais alta ordem compara as entradas $A_7A_6A_5A_4 = 1010$ e $B_7B_6B_5B_4 = 1011$ e gera $O_{A<B} = 1$ independentemente dos níveis aplicados nas entradas de cascadeamento provenientes do comparador de mais baixa ordem. Em outras palavras, uma vez que o de mais alta ordem detecta uma diferença nos bits de mais alta ordem das duas palavras de oito bits, ele sabe qual palavra de oito bits é maior sem ter de verificar o resultado da comparação de mais baixa ordem.
- (b) O comparador de mais alta ordem identifica que $A_7A_6A_5A_4 = B_7B_6B_5B_4 = 1010$; portanto, ele tem de observar suas entradas de cascadeamento para ver o resultado da comparação de mais baixa ordem. O comparador de mais baixa ordem tem $A_3A_2A_1A_0 = 1111$ e $B_3B_2B_1B_0 = 1001$, que gera um nível 1 na saída $O_{A>B}$ e na entrada $I_{A>B}$ do comparador de mais alta ordem, que detecta esse nível 1 e, visto que os dados de entrada são iguais, gera um nível ALTO em sua saída $O_{A>B}$ para indicar o resultado da comparação de oito bits.

Aplicações

Comparadores de magnitude também são úteis em aplicações de controle nas quais um número binário que representa uma variável física controlada (por exemplo: posição, velocidade ou temperatura) é comparado a um valor de referência. As saídas do comparador são usadas para atuar nos circuitos que levam as variáveis físicas em direção ao valor de referência. O exemplo a seguir ilustra uma aplicação. Analisaremos outra aplicação de comparador no Problema 9.52.

Exemplo 9.16

Considere um termostato no qual a medida de temperatura de uma sala é convertida em número digital e aplicada nas entradas A de um comparador. A temperatura desejada, informada por meio de um teclado, é armazenada em um registrador conectado às entradas B . Se $A < B$, o aquecedor deveria ser ativado para aquecer a sala. O aquecedor deveria continuar ligado enquanto $A = B$ e desligar quando $A > B$. Conforme o quarto esfriasse, o aquecedor deveria permanecer desligado enquanto $A = B$ e ser religado quando $A < B$. Que circuito digital poderia ser usado para interfacear um comparador de magnitude com o aquecedor para realizar essa aplicação de controle de termostato descrita?

Solução

Usar a saída $O_{A < B}$ para acionar diretamente o aquecedor poderia causar seu desligamento tão logo os valores se tornassem iguais. Isso provocaria um ciclo liga/desliga do aquecedor quando a temperatura atual estivesse muito próxima do limite entre $A < B$ e $A = B$. Usando um latch SET-CLEAR de porta NOR (consulte o Capítulo 5), como mostrado na Figura 9.38, o sistema opera conforme descrito. Observe que $O_{A < B}$ está conectado na entrada SET e $O_{A > B}$, na entrada CLEAR do latch. Quando a temperatura estiver mais alta que a desejada, ela limpará o latch, desligando o aquecedor. Quando estiver mais fria, o comparador setará o latch, ligando o aquecedor.

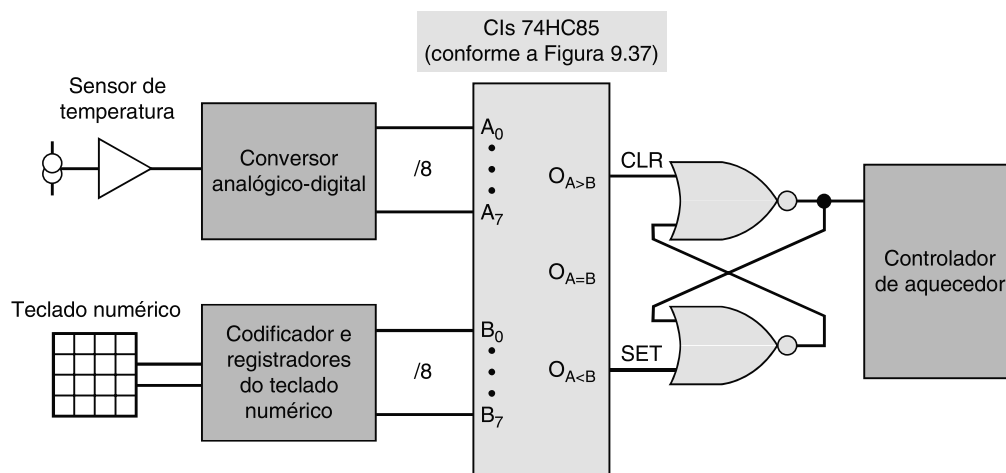


FIGURA 9.38 Comparador de magnitude usado em um termostato digital.

Questões para revisão

1. Qual é a finalidade das entradas de cascadeamento do 74HC85?
2. Quais são as saídas de um 74HC85 com as seguintes entradas: $A_3A_2A_1A_0 = B_3B_2B_1B_0 = 1001$, $I_{A > B} = I_{A < B} = 0$ e $I_{A = B} = 1$?
3. Por que não há entradas de cascadeamento em uma megafunção de comparador Quartus?