

Máquinas de Estado em VHDL

1. INTRODUÇÃO

Máquinas de estado são estruturas fundamentais em sistemas digitais, amplamente utilizadas em projetos que envolvem controle sequencial. Em VHDL, as máquinas de estado permitem o desenvolvimento de sistemas determinísticos, onde o comportamento depende tanto do estado atual quanto das entradas. Esse tipo de modelagem é essencial para projetar controladores, protocolos de comunicação, contadores, e diversos outros sistemas síncronos.

Uma máquina de estado finito (FSM - Finite State Machine) consiste em um conjunto finito de estados, transições entre esses estados e ações associadas. Há dois tipos principais de máquinas de estado utilizadas em hardware: Mealy e Moore. Em máquinas de Moore, as saídas dependem apenas do estado atual, enquanto em máquinas de Mealy as saídas dependem do estado atual e das entradas.

2. DESENVOLVIMENTO

2.1 Componentes de uma FSM

Uma FSM em VHDL possui três elementos fundamentais:

- Registro de estado: armazena o estado atual e é atualizado pelo clock.
- Lógica de transição: define como o próximo estado é determinado.
- Lógica de saída: define as saídas do sistema.

2.2 Exemplo de Máquina de Estado

A seguir, um exemplo simplificado de uma máquina de estado Moore em VHDL:

```
process(clk, reset)
begin
if reset = '1' then
state <= IDLE;
elsif rising_edge(clk) then
case state is
when IDLE =>
if start = '1' then
state <= RUN;
end if;
when RUN =>
if done = '1' then
state <= STOP;
end if;
when STOP =>
state <= IDLE;
```

```
end case;  
end if;  
end process;
```

2.3 Boas práticas

- Sempre declarar os estados como um tipo enumerado.
- Usar sinal de reset para inicialização.
- Separar a lógica de estado da lógica combinacional quando possível.

3. CONCLUSÃO

Máquinas de estado são essenciais no desenvolvimento de sistemas digitais síncronos utilizando VHDL. Elas fornecem uma forma organizada e clara de implementar lógica sequencial, permitindo o controle eficiente de operações complexas. Como elemento chave no design digital, seu domínio é crucial para engenheiros que trabalham com FPGA ou ASIC.

4. REFERÊNCIAS

ASHENDEN, Peter J. *The Designer's Guide to VHDL*. 3. ed. San Francisco: Morgan Kaufmann, 2008.

PEDRONI, Volnei A. *Circuit Design and Simulation with VHDL*. MIT Press, 2010.

BHASKER, J. *A VHDL Primer*. 3. ed. Upper Saddle River: Prentice Hall, 1999.