

Entidades e Arquiteturas no VHDL

No contexto da linguagem VHDL (VHSIC Hardware Description Language), as entidades e arquiteturas constituem a base para a modelagem e descrição de sistemas digitais. A entidade (entity) representa a interface do componente, especificando suas entradas e saídas, enquanto a arquitetura (architecture) define o comportamento interno e a implementação funcional do componente descrito pela entidade.

A entidade atua como uma descrição estrutural externa, permitindo que diferentes arquiteturas sejam associadas a uma mesma entidade, promovendo modularização e reuso de código. A arquitetura, por sua vez, pode ser desenvolvida de forma comportamental, estrutural ou RTL (Register Transfer Level), de acordo com o nível de abstração desejado pelo projetista.

Referências:

IEEE. IEEE Standard VHDL Language Reference Manual. IEEE Std 1076-2008.

ASHENDEN, Peter J. The Designer's Guide to VHDL. Morgan Kaufmann, 2010.