

# 1. IP 简介

本 IP 实现数字滤波器，适用于 Xilinx 器件，滤波系数可外部配置，滤波器阶数、系数对称性、数据占空比均可参数设置，在不同应用场景下自动调整 DSP 资源，接口简单，通用性强。

## 2. 性能指标

### 2.1 IP 特性

1. 滤波器系数可更新；
2. 滤波器阶数、系数对称性、数据输入占空比均参数化，根据参数配置生成计算结构和资源复用；
3. 目前仅支持 Xilinx 器件；
4. 通用功能，无插值、抽取功能。

### 2.2 资源

DSP 使用公式：

N 阶，系数不对称，数据连续输入：

N 个 DSP48

2×N+1 阶，系数对称，数据连续输入：

N 个 DSP48

N 阶，系数不对称，输入数据占空比为 M：

round(N/M)+1 个 DSP48

2×N+1 阶，系数对称，输入数据占空比为 M：

round(N/M)+1 个 DSP48

场合：Kirtex7-325T，16 位输入数据位宽，96 阶，系数不对称，输入数据连续

模块	LUT	Reg	DSP	BRAM
com_filter	10	3150	96	0

场合：Kirtex7-325T，16 位输入数据位宽，2\*96+1 阶，系数对称，输入数据连续

模块	LUT	Reg	DSP	BRAM
com_filter	510	4200	96	0

场合：Kirtex7-325T，16 位输入数据位宽，96 阶，系数不对称，输入数据占空比为 2

模块	LUT	Reg	DSP	BRAM
com_filter	2000	7300	49	0

场合：Kirtex7-325T，16 位输入数据位宽，96\*2+1 阶，系数对称，输入数据占空比为 2

模块	LUT	Reg	DSP	BRAM
com_filter	3150	13000	49	0.5

### 3.2 时序

编码已充分利用 DSP 自带寄存器，逻辑资源宽松时可达到 DSP 最大频率，逻辑资源紧张时，需具体分析时序报告，由于 DSP 位置固定，可在 DSP 间适当增加

寄存器，并在约束中固定最佳位置。

## 3. 功能描述

### 3.1 设计思路

数字滤波器实现公式为：

$$y(n) = \sum_1^N x(n) \cdot h(n)$$

其中， $y(n)$ 为滤波器输出， $x(n)$ 为滤波器输入， $h(n)$ 为滤波系数。

滤波器系数通常为奇数，以满足低通特性；对称排布，以保证相位线性。某些应用中也使用偶数阶和非对称系数，本 IP 支持奇数、偶数阶非对称，以及奇数阶对称格式。

对于奇数阶、对称的系数，可将上述公式等效为：

$$y(n) = x(N/2+1) \cdot h(N/2+1) + \sum_1^{N/2} (x(n) + x(N+1-n)) \cdot h(n)$$

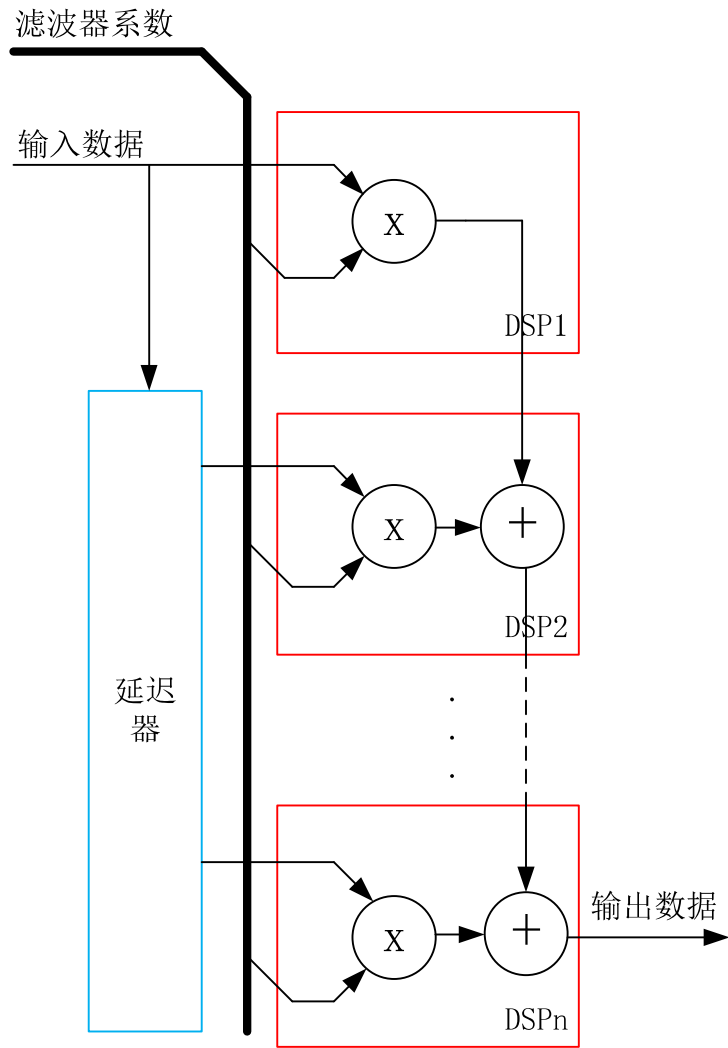
Xilinx FPGA 的计算单元为 DSP48，包含 A、B、C、D 4 个输入，由预加器、乘法器、累加器 3 层运算单元构成，不同器件的输入数据位宽和配置稍有区别。

实现时，应充分利用乘法器和累加器，对于对称系数，还需使用预加器，保证各系数与输入数据分别相乘，按流水线累加输出。

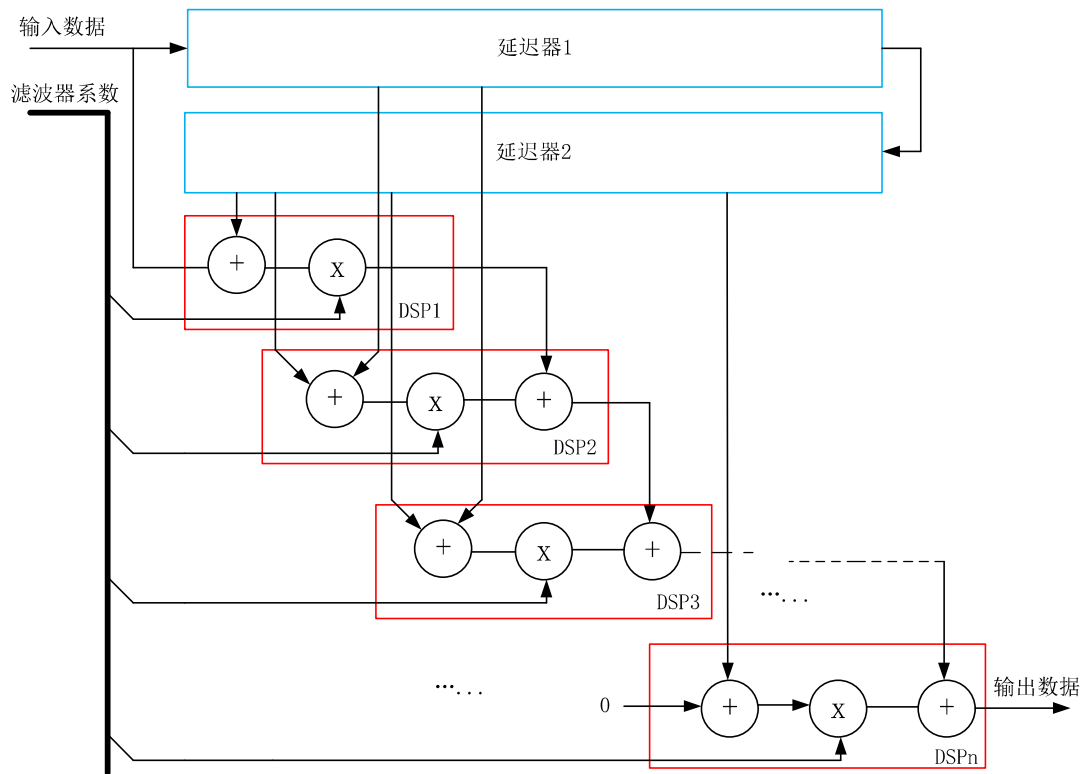
对于以一定占空比输入的数据，一个输入数据周期包含多个时钟周期，可分时复用 DSP 资源。

### 3.2 功能结构

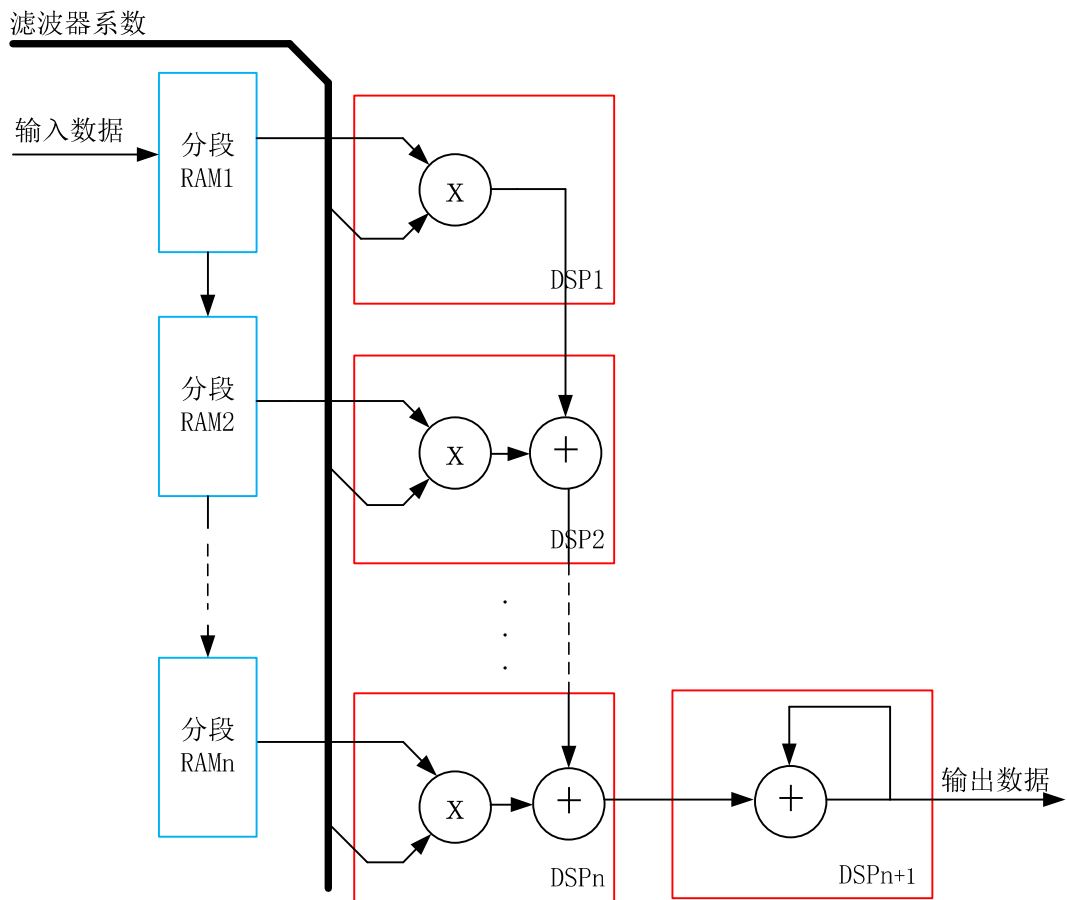
如下图 3-1—3-4 所示，同一时间每个 DSP 都在运算，输入数据运算上连续，DSP 输出呈流水结构，前级运算结果累加至后级，通过延迟器对齐时序。对于多周期输入的数据，通过分段式 RAM 来排序输入数据，复用 DSP 资源。



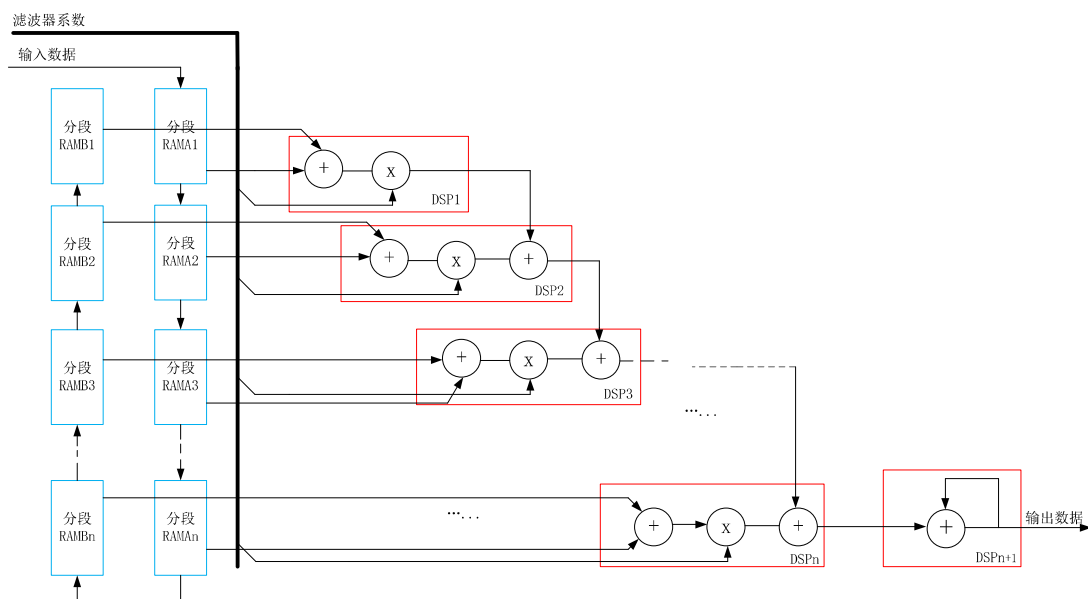
3-1 数据连续输入，非对称系数



3-2 数据连续输入，对称系数



3-3 数据多周期输入，非对称系数



3-4 数据多周期输入，对称系数

## 4. 参数及接口

表 4-1 全局参数表

名称	说明
C_XILINX_DEVICE	Xilinx 器件 "spartan6": spartan6 器件 "virtex6": virtex6、7series 器件
C_DWIDTH	输入数据位宽 注：位宽不超过 DSP48 的乘法器输入端口宽度
C_CWIDTH	系数位宽 注：位宽不超过 DSP48 的乘法器输入端口宽度
C_CNUM	滤波器阶数 非对称系数时，滤波器阶数为 C_CNUM 对称系数时，滤波器阶数为 $C\_CNUM \times 2 + 1$ 注：对称系数，偶数阶暂不支持
C_SYMMETRY	滤波器系数格式 1: 对称系数 0: 非对称系数
C_CYCLE_NUM	数据输入格式 1: 数据连续输入 N: 每 N 个时钟周期数据输入一次，占空比为 $1/N$ 注：非 0 正整数
C_OUT_UPPBIT	输出数据最高有效位 DSP48 输出为 48 位，输入数据位宽、滤波器系数位宽、

	滤波器阶数共同决定了数据有效范围,用户根据上述参数计算好范围后,将最高有效位设置,截取此位后C_DWIDTH 长度作为输出 注: 不小于 C_DWIDTH
--	--

表 4-2 接口表

名称	位宽	方向	说明
I_clk	1	输入	时钟
I_rst	1	输入	同步复位, 高有效
I_data	参数设置	输入	输入数据
I_data_v	1	输入	输入数据有效指示, 高有效
I_coef	参数设置	输入	滤波器系数 需要连续输入
I_coef_v	1	输入	滤波器系数有效指示, 高有效
O_data	参数设置	输出	输出数据
O_data_v	1	输出	输出数据有效指示, 高有效

5. 约束

无

6. 仿真

图 6-1 所示为占空比为 1/4、非对称系数下滤波器仿真波形，图 6-2 所示为数据连续输入、对称系数下滤波器仿真波形。

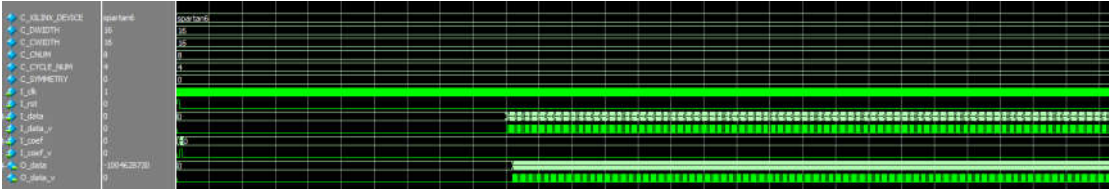


图 6-1 占空比为 1/4、非对称系数仿真示意图

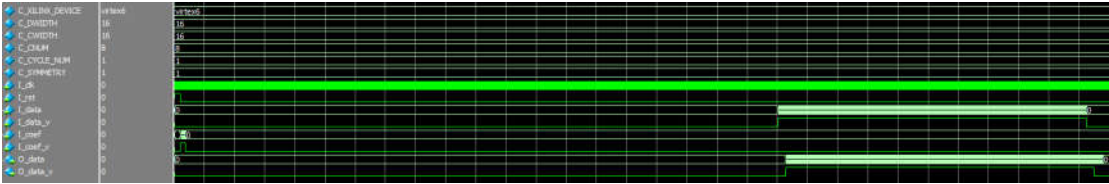


图 6-2 数据连续输入、对称系数仿真示意图