

《 计算机体系结构 》

实验报告

|  |  |
| --- | --- |
| 班 级： | **计201** |
| 学 号： | **20002447** |
| 姓 名： | **薛李丹** |
| 指导教师： | **梁建宁** |

信息科学与工程学院

2022年 11 月

**实验名称 重新排序缓冲ROB工作原理实验地点** 实验楼418 **实验日期** 2022.11.30

1. **实验目的**

1、深对指令级并行性及其开发的理解。

2、深对基于硬件的猜测的理解。

3、握ROB在指令流出、执行、写回、提交4个阶段所进行的操作。

4、握ROB结构特点。

5、定执行代码片段，能写出某个时钟周期，保留站、ROB、寄存器状态表的变化情况。

1. **实验设备**

实验平台采用重排序缓冲ROB模拟器。

1. **实验操作及运行结果**

（1）假设浮点功能部件的延迟时间（处理时间）为：加法2个时钟周期，乘法10个时钟周期，除法40个时间周期，Load部件2个时钟周期。

①有以下代码段，给出当指令MUL.D即将确认时，保留站、ROB和浮点寄存器状态表的内容。

L.D F6, 24(R2)

L.D F2, 12(R3)

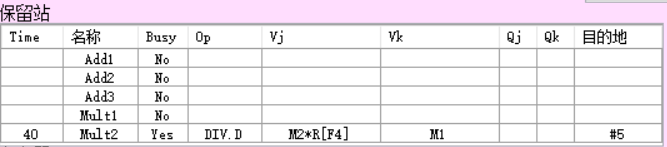
MUL.D F0, F2, F4

SUB.D F8, F6, F2

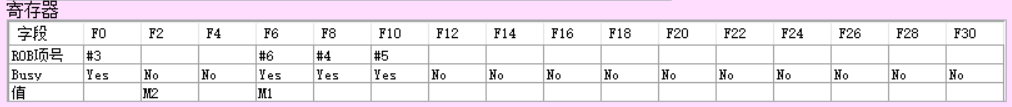
DIV.D F10, F0, F6

ADD.D F6, F8, F2

②按步进方式执行上述代码，利用模拟器的“小三角按钮”的对比显示功能，观察每一个时钟周期前后保留站、ROB和浮点寄存器状态的内容变化情况。

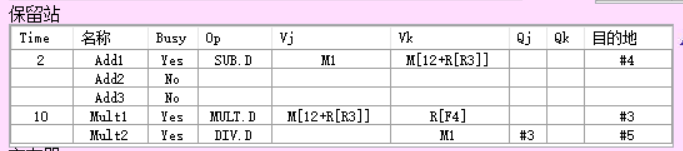






（2）对于与上面相同的延迟时间和代码段：

①给出在第5个时钟周期时，保留站的内容。



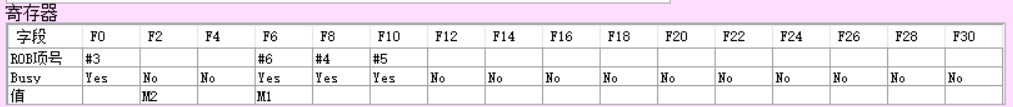
②步进5个时钟周期，ROB的内容有哪些变化？



③再步进5个时钟周期，给出这时保留站、ROB以及浮点寄存器状态表的内容。







（3）假设浮点功能部件的延迟为：加减法3个时钟周期，乘法8个时钟周期，除法40个时钟周期。自己编写一段程序（要在实验报告中给出），重复上述步骤

（2）的工作。

实验代码：

L.D F6, 16(R3)

L.D F2, 24(R4)

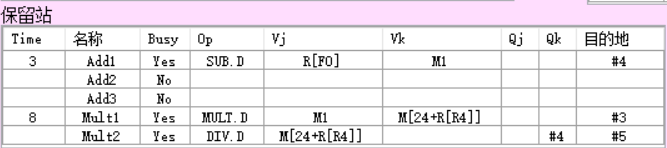
ADD.D F8, F6, F2

DIV.D F10, F0, F6

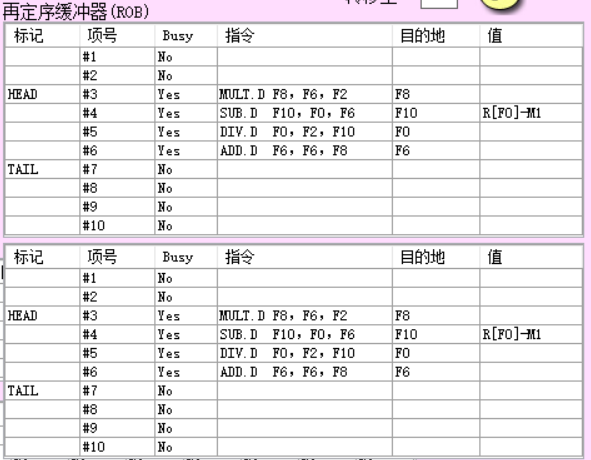
MUL.D F0, F2, F10

SUB.D F6, F6, F8

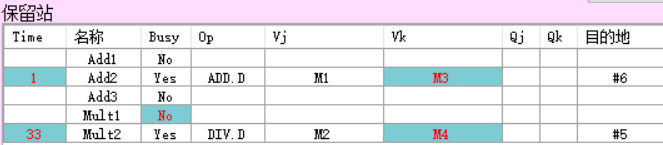
①给出在第5个时钟周期时，保留站的内容。



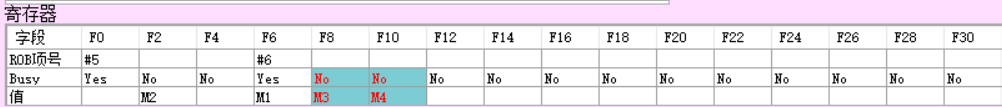
②步进5个时钟周期，ROB的内容有哪些变化？



③再步进5个时钟周期，给出这时保留站、ROB以及浮点寄存器状态表的内容。







1. **实验总结**

通过此次实验，我理解了ROB工作原理，与Tomasulo相比，ROB算法最大的不同是：增加了再定序缓冲器。

再定序缓冲器相当于一个循环队列，用 HEAD 和 TAIL 来标记队列的首尾，每次都只能提交队列首的指令，而新加入的指令都只能放入队列尾，这样就保证了顺序提交，实现了精准中断。

同时如果有预先执行完毕但不该执行的语句 (可能因为分支预测错误)，则可以很方便的通过 ROB 清空它们而不提交，以免影响程序的正确性。这样就能消除控制相关。

因为指令在执行完成后不直接将结果写入寄存器，因此 ROB 还负责在指令完成到指令提交这一阶段为其他指令提供数据。此外，保留站中记录的目的地以及 Q j , Q k Q\_j,Q\_k Qj​,Qk​ 都变成了 ROB 的项号，这意味着保留站中的指令执行完毕后会直接写入 ROB 而非寄存器，并且保留站在遇到 RAW 冲突时，会在 CDB 上监听写往 ROB 指定项号的数据以获得想要的源操作数

ROB 其余的执行流程与 Tomasulo一样。