Univerzitet u Kragujevcu

Fakultet inženjerskih nauka



Seminarski rad iz predmeta:

OSNOVI RAČUNARSKE TEHNIKE 2

Tema:

Sigurnosni alarmni sistem

Student: Predmetni profesor:

Irena Stojanović Aleksandar Peulić

Kragujevac 2016/17.

Contents

[1. Uvod 2](#_Toc473564956)

[ARHITEKTURA 3](#_Toc473564957)

[3. PROJEKTNI ZADATAK I NJEGOVA REALIZACIJA 5](#_Toc473564958)

[5. ZAKLJUCAK 14](#_Toc473564959)

# Uvod

Alarmi su uredjaji ciji je zadatak da nas upozore na neka najcesce nezeljena stanja i da dignu uzbunu ako dodje do neovlascenog upada na posed ili odredjeni objekat. Projekat “Sigurnosni alarmni sistem” ima ulogu da detektuje pokusaj neovlascenog pristupa u sticenom objektu. Alarmi se ugradjuju kako u poslovne tako i u privatne svrhe. Danas se sve vise fizickih lica odlucuje da alarmi brinu o bezbednosti njihovih poseda, na taj nacin se osecaju sigurnije.

U poslednje vreme su sve cesci slucajevi razbojnistva i kradja. Alarmi sluze kako bi se njihovi korisnici zastitili od upada “nezeljenih gostiju” u stan ili kucu. Upravo iz tih razloga se **ugradjuju alarmi kako bi se lopovi odgovorili do napada.** Au slučaju eventualnog napada napraviti upozorenje i izazvati strah kod napadaca koji pri tom gleda da se skloni i pobegne, a ne da napadne.

Sigurnosni alarmni sistem protiv provale u globalu sadrzi broj elemenata koji rade zajedno u cilju povecavanja bezbednosti nekog objekta. Komponente realnog sigurnosnog alarma su:

* Kontrolna tabla
* Tastatura
* Senzor
* Sirena
* Treptece svetlo
* Detektor kretanja

Rad celog sistema pocinje sa senzorima i detektorima kretanja koji salju hitne signale kontrolnoj tabli kada osete da je nesto preslo njihov prag tolerancije. Tada kontrolna tabla odlucuje sta ce aktivirati odnosno koji signal ce poslati.

Ovaj projeka prikazuje logiku rada jednog takvog sistema.

# ARHITEKTURA

Spartan 3e je familija FPGA (Field-Programmable Gate Arrays)

Familija Spartan 3e se sastoji od pet osnovnih programabilnih funkcionalnih elemenata:

* Podesivi logicki blokovi (CLBs)
* Ulazni / Izlazni blokovi (IOBs) koji kontrolisu protok podataka izmedju ulaznih i izlaznih pinova i unutrasnje logike uredjaja.
* Blok RAM memorije
* Blokovi mnozilaca
* Digitalni clock menadzer blok (DCM)



Digilent Nexys2 Spartan FPGA ploca

Arhitektura Digilent Nexys2 FPGA ploce se sastoji od:

* 16 MB brzi Micron® PSDRAM (Pseudo sinhrona dinamicka memorija sa slucajnim pristupom)
* 60 FPGA Ulaza/Izlaza usmerenih ka konektorima za prosirenje
* Na ploci se nalazi dosta U/I komponenti u koje spadaju 8 LEDioda, 4 sedmo-segmentna displeja, 4 tastera kao i 8 prekidaca
* 16 MB Intel® StrataFlash® Fles ROM Xilinx Platform Flash ROM
* Radi sa ISE®/WebPACK i EDK
* Svi U/I signali poseduju ESD (Elektrostaticko praznjenje)
* USB2 napajanje, konfiguraciju uredjaja, i visoku brzinu prenosa podataka
* 50 MHz oscilator, kao i slot za jos jedan oscilator koji moze da se ubaci

Konektori:

* USB2 port
* Hirose FX2
* VGA, PS/2, i serijski port
* Cetiri 12-pinska Pmod konektora

# 3. PROJEKTNI ZADATAK I NJEGOVA REALIZACIJA

Sama uloga sistema je da nas obavesti paljenjem diode da li je doslo do otvaranja prozora ili vrata u trenutku kada je alarm ukljucen. Alarmni sistem u ovom projektu je odradjen na dva nacina.

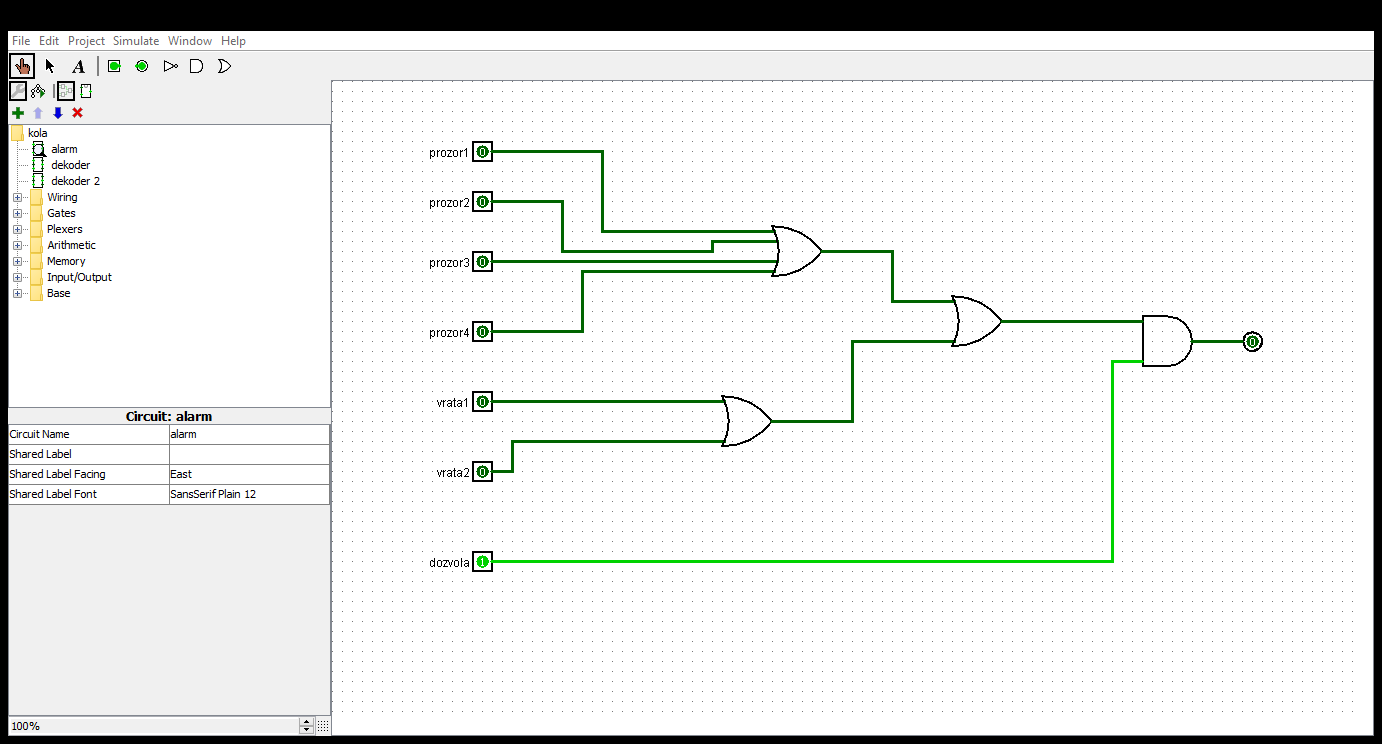
Prvi nacin je pomocu ILI i I logickih kola. Ceo sistem se sastoji od 7 ulaza. Prva cetiri ulaza su prozori, druga dva vrata, a sedmi napajanje. Sama zamisao projekta da nas upozori(upali diodu) ako dodje do otvaranja bilo kog od ovih sest komponenti dok ima napajanje, odnosno kada je sam alarm ukljucen. Logika sistema je da kada je bilo koji od ovih sest prekidaca upaljen(jednak logickoj jedinici) i kada je dozvola logicka jedinica, onda dolazi do paljenja diode. Sistem proverava za sve kombinacije ulaza, kojih ima 128**.**

|  |  |  |
| --- | --- | --- |
| Bit 0 | Dozvola | Napajanje, paljenje sistema |
| Bit 1 | Prozor1 | Prozori kao ulazni parametri, 16 kombinacija |
| Bit 2 | Prozor2 |
| Bit 3 | Prozor3 |
| Bit 4 | Prozor4 |
| Bit 5 | Vrata1 | Ulazni parametri, 4 kombinacije |
| Bit 6 | Vrata2 |

Prekidac za paljenje sistema moze biti upaljen ili ugasen, kao ulazni parametar. Dok je ugasen sistem nece raditi, kada je upaljen izvrsava svoju funkciju. To je bit0 i upaljen je kada je jednak 1.

Prozori i vrata su takodje ulazni parametari, svaki prozor i svaka vrata predstavljaju po jedan bit. Ako je neki bit jedinica to znaci da je ta ulazna komponenta otvorena i da se alarm moze upaliti, ali samo pod uslovom da ima napajanje.

Bitovi Bit 1, Bit2, Bit3, Bit4 predstavljaju prozore i ti bitovi su jednaki 1 ako prozori su otvoreni (ili razbijeni). Ako je bilo koji od ovih bitova (ili svi) jednaki 1 i tada dolazi do paljenja alarma u slucaju da je i napajanje (bit0) 1.Prozori su 4-bitni pa je broj mogucih kombinacija za prozore 16, dok su vrata 2-bitna pa je broj kombinacija za vrata 4. Bit5 i Bit6 predstavljaju vrata. Kada su vrata otvorena (Bit5 ili Bit6 je 1) i kada je napajanje 1, tada dolazi do paljenja alarma. Alarm ce se takodje upaliti i u slucaju da istovremeno dodje do otvaranja prozora i vrata dok je napajanje ukljuceno.

****

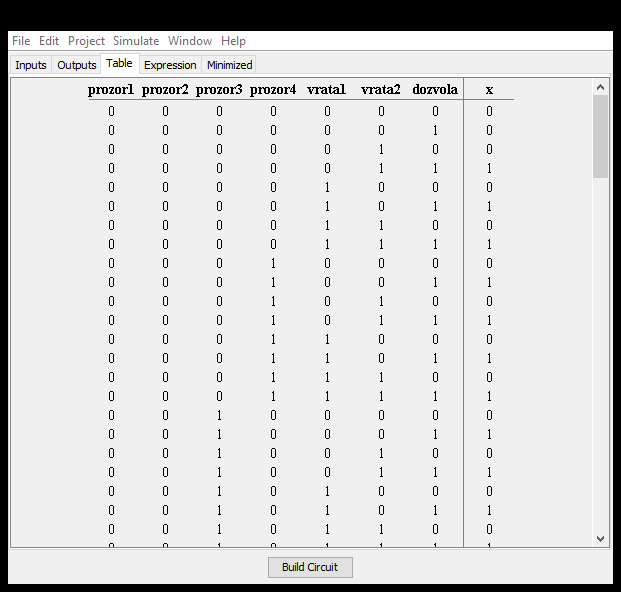
Sistem prvo proverava da li ima napajanja (bit dozvole je 0 ili 1). Ako ima onda provera da li je neki od prva cetiri bita jednak 1, ako jeste alarm se pali (pali diodu), u suprotnom provera da li su druga dva bita jednaka 1. Ako jesu sistem pali diodu, ako nisu dioda je ugasena.

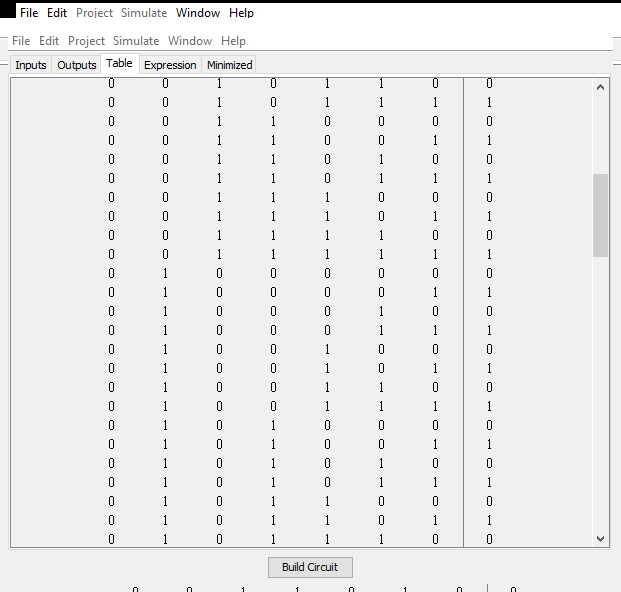
Realizacija sistema:

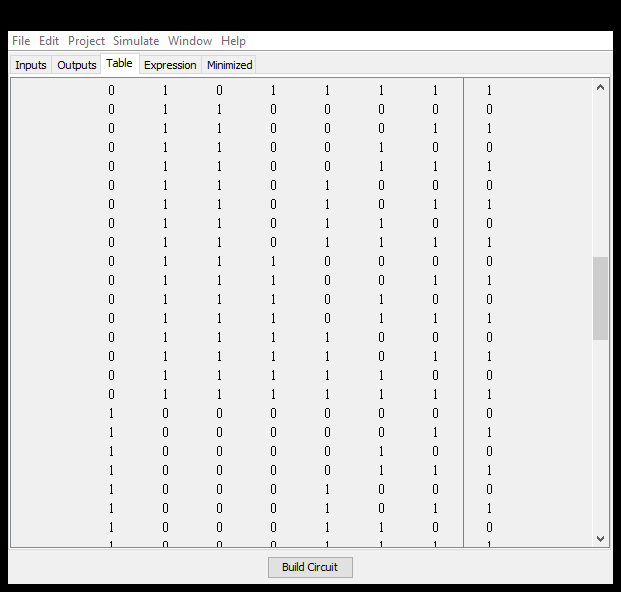
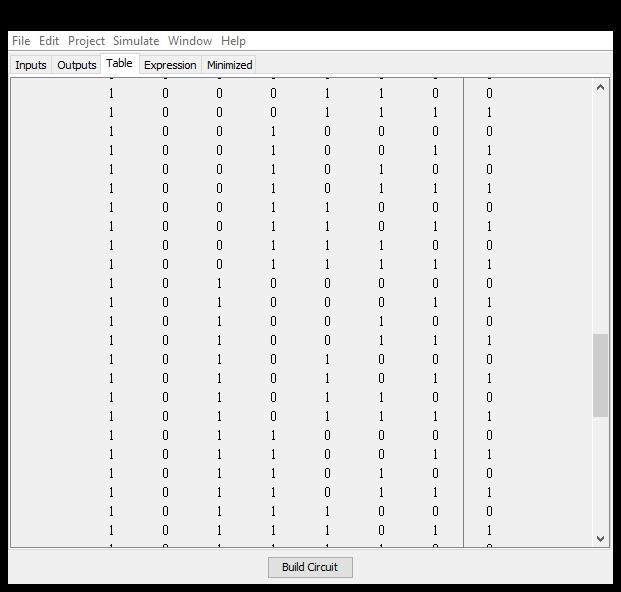
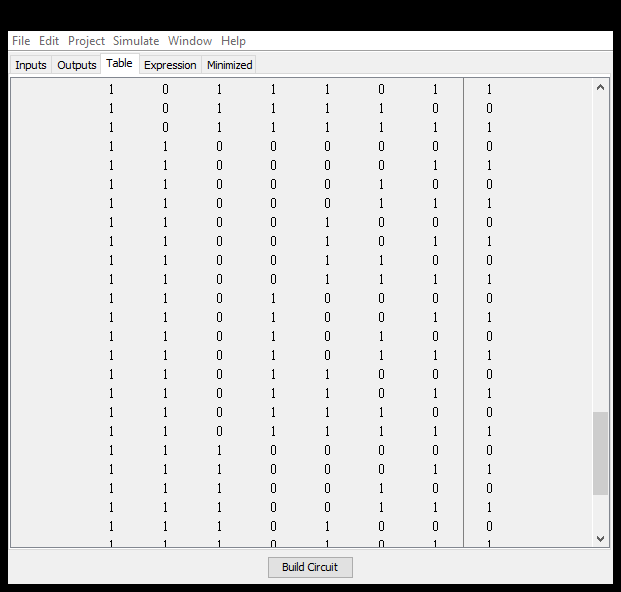
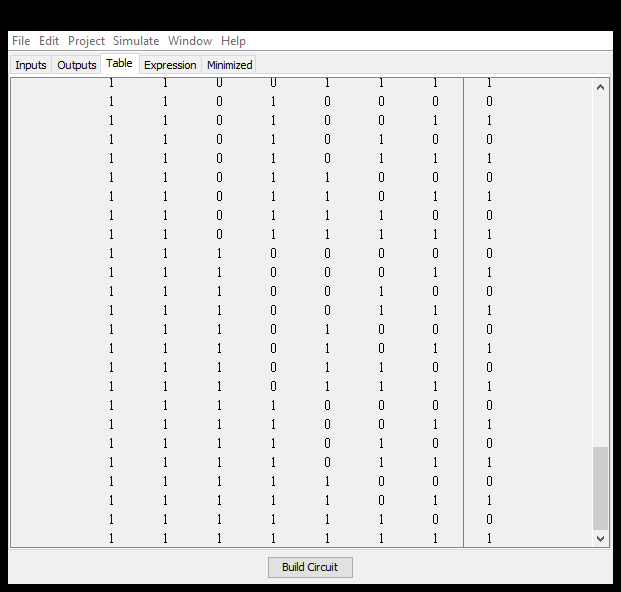
Prvo se definisu ulazi i izlazi. Ulaza ukupno ima sedam, dok je izlaz samo jedan. Onda se ispisuju vrednosti u tabeli. Posto postoji 7 bitova na ulazu, broj mogucih kombinacija na izlazu je 128, a sam izlaz moze biti 0 ili 1.

Pomocu seme nacrtane u Logisim-u, pravimo kod u Verilogu u okviru jednog modula. U kodu se nalazi isti broj ulaza i izlaza kao i na semi. Definisu se ulazi i izlazi svih logickih kola koji se koriste.

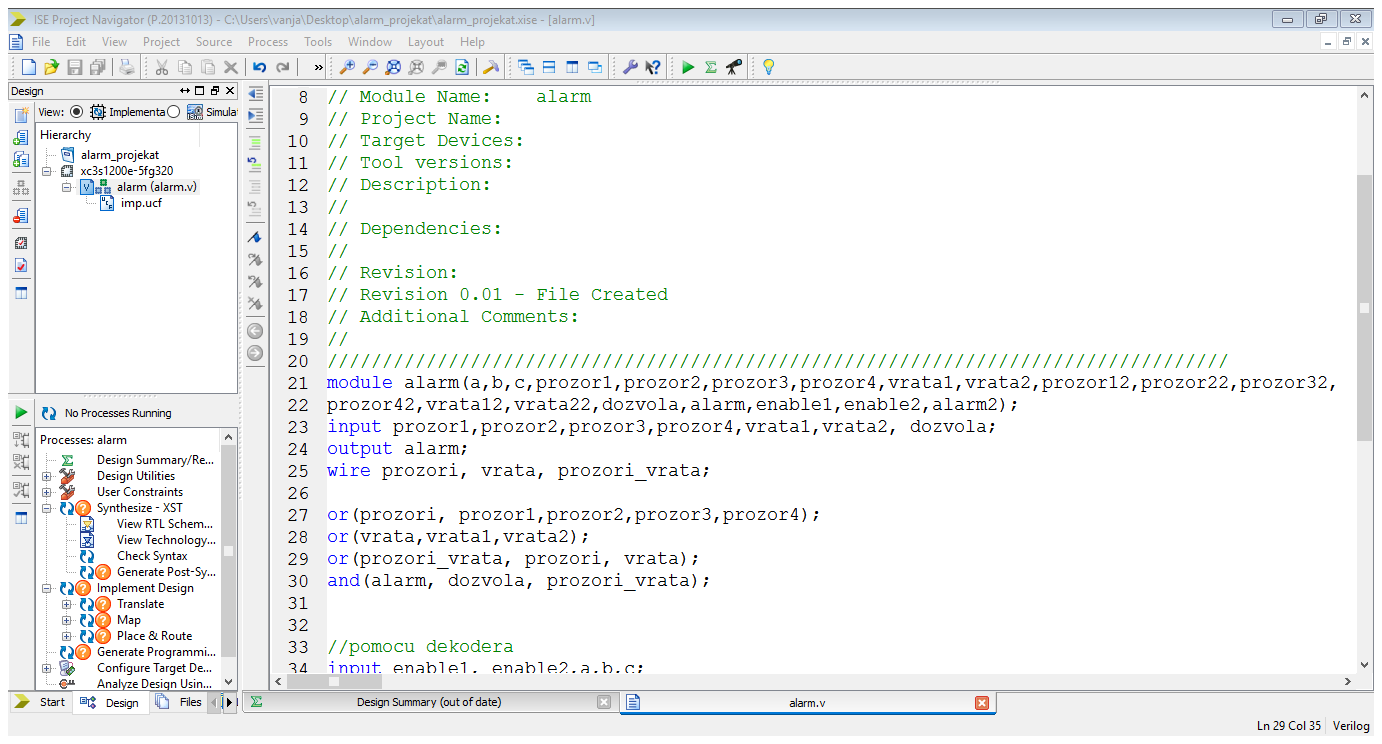
Za trece ILI logicko kolo u koje ulaze izlazi prethodna dva potrebno je da se definisu zice koje ce za prva dva ILI kola da predstavljaju izlaze, dok ce za trece predstavljati ulaz, kao i zica koja je izlaz iz treceg ILI logickog kola, a ulaz u I kolo.



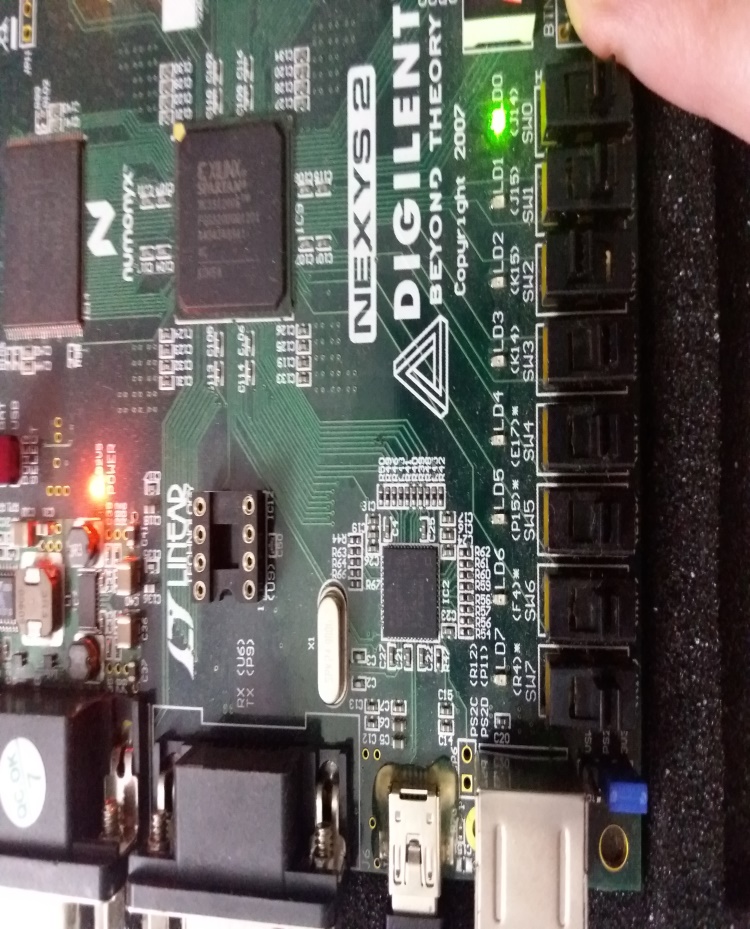




Realizacija u Verilog-u:



Realizacija na ploci:

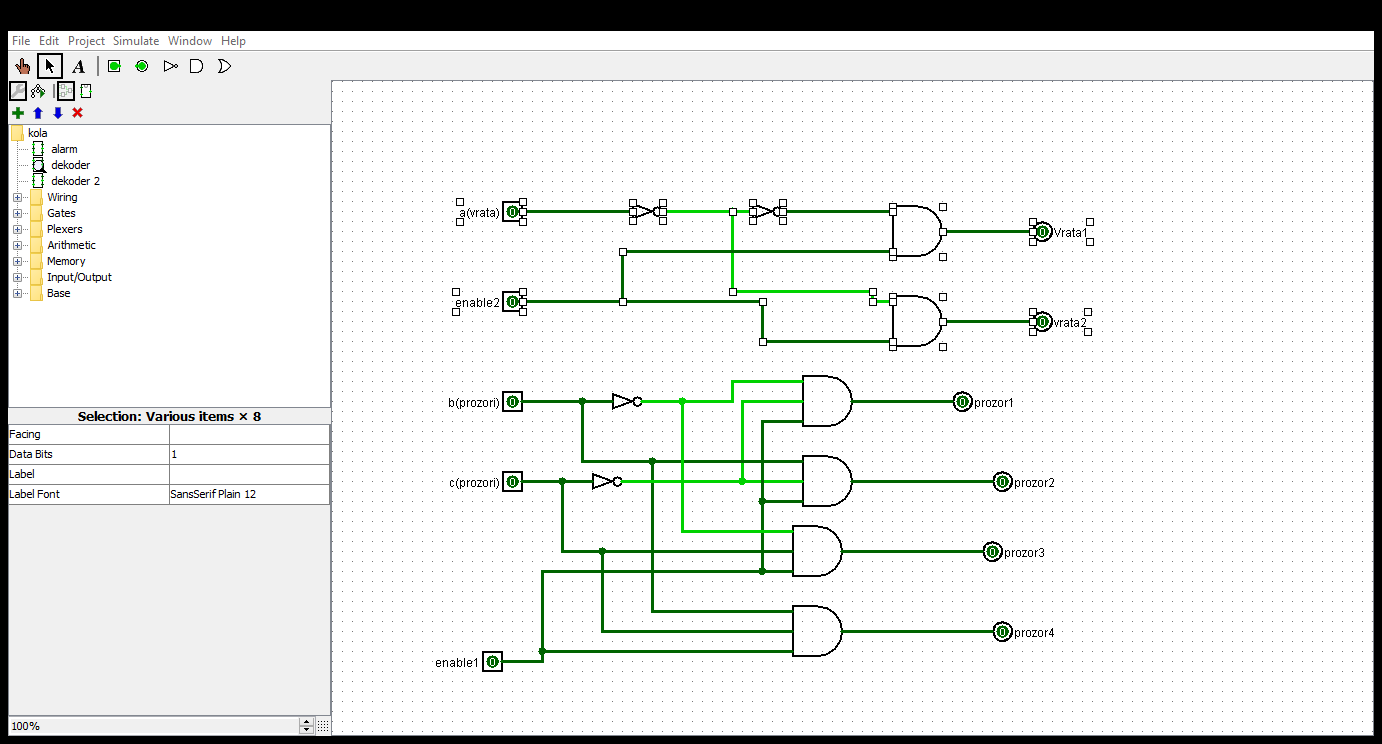


Drugi nacin je nastao zbog potrebe da se smanji broj ulaza, odnosno broj mogucih kobinacija pomocu dekodera. Ustvari, sami izlazi iz dekodera prestavljaju ulaze u prethodnom nacinu koji kasnije istom logikom rade pale drugu diodu.

Za prozore je smanjen broj ulaza sa cetiri na dva, i dodat je enable ulaz. Sistem u slucaju da je enable ulaz jednak logickoj nuli ne detektuje da je prozor otvoren iako je jedan od ova dva ulaza jednak logickoj jedinici. A ako je enable ulaz jednak logickoj jedinici onda ce dati na izlazu logicku jedinicu na izlazu bez obzira na kombinaciju ova dva ulaza(ne zavisi od njih).

Na isti nacin je pomocu seme napravljen dekoder za vrata. Postoje dva ulaza, jedan se odnosi na vrata dok je drugi enable ulaz. Istom logikom radi kao i kod prozora, na izlazu daje logicku jedinicu samo pod uslovom da je enable ulaz jednak logickoj jedinici.

Postoji jos jedan poseban ulaz koji predstavlja napajanje i omogucava paljenje diode kao u prethodnom nacinu.Posto su izlazi iz dekodera ustvari ulazi iz prethodnog nacina, paljenje diode je moguce samo u slucaju kada je sistem ima napajanje(kada je ono jednako logickoj jedinici), a ostatak seme je potpuno isti.



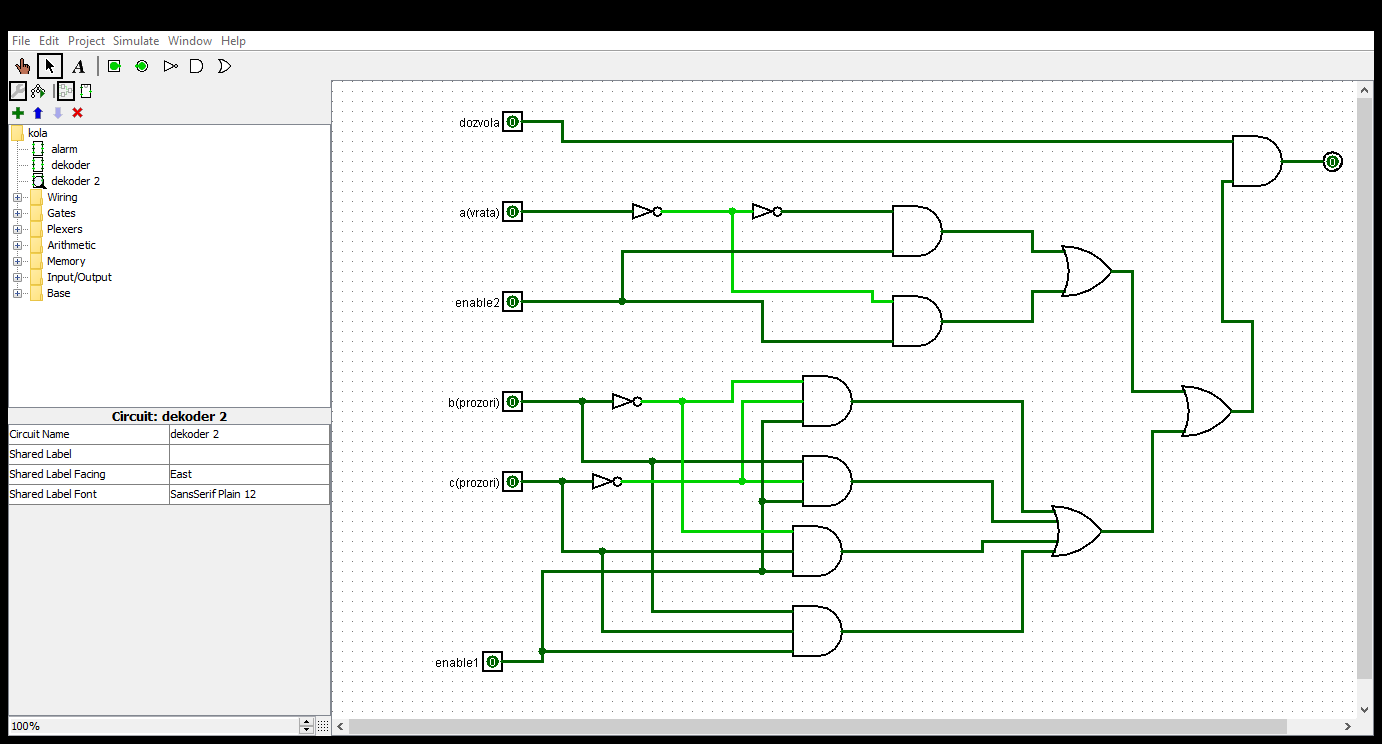
Dekoderi za prozore i vrata

|  |  |  |
| --- | --- | --- |
| Bit0 | Dozvola | Napajanje sistema |
| Bit1 | Vrata | Dva ulaza koja predstavlaju vrata |
| Bit2 | Enable2 |
| Bit3 | Prozor1 | Tri ulaza koja predstavljaju prozore |
| Bit4 | Prozor2 |
| Bit5 | Enable1 |

Sistem se sastoji od dva dekodera, jedan koji predstavlja prozore i drugi koji predstavlja vrata. Prvi se sastoji od 3 posebna ulaza, dva ulaza su sami prozori, a treci ulaz je enable1 ulaz. Izlaz iz dekodera ce na izlazu moci da bude 1 samo u slucaju da je enable1 ulaz jednak 1(Bit5=1), bez obzira na kombinacije druga dva bita (Bit3 i Bit4). Ovaj dekoder ima 4 izlaza i svi izlazi su ustvari ulazi iz prethodnog nacina realizacije sistema.

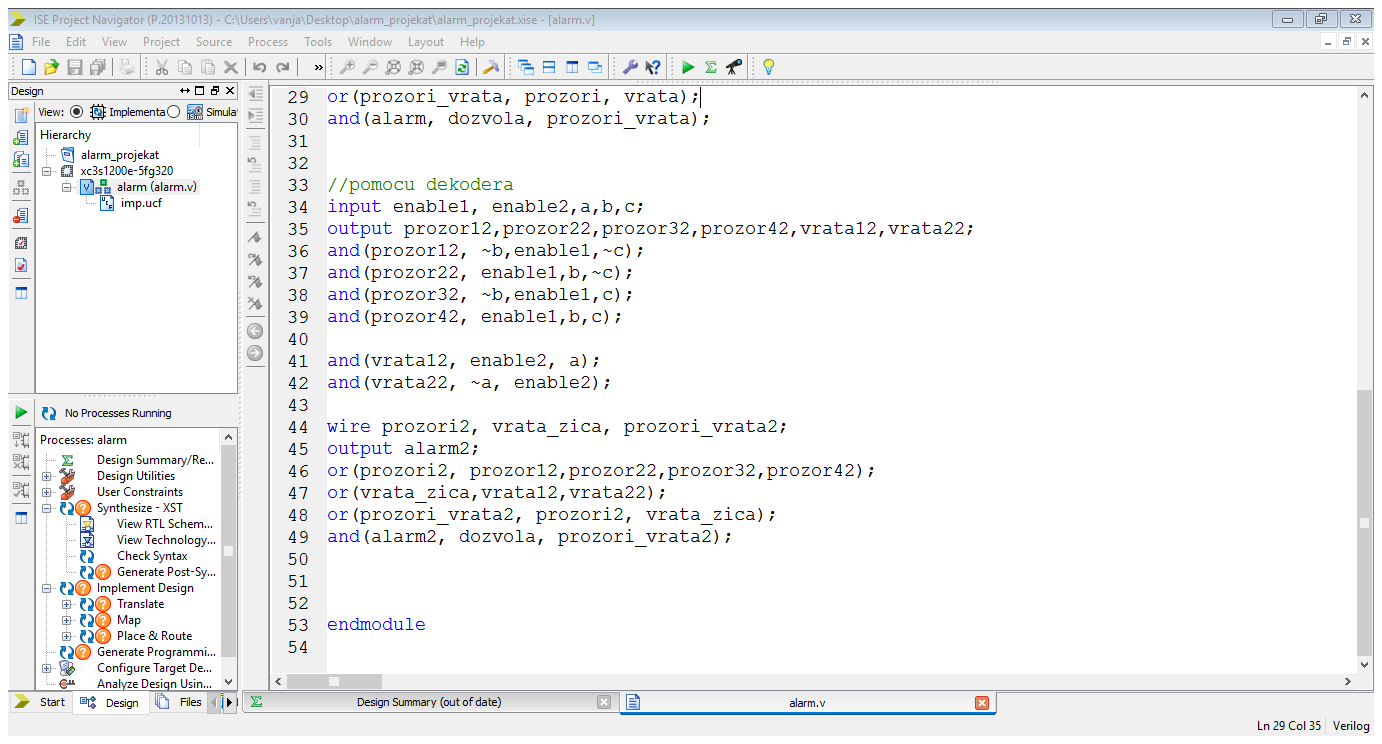
Drugi dekoder radi na isti nacin, ima dva ulaza, jedan koji predstavlja vrata (Bit1) i dugi ulaz, enable2 (Bit2). Na nekom od izlaza iz ovog dekodera ce se pojaviti 1 samo ako je enable2 bit =1 bez obzira na bit vrata (Bit1 = 0 ili Bit1 = 1). Ovaj dekoder ima dva izlaza i ti izlazi su ulazi iz prethodnog nacina realizacije sistema.

Da bi se alarm upalio (tj. da bi svetlela dioda) potreban je i ulaz koji je napajanje samog sistema, to je ulaz dozvole (Bit0). Kada je Bit0 = 1 i bilo koji izlaz iz dekodera jednak 1, tada ce se alarm upaliti.

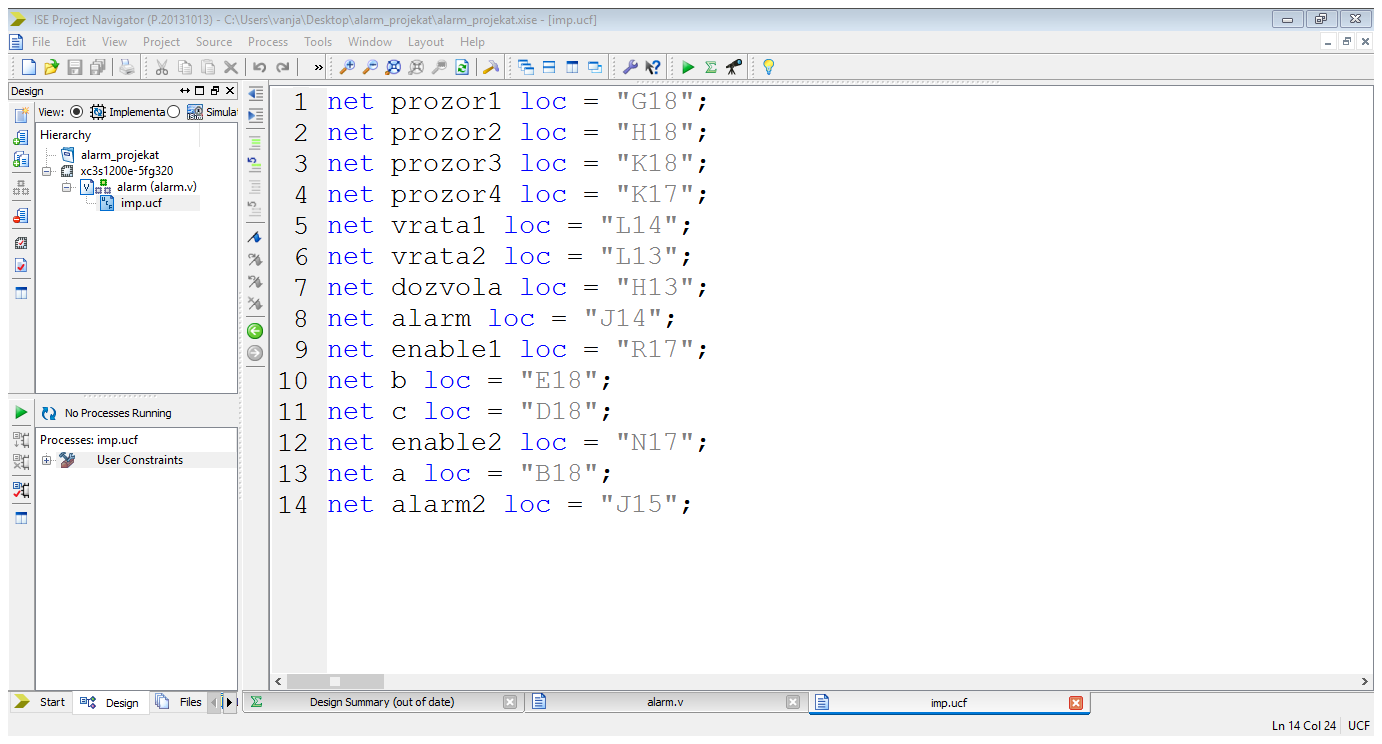


Potpuna sema pomocu dekodera

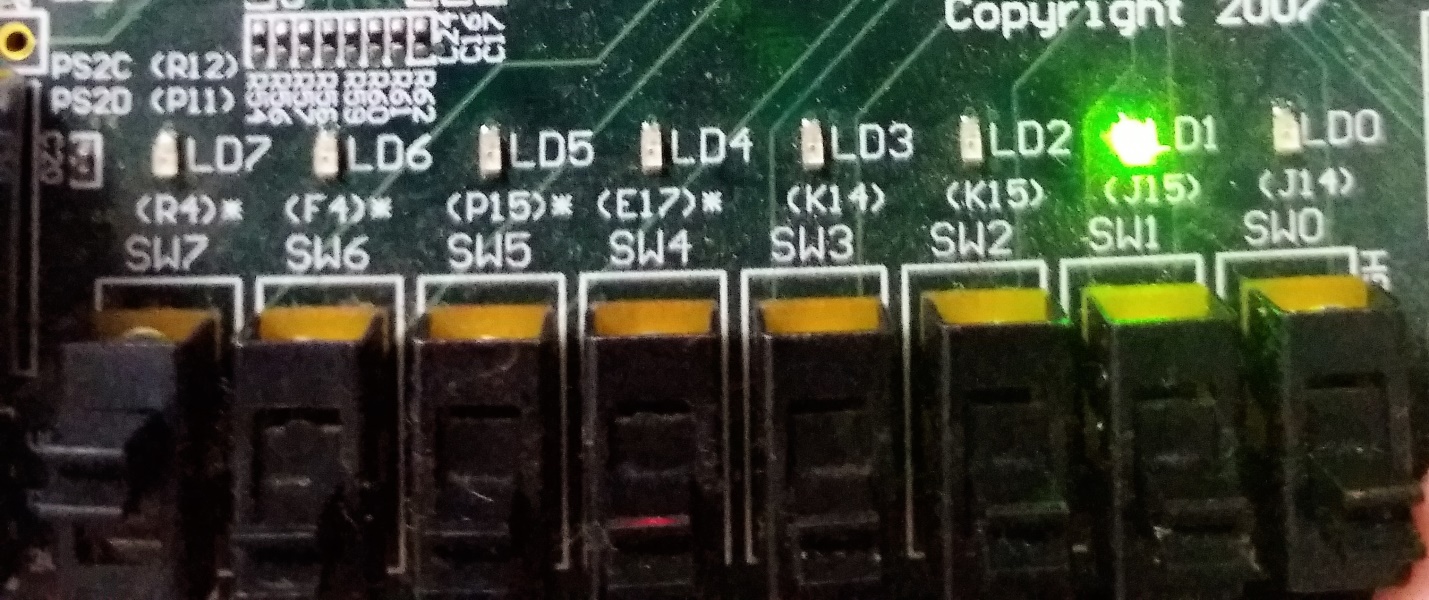
U Verilog-u:



UCF file pomocu koga se vrsi implementacija sistema, definisemo ulazne i izlazne pinove.



Realizacija na ploci:



# 5. ZAKLJUCAK

Primena ovog sistema je moguca u svim objektima koji traze ovaj vid sigurnosnog sistema(kuce, stanovi, lokali i sl.). Ovom sistemu je moguce dodati jos mnogobrojne sigurnosne komponente (senzori, kamere..) takodje i ugraditi neke dodatne funkcije koje imaju sigurnosnu ulogu.