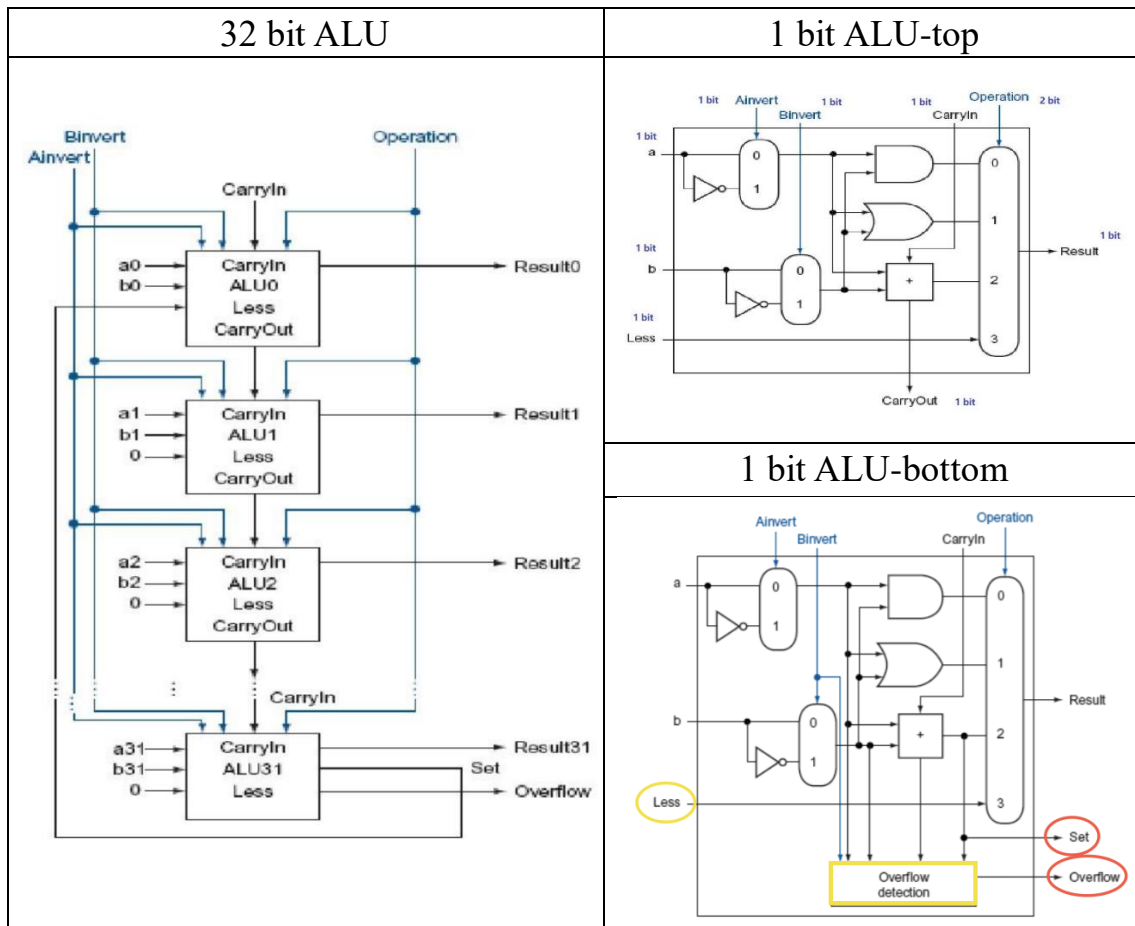


Computer Organization 0616086 邱彥慈

Architecture diagrams:



Hardware module analysis:

1. 31 alu_top + 1 alu_bottom => 32 bit ALU

Denote the ALU for LSB by a0, and all the way to MSB of ALU by a31

每個 alu 由

2 個 2-1MUX 判斷 src1[i],src2[i]是否需要 inverse

A_invert : Nor

B_invert : Sub ,Slt , Nor

1 個 4-1 MUX 決定 operation

00 : &

01 : |

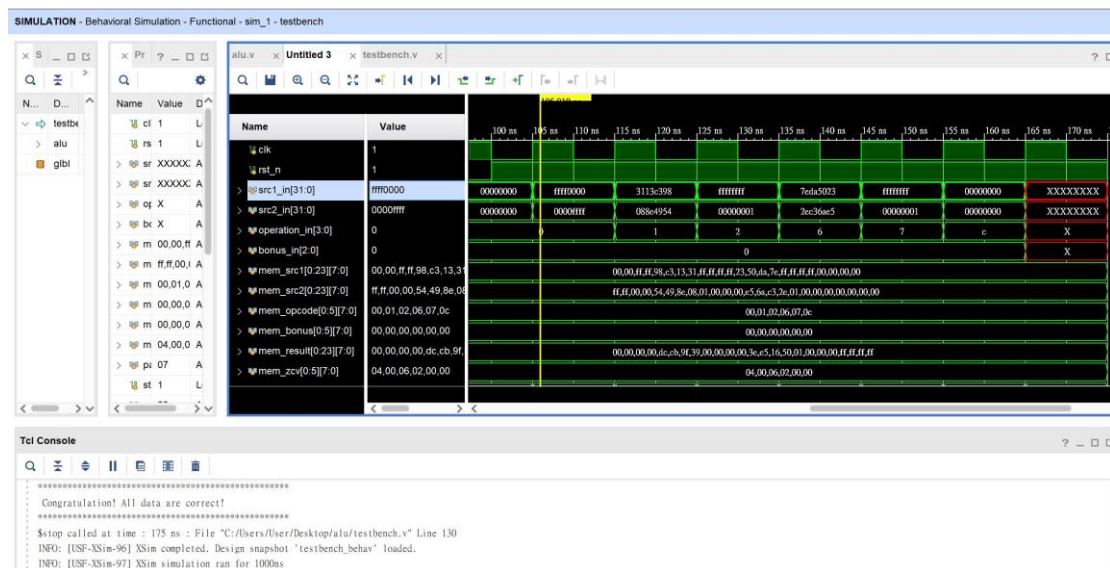
10 : {cout,result} = src1+src2+cin

11 : result=less

2. a0 的 cin 由 ALU_operation 賦值，其他 ai 的 cin=cout[i-1]

3. a32 多了 set 和 overflow，set 為判斷 slt 所需，接到 a0 的 less

Experiment result:



Problems you met and solutions:

1. 用 2 個信箱狂寄還是收不到 ModelSim 的 license ,最後放棄改用 vivado
2. 沒寫過 verilog ,像 wire/reg、= \leq 、要寫成 1'b0 還是 0...會有選擇障礙，語法還有使用位置的差別都花了一點時間查

Summary:

要特別注意的就是 a31 的 add operation 要看 overflow , set 看(a-b)的 sign bit 要接回 a0 的 less , slt 同 sub 用 B_invert , cin+1 來實現

另外 ALU_control 的[1:0]可以當 operation , [3]可以判斷 A_invert , [2]判斷 B_invert , 這部分剛開始不懂 , 後來對照 input 表才茅塞頓開