

|  |
| --- |
| 基于FPGA原型的游戏设计 |

李晓畅 | 20307130261 | 2022年6月6日

# **一、简述**

FPGA（Field Programmable Gate Array）是在PAL （可编程阵列逻辑）、GAL（通用阵列逻辑）等可编程器件的基础上进一步发展的产物。它是作为专用集成电路（ASIC）领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。

本实验将着重于使用FPGA播放一小段乐曲。

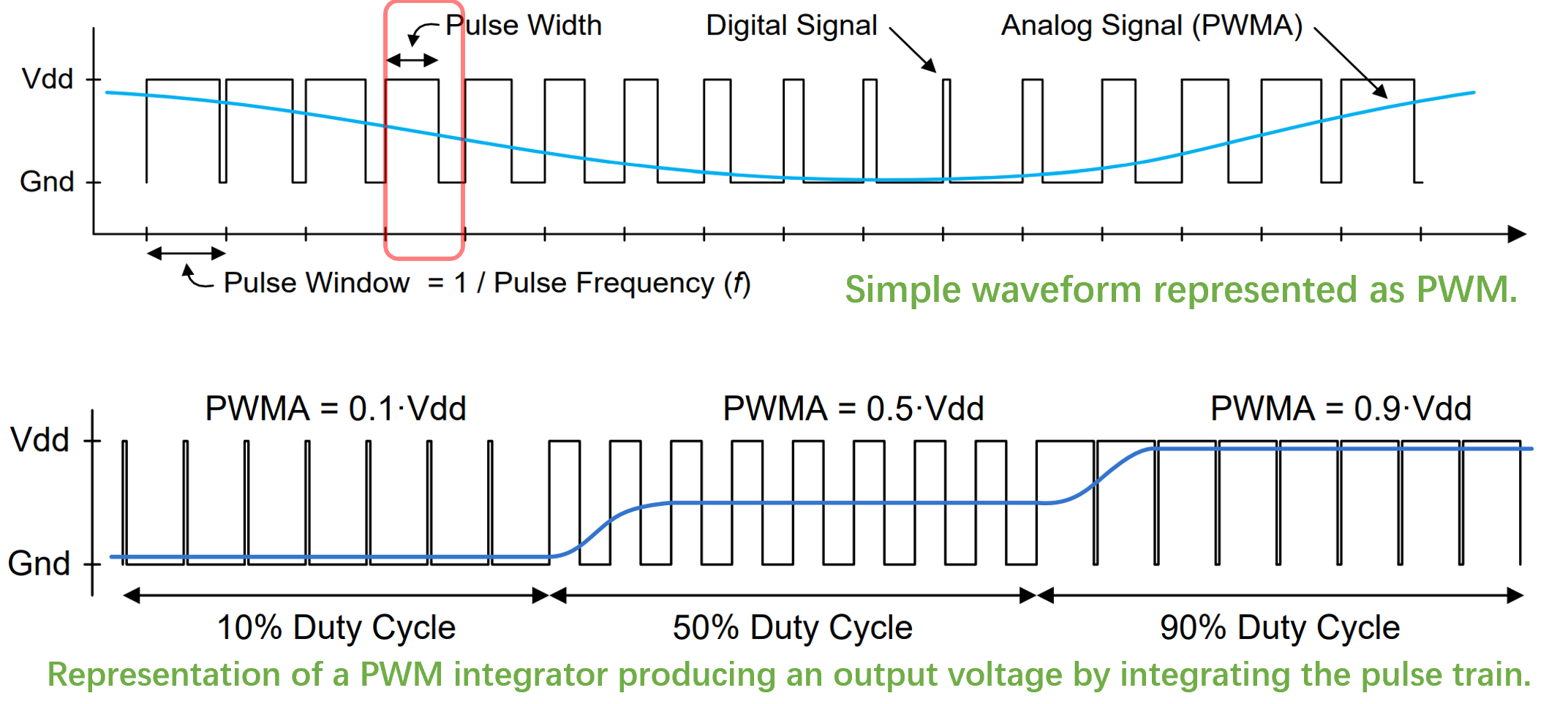
# **二、设计原理**

**１. FPGA的基本结构**

FPGA 器件属于专用集成电路中的一种半定制电路，是可编程的逻辑列阵，能够有效的解决原有的器件门电路数较少的问题。FPGA 的基本结构包括可编程输入输出单元，可配置逻辑块，数字时钟管理模块，嵌入式块RAM，布线资源，内嵌专用硬核，底层内嵌功能单元。由于FPGA具有布线资源丰富，可重复编程和集成度高，投资较低的特点，在数字电路设计领域得到了广泛的应用。F

PGA的设计流程包括算法设计、代码仿真以及设计、板机调试，设计者以及实际需求建立算法架构，利用EDA建立设计方案或HD编写设计代码，通过代码仿真保证设计方案符合实际要求，最后进行板级调试，利用配置电路将相关文件下载至FPGA芯片中，验证实际运行效果。

**２. 脉冲宽度调制**



脉冲宽度调制是一种模拟控制方式，根据相应载荷的变化来调制晶体管基极或MOS管栅极的偏置，来实现晶体管或MOS管导通时间的改变，从而实现开关稳压电源输出的改变。这种方式能使电源的输出电压在工作条件变化时保持恒定，是利用微处理器的数字信号对模拟电路进行控制的一种非常有效的技术。广泛应用在从测量、通信到功率控制与变换的许多领域中。

在我们的音乐播放实验中,我们可以使用脉冲宽度调制技术,通过改变占空比,就可以播放音乐了。

**3. 存储音频信息**

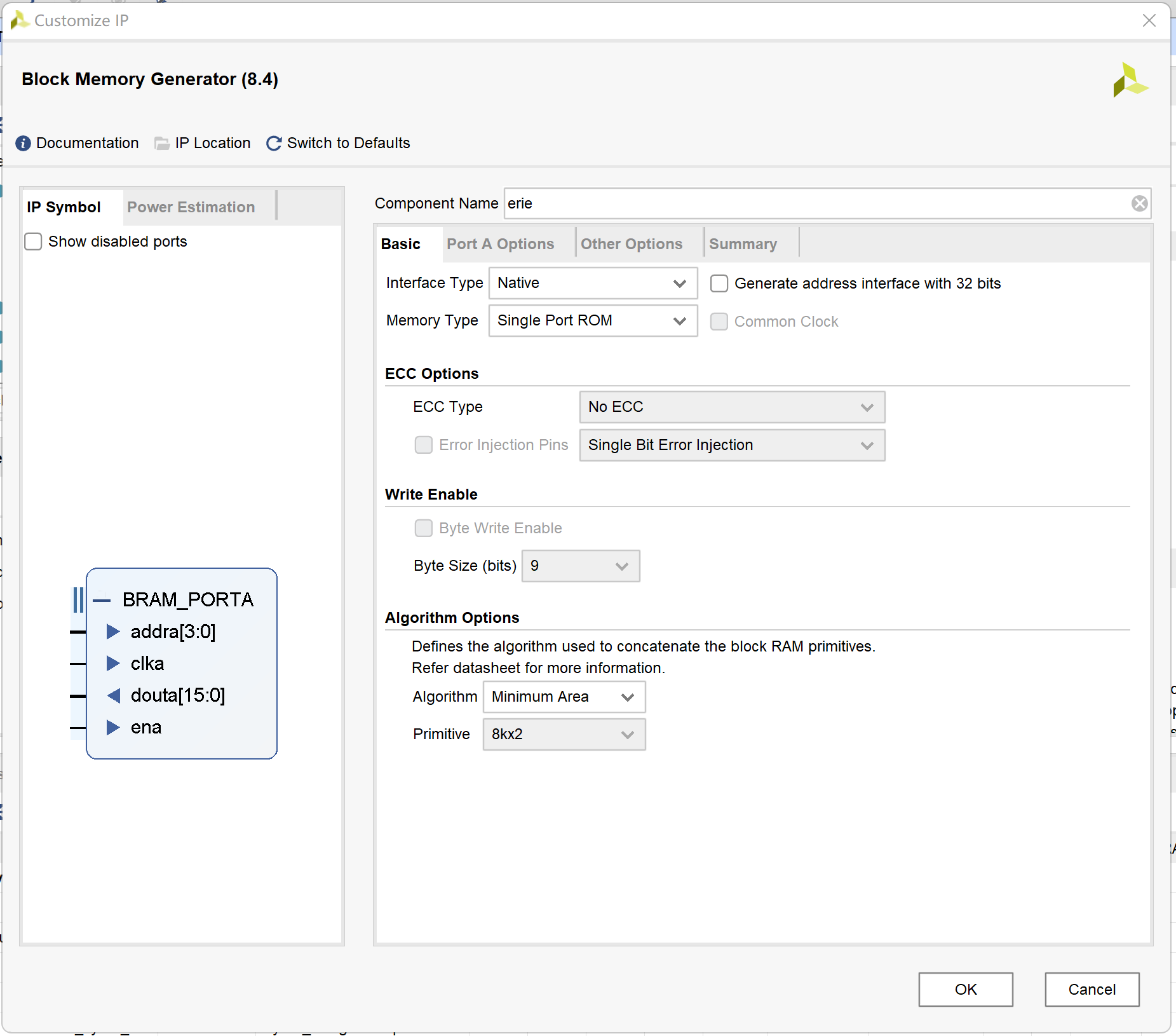
Vivado为我们提供的ROM 、RAM IP主要分为两类:

1)Distributed Memory Generator

2)Block Memory Generator

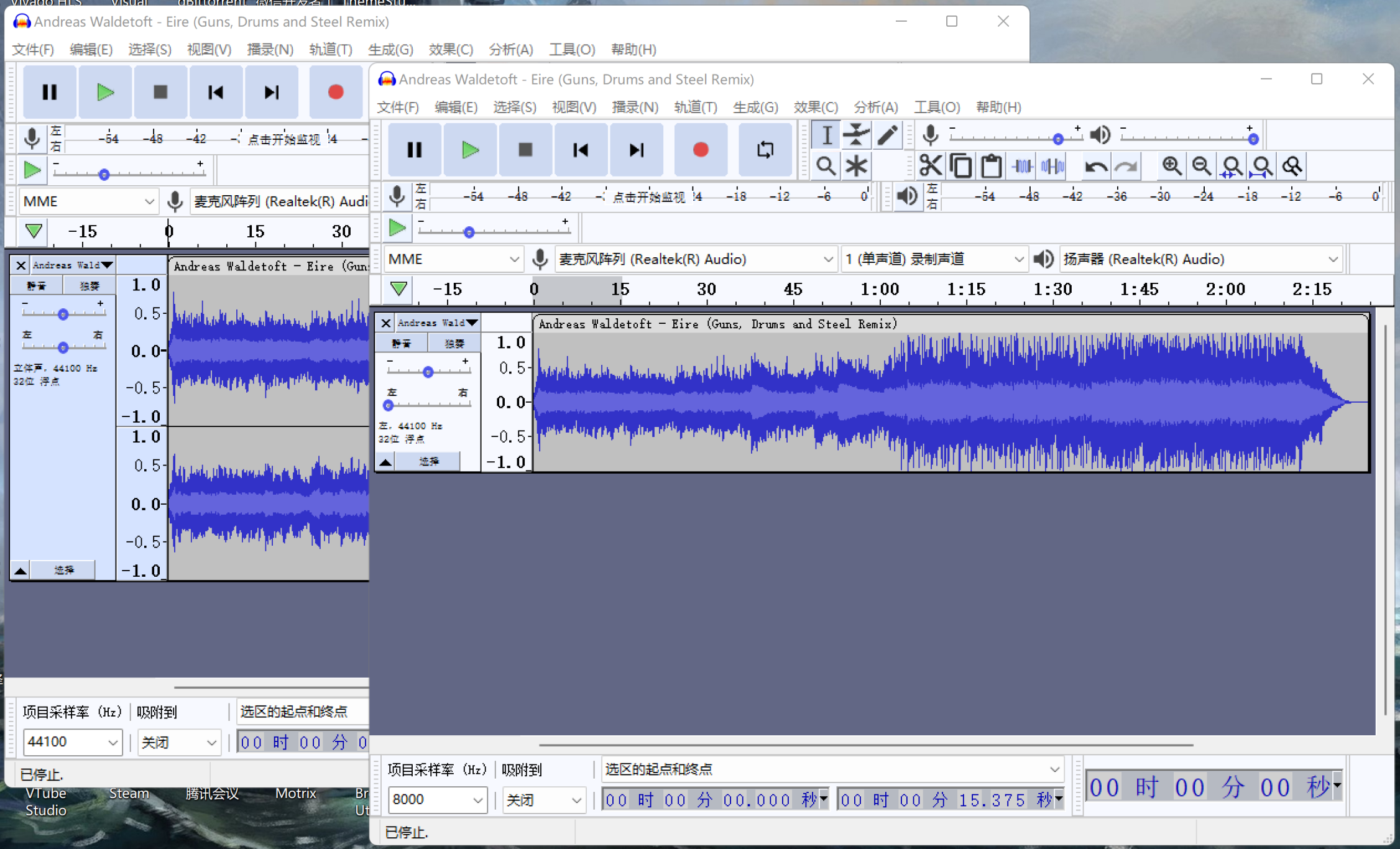
简单来讲，Distributed Memory 需要占用FPGA的逻辑资源。而 Block Memory 则是单纯的存储资源。其中Distributed Memory 想要多少bit都可以，但是 Block Memory 则需要一块一块的使用。

对于我们希望播放的音频,使用Distributed Memory存储是不够的。我们可以将音频存储在Block Memory中。



**4. 音频处理**

由于希望播放的音乐是双声道的,而且其质量很高,如果直接生成coe文件播放的话会不正常,且会占用太多的空间.可以使用**audacity**转化为单声道音频并且降低采样率,再生成raw文件.



对生成的raw文件再转化为coe文件就可以用于播放了.

# **三、实验方案**

**1. 实验目的**

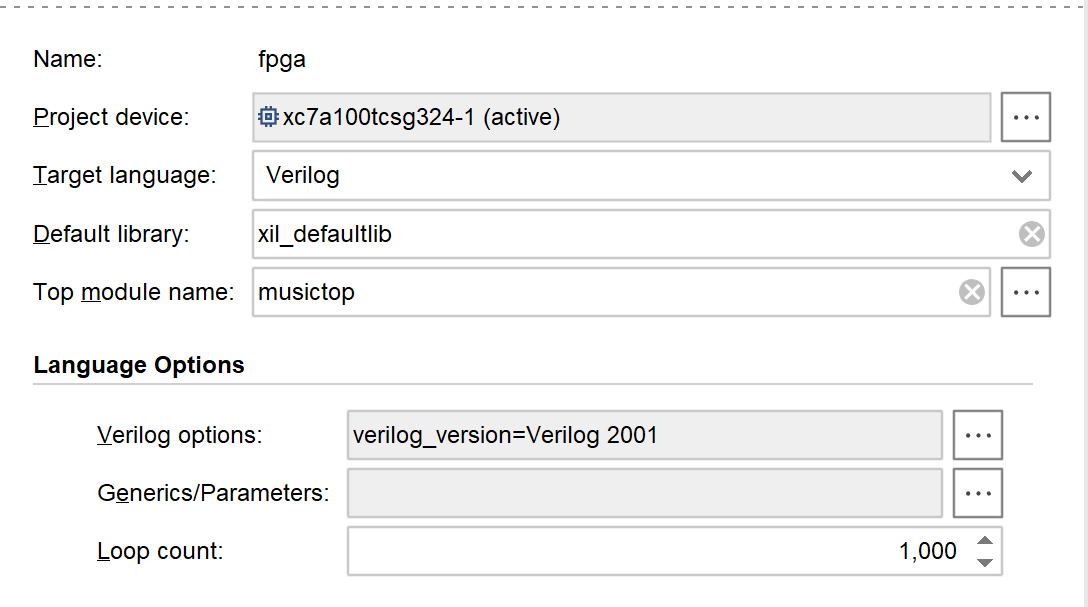
1）了解FPGA原型

2）了解IP核

3）用FPGA播放一小段乐曲

**２. 环境和器材**

使用Ｖｉｖａｄｏ２０１８．３设计开发，应用开发板测试验证。具体如下。



# **四、设计过程和关键代码**

1）顶层模块

顶层播放模块实现播放模块和开发板接口的对接。

1. module musictop(
2. input logic CLK100MHZ,
3. output logic AUD\_PWM,
4. output logic AUD\_SD);
6. music M1(.clk(CLK100MHZ),.audioData(AUD\_PWM),.audioSD(AUD\_SD));
8. endmodule

2）分频模块

系统提供的100MHZ的时钟对于我们播放的音频还是太快了.我们需要设计一个分频模块生成一个更慢的时钟,比如2048KHZ.

1. module clk2MHZ(
2. input logic clk,
3. output logic nclk
4. );
5. logic [5:0] q;
7. always @(posedge clk)
8. q<=q+1;
10. assign nclk=q[5];
12. endmodule

3）存储音乐

正如在前面看到的那样,我们使用一个BLOCK MEMORY来存储音频.



4) 播放模块

最后设计一个播放模块,应用PWM技术实现音乐的播放就可以了.

1. module music(
2. input logic clk,
3. output logic audioData,
4. output logic audioSD
5. );
7. assign audioSD=1;
9. localparam MEM\_SIZE=65535;
10. logic [16:0] address;
11. logic [7:0] value;
12. logic clk2048kHZ;
14. clk2MHZ C2(clk,clk2048kHZ);
16. eire p(.clka(clk),
17. .addra(address),
18. .douta(value));
20. logic [7:0] counter=0;
22. always @(posedge clk2048kHZ)
23. begin
24. counter <=counter+1;
26. audioData<=(counter<value);
28. **if**(counter ==(256-1))
29. begin
30. address<=address+1;
31. **if**(address==MEM\_SIZE) address<=0;
32. end
33. end
34. endmodule

# **四、验证**

生成二进制文件,再写入开发板,就可以通过耳机听到播放的音乐了

# **五、思考与收获**

**１. 分析听到的音乐**

我们听到的音乐质量不高,有很多杂音.可能是由这些原因造成的.一者,是为了使存储空间足够存储音频,我们将声音的采样频率从44100HZ双声道降低到了8000HZ单声道,这使得音乐质量急剧下降.其二,播放设备选择的是耳机而非音箱,在使用从同学处借来的音箱后音乐质量就高了不少.

另外,输出的声音音量很大,且刺耳(~~用耳机实现了外放的效果~~),推测是因为输出的音乐本身电压就比较高,再经过耳机的放大,就达到了外放的效果.

**２. IP核**

IP核就是知识产权核或知识产权模块的意思，在EDA技术开发中具有十分重要的地位。美国著名的Dataquest咨询公司将半导体产业的IP定义为“用于ASIC或FPGA中的预先设计好的电路功能模块”。IP主要分为软IP、固IP和硬IP。软IP核用Verilog/VHDL等硬件描述语言描述的功能块，但是并不涉及用什么具体电路元件实现这些功能。固IP是完成了综合的功能块。硬IP提供设计的最终阶段产品——掩膜。

在本实验中,我们使用了CLOCKING WIZARD 和BLOCK MEMORY GENERATOR,这些IP核简化了我们的开发.

**3. 什么是FPGA原型**

FPGA原型验证是一种成熟芯片验证技术，通过将RTL移植到现场可编程门阵列（FPGA）来验证ASIC的功能，并在芯片的基本功能验证通过后就可以开始驱动的开发，一直到芯片Tape Out并回片后都可以进行驱动和应用的开发，当芯片回片后，可以直接基于FPGA版本的驱动驱动和应用程序，进行简单的适配，就可以应用到SoC芯片上，将SoC芯片Time-to-Market的时间控制的很完美。

除了可以提前进行软件开发外，从成本上来说，FPGA原型验证是一个性价比很高的验证手段。相对于动辄几百万甚至上千万RMB的Emulator（硬件仿真加速器，例如Mentor的Veloce，Synopsy的ZeBu，Candance的Palladium），FPGA在价格上可以说非常的亲民。

**4. 收获**

在本次实验中，我们基于FPGA原型设计了一个音乐播放器,并成功播放了一段音乐.设计过程中我们解决了一系列问题,了解了FPGA原型,并尝试使用IP核快速开发.在以后的开发中,我们同样可以应用这些技术.