

Plan de Trabajo

Para el planteamiento del plan de trabajo se parte del diagrama de bloques que se obtiene de la presentación de la capa PHY para la interfaz PCIE.

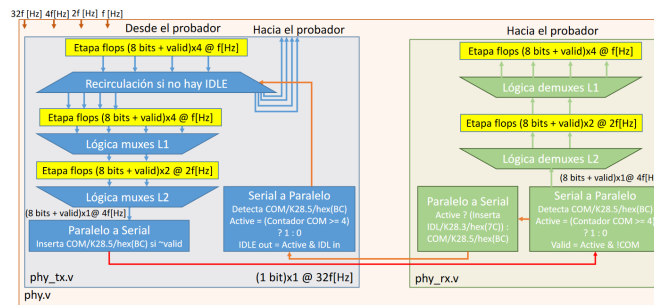


Figura 1: Diagrama de la capa PHY. Tomado de Soto (2020)

A partir del diagrama en la figura 1 se desarrolla el proyecto primeramente dividiendo las etapas del transmisor y del receptor. Para la etapa del transmisor se trabajará inicialmente cada multiplexor así como el bloque de recirculación como un módulo aparte para comprobar el funcionamiento independiente de cada etapa. Luego, se le realizarán las pruebas utilizando como referencia los resultados de la figura 2 para determinar el funcionamiento de cada etapa. Una vez determinado los módulos conductuales se procede a unir los módulos de los multiplexores para poder realizar la síntesis de YOSYS considerando todos los componentes.

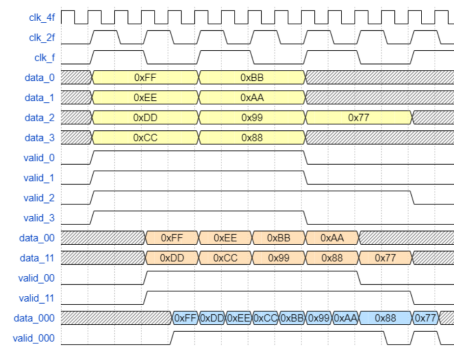


Figura 2: Salidas esperadas de multiplexores. Tomado de Soto (2020)

Por otro lado, para la etapa del receptor se realizará de igual manera el módulo de cda demultiplexor por separado y luego de comprobar el funcionamiento de cada uno se unirán para realizar las síntesis.

Después, se realizarán los módulos de paralelo a serial y de serial a paralelo dónde se tomará en cuenta las entradas y salidas esperadas para verificar el funcionamiento de cada módulo y realizar la síntesis de cada uno por separado. Se tomara como referencias las salidas mostradas en las figuras 3 y 4. Para cada etapa realizada previamente se van a realizar el respectivo probador y banco de pruebas que luego se irán reduciendo conforme se unan los módulos hasta obtener un único probador y banco de pruebas utilizando AUTOINST como herramienta de apoyo.

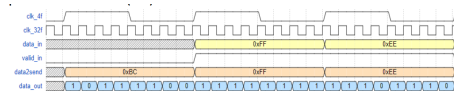


Figura 3: Salidas esperadas de conversión de paralelo a serial. Tomado de Soto (2020)

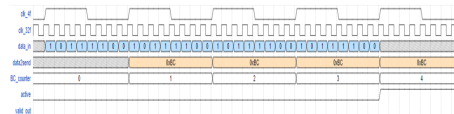


Figura 4: Salidas esperadas de conversión de serial a paralelo. Tomado de Soto (2020)

Referencias

Soto, J. (2020). Phy pcie.