

Plan de pruebas

Para el planteamiento del plan de trabajo se parte del diagrama que se obtiene de la presentación de la capa de transacción PCIE.

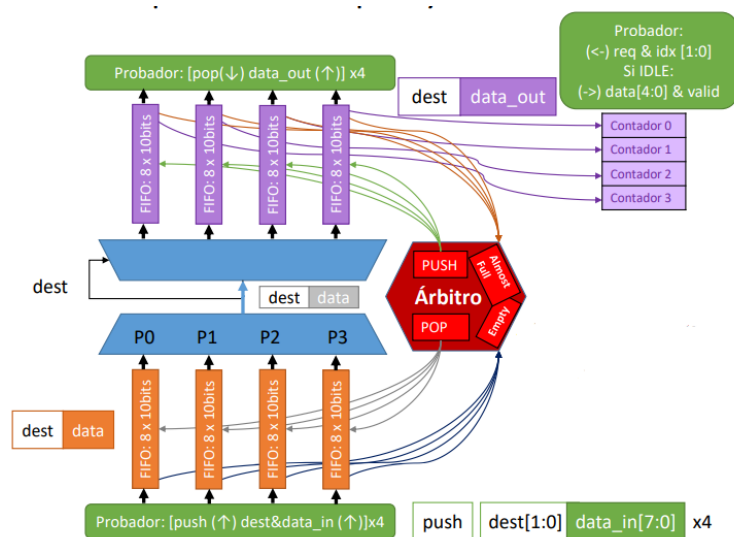


Figura 1: Diagrama de la capa PHY. Tomado de Soto (2021)

A partir del diagrama en la figura 1 primeramente diseñando para módulos por separado. Una vez determinado el correcto funcionamiento de los módulos conductuales se procede a realizar la síntesis de YOSYS para cada uno. El primer módulo que se realiza es el de la memoria en para comprobar el funcionamiento como una memoria de doble puerto. A este módulo se le realizan tres diferentes pruebas para verificar, la primera se realiza únicamente escritura en 4 valores de la memoria, seguido de una lectura de 2 los datos y por último, se realiza también una escritura y lectura de datos de 4 datos adicionales para luego hacer un reset al módulo.

Una vez definido el módulo de memoria se realizar la configuración de cada uno de los FIFO. En este módulo las pruebas se basan en probar cada uno de los estados que se presentan para el modelo para verificar que las salidas coinciden con las entradas de la memoria conforme se van realizando las escrituras

y lecturas y probar las banderas de `almost_empty` y `almost_full`. Asimismo, se crea también una lógica de error para comprobar que el sistema no funciona a la hora de realizar una escritura y no lectura en `full`.

Luego se realiza la configuración del árbitro para determinar que una vez que se levanta una bandera de las determinadas anteriormente se tome acción ya sea para detener los datos o para continuar el flujo de los mismos. Para esto es necesario asimismo crear la lógica de los muxes en dónde las palabras se deben ir enviando de acuerdo a los bits del destino. Además se debe configurar por medio del árbitro la prioridad de cada uno de los FIFO para que se le prioridad absoluta. En este caso las pruebas a realizar consisten en probar el funcionamiento de los PUSH y POP en condiciones regulares y luego forzar cada uno de los estados de `almost_full` y `almost_empty` para cada uno de los FIFO. Por último, se debe probar el funcionamiento de la prioridad para comprobar que se envíen datos del FIFO correspondiente.

Para continuar con el diseño también se debe realizar la configuración de los contadores de cada uno de los FIFO en dónde se debe probar que la cantidad de las palabras coincidan con las que fueron enviadas al destino de cada FIFO y realizar el request para leer las palabras en el probador por medio de una solicitud acompañada del índice del dato que se quiere obtener. Asimismo, se debe considerar la máquina de estado a diseñar para probar las 4 etapas que conlleva y determinar los parámetros de los umbrales.

Por último se debe probar el funcionamiento del bloque completo, para esto se realizan una serie de pruebas en dónde primero se modifican los valores de la máquina de estados. Luego se debe llevar los FIFOs de salida a un estado de `almost_full` utilizando la menor cantidad de POPs. Una vez que todos los FIFOs de salida estén `almost_full` se lleva al mismo estado a los FIFOs de entrada. Luego se lee los contadores de palabras para luego enviar 16 palabras más y determinar que el aumento correspondiente a cada uno de los contadores sea de 4 palabras esto para determinar el caso de un FIFO de entrada envía los datos a los 4 FIFOs de salida.

Referencias

Soto, J. (2021). *Qos tcs vcs y arbitraje en la capa de transacción pcie*.