



Universidade Federal do Rio Grande do Norte

Centro de Tecnologia - CT

Departamento de Engenharia Elétrica

Relatório Técnico

ELE2715 - Grupo 03 - Implementação - Problema 01

Alysson Ferreira da Silva
Eduardo Garcia Zaccharias
Isaac de Lyra Junior
Kaline Souza dos Santos
Rafael Pereira de Alexandria Soares

Natal, 30 de janeiro de 2021

RESUMO

O presente relatório tem por objetivo a implementação de um *driver* para uma matriz de LEDs 8x8 semelhante a do modelo 1088AS para o problema 01 da Disciplina de Circuitos Digitais. O *driver* deverá ser capaz de acionar os LEDs da matriz de acordo com os caracteres alfanuméricos do código binário da tabela. A metodologia utilizada consistiu em uma abordagem para a implementação através de circuitos integrados (CI's) comerciais e numa aplicação específica em VHDL. Os resultados mostram que ao usar circuito combinacional de 3 bits para a habilitação de cada coluna fez com que a cada bit o circuito alimente a coluna respectiva obtendo, assim, a resposta esperada.

Palavras-chaves: Circuitos Digitais; Implementação; LED; Matriz; VHDL.

SUMÁRIO

| | |
|---|-----------|
| 1 INTRODUÇÃO | 4 |
| 2 DESENVOLVIMENTO | 5 |
| 2.1 Pré-implementação | 5 |
| Figura 1 - Equações lógicas da coluna 2. | 5 |
| Figura 2 - Representação das saídas propostas no projeto. | 6 |
| Figura 3 - Sistema de coordenadas adotado para o esquemático. | 6 |
| 2.2 Esquemáticos | 7 |
| Figura 4 - CIs comerciais utilizados no projeto. | 7 |
| Figura 5: Esquemático da coluna 2. | 8 |
| Figura 6: Sub Circuitos das linhas | 9 |
| Figura 7: Circuitos combinacionais das colunas | 10 |
| Figura 8: Entradas e conexões no display de LEDs 8x8 | 10 |
| 3 RESULTADOS | 11 |
| Figura 9: Simulação no VHDL do caractere '0'. | 11 |
| 4 CONCLUSÃO | 12 |
| REFERÊNCIAS | 12 |
| ANEXOS | 13 |
| ANEXO A - RELATÓRIO SEMANAL | 13 |
| A.1 Equipe | 14 |
| A.2 Defina o problema | 14 |
| A.3 Registro do brainstorming | 14 |
| A.4 Pontos-chaves | 15 |
| A.5 Questões de pesquisa | 15 |
| A.6 Planejamento da pesquisa | 15 |
| ANEXO B - SIMULAÇÃO NO VHDL | 17 |
| Anexo 1 - Simulação no VHDL do caractere '1'. | 17 |
| Anexo 2 - Simulação no VHDL do caractere '2'. | 17 |
| Anexo 3 - Simulação no VHDL do caractere '3'. | 17 |
| Anexo 4 - Simulação no VHDL do caractere '4'. | 18 |
| Anexo 5 - Simulação no VHDL do caractere '5'. | 18 |
| Anexo 6 - Simulação no VHDL do caractere '6'. | 18 |
| Anexo 7 - Simulação no VHDL do caractere '7'. | 19 |
| Anexo 8 - Simulação no VHDL do caractere '8'. | 19 |
| Anexo 9 - Simulação no VHDL do caractere '9'. | 19 |

| | |
|---|----|
| ANEXO C - CÓDIGO NO VHDL | 20 |
| ANEXO D - FÓRMULAS LÓGICAS | 22 |
| Anexo 10 - Equações lógicas da coluna 3. | 22 |
| Anexo 11 - Equações lógicas da coluna 4. | 22 |
| Anexo 12 - Equações lógicas da coluna 5. | 23 |
| Anexo 13 - Equações lógicas da coluna 6. | 23 |
| ANEXO E - ESQUEMÁTICOS | 24 |
| Anexo 14 - Esquemático do circuito lógico coluna 2 | 24 |
| Anexo 15 - Esquemático do circuito lógico da coluna 3 | 25 |
| Anexo 16 - Esquemático do circuito lógico da coluna 4 | 26 |
| Anexo 17 - Esquemático do circuito lógico da coluna 5 | 27 |
| Anexo 18 - Esquemático do circuito lógico da coluna 6 | 28 |
| Anexo 19 - Esquemático do Display 8x8 e entradas | 29 |
| Anexo 20 - Esquemático do circuito das colunas | 30 |
| Anexo 21 - Esquemático do circuito das linhas | 31 |

1 INTRODUÇÃO

Um circuito digital em que as saídas dependem tão somente da combinação dos valores existentes na entrada é denominado de **circuito combinacional**. Segundo Vahid (2008), os circuitos combinacionais compõem uma classe básica capazes de implementar alguns sistemas simples. Diante disso, este capítulo introduzirá alguns blocos construtivos básicos dos circuitos combinacionais, tais como: portas lógicas, álgebra booleana e mapa de *Karnaugh* para a solução de um problema em uma matriz de LEDs 8x8.

A matriz de LED (do inglês, *Light Emitter Diode*) é um dos itens mais usados no desenvolvimento de projetos que envolvam efeitos visuais, já que permite a exibição de textos, figuras ou números. Em especial, a matriz de LED 8x8 possui um total de 64 LEDs que são segmentados em 8 linhas (*rows*) e 8 colunas (*columns*), ainda, de acordo com Sousa (2018), a matriz foi produzida com o intuito de facilitar o acionamento individual dos LEDs utilizando, assim, apenas 16 pinos em vez de 65 pinos (64 pinos + o terra). Nesse contexto, este relatório utilizará o modelo 1088AS com organização interna de linhas (cátodo comum) e colunas (ânodo comum).

Ainda sob essa ótica, para que ocorra o acionamento dos LEDs da matriz, de acordo com os caracteres numéricos, o circuito deverá empregar o efeito POV (do inglês, *Persistence of vision*). Conforme Testoni *et al.* (2014), o efeito POV refere-se ao fenômeno ou característica do olho humano em “gravar” uma imagem na retina por um curto período de tempo após sua percepção, ou seja, é como se o olho humano atrasasse um certo tempo para esquecer a imagem capturada. O tempo de persistência da imagem na retina é de aproximadamente 1/10 segundo (ESTREME; OUVERNEY; PASETTI, 2016). Desse modo, se a imagem for alterada em um intervalo menor que este, o cérebro unirá a sequência de imagens, o que provoca a sensação de continuidade na imagem, ou seja, movimento.

Nesse contexto, para auxiliar na utilização do efeito POV, será importante apoderar-se de conhecimentos sobre álgebra booleana, tabela verdade e o mapa de *Karnaugh*. A álgebra booleana usa variáveis cujos valores podem ser apenas 1 ou 0 (verdadeiro ou falso, respectivamente) e cujos operadores lógicos são AND, OR e NOT. Já a tabela verdade é um mapa onde são colocadas todas as possíveis situações, com seus respectivos resultados para

uma expressão booleana qualquer. E por fim, o mapa de *Karnaugh* é um método gráfico que tanto pode simplificar uma equação lógica ou converter uma tabela verdade em um circuito lógico (VAHID, 2008).

Diante disso, este relatório apresenta o desenvolvimento e a implementação em VHDL de um projeto com circuito combinacional para solucionar o problema da exibição de caracteres numéricos em uma matriz de LEDs 8x8, semelhante a do modelo 1088AS, através de circuitos integrados.

2 DESENVOLVIMENTO

2.1 Pré-implementação

A implementação do projeto foi marcada pela concatenação das fórmulas lógicas para os bits de entrada que selecionam os números, nomeados de A,B,C e D e os bits de entrada para escolha das colunas, identificados por J,K e L. Neste procedimento, foi iniciado o processo de revisão das equações lógicas fornecidas pelo projeto utilizado para implementação do objeto de estudo deste relatório. Resultante da revisão, identificou-se que a equação booleana correspondente ao led nas coordenadas coluna 6 e linha 2 estava equivocada, havendo necessidade de alteração de $(A + CD + B'C + B'C')$ para $(A + CD + B'C + B'D')$. As equações booleanas pós concatenação das entradas encontram-se na Figura 1, as demais tabelas estão anexadas ao final do relatório.

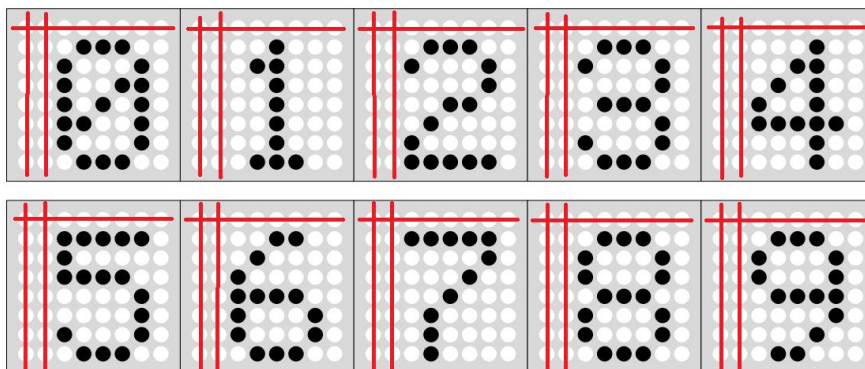
Figura 1 - Equações lógicas da coluna 2.

| Leds | Fórmula |
|---------|-----------------------------------|
| COL2[1] | $(BD)J'KL'$ |
| COL2[2] | $(A + B'C + B'D' + BC'D)J'KL'$ |
| COL2[3] | $(A + BC'D + B'D'C' + BCD')J'KL'$ |
| COL2[4] | $(BD' + A'C'D')J'KL'$ |
| COL2[5] | $(C'D' + BD)J'KL'$ |
| COL2[6] | $(CD' + B'C + B'D' + BC'D)J'KL'$ |
| COL2[7] | $(B'CD')J'KL'$ |

Fonte: Elaborado pelos autores.

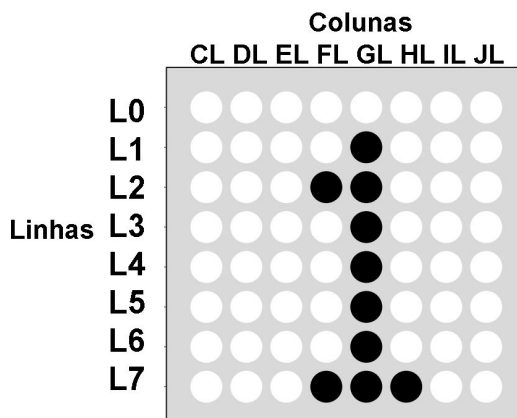
Após a concatenação das fórmulas foi necessário levantar os marcos principais para implementação da lógica do projeto. Através da Figura 2, é possível destacar que durante a exibição dos números de base 10 no *display* 8x8 não requisitam atuação das colunas 0,1 e 7 e linha 0. Nessa perspectiva, foram implementadas no projeto as equações booleanas respectivas das colunas de 2 a 6 e linha 1 a 7. Ademais, é exposto pela Figura 3 o sistema de coordenadas utilizado ao decorrer da implementação. O projeto também prevê o uso de um circuito combinacional de 3 bits para a habilitação de cada coluna, isso faz com que a cada bit o circuito alimente a coluna respectiva, fazendo com que a lógica aderida a essa linha acenda os LEDs de acordo com o dígito escolhido.

Figura 2 - Representação das saídas propostas no projeto.



Fonte: Elaborado pelos autores.

Figura 3 - Sistema de coordenadas adotado para o esquemático.



Fonte: Elaborado pelos autores.

2.2 Esquemáticos

A produção dos esquemáticos respectivos aos circuitos lógicos iniciou-se com a escolha dos Circuitos Integrados (CI) comerciais que seriam necessários para implementação do projeto. Desse modo, é expresso na Figura 4 os CIs que foram utilizados.

Figura 4 - CIs comerciais utilizados no projeto.

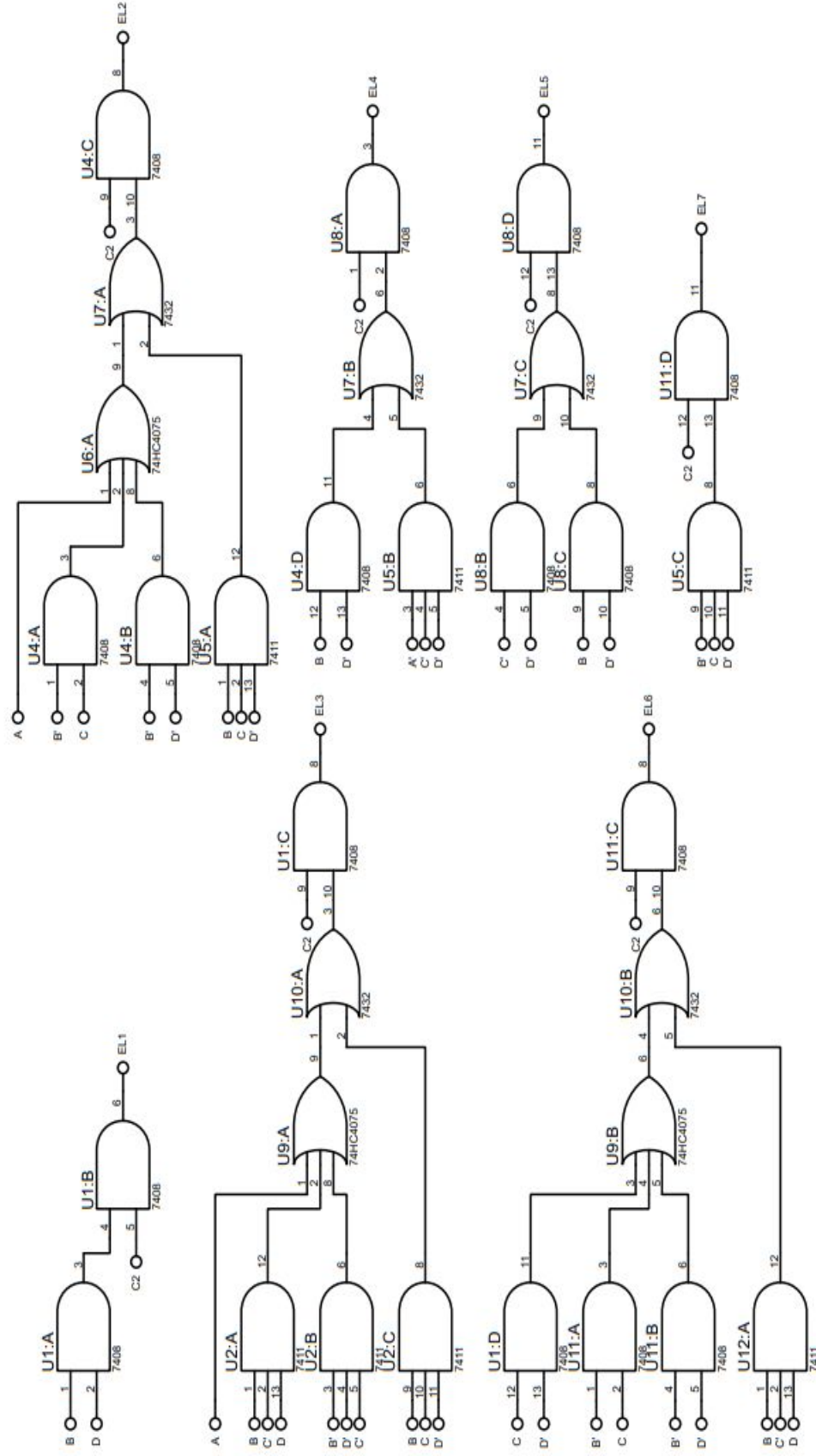
| Operação Lógica | CI comercial utilizado |
|------------------|------------------------|
| AND (2 Entradas) | 7408 |
| AND (3 Entradas) | 7411 |
| AND (4 entradas) | 4082 |
| NOT | 7404 |
| OR (2 Entradas) | 7432 |
| OR (3 Entradas) | 74HC4075 |

Fonte: Elaborado pelos autores.

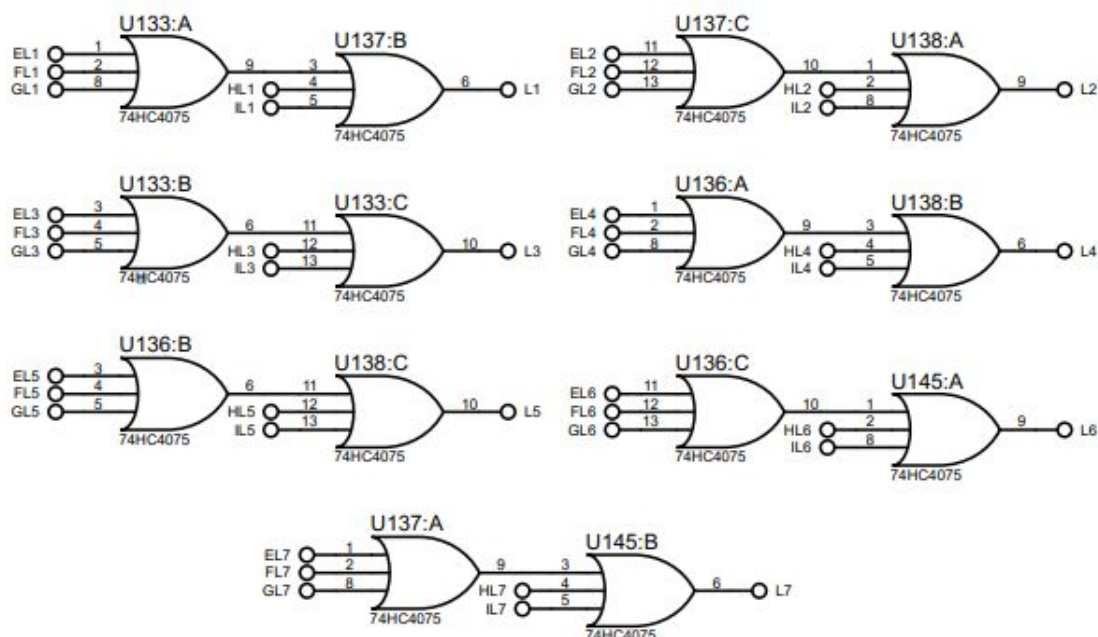
No intuito de facilitar a montagem do circuito e sua posterior visualização, os esquemáticos foram construídos em blocos de Colunas, Circuitos Combinacionais das colunas, ligação de cada sub-circuito para as linhas e Matriz de LEDs 8x8.

Os blocos de Colunas demonstram todo o circuito lógico necessário para fazer o controle das entradas e acender os leds indicados para formação dos números. O esquemático que descreve a lógica de funcionalidade da Coluna 2 está expresso pela Figura 5, as demais colunas encontram-se no tópico anexos.

Figura 5: Esquemático da coluna 2.



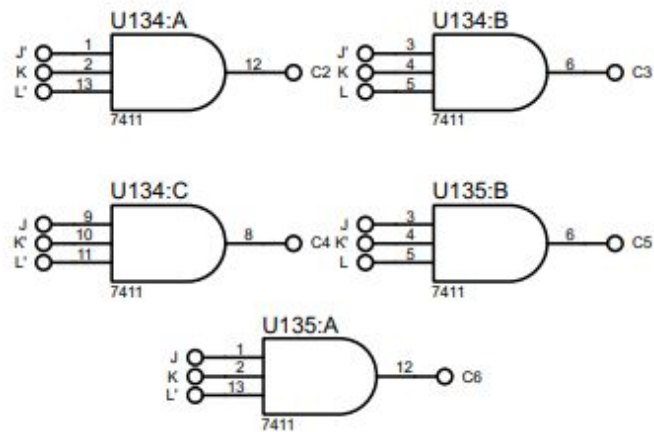
Fonte: Elaborado pelos autores.

Figura 6: Sub Circuitos das linhas

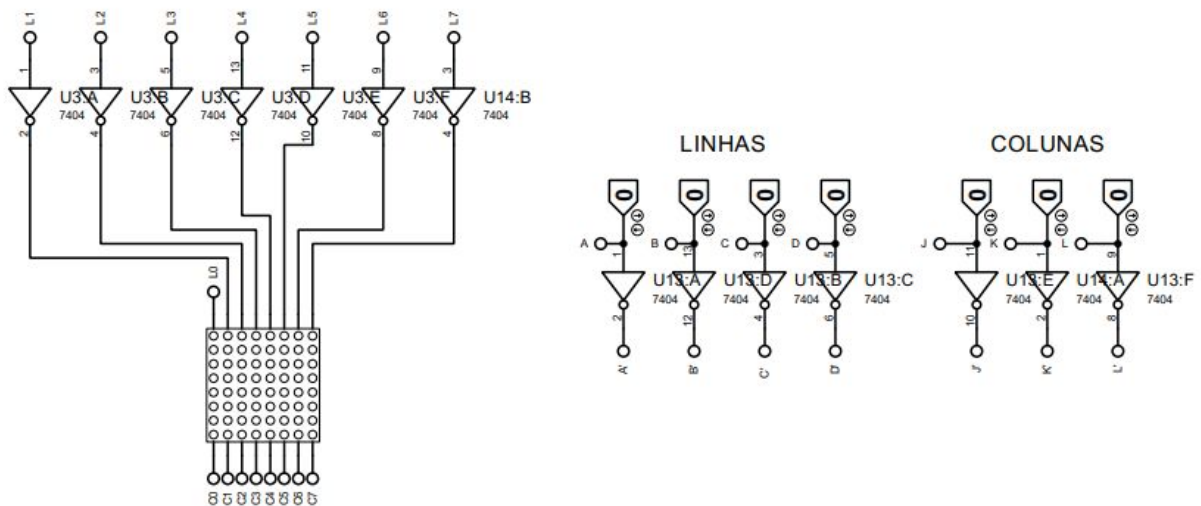
Fonte: Elaborado pelos autores.

Os sub circuitos da Figura 6 são responsáveis por encaminhar cada correspondente das colunas a sua determinada linha, por exemplo, na coluna 2 temos um correspondente da linha 1 chamado EL1, na coluna 3 temos outro correspondente da linha 1 chamado FL1 e assim sucessivamente até a coluna 6 com seu correspondente IL1. Cada coluna possui um circuito correspondente para cada linha, de acordo com os esquemáticos no anexo, e o sub circuito acima utiliza duas portas “OR” para encaminhar um desses cinco sinais até a porta da linha correspondente quando solicitada.

Para acessar cada coluna foi utilizada uma lógica combinacional de 3 bits, tendo assim 8 combinações possíveis, a Figura 7 mostra os circuitos responsáveis para habilitação das colunas 2, 3, 4, 5 e 6, visto que são apenas essas colunas que fazem parte na mostra dos caracteres. O circuito é constituído de uma porta “AND” de três entradas para cada coluna, que a cada combinação a coluna referida é habilitada.

Figura 7: Circuitos combinacionais das colunas**CIRCUITOS COMBINACIONAIS DAS COLUNAS**

Fonte: Elaborado pelos autores.

Figura 8: Entradas e conexões no *display* de LEDs 8x8

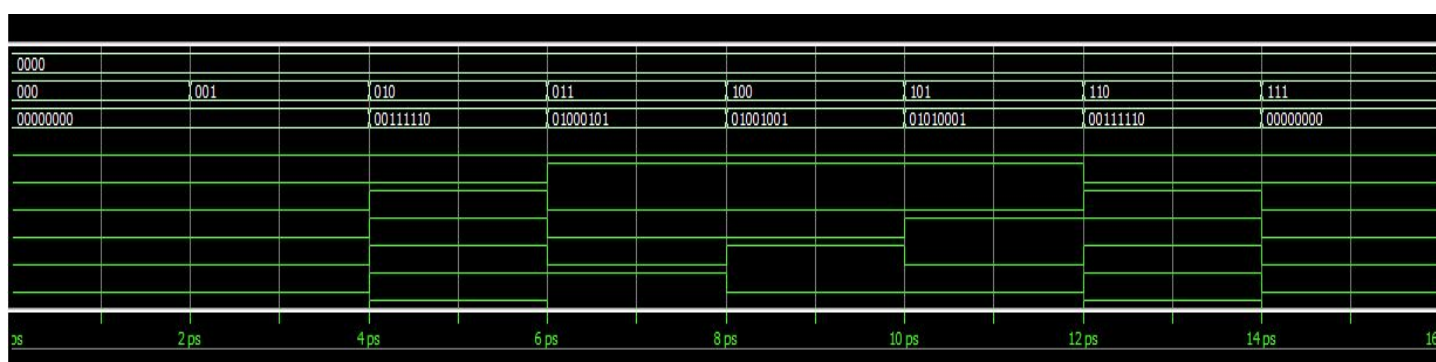
Fonte: Elaborado pelos autores.

A matriz de LEDs 1088AS proposta para o projeto, tem como interligação interna a configuração de ânodo comum para as colunas e cátodo comum para as linhas, dessa forma, foram introduzidas uma porta "NOT" ligada a cada linha, como mostra a Figura 8, invertendo assim o sinal das linha para que haja a diferença de potencial para o acendimento dos LEDs. A Figura, em análise, também mostra as entradas de estados lógicos de 4 bits e de 3 bits, para a lógica combinacional das linhas e a lógica combinacional das colunas, respectivamente.

3 RESULTADOS

Neste capítulo, são apresentados os resultados das simulações dos caracteres alfanuméricos obtidos no VHDL. A ferramenta computacional utilizada foi o ModelSim versão 20.1. A Figura 9 mostra o resultado de uma simulação que tem como parâmetros os 4 bits das linhas sendo forçado em "0000" e os parâmetros das entradas de 3 bits das colunas variando em todas as combinações possíveis, dessa forma teremos nas saídas as combinações específicas para o acendimento dos LEDs para formar o caractere '0'.

Figura 9: Simulação no VHDL do caractere '0'.



Fonte: Elaborado pelos autores.

No anexo B, segue as demais Figuras das simulações com as variações das combinações de 4 bits e seus respectivos resultados.

4 CONCLUSÃO

Este trabalho propôs investigar a implementação de um *driver* para uma matriz de LEDs 8x8 semelhante a do modelo 1088AS. O *driver* foi capaz de acionar os LEDs da matriz de acordo com os caracteres alfanuméricos do código binário da tabela. A modelagem de soluções adotada apresenta que a abordagem utilizada para implementação através de circuitos integrados (CI) comerciais e em VHDL foi satisfatória.

Nota-se, para o resultado da simulação da Figura 9 cujos parâmetros são os 4 bits das linhas (sendo forçado em “0000”) e os parâmetros das entradas de 3 bits das colunas variando em todas as combinações possíveis, logo, teremos nas saídas as combinações específicas para o acendimento dos LEDs para formar o caractere ‘0’. Além disso, foi possível testar e praticar os assuntos referentes à tabela verdade, mapa de karnaugh e álgebra booleana com o desenvolvimento da solução para o problema.

REFERÊNCIAS

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **NBR 6023**: informação e documentação – referências – elaboração. Rio de Janeiro, 2002. 24 p.

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **NBR 6024**: informação e documentação - numeração progressiva das seções de um documento - apresentação. Rio de Janeiro, 2012. 4 p.

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **NBR 6027**: informação e documentação – sumário - apresentação. Rio de Janeiro, 2013. 3 p.

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **NBR 10520**: informação e documentação - citações em documentos – apresentação. Rio de Janeiro, 2002. 7 p.

ESTREME, F.; OUVENEY, M. A.; PASETTI, G. **Persistência da visão**. In: SEMANA DA CIÊNCIA E TECNOLOGIA (SECITEC). Santa Catarina, 2016.

SOUSA, F. G. **Matriz de LED**: O que é e como usar. São Paulo, 2018. Disponível em:<<http://mundoprojetado.com.br/matriz-de-led-o-que-e-e-como-usar>>. Acesso em: 28 jan. 2021.

TESTONI, L. A. *et al.* **Escrevendo com LEDs**: uma proposta de ensino do movimento circular para cursos de engenharia. In: XIII INTERNATIONAL CONFERENCE ON ENGINEERING AND TECHNOLOGY EDUCATION. Portugal, 2014.

VAHID, F. **Sistemas digitais**: projeto, otimização e HDLs. Porto Alegre: Artmed, 2008. 560p.

ANEXOS

ANEXO A - RELATÓRIO SEMANAL

Líder: Alysson Ferreira da Silva

A.1 Equipe

Tabela 1 - Identificação da equipe

| Função do Grupo | Discente |
|-----------------|-------------------------------------|
| Redator | Kaline Souza dos Santos |
| Debatedor | Eduardo Garcia Zaccharias |
| Vídeo Maker | Rafael Pereira de Alexandria Soares |
| Auxiliar | Isaac de Lyra Junior |

Fonte: Elaborado pelos autores.

A.2 Defina o problema

A situação problema que tratamos neste relatório abordou a implementação de uma proposta de solução para uso do efeito POV na exibição de números de base 10, em um display de leds semelhante ao modelo 1088AS.

A.3 Registro do *brainstorming*

O líder não pôde participar da primeira reunião para definição de papéis e atividades, mas deixou um vídeo gravado com orientações e sugestões de pauta para os demais membros da equipe. As atividades foram separadas de modo que 3 pessoas ficassem responsáveis pela entrega do esquemático e 2 duas ficassem responsáveis pela simulação em VHDL. No entanto, o sistema de responsabilidade serviu apenas para garantir que os documentos fossem entregues, ou seja, não restringiu em nenhum momento a participação dos demais integrantes na realização de quaisquer atividades.

Cada cargo ficou responsável pela execução de 3 tarefas. O debatedor ficou incumbido de contribuir majoritariamente com a simulação em VHDL, produção dos esquemáticos e a escrita das respectivas atividades no relatório. O redator ficou responsável pela entrega dos esquemáticos, escrita da introdução, conclusão e harmonização dos textos do relatório, seguido de auxílio na construção da pauta do vídeo. O Vídeo maker ficou atribuído de entregar esquemático e simulação em VHDL, e pela construção e apresentação do vídeo. Os cargos de líder e auxiliar ficaram responsáveis por garantir auxílio, seja qual for, aos demais integrantes na realização das atividades.

Para a atividade em VHDL, demos início fazendo toda a arquitetura de nossa matrix 8x8 e definindo cada linha com base nas equações booleanas sugeridas pelo Grupo 03 anterior, identificamos um erro em uma equação booleana referente a coluna 6 e linha 2, onde mudamos de $(A + CD + B'C + B'C')$ para $(A + CD + B'C + B'D')$, dessa forma foi possível simular e verificar que a saída para os caracteres 0 e 1 estavam corretas. A construção do esquemático ocorreu de maneira natural e a metodologia foi descrita ao longo do relatório.

A.4 Pontos-chaves

A implementação das entradas de 3 bits para modificação da coluna e alusão ao efeito POV.

A.5 Questões de pesquisa

Os conceitos pesquisados incluem tabela verdade, mapa de Karnaugh, equações booleanas e circuitos integrados comerciais.

A.6 Planejamento da pesquisa

As atividades da semana ocorreram conforme descrito no cronograma semanal, vide quadro 1.

Quadro 1 - Cronograma semanal

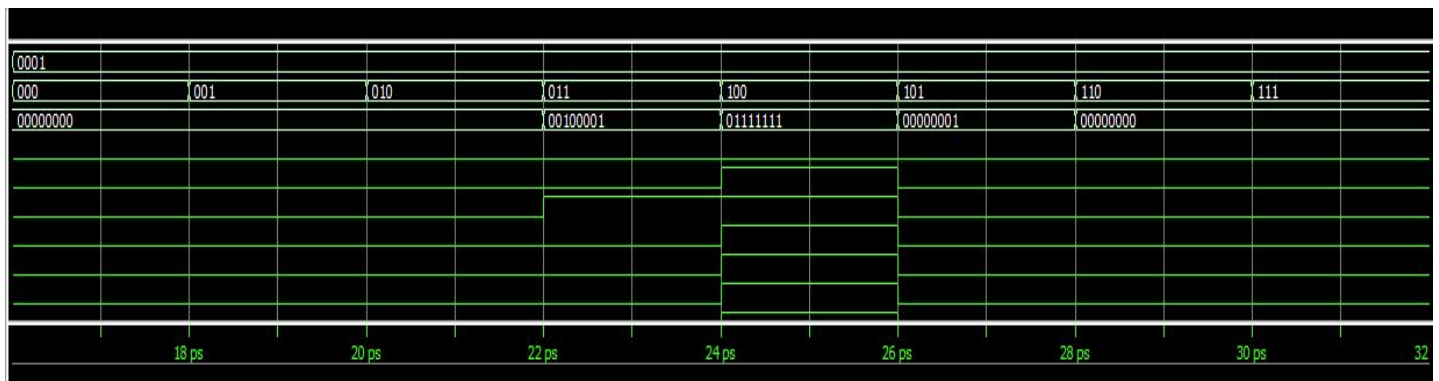
| | Segunda | Terça | Quarta | Quinta | Sexta |
|----|---------------------|---|--|---|--|
| M3 | Rafael | Rafael /Isaac/eduardo | Rafael/Kaline/eduardo | Isaac/eduardo | Rafael /eduardo |
| M4 | Rafael | Rafael / Isaac/eduardo | Rafael/Kaline/eduardo | Isaac/eduardo | Rafael /eduardo |
| M5 | | Rafael/Kaline/eduardo | Rafael/Kaline/Isaac/eduardo | Kaline/eduardo | Rafael/ Kaline /Isaac |
| M6 | | Rafael/Kaline/eduardo | Rafael/Kaline/Isaac/eduardo | Kaline/eduardo | Rafael/Kaline/Isaac |
| T1 | Rafael/Kaline | Isaac | Alysson | Kaline/Isaac | Alysson |
| T2 | Rafael/Kaline | Isaac | Kaline/Alysson | Kaline/Isaac | Alysson |
| T3 | | Rafael/Kaline | Kaline/Isaac | Kaline | Continuar implementação no VHDL e no Proteus |
| T4 | | Rafael/Kaline | Kaline/Isaac | 3º Reunião: Início da implementação em VHDL | |
| T5 | Rafael/Kaline/Isaac | 1º Reunião: Apresentações e escolha de papéis | 2º Reunião: Início da implementação no Proteus | | |
| T6 | Rafael/Kaline/Isaac | | | | |
| N1 | Isaac | eduardo | eduardo | eduardo | eduardo |
| N2 | Isaac | eduardo | eduardo | eduardo | eduardo |
| N3 | Rafael/Kaline | eduardo | eduardo | eduardo | eduardo |
| N4 | Rafael/Kaline | eduardo | eduardo | eduardo | eduardo |

Fonte: Elaborado pelos autores

Dentro destas atividades foi necessário consultar os conceitos básicos mencionados no item A.5, para equilibrar o conhecimento dos membros do grupo. Sendo assim, a principal literatura base para pesquisa foi o livro do VAHID (2008) “Vahid: Sistemas digitais: projeto, otimização e HDLS.”

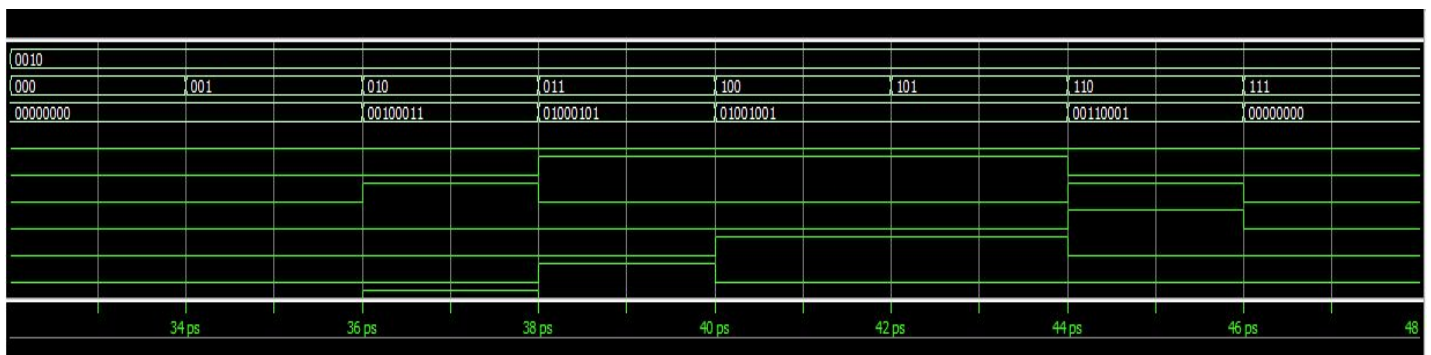
ANEXO B - SIMULAÇÃO NO VHDL

Anexo 1 - Simulação no VHDL do caractere '1'.



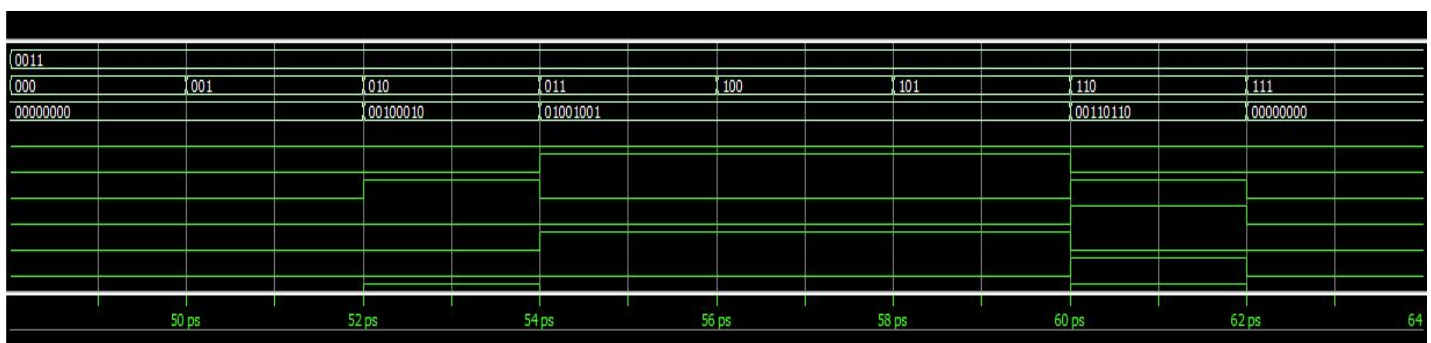
Fonte: Elaborado pelos autores.

Anexo 2 - Simulação no VHDL do caractere '2'.



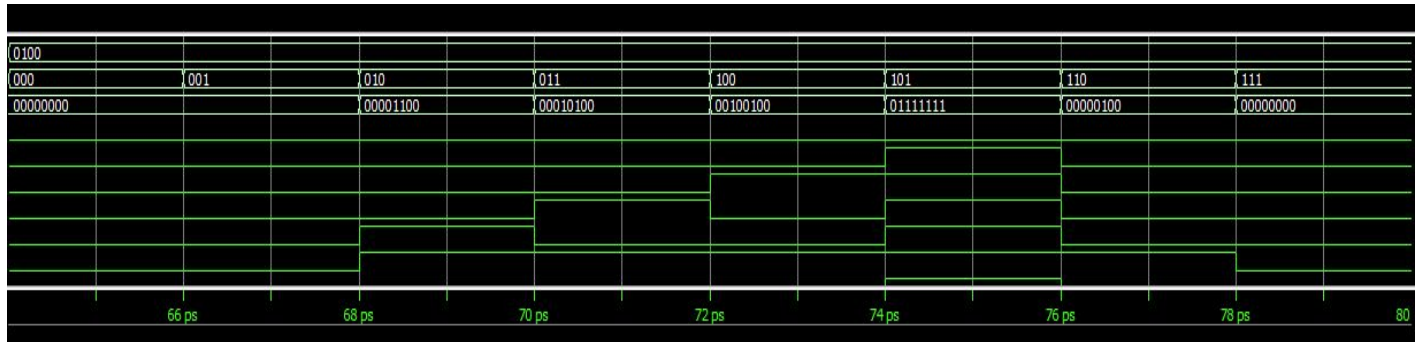
Fonte: Elaborado pelos autores.

Anexo 3 - Simulação no VHDL do caractere '3'.



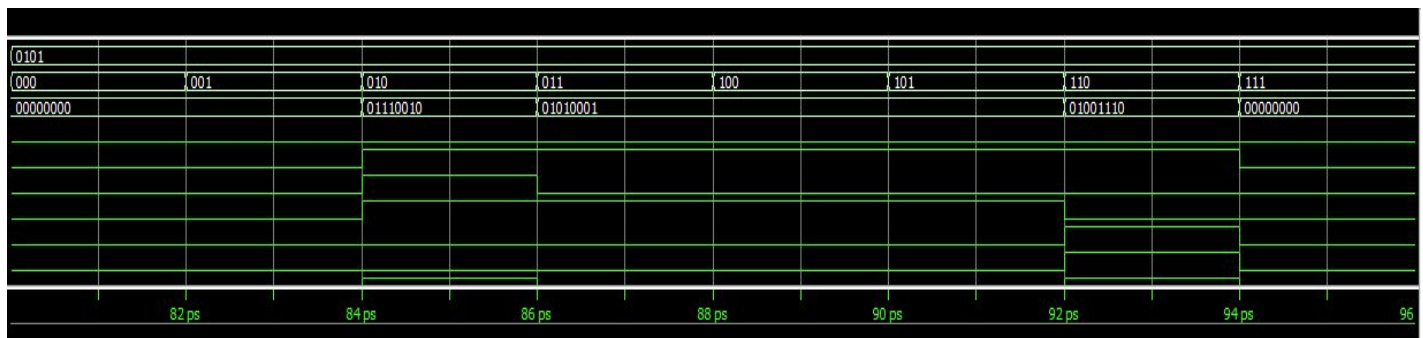
Fonte: Elaborado pelos autores.

Anexo 4 - Simulação no VHDL do caractere '4'.



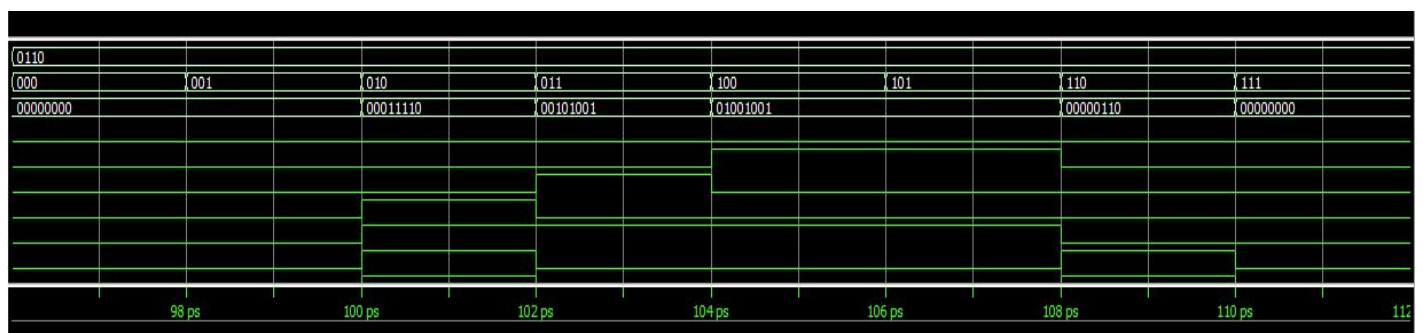
Fonte: Elaborado pelos autores.

Anexo 5 - Simulação no VHDL do caractere '5'.



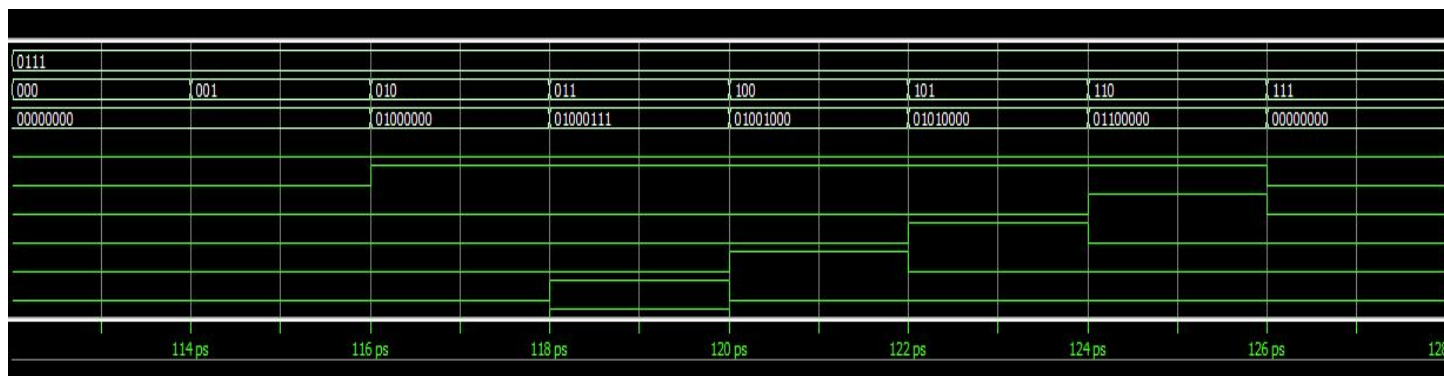
Fonte: Elaborado pelos autores.

Anexo 6 - Simulação no VHDL do caractere '6'.



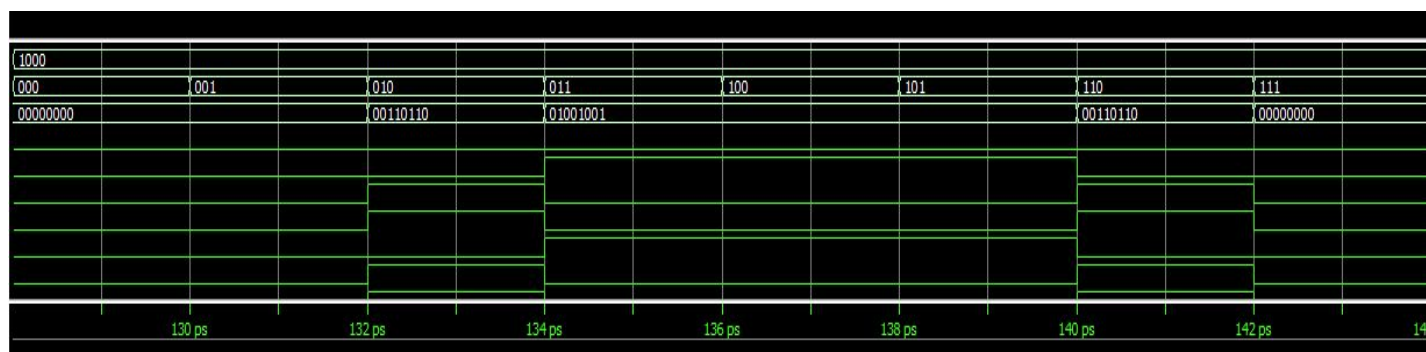
Fonte: Elaborado pelos autores.

Anexo 7 - Simulação no VHDL do caractere ‘7’.



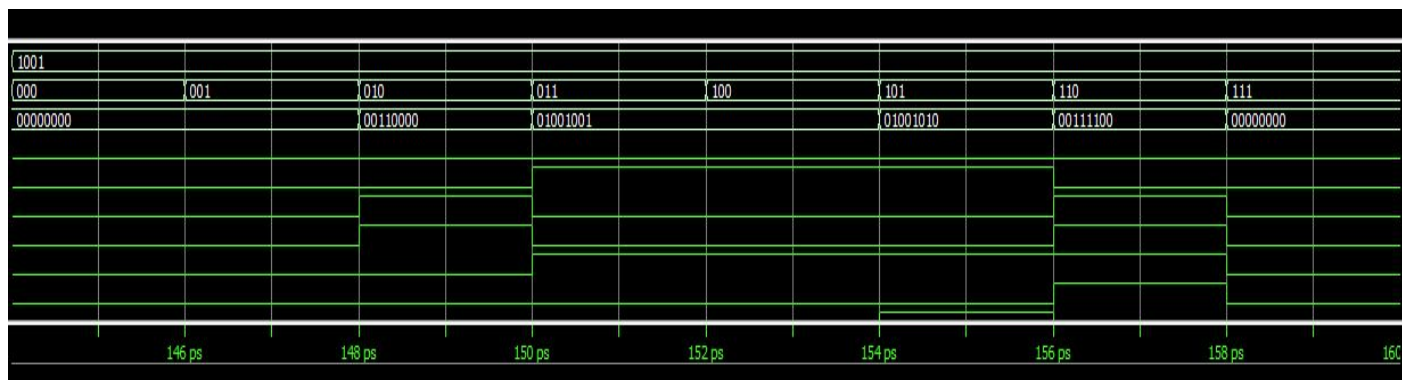
Fonte: Elaborado pelos autores.

Anexo 8 - Simulação no VHDL do caractere ‘8’.



Fonte: Elaborado pelos autores.

Anexo 9 - Simulação no VHDL do caractere ‘9’.



Fonte: Elaborado pelos autores.

ANEXO C - CÓDIGO NO VHDL

entity matrix64 is

port(

valor: in bit_vector (3 downto 0);

col: in bit_vector (2 downto 0);

lin: out bit_vector (0 to 7));

end matrix64;

architecture leds of matrix64 is

signal A,B,C,D,nA,nB,nC,nD,J,K,L,nJ,nK,nL,col2,col3,col4,col5,col6: bit;

begin

--dando nome as variaveis de entrada

A<= valor(3);

B<= valor(2);

C<= valor(1);

D<= valor(0);

nA<= not valor(3);

nB<= not valor(2);

nC<= not valor(1);

nD<= not valor(0);

J<= col(2);

K<= col(1);

```
L<= col(0);
```

```
nJ<= not col(2);
```

```
nK<= not col(1);
```

```
nL<= not col(0);
```

```
--colunas que serao utilizadas
```

```
col2 <= (nJ and K and nL);
```

```
col3 <= (nJ and K and L);
```

```
col4 <= (J and nK and nL);
```

```
col5 <= (J and nK and L);
```

```
col6 <= (J and K and nL);
```

```
-- lógica combinacional de cada coluna para cada linha
```

```
lin(0) <= '0';
```

```
lin(1) <= ((B and D) and col2) or ((A or (B and D) or (nB and C) or (nB and nD)) and col3) or ((D or C or nB) and col4) or ((A or B or C or nD) and col5) or ((B and D) and col6);
```

```
lin(2) <= ((A or (nB and C) or (nB and nD) or (B and nC and D)) and col2) or (((B and C and nD) or (nA and nB and nC and D)) and col3) or (((B and nC and nD) or (nA and nB and nC and D)) and col4) or ((B and nC and nD) and col5) or ((A or (C and D) or (nB and C) or (nB and nD)) and col6);
```

```
lin(3) <= ((A or (B and nC and D) or (nB and nD and nC) or (B and C and nD)) and col2) or ((B and nC) and col3) or ((nA and nC and D) and col4) or (((B and D) or (nA and nC and nD)) and col5) or ((A or (nB and C) or (nB and nD)) and col6);
```

```
lin(4) <= (((B and nD) or (nA and nC and nD)) and col2) or ((A or (B and C and nD) or (nB and C and D)) and col3) or ((C or nB) and col4) or ((A or (B and nD) or (nB and C)) and col5) or (((A and D) or (B and nC and D) or (nA and nB and nC and nD)) and col6);
```

```
lin(5) <= (((nC and nD) or (B and nD)) and col2) or (((B and C and D) or (nB and C and nD) or (nA and nC and nD)) and col3) or (((B and nC and nD) or (nA and nB and nC and D)) and col4) or ((B and nC and nD) and col5) or ((A or (nC and nD) or (B and nC) or (B and nD) or (nB and C and D)) and col6);
```

lin(6) <= (((C and nD) or (nB and C) or (nB and nD) or (B and nC and D)) and col2) or ((B and C and D) and col3) or ((nA and nB and nC and D) and col4) or (((A and D) or (B and nC and nD)) and col5) or (((B and nC and D) or (nB and C and D) or (B and C and nD) or (nB and nC and nD)) and col6);

lin(7) <= ((nB and C and nD) and col2) or ((D or C or nB) and col3) or ((nB or (nC and D) or (C and nD)) and col4) or ((nD or (nA and nB) or (nA and nC)) and col5) or ((nB and C and nD) and col6);

end leds;

ANEXO D - FÓRMULAS LÓGICAS

Anexo 10 - Equações lógicas da coluna 3.

| Leds | Fórmula |
|---------|-----------------------------|
| COL3[1] | $(A + BD + B'C + B'D')J'KL$ |
| COL3[2] | $(BCD' + A'B'C'D)J'KL$ |
| COL3[3] | $(BC')J'KL$ |
| COL3[4] | $(A + BCD' + B'CD)J'KL$ |
| COL3[5] | $(BCD + B'CD' + A'C'D)J'KL$ |
| COL3[6] | $(BCD)J'KL$ |
| COL3[7] | $(D + C + B)J'KL$ |

Fonte: Elaborado pelos autores.

Anexo 11 - Equações lógicas da coluna 4.

| Leds | Fórmula |
|---------|--------------------------|
| COL4[1] | $(D + C + B')JK'L'$ |
| COL4[2] | $(BC'D' + A'B'C'D)JK'L'$ |
| COL4[3] | $(A'C'D)JK'L'$ |
| COL4[4] | $(C + B')JK'L'$ |
| COL4[5] | $(BC'D' + A'B'C'D)JK'L'$ |
| COL4[6] | $(A'B'C'D)JK'L'$ |
| COL4[7] | $(B' + C'D + CD)JK'L'$ |

Fonte: Elaborado pelos autores.

Anexo 12 - Equações lógicas da coluna 5.

| Leds | Fórmula |
|---------|------------------------|
| COL5[1] | $(A + B + C + D')JK'L$ |
| COL5[2] | $(BC'D')JK'L$ |
| COL5[3] | $(BD + A'C'D')JK'L$ |
| COL5[4] | $(A + BD' + B'C)JK'L$ |
| COL5[5] | $(BC'D')JK'L$ |
| COL5[6] | $(AD + BC'D')JK'L$ |
| COL5[7] | $(D' + AB' + A'C)JK'L$ |

Fonte: Elaborado pelos autores.

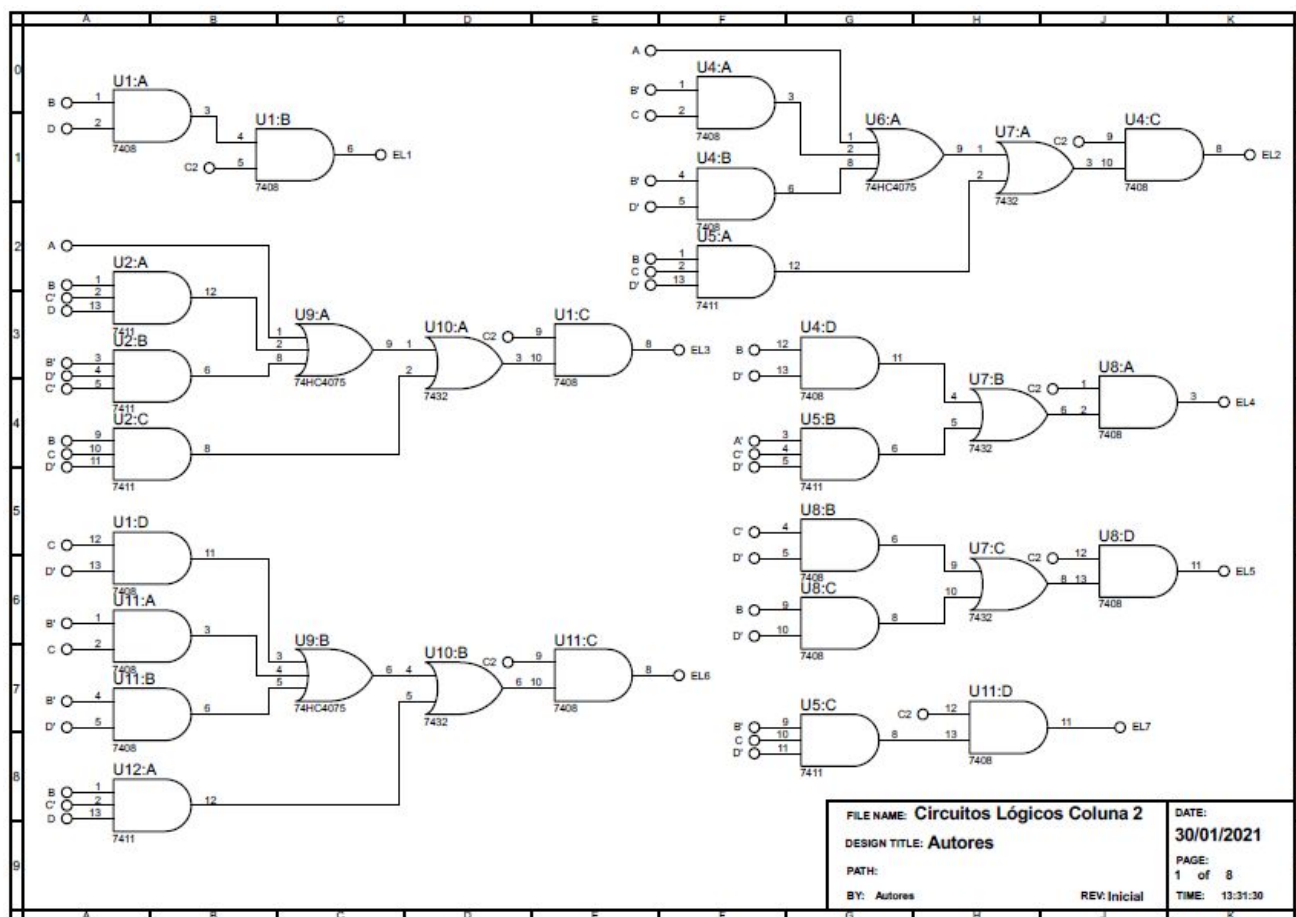
Anexo 13 - Equações lógicas da coluna 6.

| Leds | Fórmula |
|---------|-------------------------------------|
| COL6[1] | $(BD)JKL'$ |
| COL6[2] | $(A + CD + B'C + B'D')JKL'$ |
| COL6[3] | $(A + B'C + B'D')JKL'$ |
| COL6[4] | $(AD + BC'D + A'B'C'D')JKL'$ |
| COL6[5] | $(A + C'D' + BC' + BD' + B'CD)JKL'$ |
| COL6[6] | $(BC'D + B'CD + BCD' + B'C'D)JKL'$ |
| COL6[7] | $(B'CD')JKL'$ |

Fonte: Elaborado pelos autores

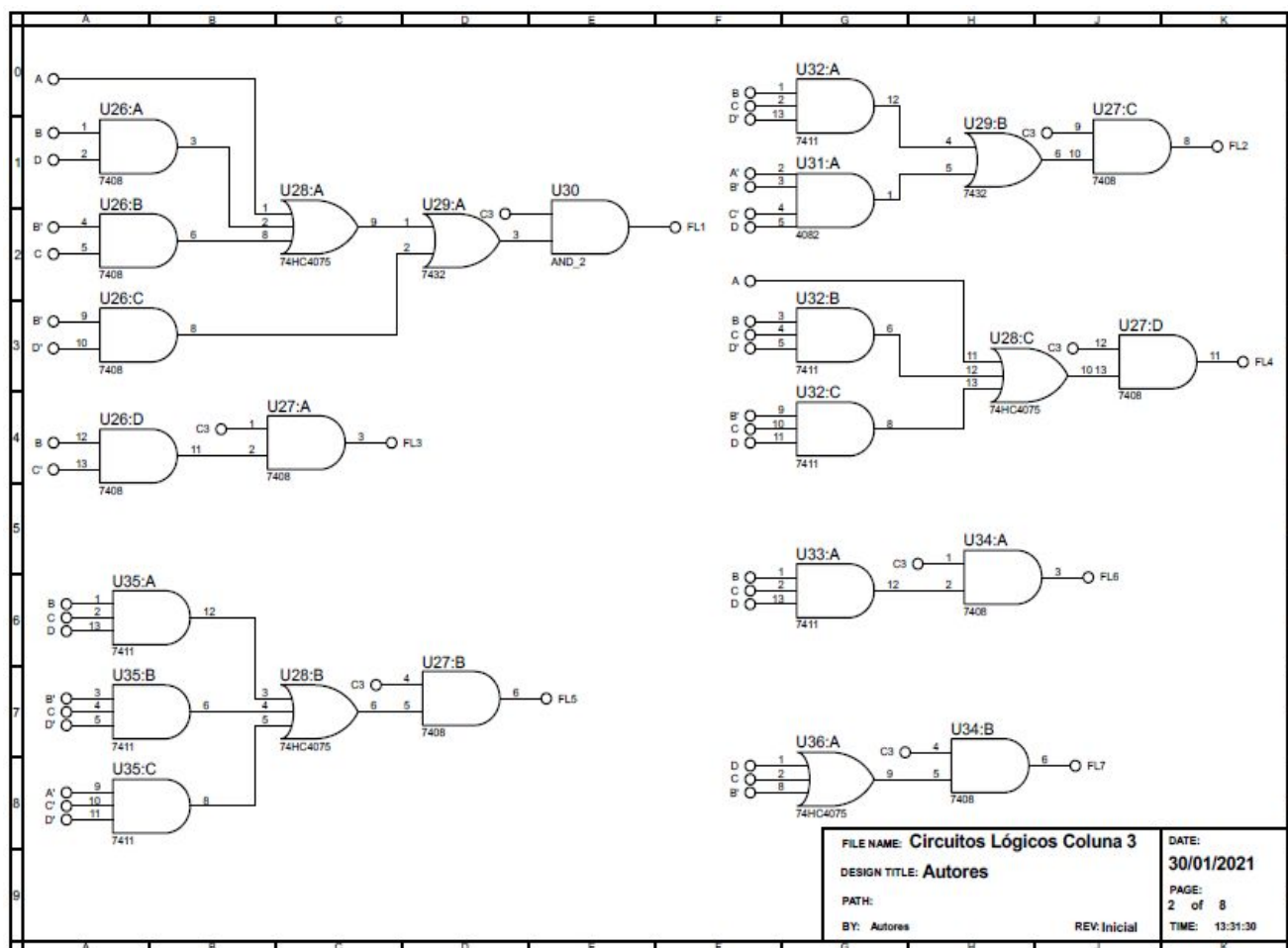
ANEXO E - ESQUEMÁTICOS

Anexo 14 - Esquemático do circuito lógico coluna 2



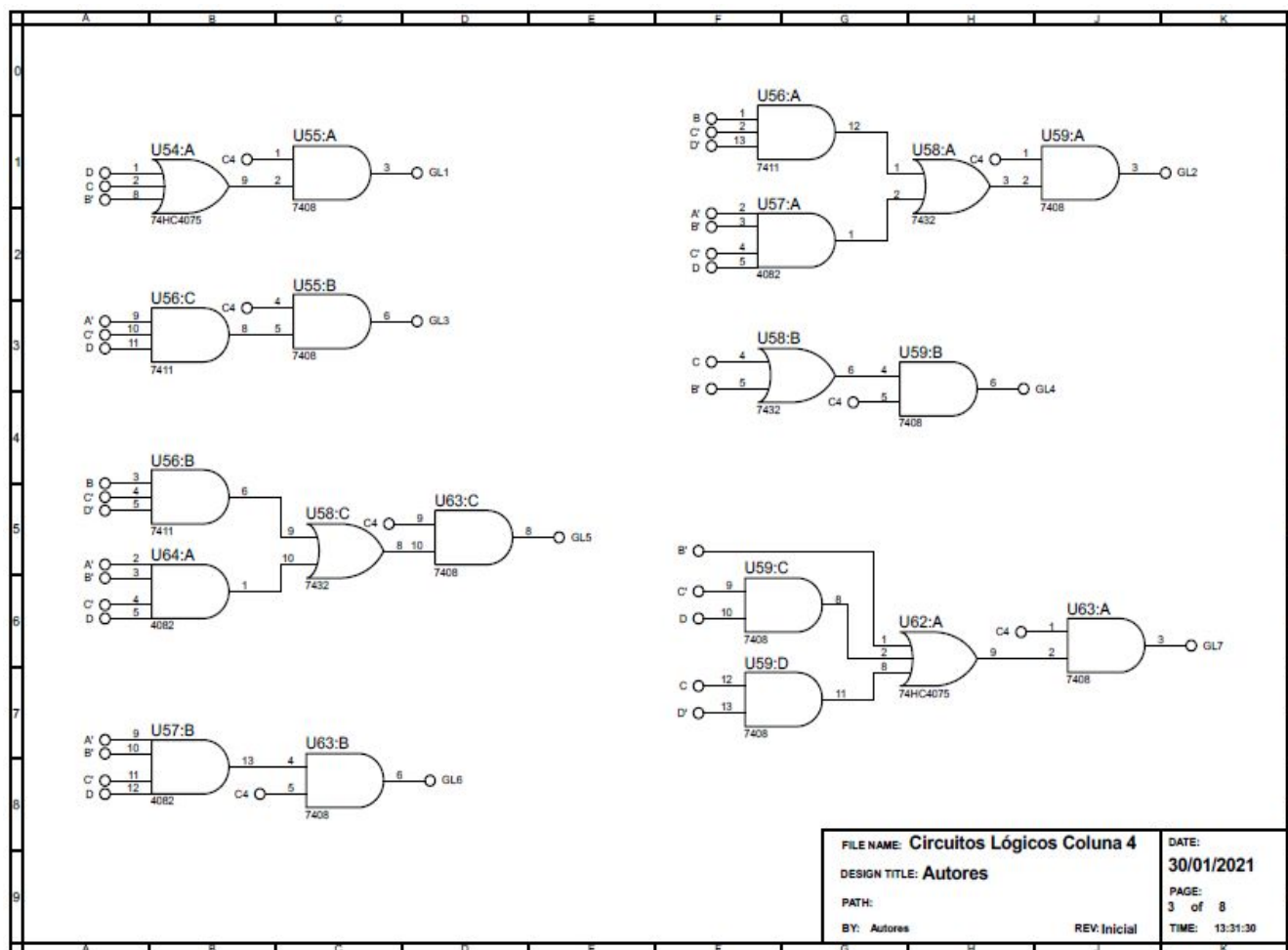
Fonte: Elaborado pelos autores

Anexo 15 - Esquemático do circuito lógico da coluna 3



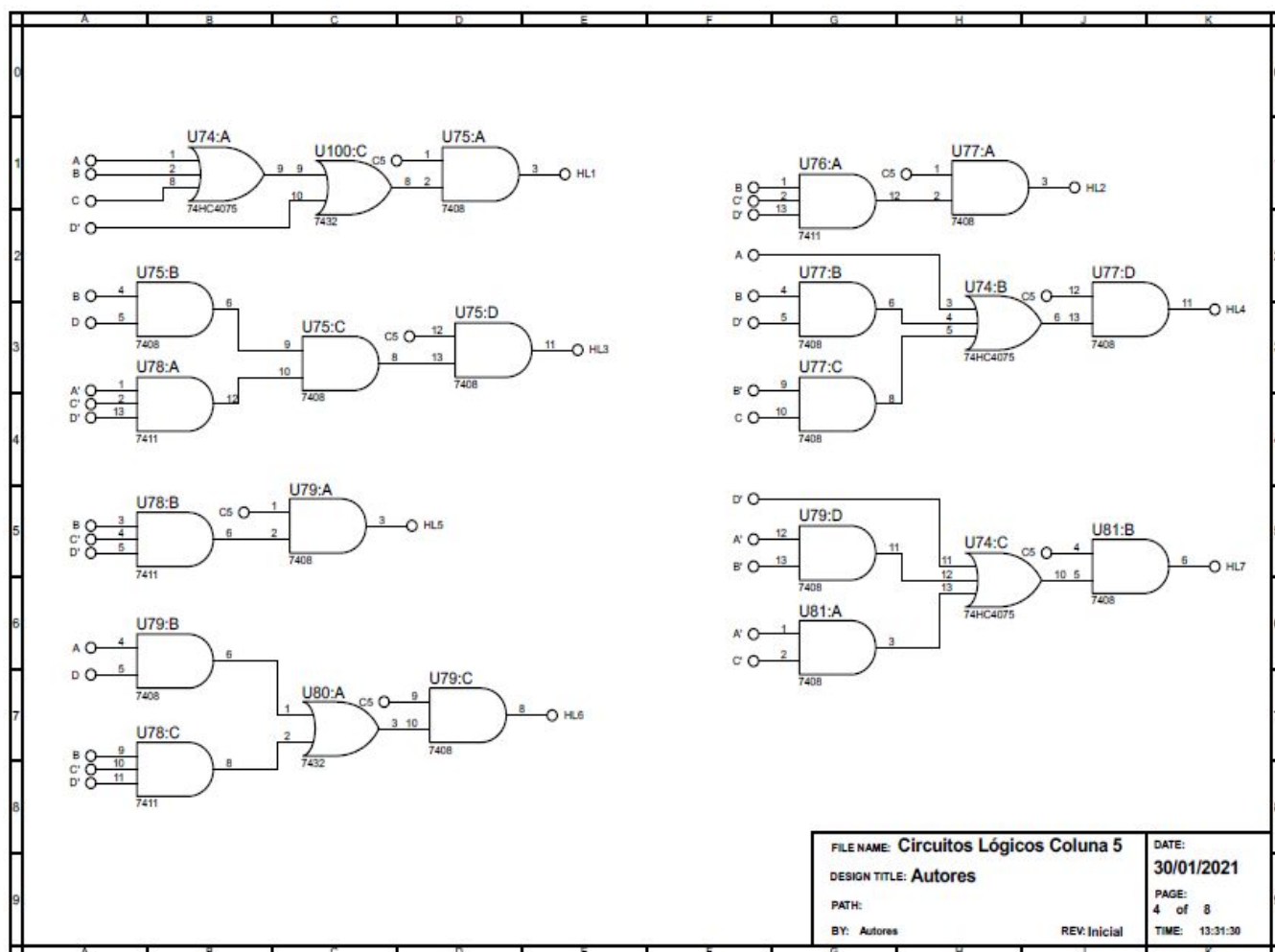
Fonte: Elaborado pelos autores.

Anexo 16 - Esquemático do circuito lógico da coluna 4



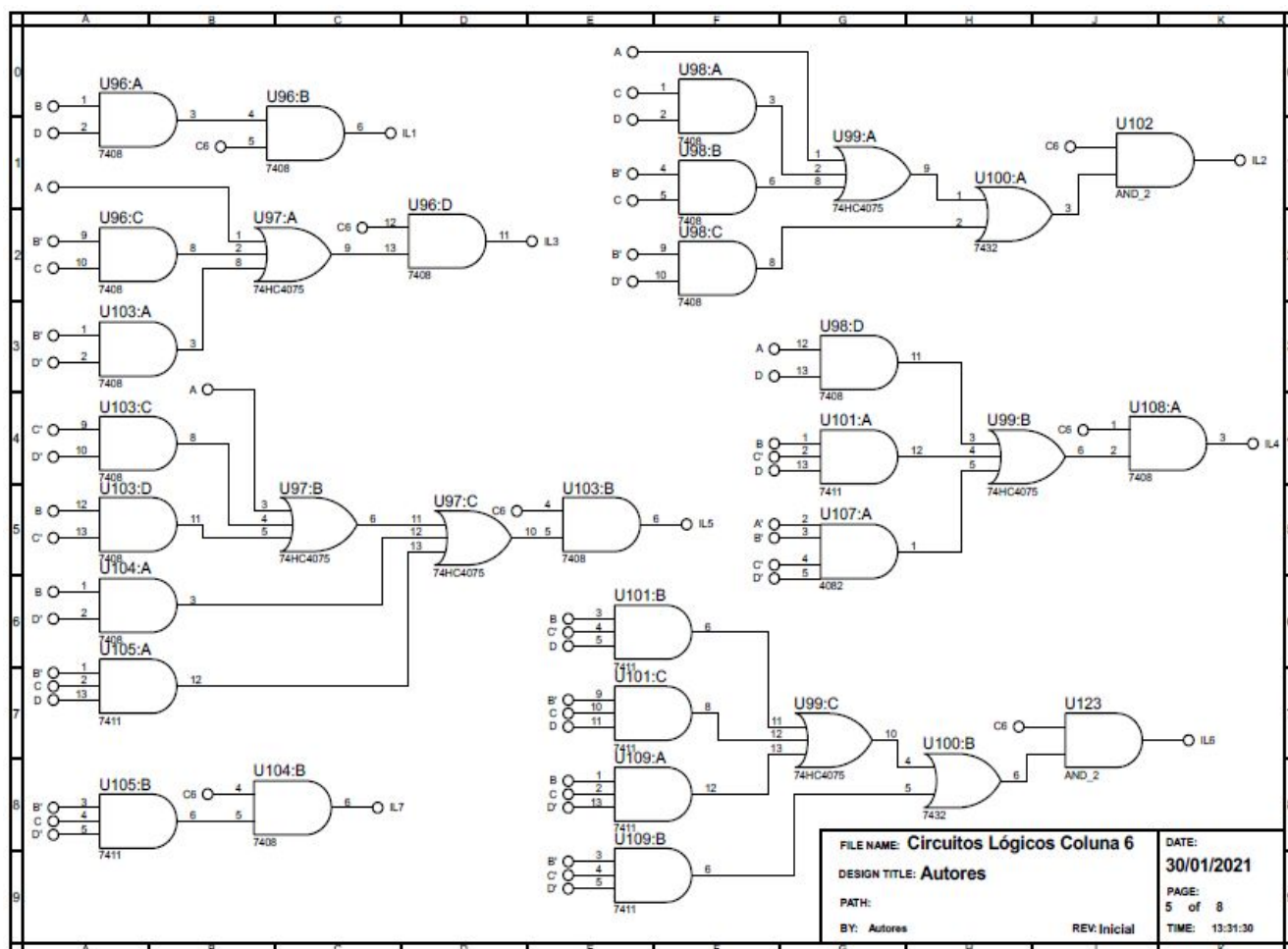
Fonte: Elaborado pelos autores.

Anexo 17 - Esquemático do circuito lógico da coluna 5



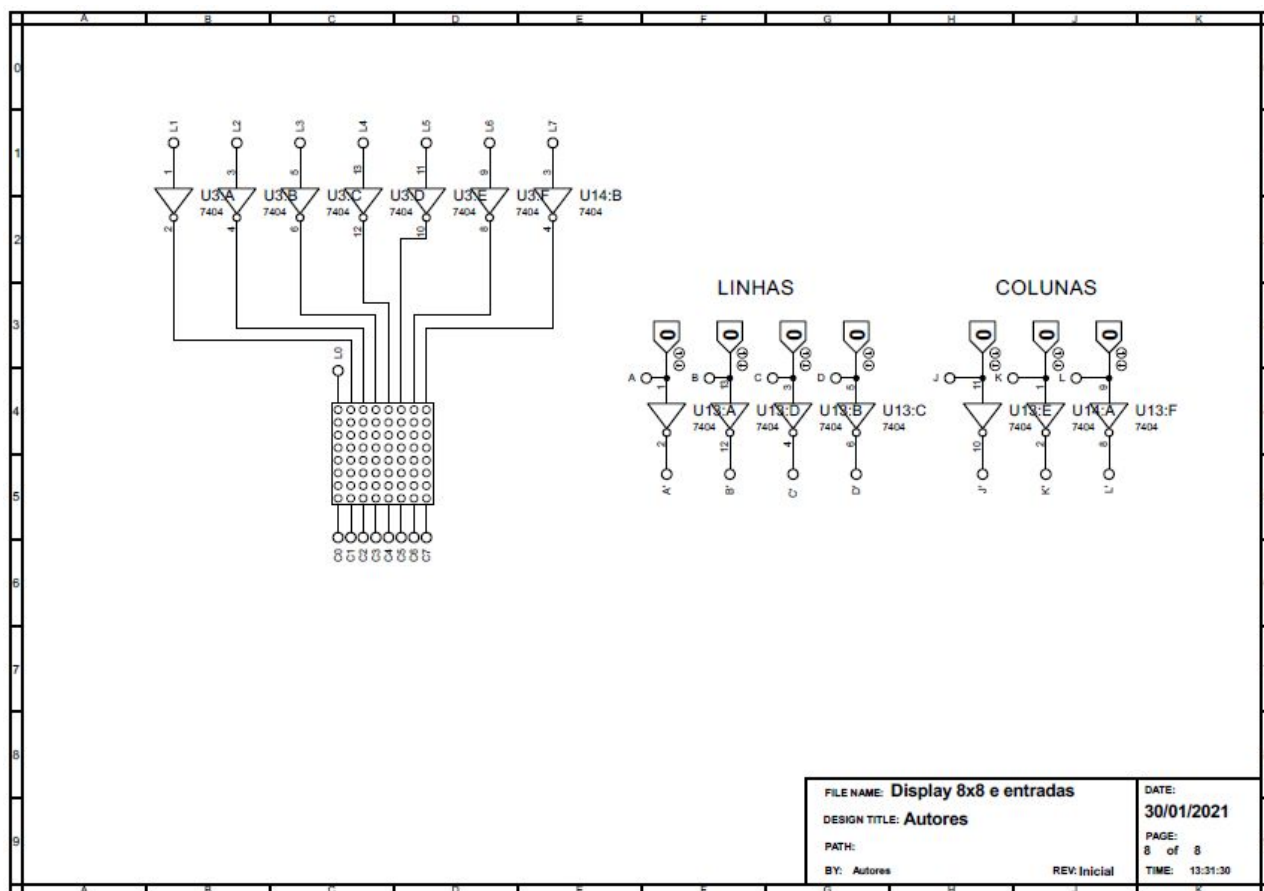
Fonte: Elaborado pelos autores.

Anexo 18 - Esquemático do circuito lógico da coluna 6



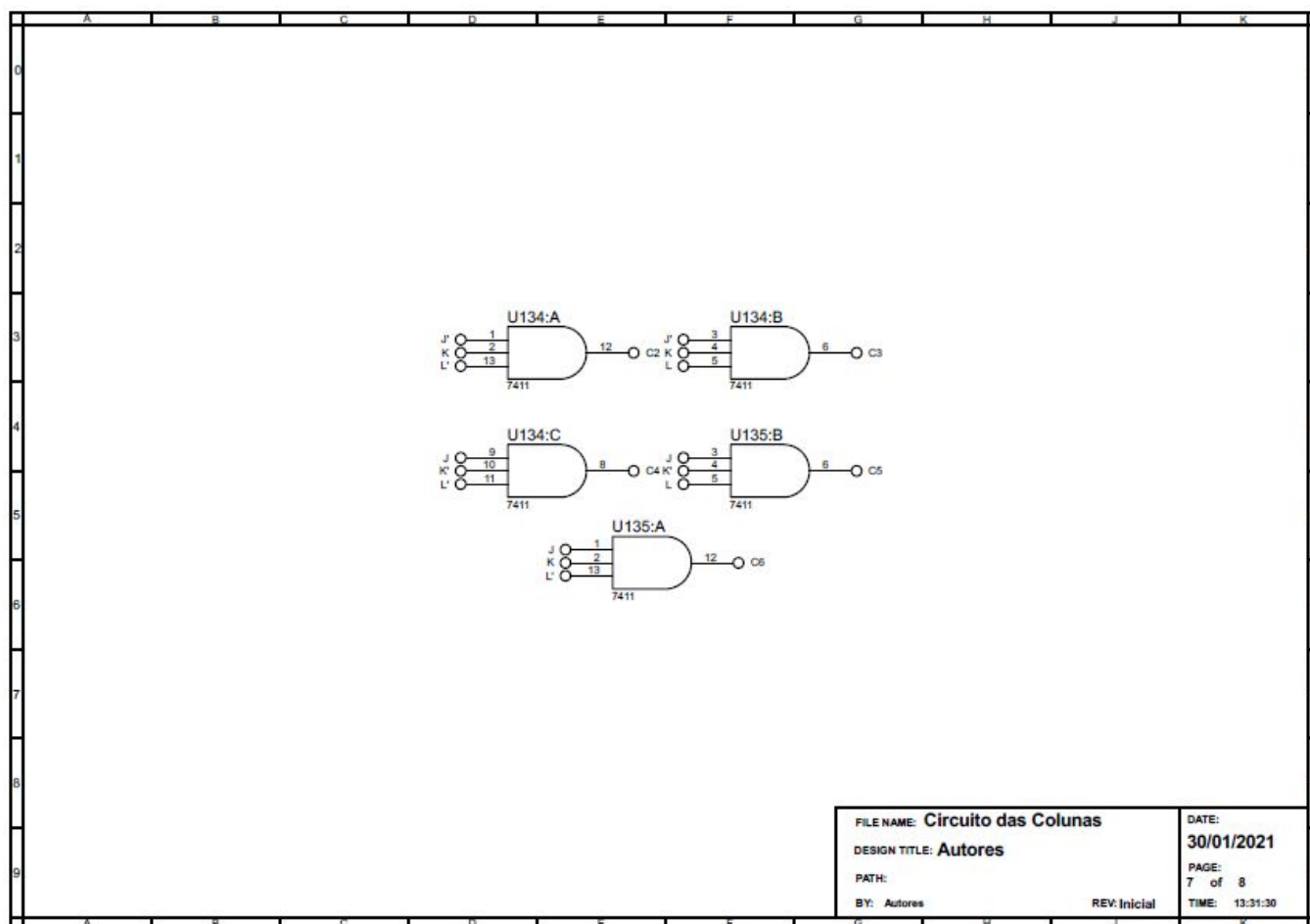
Fonte: Elaborado pelos autores.

Anexo 19 - Esquemático do *Display* 8x8 e entradas



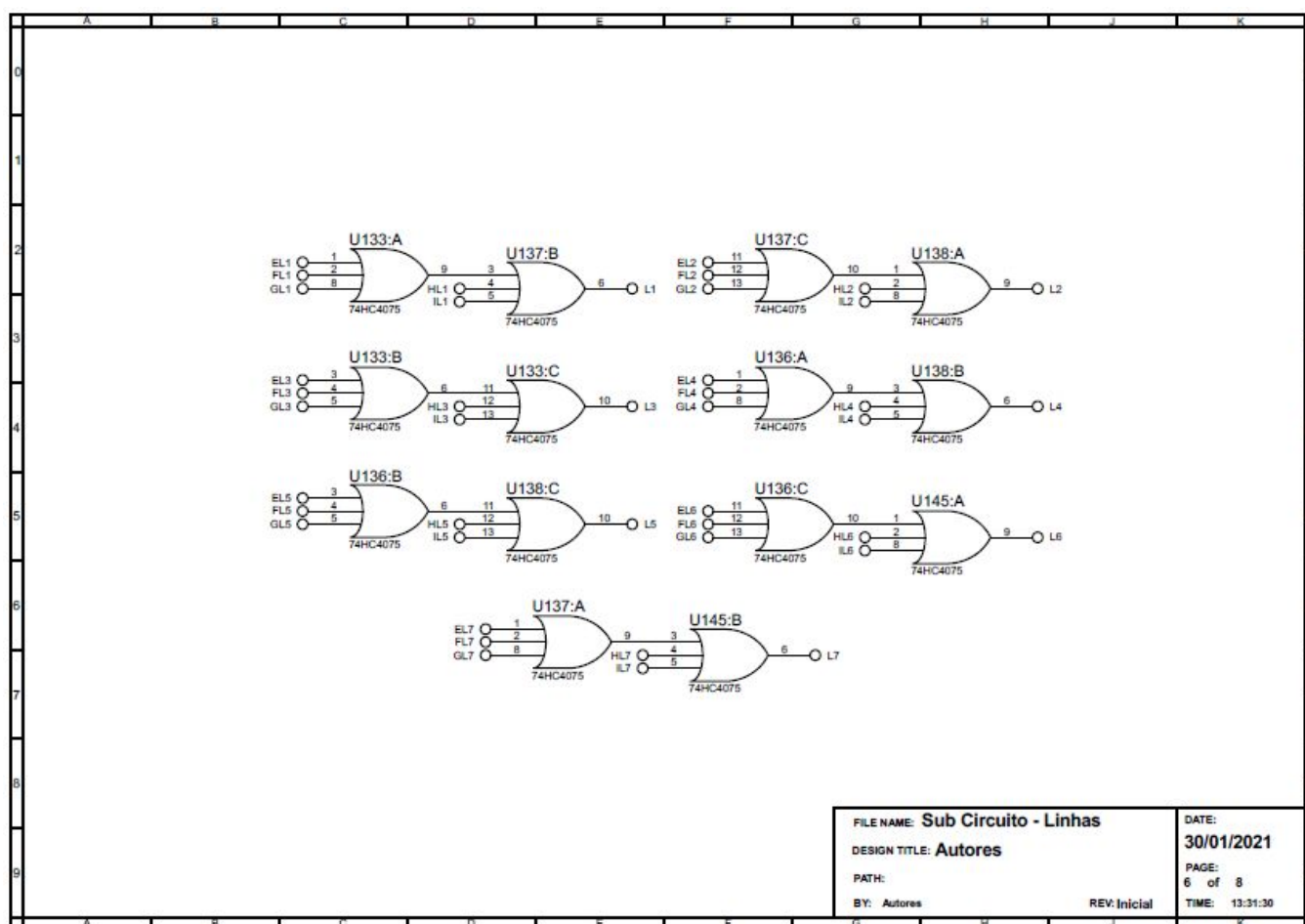
Fonte: Elaborado pelos autores.

Anexo 20 - Esquemático do circuito das colunas



Fonte: Elaborado pelos autores.

Anexo 21 - Esquemático do circuito das linhas



Fonte: Elaborado pelos autores.