



UNIVERSIDADE FEDERAL DO RIO GRANDE DO NORTE
CENTRO DE TECNOLOGIA - CT
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

MÓDULO DE UM NÚMERO DE 4 BITS

ELE2715 - Laboratório 04

Isaac de Lyra Junior

Natal, 21 de fevereiro de 2021

SUMÁRIO

1 DESENVOLVIMENTO	3
1.1 Recursos utilizados	3
1.1.1 Softwares utilizados	3
1.1.2 Componentes utilizados	3
1.2 Projeto	3
1.3 Esquemático	6
2 RESULTADOS	7
REFERÊNCIAS	9
ANEXO A - Esquemático do Circuito Lógico	10

1 DESENVOLVIMENTO

1.1 Recursos utilizados

1.1.1 Softwares utilizados

Para o presente projeto foi utilizado os seguintes softwares para implementação:

- **Logisim** (para mapas de Karnaugh);
- **Proteus** (para implementação do esquemático).

1.1.2 Componentes utilizados

Os componentes utilizados na implementação do esquemático estão expostos no Quadro

1.

Quadro 1 - Relação de CIs utilizados no esquemático

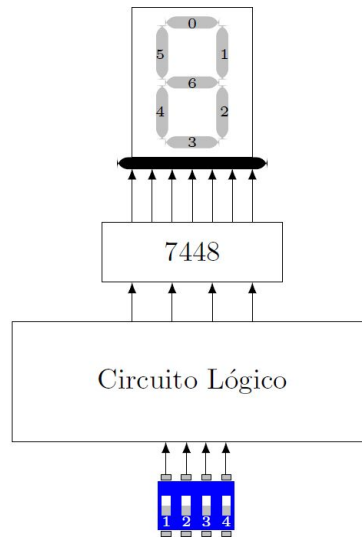
FUNÇÕES LÓGICAS	CI COMERCIAL
AND [2-input]	74HC08
AND [3-input]	74HC11
AND [4-input]	74HC21
OR [3-input]	74HC4075
OR [4-input]	74HC4072
NOT	74LS04
Decodificador BCD para 7 segmentos	74LS48

Fonte: Autor.

1.2 Projeto

O projeto consiste na criação de um circuito lógico que recebe um número de 4 bits e tem como saída o módulo desse número. O bit B3 do vetor B de entrada foi utilizado como o bit de sinal. O fluxograma do projeto está exposto na Fig. 1.

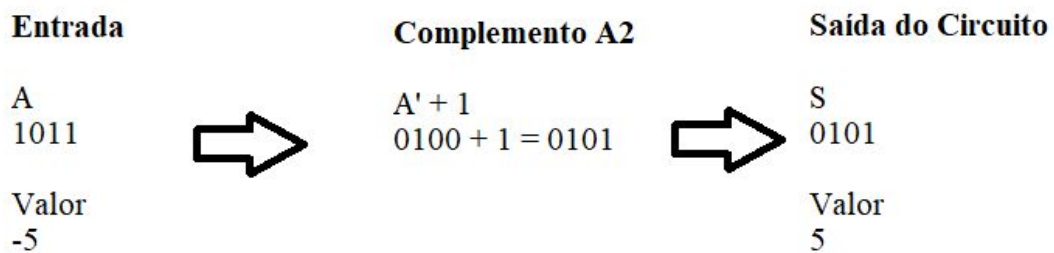
Figura 1 - Fluxograma do projeto



Fonte: Dados do problema.

Para os números negativos foi utilizado o complemento de 2 do número de entrada para fazer o módulo dos números de 4 bits negativos. O complemento de 1 de um número binário B é obtido substituindo cada bit dele pelo seu complemento, ou seja, \overline{B} . O complemento de 2 pode ser obtido tomando seu complemento de 1 e somando 1 na posição do bit menos significativo. A Fig. 2 tem um exemplo do processo do complemento de 2.

Figura 2 - Exemplo do processo do complemento de 2



Fonte: Autor.

Primeiro foi necessário a criação de uma tabela verdade que relaciona a entrada B de 4 bits com a saída S também de 4 bits, por ser 4 bits são possíveis $2^4 = 16$ combinações, isso

permite a representação dos valores -8 à 7, devido o 0 ser neutro. A Fig. 3 mostra a tabela verdade para a lógica do problema, onde está em vermelho na coluna B3 são os valores em que foi utilizado complemento de 2.

Figura 3 - Tabela verdade para a lógica do complemento de 2

SINAL (B3)	B2	B1	B0	VALOR	S3	S2	S1	S0
1	0	0	0	-8	1	0	0	0
1	0	0	1	-7	0	1	1	1
1	0	1	0	-6	0	1	1	0
1	0	1	1	-5	0	1	0	1
1	1	0	0	-4	0	1	0	0
1	1	0	1	-3	0	0	1	1
1	1	1	0	-2	0	0	1	0
1	1	1	1	-1	0	0	0	1
0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	1
0	0	1	0	2	0	0	1	0
0	0	1	1	3	0	0	1	1
0	1	0	0	4	0	1	0	0
0	1	0	1	5	0	1	0	1
0	1	1	0	6	0	1	1	0
0	1	1	1	7	0	1	1	1

Fonte: Autor.

Com a tabela verdade pronta, foram utilizados mapas de Karnaugh para a criação da lógica combinacional das saídas do circuito que deverá ser implementado, o resultado é possível visualizar na Fig. 4.

Figura 4 - Lógica combinacional do circuito lógico

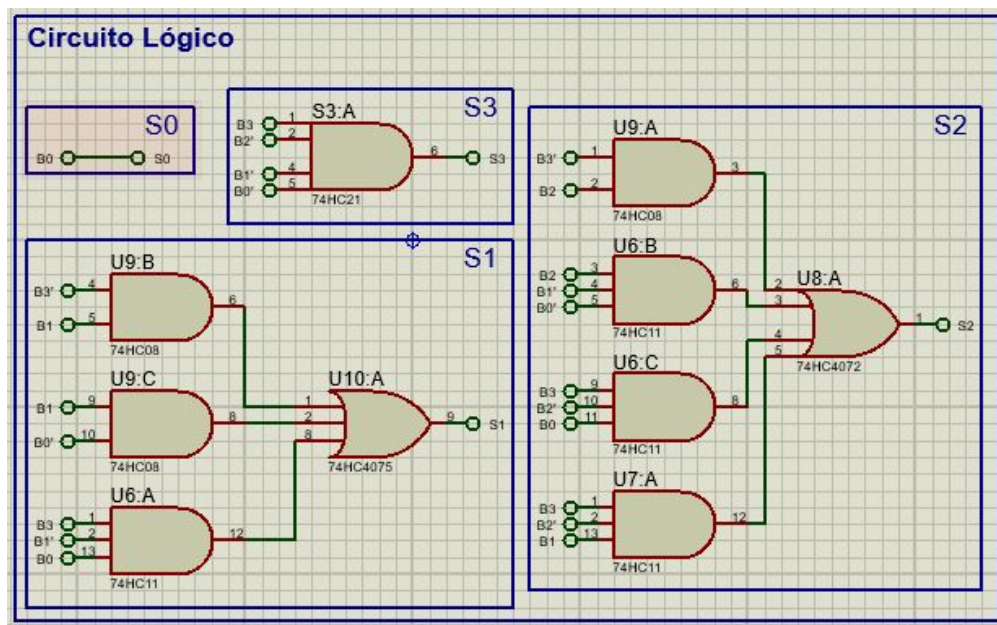
Lógica combinacional das saídas	
S3	$B3B2'B1'B0'$
S2	$B3'B2 + B2B1'B0' + B3B2'B0 + B3B2'B1$
S1	$B3'B1 + B1B0' + B3B1'B0$
S0	$B0$

Fonte: Autor.

1.3 Esquemático

O primeiro passo foi implementar utilizando os componentes do Quadro 1 a lógica combinacional vista na Fig. 4 para cada saída do circuito lógico que deverá retornar o módulo do número de entrada B . O resultado da implementação da lógica do circuito está exposto na Fig. 5.

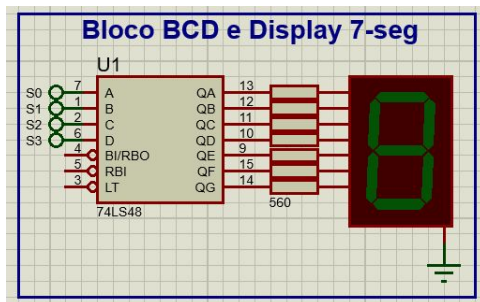
Figura 5 - Circuito lógico para o complemento de 2



Fonte: Autor.

A saída S é passada para o decodificador 74LS48, responsável por transformar os 4 bits de S em um número de 7 bits, cada bit referente a um segmento do display de 7 segmentos. Na Fig. 6 é possível visualizar o bloco BCD recebendo os bits de S e o display de 7 segmentos, em cada entrada do display foi colocado um resistor de 560 Ω .

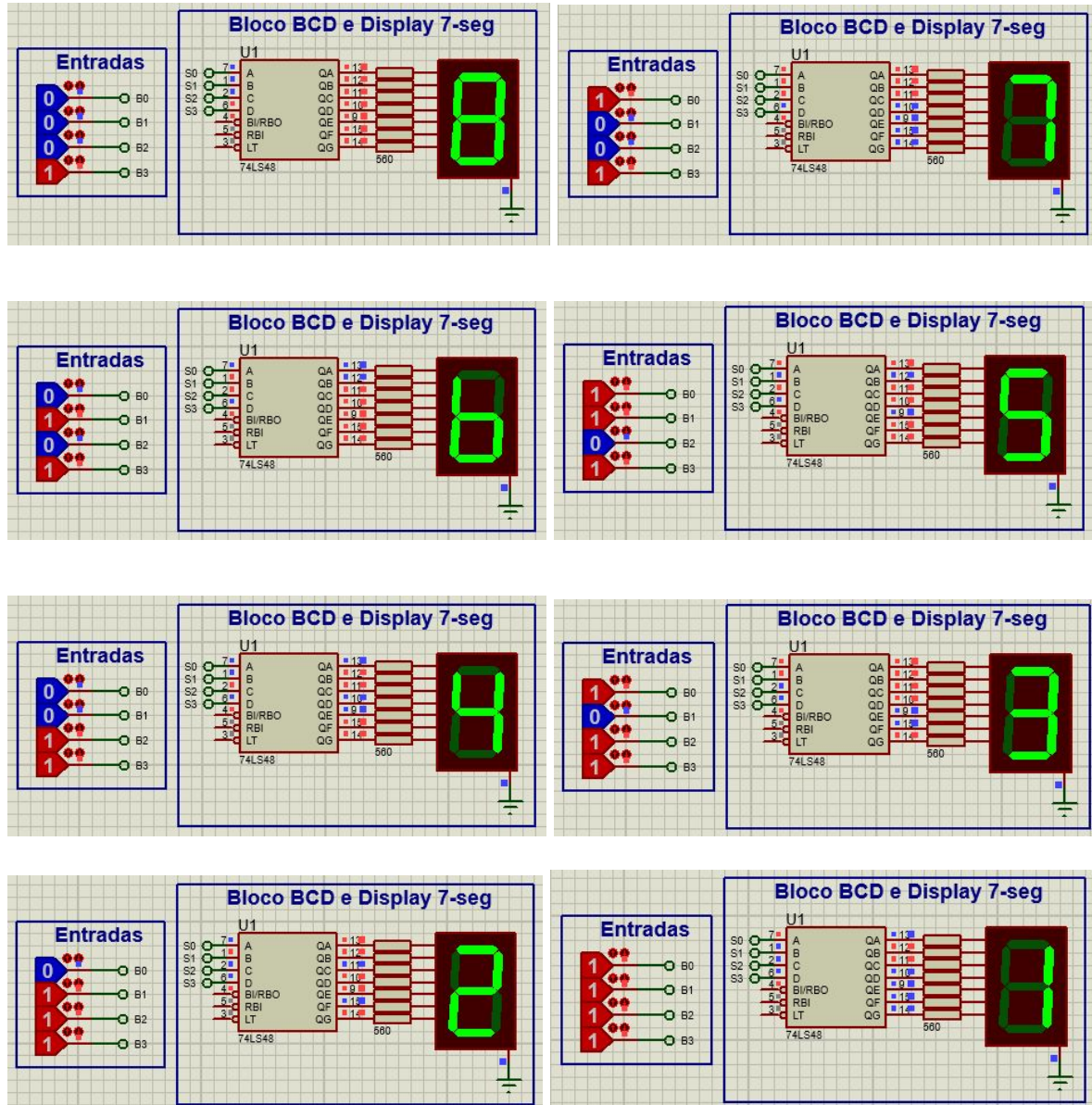
Figura 6 - Bloco BCD e display de 7 segmentos.

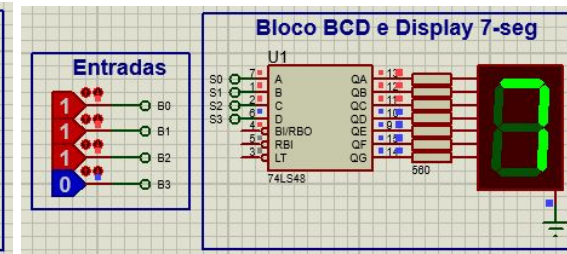
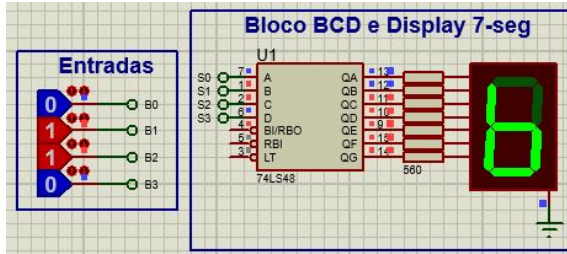
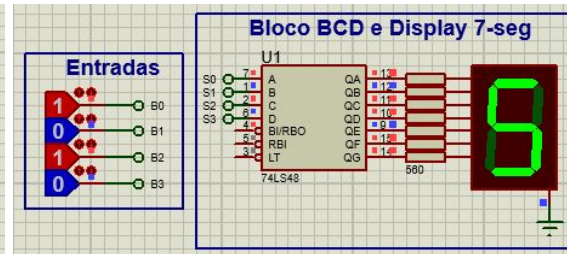
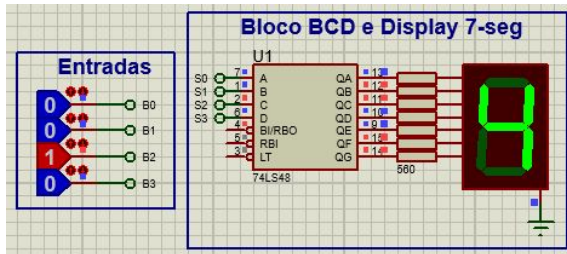
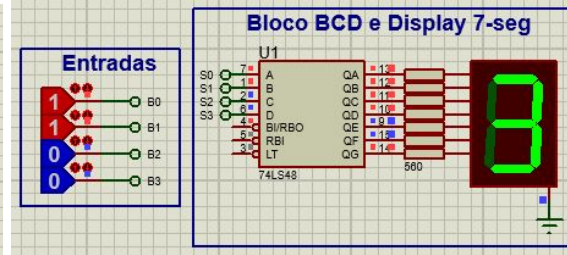
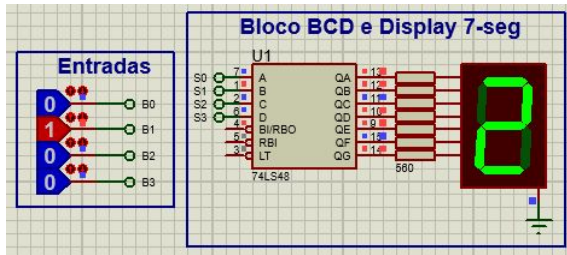
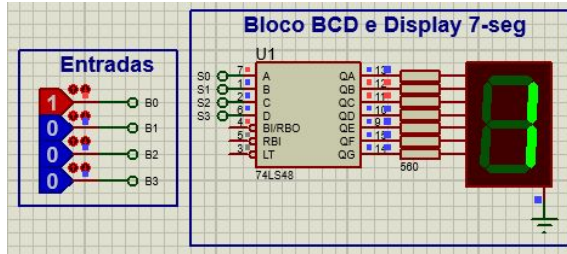
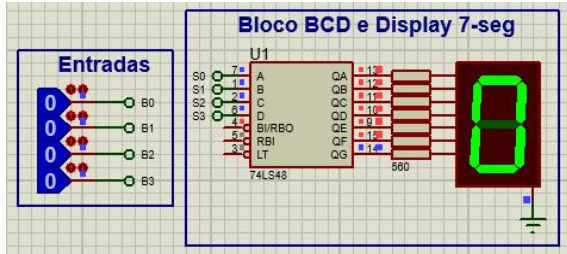


Fonte: Autor.

2 RESULTADOS

Abaixo se encontra a entrada e saída do circuito lógico implementado para as 16 possíveis combinações.



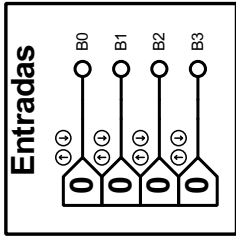
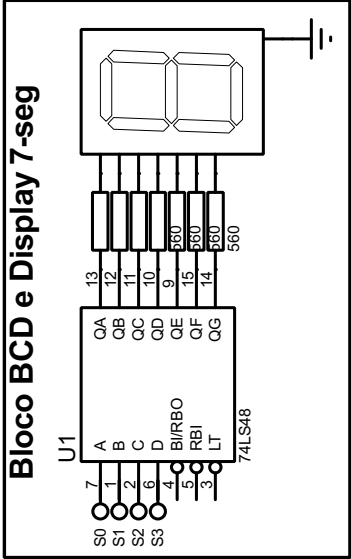


REFERÊNCIAS

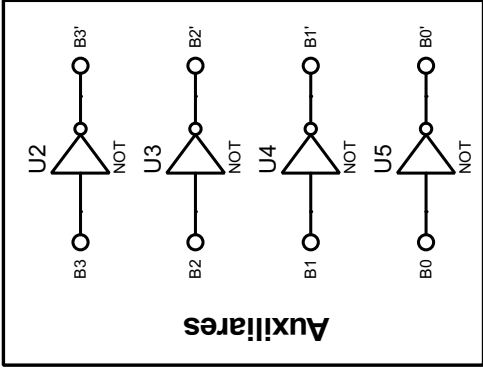
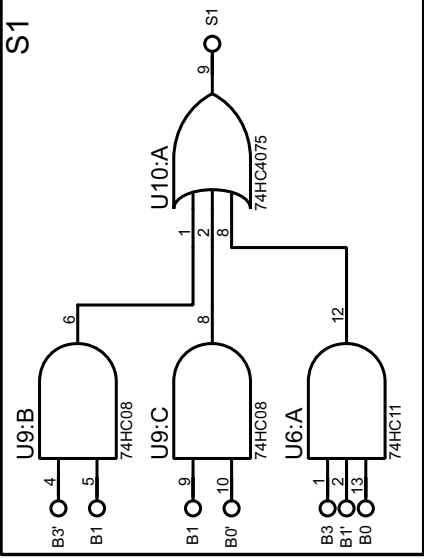
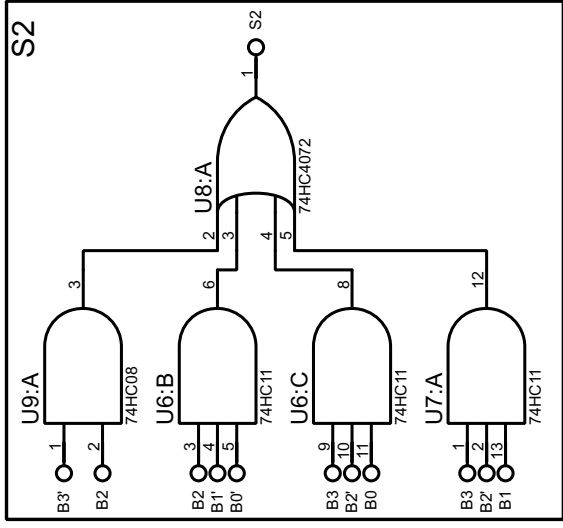
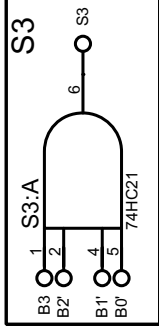
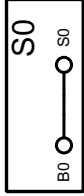
VAHID, Frank. **Sistemas digitais: projeto, otimização e HDLS**. Rio Grande do Sul: Artmed Bookman, 2008. 558 p

TOCCI, Ronald J; WIDMER, Neal S; MOSS, Gregory L. **Sistemas digitais: princípios e aplicações**. 11. ed. São Paulo: Pearson, 2011. 817 p

ANEXO A - Esquemático do Circuito Lógico



Circuito Lógico



PROJETO: Circuito Lógico para Complemento A2
 DISCENTE: Isaac de Lyra Junior
 DOCENTE: Samaherni Moraes Dias
 DISCIPLINA: Circuitos Digitais

DATA: 21/02/2021
 PAGINAS: 1 de 1

REV: 0