

${\bf ELE2715}$ - circuitos digitais - Laboratório ${\bf 10}$

Aluno	- Avalia
ALBERTHO SIZINEY COSTA	- JOSE LINDENBERG DE ANDRADE
IGOR MICHAEL ARAUJO DE MACEDO	- MARIA LUIZA DE LIMA ROCHA
ISAAC DE LYRA JUNIOR	- WESLEY BRITO DA SILVA
JOAO MATHEUS BERNARDO RESENDE	- IGOR MICHAEL ARAUJO DE MACEDO
LUCAS BATISTA DA FONSECA	- ISAAC DE LYRA JUNIOR
MARCELO FERREIRA MOTA JÚNIOR	- PEDRO HENRIQUE DE FREITAS SILVA
MARIA LUIZA DE LIMA ROCHA	- EDUARDO GARCIA ZACCHARIAS
PEDRO HENRIQUE DE FREITAS SILVA	- JOAO MATHEUS BERNARDO RESENDE
STHEFANIA FERNANDES SILVA	- ALBERTHO SIZINEY COSTA
WESLEY BRITO DA SILVA	- VINICIUS SOUZA FONSÊCA
ALYSSON FERREIRA DA SILVA	- LUCAS BATISTA DA FONSECA
EDUARDO GARCIA ZACCHARIAS	- STHEFANIA FERNANDES SILVA
JOSE LINDENBERG DE ANDRADE	- ALYSSON FERREIRA DA SILVA
VINICIUS SOUZA FONSÊCA	- MARCELO FERREIRA MOTA JÚNIOR

Observação: Caso o aluno que você irá avaliar não tenha entregue o vídeo, você poderá qualquer outro vídeo para avaliar.

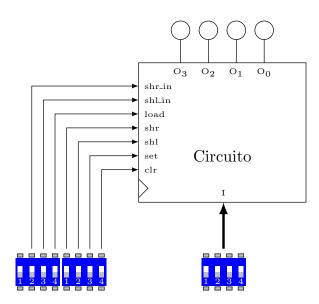


Universidade Federal do Rio Grande do Norte Centro de Tecnologia - CT

Departamento de Engenharia Elétrica - DEE

Disciplina: ELE2715 - Circuitos Digitais Período: 2020.2 Aluno: Atividade: 10

1 - Projete e implemente um circuito lógico para implementar um registrador de múltiplas funções. O registrador possuirá seis funções distintas (por ordem de prioridade: clear assíncrono, manter, carregar, deslocar à direita, deslocar à esquerda, set síncrono). Se load=1, o registrador deverá fazer com que a saída $\mathbf{O}[3:0]$, após o pulso de clock, receba o valor da entrada $\mathbf{I}[3:0]$. Se shr=1, o registrador deverá deslocar, após o pulso de clock, os bits da saída para a direita com o bit de entrada dado por shr_in . Se shl=1, o registrador deverá deslocar, após o pulso de clock, os bits da saída para a esquerda com o bit de entrada dado por shl_in . Se set=1, todos os bits da saída do registrador, após o pulso de clock, devem ir para 1. Por fim, se clr=1, todos os bits da saída do registrador devem ir para 0 imediatamente.



Observações

- A entrada de clock será gerada a partir do gerador de funções do laboratório na função de onda quadrada com frequência de 1Hz, amplitude de 5v, nível alto em 5v e offset 2,5v;
- Todos os leds do display e as entradas das chaves devem utilizar resistores de no mínimo 560Ω ;
- A implementação deverá ser feita de forma estruturada;
- Não há restrição com relação ao uso de CIs;
- Todos os alunos devem enviar o projeto em formato .pdf via Sigaa;
- Todos os projetos devem conter os diagramas esquemáticos dos circuitos eletrônicos em .pdf em folhas A4 com legenda e seguindo as normas de desenho técnico (pode utilizar software para isso, Ex. Programas de desenho de PCB);
- Todos os alunos devem produzir um vídeo, posta-ló no YouTube (não listado) e colocar o link (apenas o link sem comentários) nos comentários da tarefa no Sigaa;