# Universidade Federal do Rio Grande do Norte Centro de Tecnologia - CT

Departamento de Engenharia Elétrica - DEE

## ${\rm ELE2715}$ - circuitos digitais - Semana 12

## Grupo 01

Líder	Matricula	Nome
	20170040919	EDUARDO GARCIA ZACCHARIAS
	20170040418	PEDRO HENRIQUE DE FREITAS SILVA
	20190071752	VINICIUS SOUZA FONSÊCA
•	20160159144	WESLEY BRITO DA SILVA

## ${\bf Grupo}~{\bf 02}$

Líder	Matricula	Nome
	20170043358	ALBERTHO SIZINEY COSTA
	20170138246	ALYSSON FERREIRA DA SILVA
•	20150126669	LUCAS BATISTA DA FONSECA
	20170038779	STHEFANIA FERNANDES SILVA

#### ${\bf Grupo}~{\bf 03}$

Líder	Matricula	Nome
	20170036273	IGOR MICHAEL ARAUJO DE MACEDO
	20170117907	ISAAC DE LYRA JUNIOR
•	20160142657	JOAO MATHEUS BERNARDO RESENDE
	20180151241	MARCELO FERREIRA MOTA JÚNIOR



#### Universidade Federal do Rio Grande do Norte Centro de Tecnologia - CT

Departamento de Engenharia Elétrica - DEE

Disciplina:	ELE2715 - Circuitos Digitais	<b>Período:</b> 2020.2	
Aluno:		Problema: 06	

Projete um circuito lógico para implementar uma FIFO (ver Figura 1). A FIFO possui uma entrada e uma saída de dados. Os dados são introduzidos na FIFO através da entrada **w\_data** quando ocorre um pulso de *clock* e a entrada **wr** está em nível lógico alto. Já a retirada de dados da FIFO se dá através da saída **r\_data** quando ocorre um pulso *clock* e a entrada **rd** está em nível lógico alto. Para limpar os dados da FIFO existe a entrada **clr\_fifo**, a qual, quando recebe nível lógico baixo, limpa todas as posições de memória da FIFO e reinicializa os valores de seus contadores internos. A FIFO ainda possui duas saídas, uma para indicar que está cheia **fu=1** e uma outra para indicar que está vazia **em=1**.

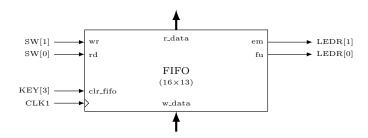


Figura 1: Diagrama de blocos da memória FIFO

#### Observações

- Para o aluno desenvolver uma solução para o problema, ele deverá consultar livros de circuitos digitais, datasheet de componentes eletrônicos e quaisquer referências técnicas que possam auxiliar. Todas as referências consultadas devem ser citadas de forma adequada e identificadas nos relatórios.
- Na semana de projeto, deve-se realizar todas as definições necessárias, deve-se especificar, detalhar e realizar o projeto de forma estruturada e, por fim, deve-se elaborar um relatório técnico, o qual será auto-contido, ou seja, todas as informações necessárias para a implementação do projeto devem constar no relatório.
- Na semana da implementação deverão ser desenvolvidos a simulação em VHDL e esquemáticos eletrônicos do circuito projetado e, além disso, deve-se elaborar um relatório técnico com o detalhamento da implementação, com as correções do projeto e com a apresentação dos resultados que comprovem a correta implementação do projeto.