

Práctica Memoria Cache

El objetivo de esta práctica es medir el desempeño de una memoria cache por medio de la tasa de desaciertos (miss). Recuerde que se genera miss tanto por lectura como por escritura.

Para lograr este objetivo, el estudiante debe diseñar e implementar en lenguaje de C o C++ una memoria cache y una memoria principal (RAM), la memoria principal es un DRAM que está previamente llena con información (datos). Tenga en cuenta que cuando se hace una lectura o escritura de un bloque en la memoria principal, el número de lecturas o escrituras corresponde al tamaño del bloque, dado que la memoria solo puede entregar un solo dato o recibir solo un dato a la vez. **No se puede hacer una sola lectura o escritura de todo el bloque.**

El direccionamiento lo puede hacer con una función aleatoria, al igual que el tipo de operación lectura o escritura. En caso de escritura también debe proveer el dato. La capacidad de direccionamiento del sistema es de 3072 y el tamaño de palabra $w = 1$ byte.

Las características de la cache son las siguientes:

- *Tamaño de bloque 32 bytes
- *Total de bloques en cache 64

Plantee una máquina de estados para el controlador de la cache, con ella podrá visualizar las tareas que se deben realizar en cada paso.

Después de la ejecución se debe mostrar cual fue la tasa de desaciertos (miss) y graficarla.

Deben presentar las simulaciones y un documento donde quede consignada la máquina de estados y la arquitectura de todo el sistema de cache.