

## **Trabalho Prático II**

Uma Máquina de Estados Finitos (*Finite State Machine*) é um modelo matemático amplamente utilizado na representação do comportamento de sistemas computacionais e circuitos lógicos em geral. O modelo pode ser genericamente descrito como uma máquina abstrata que sempre deve estar em algum de seus finitos estados, um por vez. O estado no qual a máquina se encontra em dado instante é conhecido como estado atual. Todos os estados armazenam informações sobre o passado, isto é, as mudanças ocorridas desde o início do sistema até o presente momento. Uma transição indica uma mudança de estado e é descrita através de uma condição que precisa ser realizada para que tal transição ocorra. Uma ação é a descrição de uma atividade que deve ser realizada em um determinado momento.

Este trabalho prático consiste no projeto e implementação de uma Máquina de Estados Finitos que simule o comportamento de uma Urna Eletrônica simplificada. A FSM deverá ser responsável por receber o número de um candidato e concluir se o voto é válido ou não, de acordo com as especificações abaixo:

- A urna possui quatro candidatos;
- Os votos são contabilizados individualmente;
- Os candidatos são identificados através de números de 4 dígitos, **que deverão corresponder aos últimos 4 dígitos das matrículas dos 4 integrantes do grupo**. Números fictícios deverão ser propostos por grupos com menos de 4 integrantes;
- Qualquer voto destinado a um número inválido (diferente dos números de todos os candidatos cadastrados) é contabilizado como nulo;
- O pleito elege um único candidato. Isso significa que um eleitor pode votar em somente um dos quatro candidatos disponíveis.

A figura abaixo apresenta o diagrama básico do módulo Urna. A descrição detalhada das interfaces de entrada e saída é apresentada na Tabela 1.

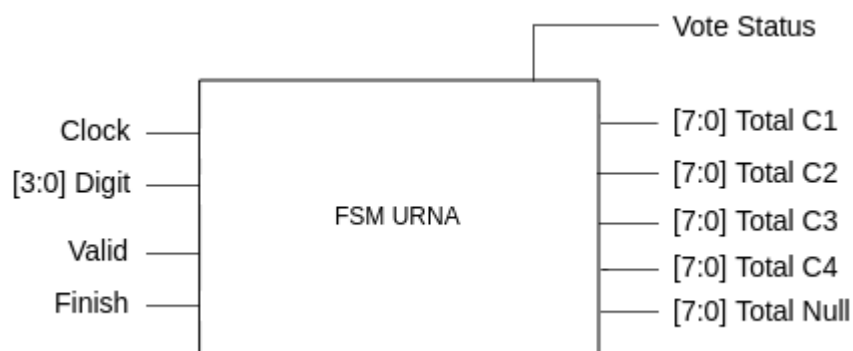


Figura 1. Diagrama de entradas e saídas do módulo Urna

Nome	Tamanho	E/S	Descrição
Clock	1 bit	Entrada	Pulso de clock do sistema.
Digit	4 bits	Entrada	Dígito entre 0 e 9 que compõe o número do candidato desejado.
Valid	1 bit	Entrada	Sinal de controle que sincroniza a entrada de um dígito na máquina de estados. Deve ser acionado mediante a inserção de cada novo dígito.
Finish	1 bit	Entrada	Sinal de controle que finaliza a eleição, apresenta os votos contabilizados e então zera os contadores (reset).
Vote Status	1 bit	Saída	O valor 1 indica que o voto foi válido, enquanto 0 indica um voto nulo.
Total C1, C2, ..., Null	8 bits cada	Saídas	5 saídas que apresentam o total de votos para cada um dos 4 candidatos, bem como o total de votos nulos.

Tabela 1. Descrição dos sinais do módulo Urna.

A linguagem de descrição de *hardware* **Verilog** deverá ser utilizada para descrever o circuito tanto em ambiente virtual (simulação) quanto em ambiente físico (FPGA). Ao final, seu *design* deverá ser capaz de receber um número, dígito por dígito, concluir se o número corresponde a um voto válido ou nulo, contabilizar a informação e apresentar os resultados finais.

**Atenção:** A Máquina de Estados Finitos deve ser projetada de forma a permitir que os votos sejam lidos, processados e contabilizados até que o sinal de controle **finish** seja ativado. Construa seus estados de forma que tal comportamento seja permitido.

## 1. Etapas do desenvolvimento

O texto abaixo apresenta as etapas a serem consideradas no processo de desenvolvimento do trabalho prático:

- Elaboração de um diagrama de transição de estados que apresente o comportamento do circuito utilizando a ferramenta [JFlap](#) ou similar;
- Codificação do módulo da máquina de estados em Verilog HDL;
- Elaboração e simulação dos módulos em Verilog através da ferramenta [Icarus Verilog](#);
- Visualização das formas de onda resultantes através da ferramenta [GTKWave](#);
- Implementação do *design* criado no Kit de FPGA DE2-115 da Altera, utilizando os *switches* como elementos de entrada e os *displays* de 7 segmentos e/ou os LEDs como elementos de saída.

Todos os passos descritos acima deverão ser documentados em um único relatório. O texto deverá conter introdução, desenvolvimento, resultados, conclusão e as referências bibliográficas utilizadas.

## 2. Observações

O trabalho pode ser feito em grupos de até 4 alunos. Entretanto, a avaliação é individual e dependente do resultado da entrevista à ser realizada. Reitera-se que todas as etapas do desenvolvimento devem ser documentadas no relatório que deverá ser entregue junto ao código produzido. O PVANet será o ambiente de submissão do trabalho, e é necessário que apenas um aluno do grupo o faça. Deverá ser submetido um arquivo compactado (.zip) contendo a documentação em formato .pdf, os arquivos em Verilog dos módulos implementados e o arquivo de simulação de ondas (.vcd).

**Atenção: Cópias de trabalhos práticos de outros grupos ou da internet serão exemplarmente punidos. Em caso de cópias entre grupos, a punição será a mesma tanto para quem copiar quanto para quem fornecer o trabalho.**

## 3. Data das entregas

Simulação e FPGA: 28/11/2018

## 4. Dúvidas

As dúvidas relacionadas deverão ser direcionadas ao monitor da disciplina, Lucas Duarte (lucas.f.duarte@ufv.br). Os horários das monitorias estão disponíveis no PVANet.