

Description d'éléments mémoire en VHDL

Mandat

Ce laboratoire a pour objectif de familiariser les étudiants avec la description d'éléments mémoire en VHDL synthétisable.

Déroulement et spécifications

Vous devez compléter les différents chablonis fournis dans une archive disponible sur le site Moodle de la HES-SO (Cyberlearn).

Etape à faire pour chaque description:

- **Etablir un schéma de l'élément mémoire avec un DFF** pour faciliter et optimiser la description en VHDL et garantir la synthèse.
- Compléter la description VHDL
- Réaliser la synthèse à l'aide de Quartus prime
 - Choisir la technologie Max-10 (vues RTL et technologique plus lisible)
 - Analyser la vue RTL: doit correspondre au fonctionnement de l'élément mémoire décrit. Cette vue doit comprendre **un seul** élément mémoire!
 - Si la vue RTL n'est pas satisfaisante: corriger la description VHDL !
- Réaliser la simulation automatique à l'aide de Questasim
 - Simulation à réaliser si le TB est fourni. Script fourni.

Liste des éléments mémoires à décrire:

1. dff_ar.vhd
2. dff_en.vhd
3. flipflop_t.vhd
4. flipflop_rs.vhd

Facultatif:

5. flipflop_jk.vhd
6. latch_en.vhd

Documents à rendre:

Ce laboratoire d'introduction est réalisé individuellement. Une évaluation simplifiée sera effectuée. Il sera appliqué un bonus/malus variant entre +0.2/-0.2 sur la moyenne du laboratoire. Vous devez rendre les documents suivants :

- Une archive comprenant le répertoire /src avec les fichiers VHDL suivants:
 - dff_ar.vhd, dff_en.vhd, flipflop_t.vhd, flipflop_rs.vhd
- Un fichier PDF comprenant :
 - Vues RTL : dff_ar.vhd, dff_en.vhd, flipflop_t.vhd, flipflop_rs.vhd
 - Log simulation automatique : dff_ar.vhd, dff_en.vhd, flipflop_t.vhd

Vous devez déposer ces deux fichiers sur la page de l'unité du site Moodle (Cyberlearn)