

# Description d'additionneurs en VHDL



HAUTE ÉCOLE  
D'INGÉNIERIE ET DE GESTION  
DU CANTON DE VAUD  
www.heig-vd.ch

Etienne Messerli

Septembre 2019



This work is licensed under a Creative Commons Attribution-NonCommercial-ShareAlike 3.0 Unported License

## Additionneurs en VHDL

Description de différentes versions de l'addition en VHDL par étapes, soit:

- sans dépassement, avec carry, puis avec carry et overflow

Vous disposez d'une archive avec un projet de base sur Cyberlearn

A chaque étape vous devez faire la synthèse de la description VHDL à l'aide de Quartus Prime

Vous devez utiliser la technologie **Max 10** (laisser type auto)

1. Décrire en VHDL synthétisable un additionneur 4 bits avec carry (in et out)
  - a) Additionneur de deux vecteurs 4 bits sans report
  - b) puis ajout du carry out à la description VHDL
  - c) puis ajout du carry in dans la description
  - d) Réaliser à chaque étape la synthèse de votre description

Simuler votre description avec le test-bench automatique correspondant

# Exercices

2. Décrire en VHDL synthétisable un additionneur générique de N bits avec carry (in et out) :
  - a) Copier votre fichier add4.vhd, et le renommer addn.vhd
  - b) Ajouter une constante générique N dans l'entité
  - c) Modifier votre description afin de rendre l'architecture générique
  - d) Vérifier la synthèse de votre description pour différentes valeurs par défaut de la constante générique N
3. Décrire en VHDL synthétisable un additionneur 4 bits avec carry in/out et overflow
  - a) Etablir un schéma bloc de l'additionneur afin de pouvoir calculer l'overflow selon la formule:  
$$ovr = cn \text{ xor } cn-1$$
  - b) Etablir une description structurelle de votre additionneur 4 bits avec carry (in/out) et overflow dans un fichier add4\_full.vhd avec le nom d'entité "add4"
  - c) Réaliser la synthèse de votre description
  - d) Réaliser la simulation automatique.
    - Il faudra changer le nom du fichier à simuler et ajouter la compilation du fichier addn.vhd dans le script "run\_comp\_add4\_full\_tb.tcl"

## A rendre

- Vous devez rendre dans une archive *zip* ou *tar.gz* les documents suivantes:
  - les fichiers VHDL des différentes version de l'additionneur, soit:
    - add4 carry in/out : add4.vhd
    - addN carry in/out : addn.vhd
    - add4 carry in/out et overflow (structurel) :  
add4\_full.vhd
  - Les vues RTL et technologiques de l'additionneur 4 bits avec carry in/out (add4.vhd)
  - Le log de la simulation automatique de l'additionneur 4 bits avec carry in/out et overflow (add4\_full.vhd)