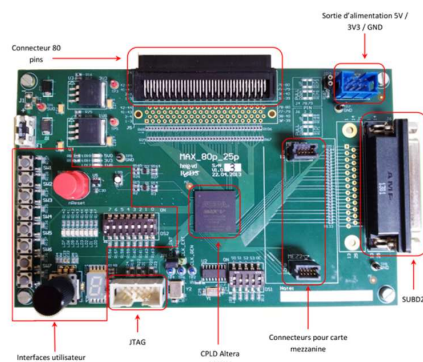


Transcodeur Binaire - Linéaire

CONCEPTION DE SYSTÈMES NUMÉRIQUES (CSN)



Auteur : Spinelli Isaia
Prof : Etienne Messerli
Ing : Sébastien Masle
Date : 02.10.2019
Salle : A09
Classe : CSN

Table des matières

| | |
|---|-------|
| Introduction..... | - 2 - |
| Spécifications..... | - 2 - |
| Correction..... | - 2 - |
| Vues RTL et Technologic..... | - 3 - |
| Description VHDL par flow de données..... | - 4 - |
| Description VHDL du transcodeur Bin-Lin 3 à 8 | - 5 - |
| Conclusion | - 6 - |
| Difficultés rencontrées | - 6 - |
| Compétences acquises | - 6 - |
| Résultats obtenus..... | - 6 - |

Introduction

Ce laboratoire d'introduction a pour objectif de nous familiariser avec le flow VHDL complet, soit les étapes d'édition, de simulation, de synthèse-placement routage et d'intégration d'un système numérique.

Spécifications

Voici la table de vérité du transcodeur d'une valeur binaire en un affichage linéaire :

| <i>bin_i</i> | | <i>lin_o</i> | | | |
|--------------|---|--------------|---|---|---|
| 1 | 0 | 3 | 2 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 |

Correction

Après avoir simulé le projet fourni, on peut constater que le résultat n'est pas similaire à la table de vérité souhaitée. En effet, la led (3) ne s'allumait pas quand bin_i était égal à 3 (« 11 »). De ce fait, le fichier a été corrigé afin que la table de vérité soit respectée.

Voici le code corrigé :

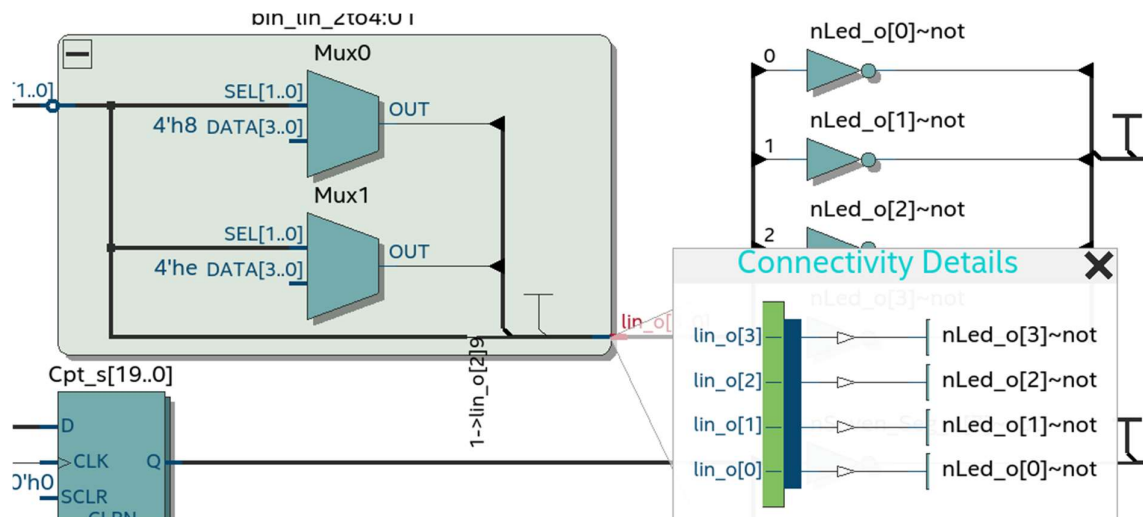
```
begin
  with bin_i select
    lin_o <= "0001" when "00",
             "0011" when "01",
             "0111" when "10",
             "1111" when "11",
             "XXXX" when others; --simulation
end tdv;
```

Une fois ceci fait, j'ai pu simuler et intégrer le nouveau code.

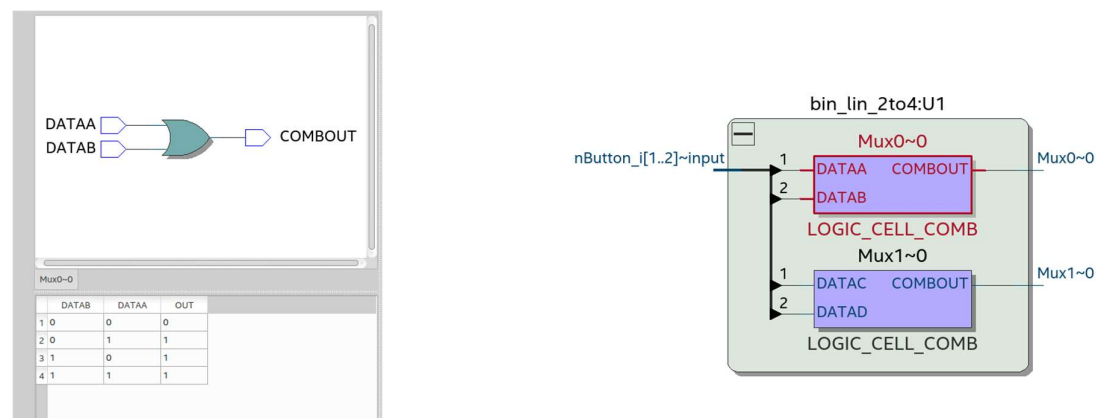
La validation a été effectuée le 01.10.19 par M. Masle.

Vues RTL et Technologic

Vue RTL avec les détails de la connections de sortie :



Vue Technologie (mode Max-10) avec les propriétés et la table de vérité :



Finalement, voici la quantité de logique utilisée pour le composant bin_lin_2to4 :

| Compilation Report - intro_bin_lin | | | | | | | | |
|---|----------------------------|-------------|--------------|--------------|-------------------|------------------|-----------------|------------|
| Analysis & Synthesis Resource Utilization by Entity | | | | | | | | |
| <<Filter>> | | | | | | | | |
| | Compilation Hierarchy Node | Logic Cells | LC Registers | LUT-Only LCs | Register-Only LCs | LUT/Register LCs | Carry Chain LCs | Packed LCs |
| 1 | ▼ maxv_top | 22 (20) | 20 | 2 (0) | 0 (0) | 20 (20) | 19 (19) | 0 (0) |
| 1 | bin_lin_2to4:U1 | 2 (2) | 0 | 2 (2) | 0 (0) | 0 (0) | 0 (0) | 0 (0) |

Description VHDL par flow de données

Après avoir recoder le bin_lin_2to4 sans équation en flow donnée j'ai pu le tester et l'intégrer. Voici le code :

```
architecture flot_don of bin_lin_2to4 is
begin
    lin_o(0) <= '1' ;
    lin_o(1) <= '1' when bin_i >= "01" else
               '0';
    lin_o(2) <= '1' when bin_i >= "10" else
               '0';
    lin_o(3) <= '1' when (bin_i >= "11") else
               '0';
end flot_don;
```

Après avoir modifié les fichiers nécessaires, j'ai pu lancer la simulation automatique. Voici le log de Questasim de la simulation automatique de la description par flow de donnée du transcodeur Bin-Lin :

```
# Loading work.bin_lin_2to4_tb(test_bench)
# Refreshing /cours_REDS/CSN/SpinelliIsaia/Labo_1_Transcodeur_Binaire.
# Loading work.bin_lin_2to4(flot_don)
VSIM(paused)> run -all
# ** Note: debut de simulation
#   Time: 0 ns  Iteration: 0  Instance: /bin_lin_2to4_tb
# ** Note: *** VOUS ETES LES MEILLEURS ***
#   Time: 500 ns  Iteration: 0  Instance: /bin_lin_2to4_tb
# ** Note: *** BRAVO, pas d'erreur ***
#   Time: 500 ns  Iteration: 0  Instance: /bin_lin_2to4_tb
VSIM(paused)>
```

Description VHDL du transcodeur Bin-Lin 3 à 8

Finalement, il nous a été demandé de coder, simuler, intégrer et faire contrôler un transcodeur Bin-Lin 3 à 8. Voici le code VHDL :

```

library ieee;
use ieee.Std_Logic_1164.all;

entity bin_lin_3to8 is
  port( bin_i : in std_logic_vector(2 downto 0);
        lin_o : out std_logic_vector(7 downto 0)
        );
end bin_lin_3to8 ;

architecture flot_don of bin_lin_3to8 is
begin

  lin_o(0) <= '1' ;
  lin_o(1) <= '1' when bin_i >= "001" else
    '0';
  lin_o(2) <= '1' when bin_i >= "010" else
    '0';
  lin_o(3) <= '1' when bin_i >= "011" else
    '0';
  lin_o(4) <= '1' when bin_i >= "100" else
    '0';
  lin_o(5) <= '1' when bin_i >= "101" else
    '0';
  lin_o(6) <= '1' when (bin_i >= "110") else
    '0';
  lin_o(7) <= '1' when (bin_i >= "111") else
    '0';

end flot_don;

```

Après avoir adapté « console_sim.vhd » et « maxv_top.vhd » pour la simulation manuelle et l'intégration, j'ai pu faire valider la description du transcodeur Bin-Lin 3to8.

La validation a été effectuée le 01.10.19 par M. Masle.

Conclusion

Difficultés rencontrées

Pour ce laboratoire d'introduction, le plus compliqué était de se familiariser correctement avec l'environnements et le flow VHDL complet.

Compétences acquises

Grâce à ce laboratoire, je me sens plus à l'aise avec les logiciels à utiliser ainsi qu'avec le flow VHDL.

Résultats obtenus

Finalement, j'ai pu réaliser toutes les étapes demandées et tout faire valider.

Date : 02.10.19

Nom de l'étudiant : Spinelli Isaia