Auteur : Spinelli Isaia

Prof : [Etienne](https://cyberlearn.hes-so.ch/user/view.php?id=104149&course=1) Messerli

Ing : Sébastien Masle

Date : 02.10.2019

Salle : A09

Classe : CSN

Transcodeur Binaire - Linéaire

[CONCEPTION DE SYSTÈMES NUMÉRIQUES (CSN)](https://cyberlearn.hes-so.ch/course/view.php?id=14116#section-1)

Table des matières

[Introduction - 2 -](#_Toc20816640)

[Analyse - 2 -](#_Toc20816641)

[Proposition - 2 -](#_Toc20816642)

[Conclusion - 3 -](#_Toc20816643)

[Difficultés rencontrées - 3 -](#_Toc20816644)

[Compétences acquises - 3 -](#_Toc20816645)

[Résultats obtenus - 3 -](#_Toc20816646)

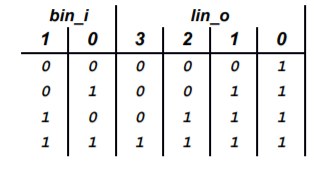
[Annexes - 3 -](#_Toc20816647)

## Introduction

Ce laboratoire d'introduction a pour objectif de nous familiariser avec le flow VHDL complet, soit les étapes d’édition, de simulation, de synthèse-placement routage et d’intégration d'un système numérique.

## Spécifications

Voici la table de vérité du transcodeur d'une valeur binaire en un affichage linéaire.



## Correction

Après avoir simulé le projet le projet fourni, on peut constater que le résultat n’est pas similaire à la table de vérité souhaitée. En effet, la led(3) ne s’allumait pas quand bin\_2 était égal à 3 (« 11 »). De ce fait, le fichier a été corrigé afin que la table de vérité soit respectée.

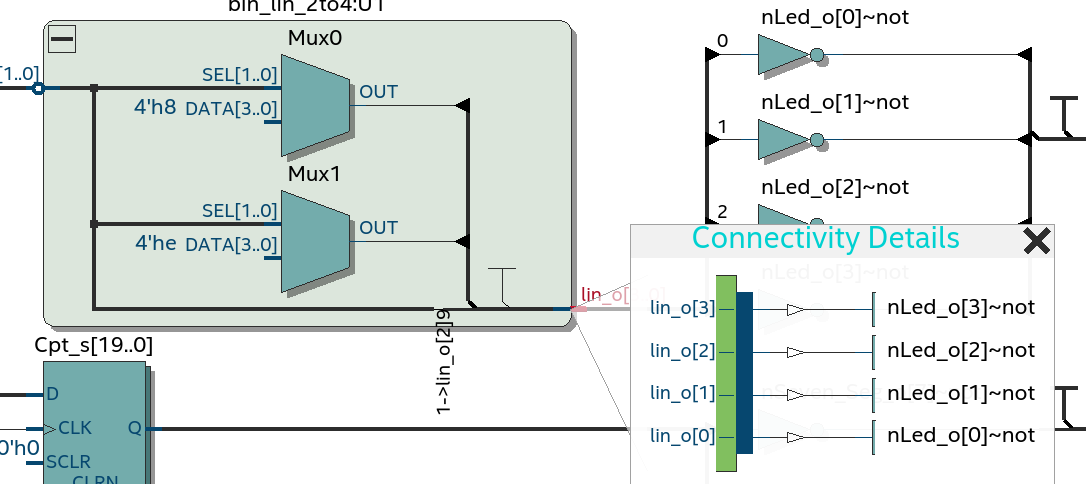
Voici le code corrigé :

Une fois ceci fait, j’ai pu simuler et intégrer le nouveau code.

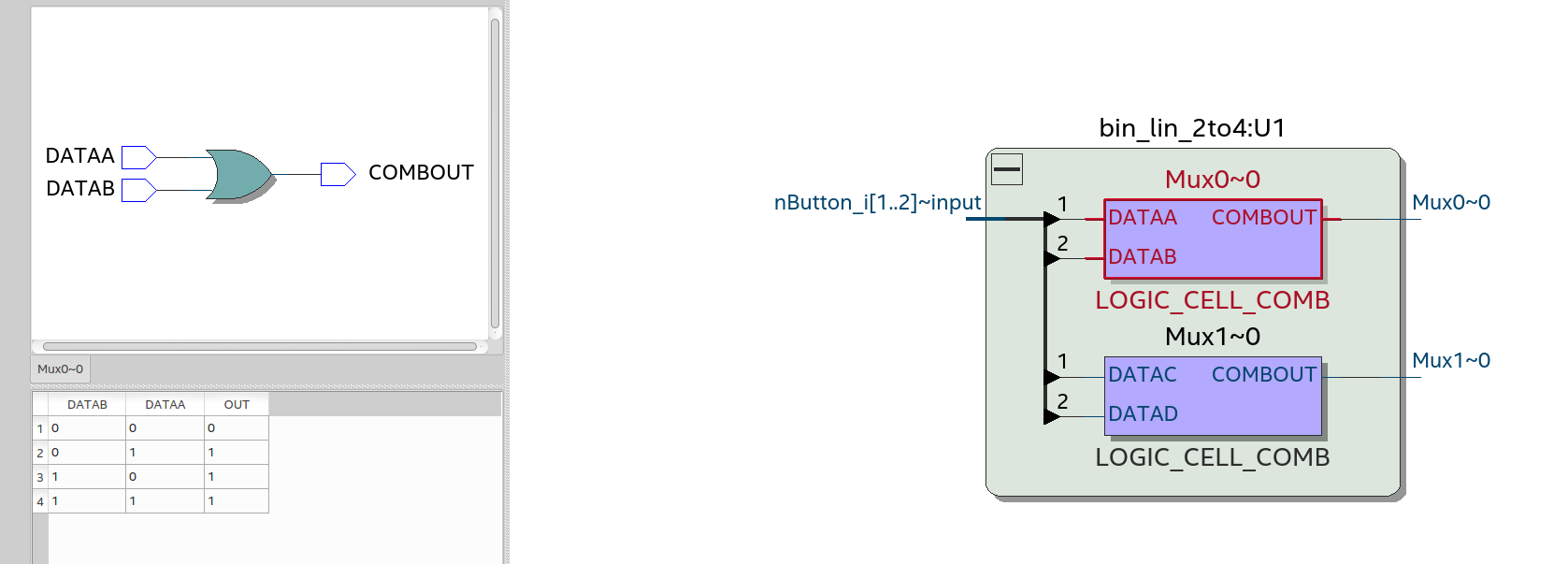
La validation a été effectuée le 01.10.19 par M. Masle

## Vues RTL et Technologic

Vue RTL avec les détails de la connections de sortie :



Vue Technologie (mode Max-10) avec les propriétées et la table de vérité :



## Description VHDL par flow de données

Après avoir recoder le bin\_lin\_2to4 sans équation en flow donnée j’ai pu le tester et l’intégrer. Voici le code :

Voici le log de Questasim de la simulation automatique de la description par flow de donnée du transcodeur Bin-Lin :

## Description VHDL du transcodeur Bin-Lin 3 à 8

Finalement, il nous a été demandé de coder, simuler, intégrer et faire contrôler un transcodeur Bin-Lin 3 à 8. Voici le code VHDL :

La validation a été effectuée le 01.10.19 par M. Masle

## Conclusion

### Difficultés rencontrées

### Compétences acquises

### Résultats obtenus

## Annexes

Titre de l'annexe, date, auteurs

Numérotez les annexes

Commentaires, explications

Date : Date rendu du rapport

Nom de l’étudiant : Spinelli Isaia