Auteur : Spinelli Isaia

Prof : [Etienne](https://cyberlearn.hes-so.ch/user/view.php?id=104149&course=1) Messerli

Ing : Sébastien Masle

Date : 02.10.2019

Salle : A09

Classe : CSN

Transcodeur Binaire - Linéaire

[CONCEPTION DE SYSTÈMES NUMÉRIQUES (CSN)](https://cyberlearn.hes-so.ch/course/view.php?id=14116#section-1)

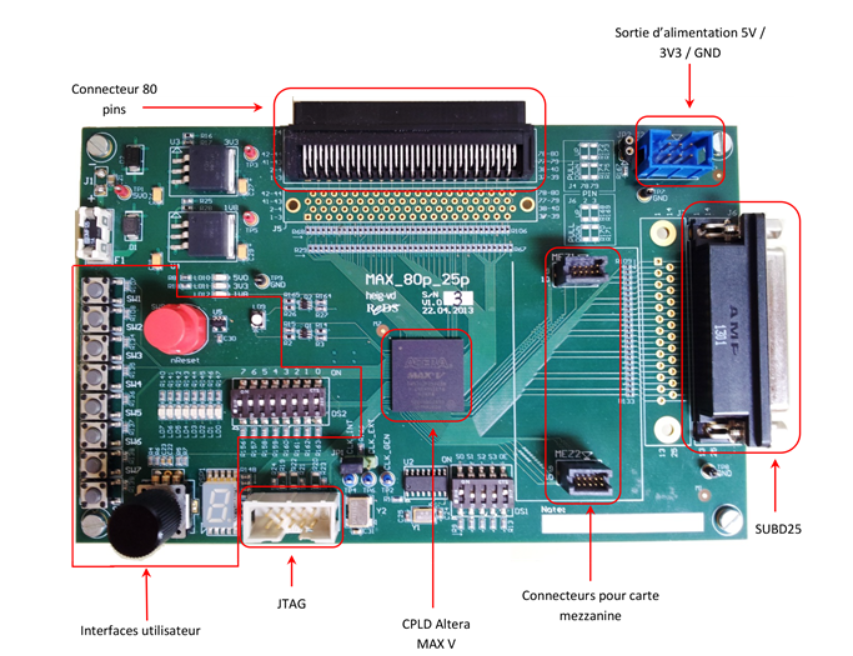


Table des matières

[Introduction - 2 -](#_Toc20902210)

[Spécifications - 2 -](#_Toc20902211)

[Correction - 2 -](#_Toc20902212)

[Vues RTL et Technologic - 3 -](#_Toc20902213)

[Description VHDL par flow de données - 4 -](#_Toc20902214)

[Description VHDL du transcodeur Bin-Lin 3 à 8 - 5 -](#_Toc20902215)

[Conclusion - 6 -](#_Toc20902216)

[Difficultés rencontrées - 6 -](#_Toc20902217)

[Compétences acquises - 6 -](#_Toc20902218)

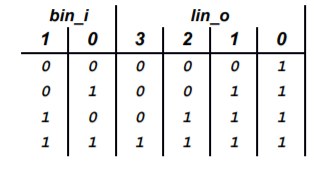
[Résultats obtenus - 6 -](#_Toc20902219)

## Introduction

Ce laboratoire d'introduction a pour objectif de nous familiariser avec le flow VHDL complet, soit les étapes d’édition, de simulation, de synthèse-placement routage et d’intégration d'un système numérique.

## Spécifications

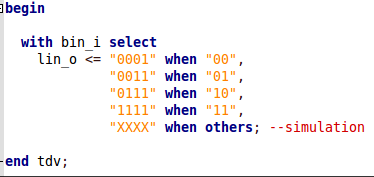
Voici la table de vérité du transcodeur d'une valeur binaire en un affichage linéaire :



## Correction

Après avoir simulé le projet fourni, on peut constater que le résultat n’est pas similaire à la table de vérité souhaitée. En effet, la led (3) ne s’allumait pas quand bin\_i était égal à 3 (« 11 »). De ce fait, le fichier a été corrigé afin que la table de vérité soit respectée.

Voici le code corrigé :

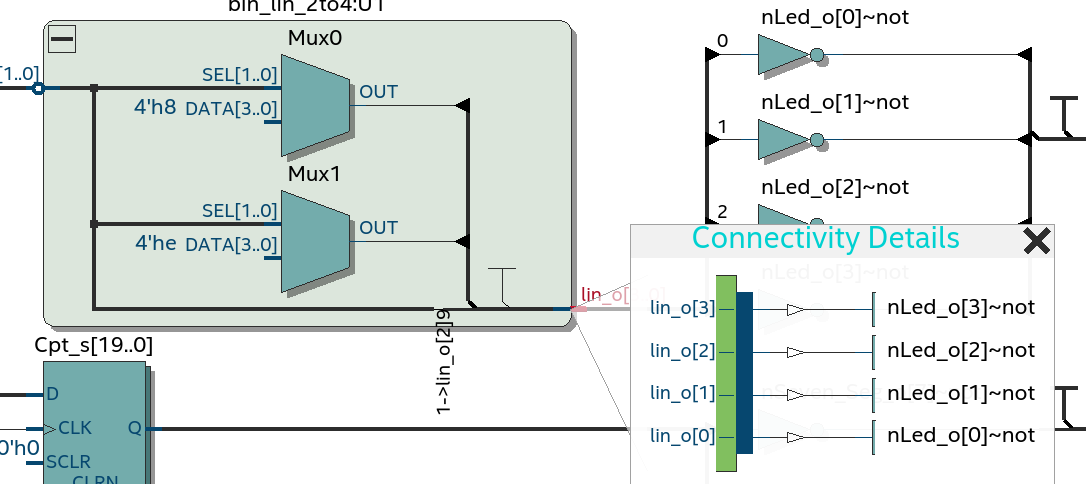


Une fois ceci fait, j’ai pu simuler et intégrer le nouveau code.

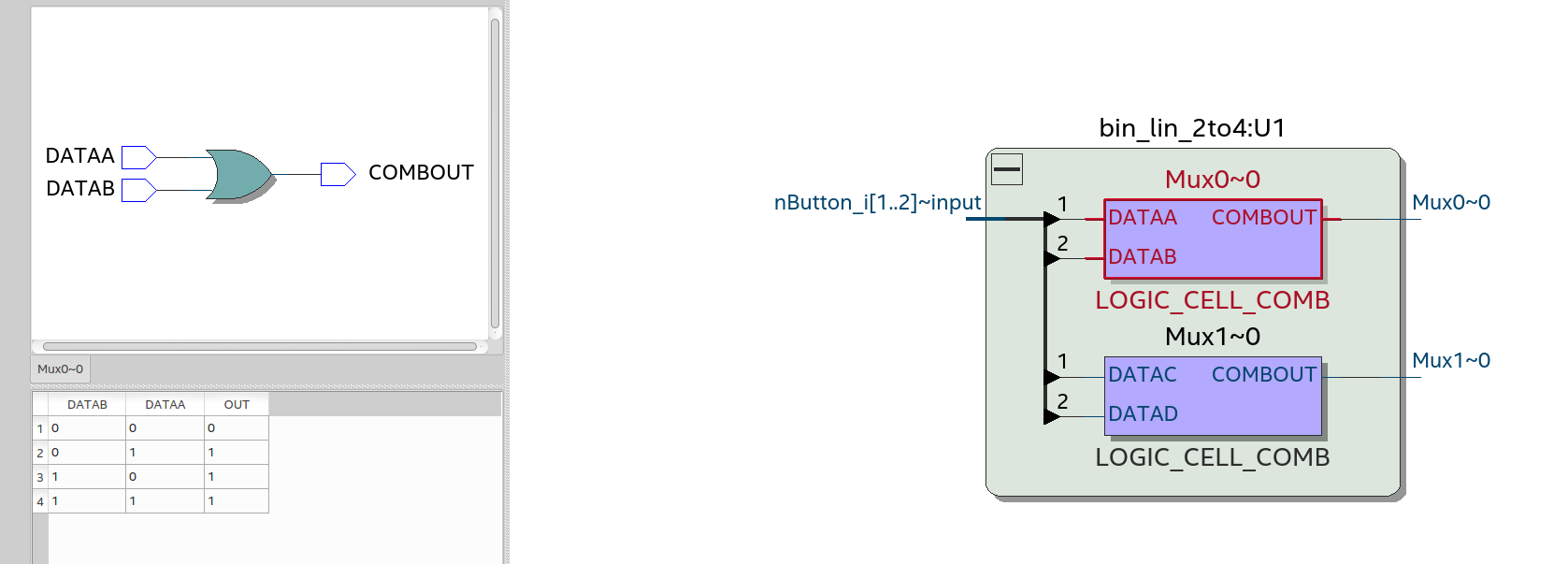
*La validation a été effectuée le 01.10.19 par M. Masle.*

## Vues RTL et Technologic

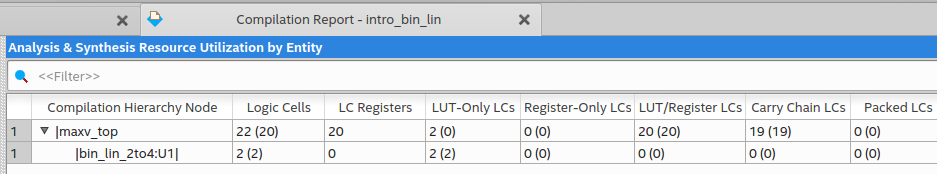
Vue RTL avec les détails de la connections de sortie :



Vue Technologie (mode Max-10) avec les propriétées et la table de vérité :

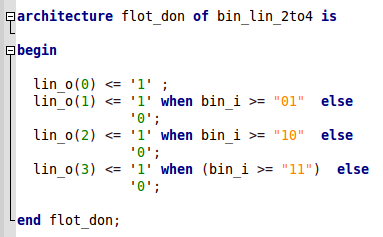


Finalement, voici la quantité de logique utilisée pour le composant bin\_lin\_2to4 :

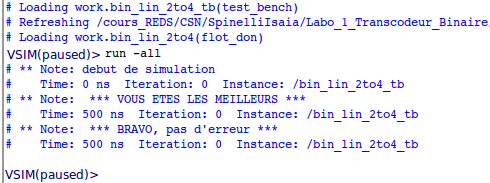


## Description VHDL par flow de données

Après avoir recoder le bin\_lin\_2to4 sans équation en flow donnée j’ai pu le tester et l’intégrer. Voici le code :

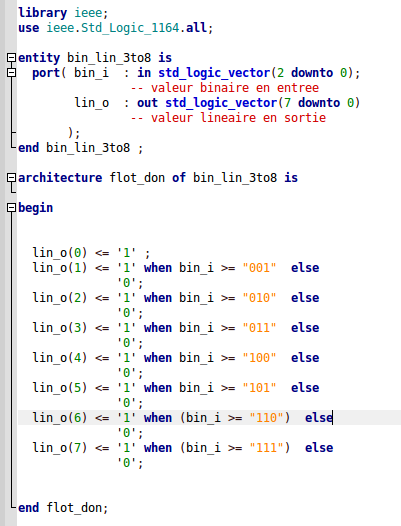


Après avoir modifié les fichiers nécessaires, j’ai pu lancer la simulation automatique. Voici le log de Questasim de la simulation automatique de la description par flow de donnée du transcodeur Bin-Lin :



## Description VHDL du transcodeur Bin-Lin 3 à 8

Finalement, il nous a été demandé de coder, simuler, intégrer et faire contrôler un transcodeur Bin-Lin 3 à 8. Voici le code VHDL :



Après avoir adapté « console\_sim.vhd » et « maxv\_top.vhd » pour la simulation manuelle et l’intégration, j’ai pu faire valider la description du transcodeur Bin-Lin 3to8.

*La validation a été effectuée le 01.10.19 par M. Masle.*

## Conclusion

### Difficultés rencontrées

Pour ce laboratoire d’introduction, le plus compliqué était de se familiariser correctement avec l’environnements et le flow VHDL complet.

### Compétences acquises

Grâce à ce laboratoire, je me sens plus à l’aise avec les logiciels à utiliser ainsi qu’avec le flow VHDL.

### Résultats obtenus

Finalement, j’ai pu réaliser toutes les étapes demandées et tout faire valider.

Date : 02.10.19

Nom de l’étudiant : Spinelli Isaia