Auteur : Spinelli Isaia

Prof : [Etienne](https://cyberlearn.hes-so.ch/user/view.php?id=104149&course=1) Messerli

Ing : Sébastien Masle

Date : 03.10.2019

Salle : A09

Classe : CSN

Encodeur de priorité

[CONCEPTION DE SYSTÈMES NUMÉRIQUES (CSN)](https://cyberlearn.hes-so.ch/course/view.php?id=14116#section-1)

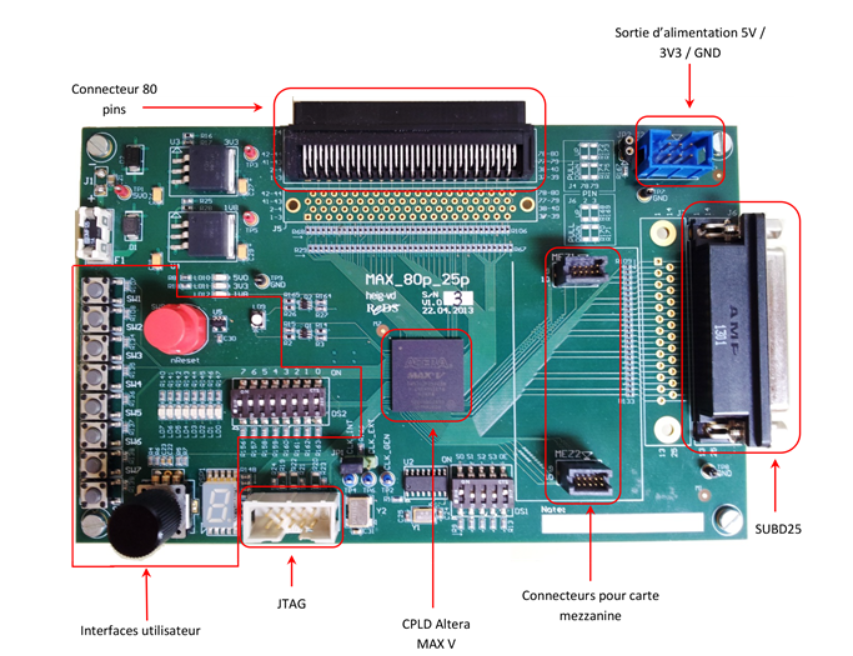


Table des matières

[Introduction - 2 -](#_Toc20902210)

[Spécifications - 2 -](#_Toc20902211)

[Correction - 2 -](#_Toc20902212)

[Vues RTL et Technologic - 3 -](#_Toc20902213)

[Description VHDL par flow de données - 4 -](#_Toc20902214)

[Description VHDL du transcodeur Bin-Lin 3 à 8 - 5 -](#_Toc20902215)

[Conclusion - 6 -](#_Toc20902216)

[Difficultés rencontrées - 6 -](#_Toc20902217)

[Compétences acquises - 6 -](#_Toc20902218)

[Résultats obtenus - 6 -](#_Toc20902219)

## Introduction

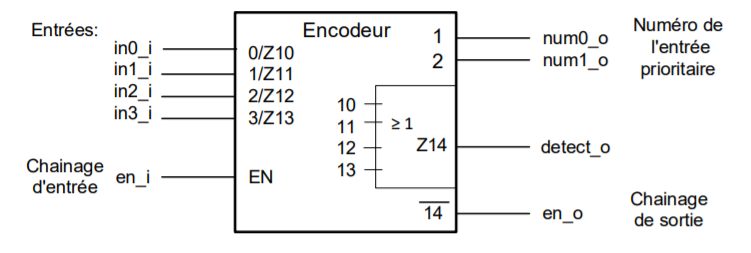
Il s’agit de réaliser un circuit encodeur de priorité disposant de n entrées. La fonction d’un tel circuit est d’indiquer le numéro de l’entrée active ayant le degré de priorité le plus élevé. L’entrée avec l'indice 0 est la moins prioritaire et l’entrée avec l'indice le plus élevé est la plus prioritaire. Dans le cas d’un circuit à 4 entrées, c’est l’entrée in3 la plus prioritaire, et dans le cas d’un circuit à 16 entrées c’est l’entrée in15.

Nous allons réaliser dans une première étape une version à 4 entrées qui sera décrite à l'aide d'une description textuelle en VHDL. Dans une seconde étape nous allons réaliser une version à 16 entrées en utilisant une solution hiérarchique. Nous allons concevoir un schéma comprenant plusieurs modules à 4 entrées et de la logique.

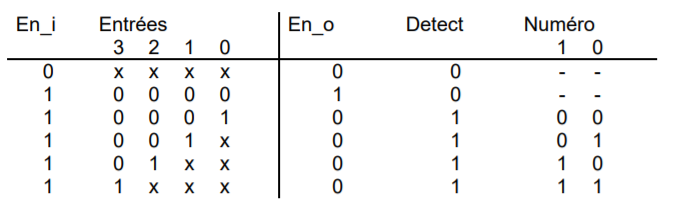
## Spécifications

La première étape est la conception d’un encodeur de priorité comprenant 4 entrées. Ce composant doit être modulaire. Il comprend une entrée et une sortie de chaînage.

Voici le symbole de l'encodeur de priorité à 4 entrées :



Voici la table de vérité de l'encodeur de priorité à 4 entrées :



Ce module sera réalisé à l'aide d'une description VHDL synthétisable. Vous devrez analyser le fonctionnement du système afin de déterminer les instructions les plus adéquates et, si nécessaire, décomposer la description textuelle.

## Description textuelle

Si l’entrée En\_i n’est pas active, alors En\_o et detect\_o sont désactivés et num0\_o ainsi que num1\_0 sont « dont-care ».

Sinon

Si les entrées in0\_i,in1\_i,in2\_i,in3\_i sont désactivées, alors En\_o est active et detect\_o est désactivée et num0\_o ainsi que num1\_o sont « dont-care ».

Sinon

Si l’entrée in3\_i est active, alors En\_o est desactivée et detect\_o est active et num0\_o ainsi que num1\_o sont active

Sinon

Si l’entrée in2\_i est active , alors En\_o est desactivée et detect\_o est active et num0\_o est désactivée et num1\_o est active

Sinon

Si l’entrée in1\_i est active , alors En\_o est desactivée et detect\_o est active et num0\_o est active et num1\_o est désactivée

Sinon

Si l’entrée in0\_i est active , alors En\_o est desactivée et detect\_o est active et num0\_o ainsi que num1\_o sont désactivée.

## Encodeur de priorité à 16 entrées

## Vues RTL et Technologic

## Description VHDL par flow de données

*La validation a été effectuée le 01.10.19 par M. Masle.*

## Conclusion

### Difficultés rencontrées

### Compétences acquises

### Résultats obtenus

Date : 02.10.19

Nom de l’étudiant : Spinelli Isaia