Auteur : Spinelli Isaia

Prof : Fabien Vannel et Joachim Schmidt

Date : 08.06.2021

Classe : MA\_LPSC

Projet Fractales (LPSC)



Table des matières

[2. Introduction - 2 -](#_Toc74053173)

[Objectifs - 2 -](#_Toc74053174)

[3. Architecture globale - 2 -](#_Toc74053175)

[Type d’implémentation choisie - 3 -](#_Toc74053176)

[Réalisation du bloc CALCUL (MandelbrotCalculator) - 4 -](#_Toc74053177)

[Modification du bloc C\_GEN - 4 -](#_Toc74053178)

[Réalisation du bloc MSS - 4 -](#_Toc74053179)

[Réalisation du bloc Convertisseur - 5 -](#_Toc74053180)

[4. Résultats et analyses de performance - 5 -](#_Toc74053181)

[5. Résultat final - 7 -](#_Toc74053182)

[6. Conclusion - 8 -](#_Toc74053183)

[Problèmes survenus - 8 -](#_Toc74053184)

[Améliorations - 8 -](#_Toc74053185)

[Compétences acquises - 8 -](#_Toc74053186)

# Introduction

Ce rapport permet de décrire la réalisation du projet fractale du cours LPSC. Ce projet consiste à réaliser un système qui calcul la fractale de Mandelbrot puis l’affiche sur un écran via une interface HDMI. Une grande partie du projet est fourni qui comprend principalement la gestion du HDMI et la génération des différents domaines d’horloges.

## Objectifs

Notre objectif est de remplacer un composant qui affiche constamment le drapeau du canton de Neuchâtel par une fractale de Mandelbrot. De plus, il est demandé de modifier les connexions afin de passer par une mémoire BRAM.

# Architecture globale

Afin d’avoir une bonne visualisation sur l’architecture global de notre système, nous avons fait un schéma :

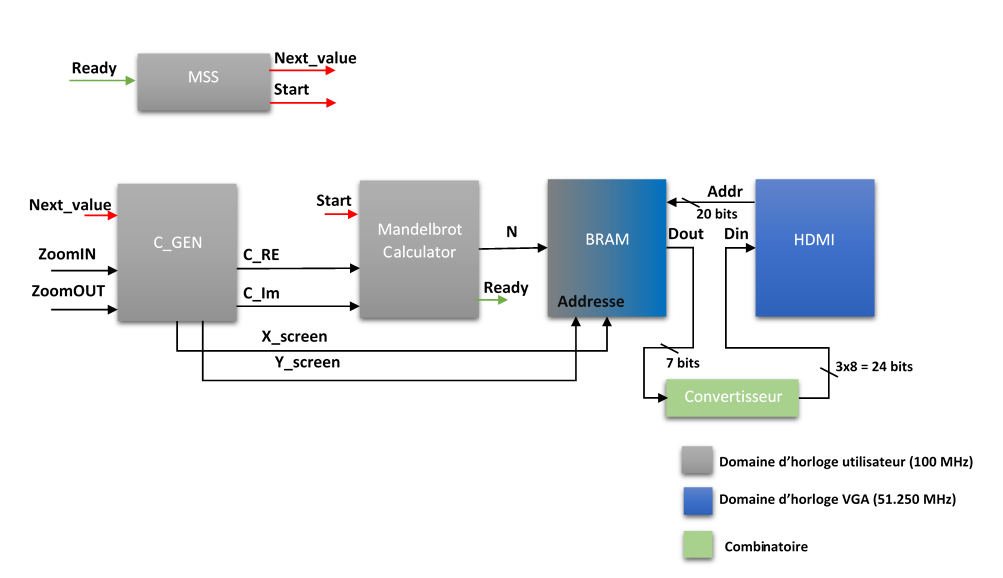


Figure ‑ : Architecture globale

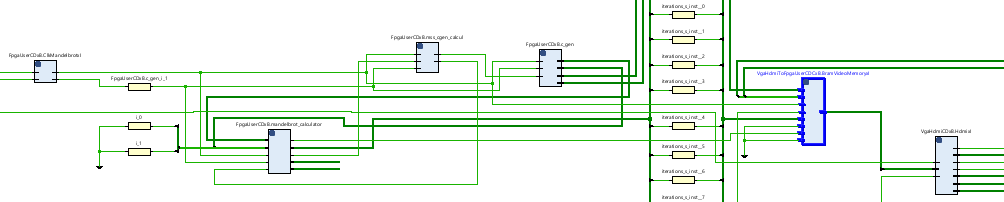
On peut voir les principaux modules composant notre système :

* **C\_GEN** : Permet de générer les constantes réelles et imaginaires ainsi que l’index du pixel correspondant. Le signal d’entrée « Next\_value » permet de contrôler l’incrément.
* **Mandelbrot Calculator** : Permet de calculer le résultat de l’équation de Mandelbrot pour un point donné. (). Le signal d’entrée « Start » permet de commencer un nouveau calcul. Le signal de sortie « Ready » permet d’indiquer que le module est prêt pour un nouveau calcul. Le signal de sortie « N » permet d’indiquer le nombre d’itération correspondant au dernier calcul.
* **MSS**: Cette machine d’état permet de faire le lien entre les modules « C\_GEN » et « Mandelbrot Calculator ». Plus précisément, elle permet d’indiquer au module « C\_GEN » quand générer les prochaines constantes. Ceci est effectué lorsque le module « Mandelbrot Calculator » est prêt pour un nouveau calcul. Une fois que les constantes suivantes sont générées, cette machine d’état lance le prochaine calcul de Mandelbrot.
* **BRAM**:Ce module permet de stocker tous les résultats des itérations pour chaque pixel de la résolution choisie. De l’autre côté, il permet au module « HDMI » de lire ces résultats. En intégrant deux ports, il permet d’écriture et de lire dans la même zone mémoire à des fréquences différentes.
* **Convertisseur**: Permet de convertir le nombre d’itérations (max = 100 => 7 bits) en valeur RGB sur 24 bits afin d’être compatible avec le module « HDMI ».
* **HDMI**: Ce module qui nous a été fourni permet d’afficher sur un écran les pixels lus et convertis de la mémoire BRAM.

On peut confirmer la bonne implémentation de cette architecture avec le rapport schématique de *Vivado* présenté dans la Figure 3‑2 :

Convertisseur

MSS



PLL

HDMI

BRAM

C\_GEN

Mandelbrot Calculator

Figure ‑ : Schéma de l'architecture de Vivado

Etant donné que la qualité ne permet pas de bien lire, nous avons ajouté des titres orange proche des différents modules sur le schéma. Grâce à cet outil, nous avons pu confirmer que la structure et els liens étaient correctes.

## Type d’implémentation choisie

Dans le cadre de ce projet, nous avons décidé d’implémenter les différentes parties en VHDL sans utiliser IP core.

## Réalisation du bloc CALCUL (MandelbrotCalculator)

Il existe différentes variantes à cette courbe de Mandelbrot. Dans ce projet, nous avons choisi d’implémenter celle-ci :

Afin de simplifier l’implémentation et de bien saisir cette formule, nous avons commencé par la décomposer avec la partie réelle d’un côté et imaginaire de l’autre :

On peut voir dans la Figure 3‑3 la décomposition du calcul effectué avec des composants logiques :

**X**

**+**

Comp.

>

**4**

**Finish**

**Z\_new\_RE**

**Z\_new\_IM**

**X**

**X**

**<< 1**

**+**

**+**

**-**

D

>

Q

D

>

Q

**C\_RE**

**C\_IM**

Z\_RE

Z\_RE2

Z\_IM

Z\_IM2

Z\_RE2\_SUB\_IM2

Z\_RE22

Z\_IM2

Figure ‑ : Décomposition du calcul de Mandelbrot

Cette décomposition nous a permis de réaliser un bloc combinatoire en VHDL correspondant au bloc gris dans la Figure 0‑3. En plus de ce bloc, nous avons besoin d’autres éléments, tels que : des bascules D, une machine d’état et un compteur.

Les bascules D permettent de mémoriser les états de plusieurs signaux : le résultat de la partie réelle du calcul, le résultat de la partie imaginaire et l’état de la machine d’état. Le compteur permet de compter le nombre d’itération effectuée par calcul. Finalement, la machine d’état permet de gérer les états d’un calcul : attente et calcul. L’état d’attente permet d’initialiser correctement différents signaux, comme le compteur, et l’état de calcul permet d’effectuer le calcul.

Afin de s’assurer du bon fonctionnement du calculateur, nous avons écrit un petit code python. Celui-ci permet de donner en entrée une constante réelles et imagine puis affiche les résultats de chaque itérations.

## Modification du bloc C\_GEN

Le bloc « C\_GEN » nous a été fourni. Il permet de générer les constantes réelles et imaginaires ainsi que l’index du pixel correspondant. Nous avons simplement dû ajouter la connexion du signal d’entrée « nextValue ».

## Réalisation du bloc MSS

Cette machine d’état permet de faire le lien entre les modules « C\_GEN » et « Mandelbrot Calculator ». Plus précisément, elle permet d’indiquer au module « C\_GEN » quand générer les prochaines constantes. Ceci est effectué lorsque le module « Mandelbrot Calculator » est prêt pour un nouveau calcul. Une fois que les constantes suivantes sont générées, cette machine d’état lance le prochaine calcul de Mandelbrot. Voici une image d’une simulation afin de visualiser les différentes étapes :

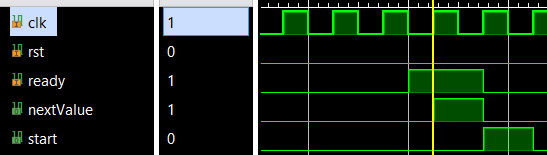
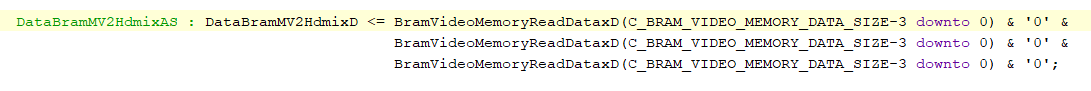


Figure ‑ : Simulation MSS

Dès que le calculateur est prêt pour un nouveau calcul (ready à ‘1’), le signal « nextValue » est mis à ‘1’, puis, on comment un nouveau calcul.

## Réalisation du bloc Convertisseur

Ce petit bloc permet de convertir le nombre d’itérations stocké dans le BRAM en une valeur RGB sur 24 bits afin d’être compatible avec le module « HDMI ». Nous pouvons voir ci-dessous, le code qui permet cette conversion :



Nous récupérons les 7 bits LSB du nombre d’itérations, puis la multiplions par deux pour accentué les différences ainsi que pour avoir une représentation sur 8 bits.

# Résultats et analyses de performances

Nous avons commencé par observer le résumé des timings à l’aide du logiciel *Vivado*:

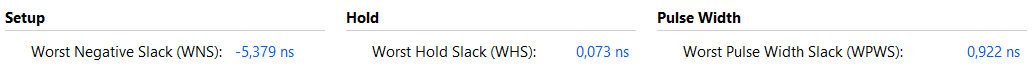
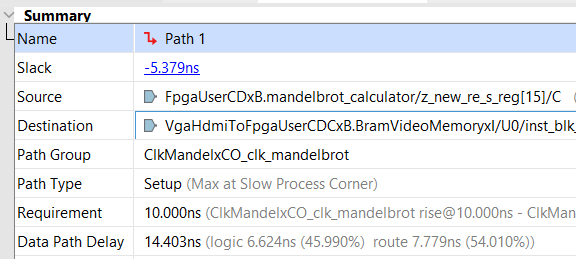


Figure ‑ : Résumé des timings

On peut constater que le pire temps calculé pour divers chemins traversant les domaines d'horloge spécifiés est de -5,379 ns.



Nous pouvons observer les informations sur l’utilisation des ressources du FPGA dans la Figure 4‑2 :

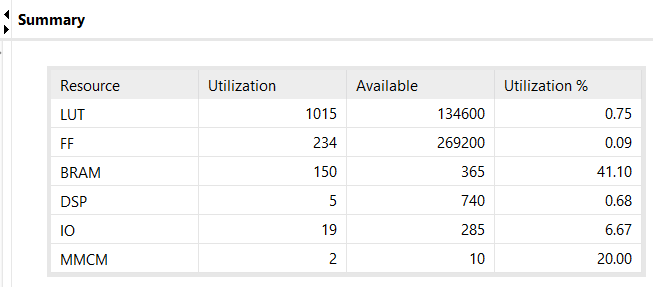


Figure ‑ : Résumé des utilisations

On peut voir qu’en utilisant 150 composants de BRAMs nous utilisons plus de 40 % des BRAMs à disposition. Si on souhaite comprendre pourquoi nous avons besoin de 150 blocs de BRAMs, nous devons ouvrir la fenêtre de paramétrage du ip core BRAM. Nous pouvons voir ci-dessous la configuration actuelle de l’IP :

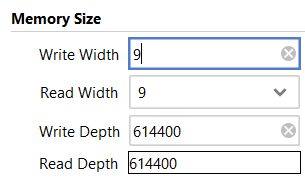


Figure ‑ : Configuration IP BRAM

Voici comment nous pouvons calculer le nombre de bloc BRAM de 36K dont nous avons besoin :

Mise à part ceci, nous n’utilisons pas énormément de ressources dans les autres différents blocs. On peut constater que le système a réussi à comprendre que nous souhaitions utiliser des DSPs, 5 sont utilisés. On peut confirmer que ces DSPs sont bien utilisé pour notre calculateur :

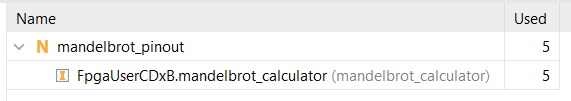


Figure ‑ : DSPs du calculateur

# Résultat final

Nous pouvons voir ci-dessous deux résultats de notre implémentation :

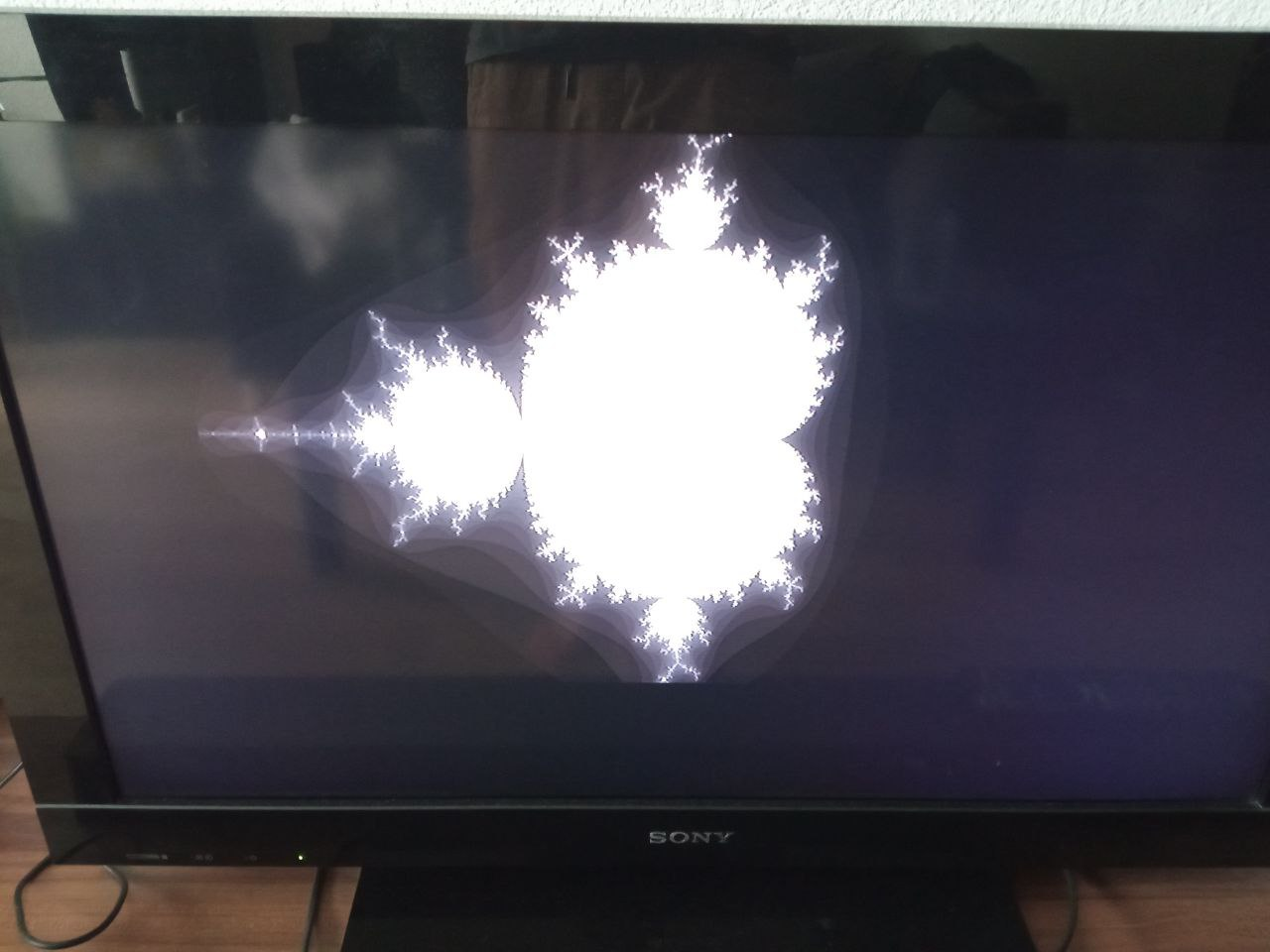
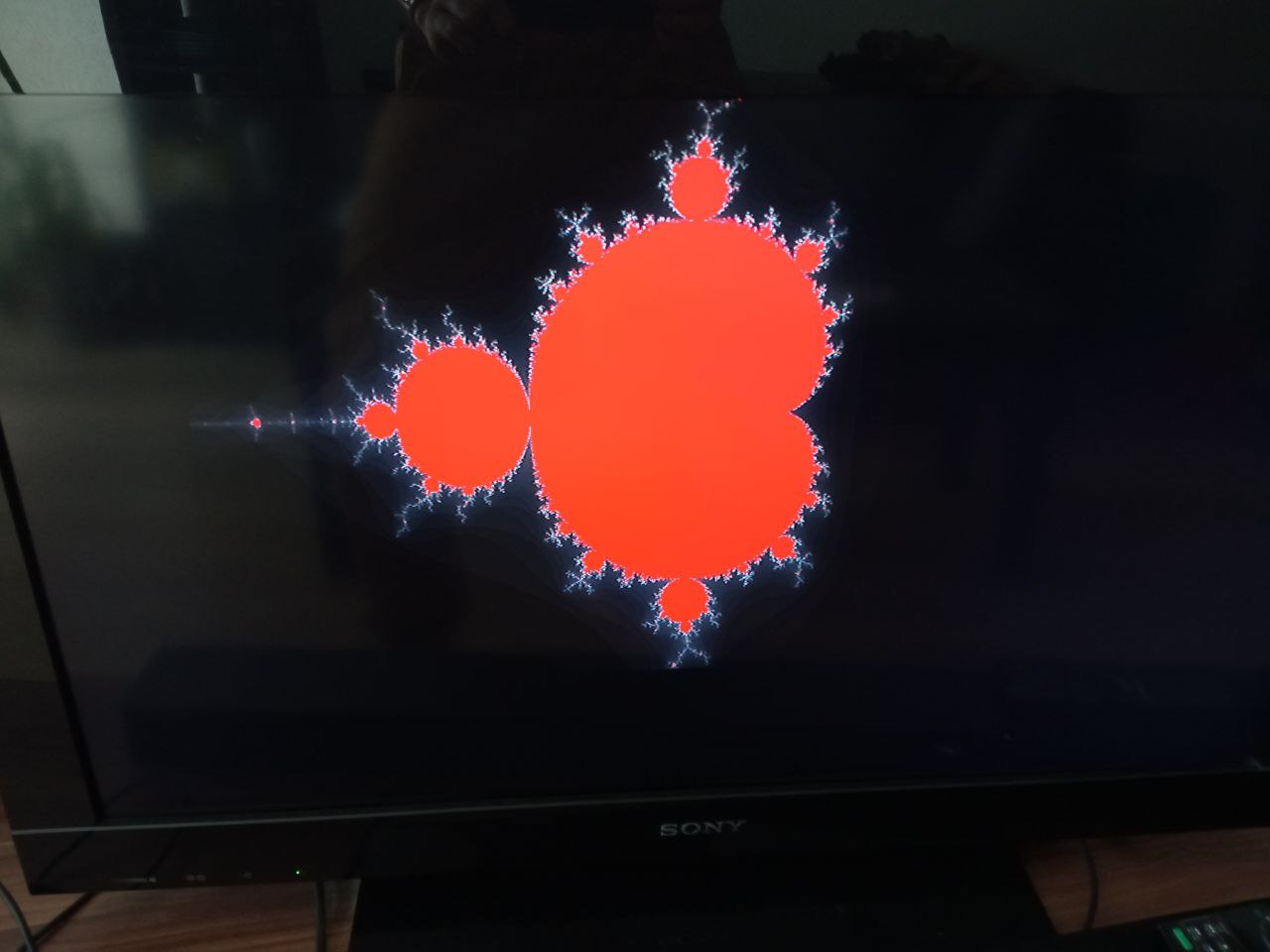
 

Figure ‑ : Résultat final réel Figure ‑ : Résultat modifié

L’image de gauche représente le résultat final réel. On peut apercevoir les différente limitations de la forme Mandelbrot avec les dégradés de blanc. Sur l’image de droite nous avons forcé en rouge les pixels qui ont pu être calculé avec le nombre d’itération maximum.

# Amélioration

Il serait possible d’améliorer grandement la fréquence maximale du système en découpant notre logique en plusieurs étages. En augmentant la profondeur de notre pipeline, nous augmenterons la latence du premier résultat mais diminuerons le plus long chemin. Ce qui se traduit directement par une fréquence maximale plus élevée. On peut voir dans la Figure 6‑1 un exemple de notre logique divisé en quatre étages :

Figure ‑ : Logique pipelinée

**X**

**+**

Comp.

>

**4**

**Finish**

**Z\_new\_RE**

**Z\_new\_IM**

**X**

**X**

**<< 1**

**+**

**+**

**-**

D

>

Q

D

>

Q

**C\_RE**

**C\_IM**

Z\_RE

Z\_RE2

Z\_IM

Z\_IM2

Z\_RE2\_SUB\_IM2

Z\_RE2

Z\_IM2

# Conclusion

## Problèmes survenus

Un processus de synthèse et d’implémentation prend approximativement 15 minutes. Ce temps n’est pas négligeable. De plus, j’ai eu un problème lorsque je souhaitais mettre en place l’analyseur logique. Il y avait un problème avec la longueur du chemin d’accès. Pour résoudre ce problème j’ai simplement déplacé mon projet de répertoire. Voici ci-dessous le message d’erreur correspondant :

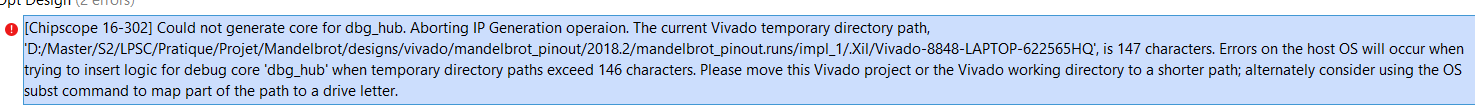


Figure ‑ : Message d’erreur sur la longueur d’un chemin d’accès

## Améliorations

N’étant pas très à l’aise avec la programmation VHDL avant ce cours, j’ai commencé par réaliser une solution simple comprenant une machine d’état avec plus d’états que nécessaire. Ceci m’a permis de découper le problème en plusieurs petites étapes. J’ai fini par concentrer le traitement dans un processus combinatoire. Cependant, il aurait préférable d’implémenter une solution pipelinée. Cela permettrait d’utiliser une fréquence plus élevée et permettrait d’augmenter la vitesse de calcul.

## Compétences acquises

* Analyse et compréhension d’un projet relativement grand
* Familiarisation des outils de développement de Xilinx
* Mise en place d’un analyseur logique
* Analyse de la synthèse de notre code afin de vérifier comment l’outil le traduit.

Date : 25.05.21

Nom de l’étudiant : Spinelli Isaia