

TUTORIAL DES OUTILS DE CONCEPTION, partie 2

SignalTap

Version:

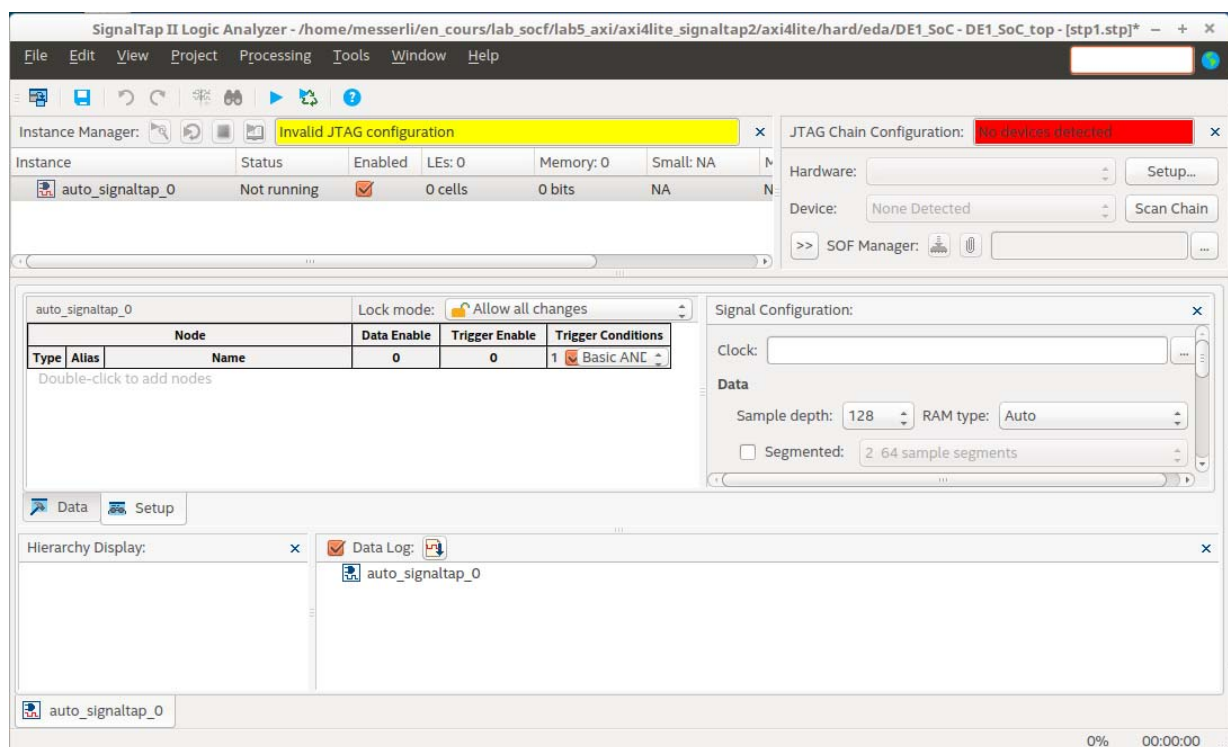
SignalTap II Logic Analyzer for Quartus Prime 17.0.0 Standard Edition

- **Démarrage de SignalTap**

Ouvrir le projet Quartus où nous souhaitons ajouter une instance de SignalTap.

Menu Tools → SignalTap II Logic Analyzer

La fenêtre suivante s'ouvre :



- **Configuration Instance**

Par défaut une instance est créé lorsqu'on ouvre SignalTap. Renommer celle-ci :

Sélectionner le nom de l'instance, puis clic droit ou <F2> et renommer l'instance

Exemple : axi45_lite_read

Il est possible d'ajouter d'autres instances. Soit

Dans la zone « instance » clic droite et choisir "Create instance", puis la renommer

Exemple : axi45_lite_write

Nous obtenons la vue suivante :

Instance	Status	Enabled	LEs: 0	Memory: 0	Small: NA	Medium: NA
axi4_lite_read	Not running	<input checked="" type="checkbox"/>	0 cells	0 bits	NA	NA
axi4_lite_write	Not running	<input checked="" type="checkbox"/>	0 cells	0 bits	NA	NA

Pour chaque instance, nous disposons de 2 fenêtres de visualisation, soit :



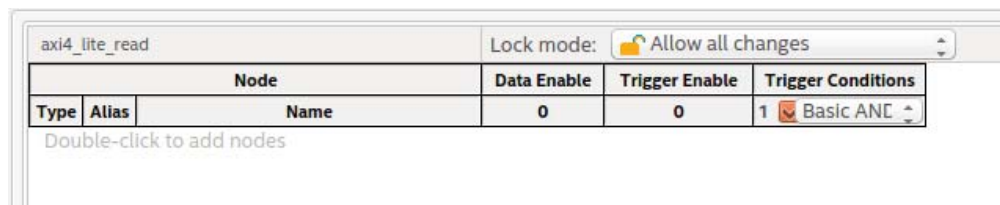
La fenêtre "Data" permettra de voir le chronogramme de l'acquisition.

La fenêtre "Setup" permettra de configurer les signaux que nous voulons acquérir.

- **Configuration des signaux à acquérir** fenêtre "Setup"

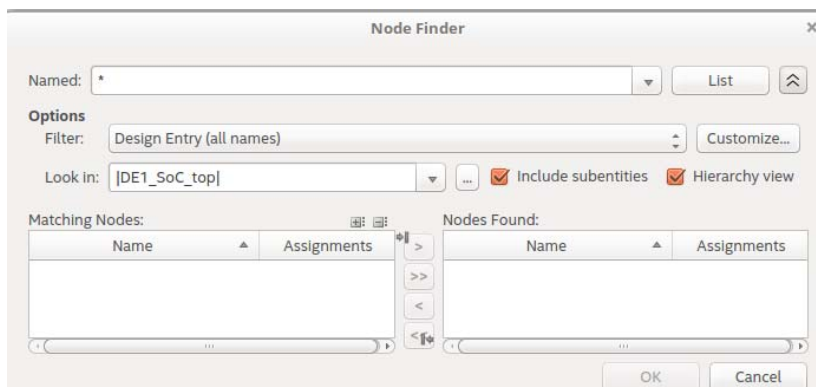
Pour chaque instance, il faut ajouter les signaux que nous souhaitons acquérir via SignalTap.

La configuration se fait dans la fenêtre suivante :



Double cliquer dans la fenêtre dans la zone "Double-click to add nodes" pour ouvrir la fenêtre "Node finder"

Ouvrir la liste des options de sélection des signaux. Cliquer sur l'icône




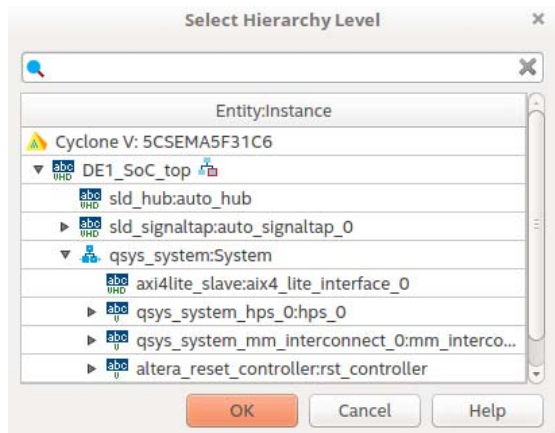
Choix des options :

Filter : permet de choisir le type de signaux que nous souhaitons visualiser

- Design Entry (all names) sélectionne les signaux du design source.
- SignalTap II post fitting sélectionne les signaux après le placement.
- ...

Selon le type de signaux choisi, la compilation demandera plus ou moins d'étapes suite à ces ajouts dans SignalTap

Look In : permet de choisir dans quelle entité de la hiérarchie nous allons choisir les signaux. Nous pouvons nous déplacer dans la hiérarchie. Pour ouvrir la fenêtre de sélection cliquer l'icône 



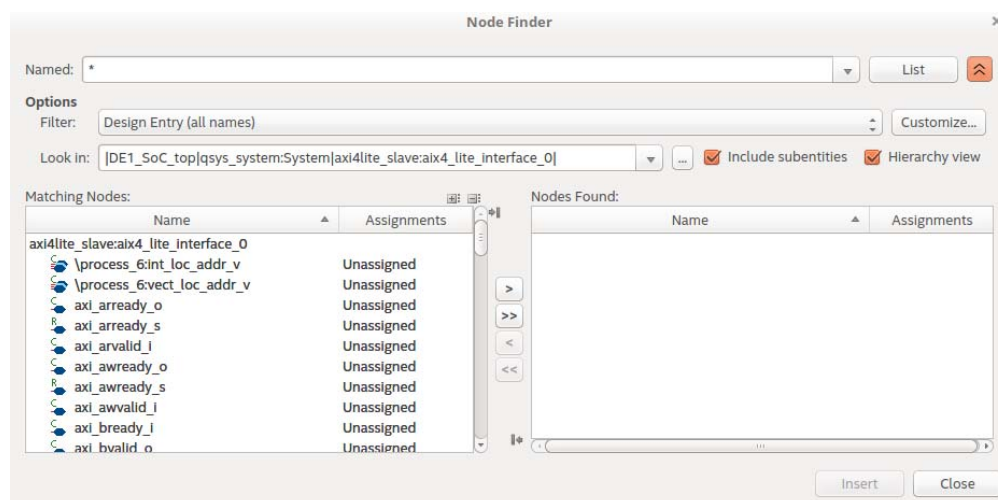
Sélectionner la hiérarchie souhaitée, puis cliquer sur <OK>




Exemple : sélectionner axi4_slave :aix4_lite_interface_0

- Design Entry (all names) sélectionne les signaux du design source.

Choix des signaux :

Cliquer sur l'icône . La liste des signaux disponibles sont affichés.



Sélectionné les signaux désirés, puis cliquer sur , puis . Puis fermer la fenêtre en cliquant sur 

Les signaux sélectionnés sont dès lors ajouté à l'instance de SignalTap pour être tracé lors d'une acquisition.

Recommandation :

- Classer les signaux par catégorie pour faciliter la lecture du chronogramme.
- Limiter le nombre de signaux activé pour le trigger.
 - Supprimer les bus en décochant la case dans la colonne "Trigger Enable"

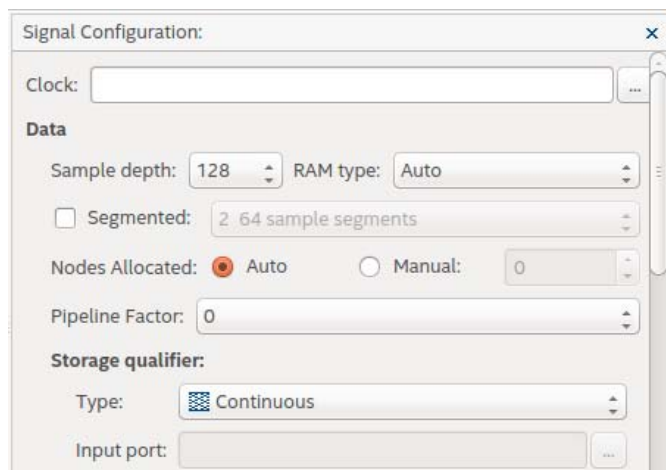
Exemple pour l'instance "axi45_lite_read"

Type	Alias	Name	Data Enable	Trigger Enable	Trigger Conditions
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_arready_o	55	6	1 Basic ANC
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_arvalid_i			
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_raddr_done_s			
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_araddr_mem_s[11..0]			
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_arprot_i[2..0]			
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_rvalid_o			
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_rready_i			
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_data_rden_s			
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_rdata_s[31..0]			
		qsys_system:System axi4lite_slave:axi4_lite_interface_0 axi_rresp_o[1..0]			

- **Configuration de l'acquisition**

Il y a plusieurs signaux et paramètres à configurer pour les acquisitions de l'analyseur de signal.

La configuration se fait dans la fenêtre



Il faut commencer par configurer l'horloge d'acquisition. Il faut choisir l'horloge utilisée dans le design FPGA que l'on souhaite analyser.

La sélection du signal se fait de façon identique à celle des signaux pour l'instance d'acquisition.

Voir étape : Configuration des signaux à acquérir

Exemple :

- Sélectionner la hiérarchie du top : |DE1_SoC_top|
- Sélectionner l'horloge de la FPGA, soit : CLOCK_50_i

Configurer le nombre d'échantillons qui seront mémorisés, soit :

Sample depth : choisir le nombre d'échantillons (exemple 1K)

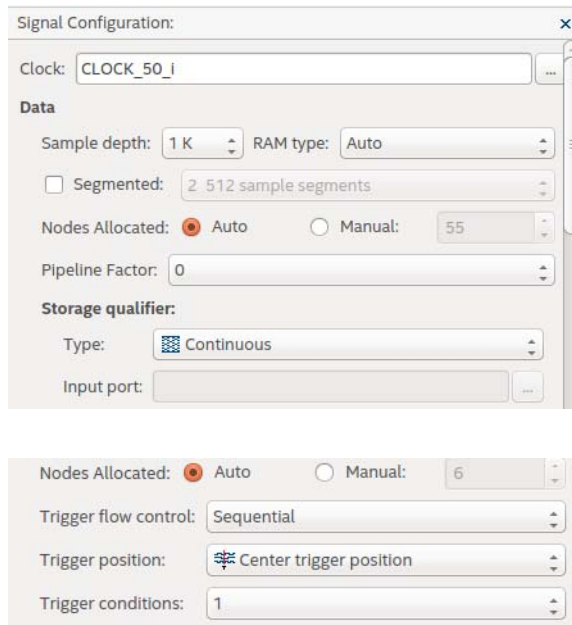
Il est possible de choisir le type d'acquisition "Storage qualifier : Type :"

Laisser le type par défaut, soit "Continuous"

Dans la partie "Trigger", il est possible de choisir la position du trigger. Soit au début, au milieu ou à la fin.

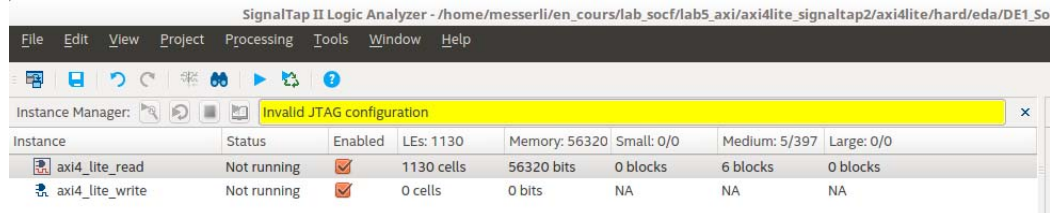
Exemple : sélectionner le trigger au milieu de la fenêtre

Voici la vue de l'exemple de configuration :



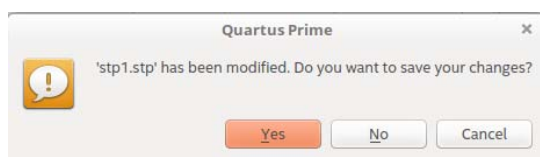
- **Compilation du design avec l'instance de SignalTap**

Lorsque l'instance de SignalTap est complètement configurée, il faut recompiler le design avec Quartus. La commande peut être lancée directement dans le menu de SignalTap, soit :



Cliquer sur l'icône  (Start Rapid Reconfiguration) dans la barre d'outil

Il demande de sauvegarder la configuration établie :



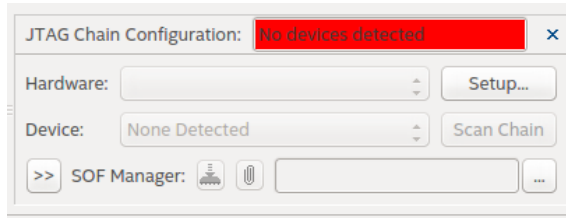
Cliquer sur "Yes".

La compilation démarre dans Quartus.


- **Programmation de la FPGA**

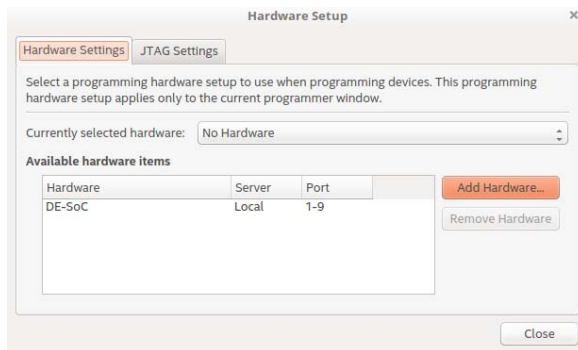
La programmation de la FPGA est réalisée depuis la fenêtre de SignalTap afin de lancer simultanément l'analyseur logique.

La programmation se fait via la fenêtre suivante :



Il faut configurer le câble de programmation si la détection automatique n'a pas déjà configuré le type de JTAG.

Enclencher la carte et connecter le câble de la sonde JTAG USB-Blaster. Puis cliquer sur l'icône  la fenêtre suivante s'ouvre:

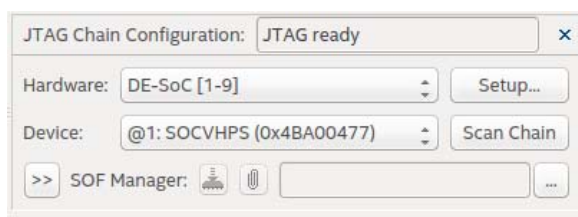



Double cliquer sur la ligne "DE-SoC Local 1-9" .

Dans la fenêtre "Currently selected hardware" il doit apparaitre : DE-SOC [1-9]
Remarque: selon la port USB utilisé le numéro [1-9] sera différent.


Fermer la fenêtre en cliquant sur l'icône 

Dès lors la chaine JTAG est configurée. Vous devez avoir les informations suivantes dans la fenêtre:



Sélectionner le programme en cliquant sur l'icône , choisir le répertoire ../output_files/, puis sélectionner le fichier *.pof.

Exemple : ../axi4lite/hard/eda/output_files/DE1_SoC_top.sof

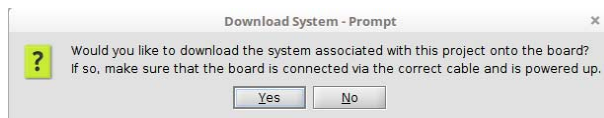
Programmer la FPGA en cliquant sur l'icône 

Remarque: Si la programmation ne fonctionne pas, il faut vérifier que la connexion est désactivée dans le programme "Intel FPGA Monitor Program". Sinon il y a un conflit et une erreur lors de la programmation de la FPGA.

- **Démarrage du programme "Intel FPGA Monitor Program"**

Démarrer le programme "Intel FPGA Monitor Program". Sélectionner le projet correspondant.

Le message suivant apparaît:



cliquer sur "No"

Remarque: Il est possible de programmer la FPGA depuis ce logiciel. Par contre le logiciel SignalTap doit être ouvert avant.

Compiler et charger le programme C sur le HPS, soit:

Menu Actions → Compile & Load

puis lancer le programme en cliquant sur l'icône

Vérifier que le programme fonctionne sur la carte cible SoC.

- **Démarrage d'une acquisition**

Nous pouvons maintenant démarrer une acquisition. Nous devons configurer le trigger. Dans SignalTap, l'onglet "Setup" permet de définir la condition de déclenchement.

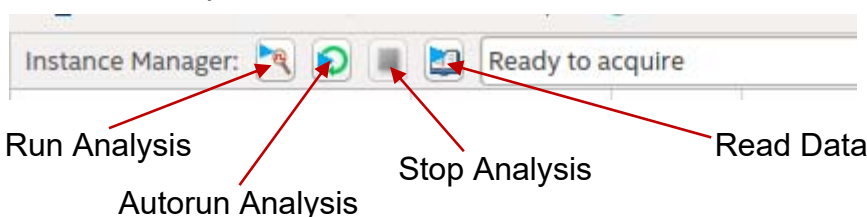
Voici un exemple de condition sur le flanc montant du signal "avalon_slv_read_i"

Type	Alias	Name	Data Enable	Trigger Enable	Trigger Conditions
		qsys_system:System avalon_slv:avalon_slave_0 addr_interne_s[7..2]	<input checked="" type="checkbox"/>	<input type="checkbox"/>	1 Basic ANC
		qsys_system:System avalon_slv:avalon_slave_0 avalon_slv_read_i	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 avalon_slv_rvalide_o	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 avalon_slv_waitreq_o	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 avalon_slv_write_i	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 aff_4X_7seg_o[31..0]	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 avalon_slv_rdata_o[31..0]	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 avalon_slv_wdata_i[31..0]	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 reg_interne2_s[31..0]	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 reg_interne3_s[31..0]	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
		qsys_system:System avalon_slv:avalon_slave_0 tst_reg_interne1_s[31..0]	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Pour configurer le "Trigger condition", clique droite sur la condition et menu déroulant apparaît avec les différentes possibilités.

Sélectionner l'onglet "Data" pour passer sur la vue de la trace.

Le contrôle des acquisitions se fait via les icônes suivantes:



Démarrer une acquisition en cliquant sur l'icône "Run Analysis"

Puis visualisé le résultat de l'acquisition:

