Auteur : Spinelli Isaia

Prof : [Etienne](https://cyberlearn.hes-so.ch/user/view.php?id=104149&course=1) Messerli

Ing : Sébastien Masle

Date : 03.04.2020

Salle : A09 (maison) – HEIG-VD

Classe : SOCF

# IP AXI4-lite avec I/O de la FPGA

[Système Soc intégré avec fpga (socf)](https://cyberlearn.hes-so.ch/course/view.php?id=14116#section-1)

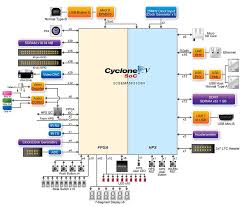


Table des matières

[IP AXI4-lite avec I/O de la FPGA - 0 -](file:///D:\HEIG\S6\SOCF\Laboratoires\Labo5\Labo5_SOCF_Spinelli.docx#_Toc36800570)

[Introduction - 2 -](#_Toc36800571)

[Première partie : sans interruption - 2 -](#_Toc36800572)

[Plan d’adressage - 2 -](#_Toc36800573)

[Conception - 2 -](#_Toc36800574)

[Description VHDL - 2 -](#_Toc36800575)

[Test et validation de l’IP - 2 -](#_Toc36800576)

[Création du composant - 2 -](#_Toc36800577)

[Ajout du composant - 2 -](#_Toc36800578)

[Génération des fichiers HDL - 2 -](#_Toc36800579)

[Modification du top - 2 -](#_Toc36800580)

[Synthétiser et faire le placement-routage du projet - 2 -](#_Toc36800581)

[Réalisation de la spécification - 2 -](#_Toc36800582)

[Deuxième partie : avec interruption - 2 -](#_Toc36800583)

[Plan d’adressage - 2 -](#_Toc36800584)

[Conception - 2 -](#_Toc36800585)

[Test de l’IP - 2 -](#_Toc36800586)

[Mise à jour du composant (Qsys) - 2 -](#_Toc36800587)

[Génération des fichiers HDL - 2 -](#_Toc36800588)

[Synthétiser et faire le placement-routage du projet - 2 -](#_Toc36800589)

[Réalisation de la spécification - 2 -](#_Toc36800590)

[Conclusion - 3 -](#_Toc36800591)

[Difficultés rencontrées - 3 -](#_Toc36800592)

[Compétences acquises - 3 -](#_Toc36800593)

[Résultats obtenus - 3 -](#_Toc36800594)

## Introduction

## Première partie : sans interruption

### Plan d’adressage

On 12 bits 4Ko 32bits d’adresse et de donnée

|  |  |  |  |
| --- | --- | --- | --- |
| **N** | **Adresse** | **D32 Read 0** | **D32 Write 0** |
| 0 | 0x0000 0000 | Constante (0xDEADBEEF) | not used |
| 1 | 0x1900 0004 | [15..8] ‘0..0’ - [7..0] Leds7…0 | [15..8] reserved; [7..0] Leds7…0 |
| 2 | 0x1900 0008 |  |  |
| 3 | 0x1900 000C |  |  |
| 4 | 0x1900 0010 |  |  |
| 5 | 0x1900 000A | reserved | reserved |
| 6 | 0x1900 000C | reserved | reserved |
| 7 | 0x1900 000E | *reserved* | *reserved* |
| 8 | 0x1900 0010 |  |  |
| 9 | 0x1900 0012 |  |  |
| 10 | 0x1900 0014 |  |  |
| 11 | 0x1900 0016 | Reserved | Reserved |
| 12 | 0x1900 0018 | Reserved | Reserved |
| 13 | 0x1900 001A | reserved | Reserved |
| 14 | 0x1900 001C | Reserved | Reserved |
| 15 | 0x1900 001E | reserved | Reserved |

*Les adresses suivantes ne sont pas prises en compte.*

#### Explications spéciales sur le plan d’adressage :

### Conception

### Description VHDL

### Test et validation de l’IP

Pour commencer, j’ai tester personnellement le module en ..

#### Utilisation du testbench fourni

#### (Modification du testbench)

### Création du composant

### Ajout du composant

### Génération des fichiers HDL

### Modification du top

### Synthétiser et faire le placement-routage du projet

### Réalisation de la spécification

Créer un nouveau projet

Coder

Compiler et tester

## Deuxième partie : avec interruption

### Plan d’adressage

### Conception

### Test de l’IP

### Mise à jour du composant (Qsys)

### Génération des fichiers HDL

### Synthétiser et faire le placement-routage du projet

### Réalisation de la spécification

#### Compléter le code C

#### Modifier la configuration mémoire

#### Compiler et tester

## Conclusion

### Difficultés rencontrées

### Compétences acquises

### Résultats obtenus

Date : 07.05.20

Nom de l’étudiant : Spinelli Isaia