Auteur : Spinelli Isaia

Prof : [Etienne](https://cyberlearn.hes-so.ch/user/view.php?id=104149&course=1) Messerli

Ing : Sébastien Masle

Date : 03.04.2020

Salle : A09 (maison) – HEIG-VD

Classe : SOCF

IP AXI4-lite avec I/O de la FPGA

[Système Soc intégré avec fpga (socf)](https://cyberlearn.hes-so.ch/course/view.php?id=14116#section-1)

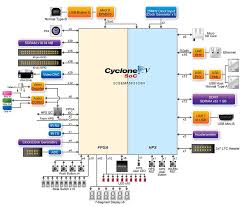


Table des matières

[Introduction - 2 -](#_Toc39677137)

[Première partie : sans interruption - 2 -](#_Toc39677138)

[Plan d’adressage - 2 -](#_Toc39677139)

[Conception - 3 -](#_Toc39677140)

[Ecriture - 4 -](#_Toc39677141)

[Lecture - 5 -](#_Toc39677142)

[Description VHDL - 6 -](#_Toc39677143)

[Test et validation de l’IP - 7 -](#_Toc39677144)

[Écriture - 7 -](#_Toc39677145)

[Lecture - 8 -](#_Toc39677146)

[Création du composant - 8 -](#_Toc39677147)

[Ajout du composant - 9 -](#_Toc39677148)

[Modification du top - 10 -](#_Toc39677149)

[Validation pratique - 10 -](#_Toc39677150)

[Réalisation de la spécification - 11 -](#_Toc39677151)

[Deuxième partie : avec interruption - 12 -](#_Toc39677152)

[Plan d’adressage - 12 -](#_Toc39677153)

[Conception - 13 -](#_Toc39677154)

[Test de l’IP - 14 -](#_Toc39677155)

[Mise à jour dans Qsys - 14 -](#_Toc39677156)

[Test de l’IP avec le code C - 15 -](#_Toc39677157)

[Réalisation de la spécification - 15 -](#_Toc39677158)

[Compléter le code C - 15 -](#_Toc39677159)

[Modifier la configuration mémoire - 16 -](#_Toc39677160)

[Compiler et tester - 16 -](#_Toc39677161)

[Fonctionnalité de strobe - 17 -](#_Toc39677162)

[Description VHDL - 18 -](#_Toc39677163)

[Test de la fonctionnalité strobe - 18 -](#_Toc39677164)

[Conclusion - 19 -](#_Toc39677165)

[Difficultés rencontrées - 19 -](#_Toc39677166)

[Compétences acquises - 19 -](#_Toc39677167)

[Résultats obtenus - 19 -](#_Toc39677168)

# Introduction

Ce laboratoire a pour but de réaliser une IP avec une interface AXI4-lite et connectée sur le bus Lightweight HPS-to-FPGA. Cette IP doit permettre d’accéder à des I/O câblées sur la partie FPGA via des registres. Je dois analyser le fonctionnement du bus AXI4-lite afin de concevoir une IP personnalisée pour les besoins du laboratoire

# Première partie : sans interruption

L'objectif est d'interfacer à l'aide d'une IP AXI4-lite tous les I/O disponibles sur la FPGA, sans utiliser des composants PIO, soit les boutons (KEYs), les switchs (SW), les LEDs et les afficheurs 7 segments.

Mon IP AXI4-lite comprend une constante 32 bits à l’offset 0x0 ainsi qu'un registre de test R/W à l’offset 0x4. Les offsets sont relatifs à l’adresse de base donnée à l'instance de l’IP dans Qsys.

## Plan d’adressage

Pour commencer, j’ai conçu un plain d’adressage afin mettre au claire les différents aspects de mon interface.



Figure ‑ : Plan d'adressage (partie 1)

L’interface dispose de 12 bits adressables ce qui représente 4Ko avec un bus de 32bits d’adresse et de donnée.

On peut voir à l’offset 0 une constante d’une valeur de 0xDEADBEEF afin quel la valeur soit facilement reconnaissable. Cette constant sera disponible seulement en lecture et non pas en écriture.

À l’offset 0x4 il y a un registre de test accessible en écriture et lecture afin de tester facilement l’interface. Étant donné que je dispose d’une grande plage d’adresse, je me suis permis afin de facilité le décodage d’adresse de laisser un offset de 0x100 entre chaque I/O de mon interface.

Comme on peut le voir, à l’offset 0x100, il y a les leds accessible en écriture ainsi qu’en lecture. Comme il y a que 10 leds, uniquement les 10 premiers bits sont utilisés et les autres (31 à 10) sont réservés en cas d’écriture et une valeur de 0 sera retourné en cas de lecture. **Cela signifie qu’une écriture sur ces bits réservés n’aura aucun n’effet.**

Ensuite, à l’offset 0x200, il y a les inputs des 4 Keys qui sont accessible uniquement en lecture. En cas d’écriture à cette adresse, il n’y aura aucun effet. On peut remarquer une ligne noire en dessous car il est demandé plus tard de gérer les interruptions et donc une ou plusieurs adresses sera nécessaires pour la gestion de ces interruptions.

À l’offset 0x300 il y a les 10 switches accessibles uniquement en lecture comme les Keys. En cas d’écriture à cette adresse, il n’y aura aucun effet.

A partir de l’offset 0x400, il y a les 6 afficheurs 7 seg décaler avec un offset de 0x10. Par exemple, le premier afficheur est à l’offset 0x400 et le seconde à 0x410. Ces différents afficheurs sont accessibles en lecture ainsi qu’en écriture. Uniquement les 7 premiers bits sont utilisés pour les 7 segments étant donné que le point n’est pas branché.

La plage d’adresse s’étend jusqu’à un offset de 0xfff car l’interface dispose de 12bits. Toutes les adresses non utilisées sont pour l’instant réservées et sera peut-être utilisées plus tard. J’ai décidé qu’en cas de lecture à une adresse non utilisée, cela n’aura aucun effet.

## Conception

Je dois dire qu’au début de ce laboratoire j’étais perdu, je ne savais pas par quoi commencer. De ce fait, comme cela me faisait penser à IFS, j’ai commencé faire un petit schéma pour représenter grossièrement mon interface :

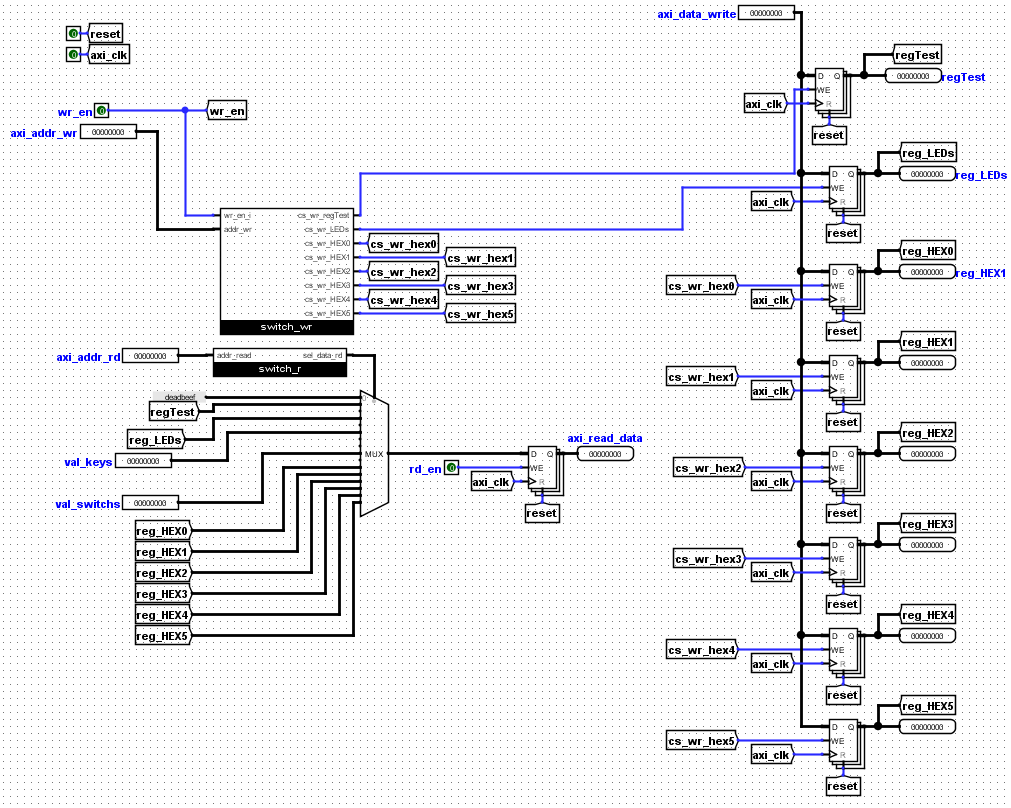


Figure ‑ : Schéma grossier de l'interface

Au lieu d’avoir des décodeurs, des simples switches seront utilisé pour décoder l’adresse pour une lecture et une écriture. Cette étape m’a éclairé afin de mieux percevoir le système général.

Une fois que le concept m’est paru plus claire, j’ai commencé par lire le document fourni « designing\_a\_custom\_axi\_slave\_rev1.pdf ». Ce document m’as fait comprendre plus exactement les étapes à réaliser.

Ensuite, j’ai analysé le code fourni, ce qui m’a encore aidé pour commencer à implémenter l’interface AXI4-lite.

### Ecriture

Une bonne partie du code VHDL pour l’écriture d’une adresse et des données été déjà écrite. J’ai pu compléter le reste en m’inspirant du code déjà fourni et surtout en analysant le document donné qui explique comment designer un bus axi slave.

Après avoir lus entièrement le chapitre sur la transition d’une écriture, j’ai pris connaissance de chaque signal du bus et des différents canaux. Ce qui m’a le plus aidé à finir l’implémentation est le chronogramme dans le document fourni :

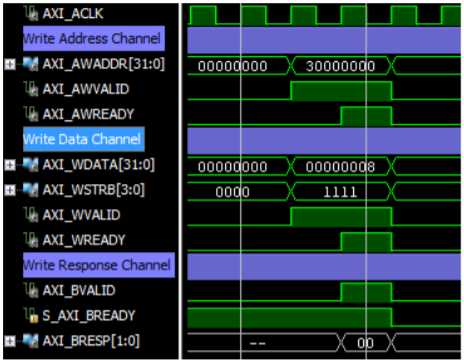


Figure ‑ : Chronogramme d'écriture sur un bus AXI light

Dans ce chronogramme, on peut voir tous les signaux utiles pour une transaction d’écriture du master au slave. De plus, on peut voir les différents timings ainsi que les 3 canaux utilisés :

1. Le canal d’adresse et de contrôle
2. Le canal des données et de paramètre (strobe)
3. Le canal de réponse

C’est trois canaux sont indiqués par les bandes bleus sur le chronogramme. De plus, on peut voir qu’il est possible d’utiliser deux canaux simultanément. Ici, on écrit l’adresse et les données en même temps.

Le paramètre strobe, envoyé en même temps que les datas, indique quel octet nous souhaitons écrire.

### Lecture

Le canal de l’adresse de lecture était déjà implémenté. Cependant, celui des données ne l’était pas du tout. Comme pour la partie écriture, je me suis grandement aidé du document fourni « designing\_a\_custom\_axi\_slave\_rev1.pdf ». Celui m’a permis de connaitre les deux canaux de lecture et tous les signaux utiles à une lecture.

Un chronogramme pour la lecture est documenté. Celui aussi m’a beaucoup aidé pour les timings de la transaction :

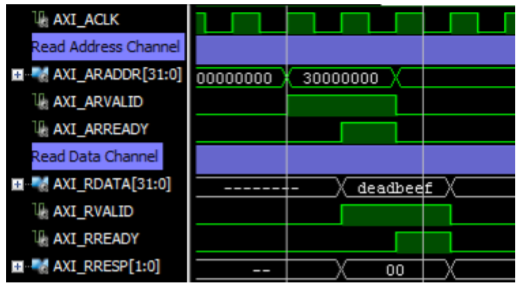


Figure ‑: Chronogramme de lecture sur un bus AXI light

On peut voir les deux différents canaux :

1. Le canal d’adresse et de contrôle
2. Le canal de donnée et de réponse

On indique l’adresse qu’on souhaite lire et au flanc montant suivant, la donnée est prête à être lue.

Finalement, après avoir réalisé un petit schéma avec logisim, étudier les documents fournis, analyser le code déjà écrit et surtout m’inspirer des chronogrammes, j’ai pu concevoir l’IP demandée avec une interface AXI4-lite

## Description VHDL

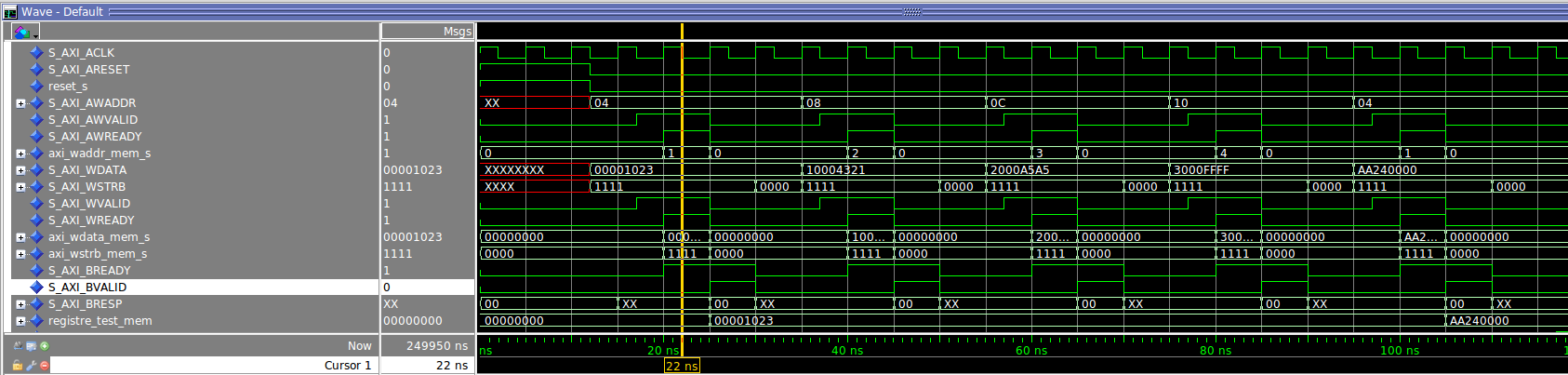
La description VHDL de l’interface du bus AXI4-lite est en annexe.

## Test et validation de l’IP

Pour commencer, j’ai testé l’IP afin de valider son fonctionnement. Pour ce faire, j’ai utilisé le test Bench fourni qui teste la validité des accès en lecture et écriture.

### Écriture

J’ai commencé par tester l’accès en écriture. Au début quelques timing n’était pas respecté, j’ai donc dû modifier un peu mon IP. Après un certain nombre de correction, j’ai obtenu le chronogramme suivant :



1

Figure ‑ : Écriture avec le test Bench

2

3

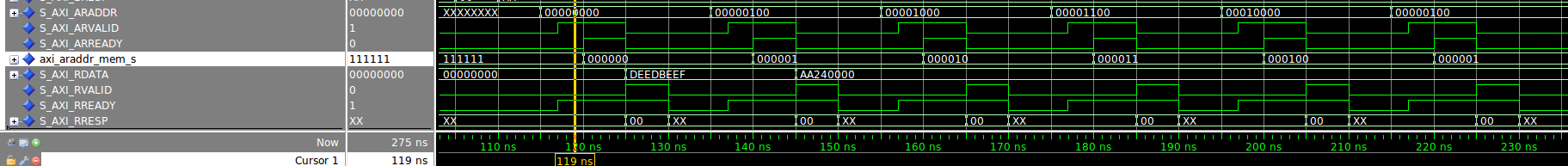
1. Après le reset du début, on peut voir qu’un accès d’écriture vas être effectué à l’adresse 0x04. Une fois que le master a levé le signal AWValid qui indique que l’adresse est valide, et que le slave est prête (AWReady à 1) on voit le signal « axi\_waddr\_mem\_s » qui enregistre la valeur de l’adresse. L’adresse 0x4 correspond à l’adresse 0x1 car les 2 bits de poids faible sont ignorés car nous travaillons avec des mots de 32 bits.
2. Simultanément, les données à écrire ainsi que le paramètre strobe est envoyé. Après que le master est indiqué que les données et le paramètre strobe sont valide (WValid à 1), et que le slave est prêt à les lire (WReady à 1), les données et le paramètre strobe sont enregistrés dans les signaux correspondent (axi\_wdata\_mem\_s et axi\_wstrb\_mem\_s).
3. Lorsque le master est prêt à lire la réponse (BReady à 1) et ensuite que le slave à une réponse valide (BValid à 1), le slave envoie la réponse et effectue l’écriture.

Les trois prochaines écrites se passe correctement mais elles sont faites à des adresses pas prise en compte par mon IP. Cependant la dernière écriture s’effectue aussi à l’adresse 0x4, donc le registre de test est de nouveau affecté par la nouvelle valeur donnée.

Après chaque transaction, j’ai décider de remettre des valeurs par défaut afin de bien voir les transitions. Par exemple, BResp passe à chaque fois à XX après les transactions et il en va de même pour les signaux internes (axi\_waddr\_mem\_s, axi\_wdata\_mems\_s et axi\_wstrb\_mem\_s passe à 0).

### Lecture

Après avoir testé et validé la partie écriture de mon IP, j’ai commencé à tester la partie lecture. Une fois avoir obtenu le chronogramme ci-dessous, j’en ai déduit que la partie lecture était correcte.



3

1

2

4

Figure ‑ : Lecture avec le test Bench

1. Le master commence par indiquer quelle adresse il souhaite lire. Dans le premier l’adresse est 0x0, ce qui correspond à ma constante (0xdeedbeef). Une fois que le master indique que l’adresse est valide et que le slave est ready, l’adresse est lue et enregistrer dans le signal interne axi\_araddr\_mem\_s.
2. Une fois qu’une adresse a été enregistrée par le slave et que le master est prêt à recevoir la réponse, le slave peut envoyer sur le bus de lecteur (S\_AXI\_RDATA) les données à l’adresse souhaité ainsi que le signal de réponse (S\_AXI\_RRESP).
3. L’étape est la même qu’au point 1, mais l’adresse souhaitée est « 100 » (0x4) ce qui correspond à un offset de 1 étant donné que nous travaillons par mot de 32 bits.
4. L’étape est la même qu’au point 2. La valeur 0xAA240000 écrite précédemment dans la partie écriture (Figure ‑) est maintenant relue.

On peut voir que la chaine complète fonctionne, écriture suivis d’une lecture grâce au registre de test à l’offset 0x4. Maintenant que d’après le test bench mon IP fonctionne correctement je souhaits le vérifier à l’aide d’un petit code C qui permettrai d’écrire simplement les switches sur les leds. Pour cela, je dois maintenant créer et ajouter mon IP dans mon projet VHDL.

## Création du composant

Comme indiqué dans la donnée du laboratoire, j’ai créé un composant dans mon projet de Qsys afin d’ajouter mon IP à Qsys. Malheureusement j’ai perdu du temps à cause d’une petite erreur stupide. Je n’ai pas tout de suite cliqué sur le bouton « Analyze Syntheses Files », j’ai donc ajouté les signaux manuellement et les noms correspondait pas.

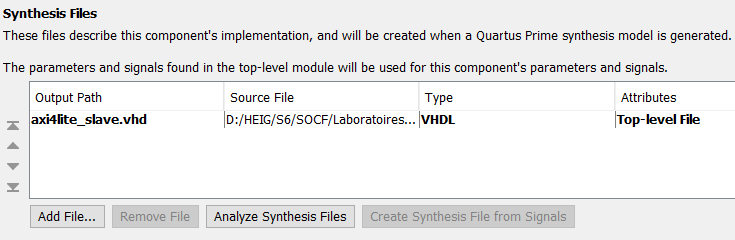


Figure ‑ : Bouton oublié lors de la création de l'IP

Grâce à l’aide de l’assistant M. Masle, j’ai pu résoudre ce problème.

Voici à quoi doit ressembler les signaux et les interfaces :

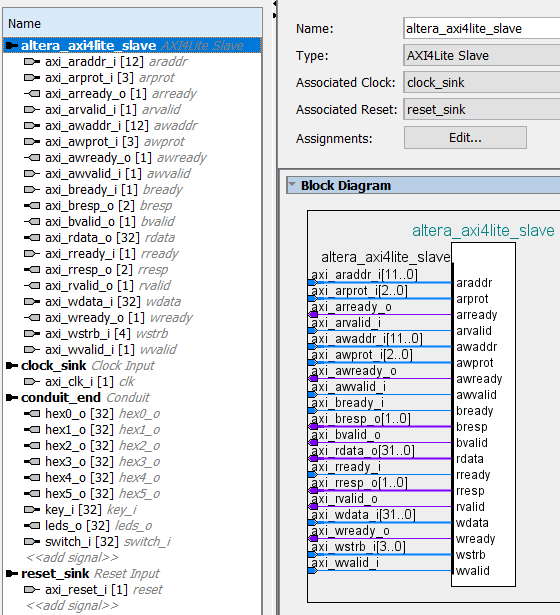


Figure ‑ : Signaux et interfaces

Après avoir ajouté les composants AXI4Lite Slave, Clock Inuput, Reset Input et Conduit, j’ai pu glisser les signaux dans les interfaces correspondante. Il a aussi fallu lier la clock et le reset à l’interface AXI4Lite slave.

## Ajout du composant

Après avoir créer mon nouveau composant, je l’ai ajouté dans le système Qsys. Ensuite, j’ai effectué les connexions ainsi que les exports de memory, hps\_io et du conduit de mon IP. Finalement, j’ai ajouté l’adressage du composant. Voici à quoi cela doit ressembler :

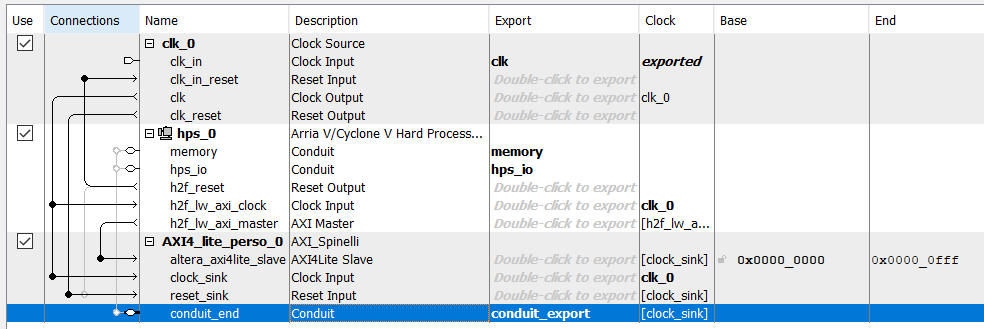


Figure ‑ : Système Qsys

Après avoir fait tout cela, j’ai pu générer les fichiers HDL du projet Qsys.

Remarque : La génération des fichiers HDL doit être refaite à chaque modification de l’IP.

## Modification du top

Grâce au menu Generate -> Show Instantiation Template dans Qsys, j’ai pu apporter les modifications nécessaires au top du projet dans le fichier DE1\_SoC\_top.vhd. J’ai donc ajouté les nouveaux signaux « conduit » dans le composant « qsys\_system ». Ensuite, j’ai mappé les conduits avec les I/Os de la FPGA comme ci-dessous :

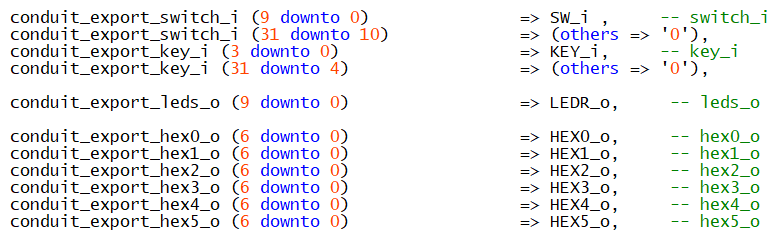


Figure ‑ : Mapping du Top

On peut voit ici que j’ai décidé de crée une sortie pour chaque afficheur 7 segments. Il aurait été possible de combiner les afficheurs 0 à 3 et 4 à 5. Cependant, j’ai préféré avoir accès à chaque afficheur indépendamment. De plus, il a fallu mettre à 0 tous les bits non utilisé des entrées keys et switch.

Maintenant que tout est prêt, j’ai pu synthétiser et faire le placement routage du projet.

## Validation pratique

Avant de me lancer dans les spécifications, je souhaitais m’assurer du bon fonctionnement réel de mon interface grâce à un test pratique. J’ai donc écrit quelques lignes de code C afin de tester que l’écriture ainsi que la lecture ce déroule correctement. Voici le code que j’ai testé :

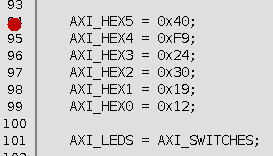


Figure ‑ : Code de test

Ce code affiche de 0 à 5 sur les afficheurs 7 segments dans gauche à droite et copie les valeurs des switches sur les leds. Une fois le projet lancé, voici ce que j’ai pu voir sur ma carte DE1-SoC :

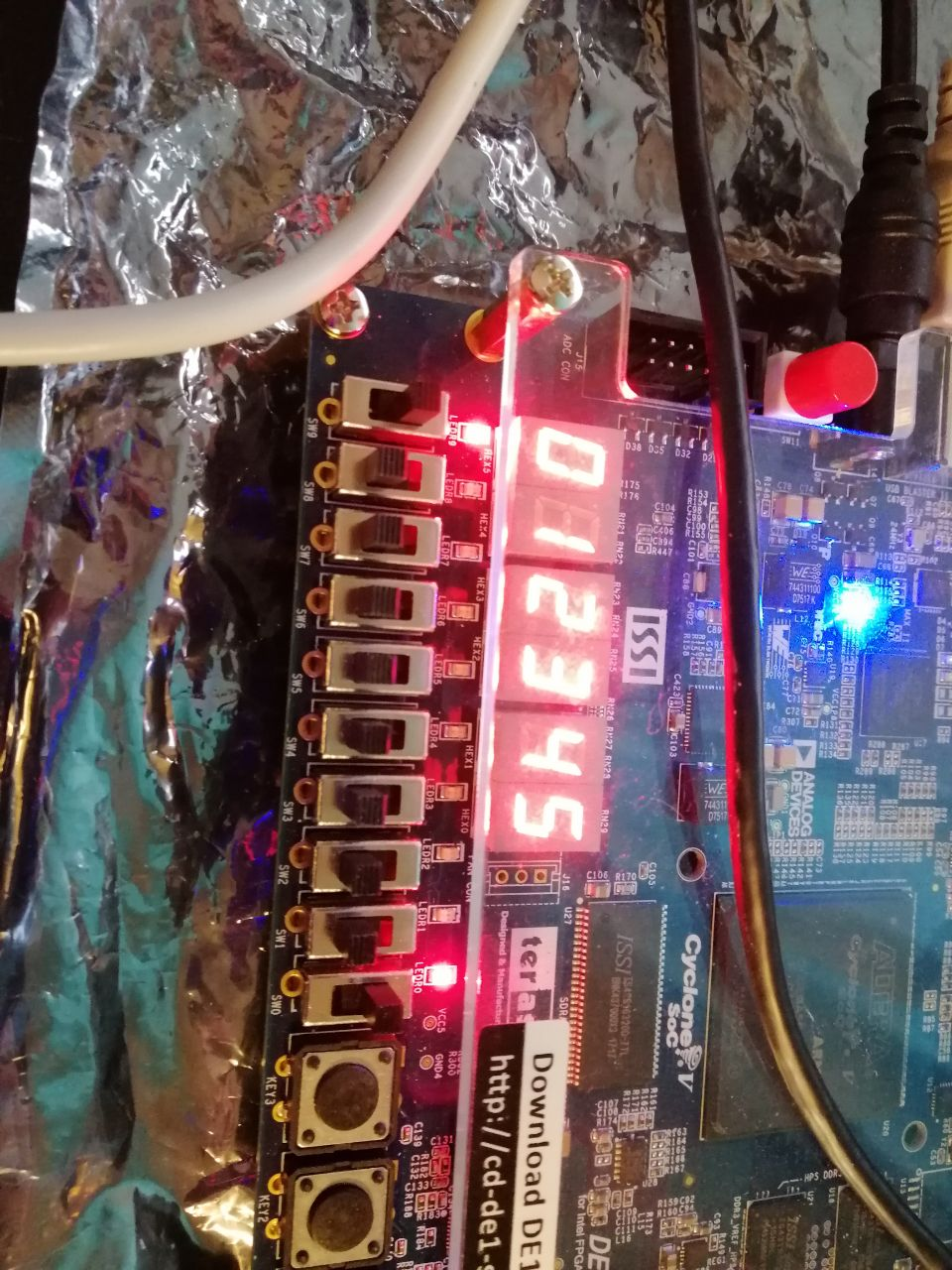


Figure ‑ : Test sur la DE1

Grâce à ce test, j’ai pu m’assurer que mon interface fonctionne aussi dans la pratique.

## Réalisation de la spécification

Maintenant que tout est prêt, j’ai pu réaliser la spécification de la partie 1. J’ai commencé par créer un projet Altera Monitor Program. Ensuite, j’ai repris les fichiers C du laboratoire précèdent et j’ai adapté le code afin de répondre aux spécifications demandées dans ce laboratoire.

Ceci était facile car le 90% de la spécification est la même que le labo précédent.

Vous pouvez voir le code final de la partie 1 dans le répertoire « axi4lite/axi4lite/soft/src/labo5\_partie1.c ».

*Remarque : J’ai perdu énormément de temps car j’avais d’étranges problèmes pour charger mon code C sur la carte DE1-SoC. Heureusement, M. Masle a mis à disposition sur switch tous les softs nécessaires pour Windows. J’ai donc pu télécharger, dézipper et faire les installations des différents programmes sur ma machine native. Grâce à cela, j’ai gagné beaucoup de temps pour chaque action de plus il était maintenant possible de programmer la DE1-SoC.*

# Deuxième partie : avec interruption

Pour la deuxième partie, il est demandé de gérer l’appui sur les boutons KEY 2 et 3 à l’aide d‘interruption vers le HPS. Le design doit générer une interruption lors d’une détection d’un flanc d’un des 4 boutons. Il doit être possible de masquer/démasquer l’interruption pour chaque bouton.

## Plan d’adressage

Afin de répondre à la deuxième partie, j’ai complété mon plan d’adressage afin de gérer les interruptions.



Figure ‑ : Plan d'adressage (Partie 2)

Mon plan d’adressage est resté globalement identique mais j’ai rajouté 2 I/Os. Pour commencer, à l’offset 0x204, j’ai ajouté un champ afin de lire la source d’interruption. Chaque bit correspond à chaque bouton. Par exemple, Si le bit 0 du champs « sourceIRQ » est à 1, cela signifie qu’il y a eu une interruption sur la KEY0. J’ai décidé de faire un acquittement lors de la lecture de la source comme ça cela est fait automatiquement.

Le deuxième champ est « maskIRQ » qui est accessible en lecture et écriture. Il permet, comme son nom l’indique, de masquer ou pas une interruption. Par défaut, les 4 bits sont à ‘0’ ce qui signifie que les quatre interruptions sont actives (non masquée).

## Conception

Afin de gérer les interruptions, j’ai commencé par ajouté une sortie à mon interface qui sera directement connecté sur une ligne d’interruption du HPS.



Figure ‑ : Déclaration de la sortie irq

Ensuite, j’ai ajouté quelques nouveaux signaux afin de gérer les interruptions :

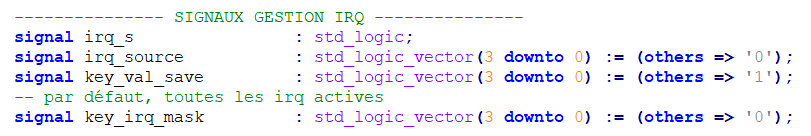
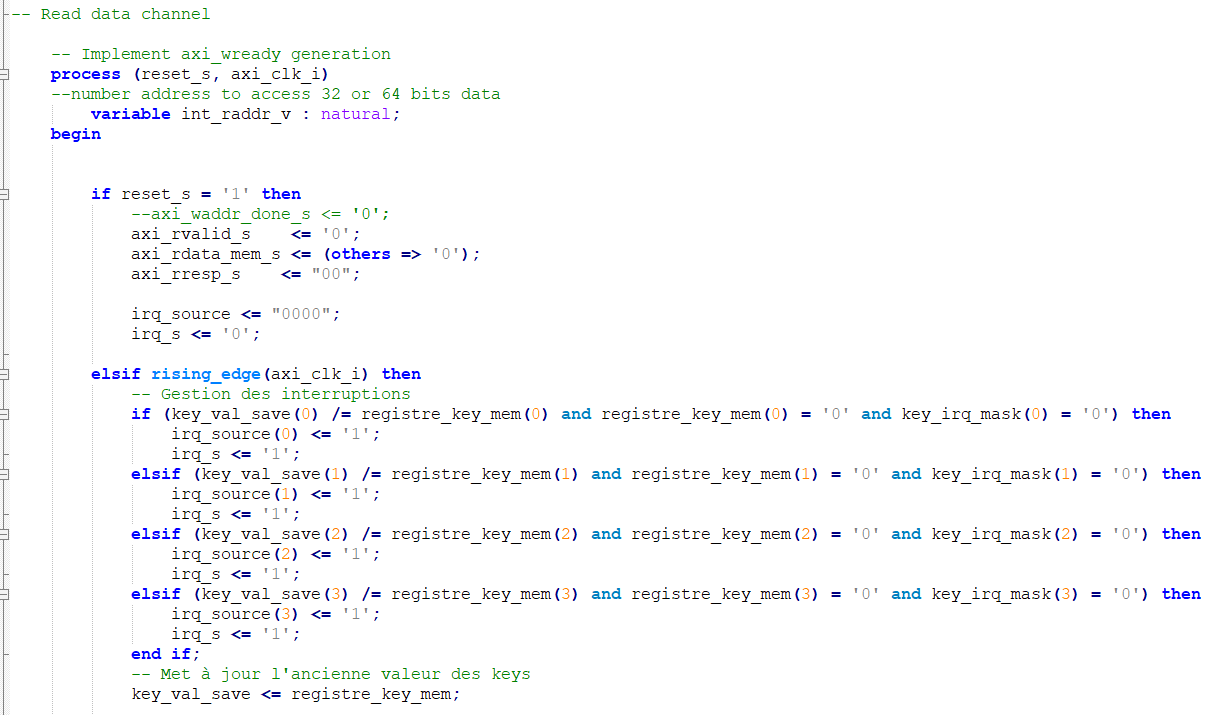


Figure ‑ : Signaux pour la gestion des interruptions

* Le signal « irq\_s » est simplement le signal lié à la sorite irq\_o.
* Le signal « irq\_source » représente le champ « sourceIRQ » dans mon plan d’adressage. Il permet d’indiquer la source de l’interruption. Par défaut, l’état des bits est à ‘0’, signifiant qu’il n’y a pas eu d’interruption.
* Le signal « key\_val\_save » permet d’enregistrer la valeur des KEYs afin de pouvoir le comparer avec la valeur réelle pour détecter un flanc. Par défaut, l’état des bits est à ‘1’, car les boutons sont acitf bas.
* Le signal « key\_irq\_maks » représente le champ « maskIRQ » dans mon plan d’adressage. Il permet de gérer le masquage/démasquage de l’interruption de chaque bouton.

Afin de gérer les interruptions, je suis vite parti sur une solution de créer un process et d’utiliser la fonction « rising\_edge » sur chaque bit des entrées « key\_i ». Malheureusement, ce n’était pas aussi facile. En effet, il m’était impossible d’utiliser la fonction « rising\_edge » sur l’entrée « key\_i ». De plus, il est impossible de changer l’état d’un signal dans deux process différents. Étant donné que je devais gérer l’acquittement lors d’une lecture, il était plus simple de tout faire dans le process de lecture. Cependant, il aurait été possible de faire un signal de synchronisation entre les deux process. Voici mon process de lecture de donné dans lequel j’ai ajouté la gestion des interruptions :



2

3

1

Figure ‑ : Code pour la gestion des interruptions

1. Remise à ‘0’ des signaux en cas de reset
2. Détection de flanc et test du masque. Si oui, mise à ‘1’ de la source et de l’interruption.
3. Mise à jour des valeurs des boutons dans le signal de sauvegarde.

J’ai décidé de faire une détection sur flanc descendant car les boutons sont actifs bas.

Comme l’indique le plan d’adressage, j’ai ajouté le signal « irq\_source » en lecture et « key\_irq\_mask » en lecture et écriture.

*Remarque : Le code complet est en annexe.*

## Test de l’IP

Étant donné que j’ai trouvé cette partie relativement simple et que le code C du laboratoire précédent permet déjà de tester si une interruption est générée, je n’ai pas voulu perdre du temps à modifier le test Bench afin de tester la fonctionnalité d’interruption.

## Mise à jour dans Qsys

Il est maintenant nécessaire de modifier mon composant dans Qsys afin d’ajouter une ligne d’interruption. Pour ce faire, j’ai ajouté une interface « Interrupt Sender » à mon composant en y ajoutant le signal de sortie « irq\_o » correspondant :

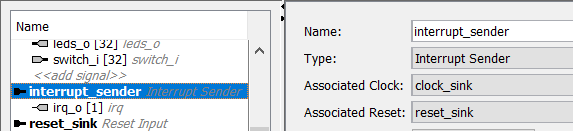


Figure ‑ : Interface de l'interruption

Ensuite, comme pour le laboratoire précédent, j’ai activé les interruptions FPGA to HPS dans le composant HPS. Puis, j’ai connecté la ligne d’interruption sur le composant HPS sur la même ligne que le laboratoire précédent afin de garder le même numéro d’interruption (72).

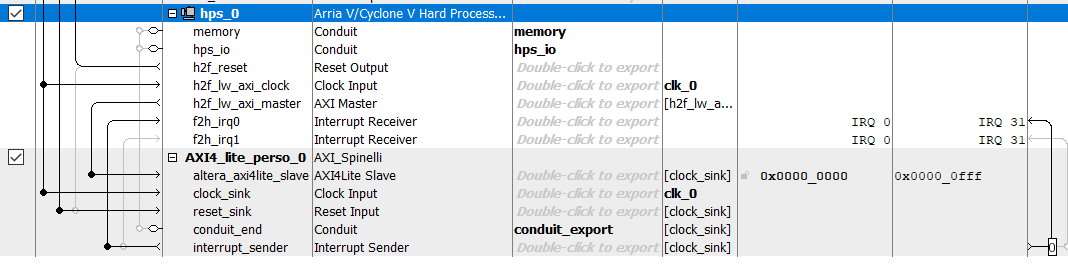


Figure ‑ : Connexion dans Qsys

Postérieurement, j’ai pu générer les fichiers HDL. Et finalement, synthétiser et faire le placement routage du projet.

## Test de l’IP avec le code C

Maintenant que tout est prêt, j’ai pu reprendre les code C afin d’activer les interruptions du laboratoire précédent. Ensuite, afin de m’assurer que cela fonctionne, j’ai mis du code C qui affiche sur des afficheurs 7 segments des informations dans la routine d’interruption :

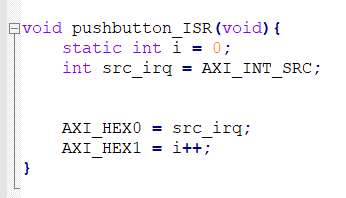


Figure ‑ : Code de test des interruptions

J’ai facilement pu constater grâce aux afficheurs 7 segments que les interruptions étaient bien générées et acquittées.

## Réalisation de la spécification

Maintenant que j’ai testé le bon fonctionnement de mon interface, j’ai commencé par réaliser la spécification de la partie 2 du code qui consiste à utiliser une interruption pour les actions sur les boutons KEY2 et KEY3.

### Compléter le code C

Cette étape était simple car le changement dans le code nécessitait de reproduire le code du laboratoire précédent afin de traité des interruptions. Cependant, j’ai tout de même apporté une modification. Tous les traitements sont faits dans le « main » et non plus dans la routine d’interruption qui ne devrait contenir uniquement le strict minimum de traitement.

*Remarque : Le code complet du laboratoire est en annexe.*

### Modifier la configuration mémoire

Afin d’allouer une portion mémoire pour les vecteurs d’interruptions, il a fallu modifier la configuration mémoire du projet « Altera Monitor Program » :

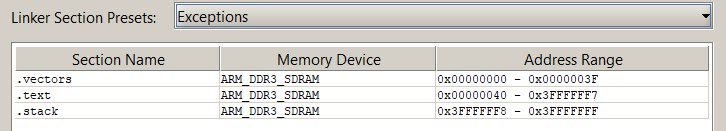


Figure ‑ : Modification de la configuration mémoire

On peut voir qu’une section a été ajoutée pour les vecteurs.

### Compiler et tester

Après avoir compiler et charger mon programme dans la DE1-SoC, j’ai pu tester le bon fonctionnement des spécifications demandées.

#### Test des spécifications

Pour ce faire, j’ai appuyé plusieurs fois sur KEY0 avec des valeurs de switch différents afin de m’assurer que les leds aient toujours la même valeur des switches après l’appuis. J’ai aussi vérifié que les afficheurs HEX5 à HEX0 affichent en hexadécimal les bits 23 à 0 de la constante définie dans l’IP.

Ensuite, j’ai fait les mêmes tests pour KEY1. Je me suis assuré que l'états inverses des switches est copiés sur les LEDs et que les afficheurs HEX5 à HEX0 affichent en hexadécimal l’inverse des bits 23 à 0 de la constante définie dans l’IP.

J’ai aussi testé le bon fonctionnement de ces deux boutons en les testant consécutivement l’un après l’autre.

Ultérieurement, j’ai testé KEY2 plusieurs fois et l’effet sur les bords. L’affichage des LEDs et des afficheurs 7 segments ont bien subi une rotation à droite. Rotation d’un bit pour les LEDs, rotation d’un afficheur complet pour les afficheurs 7 segments.

Finalement, j’ai testé KEY3 plusieurs fois et l’effet sur les bords. L’affichage des LEDs et des afficheurs 7 segments ont bien subi une rotation à gauche. Rotation d’un bit pour les LEDs, rotation d’un afficheur complet pour les afficheurs 7 segments.

#### Test du masquage

Afin de tester le masquage des interruptions, j’ai initialisé la valeur du masque à 0x08 afin de masque le bouton KEY3. Puis, j’ai ajouté ce code dans la routine d’interruption :

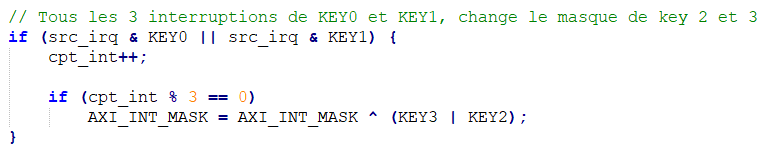


Figure ‑ : Code de test du masquage

Il permet d’intervertir le masque de KEY2 et KEY3 après 3 interruptions sur KEY0 ou KEY1. Donc, au démarrage l’appuis sur la KEY3 n’avait aucun effet contrairement à KEY2. Après 3 appuis sur KEY1/KEY0, c’était le contraire comme attendu. L’appui sur KEY2 n’avait aucun effet contrairement à KEY3.

## Fonctionnalité de strobe

Cette fonctionnalité permet de choisir quelle partie des bits du bus AXI\_WDATA vont être pris en compte. Voici un schéma dans la documentation qui l’explique bien :

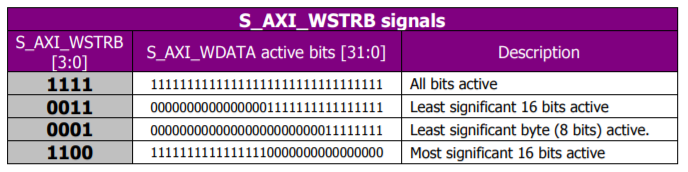


Figure ‑ : Tableau du la fonction strobe

Je pensais ne pas avoir assez de temps pour réaliser ce laboratoire donc j’ai décidé par ne pas gérer cette fonctionnalité au début. Étant donné que du temps supplémentaire nous a été donné, j’en ai profité pour réaliser cette fonctionnalité.

J’ai commencé par modifier le test Bench afin de tester ce paramètre :

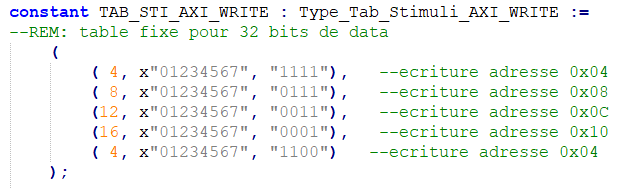


Figure ‑ : Modification du test Bench

Grâce aux nouvelles valeurs de ce tableau d’écriture, il sera facile de voir le bon fonctionnement du paramètre strobe.

J’ai relancé le nouveau test bench pour voir que la fonctionnalité n’est pas réalisée :

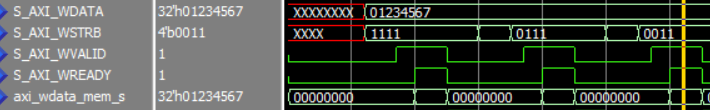
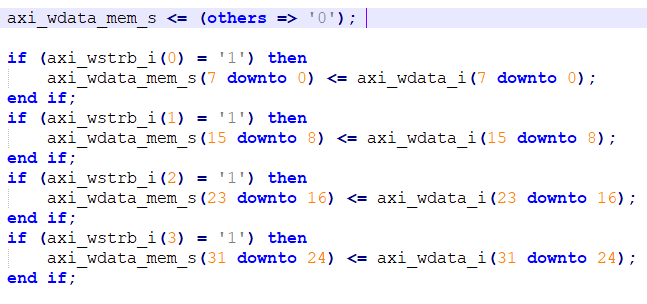


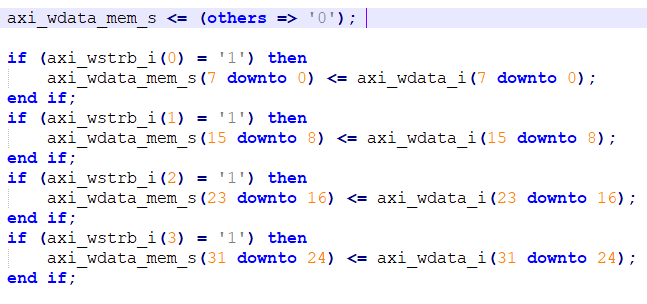
Figure ‑ : Test 1 du paramètre strobe

On peut voir que la donnée à écrire est bien 0x01234567 et que le paramètre strobe est à « 0011 ». On peut donc s’attendre à que les deux octets de poids fort de la donnée à écrire seront pas actif. Ce qui donnerait 0x00004567. Cependant, les données enregistrées restent 0x01234567 dans le signal « axi\_wdata\_mem\_s ». Le but maintenant est de réaliser cette fonctionnalité.

### Description VHDL

Afin de prendre en compte le paramètre strobe, j’ai modifié le process qui s’occupe du canal des données d’écriture afin d’enregistrer uniquement les octets souhaitée par le paramètre strobe. Voici à quoi ressemble le code :

1



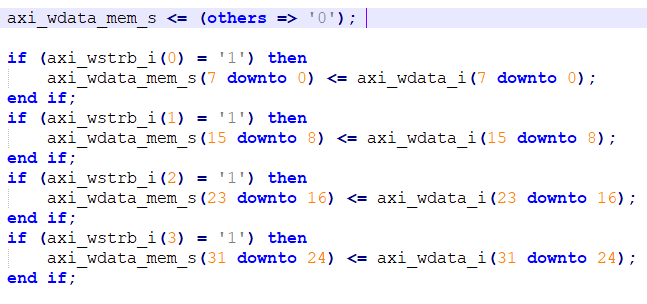
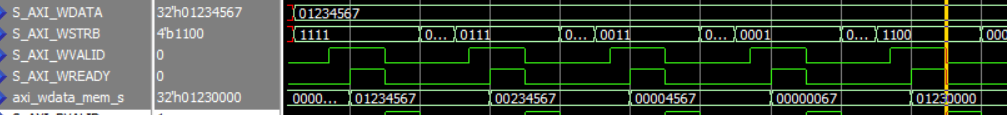
2

Figure ‑ : Code gestion de strobe

1. J’ai commencé par mettre tous les bits à ‘0’ comme si aucun octet était actif.
2. Ensuite, j’ai testé chaque bit du paramètre strobe afin d’assigner strictement les octets actifs.

### Test de la fonctionnalité strobe

Maintenant que le test bench est déjà prêt, il suffit de compiler le nouveau code de mon IP et de lancer le test bench.

*Remarque : Afin de voir plus facilement les valeurs dans le signal « axi\_wdata\_mem\_s » j’ai commenté se remise à 0 à chaque fin de lecture des données.*

Comme indiqué par les flèches orange, les données d’écriture enregistrés correspondent bien aux paramètre strobe (S\_AXI\_WSTRB). Par exemple, pour la troisième flèches orange, le paramètre strobe vaut « 0011 » et on peut voir comme attendu que les données enregistrées sont bien « 0x00004567 ». On peut aussi bien voir dans le dernier cas, le paramètre vaut « 1100 », donc on souhaite activer seulement les 2 octets de poids fort. Comme attendu, les données enregistrées sont bien « 0x01230000 ».

# Annexes

Voici la liste dans l’ordre des annexes :

1. Code VHDL de mon IP (axi4lite\_slave.vhd)
2. Code VHDL du top (DE1\_SoC\_top.vhd)
3. Code du programme principal (labo5.c)
4. Définitions du code (defines.h)
5. Point H du fichier exception (exceptions.h)
6. Code de fonctions utiles (exceptions.c)
7. Définitions d’adresse (address\_map\_arm.h)

# Conclusion

## Difficultés rencontrées

* Le bon fonctionnement de tous les programmes fut difficile. En effet, une mise en place sur Windows fût nécessaire.
* La compréhension du fonctionnement complet du bus AXI 4 Lite.

## Compétences acquises

* Installation complète de l’environnement sur Windows
* Perfectionnement de la méthodologie
* Perfectionnement des logiciels (Quartus Prime, Qsys, altera monitor program et Questasim)

## Résultats obtenus

J’ai réussi à mettre en place toutes les étapes qui m’était demandé dans ce laboratoire. Les description VHDL sont synthétisable et intégrable. Je suis particulièrement fier d’avoir réussi à faire complétement le travail demandé. Je me dois remercier les professeurs d’avoir repoussé la date du rendu et surtout l’assistant M. Masle qui a passé environ 2 heures afin de m’aider en partie pour résoudre ces gros problèmes de logiciel.

Date : 07.05.20

Nom de l’étudiant : Spinelli Isaia