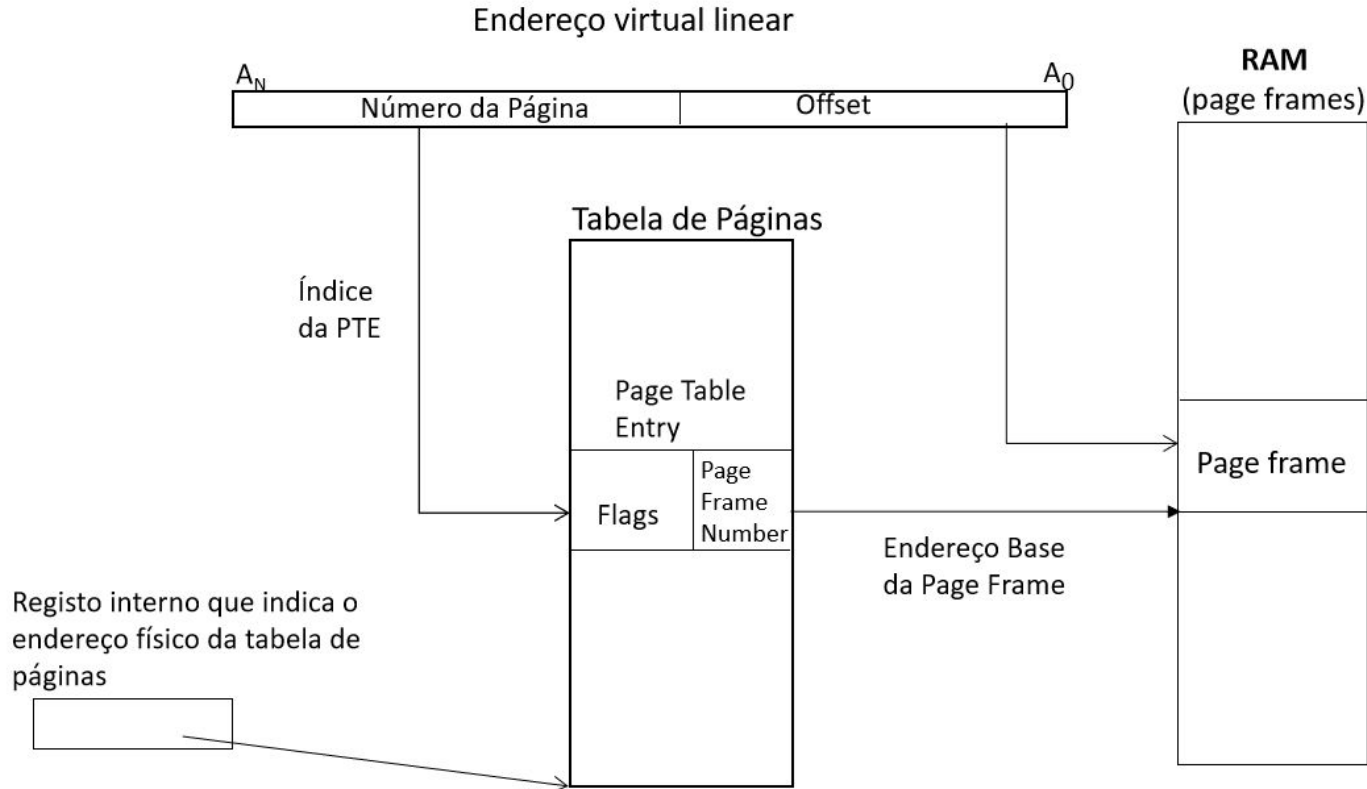


Instituto Superior de Engenharia de Lisboa
Licenciatura em Engenharia Informática e de Computadores

Sistemas Operativos

Paginação IA-32

Arquitetura de memória paginada (simplificada)



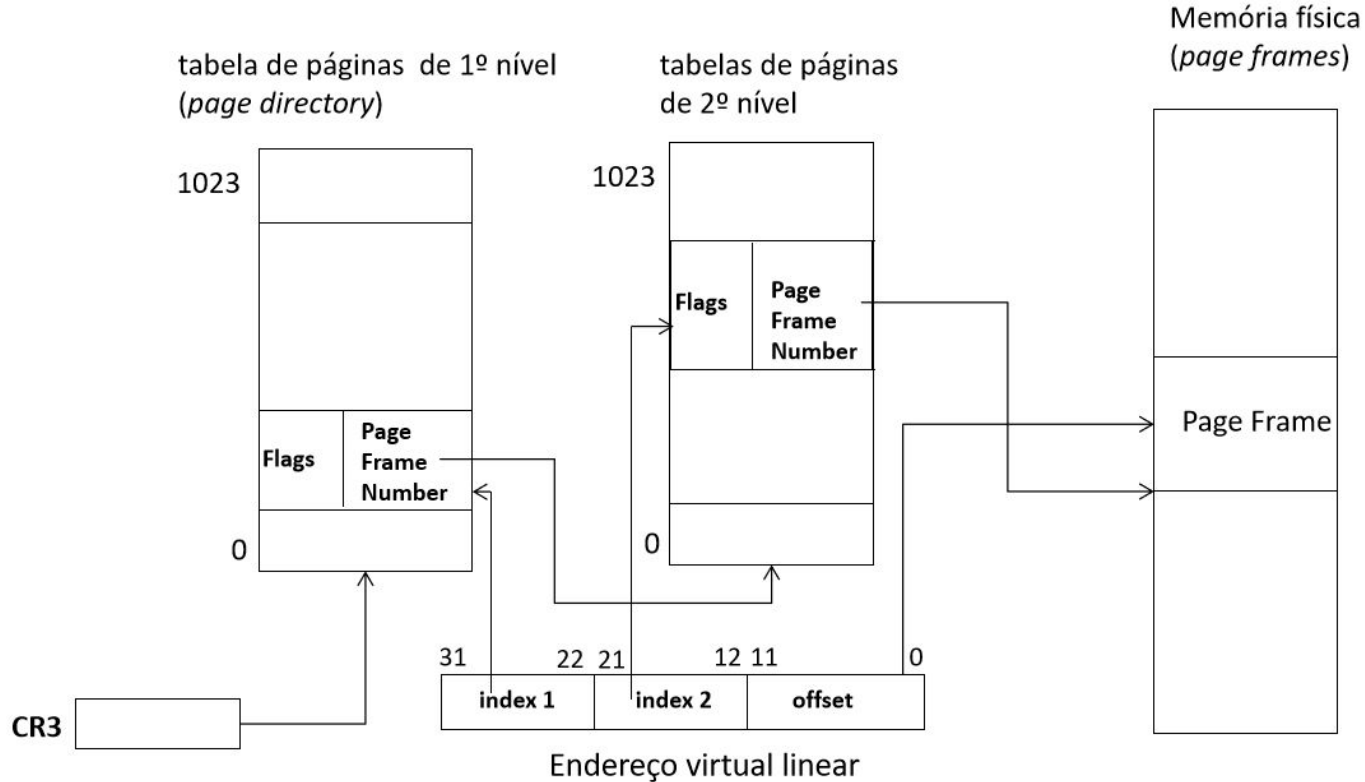
Dimensão da tabela de tradução

- Considere os seguintes dados
 - Endereços virtuais com 32 bits (4GiB)
 - Endereços físicos com 32 bits (4GiB)
 - Páginas de 4KiB
 - 12 bits extra de configuração por cada entrada de mapeamento
- Calcule
 - Número de páginas virtuais em cada espaço de endereçamento
 - Número de *page frames* na memória física
 - Número de *bits* de cada entrada de uma tabela de mapeamento
 - Tamanho total de uma tabela de mapeamento
 - Espaço total de memória física ocupado pelas tabelas de mapeamento de 10 processos
- Nota: em 1995 a dimensão típica da RAM em PCs comuns estava entre 4MiB e 16MiB

Esquema de tradução multinível

- Dividir o *virtual page number* em várias partes
 - na arquitetura IA-32 original, os 20 bits foram divididos em duas partes
 - 10 bits - page directory index
 - 10 bits - page table index
- A primeira parte do *virtual page number* indexa a tabela de primeiro nível
 - esta é a única tabela obrigatória neste esquema de tradução
 - sendo indexada com 10 bits em vez de 20, tem 1Ki entradas em vez de 1Mi
 - esta primeira indexação leva a uma tabela de segundo nível
 - no segundo nível (e seguintes, se existirem) não têm de existir todas as tabelas
 - a segunda parte do virtual page number indexa na tabela de segundo nível
- Ao aceder à tabela do último nível obtém-se o *physical page number* final

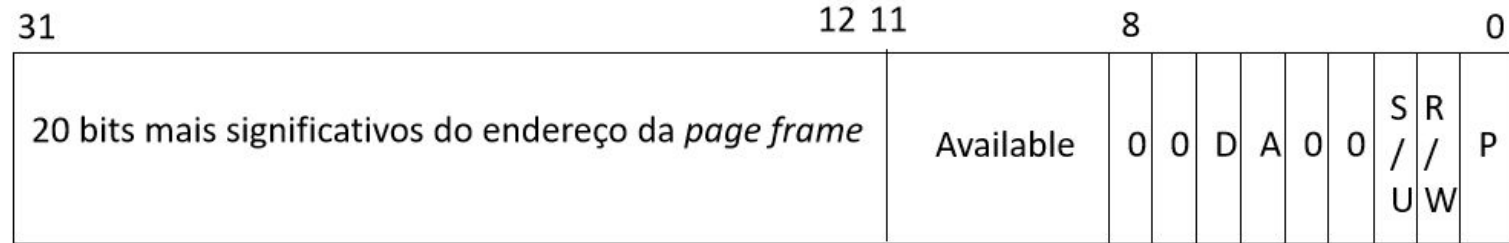
Arquitetura paginada IA-32 (original i386)



Dimensão da tabela de tradução (2)

- Considere os seguintes dados
 - Endereços virtuais com 32 bits (4GiB)
 - Endereços físicos com 32 bits (4GiB)
 - Páginas de 4KiB
 - 12 bits extra de configuração por cada entrada de mapeamento
 - **2 níveis de tradução, indexados com 10 bits cada um**
- Calcule
 - Número de páginas virtuais em cada espaço de endereçamento
 - Número de *page frames* na memória física
 - Número de *bits* de cada entrada de uma tabela de mapeamento
 - **Tamanho de cada tabela de mapeamento**
 - **Tamanho mínimo e máximo ocupado pelas tabelas de mapeamento de um processo**
 - **Espaço total, mínimo e máximo, da memória física ocupada pelas tabelas de mapeamento de 10 processos com 16 KiB de espaço de endereçamento virtual cada**

Page Table Entry - IA-32 (original i386)



- P** Present (indica que a página está associada a uma *page frame*)
R/W Read/Write (indica se a página pode ser modificada)
S/U Supervisor/User (indica se a página pode ser usada em *user mode* ou apenas em *kernel mode*)
0 bits reservados (já utilizados em versões mais recentes do CPU)

Available - Disponíveis para uso pelo sistema operativo

Bits alterados automaticamente pela MMU:

- A** Accessed (indica que a página foi lida)
D Dirty (indica que a página foi modificada)

Exercício

Considere um processador com arquitetura de memória paginada e:

- endereços virtuais de 36 bits
- estrutura de paginação de dois níveis:
 - 10 bits para a diretoria de páginas (tabela de 1º nível)
 - 12 bits para indexar nas tabelas de 2º nível.
- as tabelas de páginas ocupam sempre uma página

Calcule:

- a dimensão das páginas e de cada PTE
- quantas páginas existem no espaço de endereçamento virtual
- com 21 bits na PTE para indicar a *page frame*, qual o espaço de endereçamento físico?