

# 統合までの道のり

Noritsuna Imamura  
noritsuna@ishi-kai.org

# 各ブロックの疑問点

# 目的

- 来週の各ブロック完成に向けて、必要な情報を得ること



# 全体

- チリチームからの依頼
  - 分配されたクロック用にクロックバッファが必要
  - 電源についてはVSS はチップ全体で共通、電源は各国ごとに独立させる

## 電源

- どのように作るのか？
  - 森さんのPLLから持ってくればよい？

## クロックバッファ

- どのように作るのか？
  - 森さんのPLLから持ってくればよい？

# CDAC

- MIMにかかる電圧値
- MIMに必要な電流値

# コンパレータ

- Vrefなどの電圧値
  - Vref以外の電圧は必要？
    - 必要ならだれが作る？
- クロックバッファーは必要か？

# スイッチ

- どのように組み込むのか？

# スケジュール

- 本日
  - 足りないものチェック
- 8日の週
  - ひたすら作る
- 13～14日
  - 各ブロック統合
- 15日の週
  - 統合シミュレーションへの道のり
- 19日
  - テープアウト

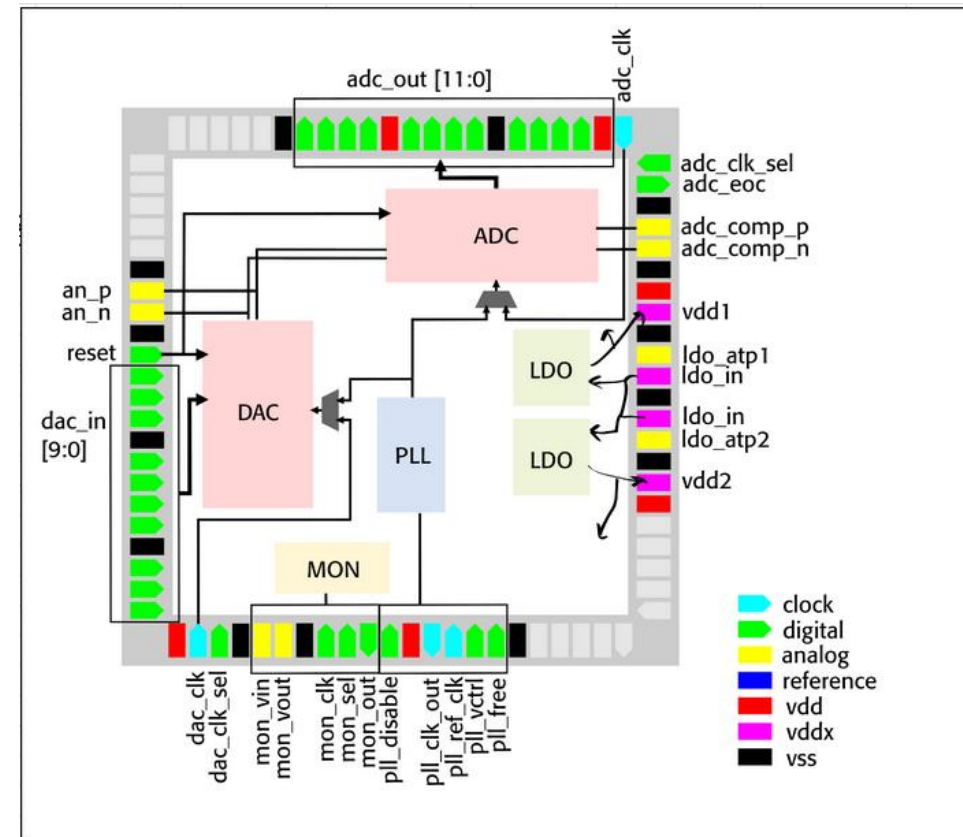




# 統合への道

# パッド情報

		Pin Number	Pin Name	Type	Description	Specific Cell	Direction	Dynamic config	Input type	Output slew rate	IO Control	Relative Pulling	Output drive strength	Obs
			V180	Power Supply	x7	__dstd	-	-	-	-	-	-	-	-
			3_VSS1	Power Supply	+15	__dstd	-	-	-	-	-	-	-	-
CH1			20_Vin_3a0	Power Supply	2V_3a0 Voltage input for LDO03	__anlg_5p0	-	-	-	-	-	-	-	-
CH1			25_V181	Power Supply	3A0 LDO output for Analog	__anlg_5p0	-	-	-	-	-	-	-	-
CH1			26_V182	Power Supply	3A0 LDO output for Digital	__anlg_5p0	-	-	-	-	-	-	-	-
CH1			27_LDO03_Atp	Analog	LDO Amplifier testpoint	__anlg_5p0	-	-	-	-	-	-	-	-
CH1	PMAC		26_LDO03_Atp	Analog	LDO Amplifier testpoint	__anlg_5p0	-	-	-	-	-	-	-	-
GLOBAL			29_Testout	Digital	Used for DAC-SAR-Voltage monitor	__p1_0	input	no	-	-	-	normal cmos	-	-
KOR			30_Test_clk	Digital	Selecter of clock for DAC	__p1_0	input	-	-	-	-	normal cmos	-	-
KOR			31_en1_clk	Digital	External clock for DAC	__p1_0	input	-	-	-	-	normal cmos	-	-
KOR	DAC		32_Dac_en1_Q	Digital bus	9 bit digital input for DAC	__p1_0	input	no	-	-	-	normal cmos	-	-
CH2			41_An0	Analog	Analog = for SAR ADC	__anlg_5p0	-	-	-	-	-	-	-	-
CH2			42_An0n	Analog	Analog = for SAR ADC	__anlg_5p0	-	-	-	-	-	-	-	-
CH2			43_en1_clk2	Digital	External clock for SAR	__p1_0	input	-	-	-	-	-	-	-
CH2			44_en1_clk2	Digital	Selecter of clock for SAR	__p1_0	input	-	-	-	-	-	-	-
CH2			45_Test_en1[11:0]	Digital bus	12 bit output of SAR ADC	__p1_1	Output	-	-	-	-	-	-	-
CH2			56_clk	Digital	End of conversion signal	__p1_1	Output	-	-	-	-	-	-	-
CH2	SAR ADC		57_compar	Analog	Comparator positive input	__anlg_5p0	-	-	-	-	-	-	-	-
CH2			58_comparn	Analog	Comparator negative input	__anlg_5p0	-	-	-	-	-	-	-	-
JAP			59_Test_clk	Digital	Reference clock	__p1_0	input	no	-	-	-	normal cmos	-	-
JAP			60_B00T	Digital	external VCO control	__p1_0	input	-	-	-	-	normal cmos	-	-
JAP			61_Test_clk	Digital	Disable feedback control (test-run mode)	__p1_0	input	no	-	-	-	pull down	-	-
JAP			62_Discrete	Digital	KIR PLL output	__p1_0	input	no	-	-	-	pull down	-	-
JAP	Clocking		63_PLL_Vref	Digital	PLL output	__p1_1	Output	no	cmos buffer	fast	output	normal cmos	4mA	-
JAP			64_M0n_clk	Digital	Clock for voltage monitor (select)thead	__p1_0	input	-	-	-	-	pull down	-	-
JAP			65_M0n_int	Digital	Select signal for voltage monitor (serial input)	__p1_0	input	-	-	-	-	pull down	-	-
JAP			66_M0n_in	Analog	input for voltage monitor (test)	__anlg_5p0	-	-	-	-	-	-	-	-
JAP	V REF		67_M0n_int	Digital	monitor output for voltage monitor (serial output)	__p1_1	Output	no	cmos buffer	slow	output	normal cmos	4mA	-
JAP			68_M0n_Vref	Analog	B00T output voltage	__anlg_5p0	-	-	-	-	-	-	-	-
Values							yes (contributable)	cmos buffer	fast	disabled	normal cmos	4mA		
							no (fixed)	schemt trigger	slow	input	pull down	8mA		
										output	pull up	15mA		
												15mA		
z18nA is a specific pad														



- <https://github.com/akiles-esta-usado/DC23-LTC2/tree/add-ic-makefile/padframe>

# シミュレーション

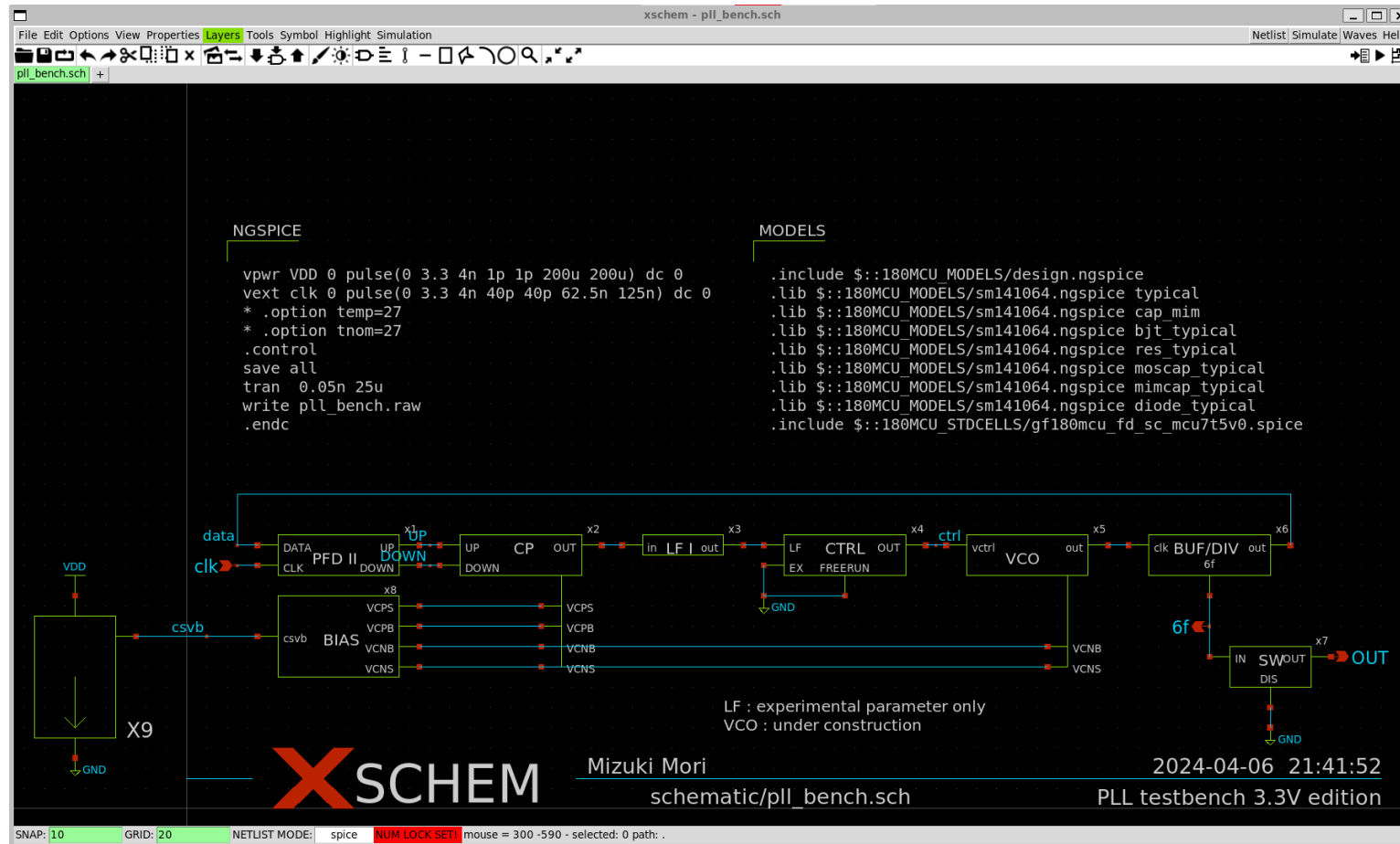
## 目標スペック

- 入力：0V-3.3Vとしていて、1.25V(pfet) or 1.7V(nfet)。

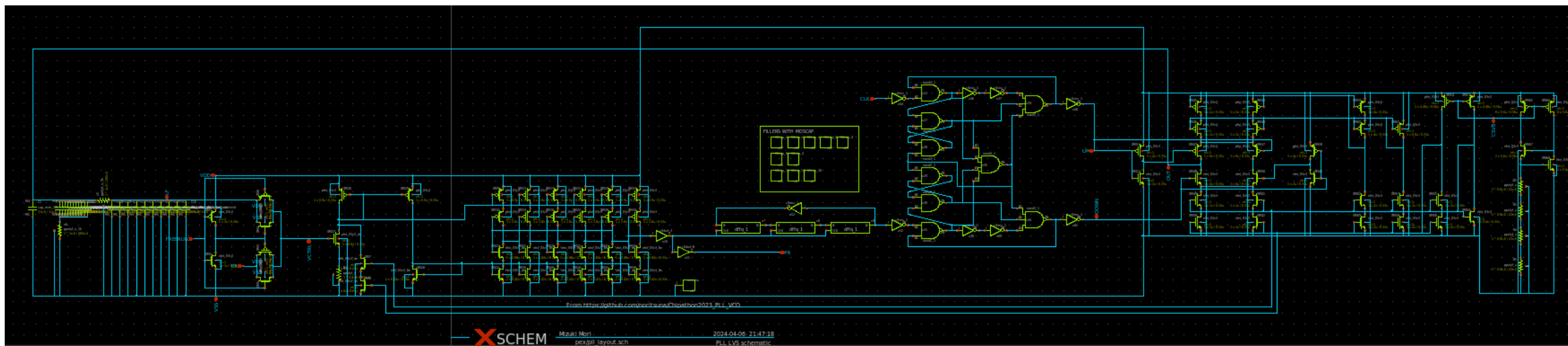
## シミュレーション時の指定ポイント

- 1, -40°C ff, 3.6V
- 2, 27°C, typical, 3.3V
- 3, 125°C, ss, 3.0V
- 測定ポイント
  - 0Vと3.3Vの時の周波数
  - 3.3Vの時の周波数

# PLLのシミュレーション







# PLLの電源など 全部入り回路

- これを我々も統合の時に作らないといけない可能性がある
  - 森えも〜ん、助けて〜〜





19日：テープアウトへ！！！！

# 備考：GF180 PDKのバグ

- Pcellが無改造で動かない（これはバグではなく、GDSFactoryの仕様変更によるもの）
- nwellとdnwellが重なった領域で導通していると認識されない
- dnwellが無い状態でpwellを敷いた時、pwellとp-サブストレートが導通していると認識されない
- metal3以降のラベルの存在を検知できない
- DNW付PFETがよくわからない