

Chipathon 2023 SAR ADC

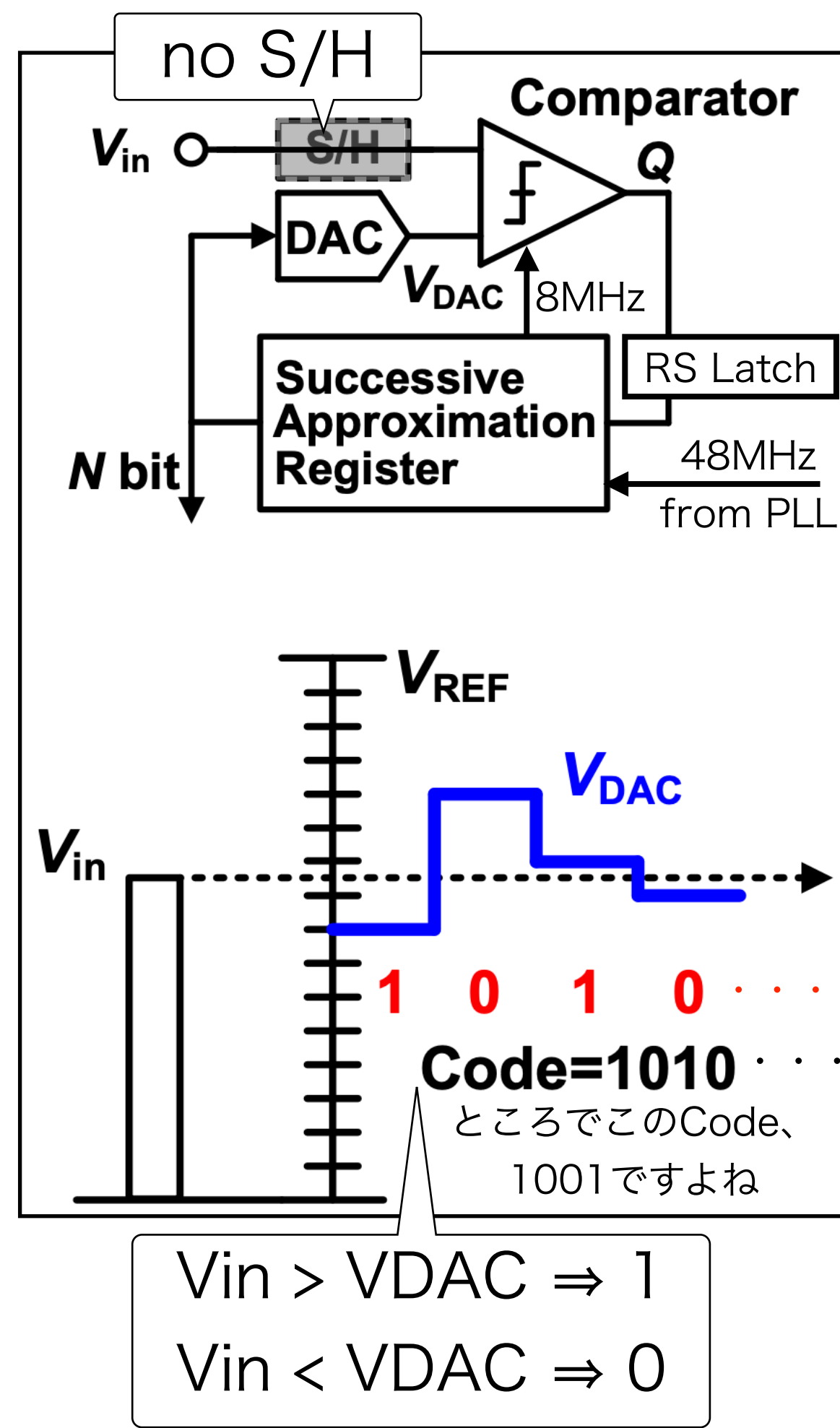
レビュー 2024/4/7

maple0705

サマリ

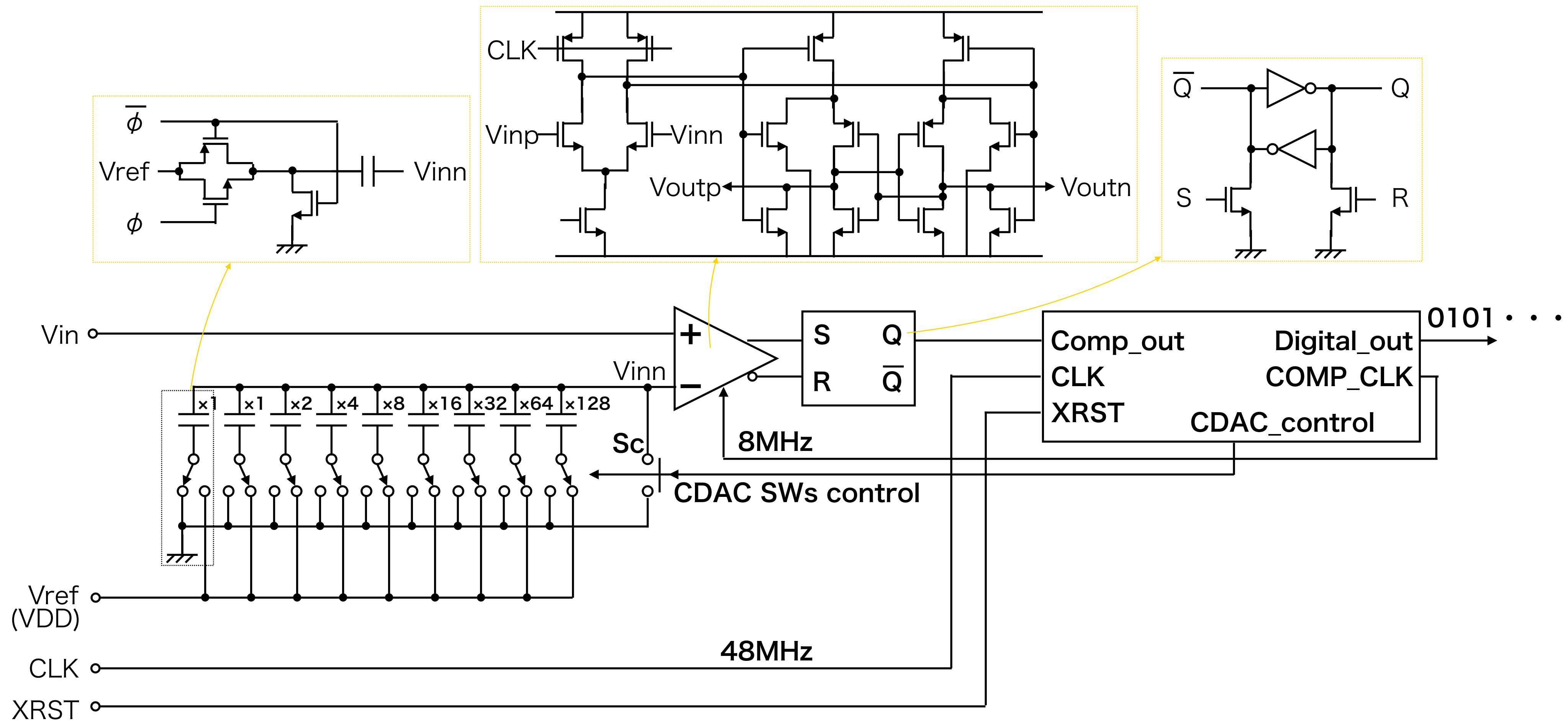
- ・ 進捗
 - ・ SARロジックGDS完成(とりあえず動くものとして)
 - ・ 皆さんの回路を統合して、抽出後の.spiceでA/Dとしての動作をtran sim.で確認
- ・ 残件
 - ・ 入力電圧 対 A/D結果、誤差 のシミュレーション
回路構成的に入力レンジに制限があるはず。それを確認したい
 - ・ SAR ADC全体のレイアウト完成
 - ・ シフトレジスタ作成
- ・ 疑問
 - ・

想定しているSAR ADC構成

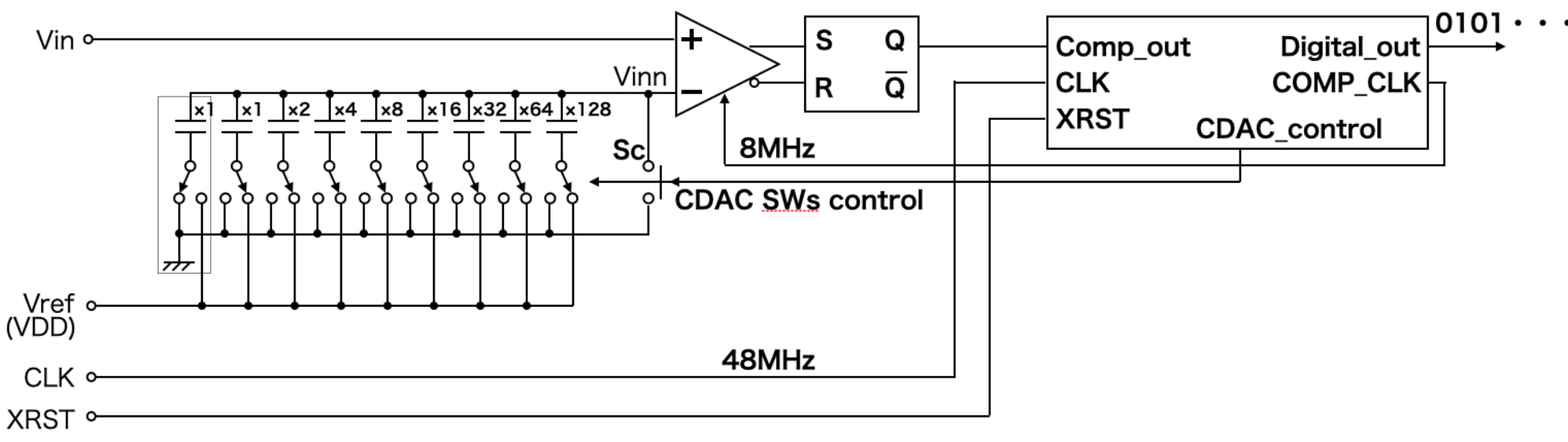
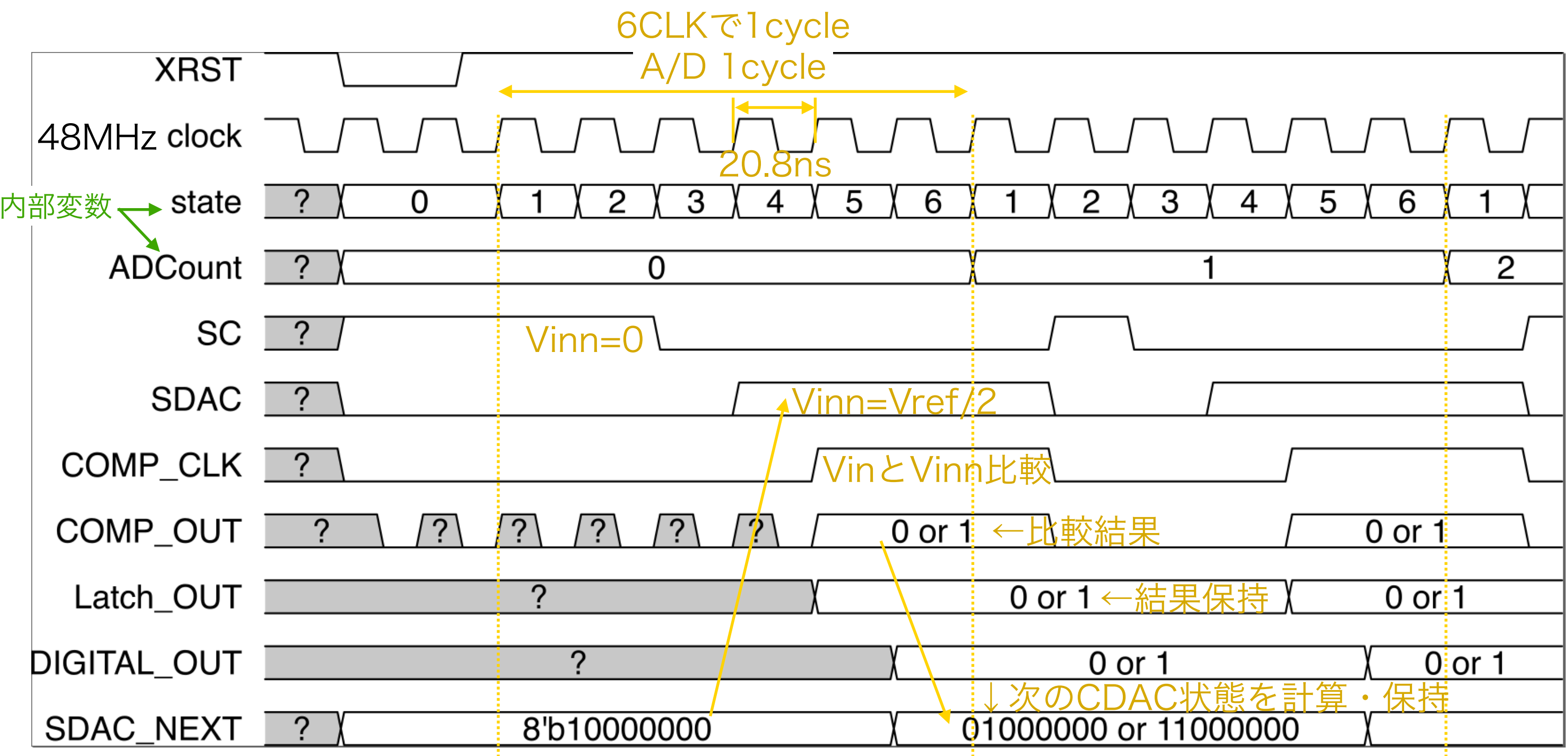
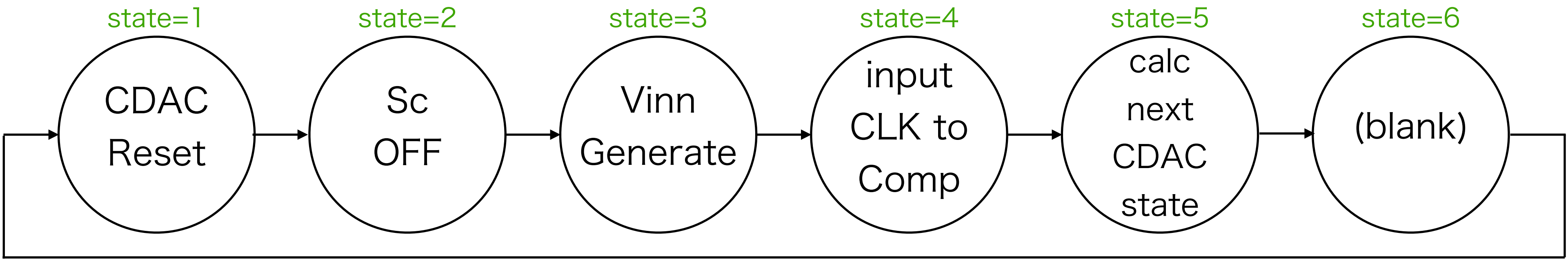


- 宮原先生資料の構成をベースとした。
ただし、一旦Sample&Holdは無しとした。必要な場合、前段の駆動力が気になる。
(A/D対象入力信号の仕様が知りたい。レンジ・周波数・・・)
- PLLから48MHzクロックをもらい、SARロジックを動作させる。
- 1bitあたりのA/D時間は125ns(1/8MHz)。
この時間内に、CDAC制御・コンパレータ反転・次のbitでのCDAC状態決定が行われる。
- A/D精度は6bit (実際は、回路は8bitで作り下位2bitを捨てるのでしたっけ?)
- 各bit、入力信号 V_{in} と V_{DAC} が比較され、
 $V_{in} > V_{DAC} \Rightarrow 1$ $V_{in} < V_{DAC} \Rightarrow 0$
が順次出力される。従ってA/D結果から電圧値を逆算する場合、
電圧値[V] = $V_{ref} \times ((Q_8)/2 + (Q_7)/4 + \dots + (Q_2)/128 + (Q_1)/256)$
 Q_n は各ビットの0/1。
 $V_{in}=1.0V$ ならば、A/D結果は6'b010011 (=0.9796875V) が理想

想定しているSAR ADC構成 詳細

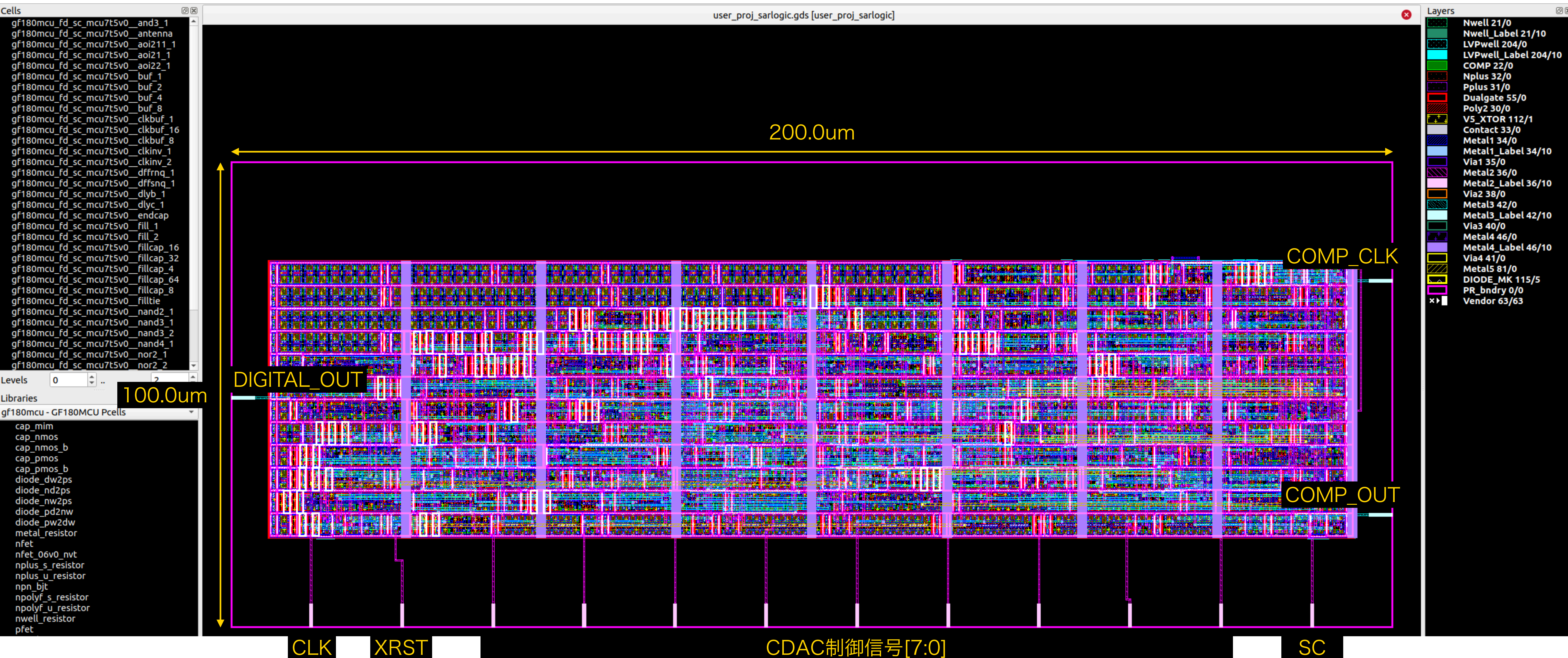


SAR Logic 動作



SARロジック GDS

- Openlane 自動生成 ピン配置やサイズ等は相談したい



テストベンチ

```
s1
.include $::180MCU_MODELS/design.ngspice
.lib $180MCU_MODELS/sml41064.ngspice typical
.lib $180MCU_MODELS/sml41064.ngspice cap_mim
.lib $180MCU_MODELS/sml41064.ngspice bjt_typical
.lib $180MCU_MODELS/sml41064.ngspice res_typical
.lib $180MCU_MODELS/sml41064.ngspice moscap_typical
.lib $180MCU_MODELS/sml41064.ngspice mimcap_typical
.lib $180MCU_MODELS/sml41064.ngspice diode_typical
.include $::180MCU_STDCELLS/gf180mcu_fd_sc_mcu7t5v0.spice

COMMANDS
SIM=ngspice

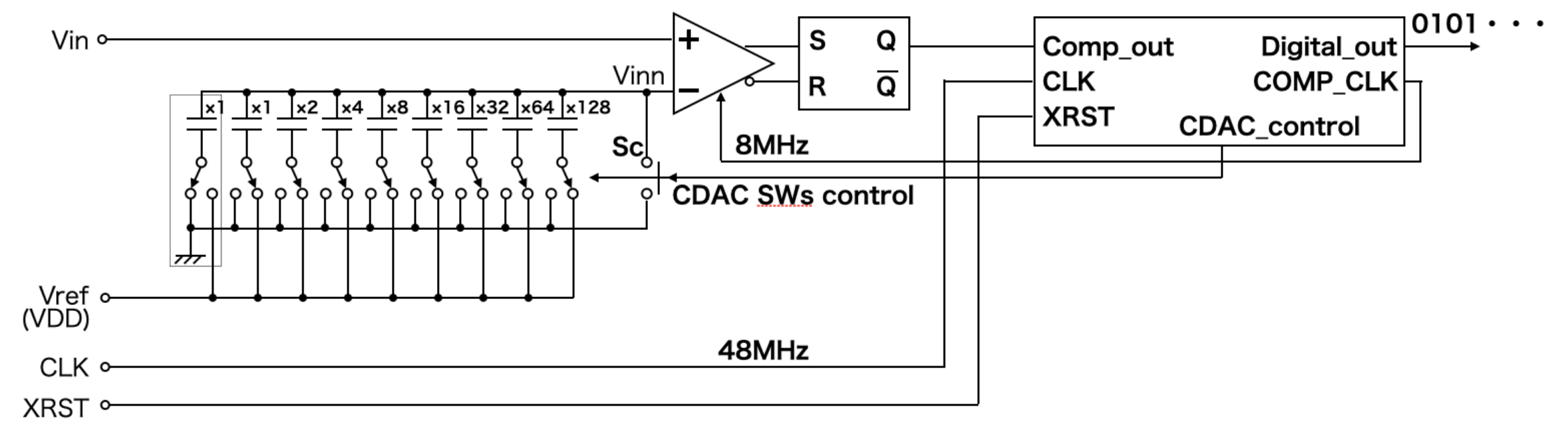
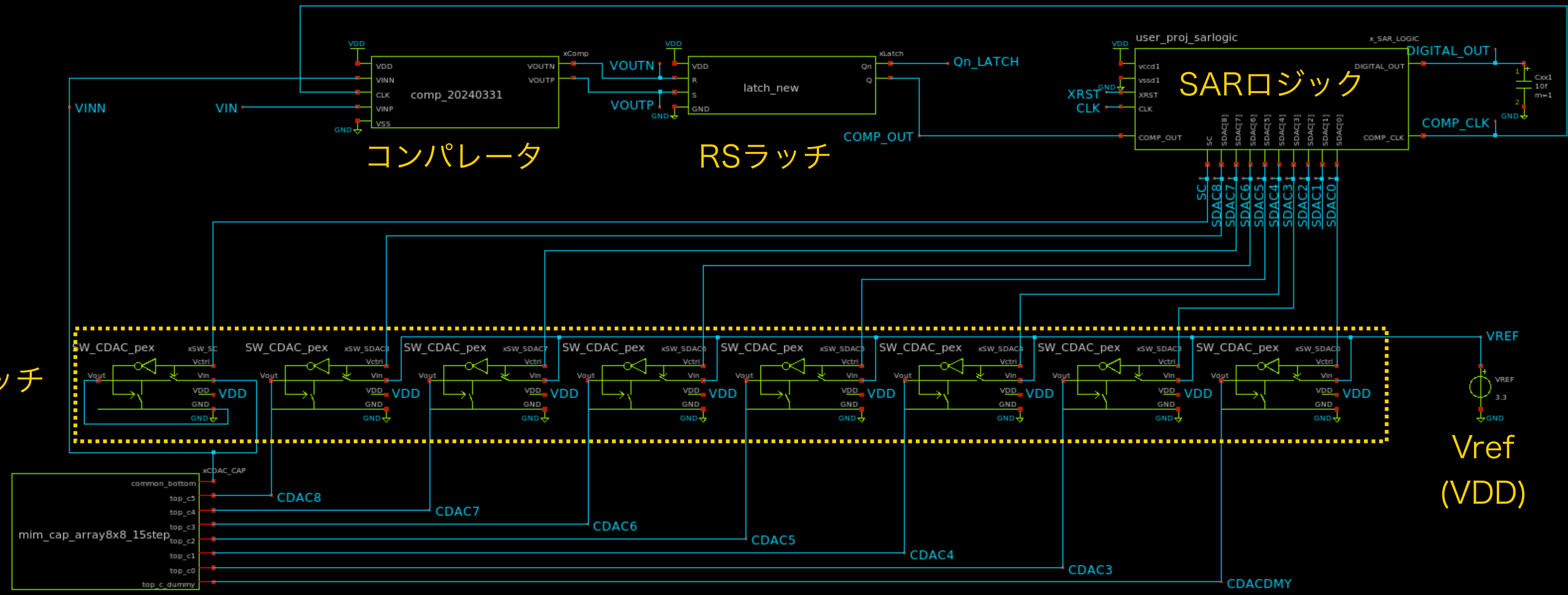
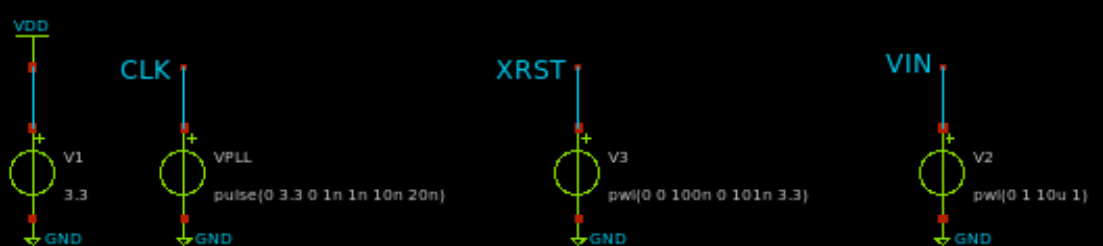
.include ~/design/klayout/sar_logic/user_proj_sarlogic_pex_extracted.spice
.include ~/design/Git/Chipathon2023/mim_cap_array_8x8/TOP_pex_extracted.spice
.include ~/design/Git/Chipathon2023/latch/TOP_pex_extracted.spice
.include ~/design/Git/Chipathon2023/gitefu/comp_20240331/TOP_pex_extracted.spice
.include ~/design/xschem/sar_logic/SW_CDAC_pex_extracted.spice
.control
save all
tran 100n 1.5u
plot v(vinp) v(VINN) v(CLK) v(VOUTP) v(VOUTN)
wrdta ~/design/xschem/sar_logic/tran_sar_adc.txt v(vinp) v(VINN) v(CLK) v(VOUTP) v(VOUTN)
write sar_adc_tran.raw
.endc
```

PVT=typical
皆さんの抽出後の
.spiceをinclude

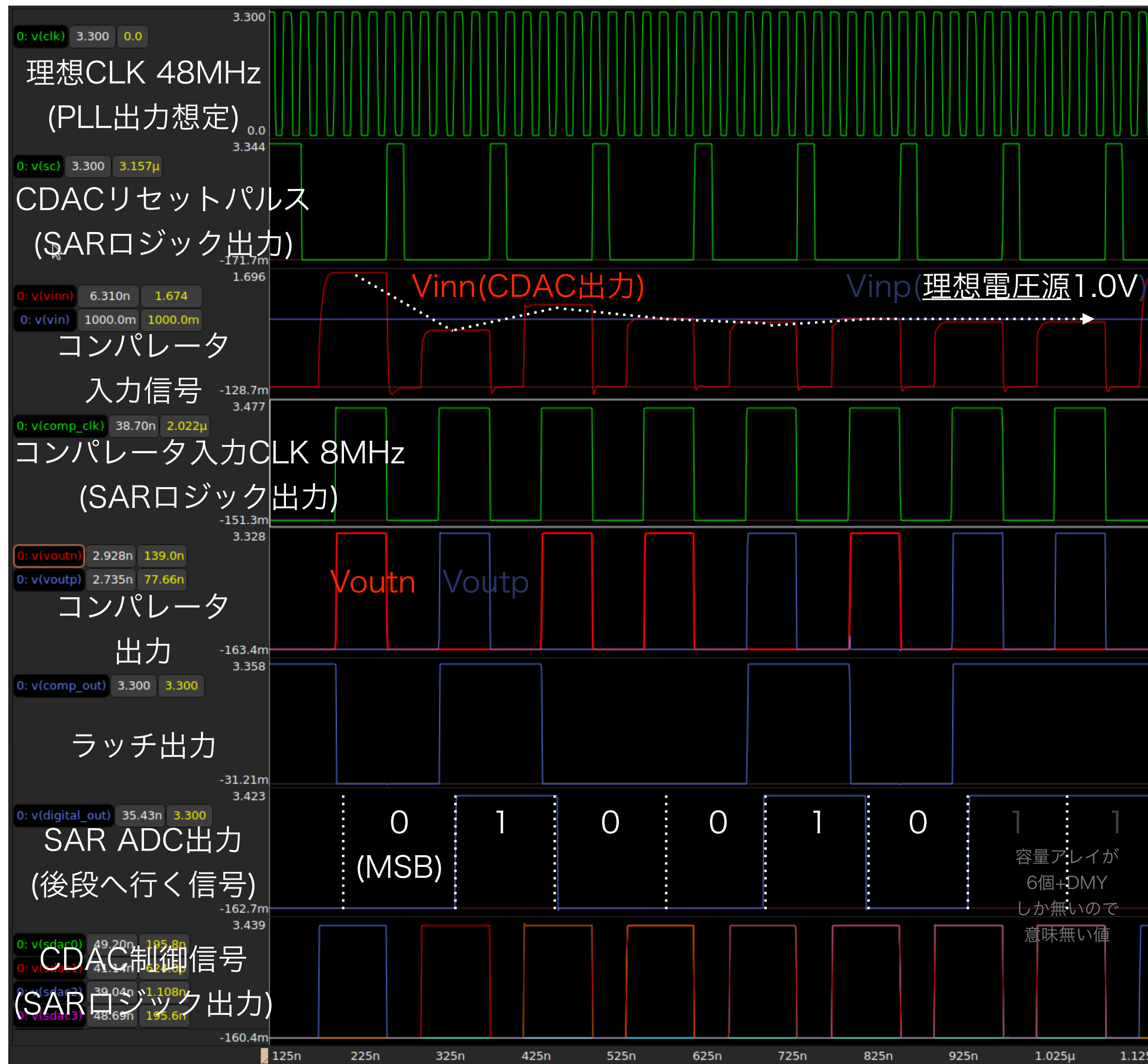
transient解析

CDAC内スイッチ

容量アレイ



SAR ADC 基本動作確認 → OK

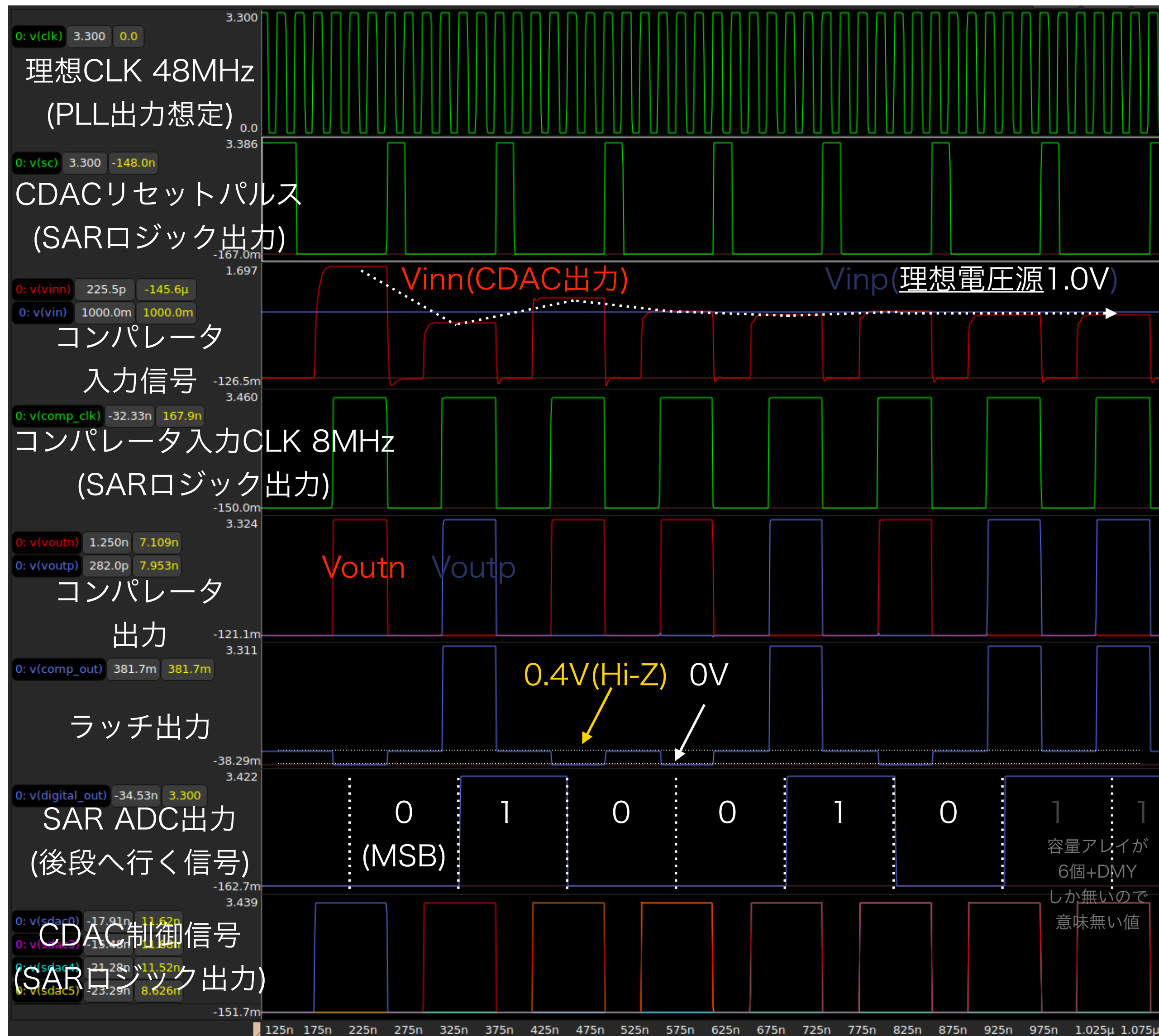


- SARロジック, CDAC OK
Vinp(A/D対象電圧)に近づくようにVinn(CDAC出力)が変化している
- コンパレータ OK
8MHzのクロックがHighのときのみ:
Vinp > Vinn ⇒ Voutp = 1, Voutn = 0
Vinp < Vinn ⇒ Voutp = 0, Voutn = 1
- ラッチ OK
コンパレータ出力P/Nともに0 ⇒ 値保持
コンパレータ出力Pのみ1 ⇒ ラッチ出力1
コンパレータ出力Nのみ1 ⇒ ラッチ出力0
- A/D出力 OK(基本動作確認という意味で)
出力=6`b010010
→ $3.3V(V_{ref}) \times (1/4 + 1/32) = 0.928125V (\cong 1.0V)$

MSBから数えて6bit目(1/64 の桁)で誤判定しているところに注意
(原因はCDACの容量比とコンパレータのオフセットか? 詳細未確認)
後段はどのタイミングでA/D結果を取り込めば良いか分かる?
→シフトレジスタを作ってそこに6bit分溜まったら一斉に出力する

Appendix

SAR ADC 基本動作確認 → ほぼOK



- SARロジック, CDAC OK
Vinp(A/D対象電圧)に近づくようにVinn(CDAC出力)が変化している
- コンパレータ OK
8MHzのクロックがHighのときのみ:
 $V_{inp} > V_{inn} \Rightarrow V_{outp} = 1, V_{outn} = 0$
 $V_{inp} < V_{inn} \Rightarrow V_{outp} = 0, V_{outn} = 1$
- ラッチ NG
コンパレータ出力がP/Nともに0のときは本来値を保持してほしいが、不定となっている。
一方コンパレータ出力P/Nいずれかが1であれば、OK
(ラッチのS端子、R端子のそれぞれのインバータを削除すると直る見込み)
- A/D出力 OK
出力=6`b010010
→ $3.3V(V_{ref}) \times (1/4 + 1/32) = 0.928125V (\cong 1.0V)$

後段はどのタイミングでA/D結果を取り込めば良いか分かる？

