

【オープン版】 レイアウト&検証ガイドライン

第1.0版
(2025.08.25)

Copyright 2025 TOKAI RIKA CO., LTD

Licensed under the Apache License, Version 2.0 (the "License");
you may not use this file except in compliance with the License.
You may obtain a copy of the License at

<http://www.apache.org/licenses/LICENSE-2.0>

Unless required by applicable law or agreed to in writing, software
distributed under the License is distributed on an "AS IS" BASIS,
WITHOUT WARRANTIES OR CONDITIONS OF ANY KIND, either express or implied.
See the License for the specific language governing permissions and
limitations under the License.

本書はKLayout IP62環境についてのガイドラインである。

1. 起動と設定

KLayoutの起動
デフォルト設定

2. ファイルの開き方

新規レイアウトの作成
既存ファイル（GDS）の開き方
レイヤー定義ファイルの保存と書き出し

3. GDSファイルのインポート

GDSファイルのインポート

4. 設定・グリッドサイズの変更

Editor Options

5. 素子の配置

ライブラリ
素子の配置・表示の切り替え

6. レイヤーの表示/非表示

レイヤーの表示/非表示

7. ショートカットキー

ショートカットキー
ESC

8. DRCとLVS

Technologyの設定
DRC
LVS

KLayoutの起動

KLayoutフォルダ内、もしくはデスクトップに作成されたショートカットキーを使用してKLayoutを起動します。

layout_app.exe : 編集ができる、Editingモード

layout_vo_app.exe : 編集ができないViewerモード

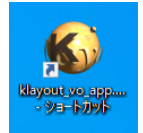
※確認作業等は、編集ができないViewerモードの使用をお勧めします。

KLayoutフォルダ

layout_app.exe

layout_vo_app.exe

デスクトップ



デフォルト設定（ layout_app.exe のみ）

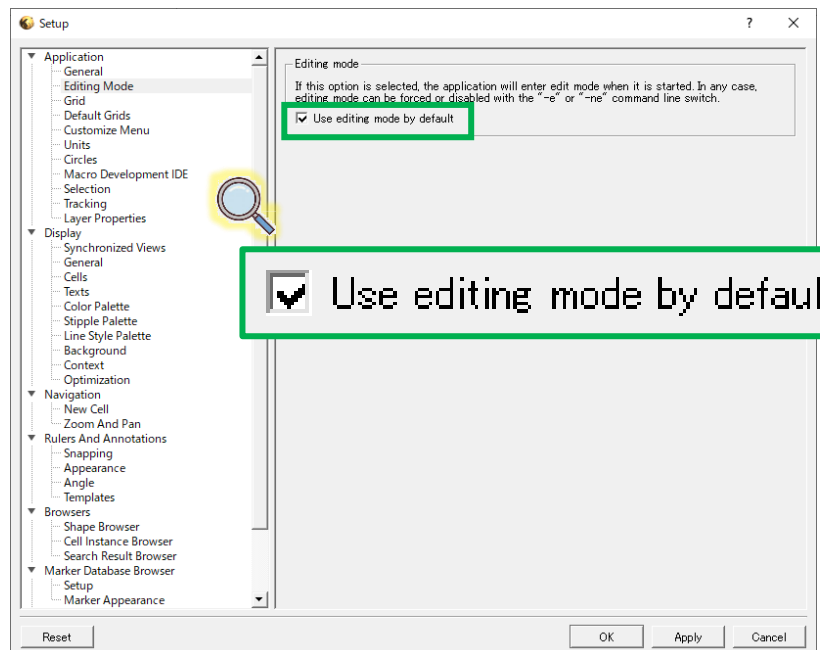
layout_app.exeのデフォルト設定をEditingモードにします。(初回のみ)

layout_app.exeを起動し、

File > Setup > Application > Editing Modeを開き、

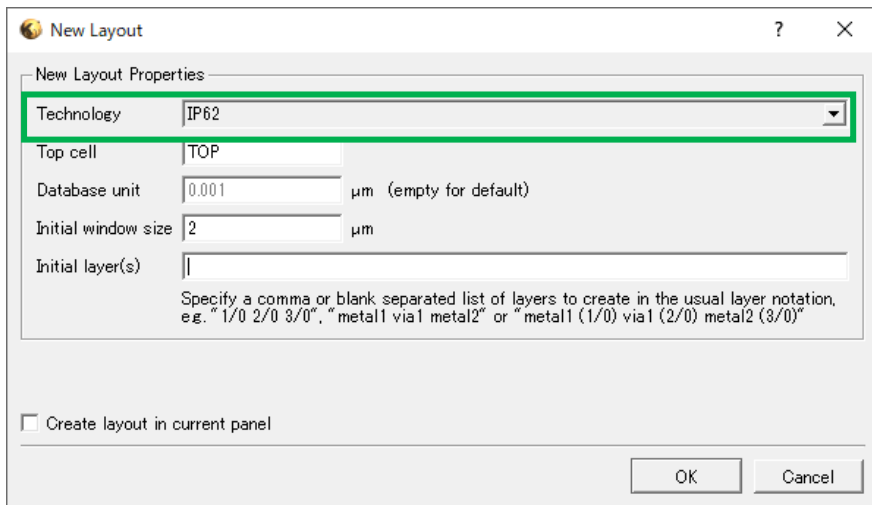
Use editing mode by defaultにチェックを入れ、OKを押す。

layout_app.exeを再起動



新規レイアウトの作成

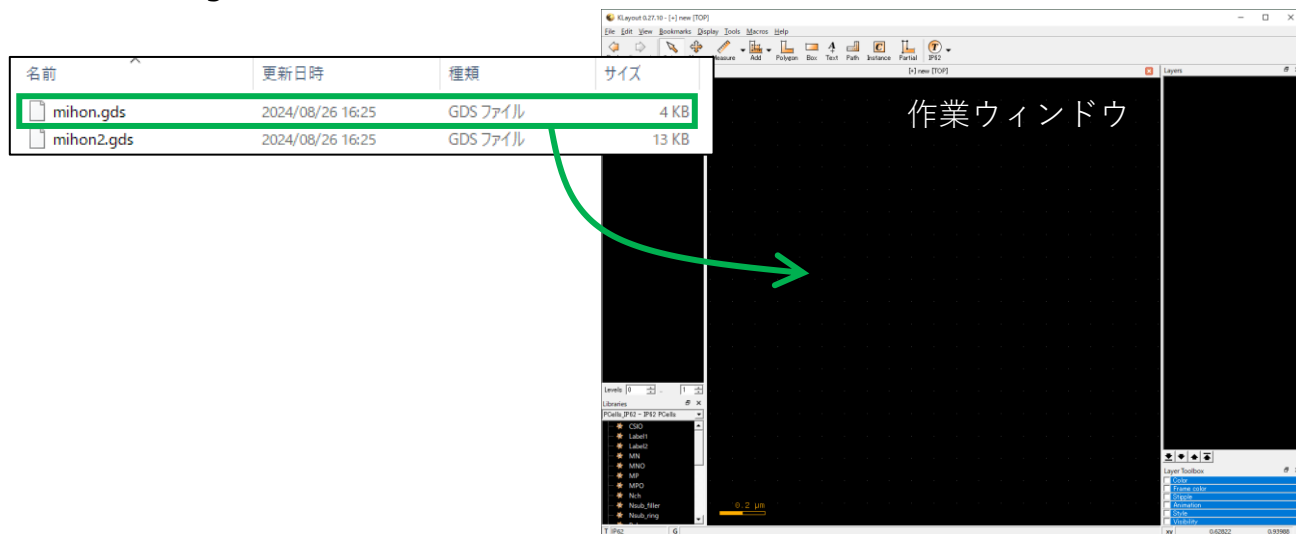
File > New Layout > Technology をIP62に変更して、OK。



既存ファイル（GDS）の開き方

File > Open > 開きたいgdsファイルを指定

または、開きたいgdsファイルを作業ウィンドウに直接ドロップ



レイヤー定義ファイルの保存と呼び出し

レイヤの色や塗りつぶしタイプなどの設定を保存(.lyp)することができます。

File > Save Layer Properties > 名前を付けて保存

設定を読み込みたいときは

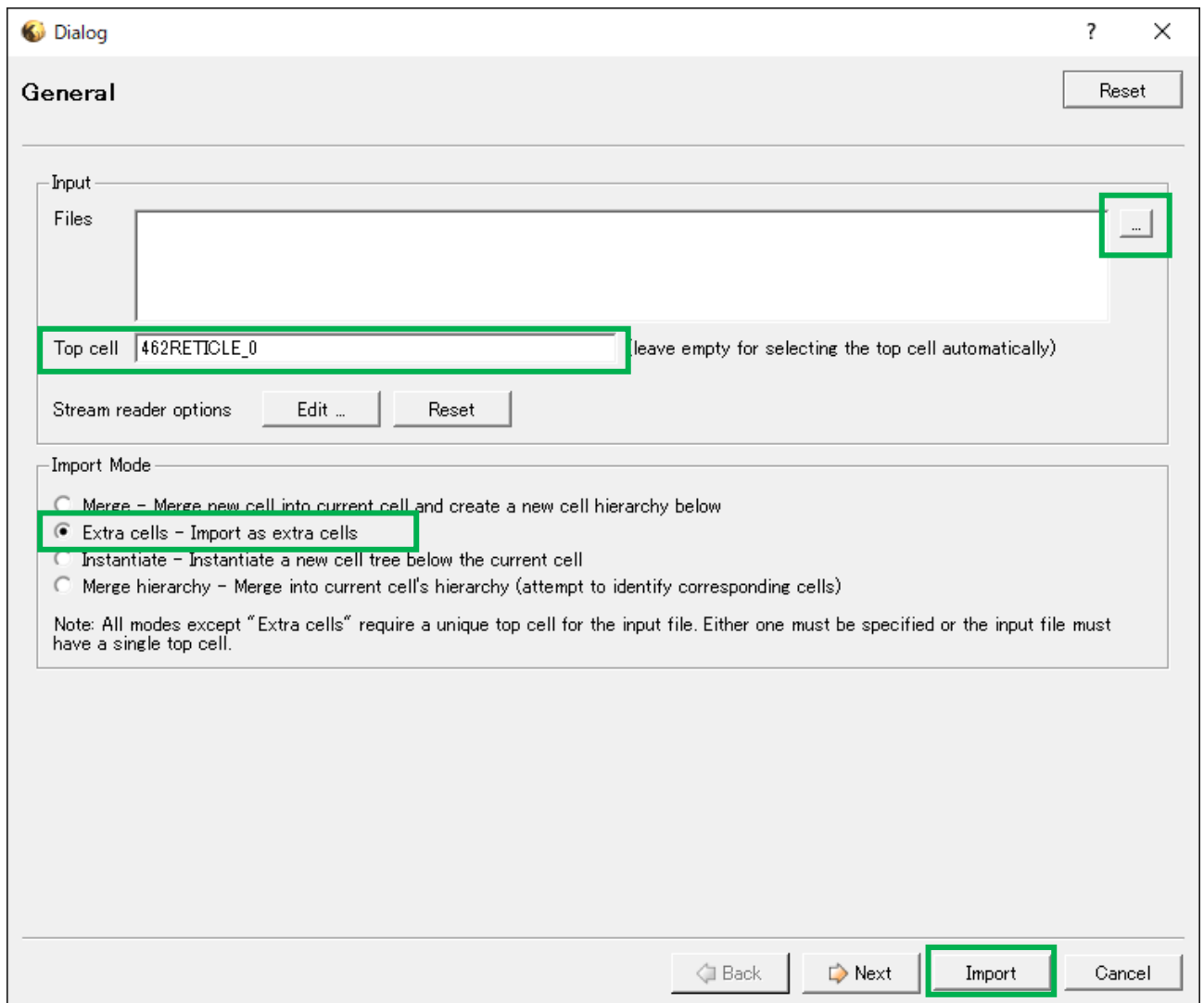
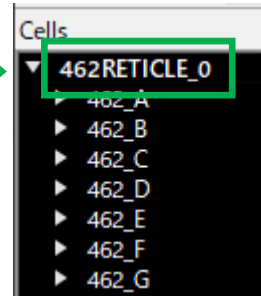
File > Load Layer Properties > 読み込みたいファイルを指定

もしくは、.lypファイルを作業画面に直接ドロップしてください。

※リファレンスマニュアルに記載のレイヤ名には、Klayout¥salt¥IP62¥Technology¥techの下でTR_IP62.lypが対応しており、お勧めです。（デフォルトはMineda_IP62.lyp）

GDSファイルのインポート

File > Import > Other Files Into Current > Files 右の [...] をクリックして開く
> 取り込みたいファイルパスを貼り付け > Top cell 名を入力 (Viewモードで開いて確認)
> Extra cells にチェックを入れて Import

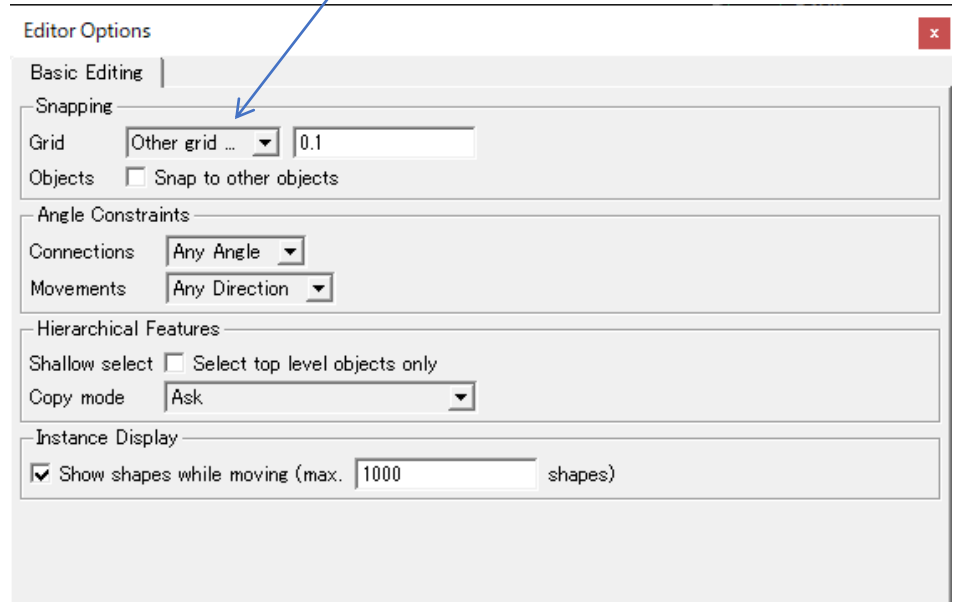


Editor option

Edit > Editor Options で、グリッドや移動方向の制限が出来ます。

※Gridの初期値は「0.1」になっています。変更が必要な場合は、下記方法で変更してください。

Basic Editing > Snapping > Grid > Global gridを**Other grid**に変更して、任意の数値を入力

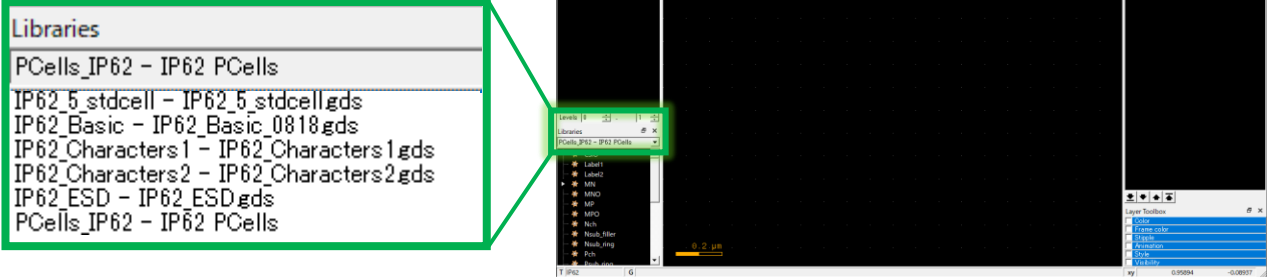


※Gridが細か過ぎると、意図しないスペースや段差を作ってしまう懸念があるため、0.1um、0.05um、細かくても0.025umまでを推奨します。（現状、レチクル作製の観点では0.005umまで対応可能です。）

ライブラリ

Libraries で変更できます。

表示されたものが使用可能です
(図は一例)

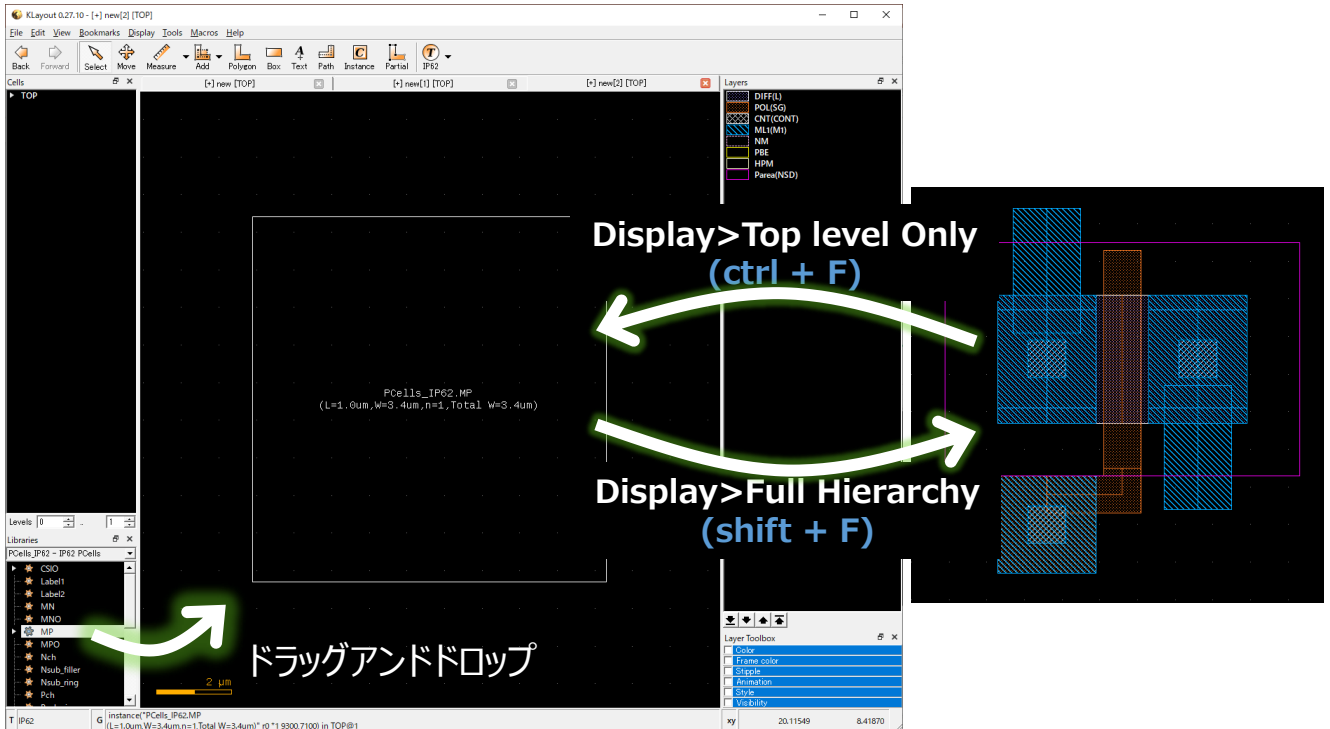


素子の配置・表示の切り替え

使用したい素子を、ドラッグアンドドロップで、任意の位置に配置できます。

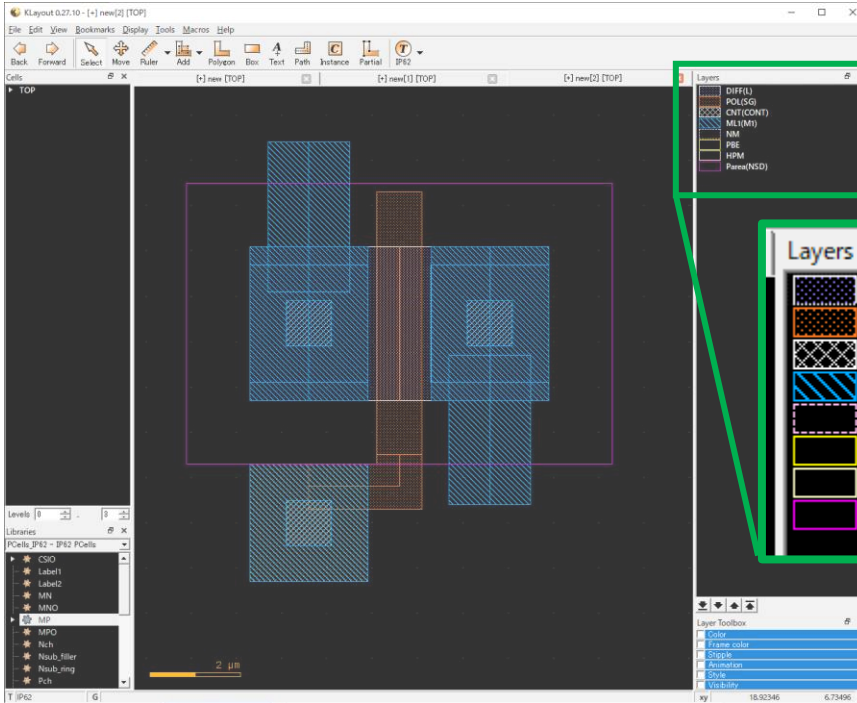
BOX表示/全レイヤー表示は、メニューバーのDisplayから変更できます。(下図参照)

※klayoutrcの<key-bindings>行を、klayoutrc_key-bindings.txtの内容に置き換えると、ショートカットキーが有効になります。



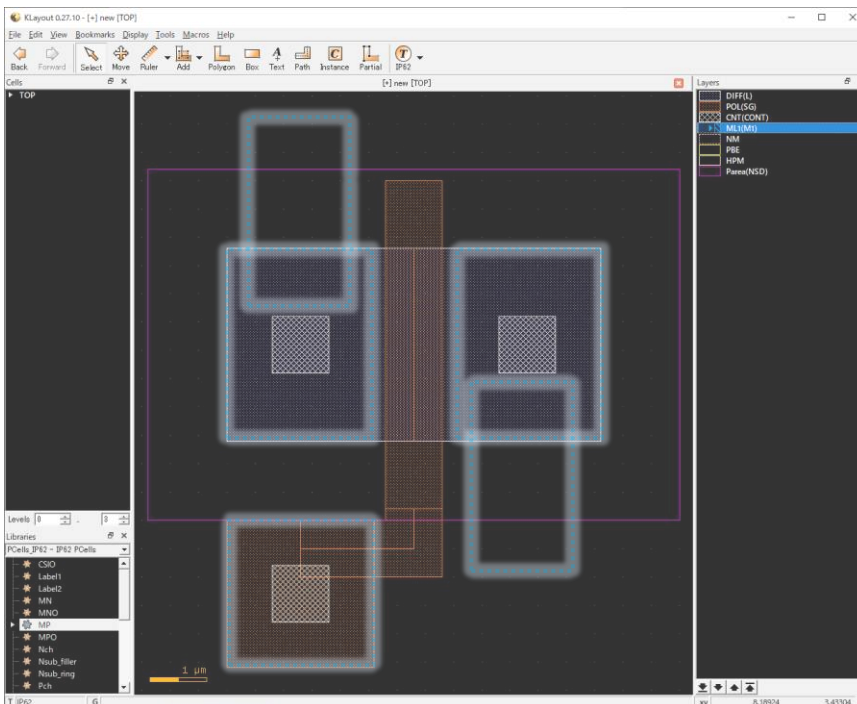
レイヤーの表示/非表示

任意のレイヤーをダブルクリックすると、レイヤーの表示/非表示の切り替えができます。



※デフォルト(Mineda_IP62.lyp)での見え方

ML1(M1)をダブルクリック



ML1(M1)が非表示になります

klayoutrcの<key-bindings>行を、klayoutrc_key-bindings.txtの内容に置き換えると、以下に示すショートカットキーが有効になります。

ショートカットキー

★よく使うおすすめ

項目	内容	ショートカットキー
★ Cancel	実行中のコマンドをキャンセル ※操作に困った時はとにかくキャンセルするとよい	Esc
★ &Undo	元に戻す	U
&Redo	undoしたものを元に戻す	Shift+U
★ Properties	プロパティを開く	Q
★ Ruler	ルーラー(定規)機能の呼び出し	K
★ Clear All Rulers And Annotations	ルーラー及びアノテーションを全削除	Shift+K
★ Select All	画面上の図形を全選択	Ctrl+A
Unselect All	全選択解除	Shift+D
Open In New Panel	新しいパネル上にファイルを開く	Ctrl+O (オー)
Open In Same Panel	アクティブなパネル上にファイルを開く ※ 2つのGDSを重ねて表示、編集ができる状態	Ctrl+Shift+O (オー)
★ Save	作成しているレイアウトをセーブ(保存)	Ctrl+S
Reload	再読み込み	Ctrl+R
Print	印刷設定を開く	Ctrl+P
Screenshot	スクリーンショットを撮る	Print
Close	閉じる	Ctrl+W
Close All	全て閉じる	Ctrl+Shift+W
Exit	KLayoutを終了する	Ctrl+Q

ショートカットキー（編集関連）

★よく使うおすすめ

項目	内容	ショートカットキー
Instance	インスタンスセル呼び出し	I
★ Editor Options	エディターオプションの起動 ※図形編集集中に線幅を変更したり、角度制約を変更したりできる	F3
★ Box	四角形を作成	R
★ Path	パスを作成	P
★ Partial	配線や図形のストレッチ	S
Text	テキストラベルを作成	L
★ Duplicate Interactive	選択したセルや図形を複製（コピー＆ペースト） ※カーソルに保持状態になり、好きな箇所にペーストできる	C
Copy	windowsベースのコピー	Ctrl+C
Paste	windowsベースのペースト ※コピーしたオブジェクトを元の位置に重ねてペーストするので、Moveによる移動が必要	Ctrl+V
★ Move Interactive	選択したセルや図形を移動させる ※カーソルに保持状態になり、好きな箇所に移動できる	M
★ Merge Shapes	図形をマージ（結合）する ※同じレイヤのポリゴンを複数選択後に実行	Shift+M
★ Delete	作成したセルやパス、ポリゴンなどの削除 ※選択後に実施	Del
★ change layer	図形やパスのレイヤ変更 ※図形やパスを選択後、変更したいレイヤーを一覧から選択して実行	Shift+C
Tap	選択した図形がどのレイヤーで描かれているか表示 ※図形選択後に実行	T



ショートカットキー（表示関連）

★よく使うおすすめ

項目	内容	ショートカットキー
★ Zoom Fit	全体図を画面全体にフィットする形で表示する	F2
★ Full Hierarchy	全階層が見えるようになる	Shift+F
★ Top Level Only	トップ層だけが見えるようにする	Ctrl+F
★ Show As New Top	選択したセルをトップセルとして表示する。 選択したセルとその子セルのみが表示され、他のすべてのセルは非表示になる ※Cellsで該当セルを選択してから実施	Ctrl+N
★ Descend Into	選択したセルの一つ下の階層に潜る	X
★ Descend	選択したセルの一つ下の階層に潜る ※親セルのコンテキスト内で、子セルをハイライト表示しながら編集できる	Ctrl+D
★ Ascend	潜ったセルの上層に戻る	B
Show Grid	グリッドを非表示(もう一度押すと表示)	G
Decrement Hierarchy	画面に表示されているレイアウトの階層レベルを最下層からひとつずつ見えなくする	- (マイナス)
Increment Hierarchy	画面に表示されているレイアウトの階層レベルをひとつずつ深くしていく	+ (プラス)
Box Only	バウンディングボックス（外側の境界）を表示	0 (ゼロ)
Goto Position	指定した座標に視点移動	Ctrl+G
Zoom Fit Selection	選択したオブジェクトを画面全体にフィットする形で表示する	Shift+F2
Zoom In	マウスカーソル位置を中心に画面をズームする	Ctrl+Z
Zoom Out	マウスカーソル位置を中心に画面をズームアウトする	Shift+Z
Select Next Item	重なりあった複数の図形の上にマウスオンした状態でショートカットキーを入力すると、マウスオンしている図形が順番に選択される。	Space
Select Next Item too	上記処理を、複数選択しながら実行	Shift+Space

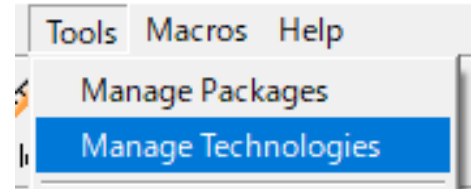
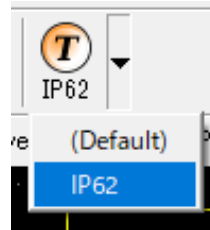
※Cadenceのショートカットキーに近付けていますが、KLayoutデフォルトのショートカットキーを優先しているため、一部Cadenceと異なります。

Technologyの設定

DRCやLVSを実施する際は、IP62を選択している必要があります。

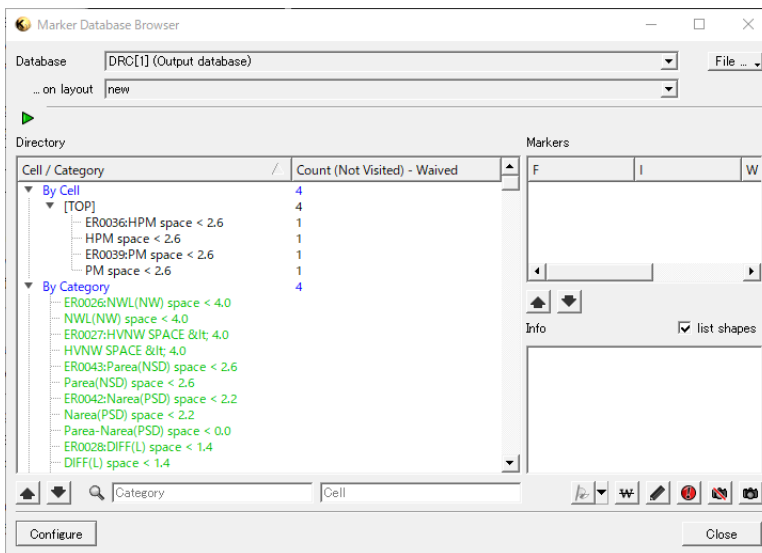
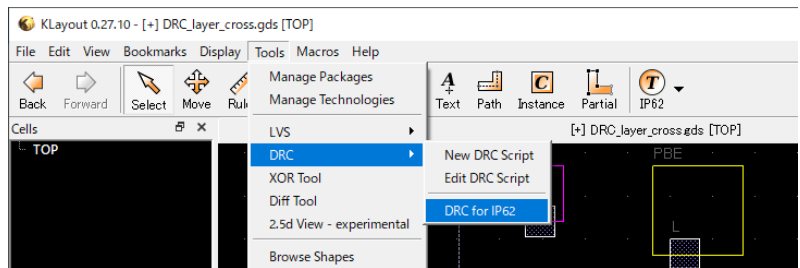
Select technology > IP62 に変更

Tools > Manage Technologies から変更できます。



DRC

Tools > DRC > DRC for IP62 選択で、デザインルールの検証をします。



※エラーがあるとCountに数字が表示されます
 ※エラー名をクリックすると、エラー箇所がハイライト表示されます

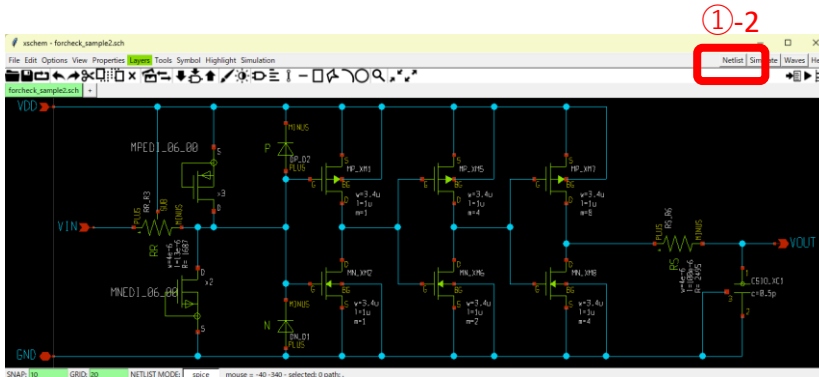
※MP、MNなどは、PropertiesのPCell parametersにてUse ...のチェックを付けた場合に、PCell内でDRCエラーが出る場合がありますのでDRCルールを満たす様に手修正願います。

この機能は、半導体レイアウト初見の方に1つの素子を動かすために必要な構造を確認いただくために設けた機能であり、実際に配置するには使いづらいレイアウトになっています。

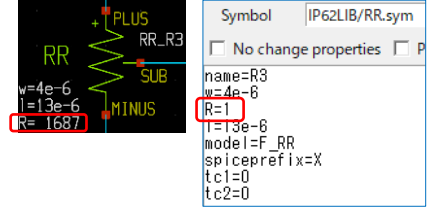
LVS

① ネットリストを準備する

①-1 XSCHEMで回路図作成



①-2



Edit Propertiesでw, lの値を入れてもRは1のままですが、シンボル上では抵抗値が算出されています。

この状態でネットリストを生成すると、ネットリストではR=1となりますが、シミュレーション結果にも、LVS手順にも影響はありません。

①-2 右上のNetlistボタンを押す

①-3 ~¥xschem¥userConf¥simulations の下に 回路図名.spice (ネットリスト) が作られる

※メニューバー> Simulation> Use 'simulation' dir under current schematic dir をクリックしてチェックを入れてから②を実施した場合は、回路図が保存されたフォルダの下に simulation/回路図名.spice が保存されます。

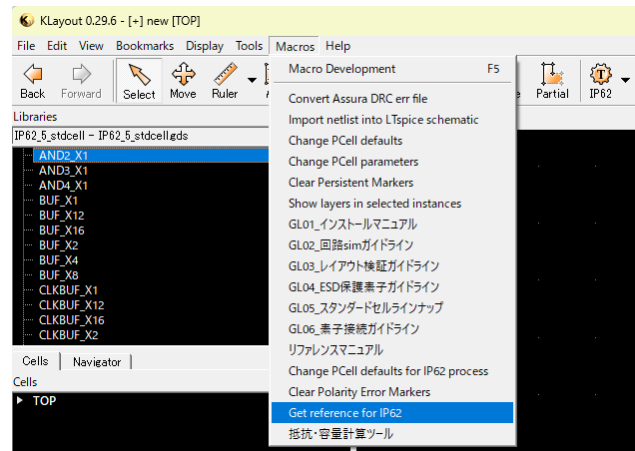
①-4 ネットリストを移動する場合は、パスに日本語が入らない所に保存する

※おすすめ階層構造

シミュレーションガイドライン 5-① プロジェクトフォルダの構成を参考にしてください。
レイアウトファイル(.gds)毎にフォルダを準備することで、LVS用に作られるファイルが同じフォルダ内に保存され、管理しやすくなります。
また、レイアウトファイルの近くにネットリストがあるので、探しやすいです。

② Get reference の実行

KLayoutにて、
Macros > Get reference for IP62 を実行し、
①で作ったネットリストを選択する。



※これにより、LVSに使用するファイル

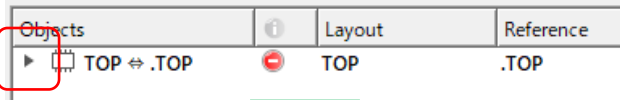
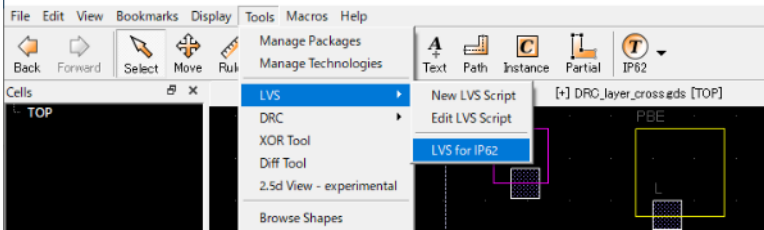
“GDS保存場所¥lvs_work¥GDS名_reference.cir.txt” が生成され、LVSがかけられるようになります。

ネットリストに変更がない場合は、次のLVSから、この工程は不要です。

LVS（続き）

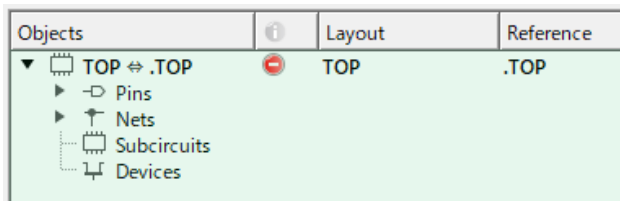
③LVSの実施

Tools > LVS > LVS for IP62 選択で、レイアウトと回路図の一致を検証します。



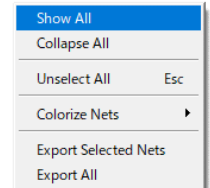
※エラーがあると が表示されます。

▶ をクリックして、詳細情報を確認してください。



※初期設定では、PASSしている項目が省略されています。表示したい場合は

左図の緑のエリアで右クリック > Show All で表示させます。



この例では、Show Allすると、抵抗値の不一致 が確認できます

Objects	Layout	Reference
MNEDI_06_00	MNEDI_06_00	MNEDI_06_00
MPEDI_06_00_int	MPEDI_06_00_int	MPEDI_06_00
TOP	TOP	.TOP
Pins		
Nets		
Subcircuits		
Devices		
CSIO	\$25 / CSIO [C=0.49953375p, A=0.81225k, P=0.114k]	1 / F_CSIO [C=0.5p]
NDIO	\$23 / NDIO [A=12.96, P=14.4]	1 / DN
NMOS	\$21 / NMOS [L=1, W=3.4, AS=9.52, AD=9.52, PS=12.4, PD=12.4]	2 / NMOS [L=1, W=3.4]
NMOS	\$19 / NMOS [L=1, W=6.8, AS=14.62, AD=14.62, PS=18.8, PD=18.8]	6 / NMOS [L=1, W=6.8]
NMOS	\$15 / NMOS [L=1, W=13.6, AS=24.82, AD=24.82, PS=31.6, PD=31.6]	8 / NMOS [L=1, W=13.6]
PDIO	\$1 / PDIO [A=12.96, P=14.4]	2 / DP
PMOS	\$14 / PMOS [L=1, W=3.4, AS=9.52, AD=9.52, PS=12.4, PD=12.4]	1 / PMOS [L=1, W=3.4]
PMOS	\$2 / PMOS [L=1, W=13.6, AS=24.8217, AD=20.4017, PS=31.601, PD=25.601]	5 / PMOS [L=1, W=13.6]
PMOS	\$6 / PMOS [L=1, W=27.2, AS=40.8, AD=45.22, PS=51.2, PD=57.2]	7 / PMOS [L=1, W=27.2]
RR	\$24 / RR [R=3.25k, L=13, W=4, A=52, P=34]	3 / F_RR [R=1, L=13, W=4]
RS	\$22 / RS [R=3k, L=0.1k, W=4, A=0.4k, P=0.208k]	6 / F_RS [R=1, L=0.1k, W=4]

RR [R=3.25k,
RS [R=3k,

レイアウトから抽出された値
KLayoutの仕様で算出された値であり、
設計値とはズレています。

F_RR [R=1,
F_RS [R=1,

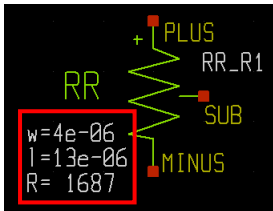
ネットリストの値

LVS (続き)

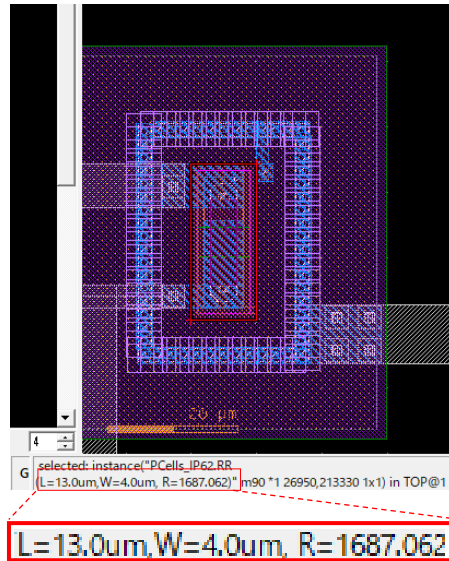
④抵抗値の不一致修正

④-1 レイアウトを確認

設計値



設計通りであることは
目視で確認してください。



レイアウトした値

④-2 LVS用ネットリストの手修正

LVS用にレイアウトから抽出された値（設計値とは異なる）に合わせて
GDS保存場所¥lvs_work¥GDS名_reference.cir.txt を手修正します。

Objects	Layout	Reference
▶ MNEDL_06_00	MNEDL_06_00	MNEDL_06_00
▶ MPEDL_06_00_int	MPEDL_06_00_int	MPEDL_06_00
▶ TOP	TOP	.TOP
▶ Pins		
▶ Nets		
▶ Subcircuits		
▶ Devices		
▶ CSIO ⇔ F_CS	\$25 / CSIO [C=0.49953375p, A=0.81225k, P=0.114k]	1 / F_CSIO [C=0.5p]
▶ NDIO ⇔ DN	\$23 / NDIO [A=12.96, P=14.4]	1 / DN
▶ NMOS	\$21 / NMOS [L=1, W=3.4, AS=9.52, AD=9.52, PS=12.4, PD=12.4]	2 / NMOS [L=1, W=3.4]
▶ NMOS	\$19 / NMOS [L=1, W=6.8, AS=14.62, AD=14.62, PS=18.8, PD=18.8]	6 / NMOS [L=1, W=6.8]
▶ NMOS	\$15 / NMOS [L=1, W=13.6, AS=24.82, AD=24.82, PS=31.6, PD=31.6]	8 / NMOS [L=1, W=13.6]
▶ PDIO ⇔ DP	\$11 / PDIO [A=12.96, P=14.4]	2 / DP
▶ PMOS	\$14 / PMOS [L=1, W=3.4, AS=9.52, AD=9.52, PS=12.4, PD=12.4]	1 / PMOS [L=1, W=3.4]
▶ PMOS	\$2 / PMOS [L=1, W=13.6, AS=24.8217, AD=20.4017, PS=31.601, PD=25.601]	5 / PMOS [L=1, W=13.6]
▶ PMOS	\$6 / PMOS [L=1, W=27.2, AS=40.8, AD=45.22, PS=51.2, PD=57.2]	7 / PMOS [L=1, W=27.2]
▶ RR ⇔ F_RR	\$24 / RR [R=3.25k, L=13, W=4, A=52, P=34]	3 / F_RR [R=1, L=13, W=4]
▶ RS ⇔ F_RS	\$22 / RS [R=3k, L=0.1k, W=4, A=0.4k, P=0.208k]	6 / F_RS [R=1, L=0.1k, W=4]

RR [R=3.25k]

レイアウトから抽出された値

F_RR [R=1]

ネットリストの値（修正前）

修正例：GDS名_reference.cir.txtより一行抜粋

XR3 VIN NET1 VDD F_RR W=4E-6 R=1 L=13E-6 TC1=0 TC2=0

XR3 VIN NET1 VDD F_RR W=4E-6 R=3.25K L=13E-6 TC1=0 TC2=0

④-3 再LVS (Tools > LVS > LVS for IP62) にて、PASSすることを確認

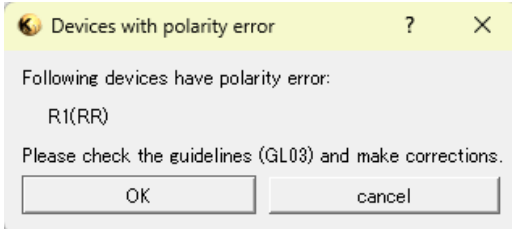
Objects	Layout	Reference
▶ TOP	TOP	.TOP

エラーなし

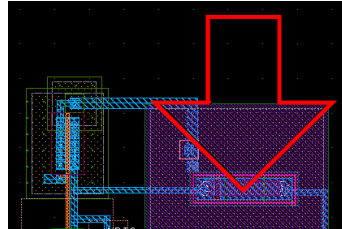
LVS (続き)

注意事項 : RH, RHHV, RR, RN, CSIOについて

電極の向きを反対にレイアウトしても LVSはPASSしてしまいますが、
アラームとして下記ポップアップが出ます。ポップアップが出た場合は、接続を確認してください。
レイアウト上では、赤矢印で該当素子を示します。



OK または cancel または X を押し、
ポップアップを閉じてレイアウトを確認してください。

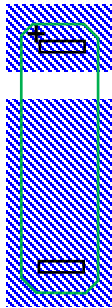


矢印の消し方 :
Macros > Clear Persistent Markers

※ただし、同じプロパティの抵抗を複数接続する場合は、その内の1つの抵抗しか電極の向きをチェックできません。電流の流れる方向に対して、全ての抵抗の向きが揃っていることを目視で確認してください。

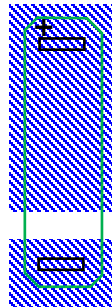
シンボルの向きについては、素子接続ガイドラインを確認してください。
Pcellの向きは以下に示す通りです。

オーバーメタルが
ない方が “+”



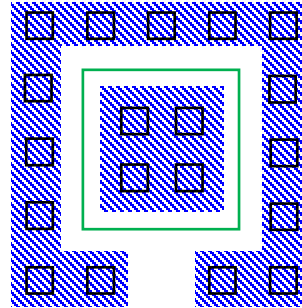
RH, RHHV, RR

オーバーメタルが
ある方が “+”



RN

中心が “+”



CSIO

+ + 極表示(抵抗のみ)

ML1(M1)配線

CNT(CONT)

DIFF(L)

正しく接続しても、LVS結果では反対にレイアウトしているように見ることがあります。
正しい向きか否かは、ポップアップ有無で判断してください。

正しい接続				反対に接続			
ポップアップ無				ポップアップ有			
Objects	Layout	Reference		Objects	Layout	Reference	
TOP ↔ .TOP	TOP	.TOP		TOP ↔ .TOP	TOP	.TOP	
↳ Pins				↳ Pins			
↳ Nets				↳ Nets			
↳ Subcircuits				↳ Subcircuits			
↳ Devices				↳ Devices			
↳ RR ↔ F_RR	\$24 / RR [R=3.25k, 3 / F_RR [R=3.25k,			↳ RR ↔ F_RR	\$24 / RR [R=3.25k, 3 / F_RR [R=3.25k,		
↳ A ↔ B	\$6 (7)	NET1 (7)		↳ A	VIN (2)	VIN (1)	
↳ B ↔ A	VIN (2)	VIN (1)		↳ B	\$6 (7)	NET1 (7)	
↳ W	VDD (10)	VDD (9)		↳ W	VDD (10)	VDD (9)	

※電極が反対になっているように表示されます

※正しく接続されているように表示されます

