



【オープン版】 ESD 保護素子ガイドライン

第 1.0 版
(2025.08.25)

Copyright 2025 TOKAI RIKA CO., LTD

Licensed under the Apache License, Version 2.0 (the "License");
you may not use this file except in compliance with the License.
You may obtain a copy of the License at

<http://www.apache.org/licenses/LICENSE-2.0>

Unless required by applicable law or agreed to in writing, software
distributed under the License is distributed on an "AS IS" BASIS,
WITHOUT WARRANTIES OR CONDITIONS OF ANY KIND, either express or implied.
See the License for the specific language governing permissions and
limitations under the License.

目次

- 1. 保護素子タイプ・保護性能 3
 - 1.1 保護素子タイプ 3
 - 1.2 回路保護性能 4
 - 1.3 保護回路構成 5
- 2. 保護素子配置・配線ルール 7
 - 2.1 保護素子配置・配線ルール 7
 - 2.2 配置・配線例 7

1. 保護素子タイプ・保護性能

1.1 保護素子タイプ

表 1-A に保護素子水準一覧表を示す。

5V 系の保護素子には PMOS タイプと NMOS タイプの 2 種類があります。

12V 系の保護素子には 5V 系 PMOS 直列構成タイプがあります。

保護素子タイプ、素子数から表 1-A で対応する Cell を選択して使用下さい。

素子数と保護性能の関係については次項を参照下さい。

表 1-A 保護素子 水準表 一覧

カテゴリ	保護素子タイプ	ライブラリ	セル	素子数	段数
5V 系	PMOS	IP62_ESD	MPEDI_06_00	6	1
	PMOS	IP62_ESD	MPEDI_07_00	7	1
	PMOS	IP62_ESD	MPEDI_08_00	8	1
	PMOS	IP62_ESD	MPEDI_09_00	9	1
	PMOS	IP62_ESD	MPEDI_10_00	10	1
	NMOS	IP62_ESD	MNEDI_06_00	6	1
	NMOS	IP62_ESD	MNEDI_07_00	7	1
	NMOS	IP62_ESD	MNEDI_08_00	8	1
	NMOS	IP62_ESD	MNEDI_09_00	9	1
	NMOS	IP62_ESD	MNEDI_10_00	10	1
12V 系	PMOS	IP62_ESD	MPEDI_3_06_00	6	3
	PMOS	IP62_ESD	MPEDI_3_08_00	8	3
	PMOS	IP62_ESD	MPEDI_3_12_00	12	3
	PMOS	IP62_ESD	MPEDI_4_06_00	6	4
	PMOS	IP62_ESD	MPEDI_4_08_00	8	4
	PMOS	IP62_ESD	MPEDI_4_12_00	12	4

参考:タイプ別の長所・短所

PMOS タイプはアノード(D)の接続先が GND に限定されないが、NMOS タイプよりサイズが大きい。

NMOS タイプはアノード(S,G,BG)の接続先が GND に限定されるが、PMOS タイプよりサイズが小さい。

1.2 回路保護性能

目標とする回路保護性能(耐力)と素子数の関係を表 1-B に示す。
また、上記内容をグラフ化した物を図 1-B に示す。

表 1-B 保護性能と素子数の関係表

保護性能		素子数	段数	素子寸法 [μm^2]	
MM	HBM			PMOS タイプ	NMOS タイプ
200V	4.0kV	6	1	165.2 * 114.2	136.2 * 85.2
250V	4.0kV	7	1	180.2 * 114.2	151.2 * 85.2
300V	4.0kV	8	1	195.2 * 114.2	166.2 * 85.2
350V	4.0kV	9	1	210.2 * 114.2	181.2 * 85.2
400V	4.0kV	10	1	225.2 * 114.2	196.2 * 85.2
200V	4.0kV	6	3	165.2 * 337.8	—
300V	4.5kV	8	3	195.2 * 337.8	—
300V	4.5kV	12	3	255.2 * 337.8	—
100V	1.5kV	6	4	165.2 * 448.6	—
100V	2.0kV	8	4	195.2 * 448.6	—
200V	2.0kV	12	4	255.2 * 448.6	—

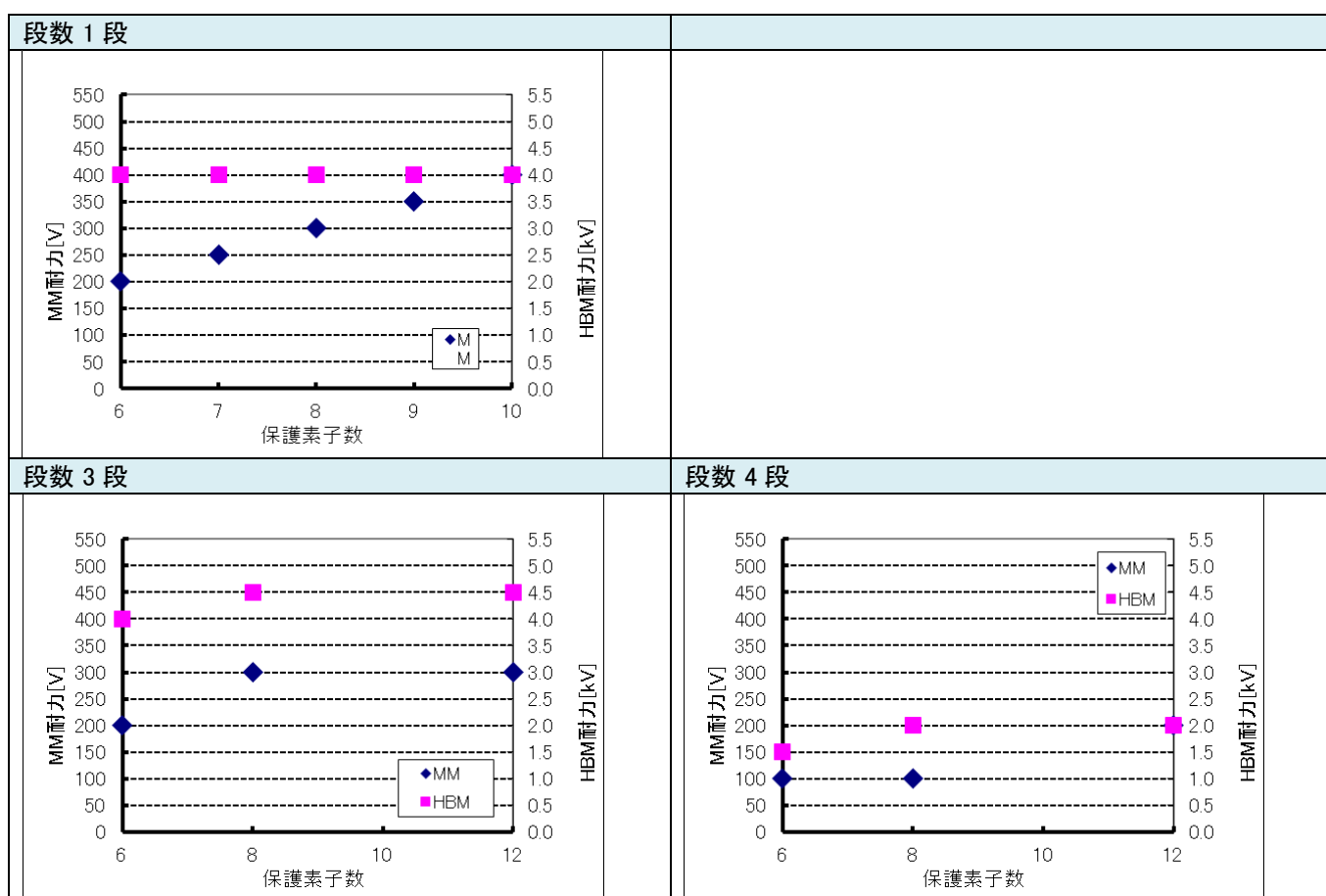
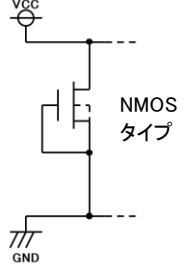
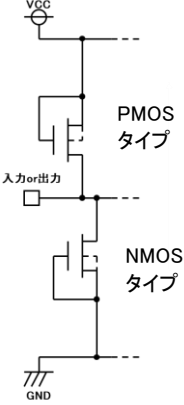
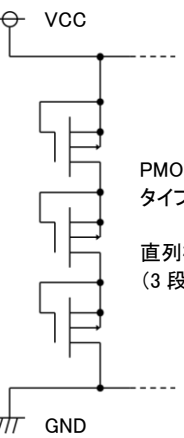
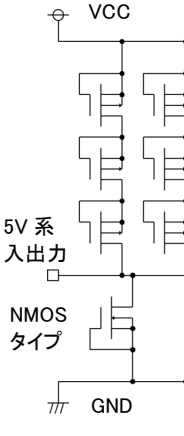


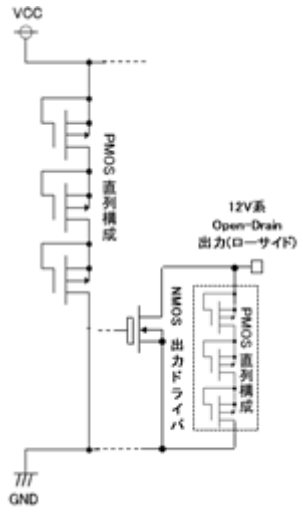
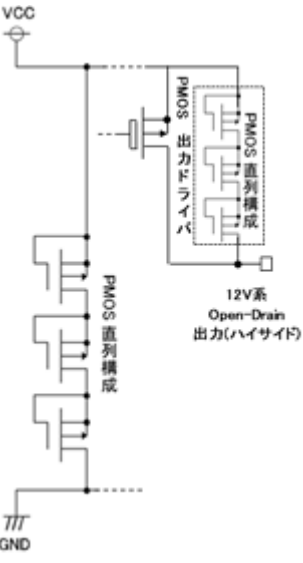
図 1-B 素子数と保護性能の関係

1.3 保護回路構成

入出力パターン別の保護回路構成例を以下に示す。

① VCC(5V)-GND の保護	
 <p>NMOS タイプ</p>	<p>VCC、GND 2 端子の場合の構成例を示す。 小面積の NMOS タイプ保護素子を使用し、VCC-GND 間保護を行う。</p>
② VCC(5V)-入力・出力-GND の保護	
 <p>PMOS タイプ</p> <p>入力or出力</p> <p>NMOS タイプ</p>	<p>VCC、入力 or 出力、GND 3 端子の場合の構成例を示す。 VCC-入力 or 出力間には、PMOS タイプ保護素子を使用して ESD 保護を行う。 入力 or 出力-GND 間には、NMOS タイプ保護素子を使用して ESD 保護を行う。</p>
③ VCC(12V)-GND の保護	
 <p>PMOS タイプ</p> <p>直列構成 (3 段)</p>	<p>VCC-GND 間の保護には 5V 系 PMOS タイプ保護素子を 3 段 又は 4 段 に積んだものを使用する。 保護能力は 4 段より 3 段の方が高く、3 段の方が面積も小さいが、外付けの保護素子耐圧によっては使用できない。</p>
④ VCC(12V)-GND 及び 5V 系入出力間の保護	
 <p>PMOS タイプ</p> <p>直列構成 (3 段)</p> <p>5V 系 入出力</p> <p>NMOS タイプ</p>	<p>VCC-GND 間及び VCC-5V 系入出力間には保護回路構成例③と同じものを使用する。 5V 系入出力-GND 間には 5V 系 NMOS タイプ保護素子を使用する。 各端子間の保護素子はそれぞれ順方向・逆方向の保護を行う。</p>

⑤ VCC(12V)-GND 及び 12V 系オープンドレイン出力の保護

 <p>VCC</p> <p>PMOS 直列構成</p> <p>12V系 Open-Drain 出力(ローサイド)</p> <p>PMOS 直列構成</p> <p>出力ドライバ</p> <p>GND</p>	<p>ローサイド出力の保護回路構成例を示す</p> <p>VCC-GND 間には保護回路構成例①と同じものを使用する。 出力ドライバの拡散面積が十分大きい場合ドライバ自身をサージ電流が抜ける経路となっても破壊しない為追加の保護回路は不要となるが、ドライバサイズが小さい場合並列で保護素子を挿入する必要がある。</p>
 <p>VCC</p> <p>PMOS 直列構成</p> <p>12V系 Open-Drain 出力(ハイスайд)</p> <p>PMOS 直列構成</p> <p>出力ドライバ</p> <p>GND</p>	<p>ハイスайд出力の保護回路構成例を示す。 VCC-GND 間には保護回路構成例①と同じものを使用する。 出力ドライバの拡散面積が十分大きい場合ドライバ自身をサージ電流が抜ける経路となっても破壊しない為追加の保護回路は不要となるが、ドライバサイズが小さい場合並列で保護素子を挿入する必要がある。</p>

2. 保護素子配置・配線ルール

2.1 保護素子配置・配線ルール

保護素子配置・配線時は下記のルールに従うこと。

- ①5VPMOS 直列構成タイプ保護素子の周囲は BGMN で囲い、素子分離を行うこと。
 - ②他の素子を隣接させる場合、素子分離(BGMN)の L レイヤーから $5\mu\text{m}$ 以上離すこと。
 - ③-A 保護対象ラインのパッド近傍に配置すること。パッドルール最小値が望ましい。
 - ③-B ③-A が実現不可能な場合、内部回路より、パッドに近い位置へ配置・配線すること。
 - ④パッドから保護素子までの配線長 < パッドから内部回路までの配線長とすること。
 - ⑤パッドから保護素子への配線幅は M1 ならば $24\mu\text{m}$ 以上、M2 ならば $20\mu\text{m}$ 以上とすること。
 - ⑥VCC-GND ラインは、M2-M1 配線で分け、 $64000\mu\text{m}^2$ 以上(寄生容量 2pF 以上)重ねて配線すること。
- ※チップ外周 $1\text{mm} \times 1\text{mm}$ とした場合、M1・M2 共に $16\mu\text{m}$ の太さで 1 周分が $64000\mu\text{m}^2$ 約 2pF に相当する。

2.2 配置・配線例

2.1 のルールに従った保護素子配置・配線例を以下に示す。

< VCC(5V)-GND 間保護 配置・配線例 >

図 2-A に VCC、GND 2 端子の場合の配置・配線例を示す。

小面積の NMOS タイプ保護素子を使用し、VCC-GND 間保護を行う。

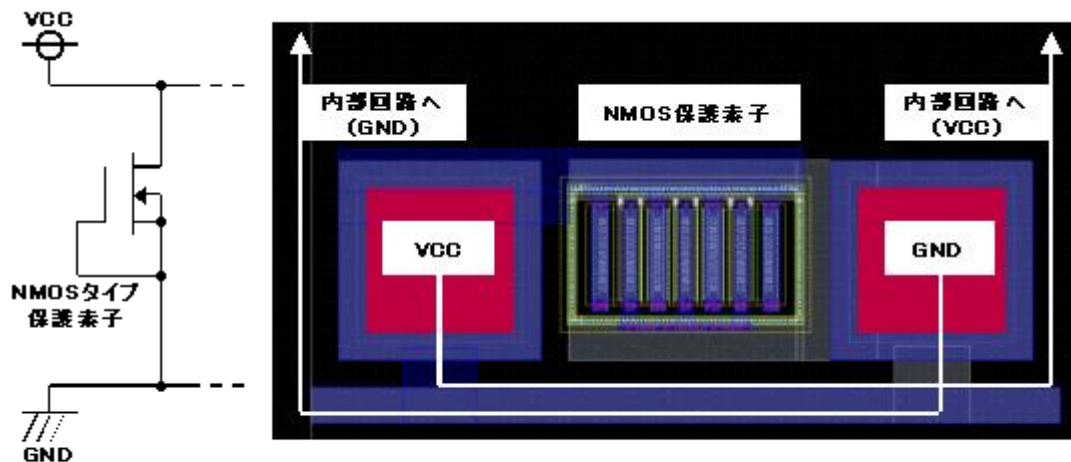


図2-A VCC-GND間保護、配置・配線例

＜VCC(5V)-入力・出力-GND 間保護 の配置・配線例＞

図 2-B に VCC、入力 or 出力、GND 3 端子の場合の配置・配線例を示す。
VCC-入力 or 出力間は、PMOS タイプ保護素子を使用して ESD 保護を行う。
入力 or 出力-GND 間は、NMOS タイプ保護素子を使用して ESD 保護を行う。

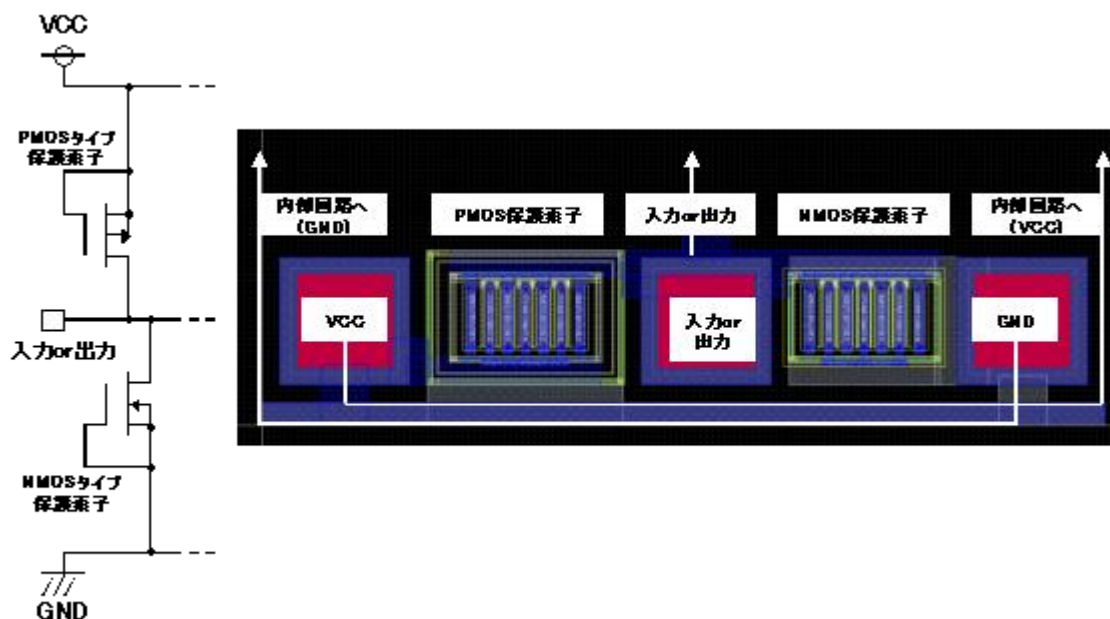


図2-B VCC-入力or出力-GND間保護、配置・配線例

＜VCC(12V)-GND 間保護 配置・配線例＞

図 2-C に VCC-GND 2 端子の場合の配置・配線例を示す。
5V 系 PMOS 直列構成タイプ保護素子を使用し、VCC-GND 間保護を行う。

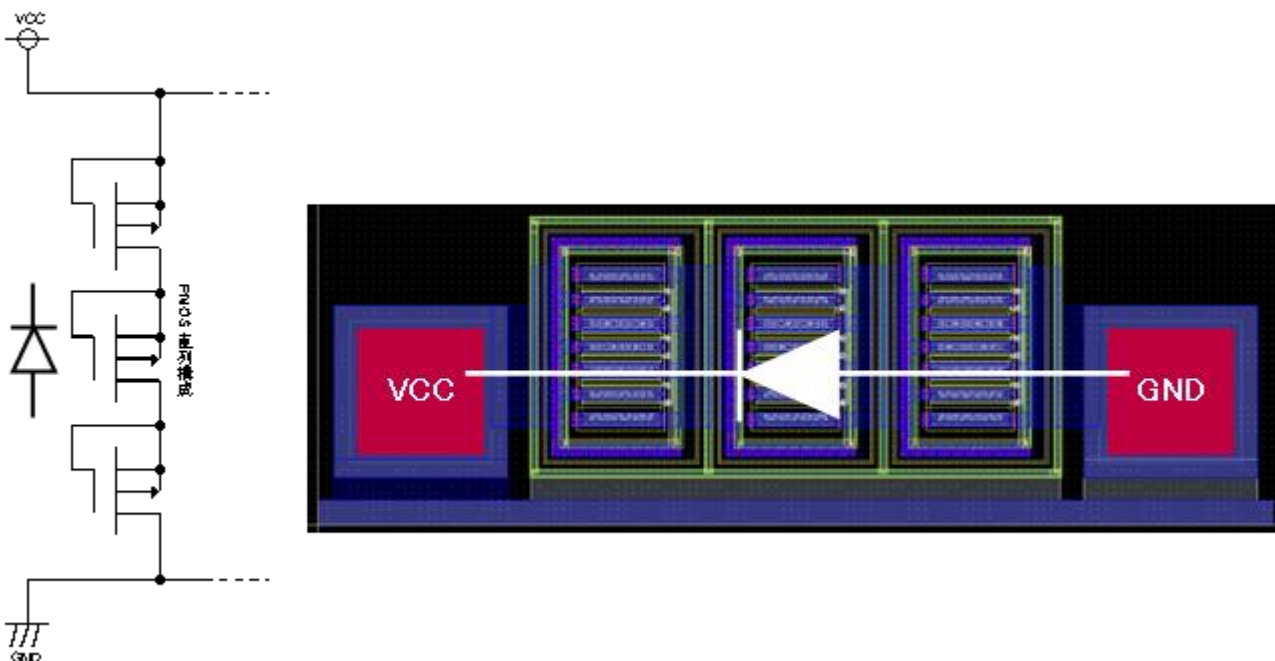


図 2-C VCC(12V)-GND 間保護 配置・配線例

＜ VCC(12V)-GND 及び 5V 系入出力間 保護 配置・配線例 ＞

図 2-D に VCC-入出力(5V 系)-GND 3 端子の場合の配置・配線例を示す。

VCC-入出力(5V 系)間は、5V 系 PMOS 直列構成タイプ保護素子を使用して ESD 保護を行う。

入出力(5V 系)-GND 間は、5V 系 NMOS タイプ保護素子を使用して ESD 保護を行う。

VCC-GND 間は、VCC-入出力(5V 系)間と同様、5V 系 PMOS 直列構成タイプ保護素子を使用して ESD 保護を行う。

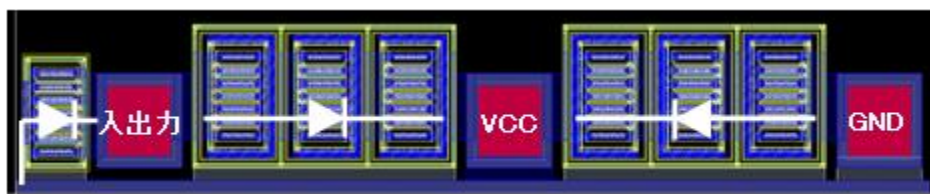
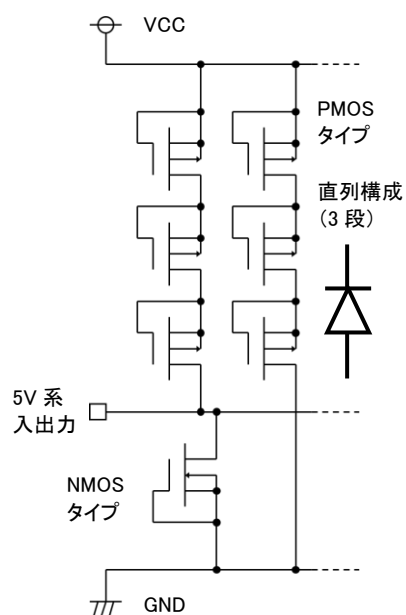


図 2-D VCC(12V)-GND 間 及び 5V 系入出力間保護 配置・配線例

改定履歴

記号	年月日	改訂内容
1.0	25.08.25	初版