



# 【オープン版】IP62 リファレンスマニュアル

第 1.0 版  
(2025.08.21)

Copyright 2025 TOKAI RIKA CO., LTD

Licensed under the Apache License, Version 2.0 (the "License");  
you may not use this file except in compliance with the License.  
You may obtain a copy of the License at

<http://www.apache.org/licenses/LICENSE-2.0>

Unless required by applicable law or agreed to in writing, software  
distributed under the License is distributed on an "AS IS" BASIS,  
WITHOUT WARRANTIES OR CONDITIONS OF ANY KIND, either express or implied.  
See the License for the specific language governing permissions and  
limitations under the License.

(株) 東海理化

## 目次

注意事項.....	3
I. プロセスについて.....	4
1. プロセス説明 .....	4
2. 素子特性 .....	7
3. 回路設計基準 .....	17
4. レイアウト設計基準 .....	18
5. 共通デザインルール .....	20
6. 素子別デザインルール .....	23
II. SPICE モデル .....	37
1. モデルファイルの設定方法について .....	37
2. タグチメソッドに基づいたコーナモデルについて .....	38
III. テクノロジライブラリ、PCELL .....	39
IV. DRC/LVS ルール.....	41
改定履歴.....	42

非公開



## 注意事項

- ・試作に際しては、別途定める利用規約を遵守していただく必要があります。
- ・本書に記載されている会社名、製品名などは、各社の商標または登録商標です。



## I. プロセスについて

### 1. プロセス説明

#### [概要]

高耐圧(42V)対応可能な CMOS プロセスであり、高耐圧 CMOS、5VCMOS、拡散抵抗、poly-Si 抵抗、コンデンサ、ダイオードを形成可能である。 オープン版 PDK では、一部素子について非公開とする。

デバイス構造は、WELL、LOCOS による素子分離構造である。

マスク枚数は 24 枚 非公開 、インプラは 18 工程である。ウェハは P 型シリコンウェハを用いる。  
PW (P 型 WELL) および P-sub は GND 接続して使用する。

#### [プロセスフロー]

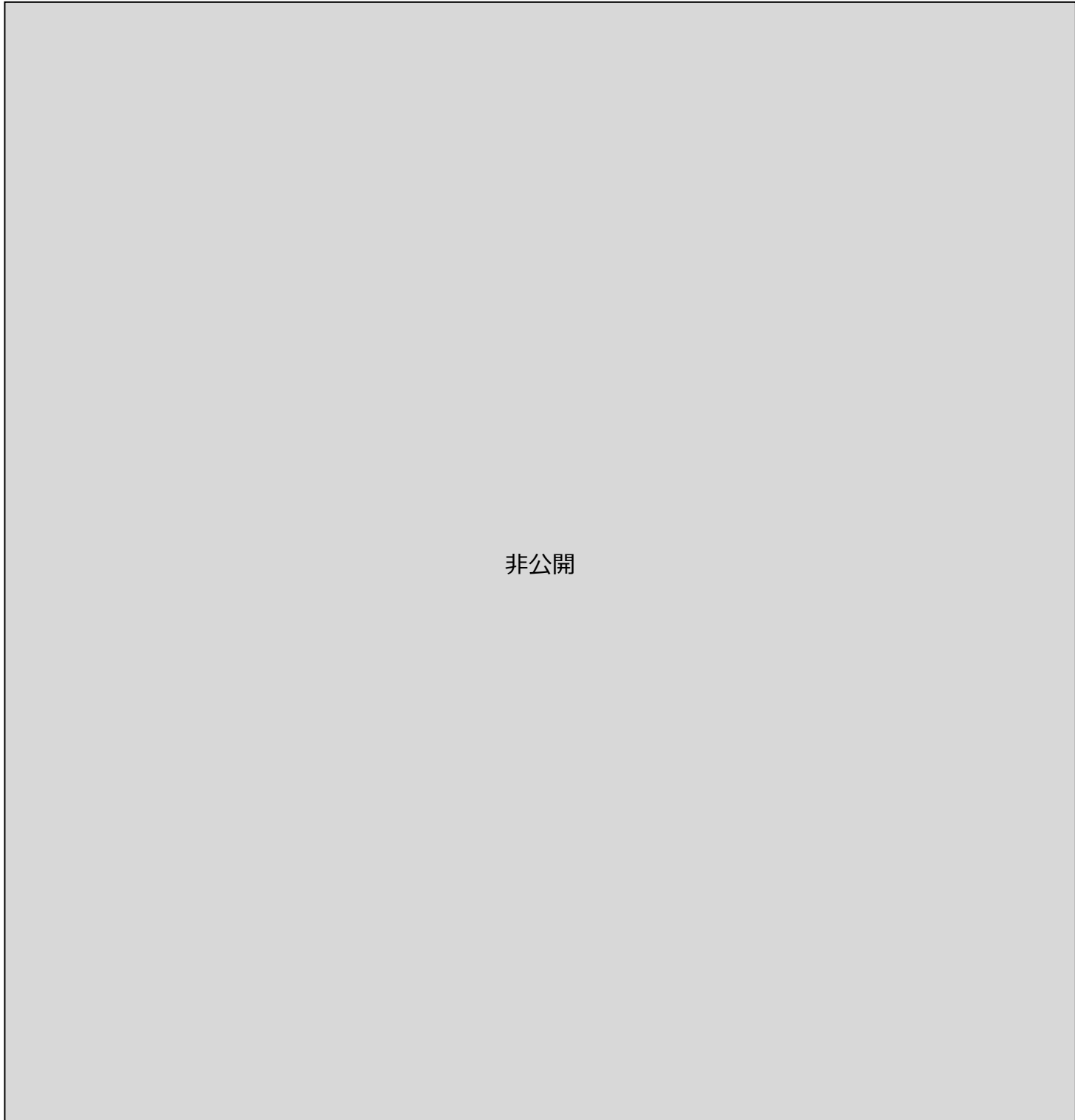


図 I-1-1. プロセスフロー



## [ マスクレイヤー構成 ]

表 I-1-1. マスクレイヤー一覧

No.	レイヤ				素子														レイヤ概略		
	名称	レイヤNo.	Stream No.	データ	PMOS	NMOS	HVPMOS	HVNMOS	RH	RHHV	RR	RN	RNHV	RS	CSIO	DP	DN				
1	PSUB	140	140	白	●		非公開				●				●	●		PW/P-sub層の切り分け			
2	NW	36	36	白	●													NW/P-sub層の切り分け			
3	HVNW	141	141	白														HVNW（低濃度NW）/P-sub層の切り分け			
4	L	3	3	黒	●	●												●	LOCOS/パターン形成（素子分離）		
5	NF	25	25	黒	●													●	●	素子周辺P+層形成（NMOS用など）	
6	PF	26	26	白	●														●	素子周辺N+層形成（PMOS用など）	
7	CL	143	143	白															●	CSIO下部電極形成	
8	HPBE	144	144	白																HVPMOSしきい値電圧調整	
9	HNBE	145	145	白																HVNMOSしきい値電圧調整	
10	PBE	146	146	白	●															PMOSしきい値電圧調整	
11	NBE	147	147	白		●														NMOSしきい値電圧調整	
12	HPM	33	33	黒	●	●												●	●	●	HVPMOSオフセット領域（電界緩和）形成
13	RHP	148	148	白																RH抵抗形成	
14	SG	8	8	黒	●	●												●	●	●	CMOS,HVCMOSゲート形成、CSIO上部電極形成
15	PM	35	35	黒	●	●												●	●	●	PMOS LDD形成
16	NM	7	7	黒	●	●												●	●	●	NMOS LDD形成
17	R	12	12	白																RR抵抗形成	
18	PSD	9	9	黒	●	●												●	●	●	PMOS/HVPMOSソース、ドレイン形成
19	NSD	28	28	黒	●	●												●	●	●	NMOS/HVNMOSソース、ドレイン形成
20	CONT	11	11	白			すべての素子で必要											コンタクト形成			
21	M1	13	13	黒														メタル1層目配線			
22	TC	19	19	白														メタル1-メタル2 スルーホール形成			
23	M2	20	20	黒														メタル2層目配線			
非公開																					
26	PRO	14	14	白			すべての素子で必要											パッド開口部形成			

## [ ドキュメントリスト ]

表 I-1-2. ドキュメントリスト

ドキュメント	掲載帳票	Section	Revision	Date
デザインマニュアル	本帳票	I.1～I.4	—	—
電氣的パラメータ	本帳票	I.2	—	—
レイアウトルール	本帳票	I.4	—	—
SPICE model	本帳票	II	—	—
RF パラメータ/モデル	無	—	—	—
Noise モデル	無	—	—	—
マッチング	無	—	—	—
DRC/LVS	本帳票	IV	—	—
寄生抽出	無	—	—	—
Layer Map	本帳票	I.1	—	—



非公開

[ オープンソース EDA 対応表 ]

表 I-1-4. オープンソース EDA 対応表

Type	Tool	Version ※
Schematic	XSCHEM	3.4.4-win64
Circuit Simulator	Ngspice	41_64
Layout Editor, DRC, LVS	KLayout	0.29.6-win64

※東海理化環境



## 2. 素子特性

### 2. 1 素子リスト

表 I-2-1. 素子リスト

素子名	L(um)	W(um)	Spice Model 名	PCELL 名	備考
5VPMOS	1~30um	3.4~60um	PMOS	MP	
5VNMOS	1~30um	3.4~60um	NMOS	MN	※1
HVPMOS	非公開				
HVNMOS					
RH					
RHHV					
RR	13~100um	2.8、4、6、12、20um	F_RR	RR	p-diff, 中抵抗
RN	非公開				
RNHV					
RS	15~100um	4、6、12、20um	F_RS	RS	Poly-Si 抵抗
C	28.5~120um	28.5~120um	m_CSIO	CSIO	
ダイオード(P)	—	—	DP	DP	サイズ固定
ダイオード(N)	—	—	DN	DN	サイズ固定 主にゲート保護に使用 順方向電圧加えて使用しないこと
ESD	—	—	—	—	TBD

※1 5VNMOS、HVNMOS の BG、RN の島吊りは GND に接続のこと

非公開
-----

### 2. 2 電気的特性

[ 2. 2. 1 最大定格] …測定条件(Ta=25℃)

表 I-2-2. 最大定格

素子名	BVDS	BVGS	—	備考
5VNMOS	8V	15V	—	—
5VPMOS	-8V	-15V	—	—
HVNMOS	非公開			
HVPMOS				
素子名	V (端子間)	V (島-端子(下部))	V (島-P ウェル)	備考
RH	非公開			
RHHV				
RR	27V	27V	100V	p-diff, 中抵抗
RN	非公開			
RNHV				
素子名	Imax	—	—	備考
RS	10mA	—	—	Poly-Si 抵抗
素子名	V (上部 - 下部電極)	V(下部電極-P ウェル)	—	備考
C	15V	50V	—	—
素子名	Vr	—	—	備考
DP	10V	—	—	—
DN	13V	—	—	—



## [ 2. 2. 2 MOSトランジスタ特性表]

表 I-2-3. MOSトランジスタ特性表

項目		記号	PMOS トランジスタ		NMOS トランジスタ		測定条件 (Ta=25℃)
			MP	MP0	MN	MN0	
推奨動作電圧	ドレイン・ソース間電圧	VDS [V]	-5.75	非公開	5.75	非公開	—
	ゲート・ソース間電圧	VGS [V]	±5.75		±5.75		—
	ソース・バルク間電圧	VSB [V]	-5.75		5.75		—
	ドレイン・バルク間電圧	VDB [V]	-5.75		5.75		—
	ゲート・ドレイン間電圧	VGD [V]	-5.75		5.75		—
	ゲート・バルク間電圧	VGB [V]	±5.75		±5.75		—
電気的特性	外挿しきい電圧	VTHO [V]	-0.93		0.85		—
	しきい電圧	VTH [V]	-0.55		0.55		Pch:Vds = -5V Nch:Vds = 5V
	$\beta_0$	mA/V <sup>2</sup>	-0.3		1.1		W/L=12.5/1.0
	ゲート入力容量	Ciss [pF]	TBD		TBD		—
	ドレイン接合容量	Cd [pF]	TBD		TBD		—

※動作保証温度 … Tj -40℃～150℃

## 断面構造

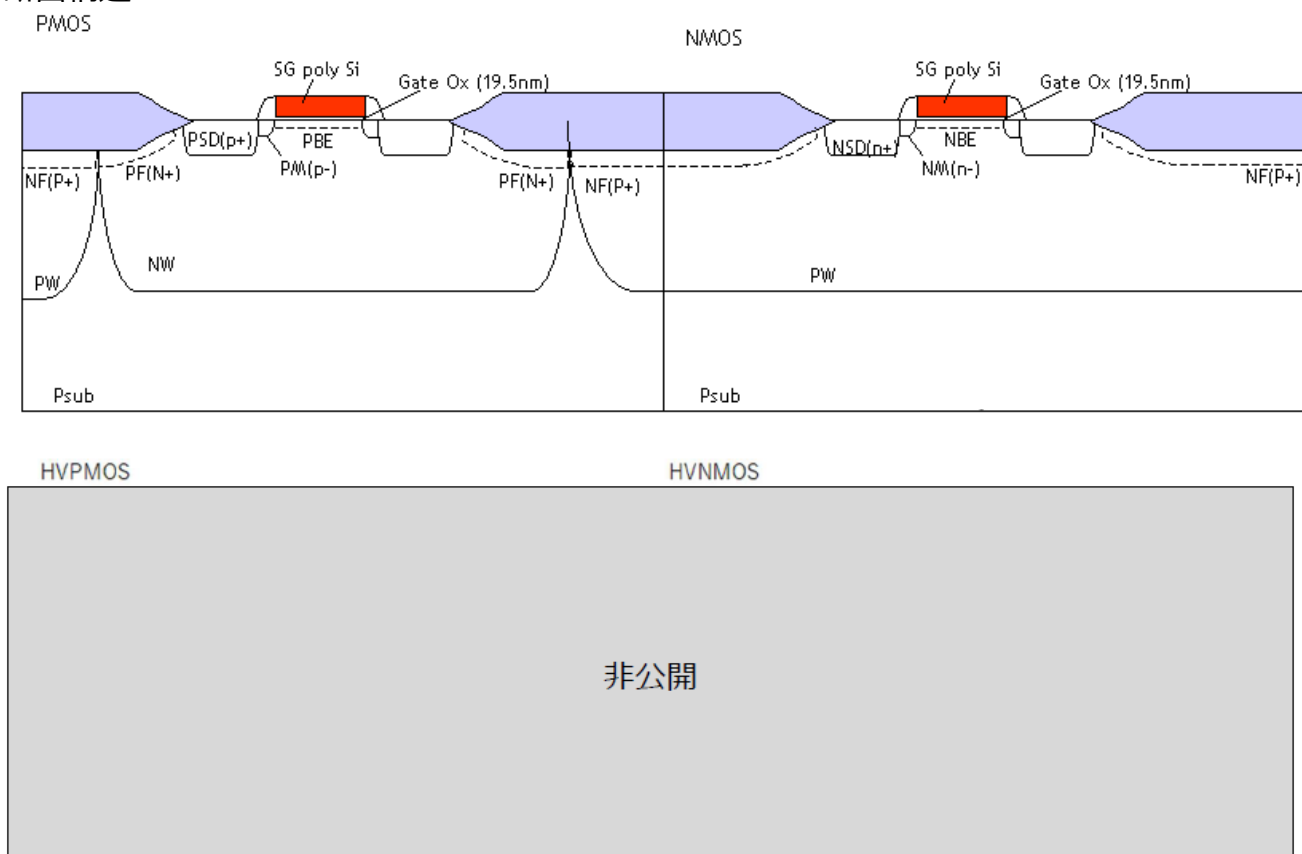


図 I-2-1. MOSトランジスタ断面構造





## [ 2. 2. 3 抵抗特性表]

表 I-2-4. 抵抗特性表

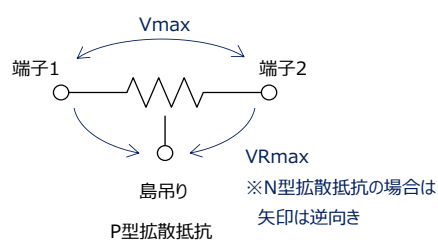
項目	記号	拡散抵抗					Poly-Si 抵抗
		RH	RHHV	RR	RN	RNHV	
シート抵抗	$\rho_s$ [ $\Omega/\square$ ]	非公開		1000	非公開		120
絶対精度	$\Delta R/R$ [%] (抵抗幅)			$\pm 15$ ( $W=6\mu m$ )			$\pm 15$ ( $W=6\mu m$ )
電圧依存性	$V_c$ [%/V] (typ)			$\times 2$			$\times 2$
温度特性	$T_c$ [%/°C] (typ)			$\times 3$			$\times 3$
最大両端電圧	$V_{max}$ [V]			27			6
最大逆バイアス電圧	$V_{Rmax}$ [V]			27			—

※1 動作保証温度 …  $T_j$  -40°C～150°C

※2 I-V カーブをご確認ください (2. 2. 6 項)

※3 温度特性をご確認ください (2. 2. 7 項)

記号の説明



## 断面構造

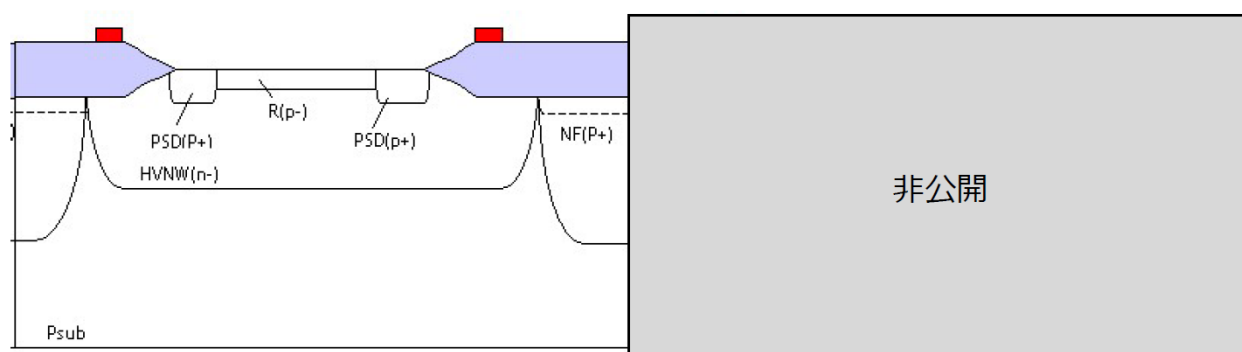
RHHV抵抗(高抵抗)

RH抵抗(高抵抗)



RR抵抗(中抵抗)

RN抵抗(低抵抗 低耐压タイプ)



RN-HV抵抗(低抵抗 高耐压タイプ)

RS抵抗(poly Si)

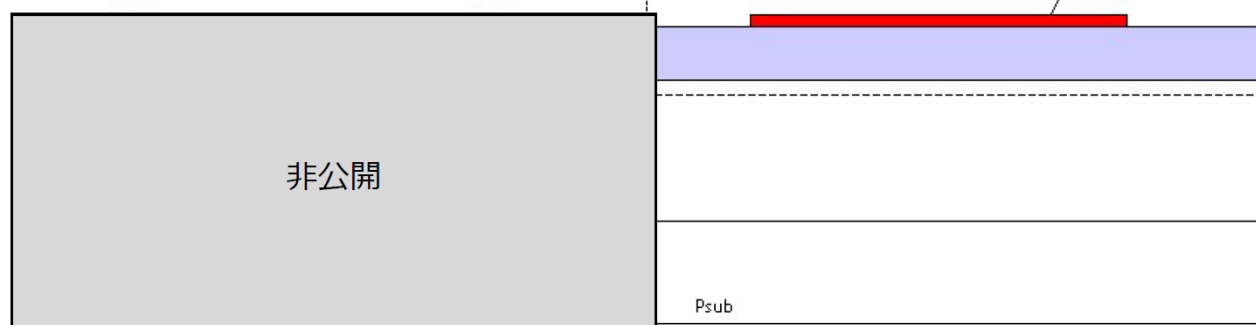


図 I-2-2. 抵抗断面構造



## [ 2. 2. 4 容量特性表]

表 I-2-5. 容量特性表

項目	記号	容量	備考
		CSIO	
容量値	Co [fF/μm <sup>2</sup> ]	0.6	
絶対精度	ΔC/C [%]	20	
電圧依存性	Vc [%/V] (typ)	※2	
温度特性	Tc [%/℃] (typ)	※3	
最大両端電圧	Vmax [V]	5.75	
最大逆バイアス電圧	VRmax [V]	50	

※1 動作保証温度 … Tj -40℃～150℃

※2 I-V カーブをご確認ください (2. 2. 6 項)

※3 温度特性をご確認ください (2. 2. 7 項)

## 断面構造

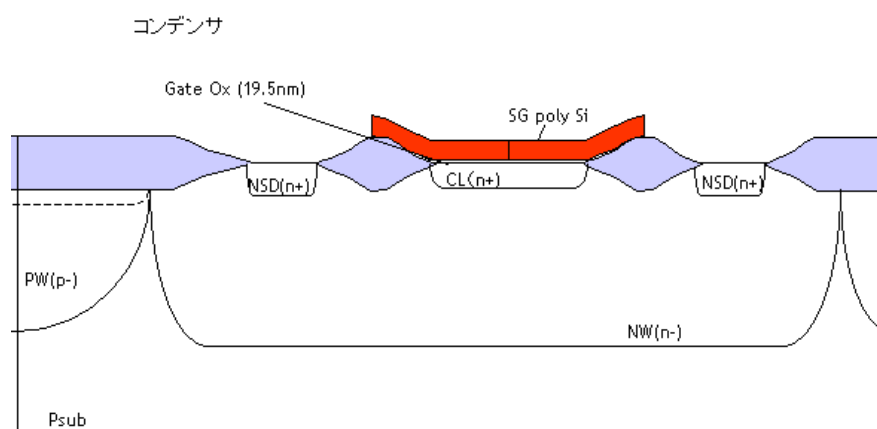


図 I-2-3. 容量断面構造

## [ 2. 2. 5 ダイオード特性表]

表 I-2-6. ダイオード特性表

項目		ダイオード	
		DP	DN
逆電圧	VR[V]	5.75	5.75

※1 動作保証温度 … Tj -40℃～150℃

## 断面構造

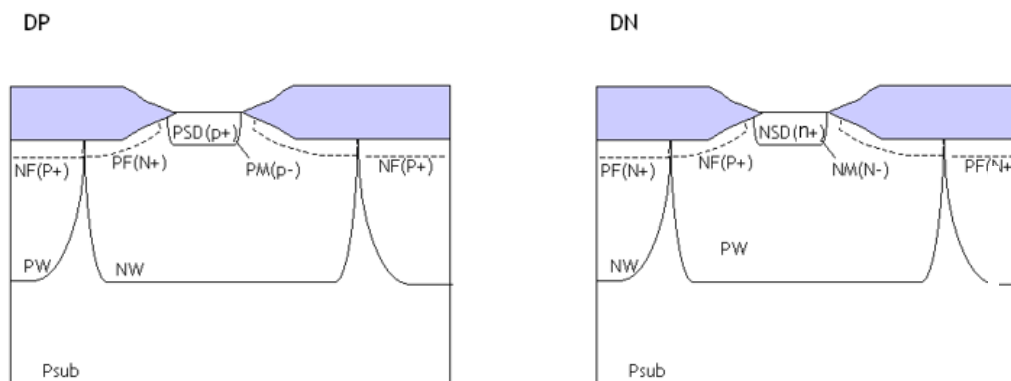


図 I-2-4. ダイオード断面構造



[ 2. 2. 6 素子の I-V カーブ] 測定温度  $T_a = 25^\circ\text{C}$ 

表 I-2-7. CMOS トランジスタ

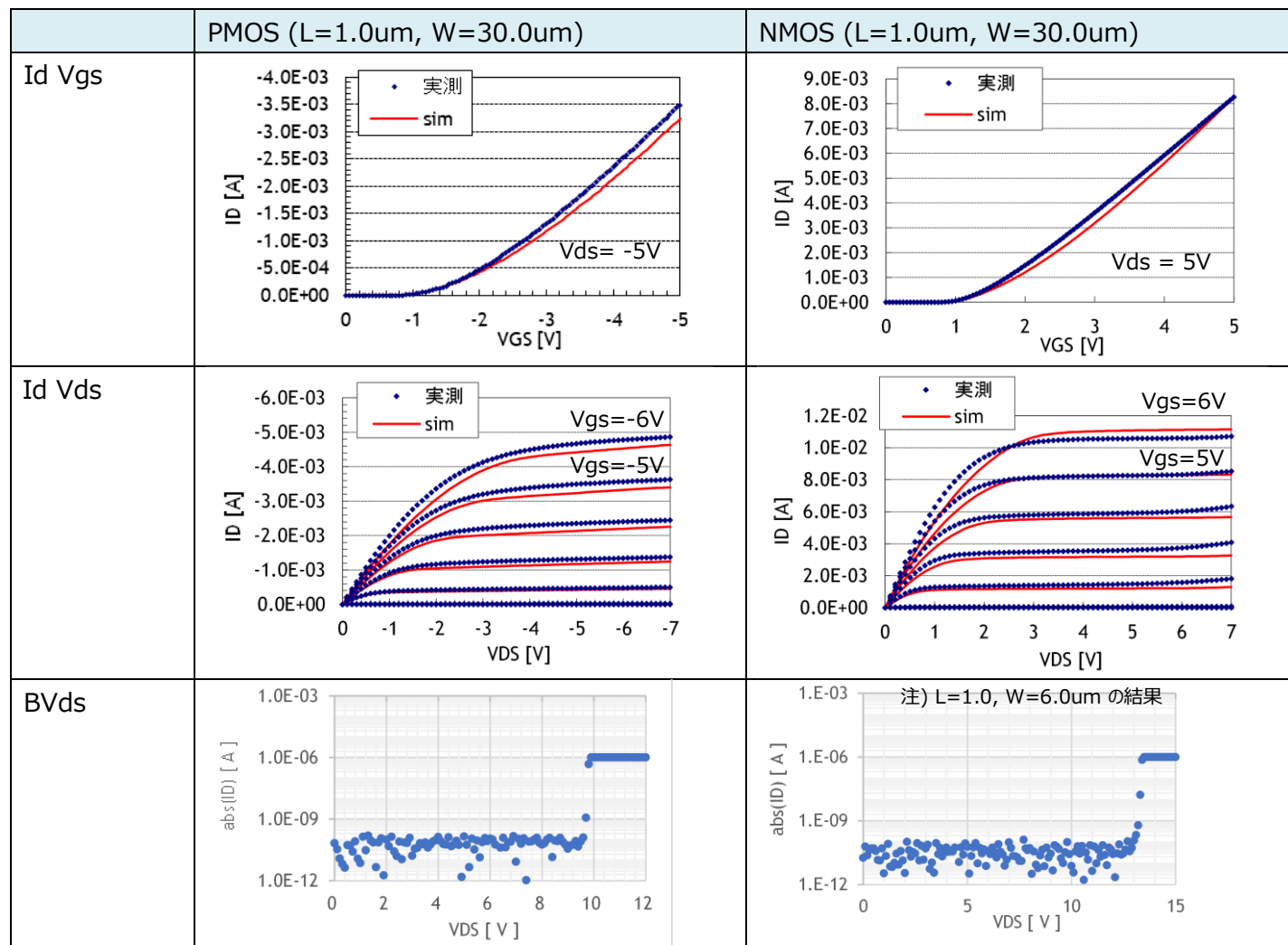


表 I-2-8. HVCMOS トランジスタ

HVPMOS ( $L=3.5\mu\text{m}$ , $W=30.0\mu\text{m}$ )	HVNMOS ( $L=6.0\mu\text{m}$ , $W=60.0\mu\text{m}$ )
非公開	



表 I-2-9. 抵抗 (1/2)

	I-V	Res-V
非公開		
RR  L=20.0um W=2.8um		
RR  L=20.0um W=4.0um		

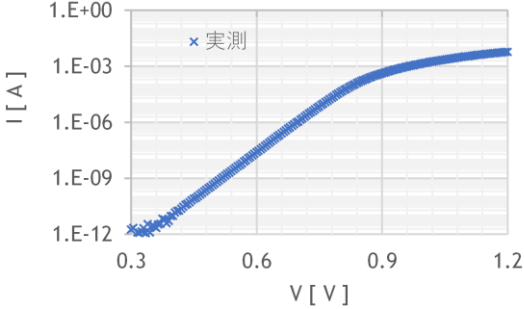
表 I-2-9. 抵抗 (2/2)

	I-V	Res-V
非公開		
RS  L=50.0um W=4.0um		

表 I-2-10. 容量

Cap  L=37.1um W=37.1um	

表 I-2-11. ダイオード

	Vf	Vr
DP		PMOS の BVds 参照
DN	カソード(PW)は 0V 以下禁止の為、 Vf 特性は未取得	NMOS の BVds 参照



## [ 2. 2. 7 温度特性 ]

表 I-2-12. 抵抗 (1/2)

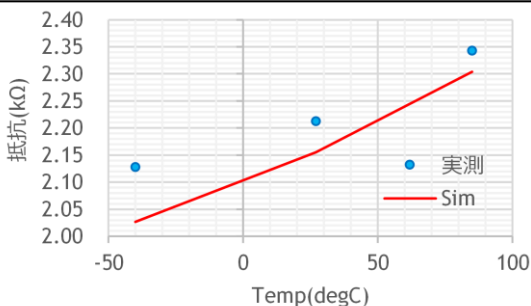
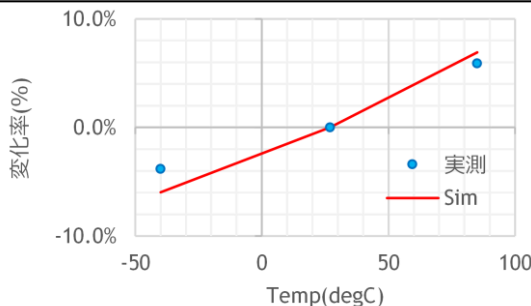
	抵抗-Temp	変化率-Temp
	非公開	
RR  L=20.0um W=6.0um  端子間電圧 0.2V		
	非公開	



表 I-2-12. 抵抗 (2/2)

	抵抗-Temp	変化率-Temp
RS  L=50.0um W=4.0um  端子間電圧 0.2V		

※L = 50um 未満は温度特性未評価

表 I-2-13. 容量

	容量-Temp	変化率-Temp
CSIO		

表 I-2-14. ダイオード

	電流-Temp (Vf = 0.7V)
DP	



### 3. 回路設計基準

#### 3.1 配線許容電流

配線層 各々のフィールド上の配線許容電流を下記の表に示す。

レイアウト設計時は表中の許容電流の値をこえないように注意すること。

表 I-3-1. 許容電流

配線名 (幅)	許容電流
M1 (2um)	900uA
M2 (3um)	3.7mA

非公開

#### 3.2 段差許容電流

TC 等、段差を含むメタル配線の許容電流を下記の表に示す。(TC:スルーホール形成レイヤ)

レイアウト設計時は表中の許容電流の値をこえないように注意すること。

表 I-3-3. 段差部の許容電流

段差名 (幅)	許容電流
段差部における M1 (2um)	500uA
TC (1.4um□)	780uA/ケ

※TC については瞬時電流で 7.8mA/ケを越えないこと

非公開



## 4. レイアウト設計基準

距離基準（WELL 間、素子間、配線間）

寸法基準（WELL、コンタクト、VIA、配線）

[各レイヤの最小寸法ルールについて]

各レイヤの最小寸法ルール及びスペースルールについて下記の表に示す。

表 I-4-1. 最小寸法ルール

レイヤ		マスクルール[um]	
No	名称	最小幅	最小間隔
1	PSUB	8.0	4.0
2	NW	8.0	4.0
3	HVNW	8.0	4.0
4	L	1.4	1.4
5	NF	8.0	2.0
6	PF	3.0	2.0
7	CL	3.0	3.0
8	HPBE	4.2	2.6
9	HNBE	4.2	2.6
10	PBE	4.2	2.6
11	NBE	4.2	2.6
12	HPM	4.2	2.6
13	RHP	4.2	2.6
14	SG	1.0	1.2
15	PM	4.2	2.6
16	NM	4.2	2.6
17	R	4.0	2.6
18	PSD	3.8	2.2
19	NSD	2.6	2.6
20	CONT	1.0	1.0
21	M1	1.8	1.4
22	TC	1.4	1.5
23	M2	3.0	2.0
24	-	-	-
25	-	-	-
26	PRO	10.0	20.0

非公開



[各レイヤのエンクロージャルールについて]

各レイヤのエンクロージャルールを下記の表に示す。

表 I-4-2. エンクロージャルール

対象レイヤ	エンクロージャ[um]
L-CONT	0.8
SG-CONT	0.8
M1-CONT	0.8
M1-TC	1.0
M2-TC	1.0

非公開

[素子内ルール記述について]

素子内ルールの記述について以下に示す。

・エンクロージャ(ENC)

エンクロージャについて、図 I-4-1 に示す図形の場合以下のように示す。

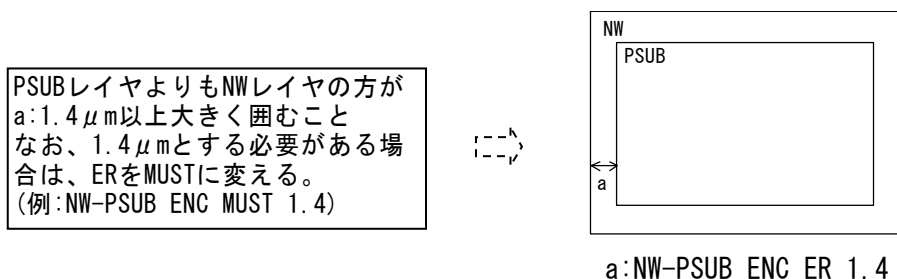


図 I-4-1. エンクロージャ

・スペース (SP)

スペースについて、図 I-4-2 に示す図形の場合以下のように示す。



図 I-4-2. スペース

・レイヤ有無検出ルール

必要レイヤの検出は、NOT ON、不要レイヤの検出は ON とする。また、複数のレイヤが一致している必要がある場合、UNMATCH とする。

エラー表示例

MNO NOT ON HPM ER : MNO 上に HPM がない (必要だがデータがない)

MNO ON NW ER : MNO 上に NW がある (不要だがデータがある)



## 5. 共通デザインルール

各素子に共通のデザインルールについて以下に示す。

表 I-5-1. 共通デザインルール (1/4)

[illegible]

表 I-5-1. 共通デザインルール (2/4)

レイヤ名	エラー番号	エラー内容表示	ルール (μm)	記号	備考	図
PSUB (MOS)	ER0102	NW-PSUB(MP) ENC ER 1.5	1.5	b		
	ER0103	PSUB(MPO) SP ER 8.0	8.0	c		
	ER0104	PSUB(MP) SP ER 12.0	12.0	d		
	ER0105	PSUB(MPO)-PSUB(MP) SP ER 9.5	9.5	e		
	ER0107	PSUB(MPO)-PSUB(RH) SP ER 8.0	8.0	g		
	ER0108	PSUB(MPO)-PSUB(RR) SP ER 8.0	8.0	g		
	ER0109	PSUB(MPO)-PSUB(RNHV) SP ER 8.0	8.0	g		
	ER0110	PSUB(MP)-PSUB(RH) SP ER 9.5	9.5	h		
	ER0111	PSUB(MP)-PSUB(RR) SP ER 9.5	9.5	h		
	ER0112	PSUB(MP)-PSUB(RNHV) SP ER 8.0	8.0	h		
	ER0113	HVNW-PSUB(MPO) ENC ER 1.5	1.5	i		
	ER0114	DLMNO(MNO)-PSUB(MP) SP ER 9.5	9.5	j		
	ER0115	DLMNO(MNO)-PSUB(MPO) SP ER 6.5	6.5	k		
	ER0116	DLMNO(MNO) SP 5.0	5.0	z		
	ER0117	DLMNO(MNO)-PSUB(RH) SP ER 6.5	6.5	l		
	ER0118	DLMNO(MNO)-PSUB(RR) SP ER 6.5	6.5	l		
	ER0119	DLMNO(MNO)-PSUB(RNHV) SP ER 6.5	6.5	l		
	ER0120	HVNW-PSUB(MNO) ENC ER 1.5	1.5	m		
	ER0121	PSUB(RH) SP ER 8.0	8.0	n		
	ER0122	PSUB(RR) SP ER 8.0	8.0	n		
	ER0123	PSUB(RNHV) SP ER 8.0	8.0	n		
	ER0124	PSUB(RR)-PSUB(RH) SP ER 8.0	8.0	n		
	ER0125	PSUB(RR)-PSUB(RNHV) SP ER 8.0	8.0	n		
	ER0126	PSUB(RH)-PSUB(RNHV) SP ER 8.0	8.0	n		
	ER0127	PSUB-L(MN) SP ER 10.0	10.0	o		
	ER0128	PSUB-L(RN) SP ER 10.0	10.0	p		
	ER0129	PSUB(CSIO) SP ER 12.0	12.0	q		
	ER0130	PSUB(CSIO)-PSUB(MP) SP ER 12.0	12.0	r		
	ER0131	PSUB(CSIO)-PSUB(RH) SP ER 9.5	9.5	s		
	ER0132	PSUB(CSIO)-PSUB(RR) SP ER 9.5	9.5	s		
	ER0133	PSUB(CSIO)-PSUB(MNO) SP ER 9.5	9.5	t		
	ER0134	PSUB(CSIO)-PSUB(MPO) SP ER 9.5	9.5	u		
	ER0135	PSUB(DPE) SP ER 12.0	12.0	v		
	ER0136	PSUB(DPE)-PSUB(MP) SP ER 12.0	12.0	w		
	ER0137	PSUB(DPE)-PSUB(MPO) SP ER 9.5	9.5	x		
	ER0138	PSUB(DPE)-PSUB(CSIO) SP ER 12.0	12.0	y		
	ER0139	PSUB(DP) SP ER 12.0	12.0	v		
	ER0140	PSUB(DP)-PSUB(MP) SP ER 12.0	12.0	w		
	ER0141	PSUB(DP)-PSUB(MPO) SP ER 9.5	9.5	x		
	ER0142	PSUB(DP)-PSUB(CSIO) SP ER 12.0	12.0	y		
PSUB	ER0201	PSUB(CSIO)-L(BGMN) SP ER 5.0	5.0	a		
PSUB (PF/NF)	ER0301	PF NOT INSIDE PSUB ER	-	-		<p>※PSUBレイヤ無き箇所は全てPWとなる</p>
L (MOS)						

表 I-5-1. 共通デザインルール (3/4)

レイヤ名	エラー番号	エラー内容表示	RULE ルール	記号	備考	図
SG	ER0701	SG(MOS) WIDTH ER 1.0	1.0	b	チャネルストップ用SGは島電位に接続されているか	<p>SG(MOS)は MOS (MP, MN, MPO, MNO) 上のSGを示す</p>
	ER0704	SG NOT ON CONT WARNING	—	e		
	ER0705	SG(RH) NOT CONNECT BGRH	—	i		
	ER0706	SG(RR) NOT CONNECT BGRR	—	i		
	ER0707	SG(RN) NOT CONNECT BGRN	—	i		
	ER0708	SG(RHHV) NOT CONNECT BGRH	—	i		
L-SG ハレーション	ER0901	SG-L ENDCAP ER 2.4	2.4	a	b部の距離がSGの両側とも 1.2μm以下の場合 a≧2.4μm SGの片側のみ1.2μm以下の場合 c≧1.2μm	
	ER0902	SG-L ENDCAP ER 1.2	1.2	c		
ダイオード	ER1001	PMOS GATE PROTECT WARNING	—	—	ゲート保護ダイオードの有無を確認するもの。 MOSゲート (SG) がSGCTからM1を経てTCに至る過程に、拡散層へのCONTがない場合、TCエッチング時のチャージ電荷によるTC穴からのアンテナ効果で、Vthシフト、ゲート破壊を招くことがある。 この項目は、各MOSゲート -M1 -TC間を追跡して、PMOS系はP型拡散層、NMOS系はN型拡散層が接続しているか確認して、未接続時は当該M1/パターンを表示する。 ゲート保護ダイオードは、ベア比の要求されるMOSゲートのチャージアップ対策に使うが、回路図で記述の無い場合も多い。(カレントミラー回路等)。 本項目が検出された場合、保護ダイオードの挿入可否を再検討すること。	
	ER1002	NMOS GATE PROTECT WARNING	—	—		
	ER1003	HVPMOS GATE PROTECT WARNING	—	—		
	ER1004	HVMOS GATE PROTECT WARNING	—	—		
L (RH,RR)					L(RN), L(BGRN)の図示は省略 異なる耐圧の抵抗の共存不可 異なる耐圧の抵抗の共存不可	
	ER1104	L(RR)-L(BGRR),L(RH)-L(BGRH), L(RN)-L(BGRN) SP4.0	4.0	d		
	ER1105	L(RHHV)-L(BGRR,BGRH) SP 5.5	5.5	e		
	ER1106	PSUB(RR) IN OTHER R ER	—	g		
	ER1107	PSUB(RH) IN OTHER R ER	—	g		
	ER1108	PSUB(RHHV) IN OTHER R ER	—	g		
CONT	ER1202	MINMUM CONT ER 1.0	1.0	b	b:AS=1.00μm2以上 CONTS:AS=1.5μm2未満のもの	
	ER1203	CONTS SP ER 1.0	1.0	c		
	ER1204	M1-CONTS ENC ER 0.8	0.8	d		
	ER1205	L-CONTS ENC ER 0.8	0.8	d		
	ER1206	SG-CONTS ENC ER 0.8	0.8	e		
	ER1207	CONT NOT ON L/SG/M1 ER	—	—		
	ER1301	L-CONTL ENC ER 1.2	1.2	a	CONT長97μmまで CONTL:AS=1.5μm2以上のもの	
	ER1302	BIG CONT(L=97) OVER ER	97.0	b		
	ER1303	CONTL-CONT SP ER 1.6	1.6	c		
	ER1305	M1-CONTL ENC ER 1.2	1.2	a		
	ER1307	CONTL ON SG ER	—	—		
M1	ER1402	M1(W10OVER&MIX) SP ER 2.0	2.0	b	W>10μm W>10μm W≤10μm W≤10μm	
	ER1404	M1(W10UNDER)SP ER 1.4	1.4	d		



表 I-5-1. 共通デザインルール (4/4)

レイヤ名	エラー番号	エラー内容表示	ルール ( $\mu\text{m}$ )	記号	備考	図
TC	ER1501	TC MIN WIDTH ER 1.4	1.4	a		<p>i: TCは、1.4<math>\mu\text{m}</math>角のみ使用する k: コンタクト上、SG上のTC配置禁止</p>
	ER1502	TC MAX WIDTH ER 1.42	1.42	a		
	ER1506	TC-CONTS SP ER 1.0	1.0	e		
	ER1507	TC-CONTL SP ER 1.4	1.4	f		
	ER1508	TC-SG SP ER 1.2	1.2	g		
	ER1511	TC MIN AREA 1.96UM2 UNDER ER	—	i		
	ER1512	TC MAX AREA 2.00UM2 OVER ER	—	i		
	ER1513	TC ON CONT ER	—	k		
	ER1514	TC ON SG ER	—	k		
	ER1515	TC NOT ON M1/M2 ER	—	—		
TC23	非公開					
PRO						
	ER1703	M1-PRO ENC ER 5.0	5.0	c		
	ER1704	M2-PRO ENC ER 5.0	5.0	c		
	ER1706	PRO NOT ON M1/M2 ER	—	—	2層配線時 固定ルール	
	非公開					
パッド	ER1801	M1 PAD SP ER 14.0	14.0	a		
	ER1802	M2 PAD SP ER 14.0	14.0	a		
	ER1803	M1 H14×W40 UNDER WIDTH ER	40.0	b		
			14.0	c		
	ER1804	M2 H14×W40 UNDER WIDTH ER	40.0	b		
			14.0	c		
	ER1807	PAD METAL-SG SP ER 14.0	14.0	d		
	ER1808	PAD METAL-L SP ER 14.0	14.0	e		
	ER1809	PAD PRO WIDTH ER 70.0	70.0	f		
	ER1810	PAD PRO SP ER 64.0	64.0	g		
	ER1811	PAD M1-TC ENC ER 15.0	15.0	h		
	ER1812	PAD M2-TC ENC ER 15.0	15.0	h		
		非公開				
パッド周辺	ER1901	SIDEMETAL M1 SP 5.0	5.0	—	スライブ ALとその内側のM1のλA* -ス	
	ER1902	SIDEMETAL M2 SP 5.0	5.0	—	スライブ ALとその内側のM2のλA* -ス	
	ER1903	M1 MAXWIDTH 45.0	45.0	—		
	ER1904	M2 MAXWIDTH 45.0	45.0	—		
	非公開					

## 6. 素子別デザインルール

素子セル内のデザインルールを示す。

KLayout によるレイアウト設計では、pcell を使用することを前提とし、各素子デザインルール表の KLayout DRC 欄に"○"のあるエラーのみ検証する。



## 6.1 PMOS (MP) / DP MPの素子内デザインルールを示す。

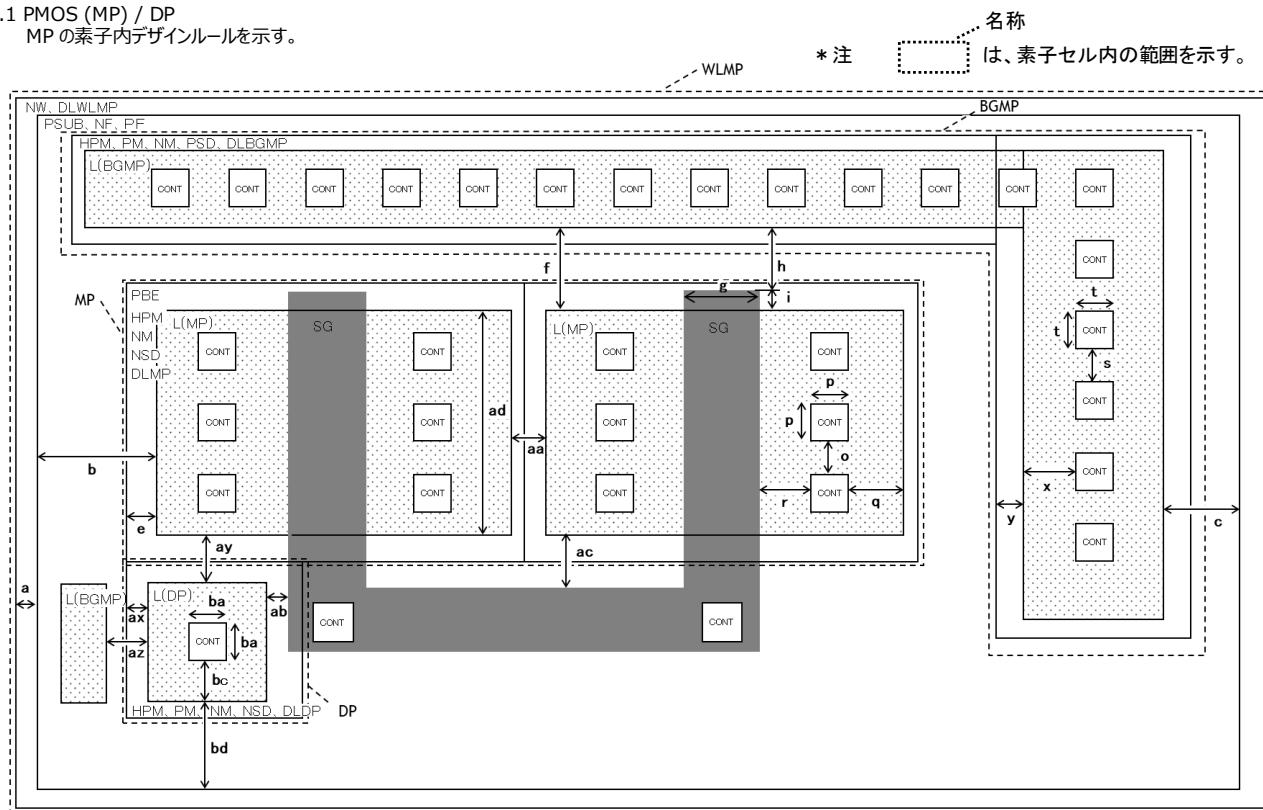


図 I-6-1. MPデザインルール

表 I-6-1. MPデザインルール

### ・WLMP内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERWLM01	NW(WLMP)-PSUB ENC ER 1.5	a	1.5	
ERWLM02	PSUB(WLMP)-L(MP) ENC ER 7.0	b	7.0	○
ERWLM03	PSUB(WLMP)-L(BGMP) ENC ER 5.0	c	5.0	○
ERWLM04	L(MP)-L(BGMP) SP ER 2.8	f	2.8	○
ERWLM05	SG-L(BGMP) SP ER 0.4	h	0.4	○
ERWLM07	SG-L(MP) SP ER 0.4	ac	0.4	
ERWLM08	L(MP)-L(DP) SP ER 2.8	ay	2.8	○
ERWLM09	L(DP)-L(BGMP) SP ER 2.8	az	2.8	○
ERWLM10	PSUB-NF-PF UNMATCH ER	-	-	
ERWLM12	DLWMP-NW UNMATCH ER	-	-	
ERWLM13	PSUB NOT ON WLMP ER	-	-	

### ・MP内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERMP01	PBE-L(MP) ENC ER 1.4	e	1.4	
ERMP02	HPM-L(MP) ENC ER 1.4	e	1.4	
ERMP03	NM-L(MP) ENC ER 1.4	e	1.4	
ERMP04	NSD-L(MP) ENC ER 1.4	e	1.4	
ERMP05	SG WIDTH ER 1.0	g	1.0	
ERMP06	MP ENDCAP ER 1.2	i	1.2	
ERMP08	CONT(MP) SP MUST 1.0	o	1.0	
ERMP09	CONT(MP) WIDTH MUST 1.0	p	1.0	
ERMP10	L-CONT ENC ER 0.8	q	0.8	
ERMP11	SG(MP)-CONT SP MUST 1.0	r	1.0	
ERMP12	L SPCAE ER 1.4	aa	1.4	
ERMP13	L(MP) WIDTH ER 3.4	ad	3.4	○
ERMP14	MP NOT ON DLWMP ER	-	-	○
ERMP15	MP NOT ON PSUB ER	-	-	○
ERMP16	MP NOT ON NW ER	-	-	○
ERMP17	MP NOT ON NF ER	-	-	○
ERMP18	MP NOT ON PF ER	-	-	○
ERMP19	PBE NOT ON MP ER	-	-	
ERMP20	HPM NOT ON MP ER	-	-	
ERMP21	NM NOT ON MP ER	-	-	
ERMP22	NSD NOT ON MP ER	-	-	
ERMP23	MP ON HVNW ER	-	-	○
ERMP24	CL ON MP ER	-	-	○
ERMP25	HPBE ON MP ER	-	-	○
ERMP26	HNBE ON MP ER	-	-	○
ERMP27	NBE ON MP ER	-	-	○
ERMP28	PM ON MP ER	-	-	○
ERMP29	R ON MP ER	-	-	○
ERMP30	PSD ON MP ER	-	-	○

### ・BGMP内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERBGMP01	CONT(BGMP) SP ER 1.0	s	1.0	
ERBGMP02	CONT(BGMP) WIDTH MUST 1.0	t	1.0	
ERBGMP03	L-CONT ENC ER 0.8	x	0.8	
ERBGMP04	HPM-L(BGMP) ENC ER 1.4	y	1.4	
ERBGMP05	PM-L(BGMP) ENC ER 1.4	y	1.4	
ERBGMP06	NM-L(BGMP) ENC ER 1.4	y	1.4	
ERBGMP07	PSD-L(BGMP) ENC ER 1.4	y	1.4	
ERBGMP09	HPM NOT ON BGMP ER	-	-	
ERBGMP10	PM NOT ON BGMP ER	-	-	
ERBGMP11	NM NOT ON BGMP ER	-	-	
ERBGMP12	PSD NOT ON BGMP ER	-	-	
ERBGMP13	BGMP NOT ON PSUB ER	-	-	○
ERBGMP14	BGMP NOT ON NW ER	-	-	○
ERBGMP15	BGMP NOT ON NF ER	-	-	○
ERBGMP16	BGMP NOT ON PF ER	-	-	○
ERBGMP17	BGMP ON HVNW ER	-	-	○
ERBGMP18	CL ON BGMP ER	-	-	○
ERBGMP19	HPBE ON BGMP ER	-	-	○
ERBGMP20	HNBE ON BGMP ER	-	-	○
ERBGMP21	PBE ON BGMP ER	-	-	○
ERBGMP22	NBE ON BGMP ER	-	-	○
ERBGMP23	R ON BGMP ER	-	-	○
ERBGMP24	NSD ON BGMP ER	-	-	○

### ・DP内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERDP01	SG-L(DP) SP ER 0.4	ab	0.4	○
ERDP02	HPM-L(DP) ENC ER 1.4	ax	1.4	
ERDP03	NM-L(DP) ENC ER 1.4	ax	1.4	
ERDP04	NSD-L(DP) ENC ER 1.4	ax	1.4	
ERDP05	CONT(DP) WIDTH MUST 1.2	ba	1.2	
ERDP07	HPM NOT ON DP ER	-	-	
ERDP08	NM NOT ON DP ER	-	-	
ERDP09	NSD NOT ON DP ER	-	-	
ERDP10	DP NOT ON PSUB ER	-	-	○
ERDP11	DP NOT ON NW ER	-	-	○
ERDP12	DP NOT ON NF ER	-	-	○
ERDP13	DP NOT ON PF ER	-	-	○
ERDP14	DP ON HVNW ER	-	-	○
ERDP15	CL ON DP ER	-	-	○
ERDP16	HPBE ON DP ER	-	-	○
ERDP17	HNBE ON DP ER	-	-	○
ERDP18	PBE ON DP ER	-	-	○
ERDP19	NBE ON DP ER	-	-	○
ERDP20	PM NOT ON DP ER	-	-	
ERDP21	R ON DP ER	-	-	○
ERDP22	PSD ON DP ER	-	-	○
ERDP23	PM-L(DP) ENC ER 1.4	ax	1.4	
ERDP24	L(DP)-CONT(DP) ENC ER 1.2	bc	1.2	
ERDP25	PSUB(WLMP)-L(DP) ENC ER 7.0	bd	7.0	○





## 6.2 NMOS (MN) / DN MNの素子内デザインルールを示す。

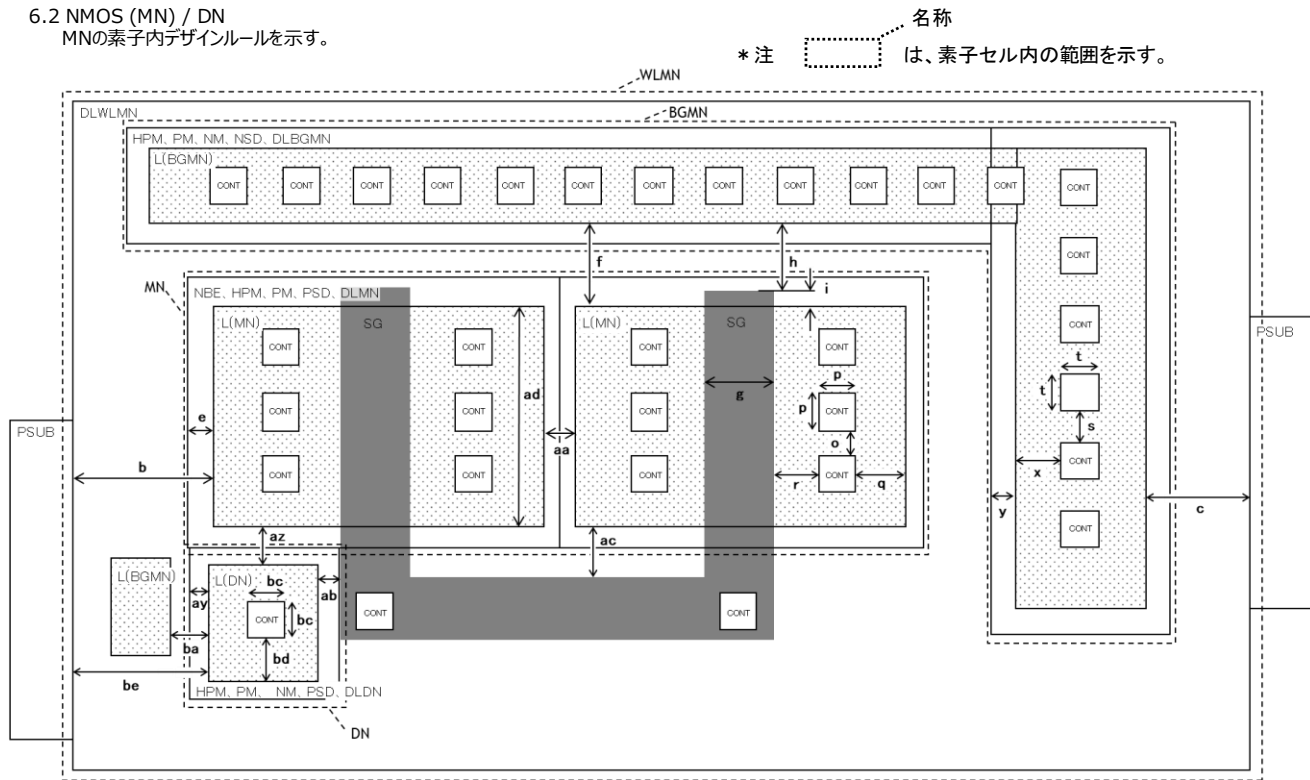


図 I-6-2. MNデザインルール

表 I-6-2. MNデザインルール

### ・WLMN内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERWLMN01	PSUB-L(MN) SP ER 10.0	b	10.0	
ERWLMN02	DLWLMN-L(MN) ENC ER 10.0	b	10.0	○
ERWLMN03	PSUB-L(BGMN) SP ER 5.0	c	5.0	
ERWLMN04	DLWLMN-L(BGMN) ENC ER 5.0	c	5.0	○
ERWLMN05	L(MN)-L(BGMN) SP ER 2.8	f	2.8	○
ERWLMN06	SG-L(BGMN) SP ER 0.4	h	0.4	○
ERWLMN08	SG-L(DN) SP ER 0.4	ab	0.4	○
ERWLMN09	SG-L(MN) SP ER 0.4	ac	0.4	
ERWLMN10	L(MN)-L(DN) SP ER 2.8	az	2.8	○
ERWLMN11	L(DN)-L(BGMN) SP ER 2.8	ba	2.8	○

### ・MN内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERMN01	NBE-L(MN) ENC ER 1.4	e	1.4	
ERMN02	HPM-L(MN) ENC ER 1.4	e	1.4	
ERMN03	PM-L(MN) ENC ER 1.4	e	1.4	
ERMN04	PSD-L(MN) ENC ER 1.4	e	1.4	
ERMN05	SG (MN) WIDTH ER 1.0	g	1.0	
ERMN06	MN ENDCAP ER 1.2	i	1.2	
ERMN09	CONT(MN) SP MUST 1.0	o	1.0	
ERMN10	CONT(MN) WIDTH MUST 1.0	p	1.0	
ERMN11	L-CONT ENC ER 0.8	q	0.8	
ERMN12	SG(MN)-CONT(MN) SP MUST 1.0	r	1.0	
ERMN13	L-CONT ENC ER 0.8	x	0.8	
ERMN14	L(MN) SP ER 1.4	aa	1.4	
ERMN15	L(MN) WIDTH ER 3.4	ad	3.4	○
ERMN16	MN ON PSUB ER	-	-	○
ERMN17	MN ON NW ER	-	-	○
ERMN18	MN ON NF ER	-	-	○
ERMN19	MN ON PF ER	-	-	○
ERMN20	NBE NOT ON MN ER	-	-	
ERMN21	HPM NOT ON MN ER	-	-	
ERMN22	PM NOT ON MN ER	-	-	
ERMN23	PSD NOT ON MN ER	-	-	
ERMN24	MN ON HVNW ER	-	-	○
ERMN25	CL ON MN ER	-	-	○
ERMN26	HPBE ON MN ER	-	-	○
ERMN27	HNBE ON MN ER	-	-	○
ERMN28	PBE ON MN ER	-	-	○
ERMN29	NM ON MN ER	-	-	○
ERMN30	R ON MN ER	-	-	○
ERMN31	NSD ON MN ER	-	-	○
ERMN32	MN NOT ON WLMN ER	-	-	○
ERMN33	DN NOT ON WLMN ER	-	-	○

### ・BGMN内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERBGMN01	CONT(BGMN) SP ER 1.0	s	1.0	
ERBGMN02	CONT(BGMN) WIDTH MUST 1.0	t	1.0	
ERBGMN03	L-CONT ENC ER 0.8	x	0.8	
ERBGMN04	HPM-L(BGMN) ENC ER 1.4	y	1.4	
ERBGMN05	PM-L(BGMN) ENC ER 1.4	y	1.4	
ERBGMN06	NM-L(BGMN) ENC ER 1.4	y	1.4	
ERBGMN07	NSD-L(BGMN) ENC ER 1.4	y	1.4	
ERBGMN08	HPM NOT ON BGMN ER	-	-	
ERBGMN09	PM NOT ON BGMN ER	-	-	
ERBGMN10	NM NOT ON BGMN ER	-	-	
ERBGMN11	NSD NOT ON BGMN ER	-	-	
ERBGMN12	BGMN ON PSUB ER	-	-	○
ERBGMN13	BGMN ON NW ER	-	-	○
ERBGMN14	BGMN ON NF ER	-	-	○
ERBGMN15	BGMN ON PF ER	-	-	○
ERBGMN16	BGMN ON HVNW ER	-	-	○
ERBGMN17	CL ON BGMN ER	-	-	○
ERBGMN18	HPBE ON BGMN ER	-	-	○
ERBGMN19	HNBE ON BGMN ER	-	-	○
ERBGMN20	PBE ON BGMN ER	-	-	○
ERBGMN21	NBE ON BGMN ER	-	-	○
ERBGMN22	R ON BGMN ER	-	-	○
ERBGMN23	PSD ON BGMN ER	-	-	○

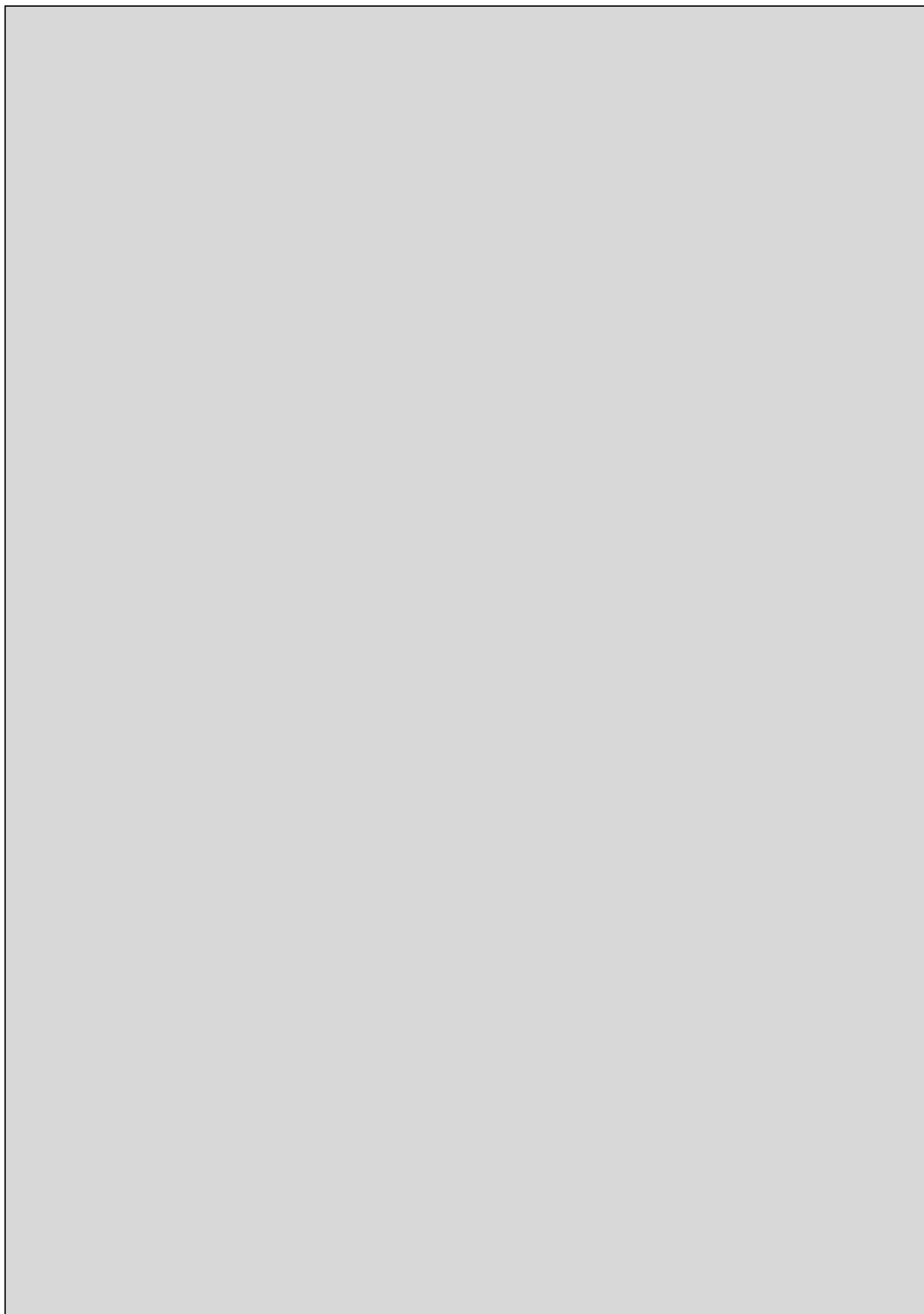
### ・DN内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERDN01	HPM-L(DN) ENC ER 1.4	ay	1.4	
ERDN02	PM-L(DN) ENC ER 1.4	ay	1.4	
ERDN03	PSD-L(DN) ENC ER 1.4	ay	1.4	
ERDN04	NM-L(DN) ENC ER 1.4	ay	1.4	
ERDN05	CONT(DN) WIDTH MUST 1.2	bc	1.2	
ERDN06	HPM NOT ON DN ER	-	-	
ERDN07	PM NOT ON DN ER	-	-	
ERDN08	PSD NOT ON DN ER	-	-	
ERDN09	DN ON PSUB ER	-	-	○
ERDN10	DN ON NW ER	-	-	○
ERDN11	DN ON NF ER	-	-	○
ERDN12	DN ON PF ER	-	-	○
ERDN13	DN ON HVNW ER	-	-	○
ERDN14	DN ON CL ER	-	-	○
ERDN15	HPBE ON DN ER	-	-	○
ERDN16	HNBE ON DN ER	-	-	○
ERDN17	PBE ON DN ER	-	-	○
ERDN18	NBE ON DN ER	-	-	○
ERDN19	NM NOT ON DN ER	-	-	
ERDN20	R ON DN ER	-	-	○
ERDN21	NSD ON DN ER	-	-	○
ERDN23	L(DN)-CONT(DN) ENC ER 1.2	bd	1.2	
ERDN24	PSUB-L(DN) SP ER 10	be	10	○



### 6.3 HVPMOS (MPO)

MPOの素子内デザインルールを示す。



## 6.4 HVNMOS (MNO)

MNOの素子内デザインルールを示す。

非公開



6.5 RH  
RHの素子内デザインルールを示す。

非公開



## 6.6 RHHV


RHHVの素子内デザインルールを示す。

非公開



## 6.7 RR

RRの素子内デザインルールを示す。

\* 注  名称は、素子セル内の範囲を示す。

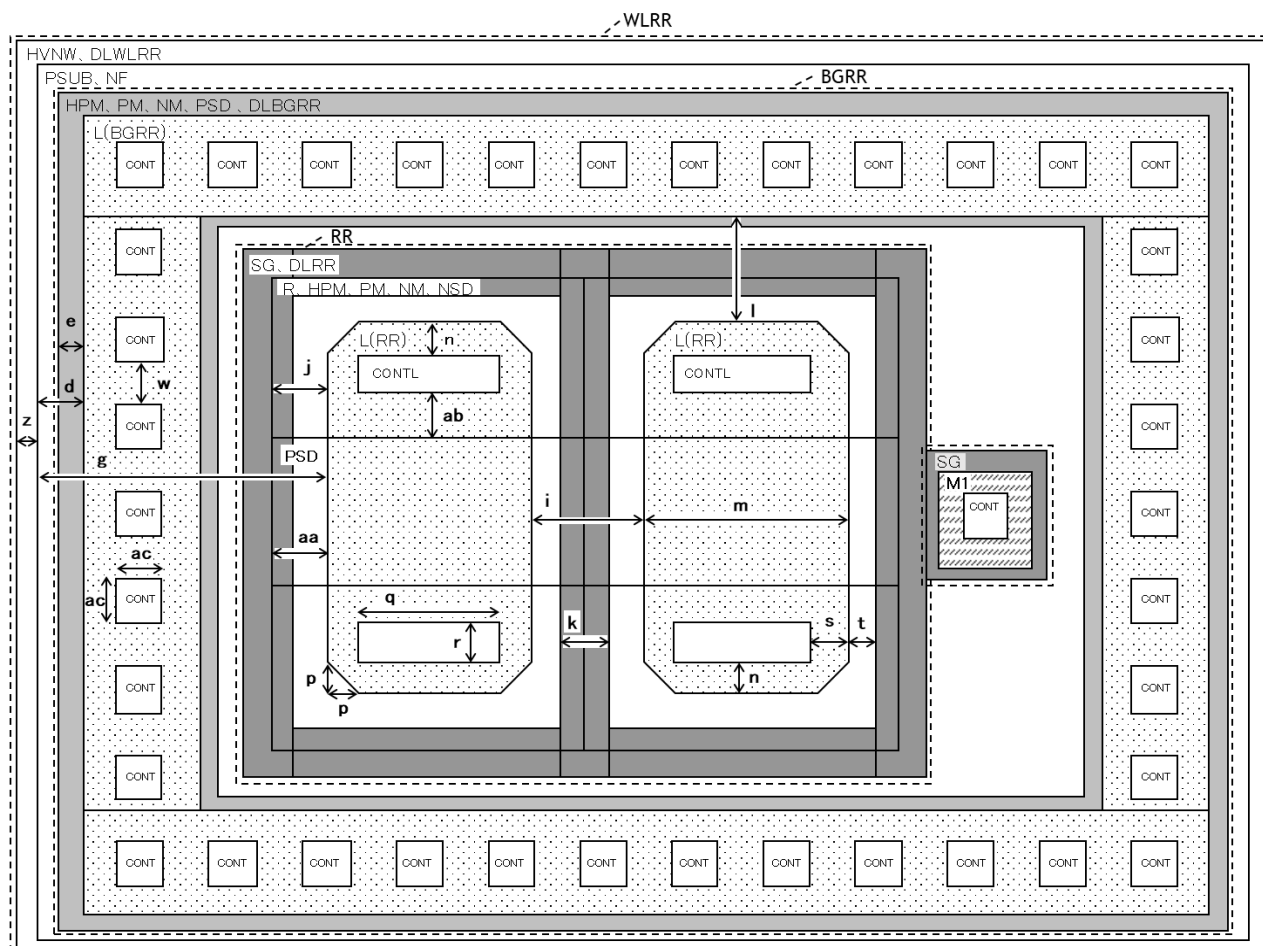


図 I-6-7. RRデザインルール

表 I-6-7. RRデザインルール

## ・RR内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout Rule
ERRR01	HPM-L(RR) ENC ER 2.0	j	2.0	
ERRR02	PM-L(RR) ENC ER 2.0	j	2.0	
ERRR03	NM-L(RR) ENC ER 2.0	j	2.0	
ERRR04	NSD-L(RR) ENC ER 2.0	j	2.0	
ERRR05	R-L(RR) ENC ER 2.0	j	2.0	
ERRR06	SG(RR) WIDTH ER 2.0	k	2.0	
ERRR07	L(RR) WIDTH ER 2.8	m	2.8	
ERRR08	L(RR top) -CONTL ENC ER 1.5	n	1.5	
ERRR09	L(RR) DENKAI KANWA ER 1.0	p	1.0	
ERRR10	CONTL long side WIDTH ER 1.6, CONTL short side WIDTH MUST 1.0(when m>=4.0)	q r	1.6 1.0	
ERRR11	CONT WIDTH MUST 1.0(when m=2.8)	q	1.0	
ERRR13	L(RR)-CONTL ENC ER 1.2(when m>=4.0)	s	1.2	
ERRR14	L(RR)-CONTL ENC ER 0.8(when m=2.8)	s	0.8	
ERRR15	SG-L(RR) SP MUST 1.0	t	1.0	
ERRR16	PSD-L(RR) CROSS ER 2.0	aa	2.0	
ERRR17	PSD-CONTL(RR) SP ER 4.2	ab	4.2	
ERRR18	RR NOT ON PSUB ER	-	-	○
ERRR19	RR NOT ON HVNW ER	-	-	○
ERRR20	RR NOT ON NF ER	-	-	○
ERRR21	HPM NOT ON RR ER	-	-	
ERRR22	PM NOT ON RR ER	-	-	
ERRR23	NM NOT ON RR ER	-	-	
ERRR24	R NOT ON RR ER	-	-	
ERRR25	NSD NOT ON RR ER	-	-	
ERRR27	RR ON NW ER	-	-	○
ERRR28	RR ON PF ER	-	-	○
ERRR29	CL ON RR ER	-	-	○
ERRR30	HPBE ON RR ER	-	-	○
ERRR31	HNBE ON RR ER	-	-	○
ERRR32	PBE ON RR ER	-	-	○
ERRR33	NBE ON RR ER	-	-	○
ERRR34	RHP ON RR ER	-	-	○
ERRR35	L(RR) WIDTH ER (2.8<m<4.0 forbidden)	-	-	
ERRR36	SG(RR) ON CONT ER	-	-	○
ERRR37	SG(RR) CONNECT TO SG NOT ON CONT ER	-	-	○

## ・WLRR内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout Rule
ERWLRR01	PSUB-L(BGRR) ENC ER 10.0	d	10.0	○
ERWLRR02	PSUB-L(RR) ENC ER 10.0	g	10.0	○
ERWLRR03	L(RR) SP ER 4.0	i	4.0	○
ERWLRR04	L(RR)-L(BGRR) SP ER 4.0	l	4.0	○
ERWLRR05	HVNW-PSUB ENC ER 1.5	z	1.5	
ERWLRR06	PSUB-NF UNMATCH ER	-	-	
ERWLRR07	HVNW-DLWLRR UNMATCH ER	-	-	
ERWLRR08	PSUB NOT ON WLRR ER	-	-	

## ・BGRR内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout Rule
ERBGRR01	HPM-L(BGRR) ENC ER 1.4	e	1.4	
ERBGRR02	PM-L(BGRR) ENC ER 1.4	e	1.4	
ERBGRR03	NM-L(BGRR) ENC ER 1.4	e	1.4	
ERBGRR04	PSD-L(BGRR) ENC ER 1.4	e	1.4	
ERBGRR05	CONT(BGRR) SP ER 1.0	w	1.0	
ERBGRR06	CONT(BGRR) WIDTH MUST 1.0	ac	1.0	
ERBGRR07	HPM NOT ON BGRR ER	-	-	
ERBGRR08	PM NOT ON BGRR ER	-	-	
ERBGRR09	NM NOT ON BGRR ER	-	-	
ERBGRR10	PSD NOT ON BGRR ER	-	-	
ERBGRR11	BGRR NOT ON PSUB ER	-	-	○
ERBGRR12	BGRR NOT ON HVNW ER	-	-	○
ERBGRR13	BGRR ON NW ER	-	-	○
ERBGRR14	BGRR NOT ON NF ER	-	-	○
ERBGRR15	BGRR ON PF ER	-	-	○
ERBGRR16	CL ON BGRR ER	-	-	○
ERBGRR17	HPBE ON BGRR ER	-	-	○
ERBGRR18	HNBE ON BGRR ER	-	-	○
ERBGRR19	PBE ON BGRR ER	-	-	○
ERBGRR20	NBE ON BGRR ER	-	-	○
ERBGRR21	R ON BGRR ER	-	-	○
ERBGRR22	NSD ON BGRR ER	-	-	○
ERBGRR23	RHP ON BGRR ER	-	-	○
ERBGRR24	HPM-PM-NM-PSD-DLBGRR UNMATCH ER	-	-	



## 6.8 RN

RNの素子内デザインルールを示す。

非公開



## 6.9 RNHV

RNHVの素子内デザインルールを示す。

非公開





## 6.10 RS

RSの素子内デザインルールを示す。

\* 注

名称  
は、素子セル内の範囲を示す。

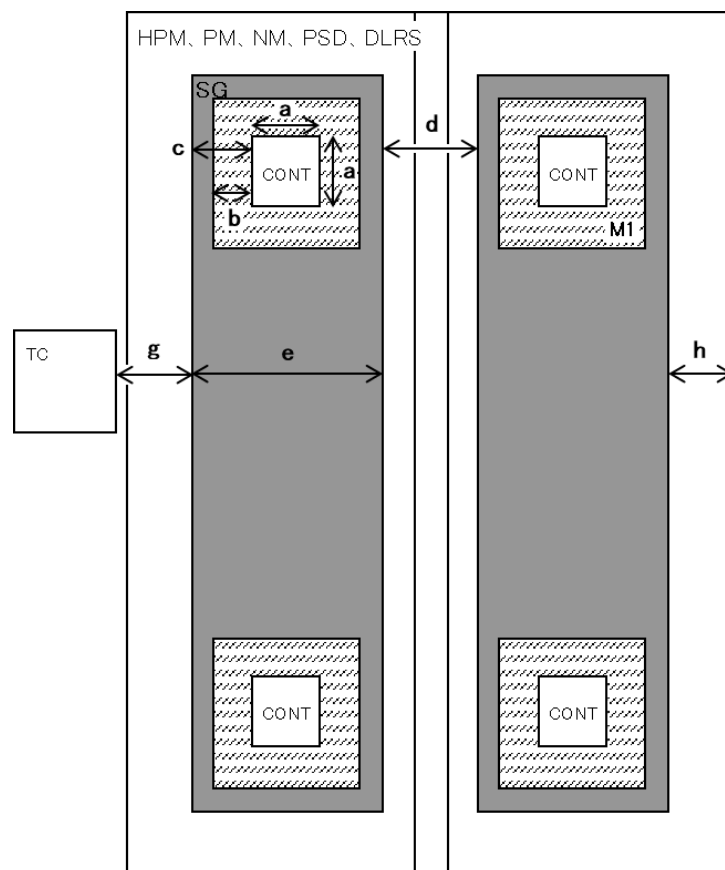



図 I-6-10. RSデザインルール

表 I-6-10. RSデザインルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout Doc
ERRS01	CONT WIDTH ER 1.0	a	1.0	
ERRS02	M1-CONT ENC ER 0.8	b	0.8	
ERRS03	SG-CONT ENC ER 0.8	c	0.8	
ERRS04	SG SP ER 2.0	d	2.0	○
ERRS05	SG WIDTH ER 1.0	e	1.0	
ERRS06	TC-SG SP 1.2	g	1.2	
ERRS07	HPM-SG ENC ER 1.4	h	1.4	
ERRS08	PM-SG ENC ER 1.4	h	1.4	
ERRS09	NM-SG ENC ER 1.4	h	1.4	
ERRS10	PSD-SG ENC ER 1.4	h	1.4	
ERRS11	HPM NOT ON RS ER	-	-	
ERRS12	PM NOT ON RS ER	-	-	
ERRS13	NM NOT ON RS ER	-	-	
ERRS14	PSD NOT ON RS ER	-	-	

### 6.11 CSIO CSIOの素子内デザインルールを示す。

\* 注  名称は、素子セル内の範囲を示す。

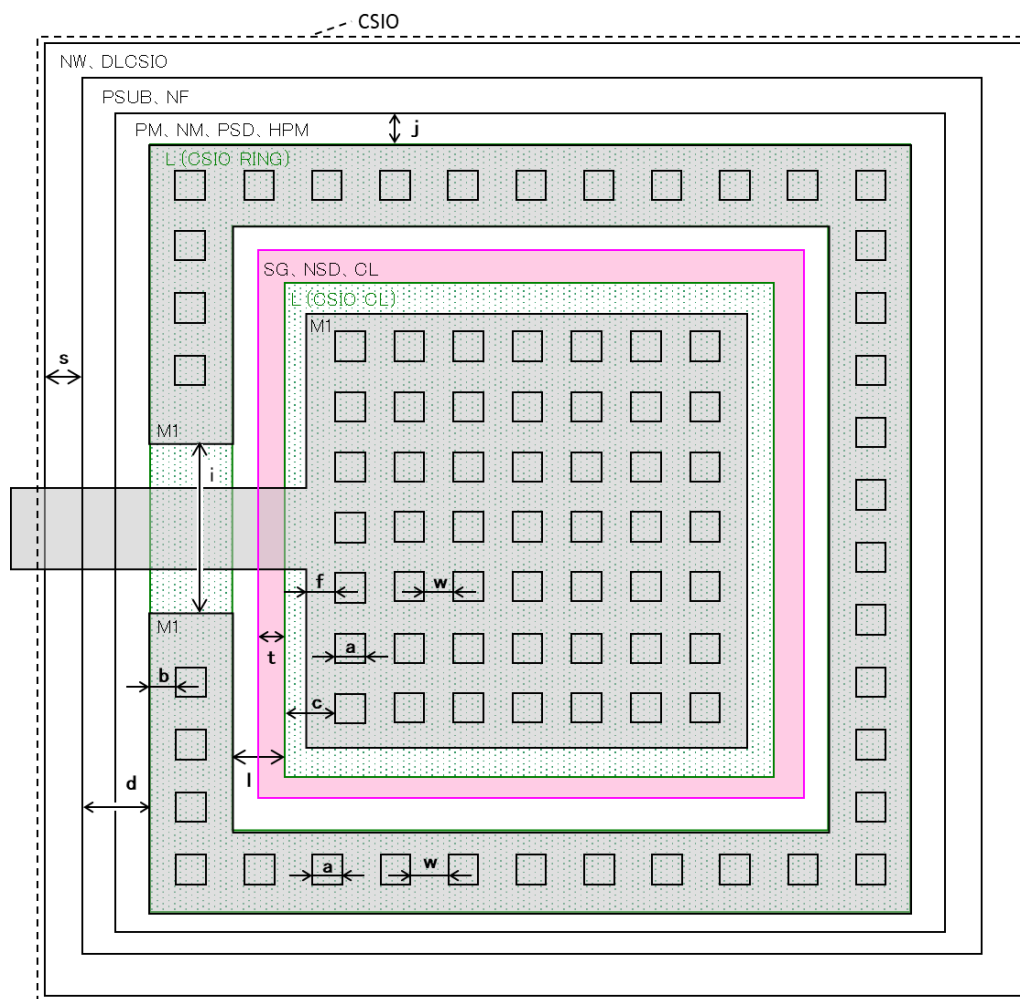


図 I-6-11. CSIOデザインルール


表 I-6-11. CSIOデザインルール

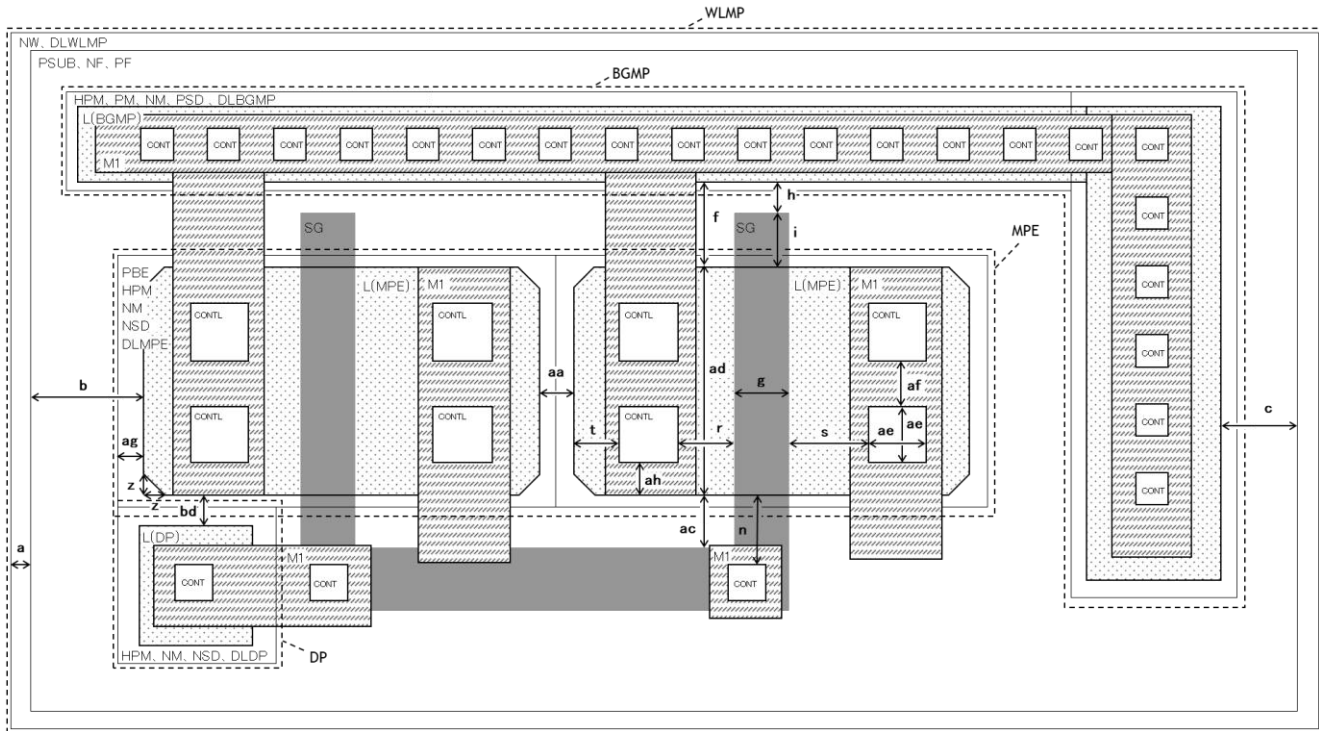
エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout Doc
ERCSIO01	CONT(CSIO) WIDTH MUST 1.2	a	1.2	○
ERCSIO02	M1-CONT(CSIO RING) ENC ER 1.2	b	1.2	○
ERCSIO03	L(CSIO CL)-CONT(CSIO) ENC ER 2.9	c	2.9	
ERCSIO04	PSUB-L(CSIO RING) ENC ER 3.0	d	3.0	
ERCSIO05	M1-CONT(CSIO CL) ENC ER 1.3	f	1.3	
ERCSIO06	M1(CSIO CL) SP MUST 10.0	i	10.0	○
ERCSIO07	HPM-L(CSIO RING) ENC ER 1.4	j	1.4	
ERCSIO08	PM-L(CSIO RING) ENC ER 1.4	j	1.4	
ERCSIO09	NM-L(CSIO RING) ENC ER 1.4	j	1.4	
ERCSIO10	PSD-L(CSIO RING) ENC ER 1.4	j	1.4	
ERCSIO11	L(CSIO RING)-L(CSIO CL) SP MUST 2.8	l	2.8	
ERCSIO12	NW-PSUB(CSIO) ENC ER 1.5	s	1.5	
ERCSIO13	SG-L(CSIO) ENC MUST 1.4	t	1.4	
ERCSIO14	CONT SP ER 1.2	w	1.2	○
ERCSIO15	CSIO PSUB-NF UNMATCH ER	-	-	
ERCSIO16	CSIO SG-NSD-CL UNMATCH ER	-	-	
ERCSIO17	CSIO ON HVNW ER	-	-	○
ERCSIO18	CSIO NOT ON NF ER	-	-	
ERCSIO19	HPM NOT ON CSIO ER	-	-	
ERCSIO20	PM NOT ON CSIO ER	-	-	
ERCSIO21	NM NOT ON CSIO ER	-	-	
ERCSIO22	PSD NOT ON CSIO ER	-	-	
ERCSIO23	NSD NOT ON CSIO ER	-	-	
ERCSIO24	CSIO NOT ON NW ER	-	-	
ERCSIO25	CSIO ON PF ER	-	-	○
ERCSIO26	CL NOT ON CSIO ER	-	-	
ERCSIO27	HPBE ON CSIO ER	-	-	○
ERCSIO28	HNBE ON CSIO ER	-	-	○
ERCSIO29	PBE ON CSIO ER	-	-	○
ERCSIO30	NBE ON CSIO ER	-	-	○
ERCSIO31	R ON CSIO ER	-	-	○
ERCSIO32	RHP ON CSIO ER	-	-	○
ERCSIO33	NW-DLCSIO UNMATCH ER	-	-	



### 6.12 サージ保護 PMOS (MPE)

MPEの素子内デザインルールを示す。

\* 注  名称 は、素子セル内の範囲を示す。



※ S、G、Dの示す場所

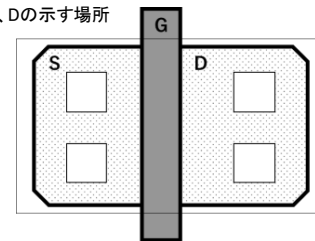


図 I-6-12. MPEデザインルール

表 I-6-12. MPEデザインルール

・MPE内ルール

エラー番号	エラー表示内容	図中の記号	寸法 [ $\mu$ m]	Layout DRC
ERMPE01	SG(MPE) WIDTH ER 2.0	g	2.0	
ERMPE02	SG(MPE) ENDCAP ER 1.2	i	1.2	
ERMPE03	SG-CONTL(MPE S) SP MUST 3.0	r	3.0	
ERMPE04	SG-CONTL(MPE D) SP MUST 7.0	s	7.0	
ERMPE05	L(MPE)-CONTL(YOKO) ENC ER 4.0	t	4.0	
ERMPE06	L(MPE) DENKAI KANWA ER 1.4	z	1.4	
ERMPE07	PBE-L(MPE) ENC ER 1.4	ag	1.4	
ERMPE08	HPM-L(MPE) ENC ER 1.4	ag	1.4	
ERMPE09	NM-L(MPE) ENC ER 1.4	ag	1.4	
ERMPE10	NSD-L(MPE) ENC ER 1.4	ag	1.4	
ERMPE11	L(MPE) WIDTH ER 11.0	ad	11.0	
ERMPE12	CONTL(MPE) WIDTH MUST 3.0	ae	3.0	
ERMPE13	CONTL(MPE) SPACE ER 1.6	af	1.6	
ERMPE15	MPE NOT ON PSUB ER	-	-	
ERMPE16	MPE NOT ON NW ER	-	-	
ERMPE17	MPE NOT ON NF ER	-	-	
ERMPE18	MPE NOT ON PF ER	-	-	
ERMPE19	PBE NOT ON MPE ER	-	-	
ERMPE20	HPM NOT ON MPE ER	-	-	
ERMPE21	NM NOT ON MPE ER	-	-	
ERMPE22	NSD NOT ON MPE ER	-	-	
ERMPE23	MPE ON HVNW ER	-	-	○
ERMPE24	CL ON MPE ER	-	-	○
ERMPE25	HPBE ON MPE ER	-	-	○
ERMPE26	HNBE ON MPE ER	-	-	○
ERMPE27	NBE ON MPE ER	-	-	○
ERMPE28	PM ON MPE ER	-	-	○
ERMPE29	R ON MPE ER	-	-	○
ERMPE30	PSD ON MPE ER	-	-	○
ERMPE31	L(MPE) - CONTL(TATE) ENC ER 2.5	ah	2.5	

・WLMP内ルール

エラー番号	エラー表示内容	図中の記号	寸法 [ $\mu$ m]	Layout DRC
ERWLMOP01	NW(WLMP)-PSUB ENC ER 1.5	a	1.5	○
ERWLMIP14	PSUB(WLMP)-L(MPE) ENC ER 7.0	b	7.0	
ERWLMOP03	PSUB(WLMP)-L(BGMP) ENC ER 5.0	c	5.0	○
ERWLMIP15	L(MPE)-L(BGMP) SP ER 10.0	f	10.0	
ERWLMOP05	SG-L(BGMP) SP ER 0.4	h	0.4	○
ERWLMIP16	L(MPE)-CONT SP ER 2.0	n	2.0	
ERWLMIP17	L(MPE) SP ER 1.4	aa	1.4	
ERWLMIP18	SG-L(MPE) SP ER 0.4	ac	0.4	
ERWLMIP19	PSUB-NF-PF UNMATCH ER	-	-	
ERWLMIP21	DLWLMP-NW UNMATCH ER	-	-	
ERWLMIP22	WLMP NOT ON PSUB ER	-	-	
ERWLMIP27	L(MPE)-L(DP) SP ER 2.8	bd	2.8	○

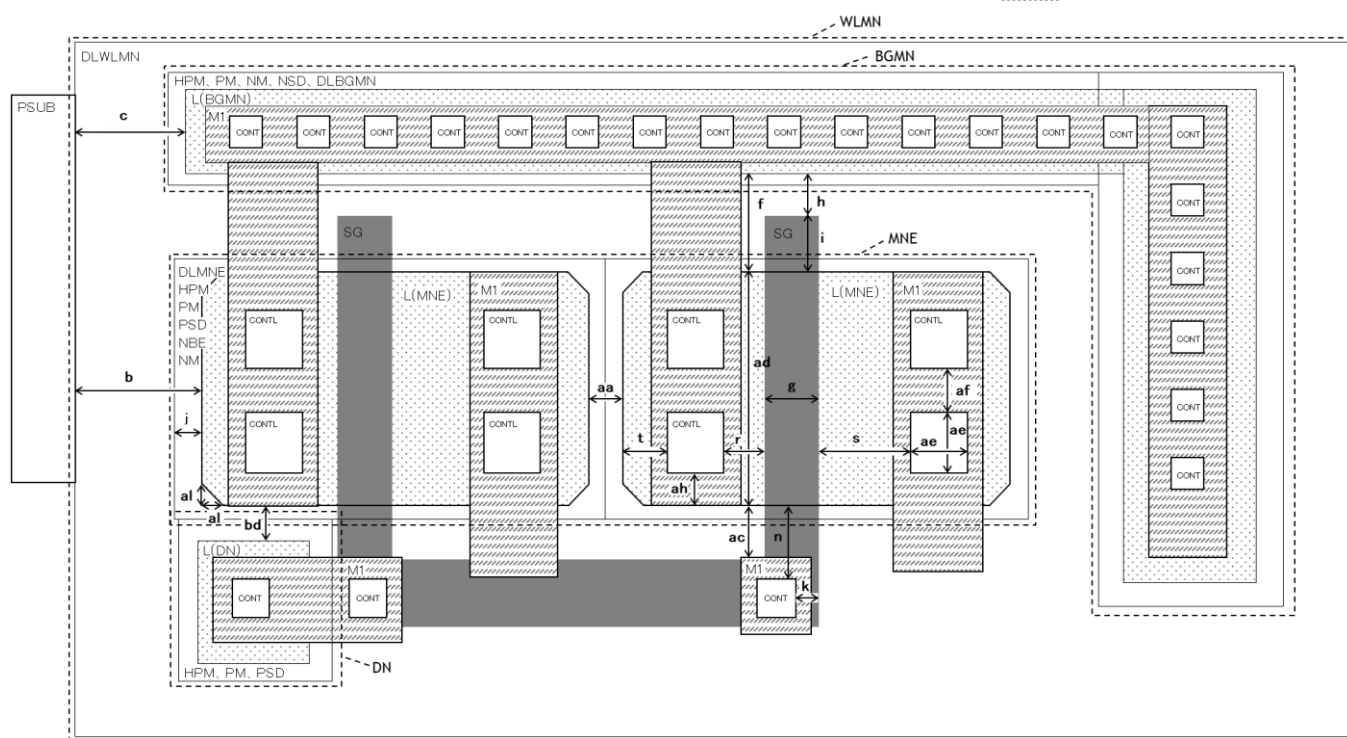
・DP内ルール

DP内 ルールは6.1に同じ

### 6.13 サージ保護 NMOS (MNE)

MNEの素子内デザインルールを示す。

\* 注 名称  
は、素子セル内の範囲を示す。



※ S、G、Dの示す場所

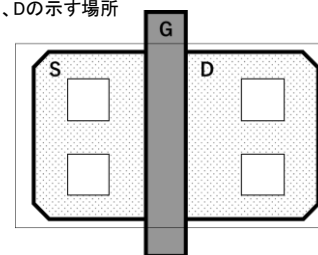


図 I-6-13. MNEデザインルール

表 I-6-13. MNEデザインルール

#### ・MNE内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERMNE01	SG(MNE) WIDTH ER 2.0	g	2.0	
ERMNE02	SG(MNE) ENDCAP ER 1.2	i	1.2	
ERMNE03	NBE-L(MNE) ENC ER 1.4	j	1.4	
ERMNE04	HPM-L(MNE) ENC ER 1.4	j	1.4	
ERMNE05	PM-L(MNE) ENC ER 1.4	j	1.4	
ERMNE06	PSD-L(MNE) ENC ER 1.4	j	1.4	
ERMNE07	SG-CONT ENC ER 0.8	k	0.8	
ERMNE08	SG-CONTL(MNE S) SP MUST 3.0	r	3.0	
ERMNE09	SG-CONTL(MNE D) SP MUST 7.0	s	7.0	
ERMNE10	L(MNE)-CONTL(YOKO) ENC ER 4.0	t	4.0	
ERMNE12	L(MNE) WIDTH ER 11.0	ad	11.0	
ERMNE13	CONTL WIDTH ER 3.0	ae	3.0	
ERMNE14	CONTL SPACE ER 1.6	af	1.6	
ERMNE15	L(MNE) DENKAI KANWA ER 1.4	al	1.4	
ERMNE16	MNE ON PSUB ER	-	-	○
ERMNE17	MNE ON NW ER	-	-	○
ERMNE18	MNE ON NF ER	-	-	○
ERMNE19	MNE ON PF ER	-	-	○
ERMNE20	NBE NOT ON MNE ER	-	-	
ERMNE21	HPM NOT ON MNE ER	-	-	
ERMNE22	PM NOT ON MNE ER	-	-	
ERMNE23	NM NOT ON MNE ER	-	-	
ERMNE24	PSD NOT ON MNE ER	-	-	
ERMNE25	CL ON MNE ER	-	-	○
ERMNE26	HPBE ON MNE ER	-	-	○
ERMNE27	HNBE ON MNE ER	-	-	○
ERMNE28	PBE ON MNE ER	-	-	○
ERMNE29	R ON MNE ER	-	-	○
ERMNE30	NSD ON MNE ER	-	-	○
ERMNE31	MNE ON HVNW ER	-	-	○
ERMNE32	L(MNE)-CONTL(TATE) ENC ER 2.5	ah	2.5	

#### ・WLMN内ルール

エラー番号	エラー表示内容	図中の記号	寸法[μm]	Layout DRC
ERWLMN12	PSUB-L(MNE) SP ER 10.0	b	10.0	○
ERWLMN13	DLWLMN-L(MNE) ENC ER 10.0	b	10.0	
ERWLMN03	PSUB-L(BGMN) SP ER 5.0	c	5.0	○
ERWLMN04	DLWLMN-L(BGMN) ENC ER 5.0	c	5.0	○
ERWLMN14	L(MNE)-L(BGMN) SP ER 10.0	f	10.0	
ERWLMN06	SG-L(BGMN) SP ER 0.4	h	0.4	○
ERWLMN15	L(MNE)-CONT SP ER 2.0	n	2.0	
ERWLMN16	L(MNE) SP ER 1.4	aa	1.4	
ERWLMN17	SG-L(MNE) SP ER 0.4	ac	0.4	
ERWLMN18	L(MNE)-L(DN) SP ER 2.8	bd	2.8	○

#### ・DN内ルール

DN内 ルールは6.2に同じ



## II. SPICE モデル

回路シミュレーションで使用可能なモデルパラメータの一覧になります。

表 II-1-1. モデルパラメータ

No.	シンボル名	モデル名	モデルタイプ	抽出条件	コーナモデル パラメータ	備考
1	MP	PMOS	BSIM3.3	Vgs 0 ~ -5V, Vds 0 ~ -5V, Temp 27~150℃	vthMP	
2	MN	NMOS	BSIM3.3	Vgs 0 ~ 5V, Vds 0 ~ 5V, Temp 27~150℃	vthMN	
3	非公開					
4						
5						
6						
7						
8	RR	F_RR	代数式モデル	端子間電圧 0 ~ 24V, Temp 27~150℃	magRR	
9	非公開					
10						
11	RS	F_RS	代数式モデル	端子間電圧 0 ~ 20V, Temp 27~150℃	magRS	
12	CSIO	m_CSIO	C	VL 0V, VH -5~5V, Temp 27~150℃ 測定周波数 1MHz	magCSIO	
13	DP	DP	Diode	Vf 0 ~ -1V, Temp 27~150℃	無	
14	DN	DN	Diode	Vr 0 ~ 15V, Temp 27~150℃	無	

※1 基準温度は 27℃ とする。

非公開

### 1. モデルファイルの設定方法について

TYP モデルパラメータの中の変数は、コーナモデル用の変数になります。TYP モデルでは、デフォルト値をとります。

非公開

表 II-1-3. モデルファイルの設定（オープンソース EDA 対応）

ファイル名	役割	モデルファイルの設定方法	
		① TYP	コーナ
			② L16
ip62_models	TYP モデル	●	
非公開			



## 2. タグチメソッドに基づいたコーナモデルについて

16 種類コーナモデルで使用するパラメータ値は以下になります。

非公開

### III. テクノロジライブラリ、PCELL

非公開



## [オープンソース EDA 対応表]

表 III-2. オープンソース EDA セル一覧

ライブラリ	セル	概要	パラメータ	Spice model	symbol	レイアウト
IP62_Basic	BGMN	PWELL 用 Tap セル	—			O
	BGMP	NWELL 用 Tap セル	—			O
	非公開					
	BGRR	HVNWELL 用 Tap セル	—			O
	DN	ダイオード(ゲート保護用)	—	O	O	O
	DP	ダイオード	—	O	O	O
PCells_IP62	MN	5V NMOS	L, W, m	O	O	O
	非公開					
	MP	5V PMOS	L, W, m	O	O	O
	非公開					
	RR	拡散抵抗(P), 中抵抗	L, W	O	O	O
	RS	PolySi 抵抗	L, W, m	O	O	O
	CSIO	容量	L, W	O	O	O
	WLMN	WELL セル(PWELL)	x, y			O
	WLMP	WELL セル(NWELL)	x, y			O
	非公開					
	WLRR	WELL セル(HVNWELL)	x, y			O
IP62_Characters1	0~1、A~Z	文字セル(数字、アルファベット)、レイヤ : M1	—			O
IP62_Characters2	0~1、A~Z	文字セル(数字、アルファベット)、レイヤ : M2	—			O
IP62_2_ESD	MNEDI_06_00	ESD NMOS	—	O	O	O
	MNEDI_07_00	↑	—	O	O	O
	MNEDI_08_00	↑	—	O	O	O
	MNEDI_09_00	↑	—	O	O	O
	MNEDI_10_00	↑	—	O	O	O
	MPEDI_06_00	ESD PMOS	—	O	O	O
	MPEDI_07_00	↑	—	O	O	O
	MPEDI_08_00	↑	—	O	O	O
	MPEDI_09_00	↑	—	O	O	O
	MPEDI_10_00	↑	—	O	O	O
	MPEDI_3_06_00	↑	—	O	O	O
	MPEDI_3_08_00	↑	—	O	O	O
	MPEDI_3_12_00	↑	—	O	O	O
	MPEDI_4_06_00	↑	—	O	O	O
	MPEDI_4_08_00	↑	—	O	O	O
	MPEDI_4_12_00	↑	—	O	O	O





## IV. DRC/LVS ルール

非公開

[KLayout（オープンソース EDA）対応表]

表 IV-2. KLayout DRC/LVS ルール

	ルールファイル
DRC	随時更新
LVS	随時更新



## 改定履歴

記号	年月日	改訂内容
1.0	'25.08.21	初版

