



【オープン版】 スタンダードセル ラインナップ°

第 1.0 版
(2025.08.25)

Copyright 2025 TOKAI RIKA CO., LTD

Licensed under the Apache License, Version 2.0 (the "License");
you may not use this file except in compliance with the License.
You may obtain a copy of the License at

<http://www.apache.org/licenses/LICENSE-2.0>

Unless required by applicable law or agreed to in writing, software
distributed under the License is distributed on an "AS IS" BASIS,
WITHOUT WARRANTIES OR CONDITIONS OF ANY KIND, either express or implied.
See the License for the specific language governing permissions and
limitations under the License.

スタンダードセル ラインナップ

表にスタンダードセルの一覧を示す。

表. スタンダードセル 一覧表

Library: IP62_5_stdcell

No	Cell	種類	入力ピン数	出力ピン数	セル高さ[um]	セル幅[um]	MP W[um]	MP L[um]	MN W[um]	MN L[um]
1	AND2_X1	ANDゲート	2	1	55.0	22.0	10.2	1	3.4	1
2	AND3_X1	ANDゲート	3	1	55.0	27.5	10.2	1	3.4	1
3	AND4_X1	ANDゲート	4	1	55.0	33.0	10.2	1	3.4	1
4	BUF_X1	バッファ	1	1	55.0	16.5	10.2	1	3.4	1
5	BUF_X2	バッファ	1	1	55.0	22.0	10.2 x 2	1	3.4 x 2	1
6	BUF_X4	バッファ	1	1	55.0	33.0	10.2 x 4	1	3.4 x 4	1
7	BUF_X8	バッファ	1	1	55.0	49.5	10.2 x 8	1	3.4 x 8	1
8	BUF_X12	バッファ	1	1	55.0	66.0	10.2 x 12	1	3.4 x 12	1
9	BUF_X16	バッファ	1	1	55.0	93.5	10.2 x 16	1	3.4 x 16	1
10	CLKBUF_X1	クロックバッファ	1	1	55.0	38.5	10.2 x 5	1	3.4 x 5	1
11	CLKBUF_X2	クロックバッファ	1	1	55.0	66.0	10.2 x 10	1	3.4 x 10	1
12	CLKBUF_X4	クロックバッファ	1	1	55.0	115.5	10.2 x 20	1	3.4 x 20	1
13	CLKBUF_X8	クロックバッファ	1	1	55.0	203.5	10.2 x 40	1	3.4 x 40	1
14	CLKBUF_X12	クロックバッファ	1	1	55.0	291.5	10.2 x 60	1	3.4 x 60	1
15	CLKBUF_X16	クロックバッファ	1	1	55.0	379.5	10.2 x 80	1	3.4 x 80	1
16	DEL1	デレイセル	1	1	55.0	38.5	10.2 x 2	1	3.4 x 2	1
17	DEL2	デレイセル	1	1	55.0	60.5	10.2	1	3.4	1
18	DEL4	デレイセル	1	1	55.0	104.5	10.2	1	3.4	1
19	DFFR	Dフリップフロップ	3	2	55.0	88.0	10.2	1	3.4	1
20	DFFS	Dフリップフロップ	3	2	55.0	88.0	10.2	1	3.4	1
21	INV_X1	インバータ	1	1	55.0	16.5	10.2	1	3.4	1
22	INV_X2	インバータ	1	1	55.0	16.5	10.2 x 2	1	3.4 x 2	1
23	INV_X4	インバータ	1	1	55.0	27.5	10.2 x 4	1	3.4 x 4	1
24	INV_X8	インバータ	1	1	55.0	44.0	10.2 x 8	1	3.4 x 8	1
25	INV_X12	インバータ	1	1	55.0	60.5	10.2 x 12	1	3.4 x 12	1
26	INV_X16	インバータ	1	1	55.0	77.0	10.2 x 16	1	3.4 x 16	1
27	MUX2	マルチプレクサ	3	1	55.0	49.5	10.2	1	3.4	1
28	NAND2	NANDゲート	2	1	55.0	16.5	10.2	1	3.4	1
29	NAND3	NANDゲート	3	1	55.0	22.0	10.2	1	3.4	1
30	NAND4	NANDゲート	4	1	55.0	27.5	10.2	1	3.4	1
31	NOR2	NORゲート	2	1	55.0	16.5	10.2	1	3.4	1
32	NOR3	NORゲート	3	1	55.0	22.0	10.2	1	3.4	1
33	NOR4	NORゲート	4	1	55.0	27.5	10.2	1	3.4	1
34	OR2	ORゲート	2	1	55.0	22.0	10.2	1	3.4	1
35	OR3	ORゲート	3	1	55.0	27.5	10.2	1	3.4	1
36	OR4	ORゲート	4	1	55.0	33.0	10.2	1	3.4	1
37	XNOR2	XNORゲート	2	1	55.0	33.0	10.2	1	3.4	1
38	XOR2	XORゲート	2	1	55.0	33.0	10.2	1	3.4	1

改定履歴

記号	年月日	改訂内容
1.0	25.08.25	初版