

minimal[®]

/ Anagix Corp.

オープンソースEDAフォーラム開催報告

~オープンソースEDAフォーラムに参加して講演してみた~

森山誠二郎

(株)アナジックス

<https://www.anagix.com>

2025/8/18 ISHI会8月イベント「イベント参加報告会」

あらすじ

➡ ■オープンソースEDA研究会とは

■第7回オープンソースEDAフォーラム開催報告

- 講演内容
- ライトニングトーク
- アンケート結果

■森山のLT紹介

- アナログOpen Source Silicon開発プラットフォーム
- ミニマルファブCMOS LSIデバイス開発のいま

■オープンソースEDA研究会・フォーラムへのお誘い

オープンソースEDA研究会とは

■実際のLSIチップの開発を行うことができるオープンソースのEDAツールの開発、および既存のオープンソースEDAツールの運用に関するノウハウの収集・共有を目的

■ホームページ:<https://www.oseda-silicon.org>

■ねらい

- 絶滅危惧種のEDA研究者・開発者を将来に備えて温存する
- EDA開発者と、EDAツール利用者(設計者)の出会い(情報共有)の場をつくる
- 実際のLSIチップの開発情報を提供する

■Discordサーバー: OpenSourceEDAsupporters
(招待コードは www.anagix.comの”オープンソースEDA supporters(Discord)への招待”)

オープンソースEDA研究会とは（つづき）

■会長：九州大学松永先生

■運営委員：

- 森山 誠二郎 (株)アナジックス
- 緒方 祥浩 アレックスLSI(株)
- 西澤 真一 早稲田大学
- 浦 伸吾 (株)ロジック・リサーチ
- 松永 多苗子 (株)ロジック・リサーチ

■発足の経緯：2023/6/26の第3回フォーラム までは(株)ロジックリサーチが主催したが、2023/12/8の第4回フォーラムから公的組織の主催にするため立ちあげた

あらすじ

■オープンソースEDA研究会とは

➡ ■第7回オープンソースEDAフォーラム開催報告

- 講演内容
- ライトニングトーク
- アンケート結果

■森山のLT紹介

- アナログ Open Source Silicon開発プラットフォーム
- ミニマルファブCMOS LSIデバイス開発のいま

■オープンソースEDA研究会・フォーラムへのお誘い

オープンソースEDAフォーラムとは

- 年2回(最近はだいたい7月と12月)に開催
- 開催場所を福岡システムLSI総合開発センターとし、オンラインとのハイブリッド開催
- 開催記録
 - 第1回講演会 2022年1月26日
 - 第2回講演会 2022年11月2日
 - 第3回フォーラム 2023年 6月26日
 - 第4回フォーラム 2023年12月8日130人程度の登録、30名程度の現地参加
 - 第5回フォーラム 2024年7月11日現地参加20名WEB参加者は88名
 - 第6回フォーラム 2024年12月11日12/4時点で現地参加12名 オンライン46名
 - 第7回フォーラム 2025年7月3日現地、オンラインあわせて100名以上の参加

7/3の第 7 回オープンソースEDAフォーラム

■13:00 - 13:10 イン트로ダクション

- 主催者 オープンソースEDA研究会 会長:松永 裕介
- 共催者 公益財団法人福岡県産業・科学技術振興財団 グループ長:猪狩 直哉

■13:10 - 15:50

- 北九州市立大学 中武 繁寿(オンライン発表)
学術的な研究開発における生成AI・オープンサイエンス活用入門
- ISHI会 今村 謙之
 - ① オープン界隈の利用者や技術者から見たオープンソースEDAとは？
 - ② 最新の国内オープンソース半導体の動向
- 株式会社 東海理化 斎藤 弘智
OSS-EDAを利用したアナログ回路設計と評価結果について

16:00-17:00 ライトニングトーク

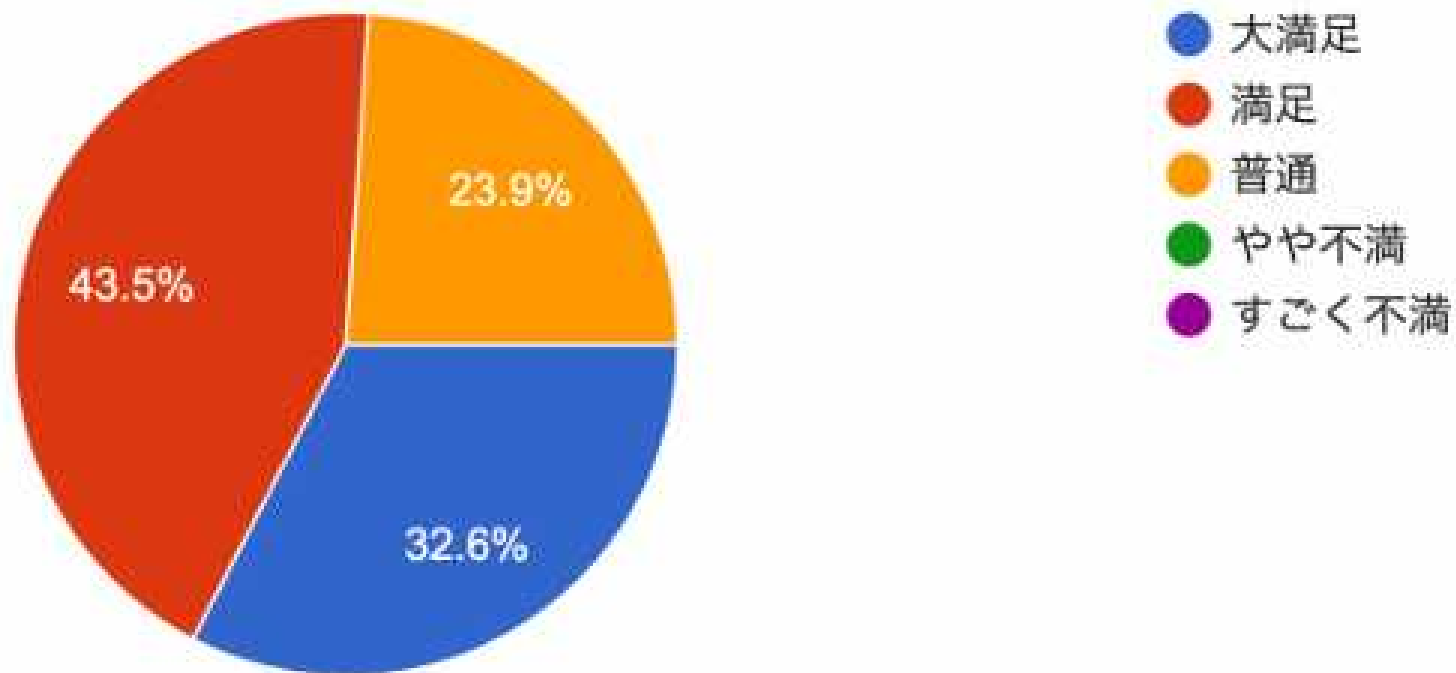
- ① Xscheme設計データのLTspice形式への自動変換 根 め 淳太(株式会社ロジック・リサーチ(アルバイト))
- ② SPICEログのPDF化スクリプト開発 永田 侑子(株式会社ロジック・リサーチ)
- ③ OpenSUSIの取り組みに関して 高橋 克己(AIST Solutions)
- ④ アレックスLSI(株)でのKlayout取り組みの紹介と今後 緒方 祥浩(アレックスLSI株式会社)
- ⑤ アナログOpen Source Silicon 開発プラットフォーム 森山 誠二郎(株式会社アナジックス)
- ⑥ ミニマルファブCMOS LSI デバイス開発のいま 森山 誠二郎(株式会社アナジックス) 土屋 忠明、浦 伸吾(株式会社ロジック・リサーチ)

その後、18:30頃まで参加無料の懇親会

アンケート結果

第7回フォーラム全体ついていかがでしたでしょうか？

46 件の回答



あらすじ

■オープンソースEDA研究会とは

■第7回オープンソースEDAフォーラム開催報告

- 講演内容
- ライトニングトーク
- アンケート結果

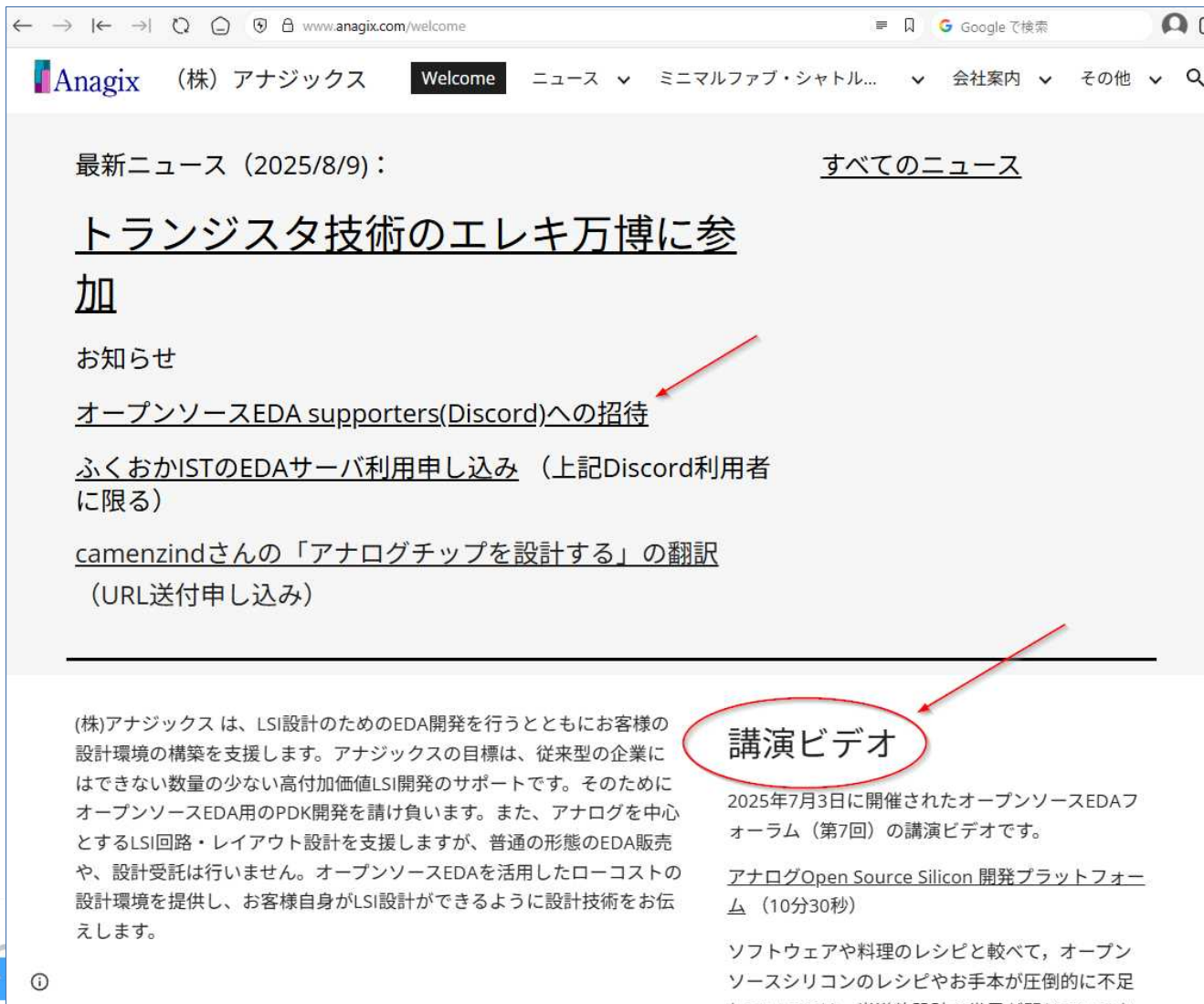
➡ ■森山のLT紹介

- アナログOpen Source Silicon開発プラットフォーム
- ミニマルファブCMOS LSIデバイス開発のいま

■オープンソースEDA研究会・フォーラムへのお誘い

森山のライトニングトークはビデオ録画を公開してます

<https://www.anagix.com/>



The screenshot shows the Anagix website with a navigation bar at the top. The main content area features a list of news items. A red arrow points to the link 'オープンソースEDA supporters(Discord)への招待'. Below this, another red arrow points to the '講演ビデオ' (Lecture Video) link, which is circled in red. The page also includes a footer with a copyright notice and a small icon.

最新ニュース (2025/8/9): [すべてのニュース](#)

トランジスタ技術のエレキ万博に参加

お知らせ

[オープンソースEDA supporters\(Discord\)への招待](#)

[ふくおかISTのEDAサーバ利用申し込み](#) (上記Discord利用者に限る)

[camenzindさんの「アナログチップを設計する」の翻訳](#) (URL送付申し込み)

(株)アナジックス は、LSI設計のためのEDA開発を行うとともにお客様の設計環境の構築を支援します。アナジックスの目標は、従来型の企業にはできない数量の少ない高付加価値LSI開発のサポートです。そのためにオープンソースEDA用のPDK開発を請け負います。また、アナログを中心とするLSI回路・レイアウト設計を支援しますが、普通の形態のEDA販売や、設計受託は行いません。オープンソースEDAを活用したローコストの設計環境を提供し、お客様自身がLSI設計ができるように設計技術をお伝えします。

講演ビデオ

2025年7月3日に開催されたオープンソースEDAフォーラム (第7回) の講演ビデオです。

[アナログOpen Source Silicon 開発プラットフォーム](#) (10分30秒)

ソフトウェアや料理のレシピと比べて、オープンソースシリコンのレシピやお手本が圧倒的に不足していることは、半導体設計の世界が閉鎖的であることが原因です。



アナログ Open Source Silicon 開発プラットフォーム

森山 誠二郎 (株式会社アナジックス)

2025/7/3 第7回オープンソースEDA研究会@福岡

Outline

- ➡ ■ オープンソースシリコンは少量多品種のLSI開発に不可欠
- オープンPDK方式は低コストで短納期のPDK開発を可能にする
- オープンソースシリコンのためのアナログLSI開発プラットフォーム
 - ALTA2はオープンソースIPのポーティングを支援する
- オープンソースシリコン開発への適用
 - OpenRule1umを使った開発事例
 - ミニマルファブへのポーティングの検討
- まとめ


アナログIPの流通と再利用はなぜ進まないのか

- オープンソースシリコン取り組みの遅れ
- 設計人口が少なすぎる
- アナログの仕様は多様すぎる
 - トレードオフが存在する
 - 仕様を満足するかの検証がめんどろ
- 設計だけでも面倒なのに、人のための資料作りはありえない

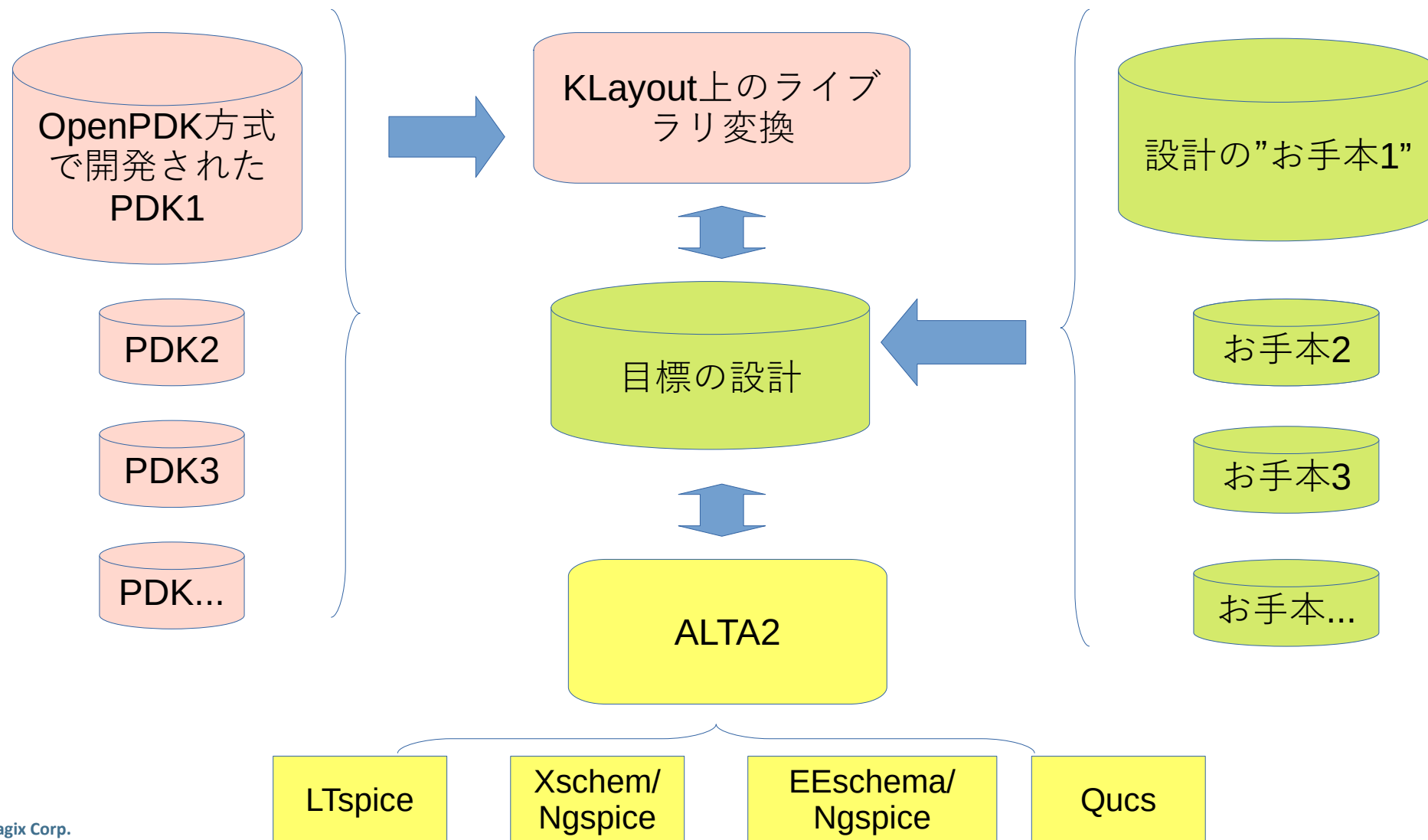
ALTA2

設計しながら設計資料を作れる環境
パラメトリック解析による評価の効率化
設計データ間の変換

お手本方式の提案

- 回路設計のレシピを、料理のレシピのアナロジーで考えると、難しい料理でも、**よい”お手本”**があれば、そこそこのものはできる
- 料理の世界と同じように、情報がオープンであれば、LSI開発の世界でもよい”お手本が”情報は増殖すると期待する
 - 成功のキーは、LSI開発者の人口を増やすこと！
- お手本開発のステップ
 - Step1: Camenzind本のIPをOpenRule1umでつくる
 - Step2: 評価結果とともに設計データを公開する
 - Step3: ポーテイング実験を行う  今ココ
 - Step4: ポーテイングに必要な情報を含む”お手本”を開発する

お手本ベースの設計プラットフォーム



ALTA2: 回路情報の読み込み

The screenshot displays the ALTA2 web interface for loading circuit information. The main window shows a list of files in the work directory: `op8_18_tb_direct_ac.sch` (selected) and `op8_18_v2.sch`. A red arrow points to the "Click here to read-in" button, which is circled in red. Below this, there are tabs for "Circuit info", "SPICE models", "Alter", and "Variation". The "Circuit info" tab is active, showing a list of signals and components:

- `s1: .ac dec 10 10 100MEG`
- `s3: .param Vbias=2.5 ccap=1pF`
- `s5: *.step param ccap 0.2p 2p 0.`
- `V2: 5`
- `V1: SINE(2.5 0.1 1k) AC 1`
- `R3: 25k`
- `R4: 10k`

On the right side, a preview window shows the circuit schematic and the corresponding NETLIST. The NETLIST includes the following commands:

```
NETLIST
step param ccap 0.2p 2p 0.5p
NETLIST
.param Vbias=2.5 ccap=1pF
.ac dec 10 10 100MEG
.include $HOMEPATH/KLayout/salt/PTS06/Technology/tech/models/MinedaPTS06_TT
```

The schematic diagram shows an operational amplifier circuit with a sine wave input, a feedback network, and a load capacitor. The output is labeled "out".

ALTA2: Simulation実行

Save settings in: default Load settings from: ▼

Click here to start Ngspice simulation

Load measurement group file

[Signals list (clicked signal will be put in probes for a current plot)]

frequency	V(net1)	V(net2)	V(net3)	V(net4)	V(out)	V(v1)	I(v1)	I(v2)	I(v3)	V(x1.net1)	V(x1.net10)	V(x1.net11)
V(x1.net12)	V(x1.net13)	V(x1.net14)	V(x1.net15)	V(x1.net16)	V(x1.net17)	V(x1.net18)	V(x1.net2)	V(x1.net3)				
V(x1.net4)	V(x1.net5)	V(x1.net6)	V(x1.net7)	V(x1.net8)	V(x1.net9)							

Add plot Delete plot

Show/hide plot#0 Make current Save as a CSV file Save as a JSON file

Get measured data: Selection: Plot JSON data

Reverse ☐ InvertX ☐ InvertY ☐ Trace mode markers ▼

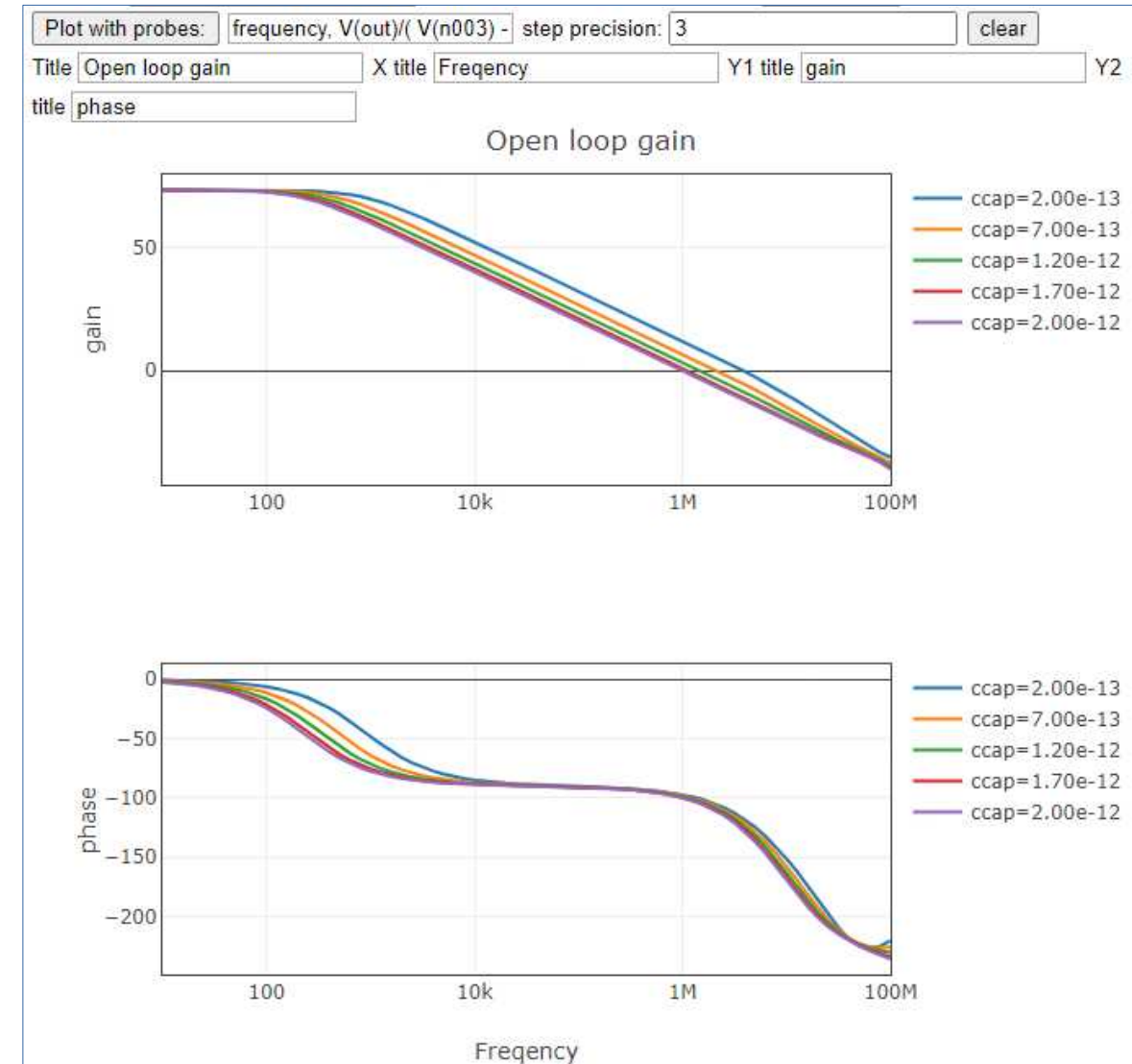
Plot with probes: step precision: 3 ☐ xaxis is log ☐ yaxis is log

clear

Title X title Y title

Performance name(s)

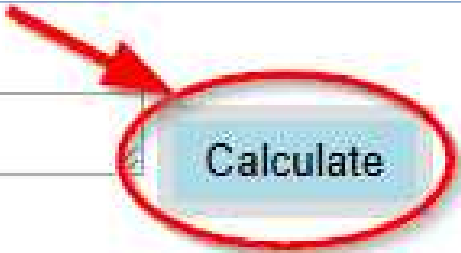
Equation(s) `x.where(y, 2.5){|x, y| x > 1e-6}` Calculate



ALTA2: 性能を評価する式の定義

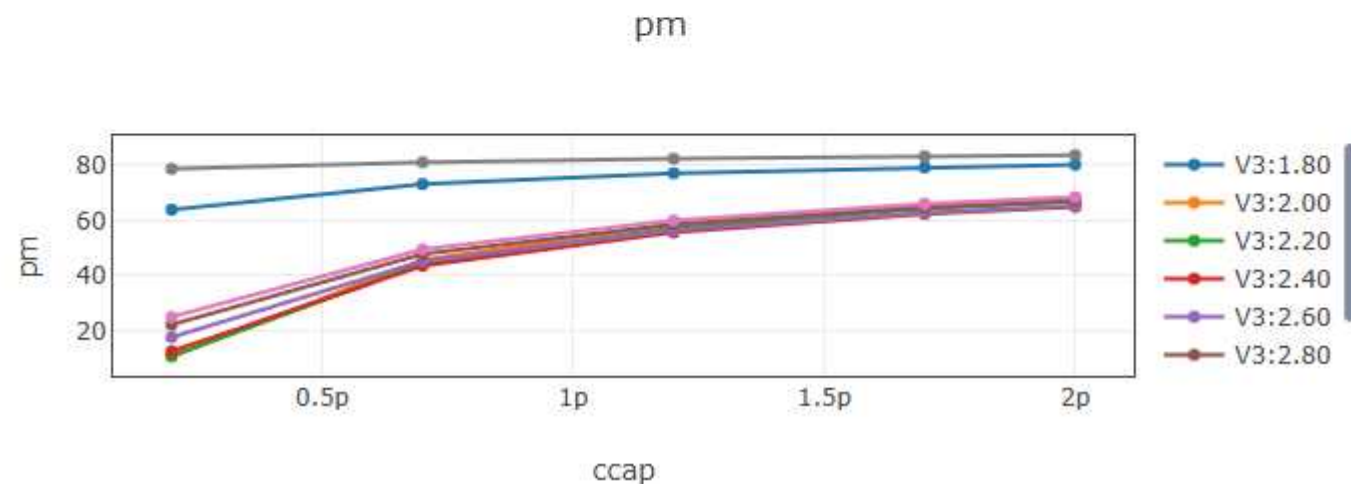
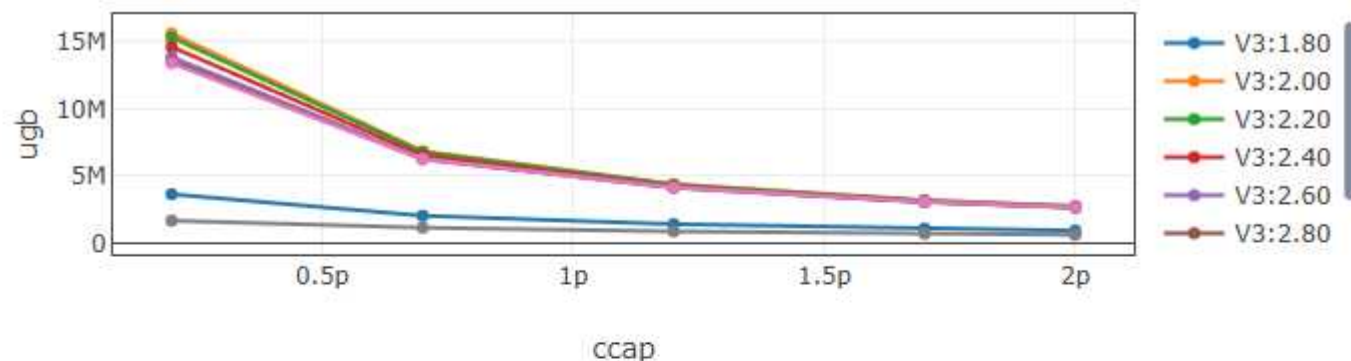
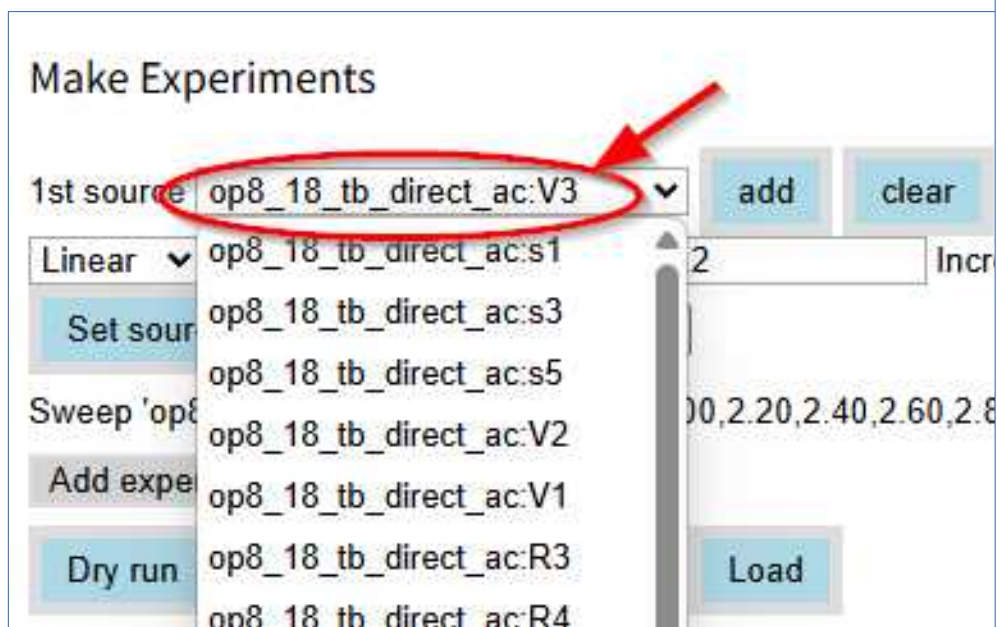
■Unity gain frequency と位相余裕計算の例

$[x.\text{where}(\text{db}, 0), \text{ph}.\text{where}(\text{db}, 0)+180]$

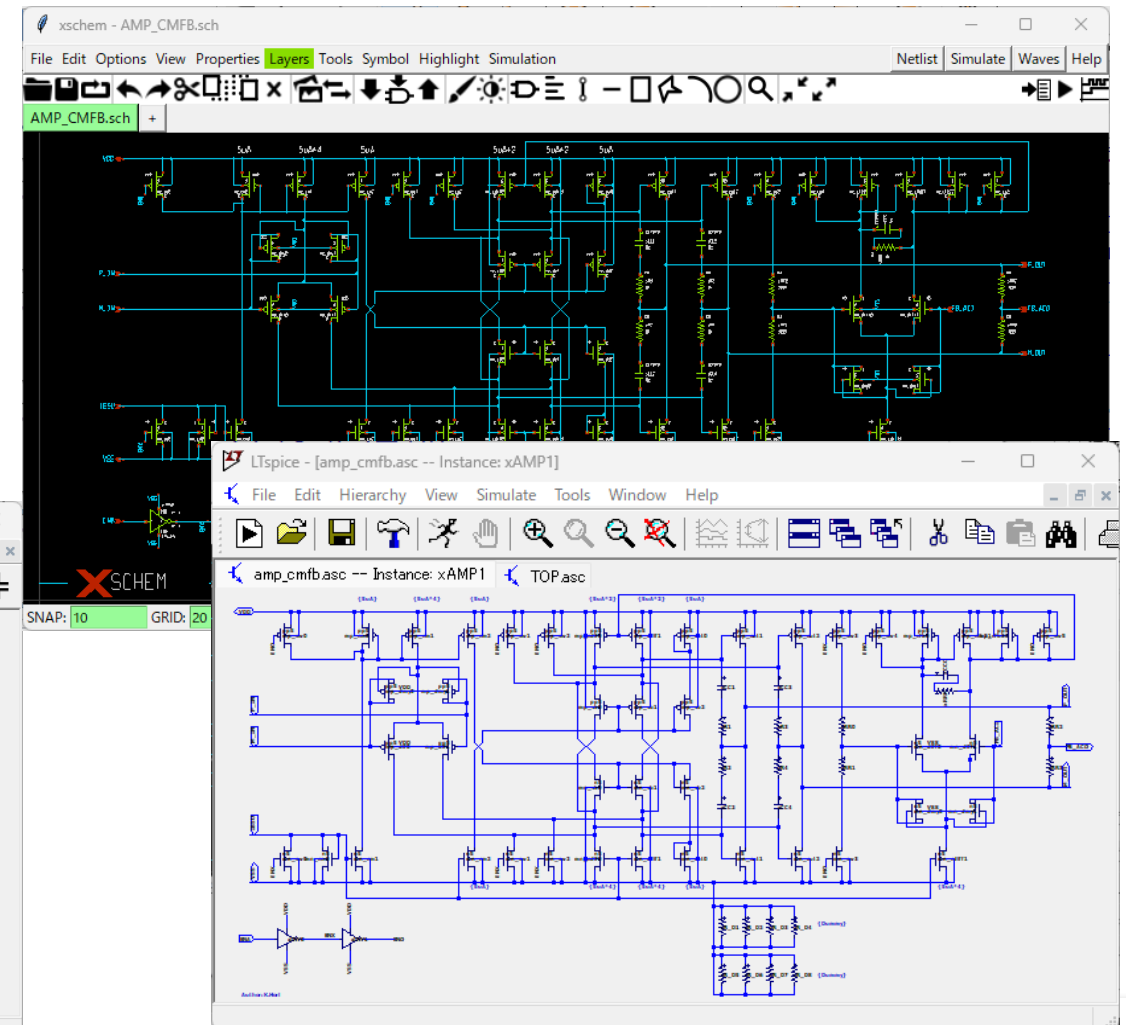
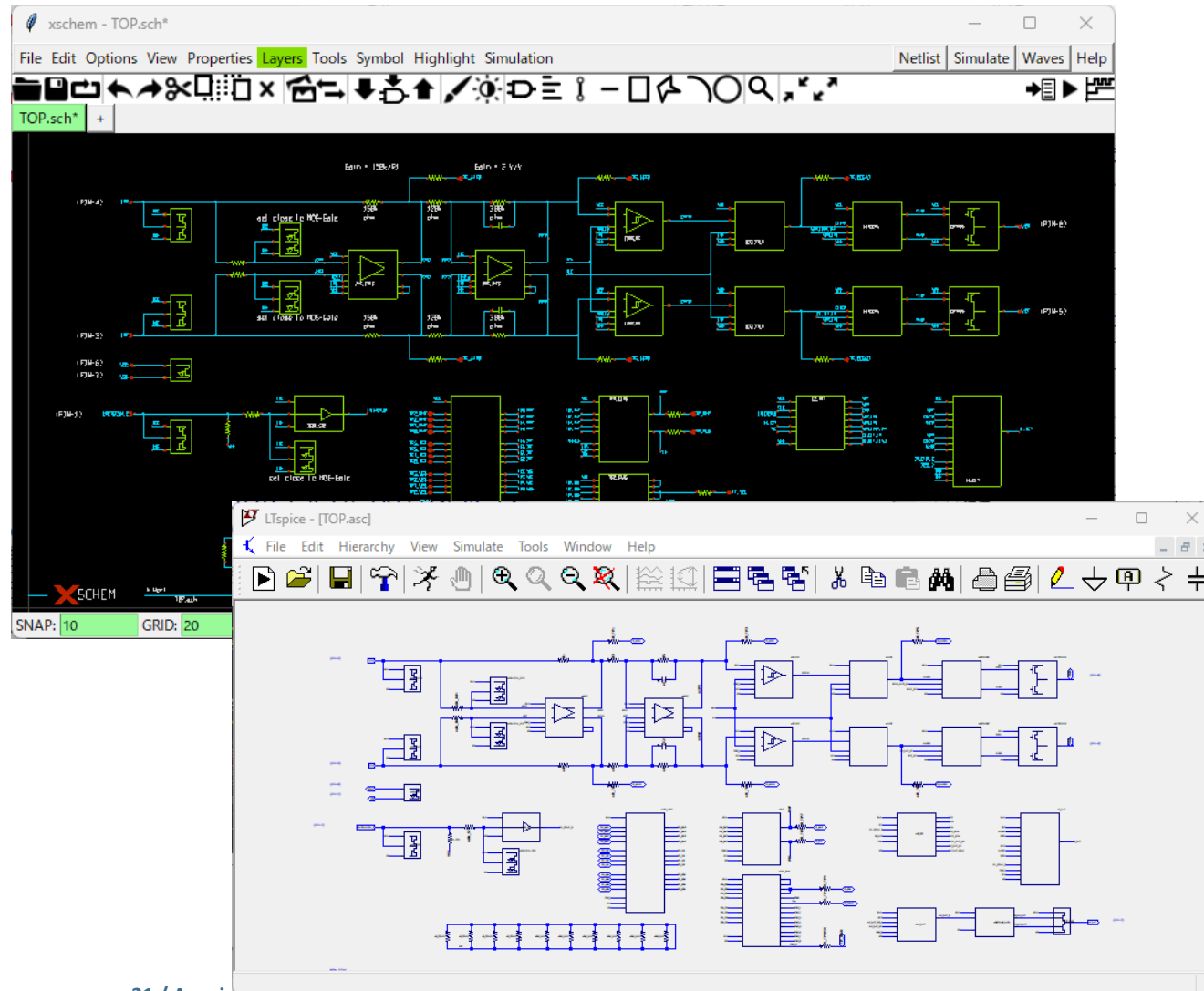
Performance name(s)	ugb, pm	
Equation(s)	$[x.\text{where}(\text{db}, 0), \text{ph}.\text{where}(\text{db}, 0) + 180]$	
		
ugb	pm	Sweep parameter
1690537.78994409	78.80635026399011	ccap=2.0e-13
1167258.1688717122	81.1572285115458	ccap=7.0e-13
890853.8029243149	82.50280773746422	ccap=1.2e-12
719677.2312275576	83.37105560500993	ccap=1.7e-12
642231.4376788046	83.78491150271162	ccap=2.0e-12

ALTA2: 性能計算結果のプロット

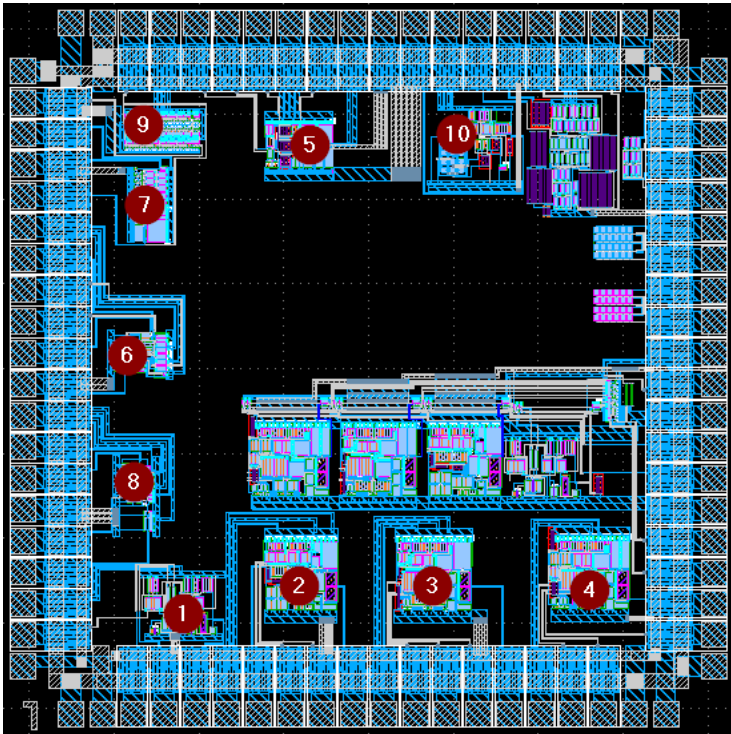
■ Choose variables to sweep



XschemとLTspiceの回路図変換例



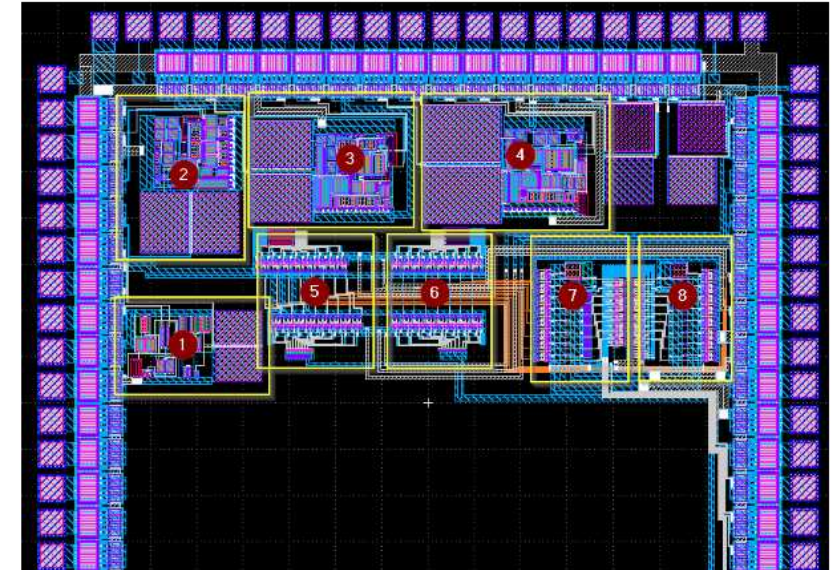
オープンソースチップの実例



2023年8月試作

- ①OpAmp8_16
- ②OpAmp8_18
- ③OpAmp8_21
- ④OpAmp8_22
- ⑤555timer
- ⑥Comparator_rail
- ⑦CCO12_8
- ⑧Zerocross
- ⑨Divider64
- ⑩Thermometer

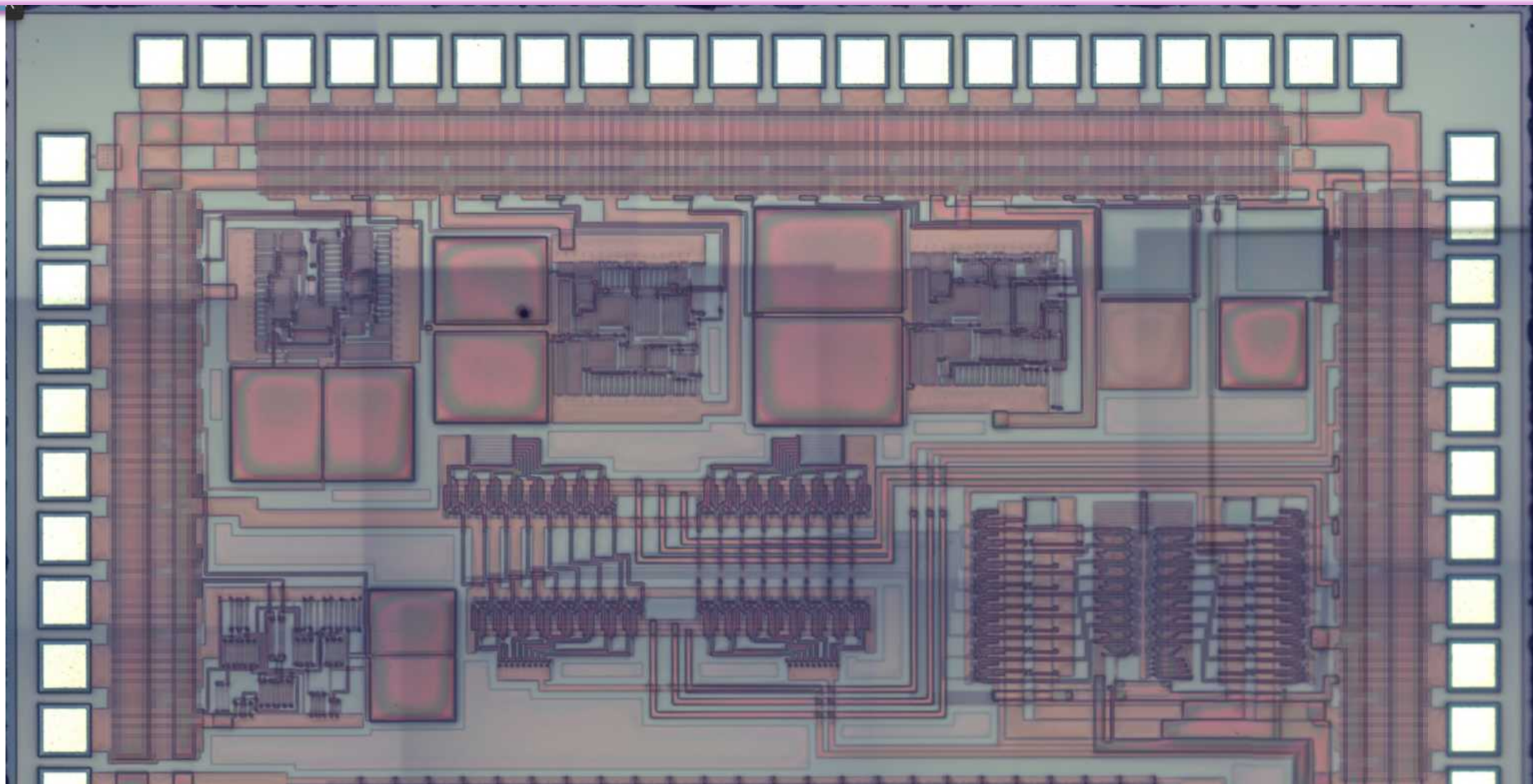
フェニテック0.6umファブで試作
ルールはNDA不要のOpenRule1um



2024年8月試作

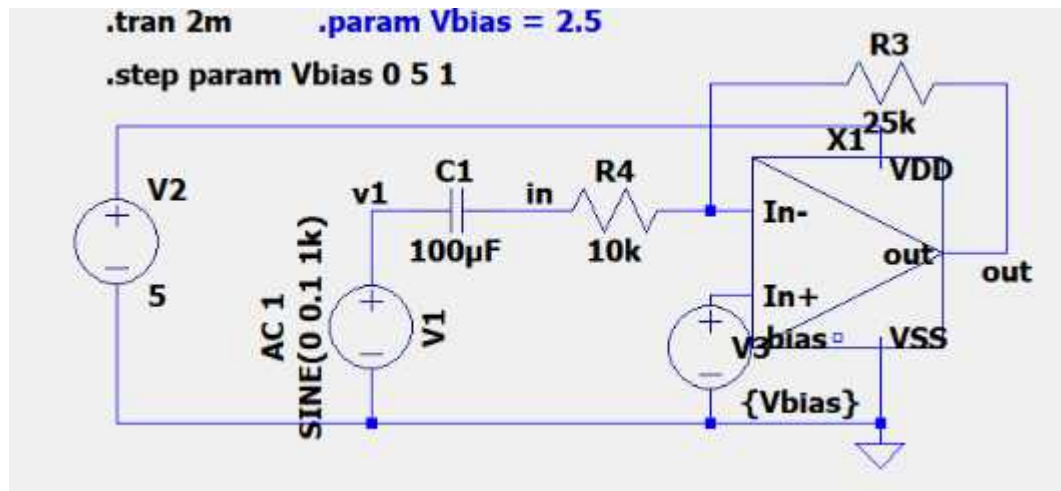
- ①OpAmp8_16
- ②OpAmp8_18
- ③OpAmp8_21
- ④OpAmp8_22
- ⑤HRpoly resistor/PMOS Vth TEG
- ⑥Rpoly resistor/NMOS Vth TEG
- ⑦PMOS TEG
- ⑧NMOS TEG

オープンソースシリコン(2024年版)のチップ写真

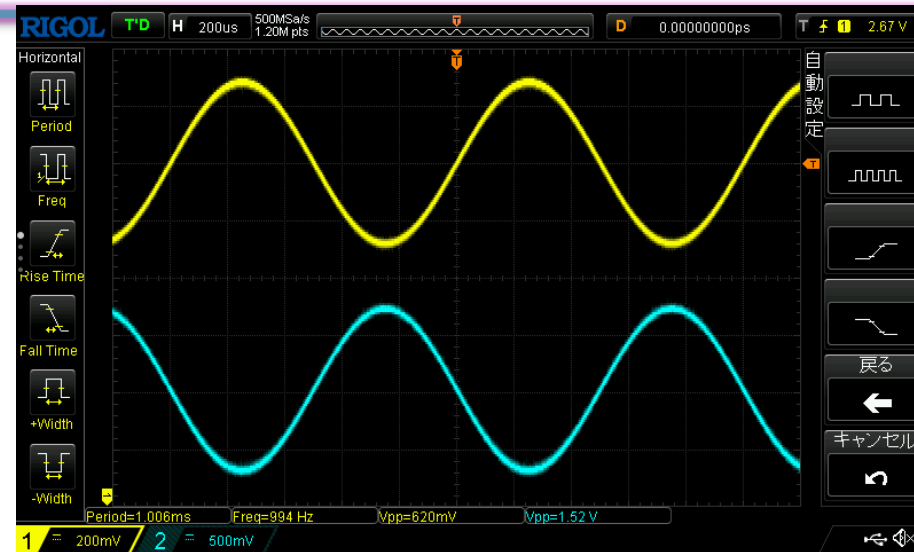


2024年版 Opアンプ評価結果

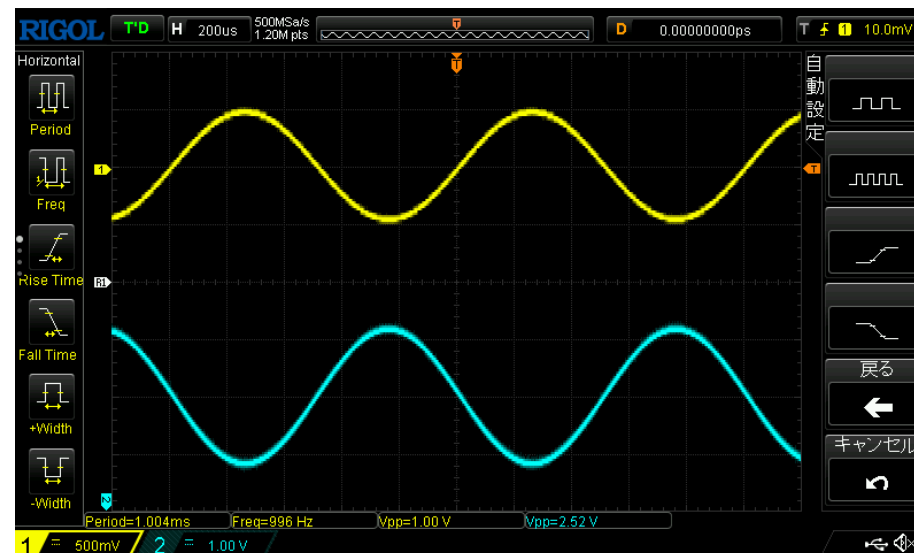
■ 2024年版



Measurement settings

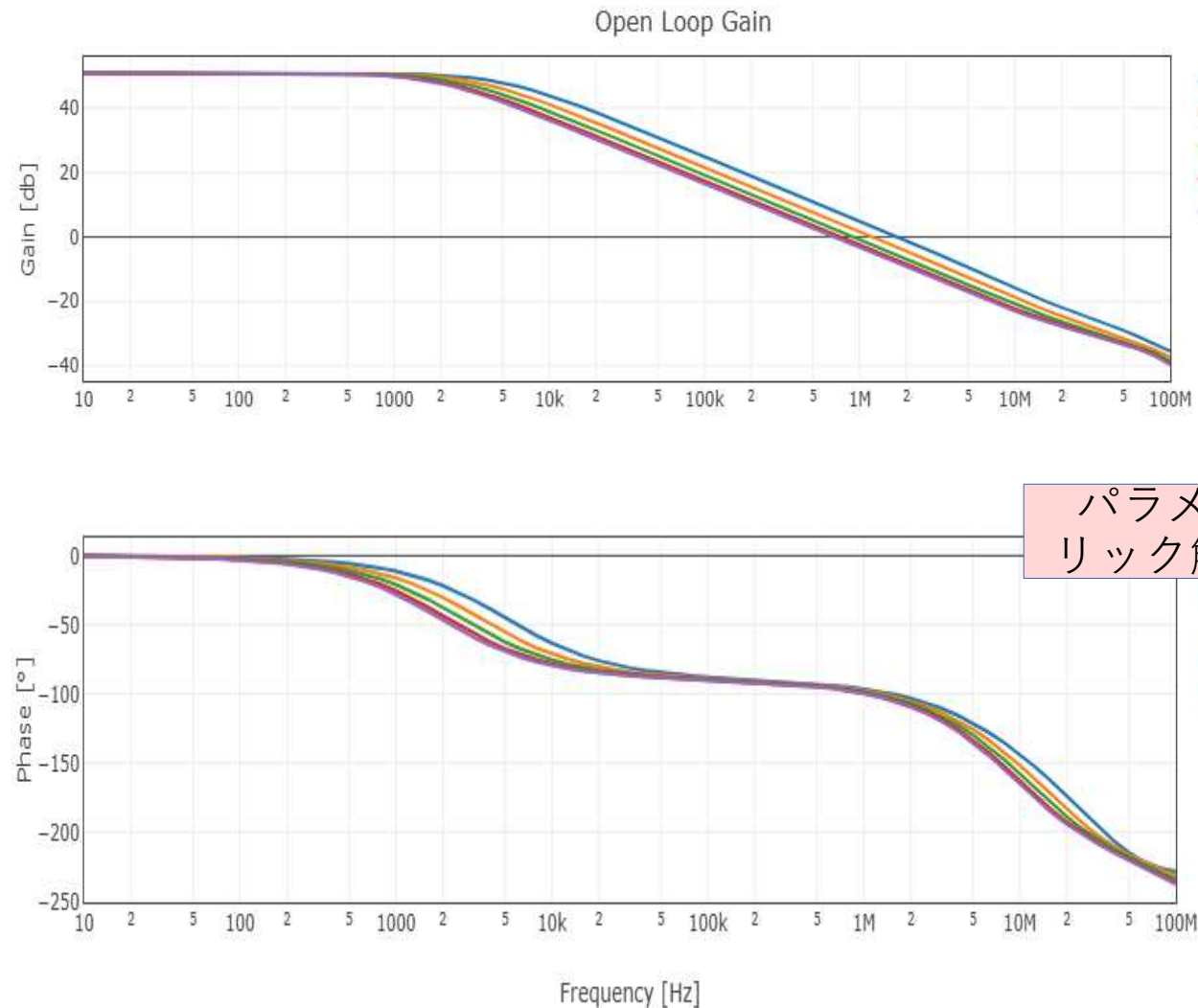


- OPamp8_18
- Positive output is okay
 - No oscillation



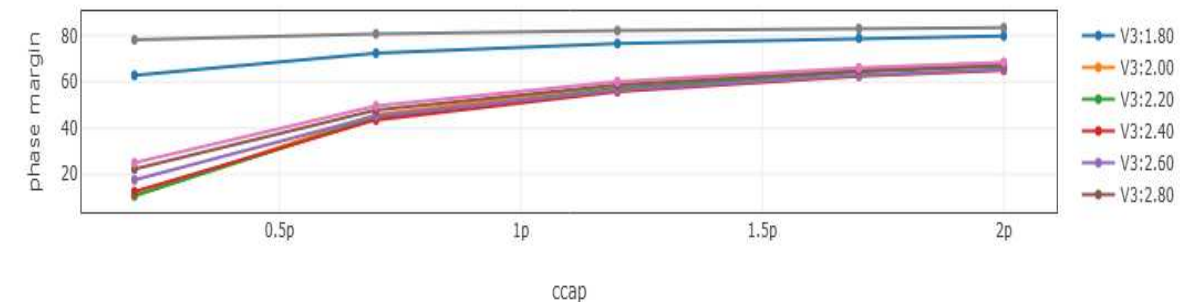
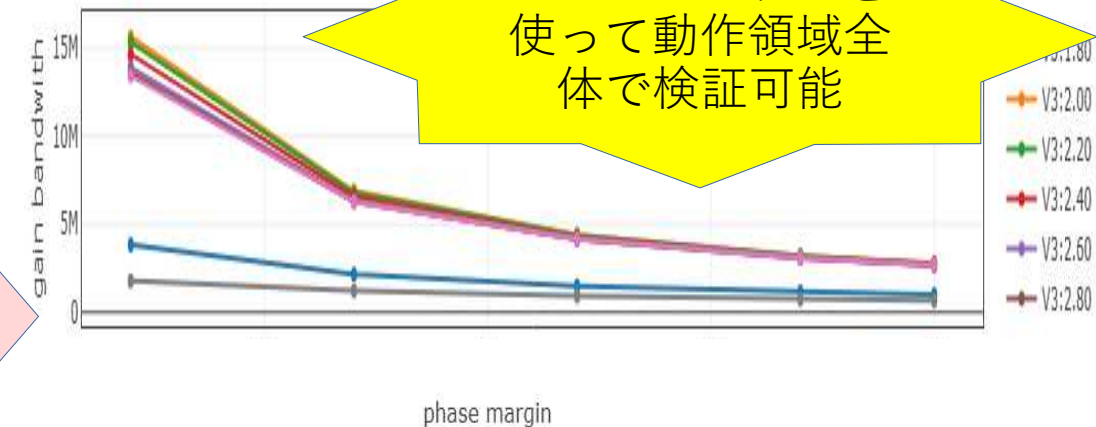
- OPamp8_22
- Top/bottom balance OK
 - No oscillation

オープンループと位相余裕のシミュレーション



Op8_18のゲイン帯域幅と位相余裕の同相電圧依存性

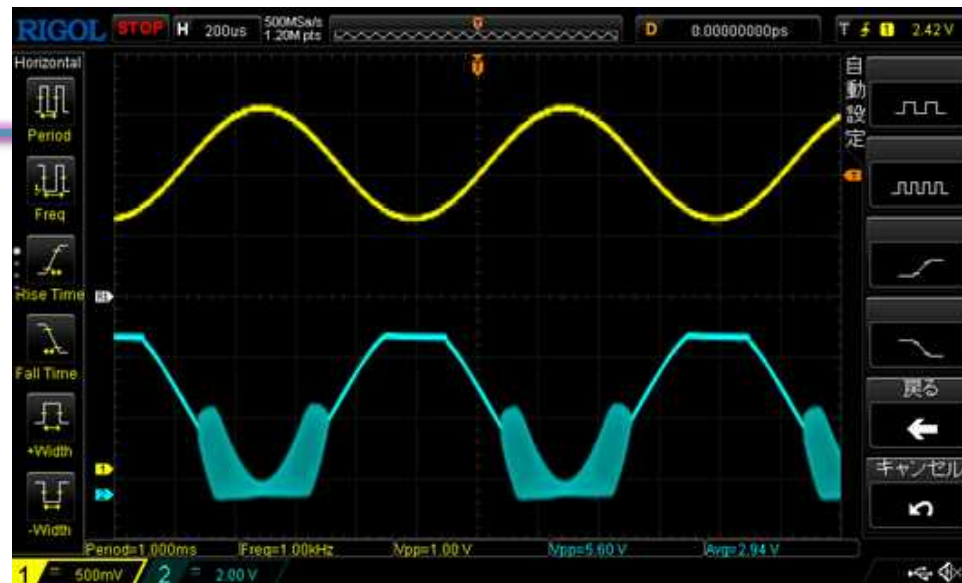
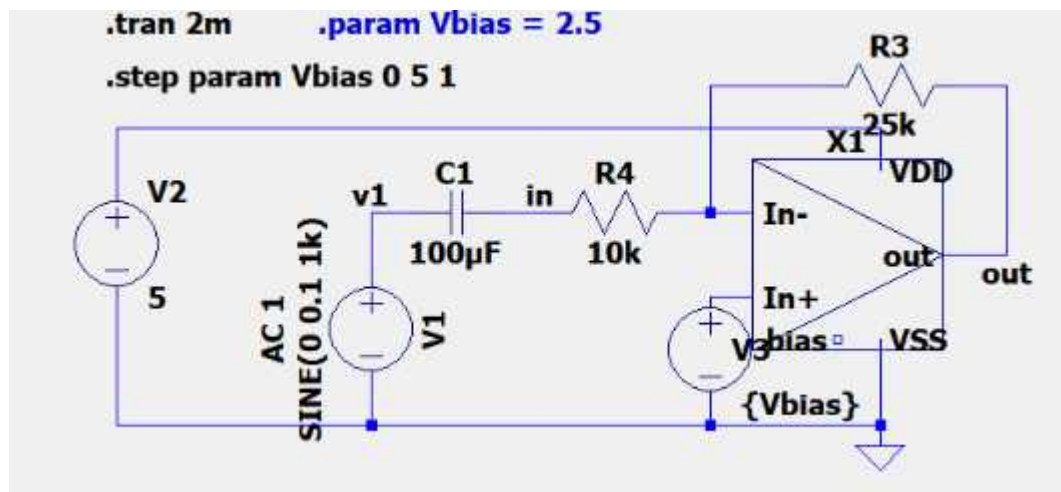
ALTA2システムを使って動作領域全体で検証可能



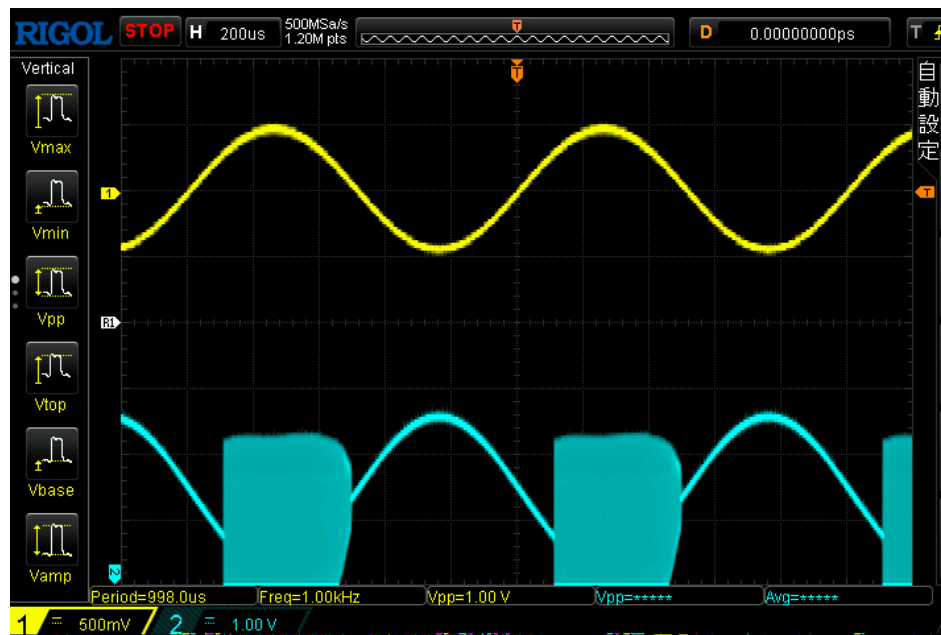
パラメトリック解析

Opアンプ評価結果

■2023年版

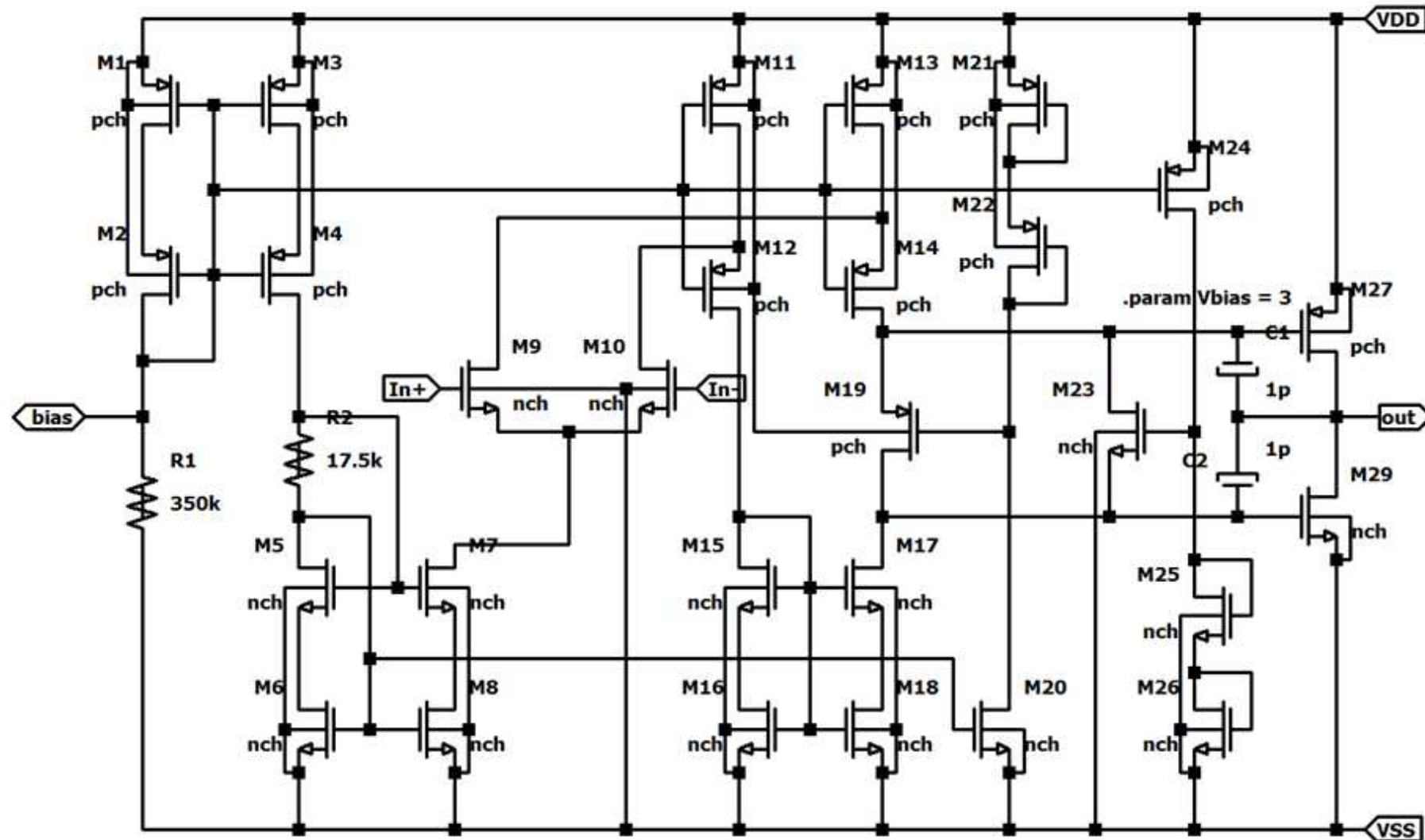


- OPamp8_18
- プラス側出力が不足
 - 発振の兆候

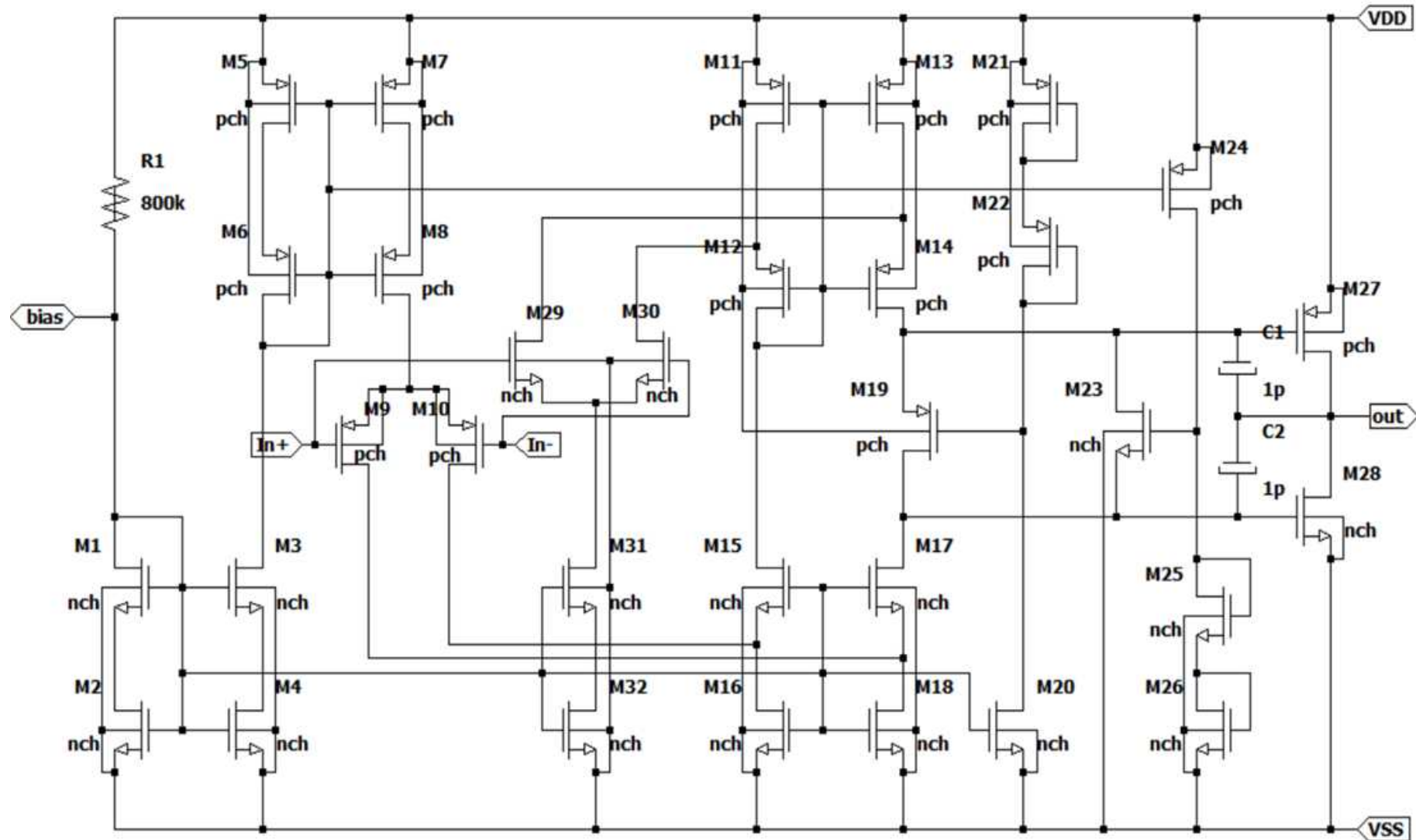


- OPamp8_22
- 上下のバランスはOK
 - 出力が0-5Vまでスイングできず
 - 発振を観測

Op8_18 (NMOS差動入力、出力側Rail-to-Rail)

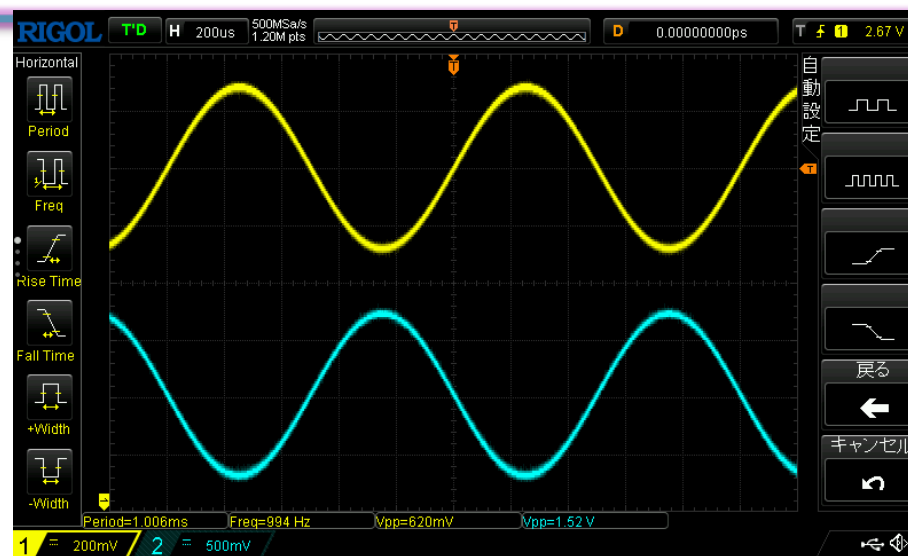
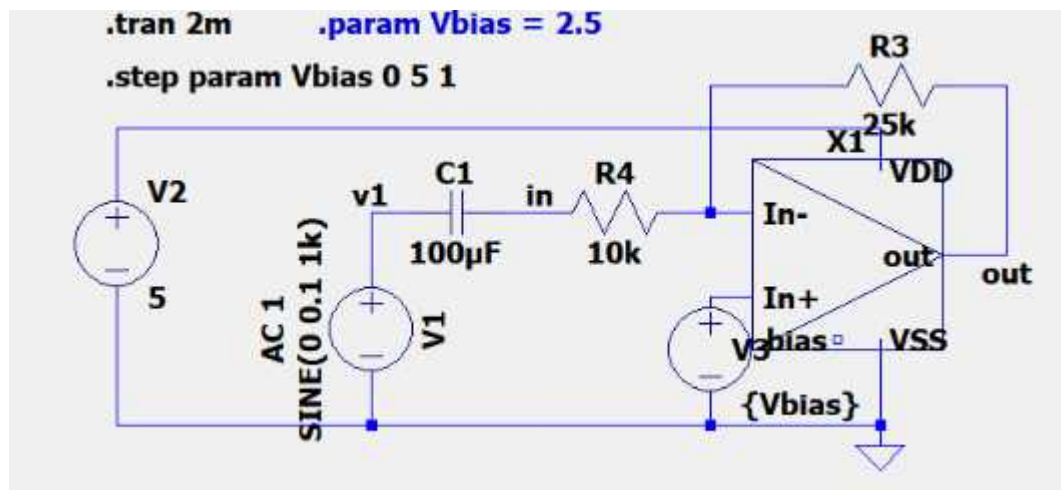


Op8_22 (入力側Rail-to-Rail、出力側Rail-to-Rail)

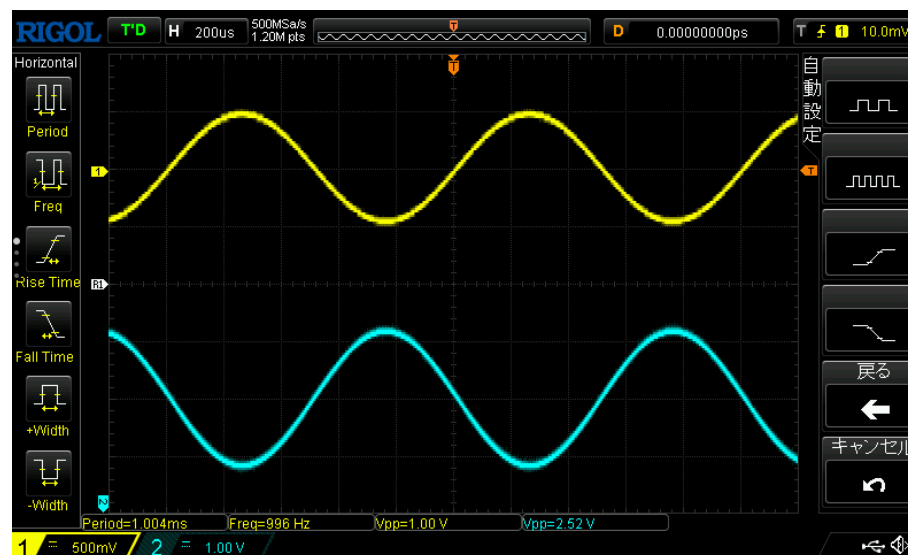


2024年版 Opアンプ評価結果

2024年版



- OPamp8_18
- Positive output is okay
 - No oscillation



- OPamp8_22
- Top/bottom balance OK
 - No oscillation



ミニマルファブ CMOS LSI デバイス開発のいま

森山誠二郎

土屋忠明 浦伸吾

(株)アナジックス

(株)ロジックリサーチ

<https://www.anagix.com> <https://www.logic-research.co.jp>

minimal[®]

/ Anagix Corp.

2025/7/3 第7回オープンソースEDA研究会@福岡

あらすじ

- ➡ ■ミニマルファブとは
 - CMOS LSIデバイスはガラス細工
 - CMOS LSIデバイス実用化のあゆみ
 - 学生バイトによるCMOS LSI製造
 - アーリーアダプタプログラム

Minimal Fabとは

- 少量製品のLSI化を担う新産業の中核となる新しい生産方式
 - 0.5インチウェーハ
 - 幅294 mm×奥行き450 mm
 - ×高さ1440 mmの製造装置
 - マスクレス露光
 - L S I 一個からの製造が可能
 - わずか1週間でSOI CMOS L S I 試作

minimal[®]



ミニマルファブは...

速い

安い

面白い

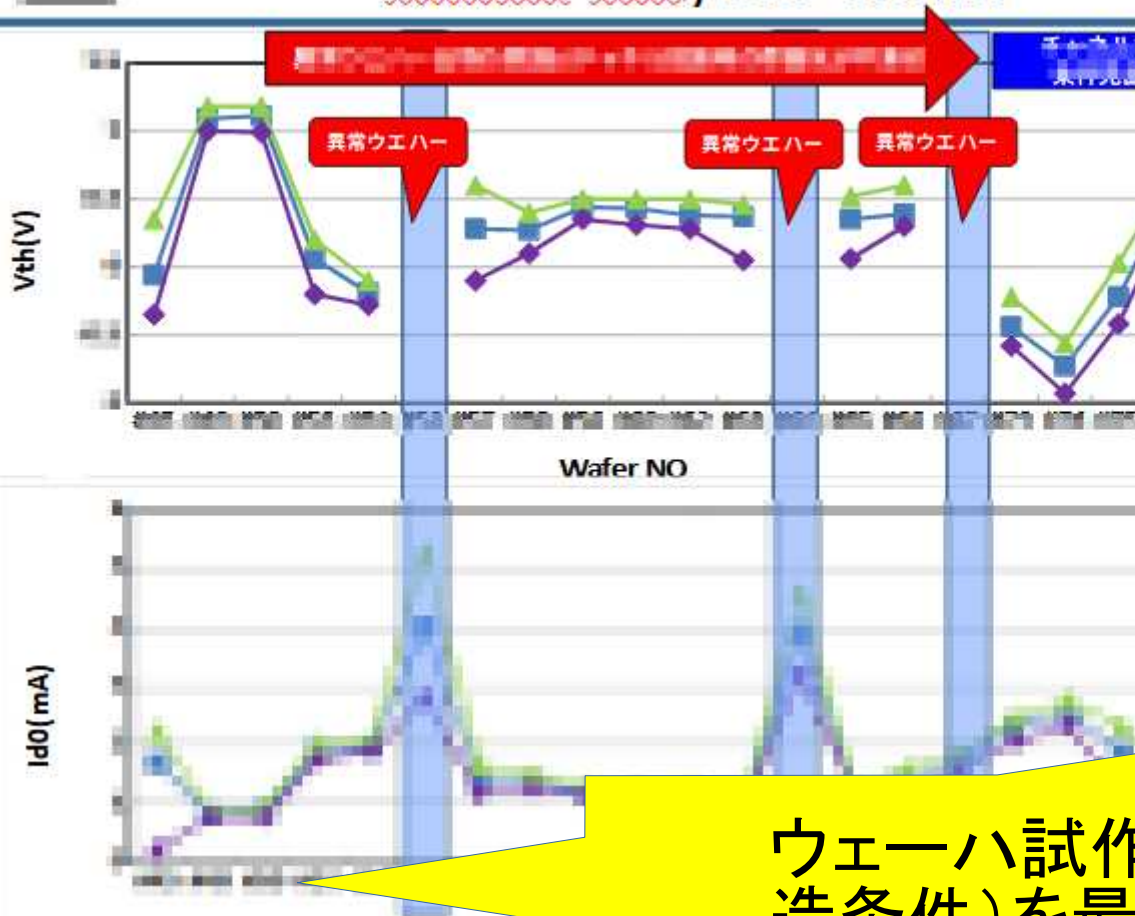
ミニマルファブは面白い

装置を見ているだけでも楽しめる
自分で操作することができる
クリーンルームに入る必要なし
出来あがる過程を楽しむことができる
(上級編)
製造レシピを変えることができる
特殊な材料を使うこともできる

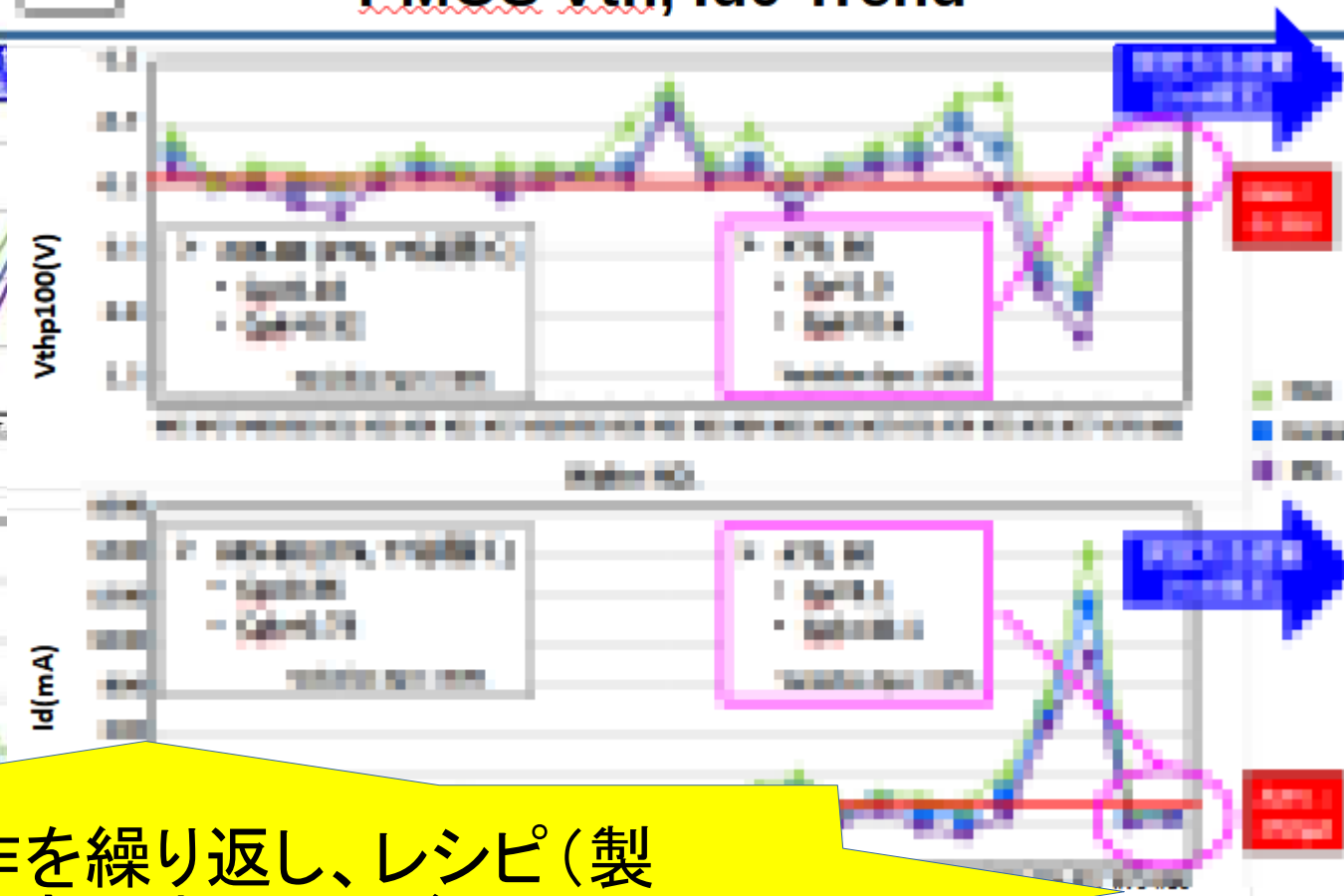
回路技術者が
触ることのできる
ファブ

CMOS LSIデバイスはガラス細工

NMOS V_{th} , I_{d0} Trend



PMOS V_{th} , I_{d0} Trend



ウェーハ試作を繰り返し、レシピ（製造条件）を最適化することが必須！

ミニマルファブCMOS LSI実用化のあゆみ

■2017年以前

- 産総研で研究開始、国家プロジェクトとなる
- ファブシステム研究会を中心に、装置・プロセス開発を進めた
- 2013年にPMOS, 2015年にCMOSデバイス開発に成功

■2017年12月のセミコンジャパンでミニマルEDAをデモ展示

■2022年2月に横河ラボでPMOS LSIを試作し、乗り合いシャトルの試行をおこなったが、装置とプロセスが安定しておらず失敗に終わる

■ミニマルファブ推進機構より2023年11月にNDA不要のPDKをリリース

■2023年、2024年にミニマルファブ設計コンテスト開催

■2024年より、お台場(産総研臨海地区のラボ)でCMOS LSI実用化を本格開始

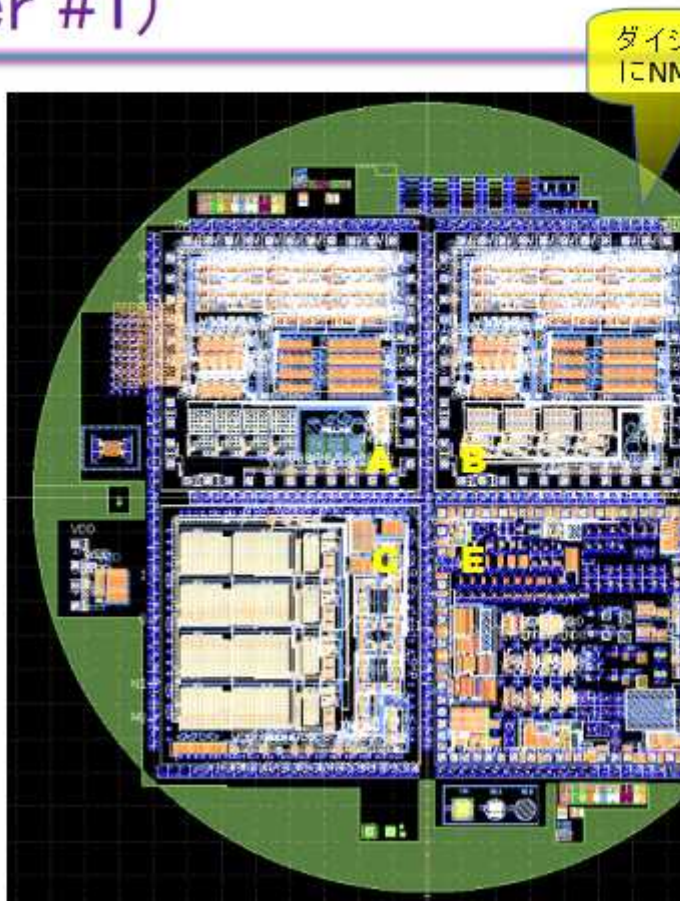
■ミニマルファブLSI試作ワーキンググループを発足

2022年に失敗したシャトル試行

面付け(Wafer #1)

- A chip
 - 筑波大フィルタ
 - TinCap 角型キャパシタ
- B chip
 - 筑波大フィルタ
 - PdiffCap 角型キャパシタ
- C chip
 - 7月試作の角型キャパシタ
- E chip
 - シャトル試行
 - 回路メイン

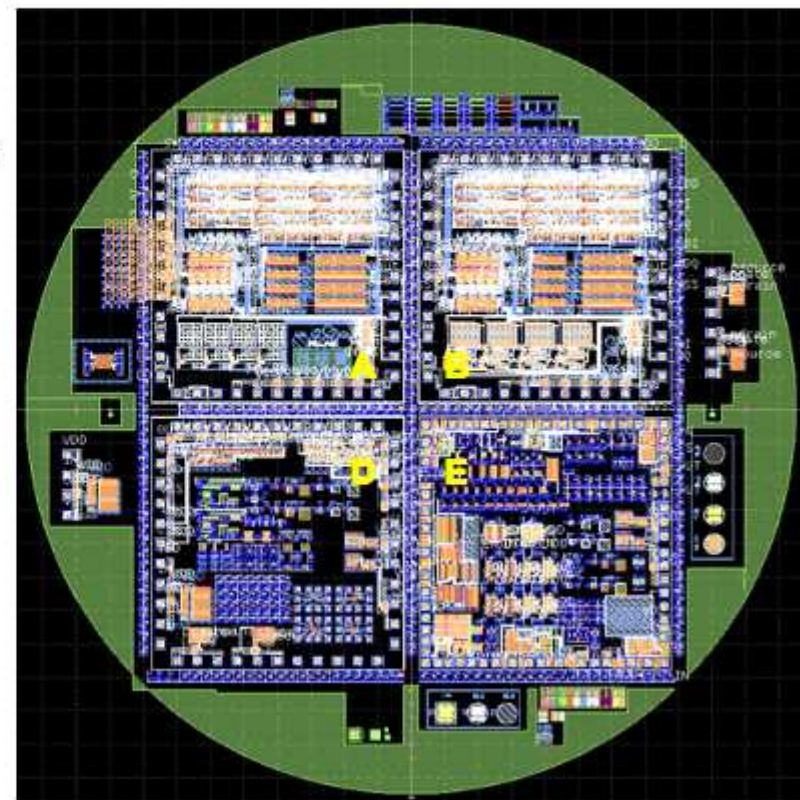
S1 / Anagix Corp.



面付け(Wafer #2)

- A chip
 - 筑波大フィルタ
 - TinCap 角型キャパシタ
- B chip
 - 筑波大フィルタ
 - PdiffCap 角型キャパシタ
- D chip
 - シャトル試行
 - 素子TEGメイン
- E chip
 - シャトル試行
 - 回路メイン

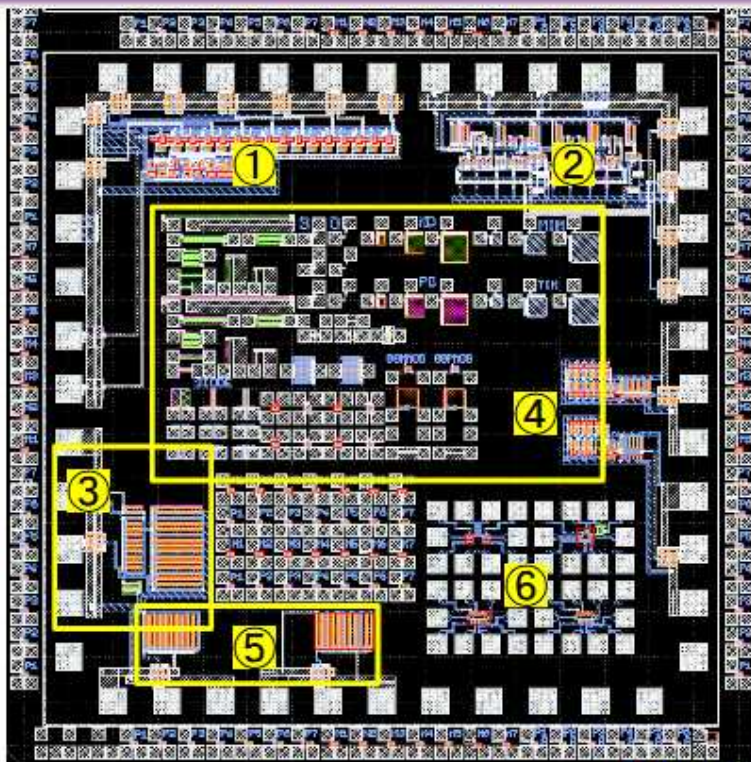
S2 / Anagix Corp.



2022年に失敗したシャトル試行(つづき)

レイアウトの詳細(D chip)

- ①ダイナミックシフトレジスタ
- ②差動4分周器
- ③シュミットトリガー
- ④リングオシレータ(SOIブリッジあり・なし)
- ⑤単体トランジスタ回路(2種類)
- ⑥単体トランジスタ(4種類)

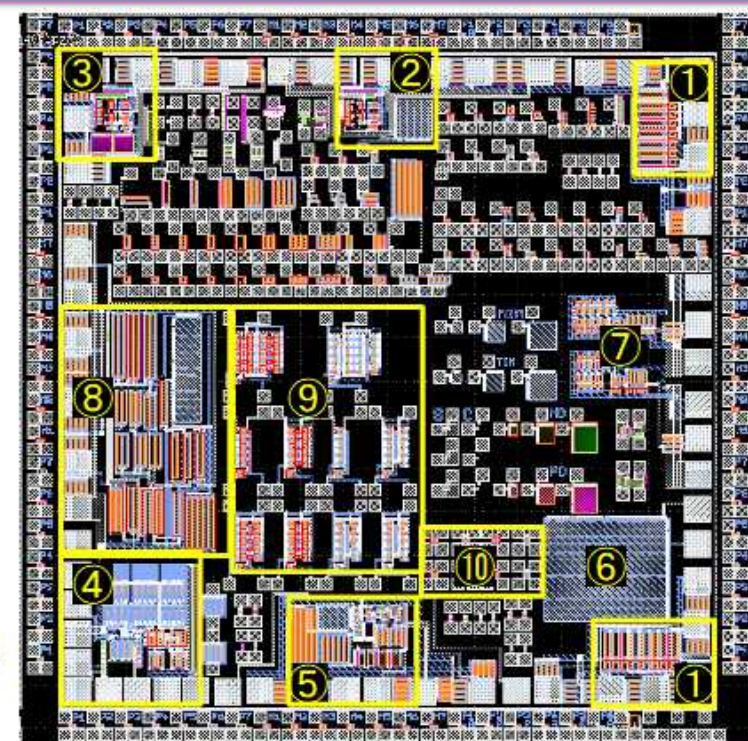


56 / Anagix Corp.

レイアウトの詳細(E chip)

- ①FFOTA
- ②op2_TIN_cap
- ③op2_PDIF cap
- ④bgr_simple
- ⑤PMOS_Opamp
- ⑥PMOS_Opamp外付位相補償キャパシタ
- ⑦リングオシレータ(SOIブリッジあり・なし)
- ⑧オペアンプ(明治大)
- ⑨PTAT回路(明治大)
- ⑩PTAT用単体トランジスタ

59 / Anagix Corp.



2022年に考えた”今後に向けた取り組み”

■プロセス問題への対応

- 7月の第1回試作は、プロセス問題により失敗し、有効な測定はできなかった
- 今後も装置のトラブルや、作業者のミスにより試作を失敗する可能性もある
- シャトル・サービス運行の頻度が高まれば、失敗しても次のシャトルでのリカバリが可能となるので、とにかく今は、相乗り試作の利用を盛んにしたい
- シャトル試作に使えるファブが増え、製造リソースに余裕が出ることが望まれる

■試作経験が少なく、作結果の評価が十分に行えていないが、試作ごとのばらつきや、ウェーハ面内のばらつきは、大きいと予想される

- 評価のためのTEGを充実するとともに、試作評価を迅速に行う必要がある

■装置を安定的に稼働させ量産を可能とするには、試作回数を飛躍的に増やし、これまでメガファブが経験してきた地道な改善努力をミニマルファブでも行う必要がある

学生バイトによるCMOS LSI製造

■ウェーハ試作を繰り返しレシピの見直しを行ってきたが、この試作作業は、研究者や高齢の臨時雇用者に適した作業ではなく、むしろ若くしかも半導体の知識を貪欲に吸収できる学生バイトが適している。

➤もちろん学生なら誰でもよいわけではなく、2025年6月現在は、LSI設計を研究テーマとする研究室の学生4名が従事している。

■2024年2月に装置使用のためのMOAP教育を受講し、3月の見習い期間を経て、4月に実戦投入された。

■2025年6月末までに、4名で延べ約740時間かけて約30枚の試作を行った。ロットミスはわずか2件（1件は学生のガスバルブ開閉ミス）。そのほか、過去のウェーハも含めたオンウェーハ測定とパラメータアナライザを使った測定に、約380時間を費やした。

アーリーアダプタプログラム提案の背景

- ミニマルファブ推進機構では産総研の研究を引き継ぎ、ミニマルファブの実用化に取り組んでいる
- CMOS デバイスをLSIに使用できるレベルまで引き上げるためにウェーハ試作を繰り返し、レシピの見直しを行ってきた
- 2025年3月までは、産総研との共同研究の枠組みにより、ウェーハ試作のためにはお台場の装置を無償で使用できたが、4月以降、産総研がCMFという仕組みで装置使用を有料化した
- 2024年4月以降、作業員として、半導体研究を専門とする学生4名をバイト採用し人件費の圧縮を図ってきたが、CMOSデバイス開発資金の自己調達を迫られている

アーリーアダプタプログラムの目的と対象

- ミニマルファブを使った超短期CMOS LSI開発のユーザになっていただける方々に、プロセスが安定していない段階から、ミニマルファブによるLSI試作を体験しフィードバックしていただく
- ミニマルファブによるLSI試作のポテンシャルを理解していただくとともに、社内教育や人材育成にも使っていただく
- 対象は、現在は、ミニマルファブ推進機構のメンバー企業を対象とするが、将来は、シャトルサービスを目指す

ミニマルファブは、LSI設計者のためのものなので、沈没させません！

あらすじ

■オープンソースEDA研究会とは

■第7回オープンソースEDAフォーラム開催報告

- 講演内容
- ライトニングトーク
- アンケート結果

■森山のLT紹介

- アナログOpen Source Silicon開発プラットフォーム
- ミニマルファブCMOS LSIデバイス開発のいま

➡ ■オープンソースEDA研究会・フォーラムへのお誘い

オープンソースEDA研究会・フォーラムへのお誘い

■オープンソースEDA研究会

ホームページのフォームから申し込み
<https://www.oseda-silicon.org>

■オープンソースEDAフォーラム

たぶん、2025年12月に第8回をハイブリッド開催しますので、EDA研究会からのメール案内や、Discordサーバ(OSEDA)の案内を見てください

■まずは、ライトニングトークに参加！

The screenshot shows the website of the Open Source EDA Research Association (OSEDA). The header includes the site name and navigation links. The main banner reads '入会・お問い合わせ' (Joining / Inquiry). Below this, a section titled '■入会について' (About Joining) instructs users to use the form below. The form itself is titled 'オープンソースEDA研究会 会員登録' (Open Source EDA Research Association Membership Registration). It includes a field for email, with the example 'seijiro.moriyama@gmail.com' and a link to 'アカウントを切り替える' (Switch account). A note indicates that email is a required question. At the bottom of the form, there is a checkbox for '返信に表示するメールアドレスとして' (As email address for reply display).