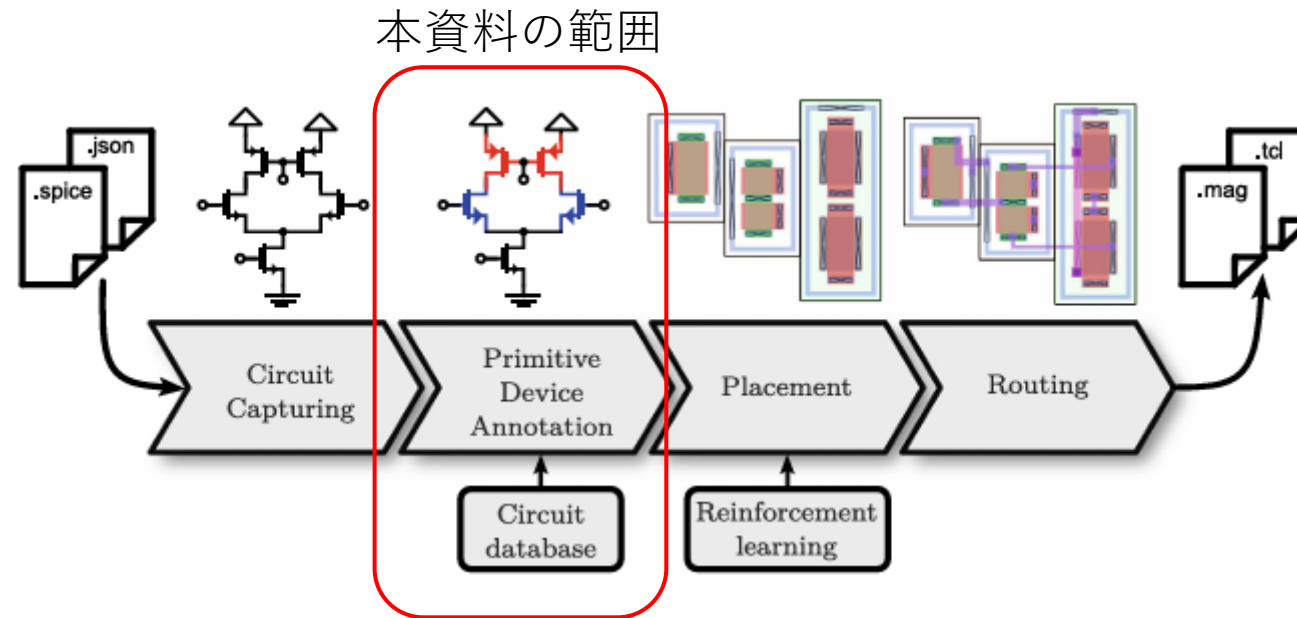


From Code to Chip

第3章 回路図入力

Satoshi Sasaki

全体の流れと本資料の範囲



強化学習支援自動化アナログレイアウト設計フロー

RALF: Reinforcement learning assisted Automated analog Layout design Flow [1]

回路図入力

インプット: **SPICE** ネットリスト

- 回路のインスタンス化
- 基本的なデバイスコンポジションとアノテーション
- セル生成のためのデータ構造とメカニズム

回路のインスタンス化

回路図から、用意されたセルを抽出するためのデータ構造を抽出する。

デバイス

プリミティブデバイス

サブサーキットデバイス

端子

プリミティブ端子

定義済みのレイアウトに直接リンクされる

サブサーキット端子

定義済みのレイアウトに直接リンクされない

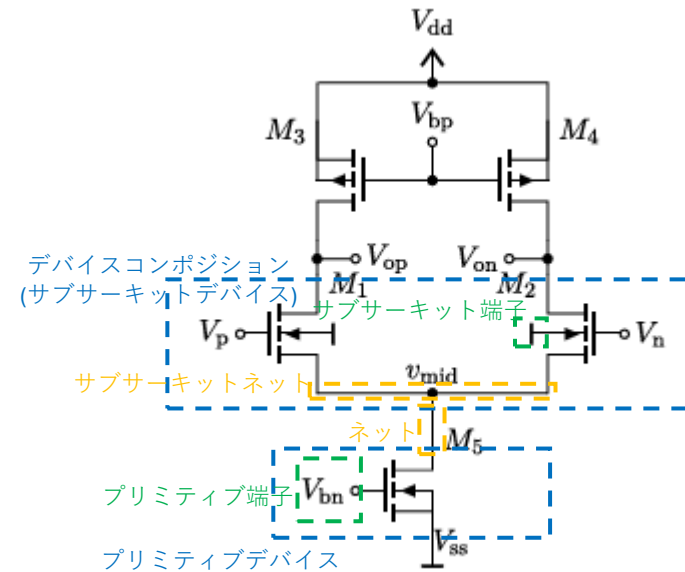
ネット

ネット

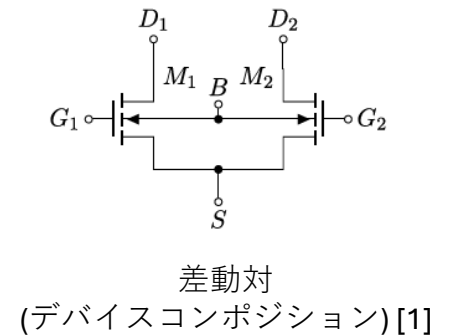
回路内のデバイスの接続を捉える

サブサーキットネット

サブサーキットデバイスの内部接続



回路図 [1]



回路のインスタンス化

RALF の対応デバイス

XR: 3端子抵抗器

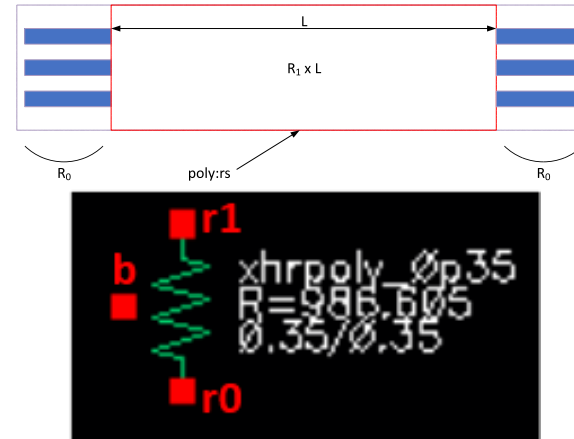
sky130_fd_pr__res_high_po_0p35
... Precision P+ 0.35 μ m resistor

XC: コンデンサ (2端子)

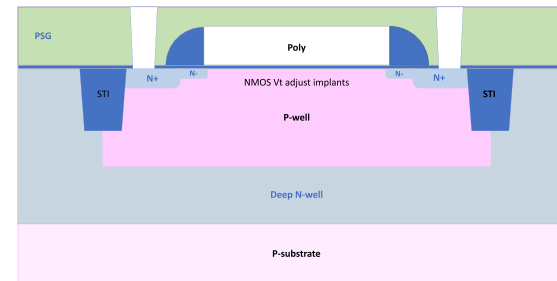
sky130_fd_pr__cap_mim_m3_1,
sky130_fd_pr__cap_mim_m3_2
... MIM 容量

XM: MOS FET (4端子デバイス)

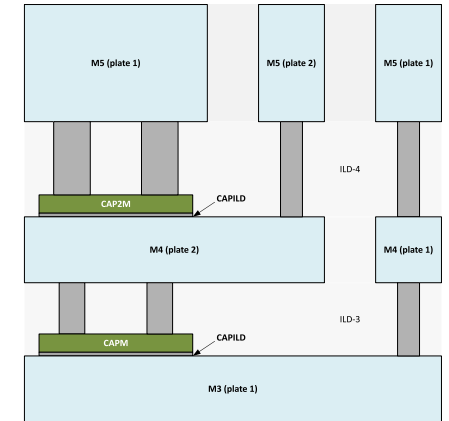
sky130_fd_pr__nfet_01v8 ... nmos
sky130_fd_pr__pfet_01v8 ... pmos



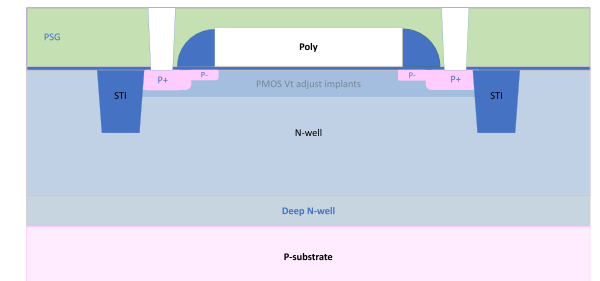
3端子抵抗器[2]



nmos[2]



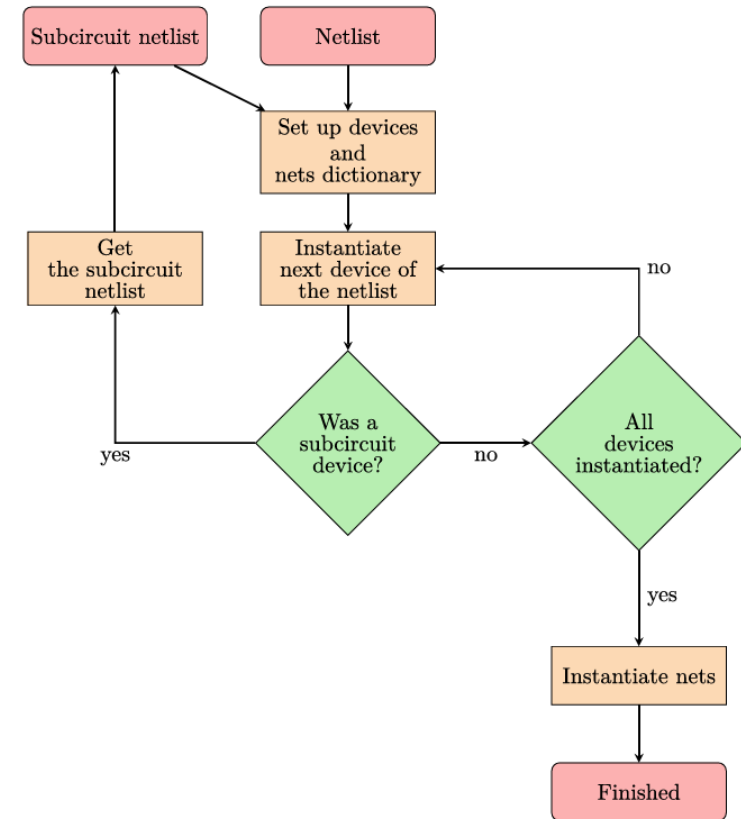
MIM容量[2]



pmos[2]

回路のインスタンス化

サブサーキットを含む(階層化された)回路から、すべてのデバイスがインスタンス化されるまでプリミティブデバイスとネットを辞書に登録する。



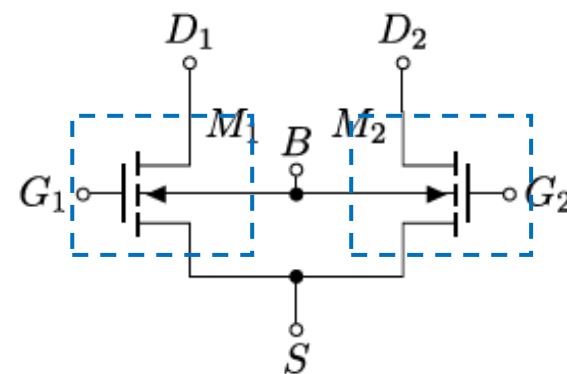
回路のインスタンス化のフローチャート [1]

アノテーション

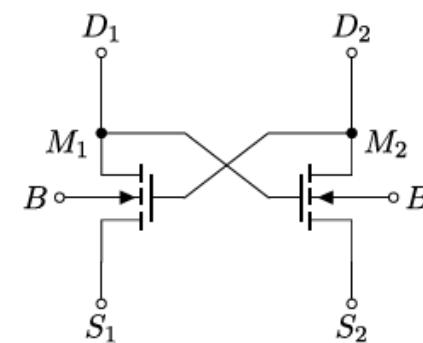
プリミティブデバイスコンポジション
複数のプリミティブデバイスを結合して
新しいデバイスを形成する

RALF がサポートするデバイスコンポジション

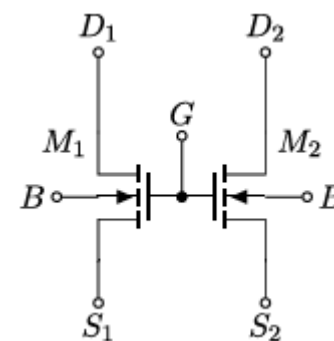
- 差動対
- クロスカップルドペア
- 差動負荷
- 抵抗ストリング



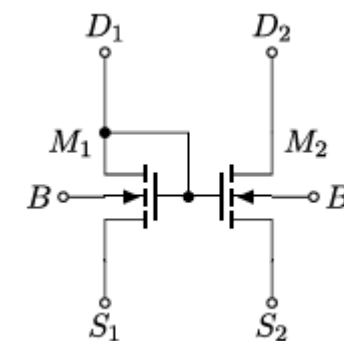
差動対 [1]



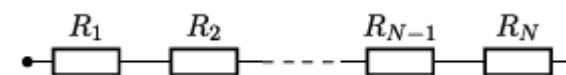
クロスカップルドペア [1]



差動負荷 [1]



カレントミラー [1]

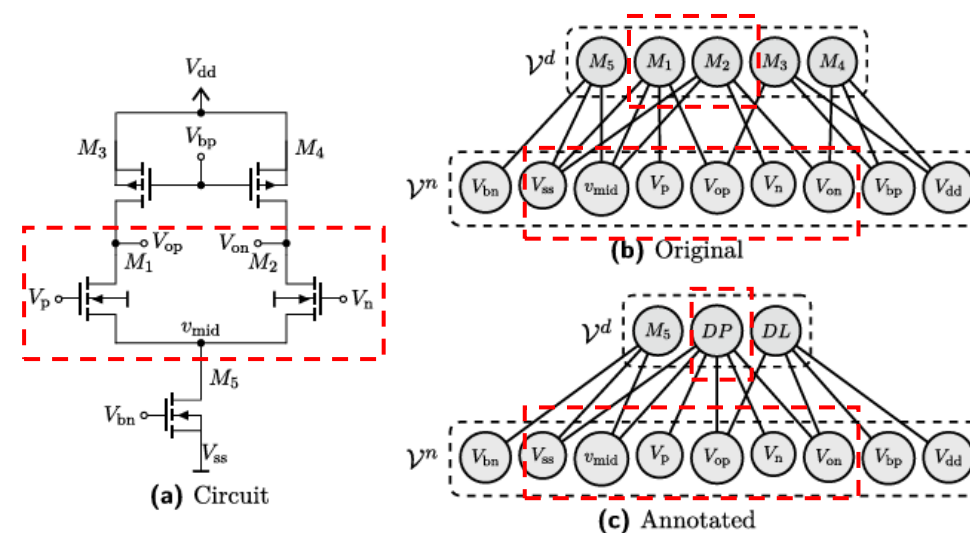


抵抗ストリング [1]

アノテーション

アノテーションメカニズム

- ネットリストから、デバイスとネットを抽出し、二部グラフ (bipartite graph) を作成する
- 作成した二部グラフから、対応するデバイスコンポジションに相当するグラフを見つける



アノテーションの例[1]

[余談] 特性ばらつきとその対策

一般的に、集積回路や固体ディスプレイのような薄膜デバイスでは、ウエハ上に大量のデバイスを作成する。

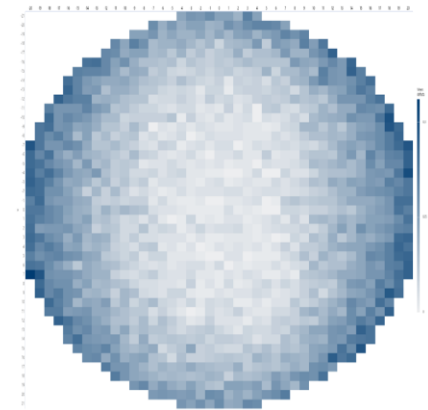
それぞれのデバイスの特性は、さまざまな要因により特性ばらつきが生じる。

- 不純物拡散、不純物注入
- 薄膜形成
- 薄膜加工

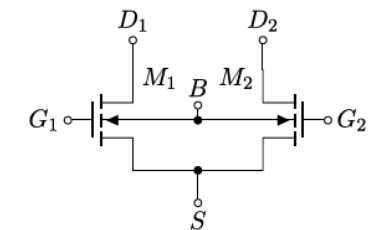
同じ素子をペアで使うことで、単独で使う場合よりも、ばらつきに対する耐性が向上する

- 差動対
- カレントミラー
- 能動負荷

ペアのトランジスタは、可能な限り近くに並べる方が、ばらつきに対する耐性が向上する



ウエハマップの例[3]



差動対 [1]

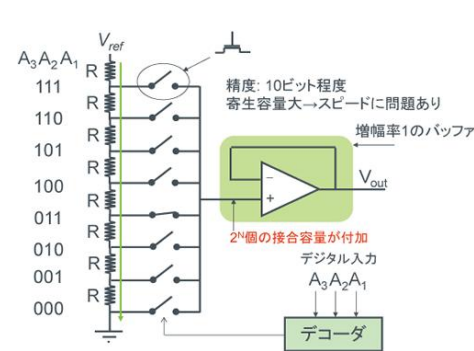
[余談]抵抗ストリングを用いる回路例

- DAC

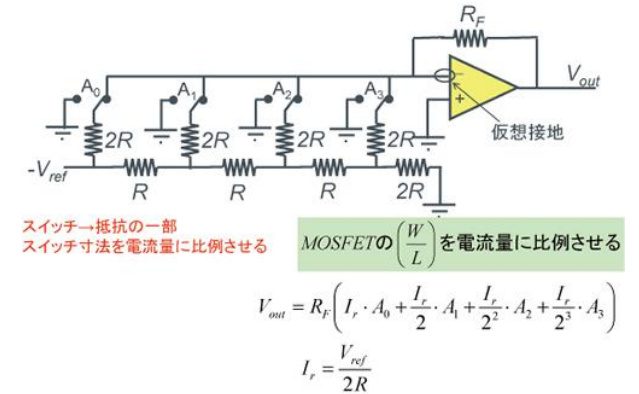
- 抵抗分圧方式DAC
- R-2RラダーDAC

- ADC

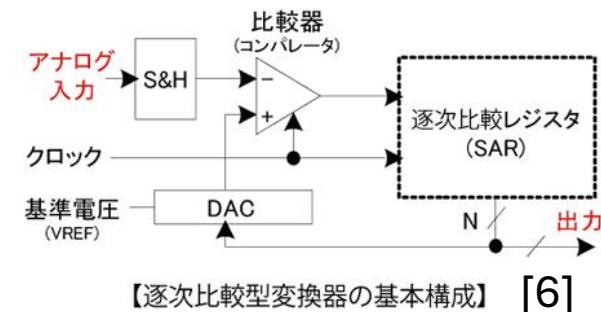
逐次比較型アナログデジタル変換器の中に **DAC** が用いられる



抵抗分圧方式DAC例 [4]



R-2RラダーDAC例[5]



セル生成

オープンソースレイアウトツール Magic のパラメタライズドセルジェネレータでセル生成する

セルビュー自動生成

Input: (回路図の)デバイスオブジェクト

Output: (Magic の) 描画コマンド (tcl)

セル生成

セル保存のためのメカニズムとして以下を実装

Cell class

- Cell name

- Layer stack

- Cells-device

MagicLayer: 同じ層での長方形のセットと回転角

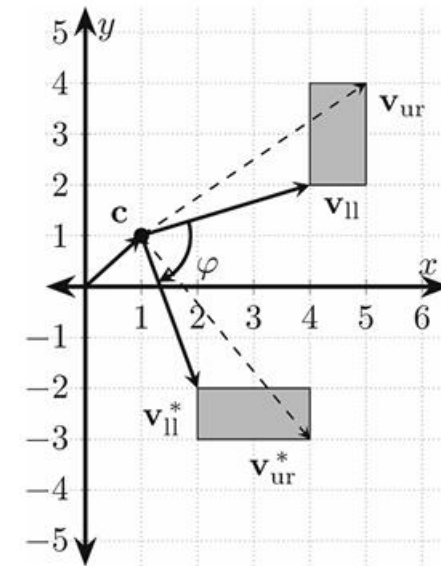
MagicPin: デバイス端末への物理的なアクセス ポイント

MagicTerminal

セル生成

セル操作

- 移動
- (任意の点を中心とした)回転
- 中心座標での回転
- セル位置固定
- セル配置
- セル座標リセット



(例) 回転操作

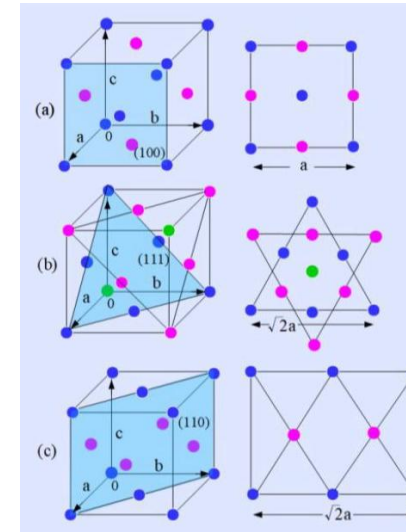
[余談] 素子を回転させることの意味

一般的に、シリコンのような結晶では、移動度のような特性は面方位により異なる値を示します。

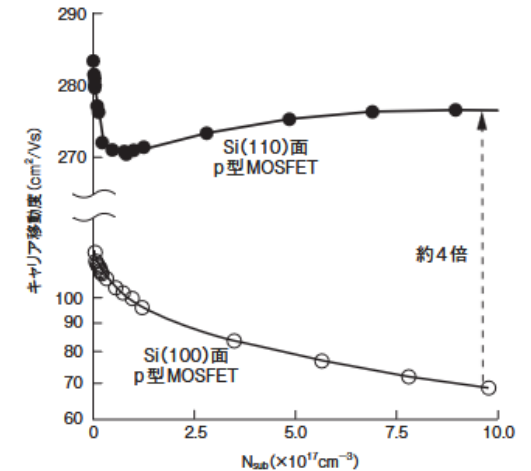
面方位を変更することで特性向上を実現した発表もあります。

デザインルールで能動デバイスの方向に制約を与えているPDKもあります。回転が90 deg 単位のものが多いと思います。

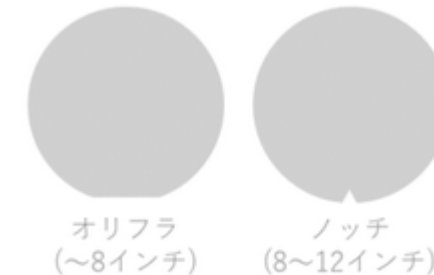
シリコンウエハでは、オリフラやノッチで結晶面を判別しています。



ダイヤモンド型結晶構造と面方位 [7]



室温でのキャリア移動度の N_{sub} 依存性[8]

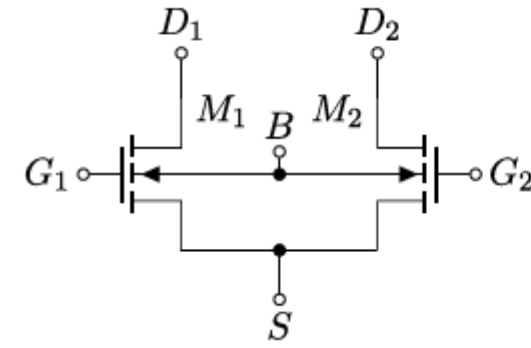


オリフラ、ノッチ[9]

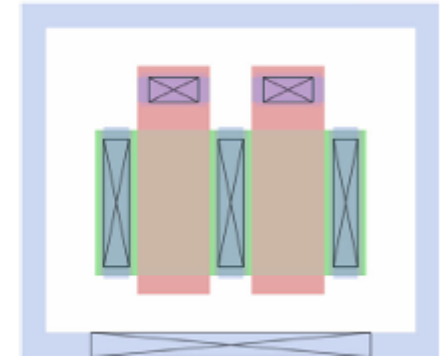
セル生成

マクロセル

セルのコレクションをカプセル化
サブサーキットデバイスの配置を表す



回路[1]



レイアウト[1]

差動対セル生成例 [1]

セル生成

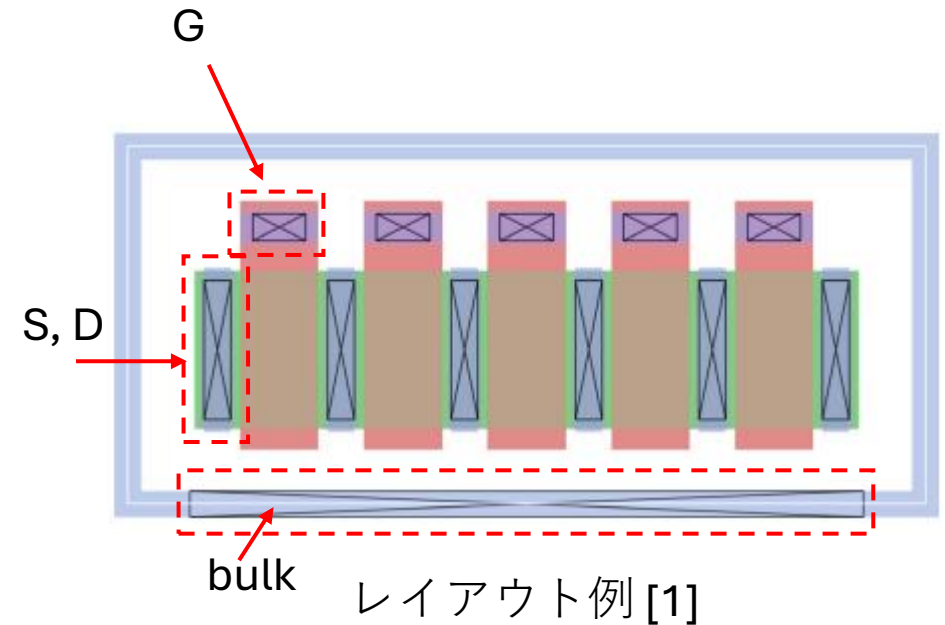
ピンアクセス

ネットの接続先を認識

ゲート: polycont 層と poly 層の重なり

バルク: psubdiffcont 層と locali 層

ドレイン、ソース: ndiffc 層と ndiff 層
の重なり



RALF の特徴と期待できる効果

JKU IIC RALF (2024) [1] の特徴

- 受動素子は精度の高いものを優先的に選択
 - 幅の広いPoly Si 抵抗
 - 寸法ばらつきの抑制
 - 拡散抵抗で起こる電圧依存性や温度依存性の抑制
 - 単層 MIM 容量
 - 寄生素子の影響の抑制
 - MOS 容量、接合容量で起こる電圧依存性や温度依存性の抑制
- 定型的なレイアウトを固定化
 - ペアの能動素子
 - 抵抗ストリング

期待できる効果

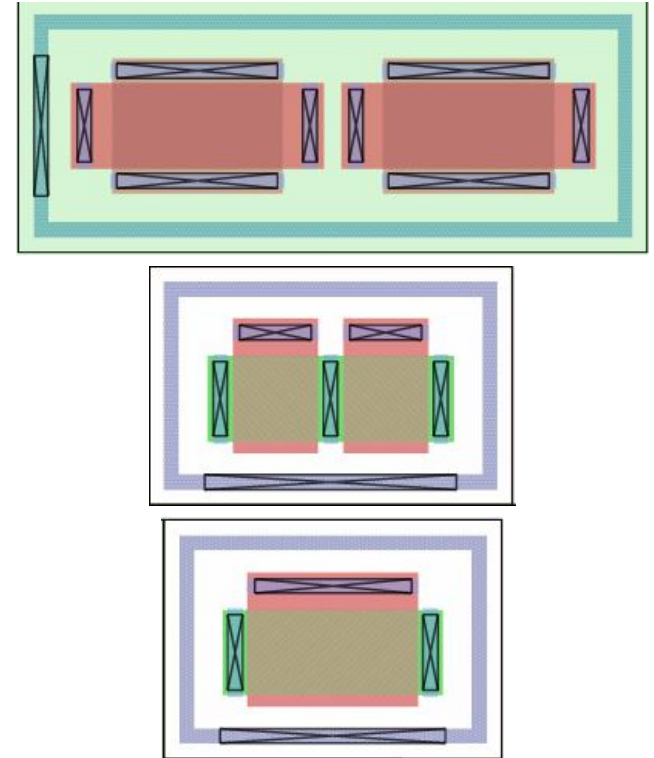
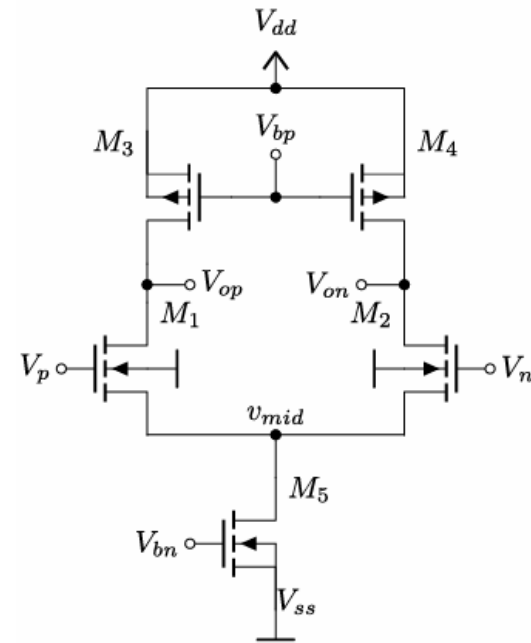
- ばらつき抑制
- 枝刈り(Pruning)による収束時間短縮

まとめ

元となる回路図から、自動配置配線に必要な情報を準備

回路図からプリミティブな素子、配線を抽出

特徴的な回路構造をアノテーションレイアウトツールのセル描画コマンドを生成



回路図から抽出されたセル [1]

参考文献

- [1] Jakob Ratschenberger and Harald Pretl : From Code to Chip (Springer, 2024).
- [2] <https://skywater-pdk.readthedocs.io/en/main/rules/device-details.html>
- [3] <https://blog.minitab.com/ja/enhance-circuit-yields-wafer-map>
- [4] https://www.rohm.co.jp/electronics-basics/da-converters/da_what5
- [5] https://www.rohm.co.jp/electronics-basics/da-converters/da_what6
- [6] https://www.rohm.co.jp/electronics-basics/ad-converters/ad_what5
- [7] <https://tinystones.net/cr/cr10.html>
- [8] 齋藤 真澄, 小林 茂樹 : 東芝レビュー Vol.63 No.9 (2008)
- [9] <https://semiconductor-job.com/manufacturing-method/>