

From Code to Chip

第3章 回路図入力

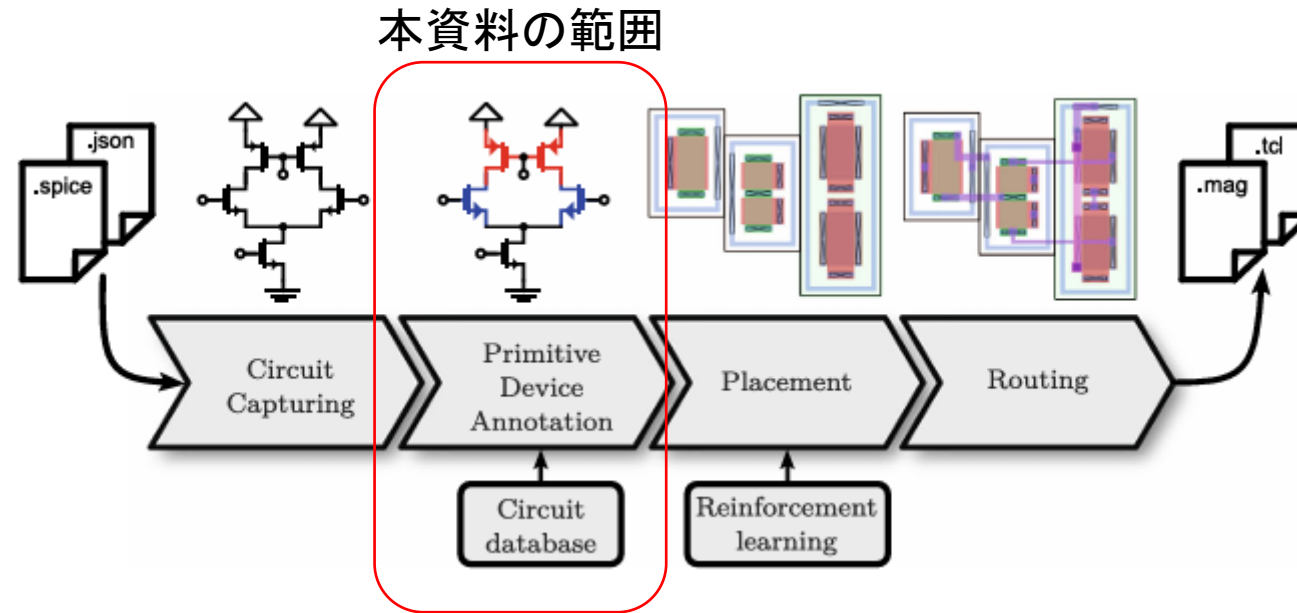
2025年5月イベント

「ISHI会二周年記念イベント～AIで半導体を設計してみよう！～」

発表向け資料

Satoshi Sasaki

全体の流れと本資料の範囲



強化学習支援自動化アナログレイアウト設計フロー

RALF: Reinforcement learning assisted Automated analog Layout design Flow

回路図入力

インプット: SPICE ネットリスト

- 回路のインスタンス化
- 基本的なデバイスコンポジションとアノテーション
- セル生成のためのデータ構造とメカニズム

回路のインスタンス化

回路図から、用意されたセルを抽出するためのデータ構造を抽出する。

デバイス

プリミティブデバイス

サブサーキットデバイス

端子

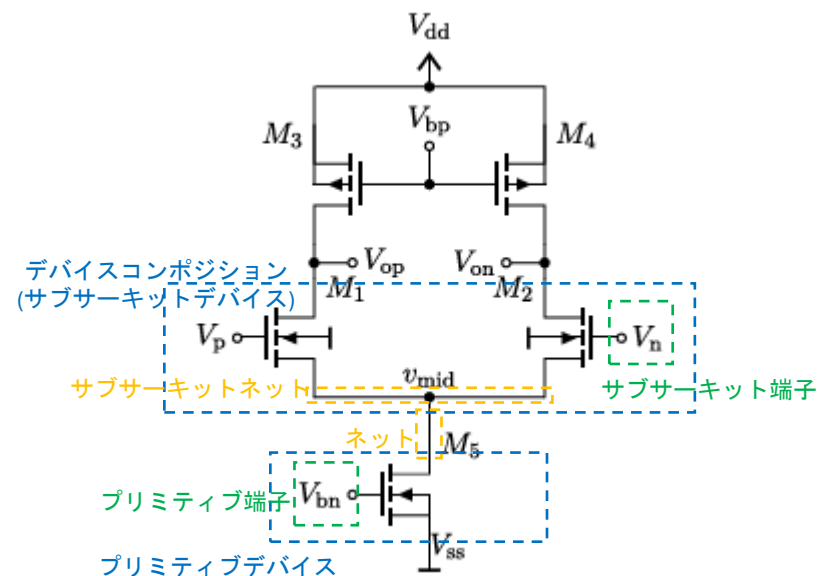
プリミティブ端子

サブサーキット端子

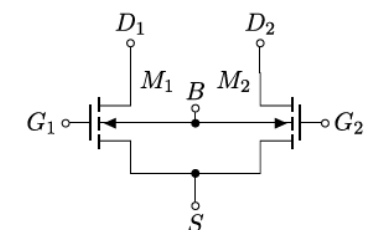
ネット

ネット

サブサーキットネット



回路図



差動対
(デバイスコンポジション)

回路のインスタンス化

RALF の対応デバイス

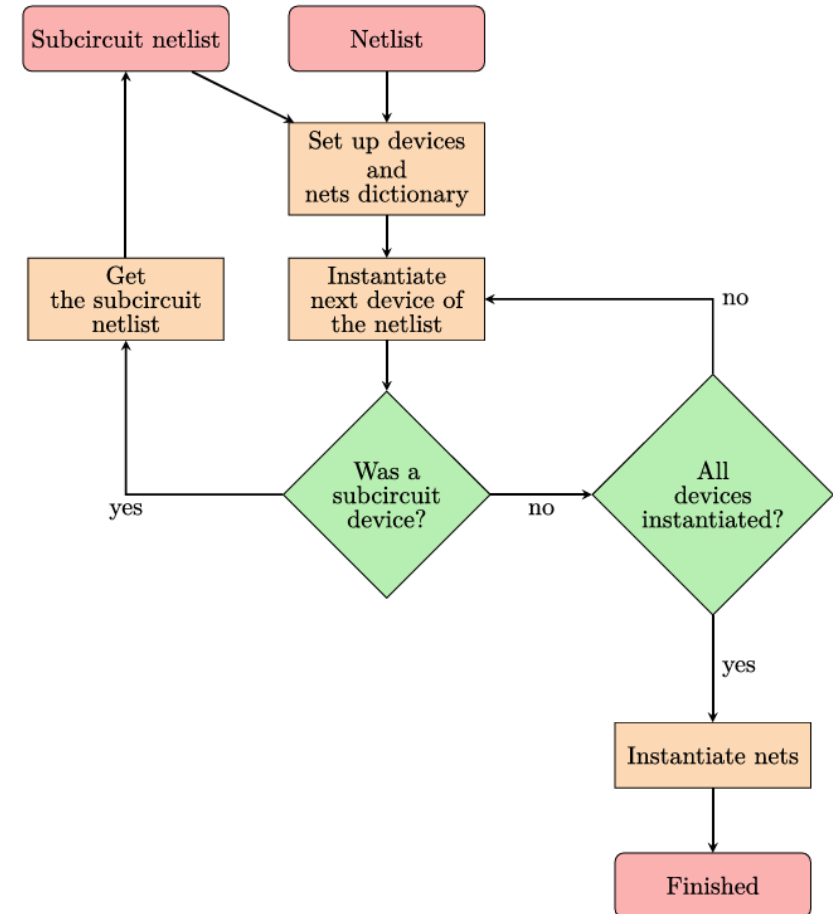
XR: 3端子抵抗器

XC: コンデンサ (2端子)

XM: MOS FET (4端子デバイス)

回路のインスタンス化

サブサーキットを含む (階層化された) 回路から、すべてのデバイスがインスタンス化されるまでプリミティブデバイスとネットを辞書に登録する。



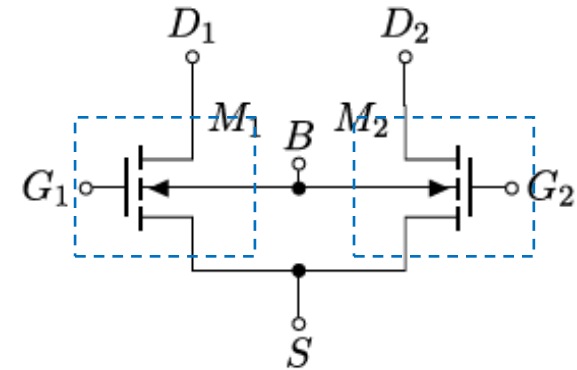
アノテーション

プリミティブデバイスコンポジション

複数のプリミティブデバイスを結合して新しいデバイスを形成する

RALF がサポートするデバイスコンポジション

- 差動対
- クロスカップルドペア
- 差動負荷
- Rストリング



[余談] 特性ばらつきとその対策

一般的に、集積回路や固体ディスプレイのような薄膜デバイスでは、ウエハ上に大量のデバイスを作成する。

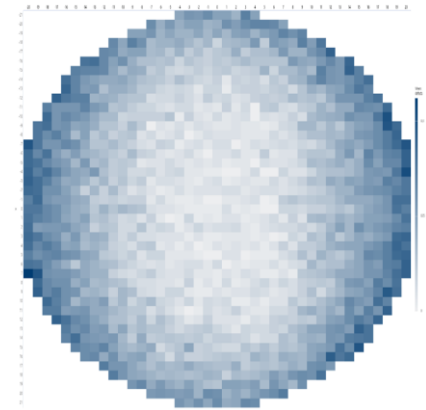
それぞれのデバイスの特性は、さまざまな要因により特性ばらつきが生じる。

- 不純物拡散、不純物注入
- 薄膜形成
- 薄膜加工

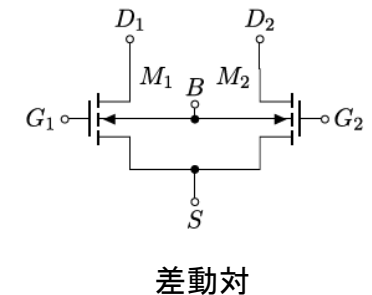
同じ素子をペアで使うことで、単独で使う場合よりも、ばらつきに対する耐性が向上する。

- 差動対
- カレントミラー
- 能動負荷

ペアのトランジスタは、可能な限り近くに並べる方が、ばらつきに対する耐性が向上する。



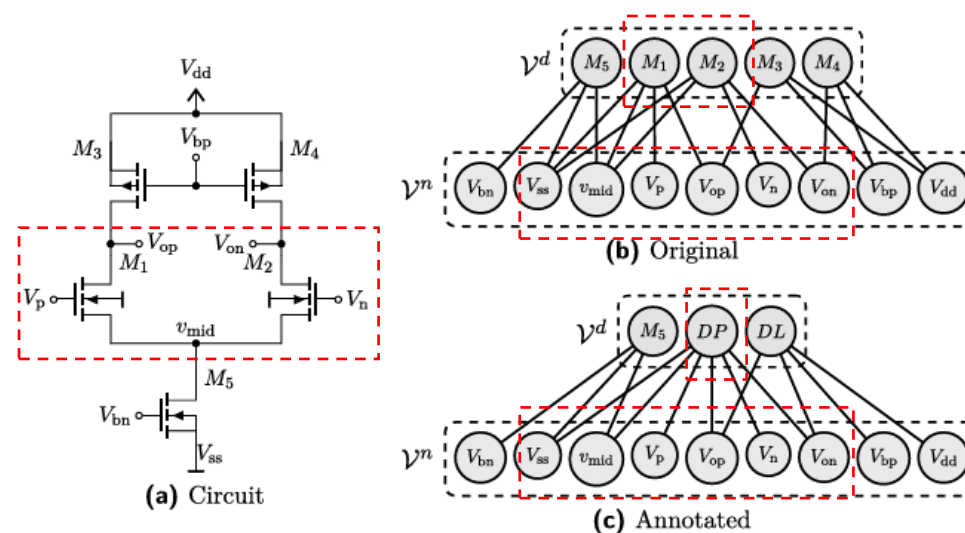
[1] <https://blog.minitab.com/ja/enhance-circuit-yields-wafer-map>



アノテーション

アノテーションメカニズム

- ネットリストから、デバイスとネットを抽出し、二部グラフを作成する
- 作成した二部グラフから、対応するデバイスコンポジションに相当するグラフを見つける



セル生成

オープンソースレイアウトツール Magic のパラメタライズドセルジェネレータでセル生成する

セルビュー自動生成

Input: (回路図の)デバイスオブジェクト

Output: (Magic の) 描画コマンド (tcl)

セル生成

セル保存のためのメカニズムとして以下を実装

Cell class

Cell name

Layer stack

Cells-device

MagicLayer: 同じ層での長方形のセットと回転角

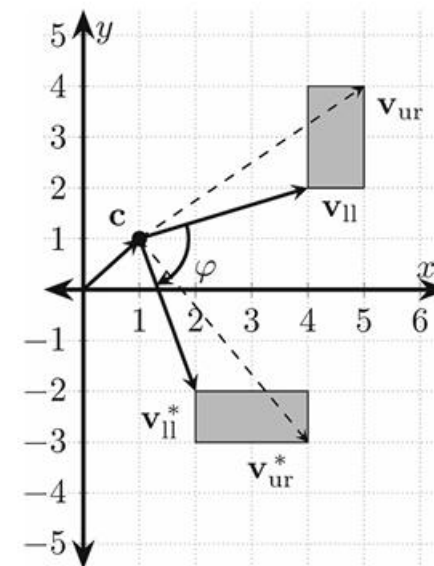
MagicPin: デバイス端末への物理的なアクセス ポイント

MagicTerminal

セル生成

セル操作

- 移動
- (任意の点を中心とした)回転
- 中心座標での回転
- セル位置固定
- セル配置
- セル座標リセット



(例) 回転操作

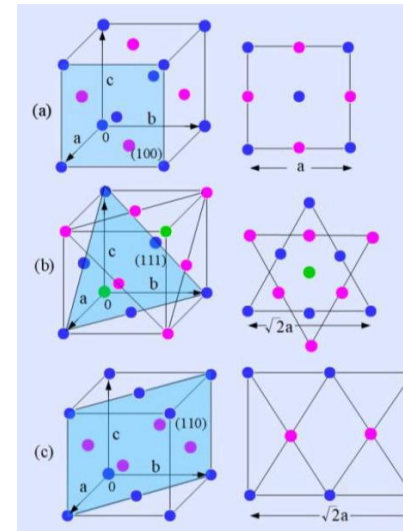
[余談] 素子を回転させることの意味

一般的に、シリコンのような結晶では、移動度のような特性は面方位により異なる値を示します。

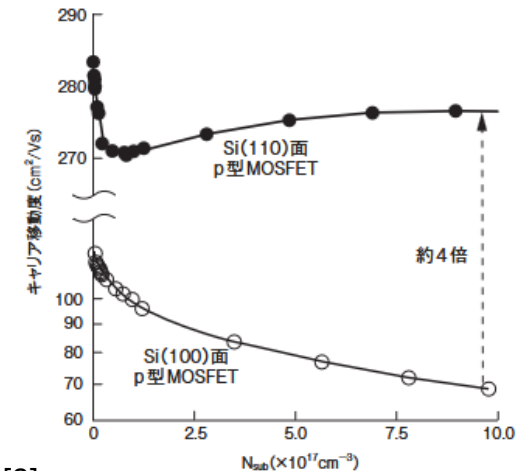
面方位を変更することで特性向上を実現した発表もあります。

デザインルールで能動デバイスの方向に制約を与えているPDKもあります。回転が90 deg 単位のものが多いと思います。

シリコンウエハでは、オリフラやノッチで結晶面を判別しています。

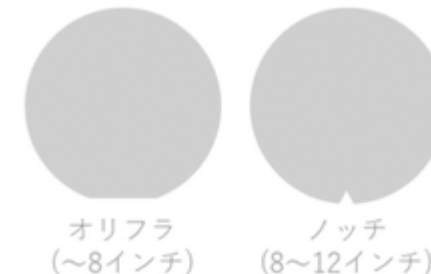


[1] <https://tinystones.net/cr/cr10.html>



[2]

https://www.global.toshiba/content/dam/toshiba/migration/corp/techReviewAssets/tech/review/2008/09/63_09pdf/f06.pdf



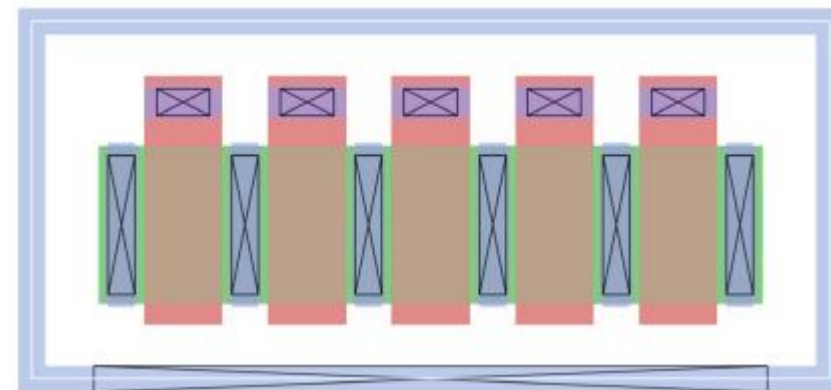
[3] <https://semiconductor-job.com/manufacturing-method/>

セル生成

マクロセル

セルのコレクションをカプセル化

サブサーキットデバイスの配置を表す



セル生成

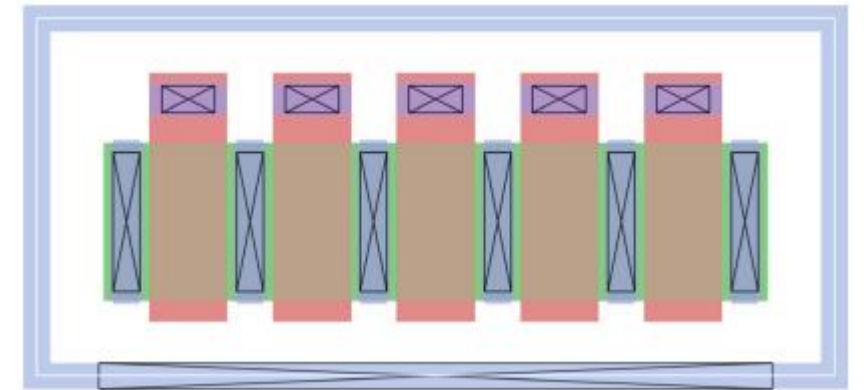
ピンアクセス

ネットの接続先を認識

ゲート: polycont 層と poly 層の重なり

バルク: psubdiffcont 層と locali 層

ドレイン、ソース: ndiffc 層と ndiff 層の重なり



まとめ

元となる回路図から、自動配置配線に必要な情報を準備

回路図からプリミティブな素子、配線を抽出

特徴的な回路構造をアノテート

レイアウトツールのセル描画コマンドを生成

