

OPAMP設計 (OR1)

ISHI会

<https://ishi-kai.org/>

Mail: info@ishi-kai.org

もくじ： トランジスタ編

- トランジスタの素性編
 - トランジスタの素性を調べる
 - 飽和領域
 - 短チャネル効果
 - オーバードライブ電圧
 - 実測

もくじ： 電流源編

- 電流源編
 - I_{bias} (バイアス電流)
 - 電流源
 - カレントミラー
 - カスコード接続

もくじ： OPAMP編

- 差動増幅段
- ソース接地増幅段
- 位相補償
- バイアスレプリカ

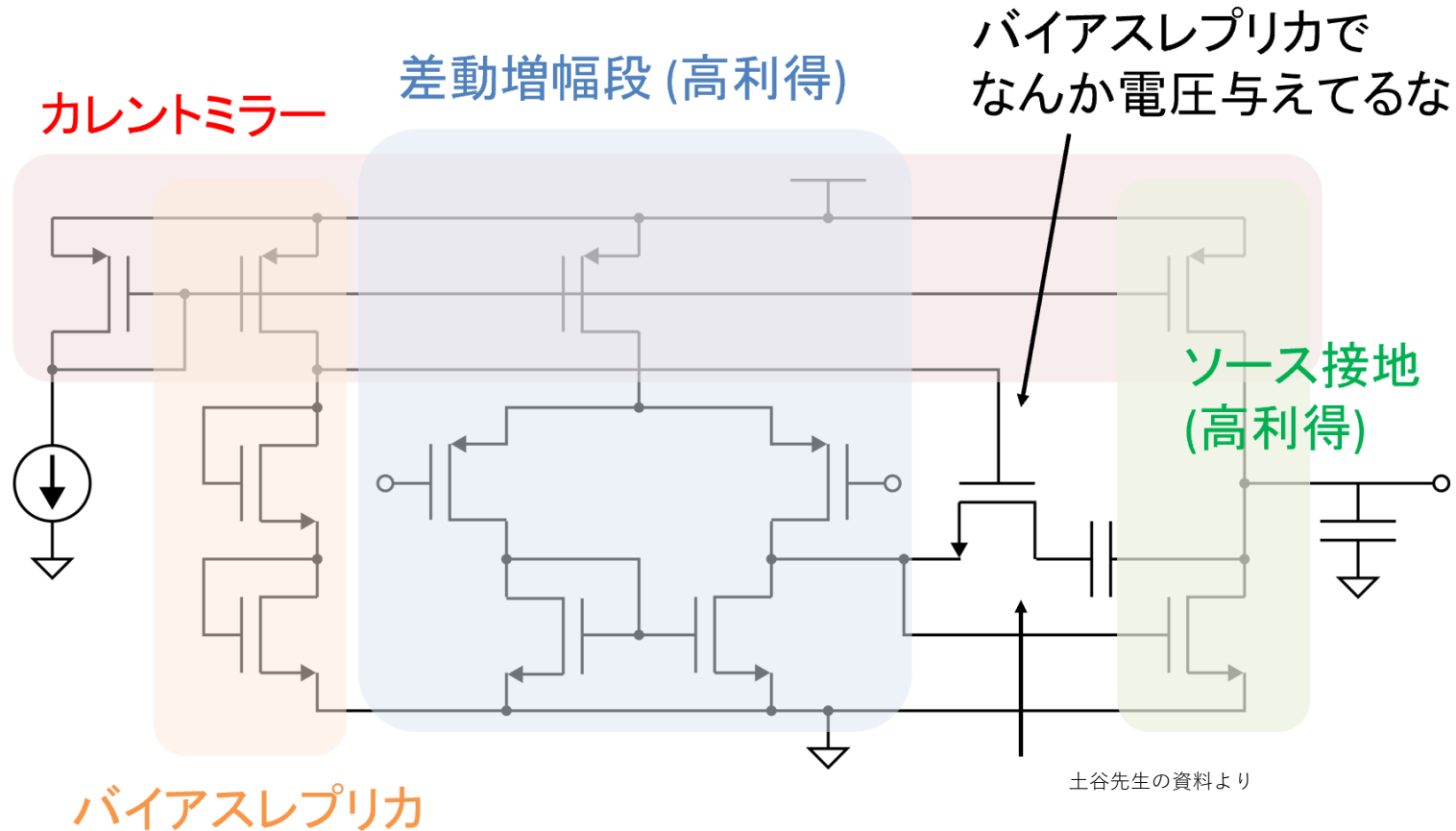
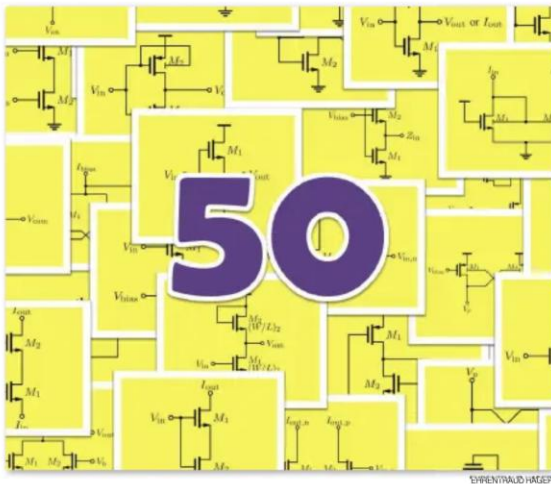
もくじ： レイアウト編

- schematic to placeレイアウト
- Cell（セル）単位でのレイアウト
- VDD/VSSセル
- ダミーポリシリコン
- コモンセントロイド
- ガードリング
- ダブルVIA/コンタクト
- ESD

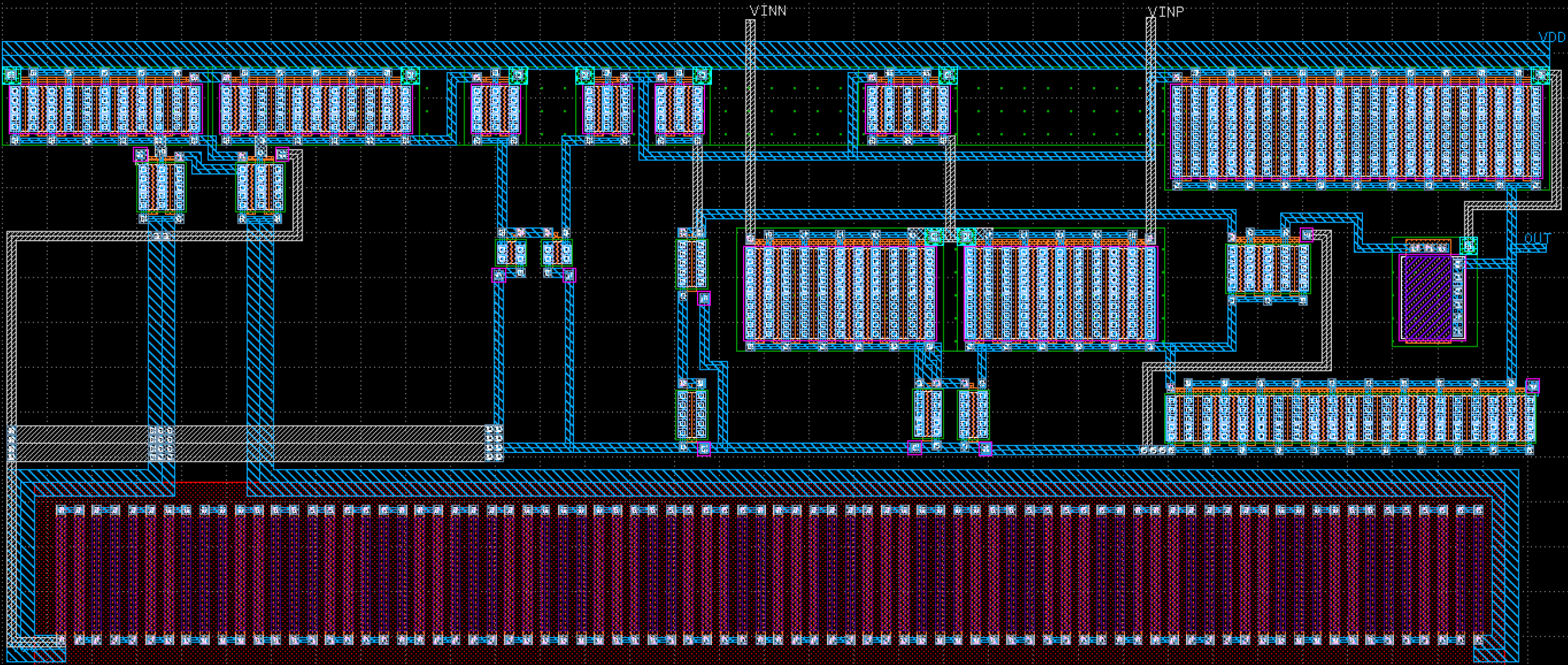
OPAMPの構造

- 差動増幅 + ソース接地
 - Nifty-Fifty
 - 2つのFETの組み合わせで回路ができているという論文

*Fifty Nifty
Variations
of Two-
Transistor
Circuits*



- https://www.researchgate.net/publication/354364068_Fifty_Nifty_Variations_of_Two-Transistor_Circuits_A_tribute_to_the_versatility_of_MOSFETs



OPAMPのサンプル

<https://github.com/ishi-kai/openmpw-transistor-level-examples/tree/main/OR1/PTC06>

- 2段増幅回路
 - 差動増幅回路
 - ソース接地増幅回路
 - 位相保証回路
 - バイアスレプリカ回路
- 電流源

トランジスタの素性編

トランジスタの 素性を調べる

- アナログ回路設計で重要なのは
 - ドレイン電流 I_d
 - しきい値電圧 V_{th}
 - 相互コンダクタンス g_m
 - 出力抵抗 R_{ds} ($1/g_{ds}$)

トランジスタとは？

- デジタル的には
 - ゲート電圧でONしたりOFFしたりする **スイッチ**
 - ONのときに抵抗が小さい = たくさん電流が流せる
 - OFFのときにちゃんとOFFする
- アナログ的には
 - ゲート電圧で電流が変わる **電圧制御電流源**
 - **電圧 → 電流 → 電圧**の変換で振幅を上げる (増幅)
 - 変換の倍率が高いほどよい
 - 理想電流源に近い = **内部抵抗が大きい**ほどよい



飽和領域

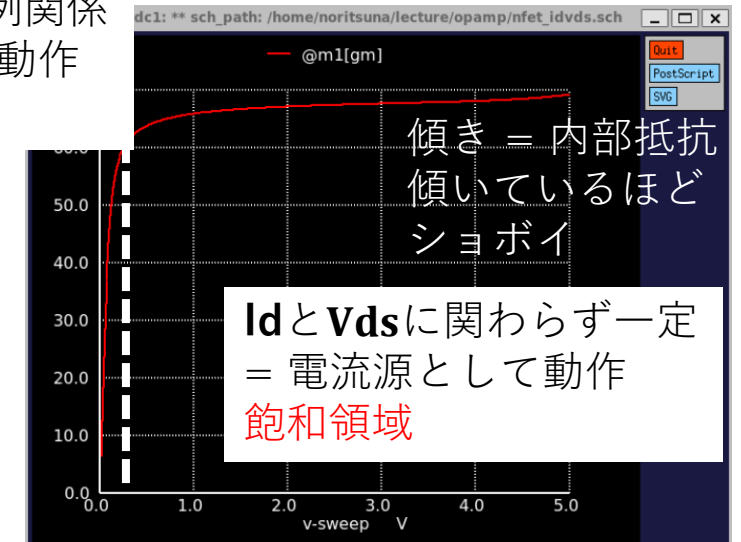
V_{gs}-I_dカーブ

- 詳しくは下記を参照のこと！
 - https://github.com/3zki/lsi1_analog1/blob/main/analog_tutorial_jp.pdf
-

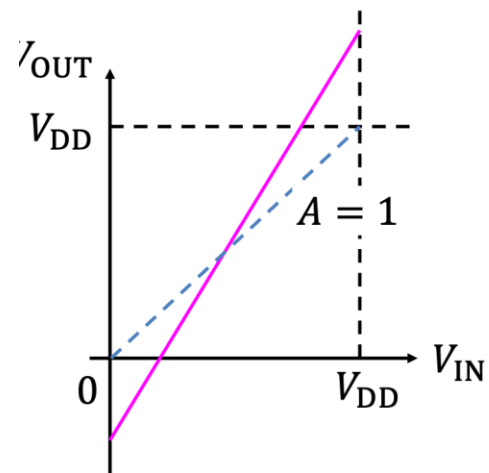
飽和領域&Vds-Idカーブ

IdとVdsが比例関係
= 抵抗として動作
線形領域

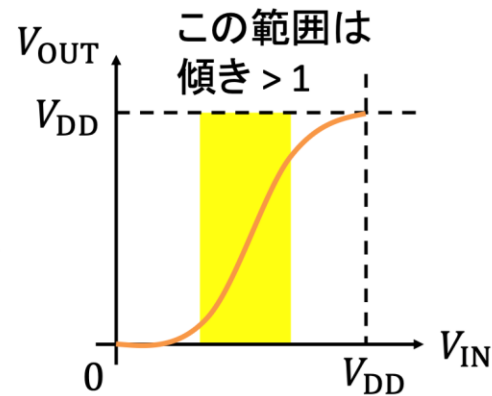
- $|V_{ds}| \geq |V_{gs}| - V_{th}$ かつ $|V_{gs}| - V_{th} \geq 0$
 - トランジスタが十分な電圧利得を発揮するために重要な動作領域



幅したいので $A > 1$ にしたいが、直線では無理

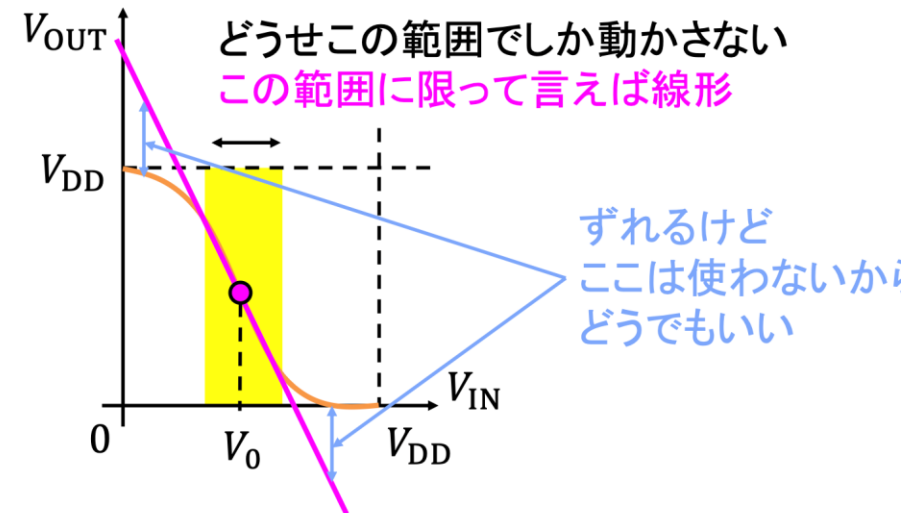


$A > 1$ の線を引くと
出力が 0 以下 and/or V_{DD} 以上
になってしまう (普通は無理)



どこかで曲げて部分的に
傾き > 1 を作るしかない
→ 非線形素子が必要

バイアス電圧 V_0 は適切な (線形に増幅できる) ところにあると
まじめに非線形性を考えなくてもいいのでは？



正弦波にとっては (傾きが同じの) 線形回路と見ても同じこ

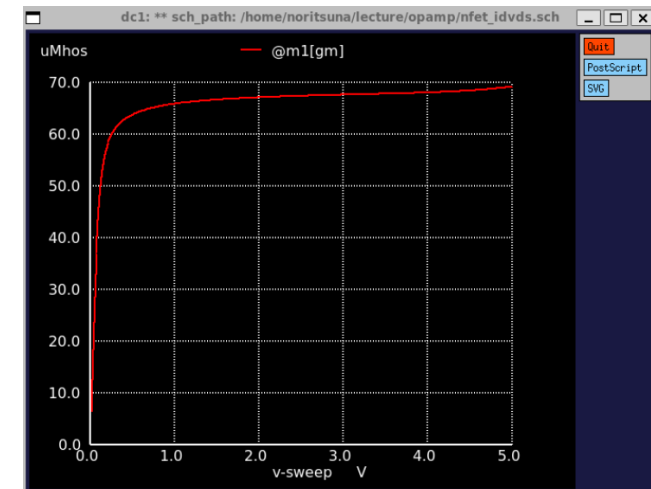
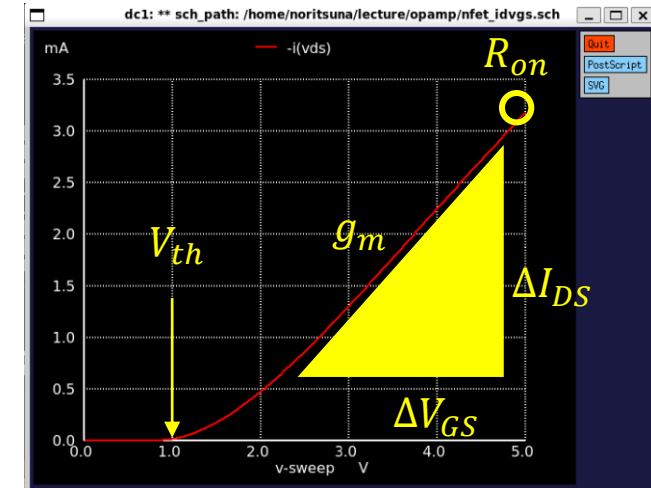
土谷先生の資料より

飽和領域

- 非線形デバイスで線形デバイスとして利用できる部分

相互コンダクタンス： $g_m[S]$ と $V_{gs}-I_d$ カurve

- 電圧電流特性を線形近似する際に用いられる最重要パラメータ
 - 電圧利得
 - ノイズ特性
 - 周波数特性
- R_{on} (オン抵抗)
 - スイッチングデバイス=デジタルデバイスとして使用されるトランジスタが「オン」状態、つまり電流を流しているときに示す抵抗値
 - https://github.com/3zki/lsi1_analog1/blob/main/analog_tutorial_jp.pdf



出力抵抗

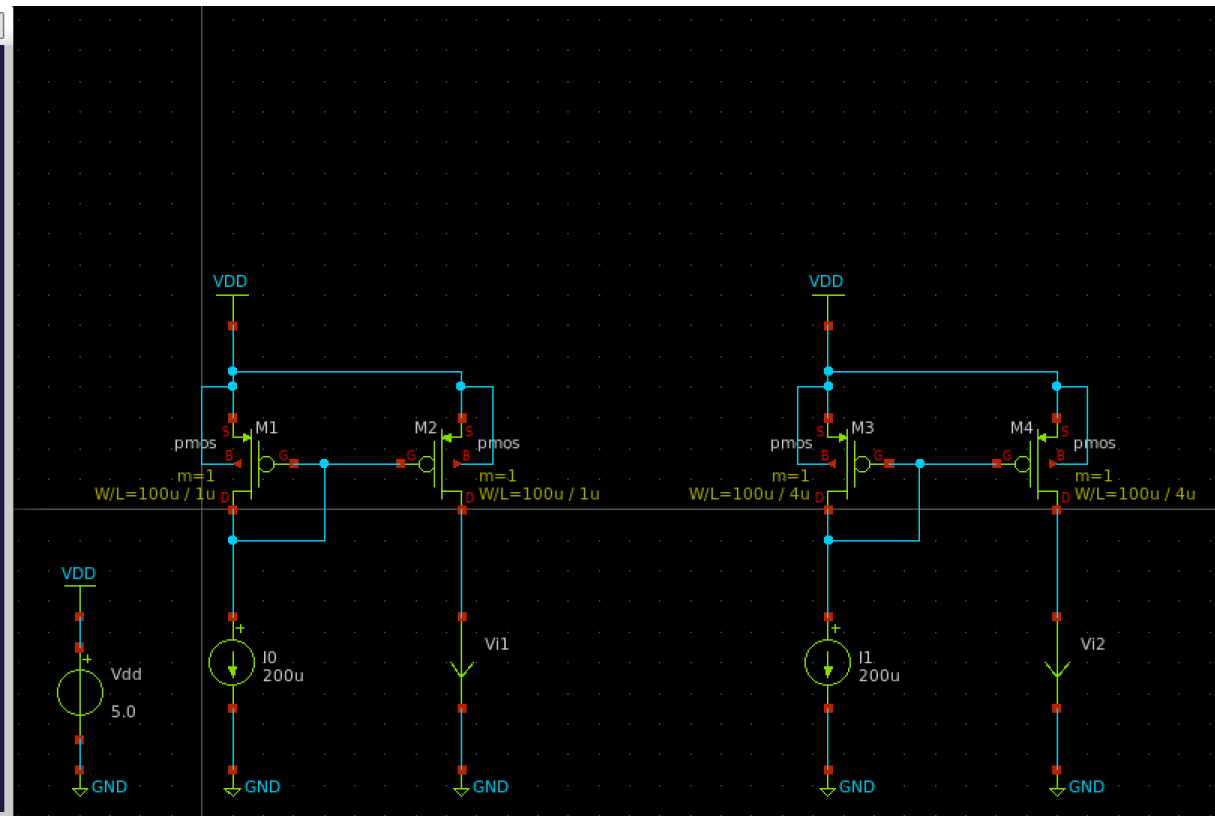
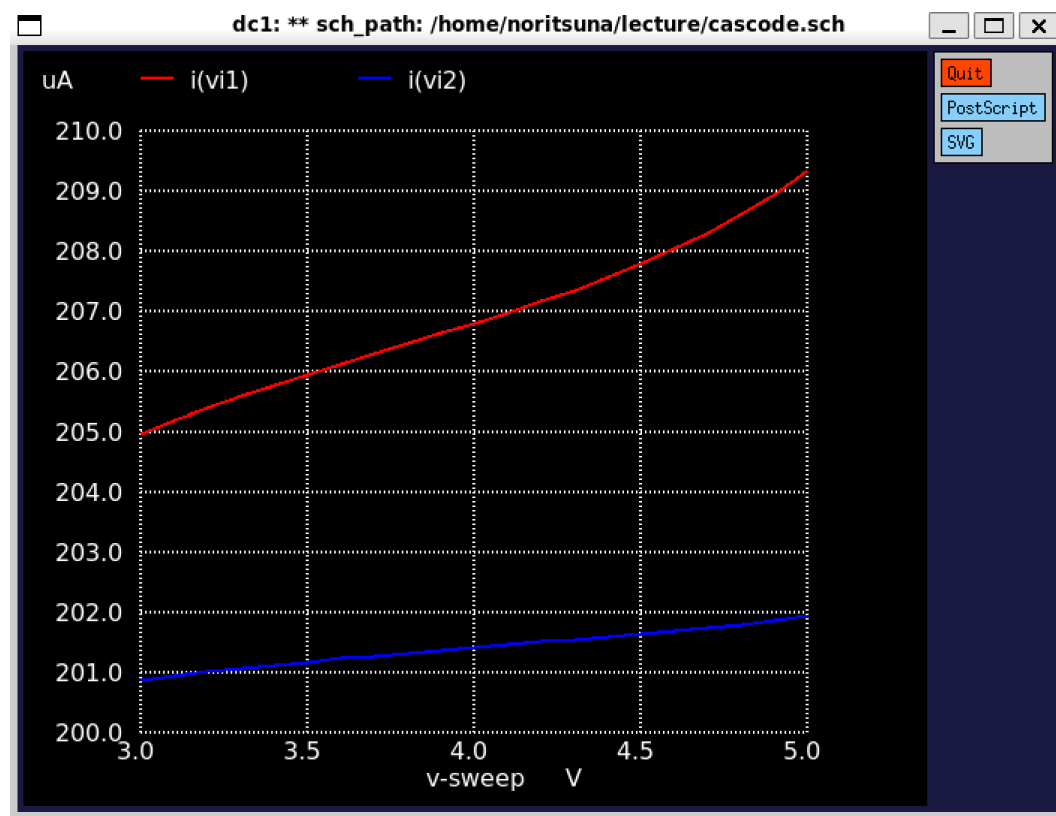
- $R_{ds} = \frac{\partial V_{out}}{\partial I_{out}}$
- 「飽和領域」で動作しているときに示す抵抗値(≡ 内部抵抗)
 - **電流源**としてどれだけ理想に近いかを示す指標
 - 理想的な電流源の内部抵抗は無限大



短チャネル効果

短チャネル効果

- ソースとドレイン間の距離（チャネル長）が短くなることで発生
 - 事象
 - しきい値電圧 (V_{th}) の低下 (V_{th} ロールオフ) など
 - 要は「想定電流値ではなくなる（ずれる）」！！！！



短チャネル効果

- OR1の状況
 - 1umなので起きないと思いきや、起きるので注意！！
 - 4umでも起きているので注意

The background features three overlapping teal-colored circles on a dark gray field. A horizontal white band cuts across the middle of the circles, serving as a backdrop for the text.

オーバードライブ電圧

オーバードライブ電圧： V_{ov}

- ゲート-ソース間電圧 V_{gs} がしきい値電圧 V_{th} をどれだけ上回っているかを示す電圧差
 - $V_{ov} = |V_{gs}| - V_{th}$
 - $V_{ov} \geq 0$ かつ $|V_{ds}| \geq V_{ov}$ が「飽和領域」
- 電流駆動能力に影響
 - $I_d = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right) (V_{ov})^2$

μC_{ox}

- μ (ミュー): キャリア移動度 (Mobility) [$\text{cm}^2/\text{V}\cdot\text{s}$]
 - 半導体材料中を電荷キャリア (電子または正孔) がどれだけ容易に移動できるかを示す量
- C_{ox} (シーオックス): 単位面積あたりのゲート酸化膜容量 (Gate Oxide Capacitance per unit area) [F/cm^2]
 - ゲート電極、ゲート絶縁膜、半導体基板の3層構造で形成されるMOSキャパシタの単位面積あたりの容量
- PDKにより提供され、 g_m が電圧に依存するので、電圧に依存しない定数 $= \mu C_{ox}$ (W/L) にするために利用する
 - https://github.com/3zki/lisi1_analog1/blob/main/analog_tutorial_jp.pdf

OP解析からVgs-Idsカーブを求める

NMOS Vds=1.8V, **Vgs=1.7V**, W/L=50u/50u

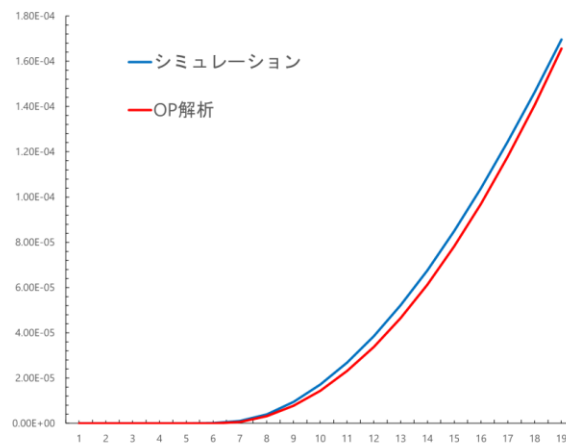
gm	0.000239084
gds	9.09633e-07
vdsat	1.11921
vth	0.522749

飽和領域における $g_m = \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_{th})$ より、

$$\frac{W}{L} \mu_n C_{ox} = \frac{g_m}{V_{GS} - V_{th}} = \frac{0.000239084}{1.7 - 0.522749} = 0.000203087$$

上の値を $I_{DS} = \frac{W}{L} \mu_n C_{ox} \left[\frac{1}{2} (V_{GS} - V_{th})^2 \right]$ に代入して求める。

二次関数カーブでそれなりに近似可能→



参考: μC_{ox} と V_{th} について

- μC_{ox} はSPICEモデルの定数からでも計算可能
- $\epsilon_0 = 8.854 \times 10^{-12}$ [F/m] (electric constant)


トランジスタサイズ別に複数のモデルが収録
ここでは#0のモデルを使用
\$(PDK)/libs.ref/sky130_fd_pr/spice/
sky130_fd_pr_pfet_01v8.pm3.spice
sky130_fd_pr_nfet_01v8.pm3.spice

Variables in formula	Variables in SPICE	nfet_01v8.0	pfet_01v8.0
μ	u0 [m ² /Vs]	0.030197	0.0025134
ϵ_r	epsrox	3.9	3.9
t_{ox}	tox [m]	4.148×10^{-9}	4.23×10^{-9}
V_{th}	vth0 [V]	0.5190093	-1.05955351

$$C_{ox,n} = \frac{\epsilon_0 \epsilon_r}{t_{ox}} = \frac{8.854 \times 10^{-12} \times 3.9}{4.148 \times 10^{-9}} = 8.325 \times 10^{-3} \text{ F/m} = 8.325 \text{ fF}/\mu\text{m}^2$$

$$\mu_n C_{ox} = 0.030197 \text{ m}^2/\text{Vs} \times 8.325 \text{ fF}/\mu\text{m}^2 = 251.4 \mu\text{A}/\text{V}^2$$

$$\mu_p C_{ox} = 0.0025134 \text{ m}^2/\text{Vs} \times 8.163 \text{ fF}/\mu\text{m}^2 = 20.52 \mu\text{A}/\text{V}^2$$



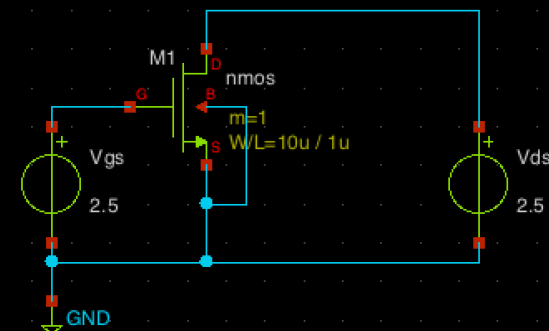
実測

M1などのデバイスに
設定されたパラメータを
指定する方法

PTC06_MODELS

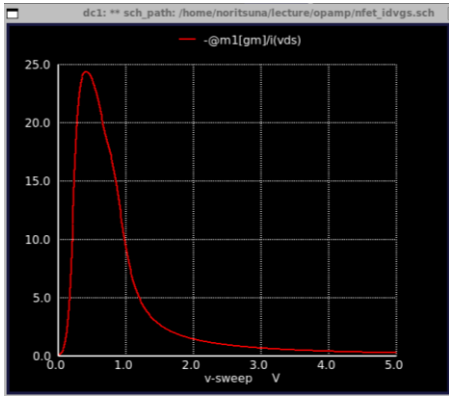
control

```
.option savecurrent  
.control  
op  
show m  
save all  
save @m1[gds]  
save @m1[gm]  
save @m1[vth]  
dc vgs 0.01 5.0 0.01  
plot -i(Vds)  
plot @m1[vth]  
plot @m1[gm]  
plot -@m1[gm]/i(vds)  
.endc
```



対象

- pMOS,nMOS
 - チャンネル長 L を最小の 1 um、MOSのサイズはW/L=10
 - <https://github.com/ishi-kai/openmpw-transistor-level-examples/tree/main/OR1/PTC06>



nfet_idvgs.spice" -a || sh

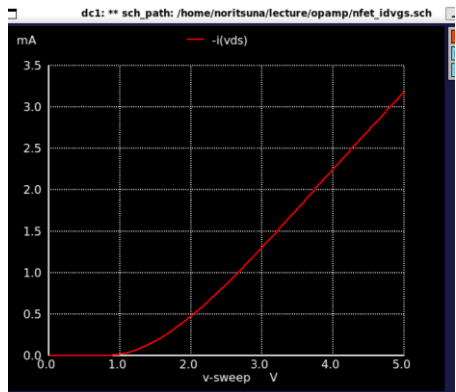
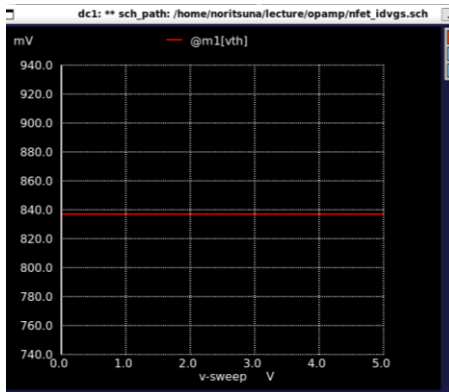
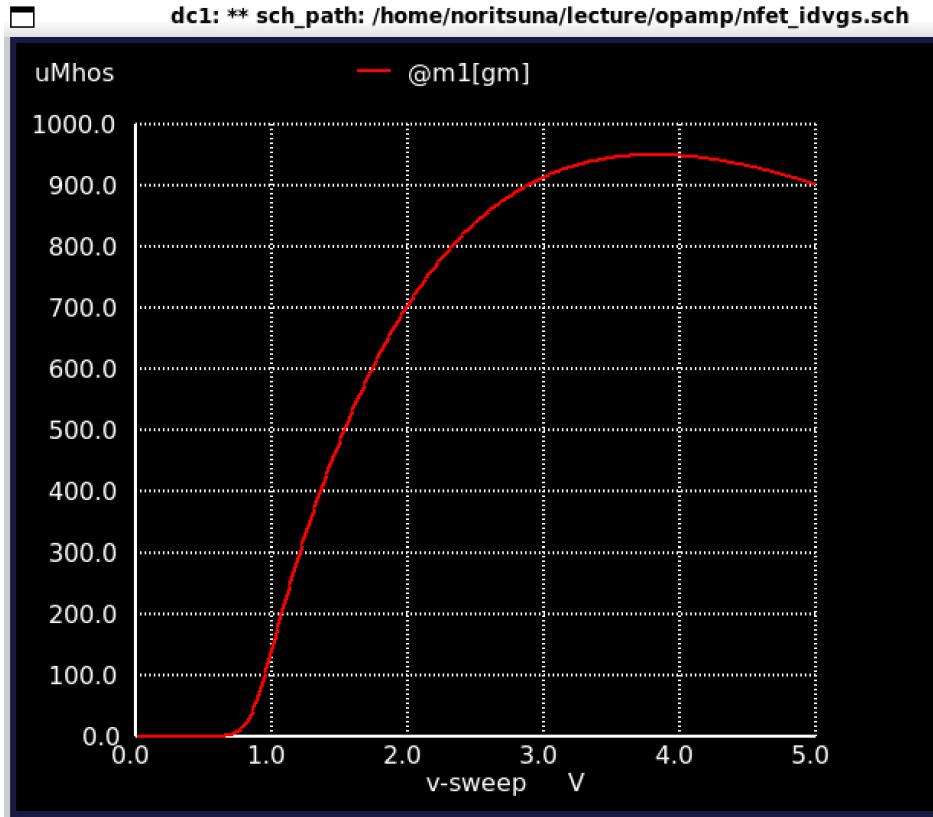
No. of Data Rows : 1
BSIM3: Berkeley Short Channel IGFET Model Version-3

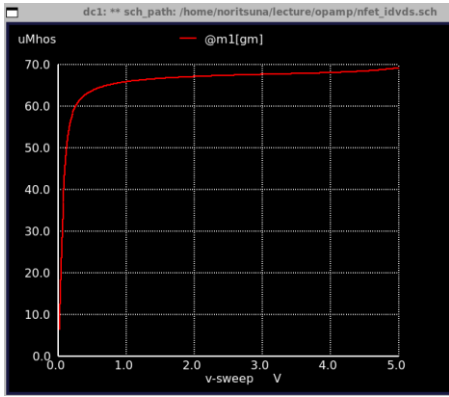
device	n1
model	nmos
l	1e-06
w	1e-05
m	1
ad	0
as	0
pd	0
ps	0
nrd	1
nrs	1
off	0
nqsmod	0
acnqsmod	0
geo	0
delvto	0
mulu0	1
gnbs	0.00031382
gn	0.000940661
gds	1.18371e-05
vdsat	0.871152
vth	0.836813
id	0.000870179
vbs	0
vgs	2.5
vds	2.5
ibd	-2.51e-12
ibs	0
gbd	1e-12
gbs	1.38664e-12
qbd	-2.78396e-14
cqb	0
qg	6.26125e-14
cqg	0
qd	-1.02823e-14
cqd	0
cgg	1.94296e-14
cgd	-1.21649e-18
cgs	-1.80725e-14
cdg	-6.33175e-15
cdd	2.81831e-18
cds	9.4698e-15
cbg	-3.60373e-15
cbd	-1.47486e-18
cbs	-5.59874e-15
capbd	0
capbs	0

Doing analysis at TEMP = 27.000000 and TNOM = 27.000000
Using SPARSE 1.3 as Direct Linear Solver
Checking parameters for BSIM 3.3 model nmos

nMOS

I_d V_{gs}





nfet_idvds.spice" -a || sh

Checking parameters for BSIM 3.3 model nmos
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.

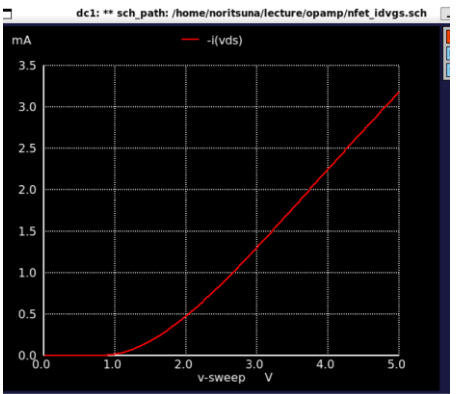
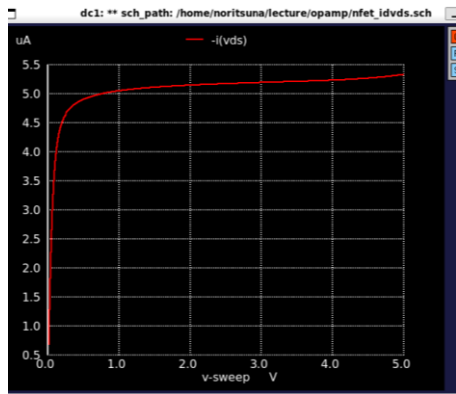
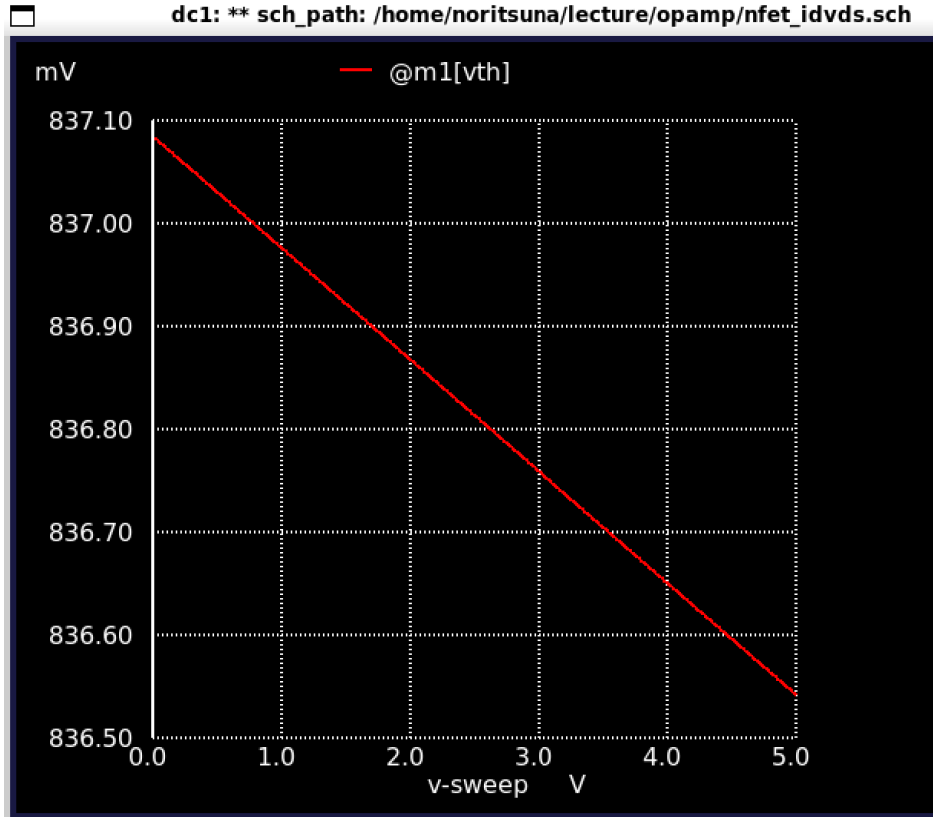
No. of Data Rows : 1
BSIM3: Berkeley Short Channel IGFET Model Version-3

parameter	value
device	m1
model	nmos
l	1e-06
w	1e-05
m	1
ad	0
as	0
pd	0
ps	0
nrd	1
nrs	1
off	0
nqsmod	0
acnqsmod	0
geo	0
delvto	0
mulu0	1
gmbs	3.29306e-05
gm	6.74205e-05
gds	4.47247e-09
vdsat	0.0590276
vth	0.835813
id	5.17459e-06
vbs	0
vgs	0.9
vds	2.5
ibd	-2.51e-12
ibs	0
gbd	1e-12
gbs	1.38664e-12
qb	-2.21247e-14
cqb	2.06044e-14
qg	0
qg	5.39752e-15
qd	0
cqd	0
cgg	1.63249e-14
cgd	1.13017e-13
cgs	-1.20003e-14
cdg	-4.83944e-15
cdd	-6.64804e-19
cds	7.27933e-15
cbg	-4.22709e-15
cbd	5.83876e-13
cbs	-6.19665e-15
capbd	0
capbs	0

Doing analysis at TEMP = 27.000000 and TNOM = 27.000000
Using SPARSE 1.3 as Direct Linear Solver
Checking parameters for BSIM 3.3 model nmos

nMOS

I_d/V_{ds}



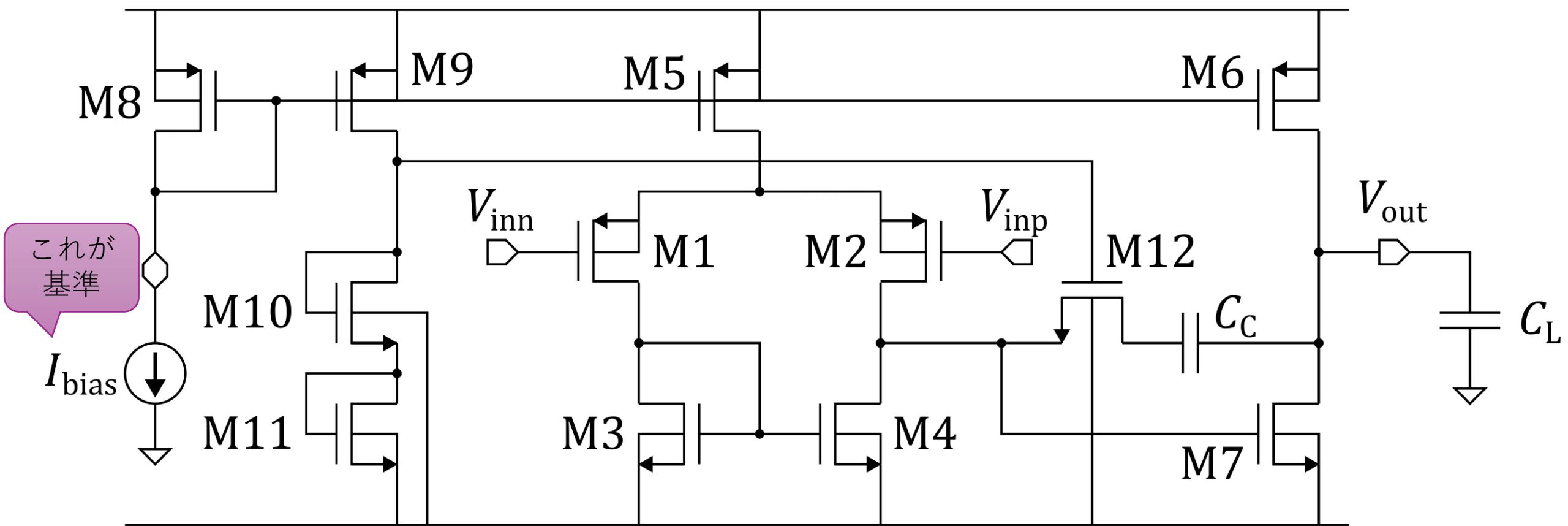
L=1 μ m	nMOS	pMOS
Vth	836mV	1.3V
Id	5.2uA	1.8uA
gm	67.4uS	17.8uS
rds	4.8M Ω	13.0M Ω
gm*rds(Intrinsic gain)	323.52	231.4

L=2 μ m	nMOS	pMOS
Vth	786mV	1.4V
Id	8.6uA	0.78uA
gm	96.4uS	8.3uS
rds	4.8M Ω	55.0M Ω
gm*rds(Intrinsic gain)	462.72	456.5

結果

電流源編

よくある2段差動増幅OPAMP

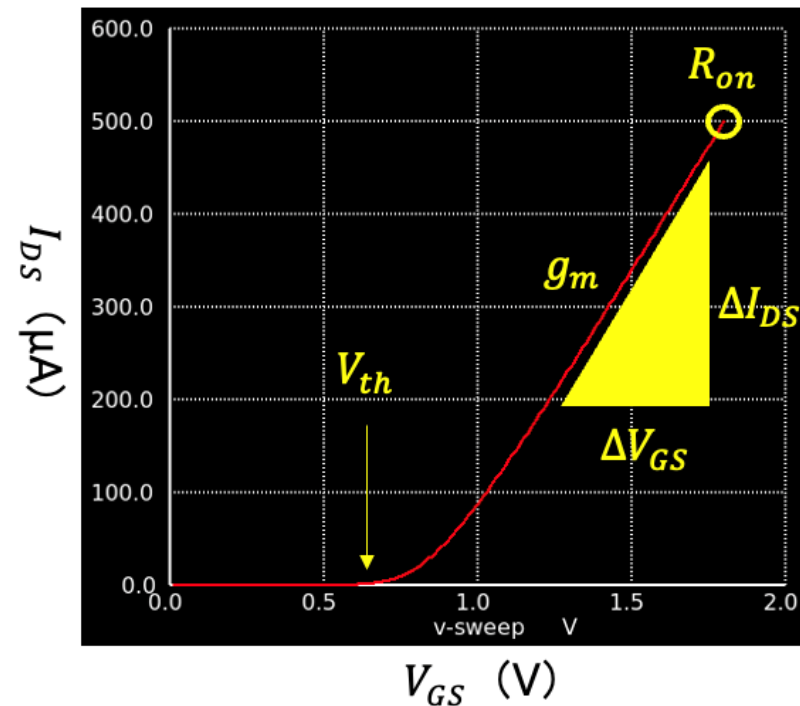




I_{bias} (バイアス電流)

Ibias(バイアス電流)

- Ibiasが回路の設計目標を達成するための鍵！
 - デバイスの性能を決定し、安定した動作を保証するための要素
 - ゲイン
 - 帯域幅
 - ノイズ
 - 歪み
 - 消費電力
- 役割
 - 線形領域の中央付近に動作点を置き、入力信号が印加された際に素子が飽和したりカットオフしたりせず、安定して信号を増幅できるようにする

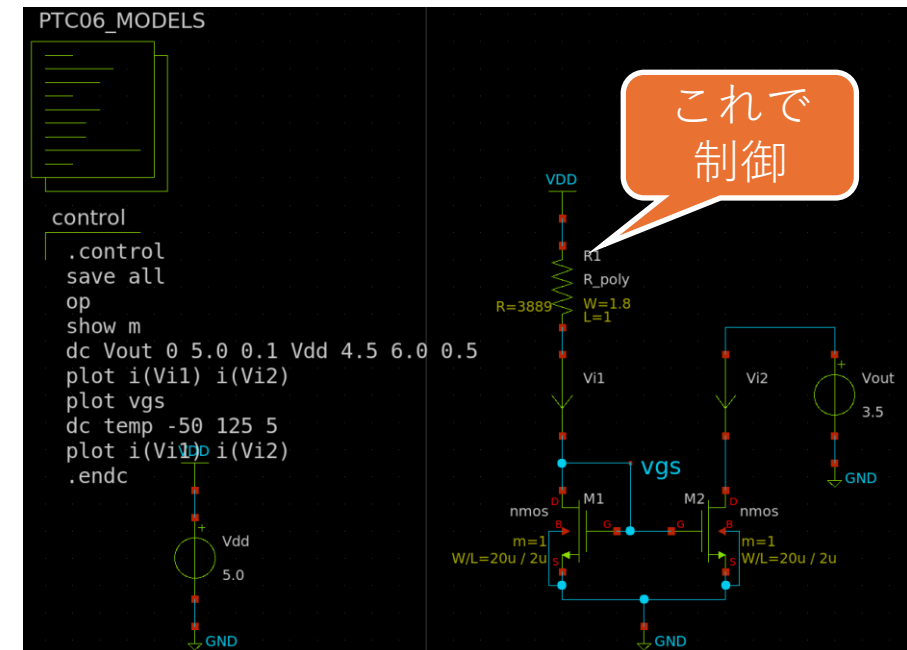


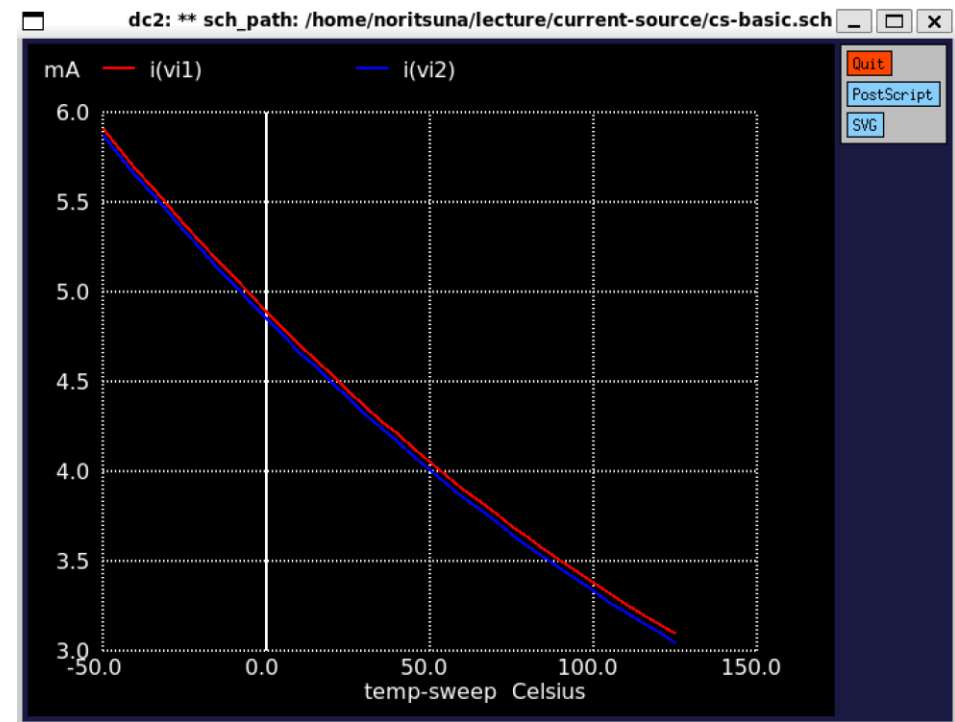
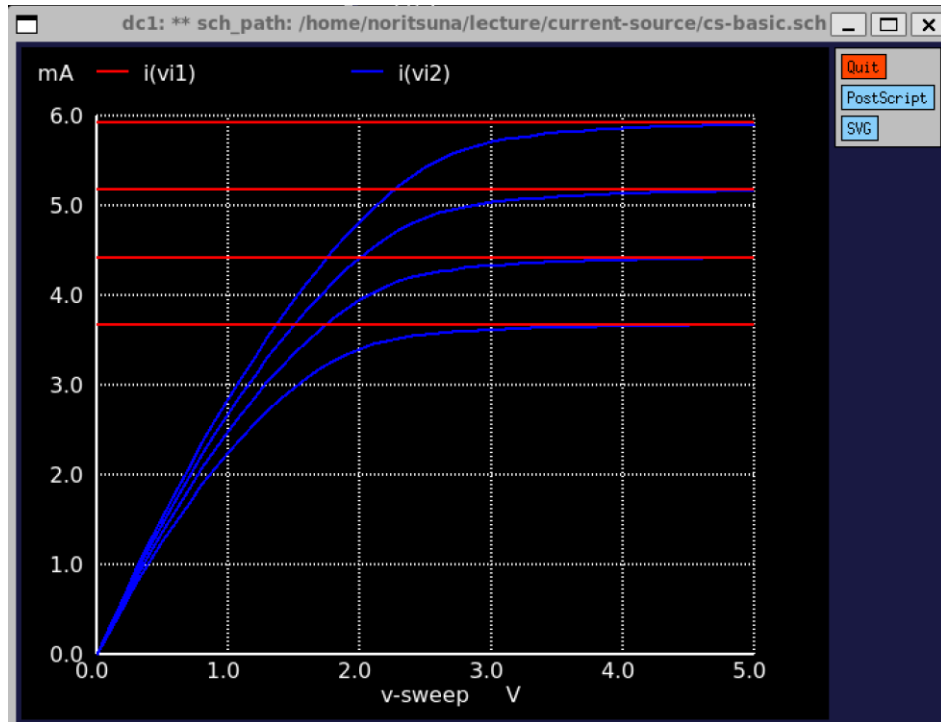


基本電流源

基本電流源

- $I = V/R$
 - OPAMP設計に合わせて
 - チャンネル長 $L = 2\mu\text{m}$
 - $W/L = 10$
 - 参照電流 (i_1) = $5\text{ }\mu\text{A}$ となるように調整





出力結果

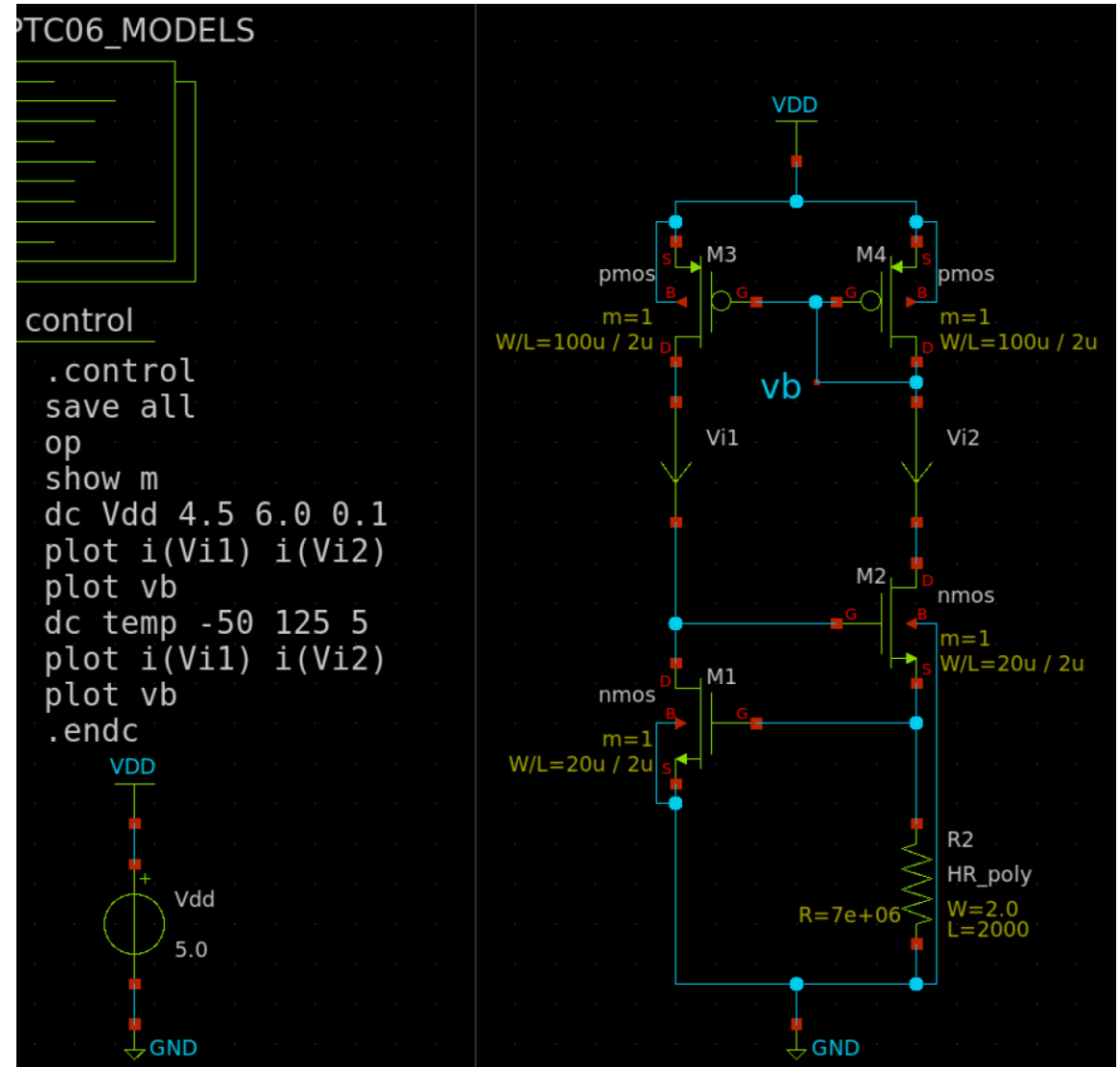
- 問題点
 - 電源電圧に比例して、変動してしまう
 - これは当たり前
 - 温度変化にも弱い：2倍も変動する
 - これがマズイ

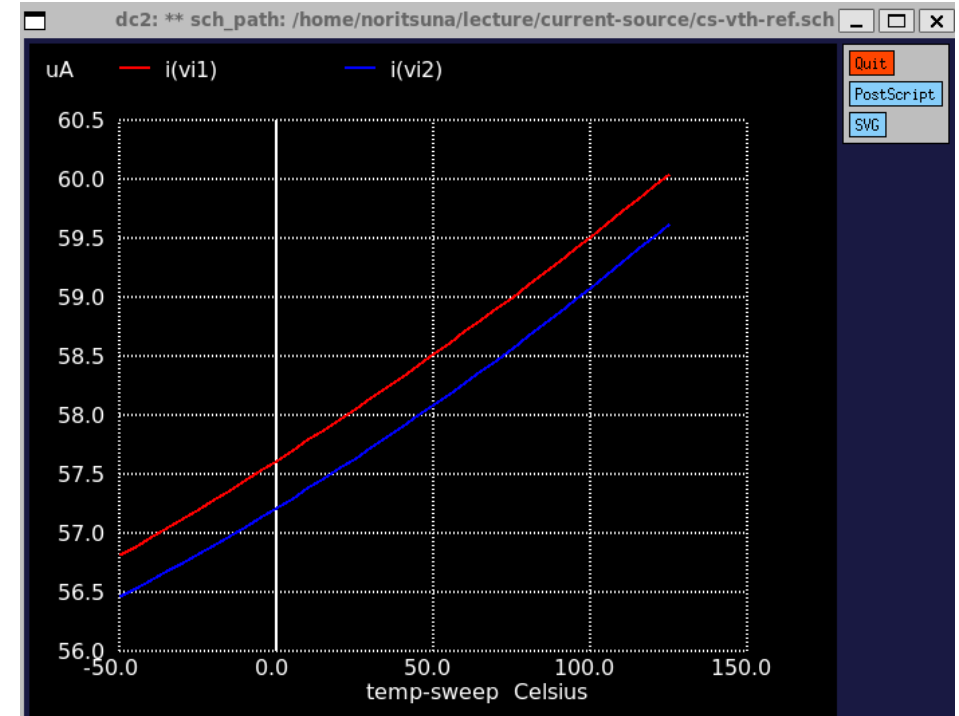
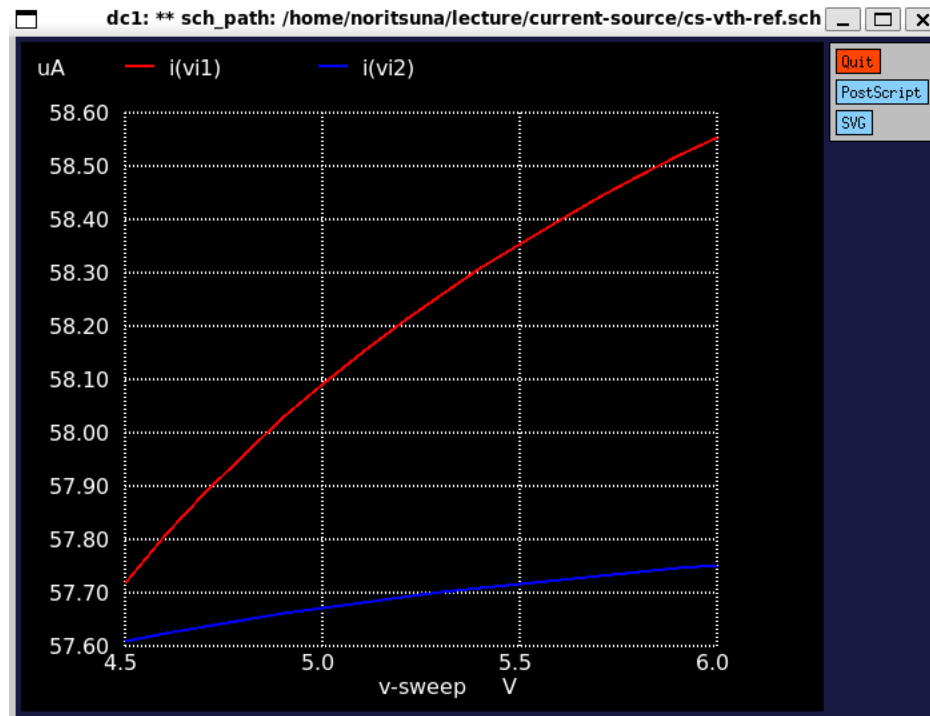


Vth-referenced 自己バイアス電流源

Vth-referenced 自己 バイアス電流源

- OPAMP用のため約50uAで設計
 - 10uAでない理由はカレントミラー参照
 - OPAMPは約10uAで設計されている
- 動作原理
 - M1・M2に流れるドレイン電流がトランジスタのしきい値電圧によって V_{th}/R となる
 - M3 と M4 のつなぎ方がカレントミラー
 - M1 と M2 のつなぎ方がカレントミラー改





出力結果

- 電源電圧に対して、変動は0.5%以下
- 温度変動に対して、変動は約10%
 - V_{th} を参照しているため温度による V_{th} の変動が影響するため



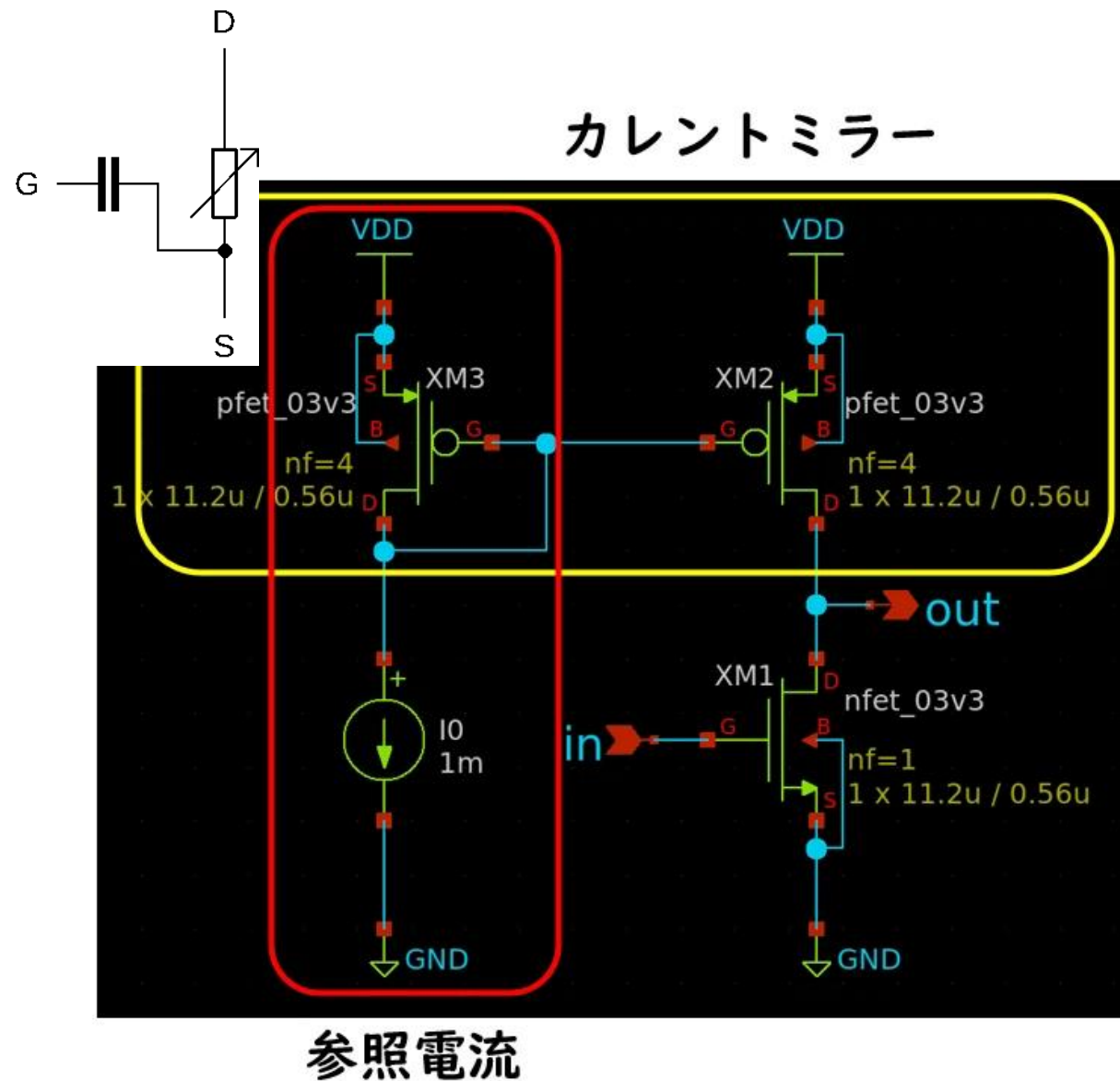
カレントミラー

● 役割 ● 機能

- ### 参照電流

動作内容

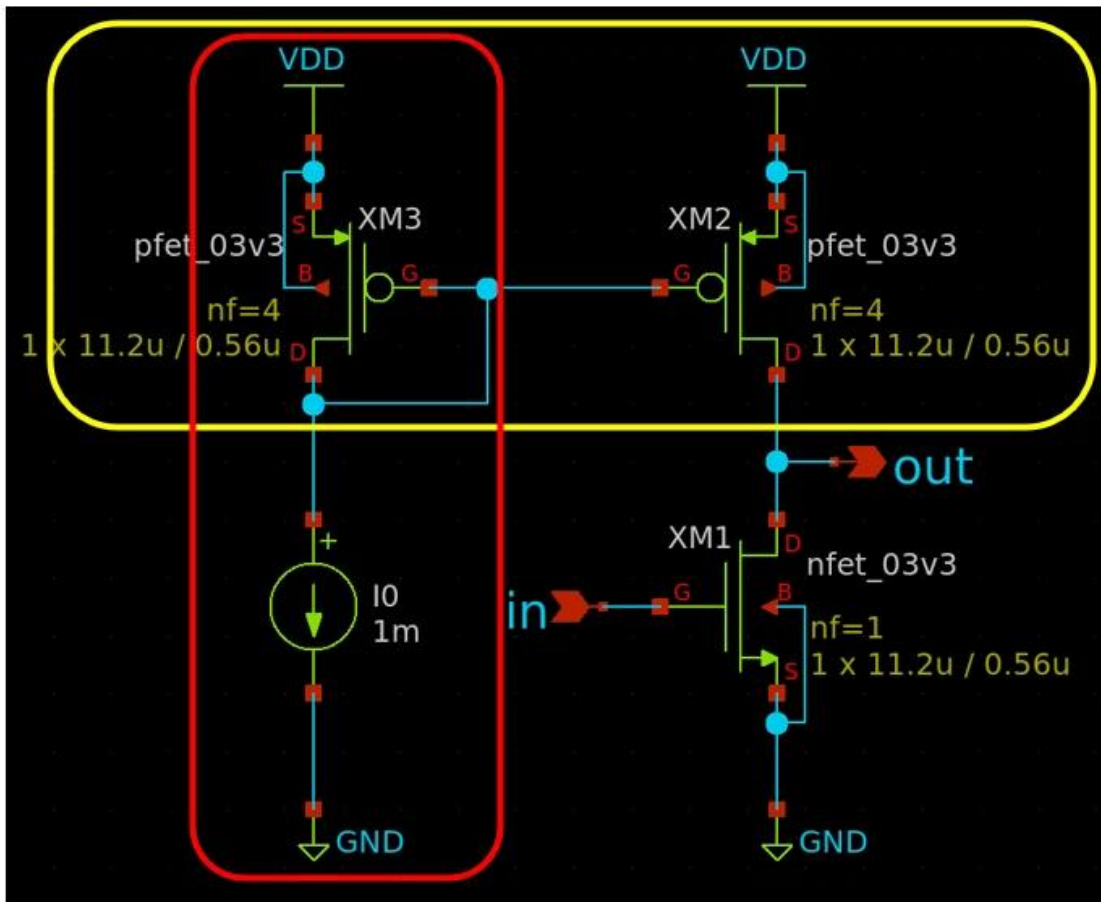
- マスター側 (XM3) のMOSFETは、ゲートとドレインを接続してダイオード接続とする
 - ドレイン電流によってゲート-ソース間電圧が決定される
- スレーブ側 (XM2) のMOSFETのゲートは、マスター側のゲートに接続する
 - 両方のMOSFETが同じ特性を持ち、飽和領域で動作している場合、マスター側のゲート-ソース間電圧がスレーブ側にも印加されるため、スレーブ側のドレイン電流はマスター側の参照電流とほぼ同じになる
 - W/L比を変更することで、参照電流のn倍や1/n倍の電流を生成することも可能



数式

- M3とM2が同一の場合、 $V_{GS3}=V_{GS2}$
 - $I_{ref} = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L}\right)_3 (V_{GS} - V_{th})^2$
 - $I_{out} = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L}\right)_2 (V_{GS} - V_{th})^2$
- 式を変形して
 - $I_{out} = I_{ref} \times \left(\frac{W}{L}\right)_2 / \left(\frac{W}{L}\right)_3$
- $\left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3$ の場合
 - $I_{out} = I_{ref}$

カレントミラー



参照電流

The background features three overlapping teal circles of varying shades, creating a layered effect. A horizontal white band cuts across the middle of the image, serving as a backdrop for the text.

カスコード接続

カスコード接続

- 構成
 - 2つのトランジスタを直列に接続し、単一のトランジスタでは実現が難しい優れた性能を得るための回路
- 原理
 - M2がM1に対して「**電圧スタビライザ**」および「**電流ブースター**」として機能
 - M1 (下段、コモンソース)
 - 役割: 入力電圧(V_{in})を電流変化に変換する。基本的な増幅動作の起点。
 - M2 (上段、コモンゲート)
 - ゲート: 固定バイアス電圧(V_b) - M2の動作点を決める
 - 役割: M1のドレイン電圧を安定させる

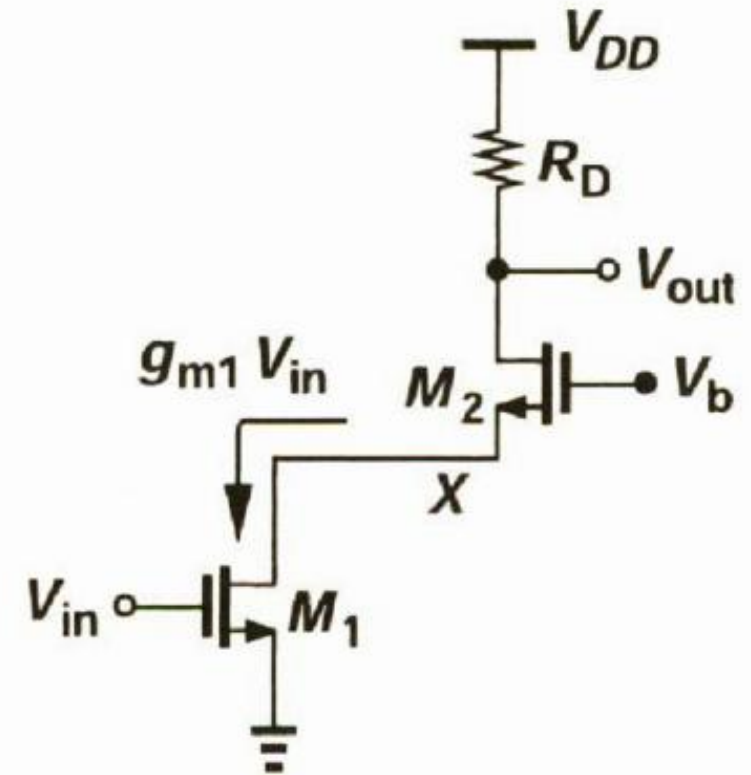
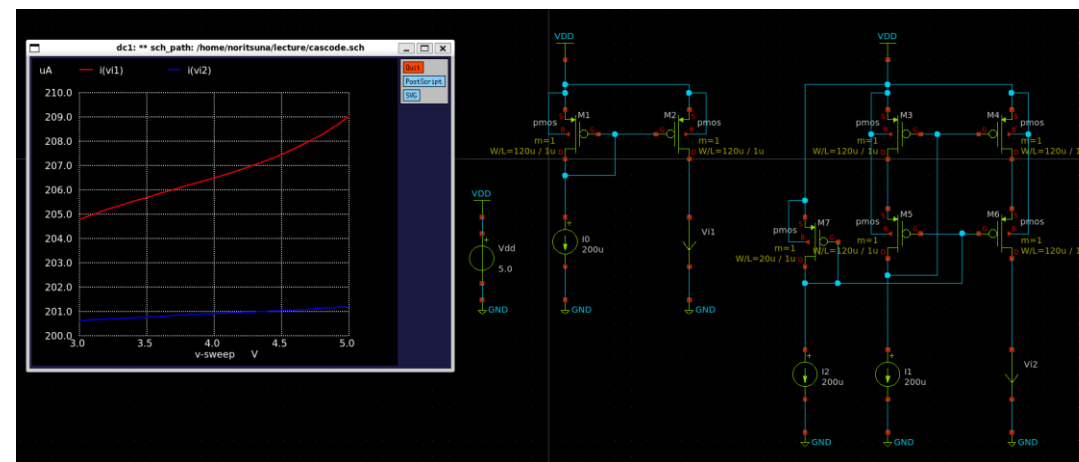


図 3.50 カスコード増幅段.

利点：短チャネル効果の改善

- 原理

- 下段トランジスタのド레인電圧がほぼ一定に保たれることを利用



利点：ミラー効果の改善

- 原理

- 下段トランジスタのドレイン電圧が上段トランジスタによってほぼ一定に保たれるため、下段トランジスタのドレイン電圧の変動が非常に小さくなる

これが小さくなる

- $I_{Cgd} = C_{gd}(V_{gs} - V_{ds})$

- これにより、下段トランジスタの C_{gd} （または C_{cb} ）を介して入力に帰還する電流が大幅に抑制され、ミラー効果が低減される

- ちなみに、Miller Effect、鏡のmirrorではなく、人名

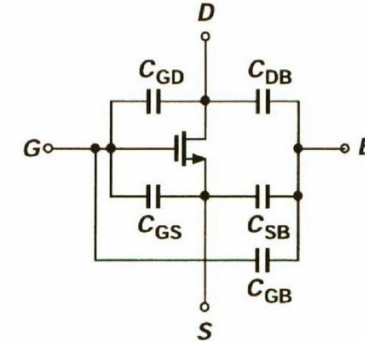


図2.30 MOS 容量.

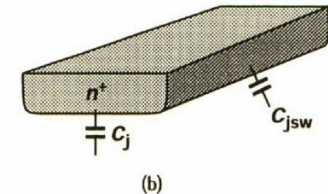
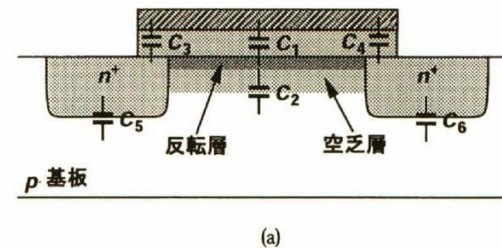
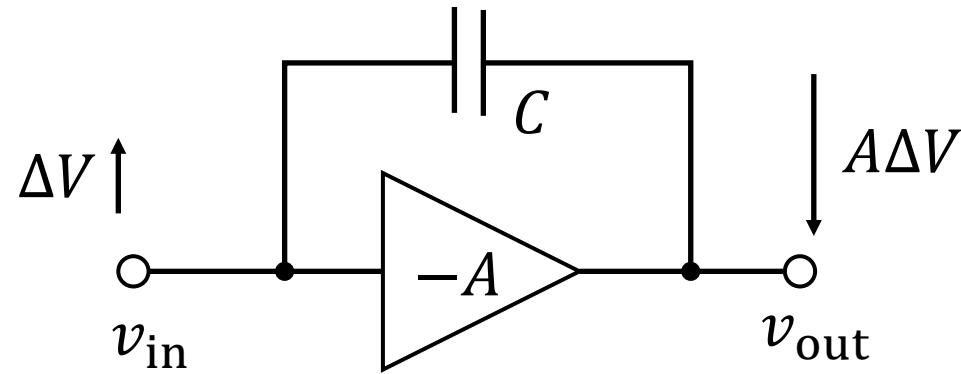


図2.31 (a) MOS デバイス容量, (b) S/D 接合容量を底面と側壁の二つの成分に分解.

ミラー効果 (Miller effect)

入力端子と出力端子の間をつなぐキャパシタンスはどう見えるか



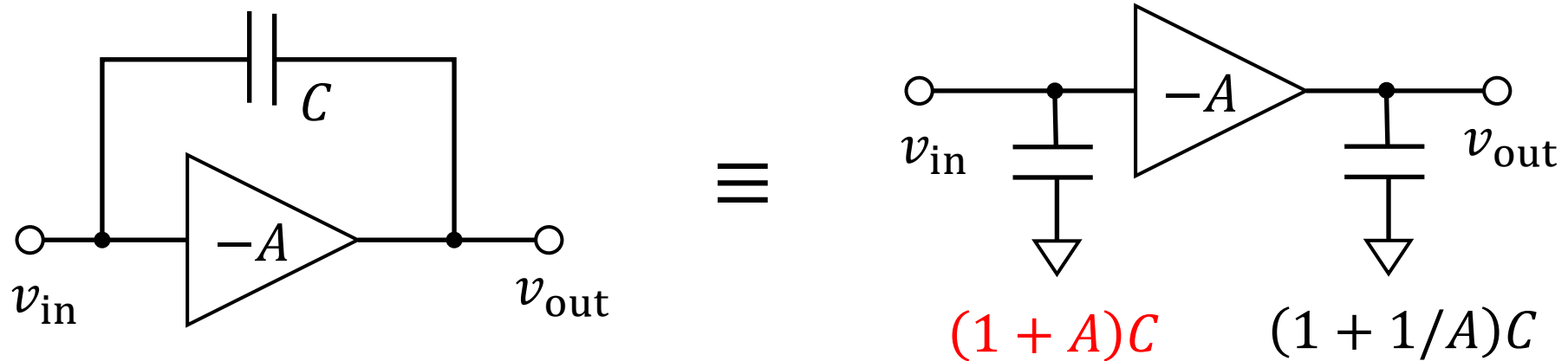
$v_{out} = -Av_{in}$ だから、入力が ΔV 上がると出力は $A\Delta V$ 下がる

C の端子間電圧は $(1 + A)\Delta V$ 変化する

入力端子から C に流れ込む電荷量 $\Delta Q = C \times (1 + A)\Delta V$

$\Delta Q = (1 + A)C \times \Delta V$: 大きさ $(1 + A)C$ の対地容量と同じ

ミラー効果 (Miller effect)

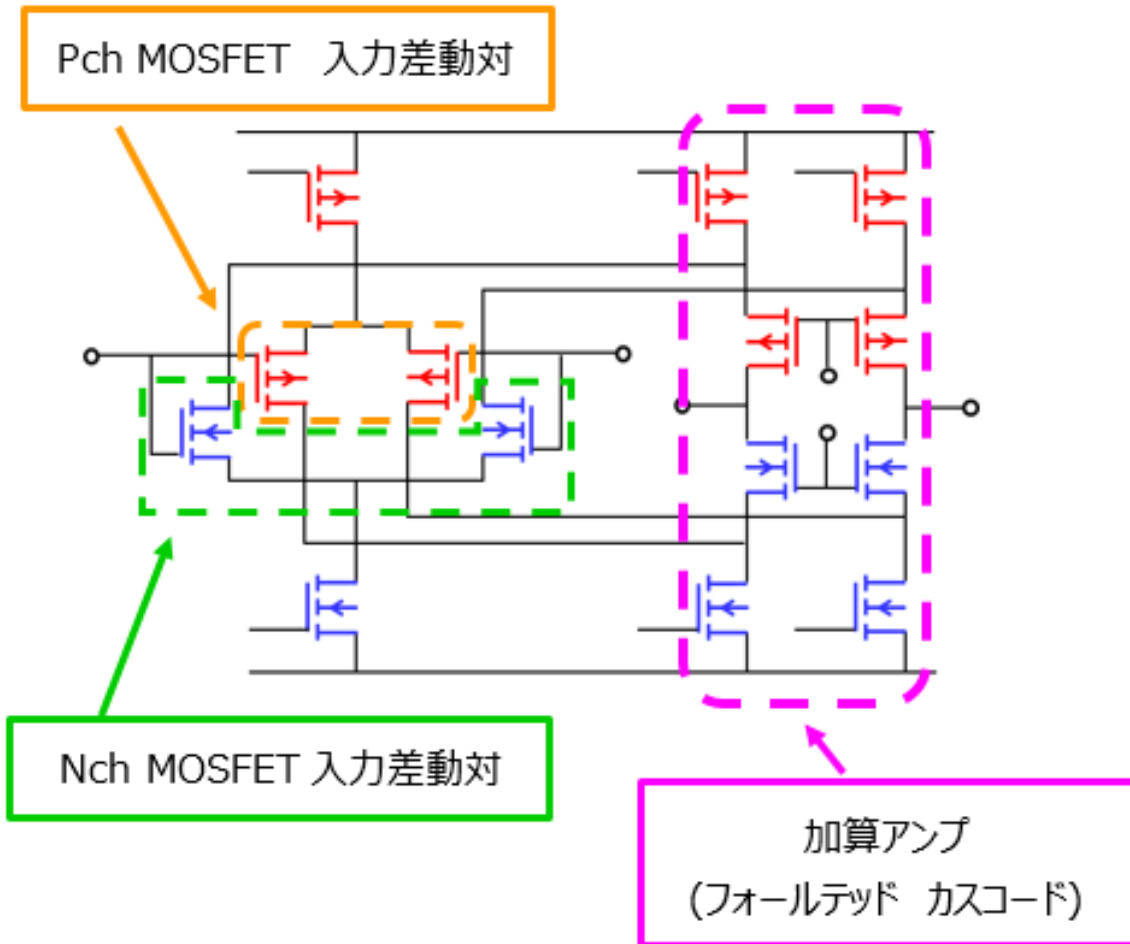


利得 $-A$ の増幅器の入出力をつなぐ容量は、
 $(1+A)$ 倍の対地容量に近似できる

例) $-A = 1$ (入力と出力が常に同電位) であれば
容量 C は存在しないのと同じ $\equiv (1+A) = 0$

応用：Rail2Rail

- 構成
 - コンプリメンタリ差動対
 - フォールデッドカスコード
 - プッシュプル構成
- 内容
 - VDD-VSSまでフルレンジで出力させる
- 構造
 - 差動対をpMOS,nMOS構造にする
 - カレントミラーをカスコード接続する



OPAMP編



差動増幅段



ソース接地増幅段



位相補償



バイアスレプリカ

レイアウト編

