

OPAMP設計 論文会議 (OR1)

ISHI会

<https://ishi-kai.org/>

Mail: info@ishi-kai.org

もくじ： トランジスタ編

- トランジスタの素性を調べる
- 飽和領域
- 短チャネル効果
- オーバードライブ電圧
- 実測

もくじ： 電流源編

- I_{bias} (バイアス電流)
- 電流源
- カレントミラー
- カスコード接続
- 電流源の使い方

もくじ： OPAMP編

- 差動増幅段
- ソース接地増幅段
- 負荷設計
- 位相補償
- バイアスレプリカ

もくじ： 性能評価編

- プロセスコーナー
- オープンループ特性
- スルーレート
- CMRR
- 温度解析

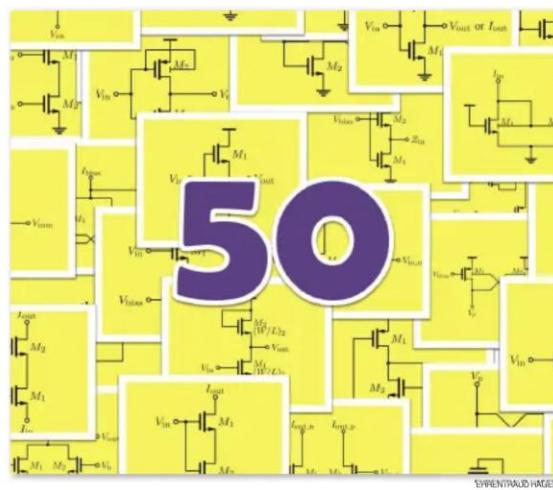
もくじ： レイアウト テクニック編

- schematic to place レイアウト
- Cell (セル) 単位でのレイアウト
- VDD/VSSセル
- ダミーポリシリコン
- コモンセントロイド
- ガードリング
- ラッチアップ
- ダブルVIA/コンタクト
- ESD
- PDKのCellの使い方

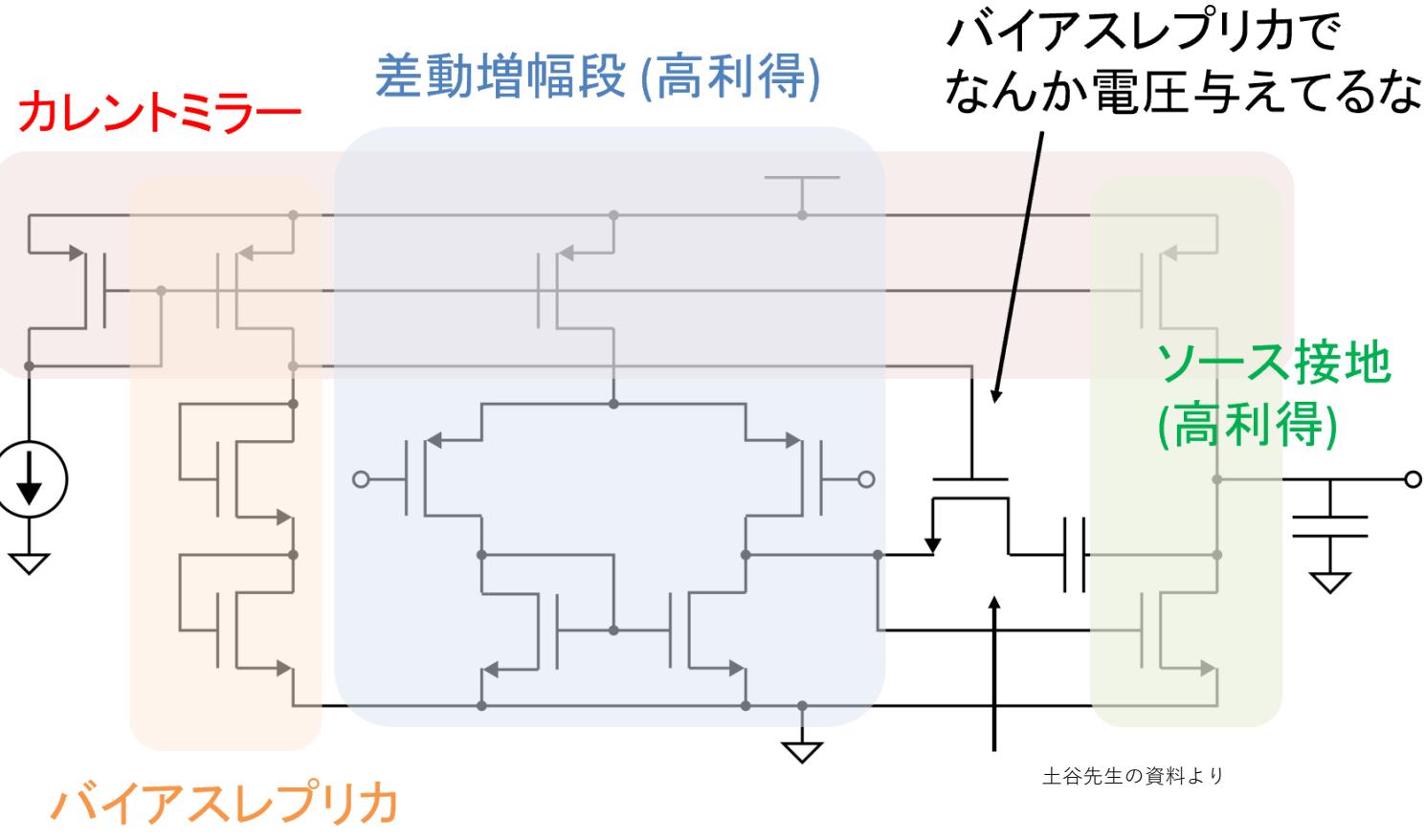
OPAMPの構造

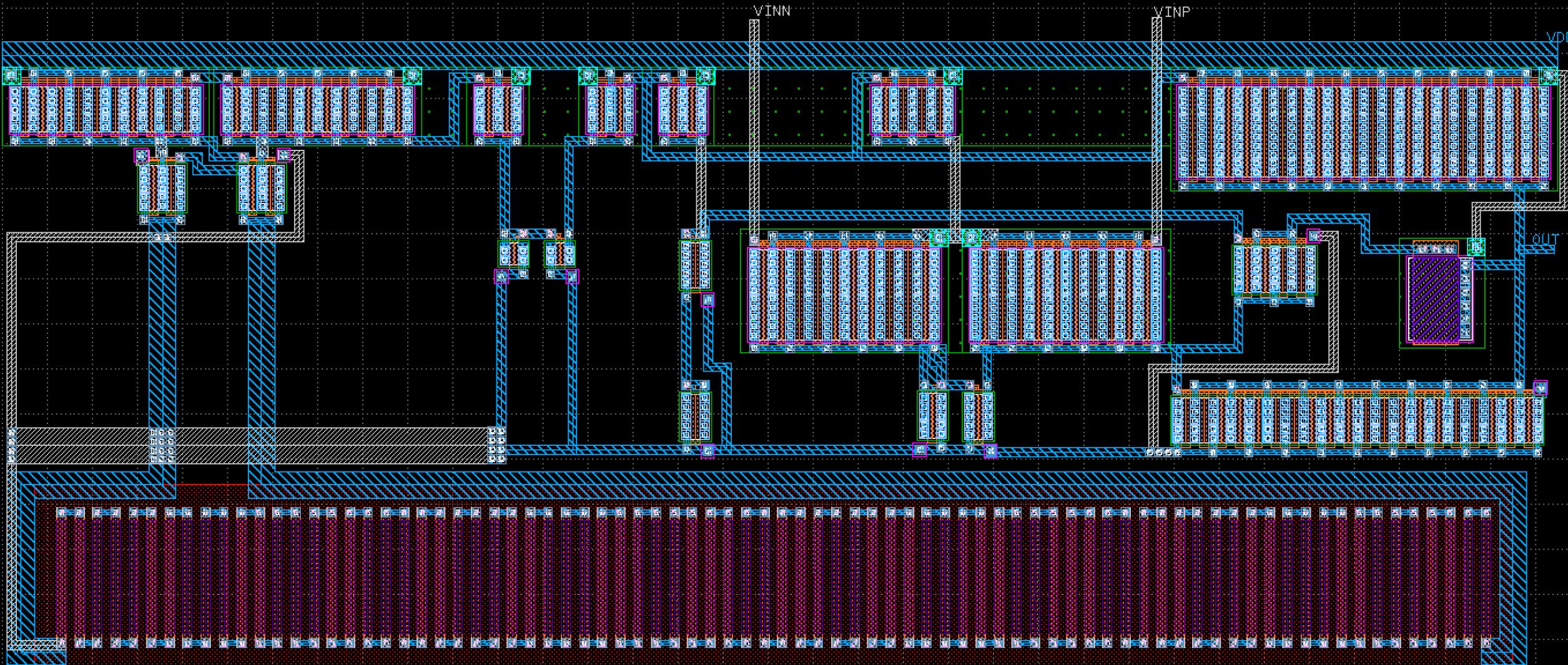
- 差動増幅 + ソース接地
 - Nifty-Fifty
 - 2つのFETの組み合わせで回路ができているという論文

Fifty Nifty Variations of Two-Transistor Circuits



- https://www.researchgate.net/publication/354364068_Fifty_Nifty_Variations_of_Two-Transistor_Circuits_A_tribute_to_the_versatility_of_MOSFETs





OPAMPのサンプル

<https://github.com/ishi-kai/openmpw-transistor-level-examples/tree/main/OR1/PTC06>

- 2段增幅回路
 - 差動増幅回路
 - ソース接地増幅回路
 - 位相補償回路
 - バイアスレプリカ回路
- 電流源

トランジスタの素性編

トランジスタの 素性を調べる

- アナログ回路設計で重要なのは
 - ドレイン電流 I_d
 - しきい値電圧 V_{th}
 - 相互コンダクタンス g_m
 - 出力抵抗 R_{ds} ($1/g_{ds}$)

トランジスタとは？

- デジタル的には
 - ゲート電圧でONしたりOFFしたりするスイッチ
 - ONのときに抵抗が小さい = たくさん電流が流せる
 - OFFのときにちゃんとOFFする
- アナログ的には
 - ゲート電圧で電流が変わる電圧制御電流源
 - 電圧 → 電流 → 電圧の変換で振幅を上げる (增幅)
 - 変換の倍率が高いほどよい
 - 理想電流源に近い = 内部抵抗が大きいほどよい



飽和領域



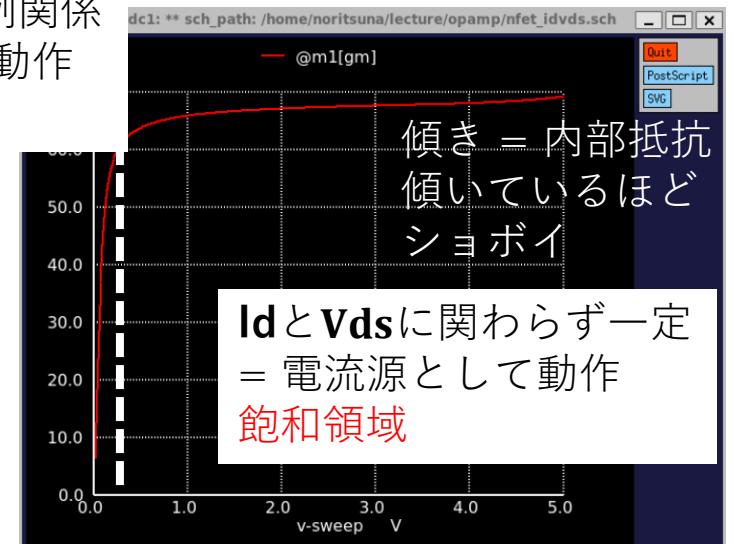
V_{gs}-I_dカーブ

- 詳しくは下記を参照のこと！
 - https://github.com/3zki/lsci1_analog1/blob/main/analog_tutorial_jp.pdf

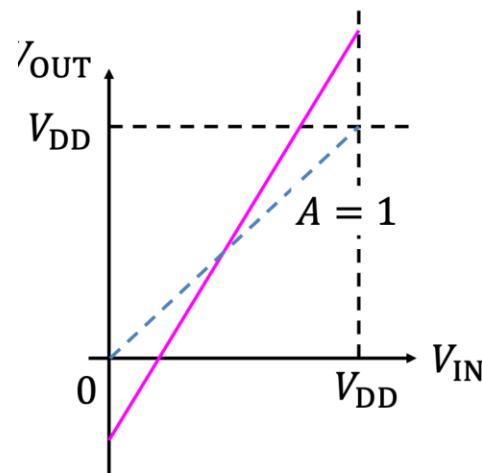
飽和領域&Vds-Idカーブ

- $|V_{ds}| \geq |V_{gs}| - V_{th}$ かつ $|V_{gs}| - V_{th} \geq 0$
 - トランジスタが十分な電圧利得を発揮するため
に重要な動作領域

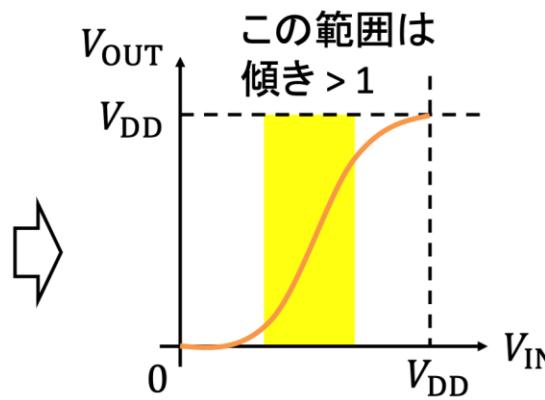
Idと**Vds**が比例関係
= 抵抗として動作
線形領域



幅したいので $A > 1$ にしたいが、直線では無理

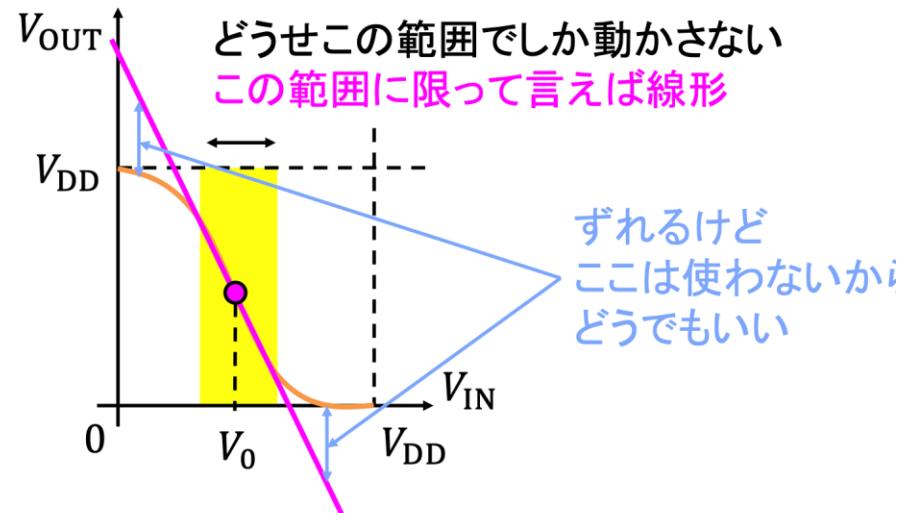


$A > 1$ の線を引くと
出力が 0 以下 and/or V_{DD} 以上
になってしまう (普通は無理)



どこかで曲げて部分的に
傾き > 1 を作るしかない
→ 非線形素子が必要

バイアス電圧 V_0 は適切な (線形に増幅できる) ところにあると
まじめに非線形性を考えなくていいのでは?



正弦波にとって (傾きが同じ) 線形回路と見ても同じこ

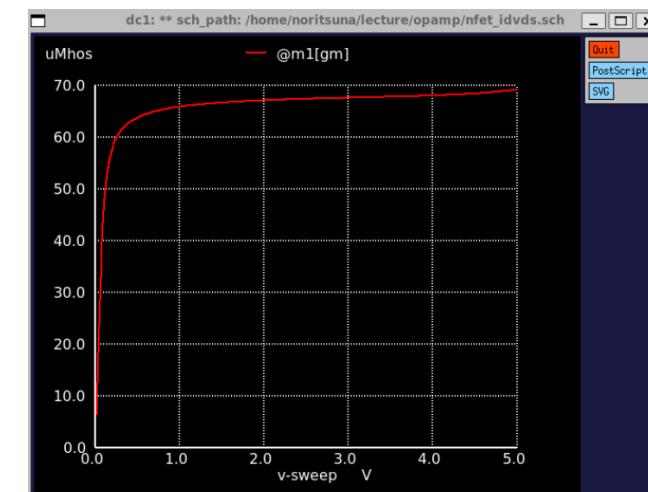
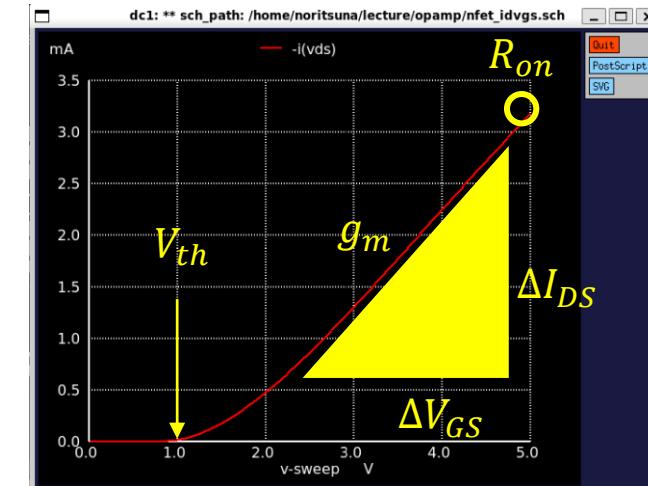
土谷先生の資料より

飽和領域

- 非線形デバイスで線形デバイスとして利用できる部分

相互コンダクタンス : gm [S] と V_{gs} - I_d カーブ

- 電圧電流特性を線形近似する際に用いられる最重要パラメータ
 - 電圧利得
 - ノイズ特性
 - 周波数特性
- R_{on} (オン抵抗)
 - スイッチングデバイス = デジタルデバイスとして使用されるトランジスタが「オン」状態、つまり電流を流しているときに示す抵抗値
 - https://github.com/3zki/lsl1_analog1/blob/main/analog_tutorial_jp.pdf



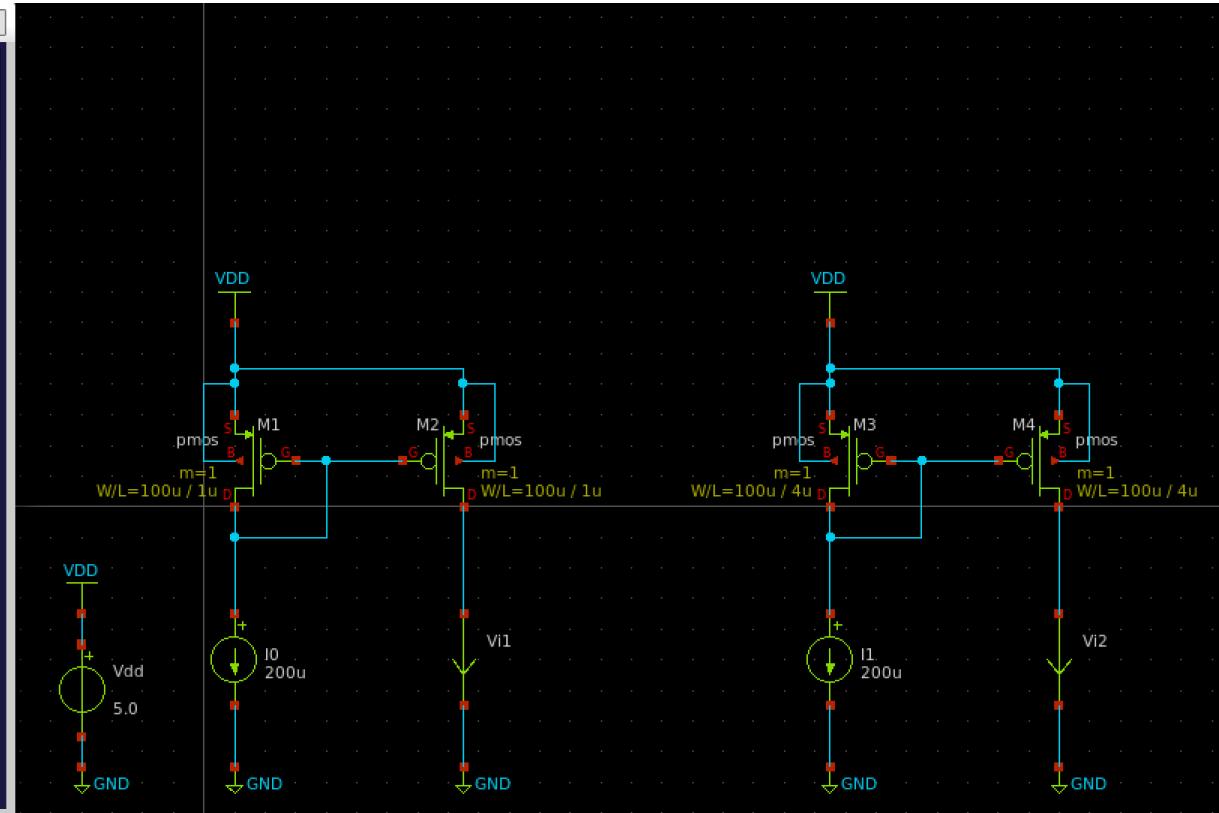
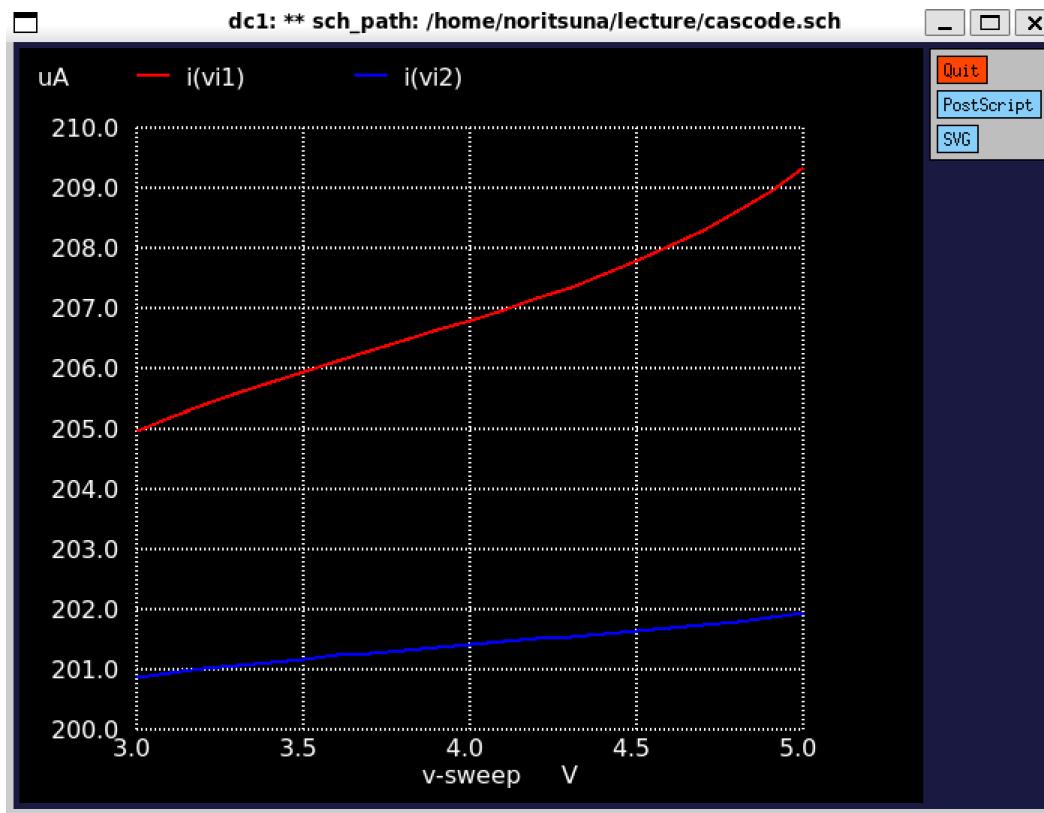
出力抵抗

- $R_{ds} = \frac{\partial V_{out}}{\partial I_{out}}$
 - 「飽和領域」で動作しているときに示す抵抗値(≒ 内部抵抗)
 - 電流源としてどれだけ理想に近いかを示す指標
 - 理想的な電流源の内部抵抗は無限大

短チャネル効果

短チャネル効果

- ソースとドレイン間の距離（チャネル長）が短くなることで発生
 - 事象
 - しきい値電圧 (V_{th}) の低下 (V_{th} ロールオフ) など
 - 要は「想定の電流値ではなくなる（ずれる）」！！！



短チャネル長変調効果

- OR1の状況
 - 1umなので起きないと思いきや、起きるので注意！！！
 - 4umでも起きているので注意



オーバードライブ電圧

オーバードライブ電圧： V_{OV}

- ゲート-ソース間電圧 V_{GS} がしきい値電圧 V_{TH} をどれだけ上回っているかを示す電圧差
 - $V_{OV} = |V_{GS}| - V_{TH}$
 - $V_{OV} \geq 0$ かつ $|V_{DS}| \geq V_{OV}$ が「飽和領域」
- 電流駆動能力に影響
 - $I_D = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L}\right) (V_{OV})^2$

μ Cox

- μ (ミュー): キャリア移動度 (Mobility) [cm²/V·s]
 - 半導体材料中を電荷キャリア (電子または正孔) がどれだけ容易に移動できるかを示す量
- Cox (シーオックス): 単位面積あたりのゲート酸化膜容量 (Gate Oxide Capacitance per unit area) [F/cm²]
 - ゲート電極、ゲート絶縁膜、半導体基板の3層構造で形成されるMOSキャパシタの単位面積あたりの容量
- PDKにより提供され、gmが電圧に依存するので、電圧に依存しない定数= μ Cox (W/L)にするために利用する
 - https://github.com/3zki/lsci1_analog1/blob/main/analog_tutorial_jp.pdf

OP解析からVgs-Idsカーブを求める

NMOS Vds=1.8V, **Vgs=1.7V**, W/L=50u/50u

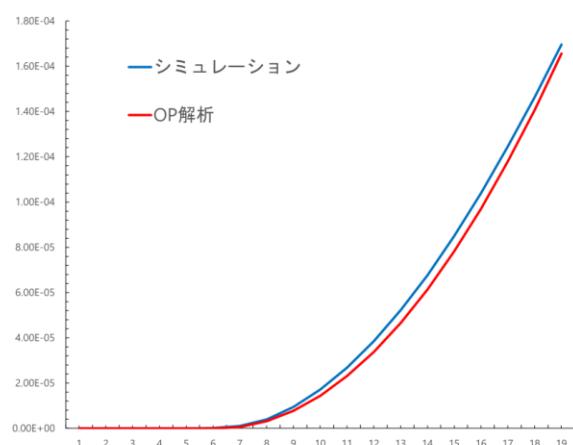
gm	0.000239084
gds	9.09633e-07
vdsat	1.11921
vth	0.522749

飽和領域における $g_m = \frac{W}{L} \mu_n C_{ox} (V_{GS} - V_{th})$ より、

$$\frac{W}{L} \mu_n C_{ox} = \frac{g_m}{V_{GS} - V_{th}} = \frac{0.000239084}{1.7 - 0.522749} = 0.000203087$$

上の値を $I_{DS} = \frac{W}{L} \mu_n C_{ox} \left[\frac{1}{2} (V_{GS} - V_{th})^2 \right]$ に代入して求める。

二次関数カーブでそれなりに近似可能→



参考: μC_{ox} と V_{th} について

- μC_{ox} はSPICEモデルの定数からでも計算可能
- $\varepsilon_0 = 8.854 \times 10^{-12} \text{ [F/m]} \text{ (electric constant)}$

トランジスタサイズ別に複数のモデルが収録
ここでは#0のモデルを使用

`$(PDK)/libs.ref/sky130_fd_pr/spice/
sky130_fd_pr_pfet_01v8.pm3.spice
sky130_fd_pr_nfet_01v8.pm3.spice`

Variables in formula	Variables in SPICE	nfet_01v8.0	pfet_01v8.0
μ	$u0 \text{ [m}^2/\text{Vs]}$	0.030197	0.0025134
ε_r	epsrox	3.9	3.9
t_{ox}	$\text{tox} \text{ [m]}$	4.148×10^{-9}	4.23×10^{-9}
V_{th}	$\text{vth0} \text{ [V]}$	0.5190093	-1.05955351
$C_{ox,n} = \frac{\varepsilon_0 \varepsilon_r}{t_{ox}} = \frac{8.854 \times 10^{-12} \times 3.9}{4.148 \times 10^{-9}} = 8.325 \times 10^{-3} \text{ F/m} = 8.325 \text{ fF}/\mu\text{m}^2$			
$\mu_n C_{ox} = 0.030197 \text{ m}^2/\text{Vs} \times 8.325 \text{ fF}/\mu\text{m}^2$			
$= 251.4 \mu\text{A}/\text{V}^2$			
$\mu_p C_{ox} = 0.0025134 \text{ m}^2/\text{Vs} \times 8.163 \text{ fF}/\mu\text{m}^2$			
$= 20.52 \mu\text{A}/\text{V}^2$			

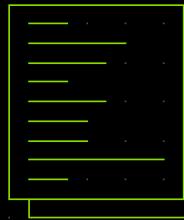


実測

対象

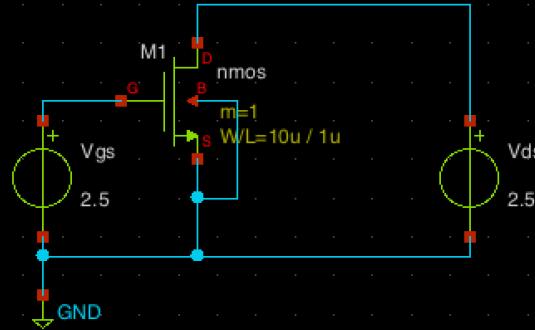
M1などのデバイスに
設定されたパラメータを
指定する方法

PTC06_MODELS

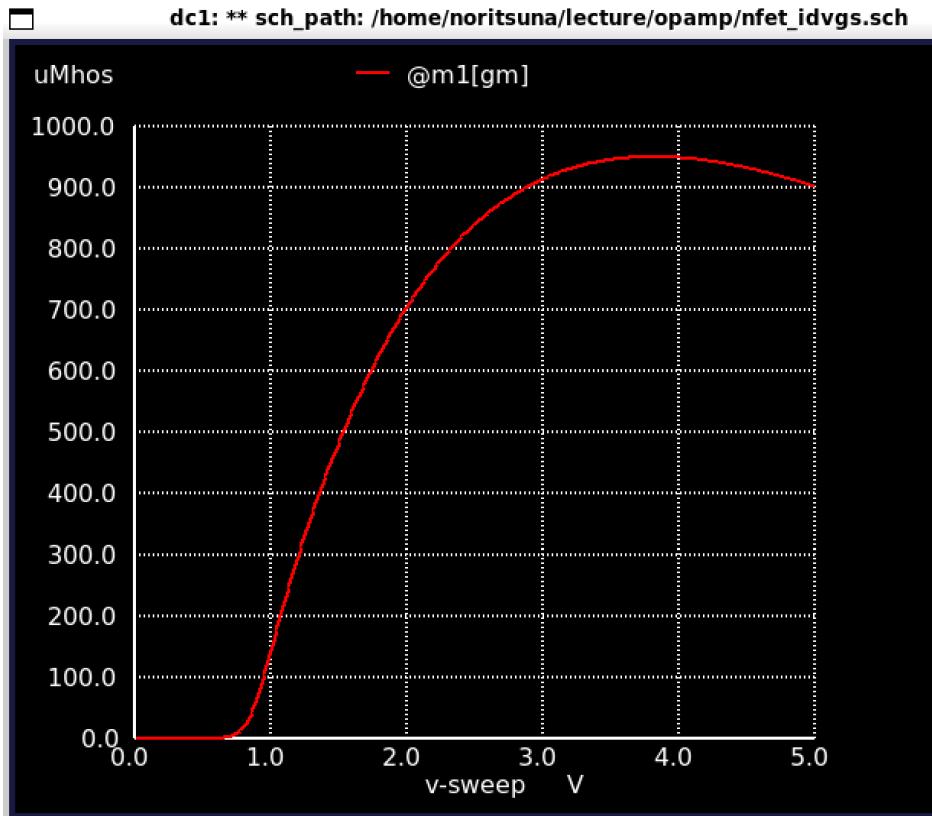
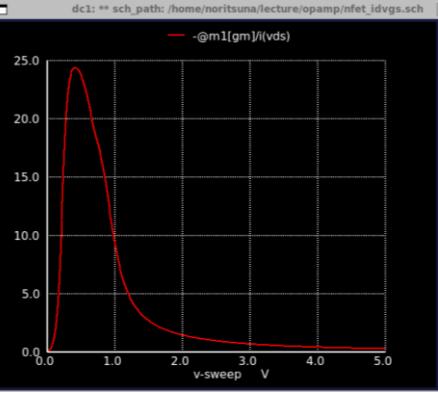


control

```
.option savecurrent
.control
op
show m
save all
save @m1[gds]
save @m1[gm]
save @m1[vth]
dc vgs 0.01 5.0 0.01
plot -i(Vds)
plot @m1[vth]
plot @m1[gm]
plot -@m1[gm]/i(vds)
.endc
```



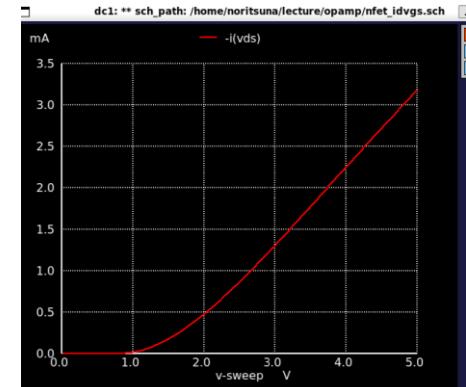
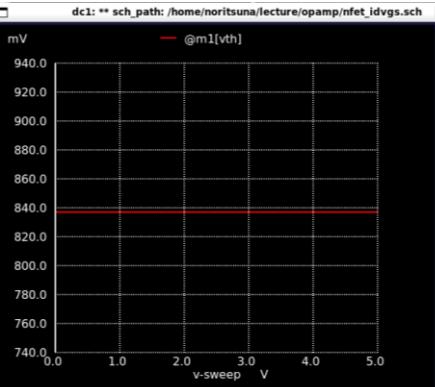
- pMOS,nMOS
 - チャネル長 L を最小の $1 \mu\text{m}$ 、MOSのサイズは $W/L=10$
 - <https://github.com/ishi-kai/openmpw-transistor-level-examples/tree/main/OR1/PTC06>



nfet_idvgs.spice" -a || sh

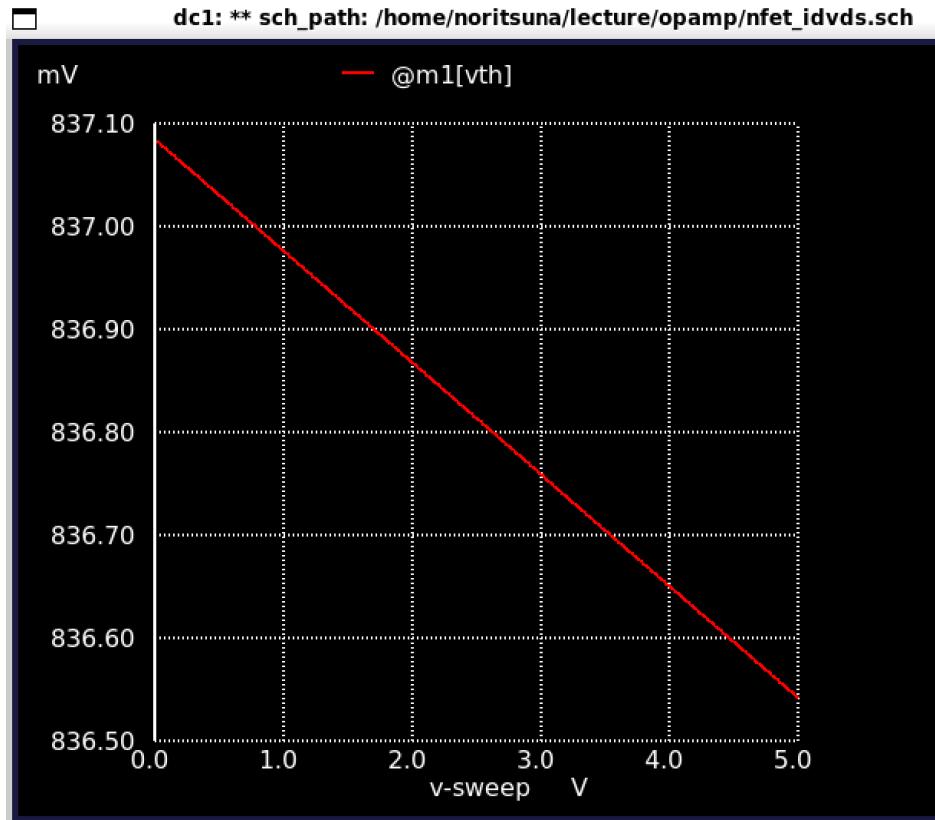
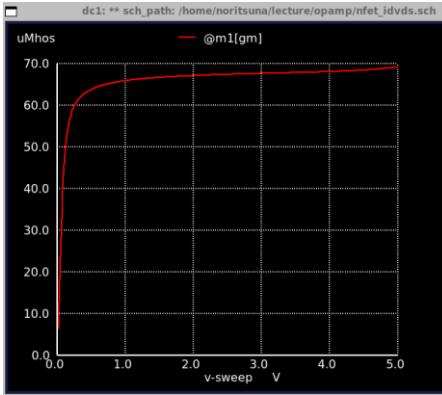
```
No. of Data Rows : 1
BSIM3; Berkeley Short Channel IGFET Model Version-3
device m1
model nmos
l 1e-06
w 1e-05
m 1
ad 0
as 0
pd 0
ps 0
nrd 1
nrs 1
off 0
ngmod 0
acngmod 0
geo 0
delvto 0
mult0 1
gmbz 0.00031382
gm 0.00840661
gds 1.18371e-05
vdsat 0.871152
vth 0.836813
id 0.000870179
vbs 0
vgs 2.5
vds 2.5
ibd -2.51e-12
ibs 0
gbd 1e-12
gbs 1.38664e-12
qb -2.78396e-14
cgb 0
qg 6.26125e-14
cqg 0
qd -1.02823e-14
cdg 0
cgg 1.94286e-14
cqd -1.21649e-18
cqs -1.80725e-14
cdg -6.33175e-15
cdd 2.81831e-18
cds 9.4698e-15
cbg -3.60373e-15
cbd -1.47496e-18
cbs -5.59874e-15
capbd 0
capbs 0

Doing analysis at TEMP = 27.000000 and TNOM = 27.000000
Using SPARSE 1.3 as Direct Linear Solver
Checking parameters for BSIM 3.3 model nmos
```



nMOS

Id/Vds

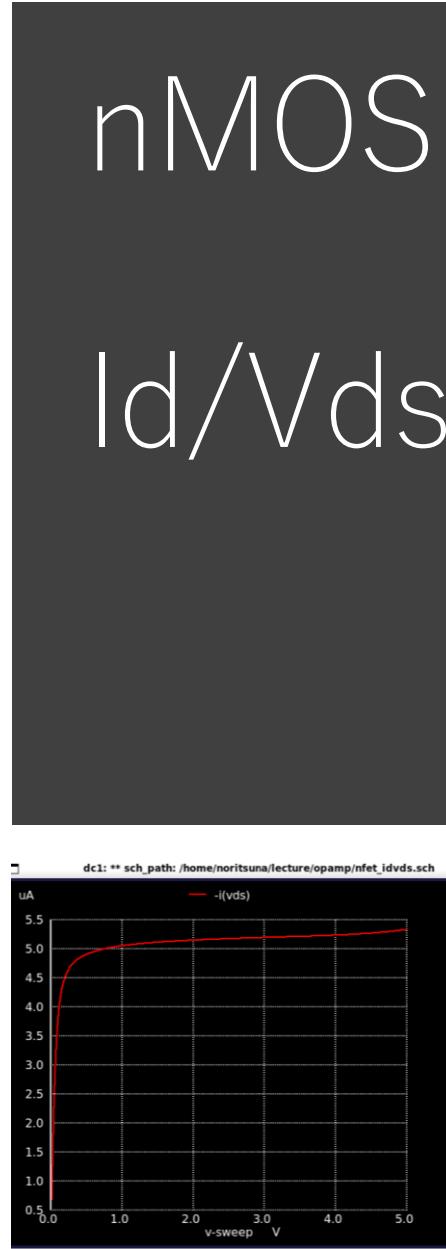


nfet_idvds.spice" -a || sh

Checking parameters for BSIM 3.3 model nmos
Warning: Pd = 0 is less than W.
Warning: Ps = 0 is less than W.

No. of Data Rows : 1
BSIM3: Berkeley Short Channel IGFET Model Version-3
device m1
model nmos
nmos 1e-05
W 1e-05
R 1
AD 0
AS 0
PD 0
PS 0
NRD 1
NRS 1
OFF 0
NQSMod 0
ACNQSMod 0
GEO 0
DELVT0 0
MULT0 1
GDS 3.29306e-05
GM 6.74095e-05
GDS 4.47247e-09
VDSAT 0.0930376
VTH 0.836813
ID 5.17459e-06
VBS 0
VGS 0.9
VDS 2.5
IBD -2.51e-12
IBS 0
GBD 1e-12
GDS 1.38664e-12
QB -2.21247e-14
CQB 0
QG 2.06044e-14
CQG 0
QD 5.39752e-15
CQD 0
CGD 1.63249e-14
CGS 1.13017e-18
CDS -1.20003e-14
CDD -4.83944e-15
CDB -6.64804e-19
CDS 7.27933e-15
CDB -4.22709e-15
CBD 5.83876e-19
CBS -6.19683e-15
CAPBD 0
CAPBS 0

Doing analysis at TEMP = 27.000000 and TNOM = 27.000000
Using SPARSE 1.3 as Direct Linear Solver
Checking parameters for BSIM 3.3 model nmos



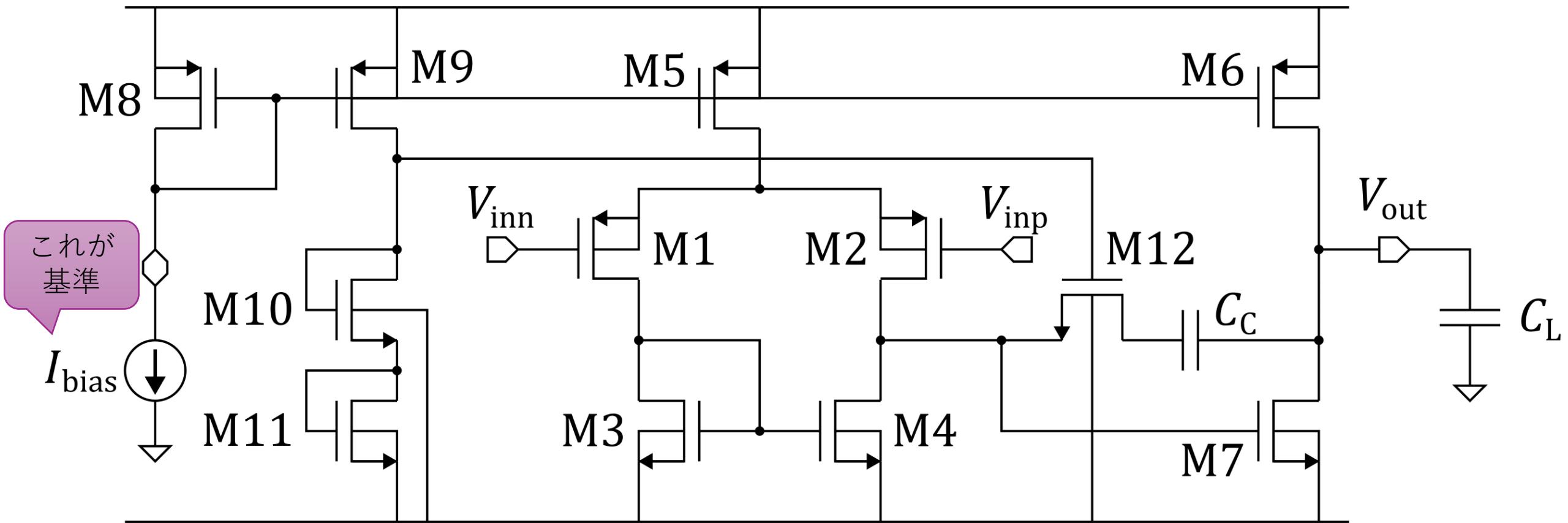
L=1μm	nMOS	pMOS
Vth	836mV	1.3V
Id	5.2uA	1.8uA
gm	67.4uS	17.8uS
rds	4.8MΩ	13.0MΩ
gm*rds(Intrinsic gain)	323.52	231.4

L=2μm	nMOS	pMOS
Vth	786mV	1.4V
Id	8.6uA	0.78uA
gm	96.4uS	8.3uS
rds	4.8MΩ	55.0MΩ
gm*rds(Intrinsic gain)	462.72	456.5

結果

電流源編

よくある2段差動増幅OPAMP

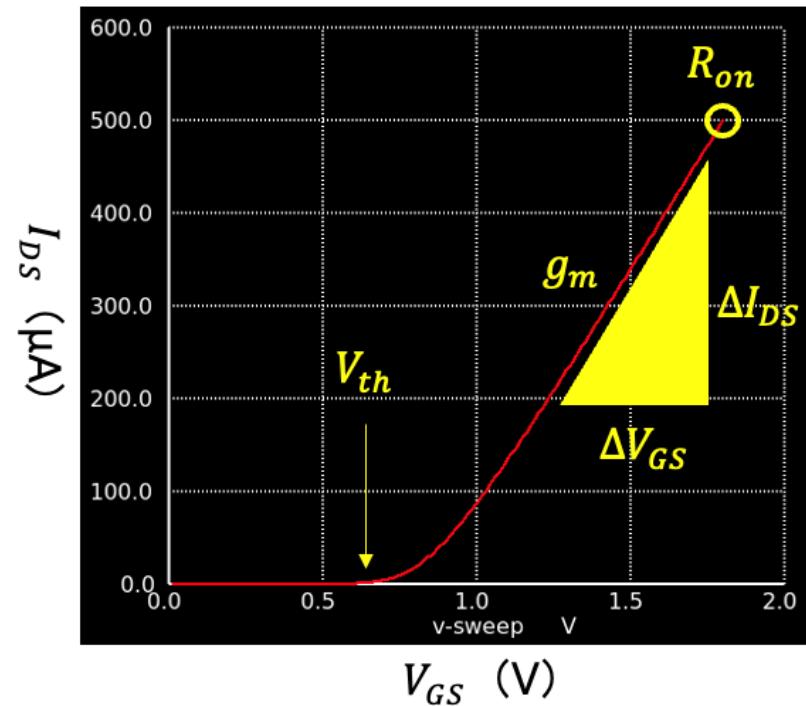




Ibias(バイアス電流)

Ibias(バイアス電流)

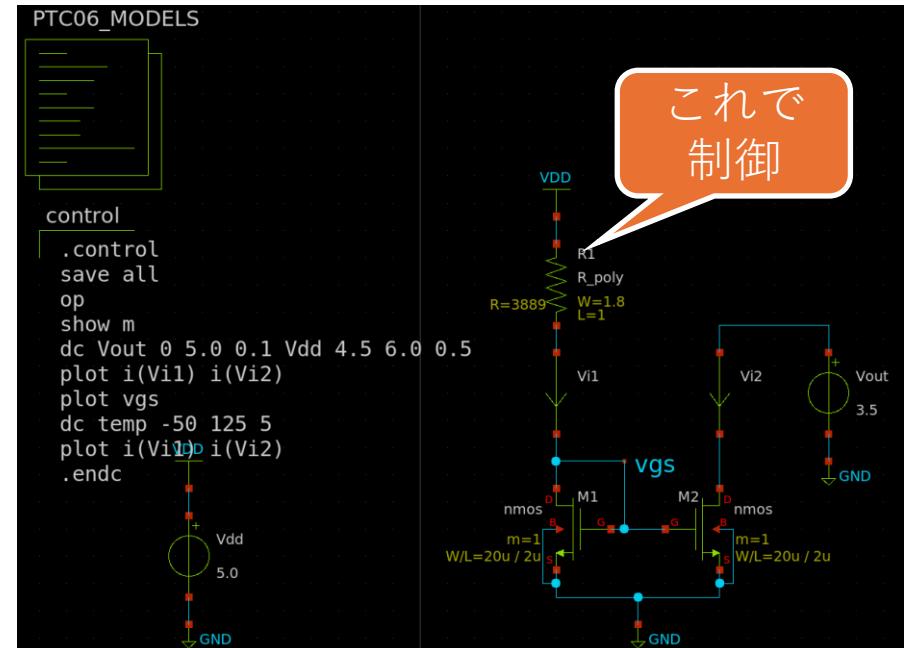
- Ibiasが回路の設計目標を達成するための鍵！
 - デバイスの性能を決定し、安定した動作を保証するための要素
 - ゲイン
 - 帯域幅
 - ノイズ
 - 歪み
 - 消費電力
- 役割
 - 線形領域の中央付近に動作点を置き、入力信号が印加された際に素子が飽和したりカットオフしたりせず、安定して信号を増幅できるようにする

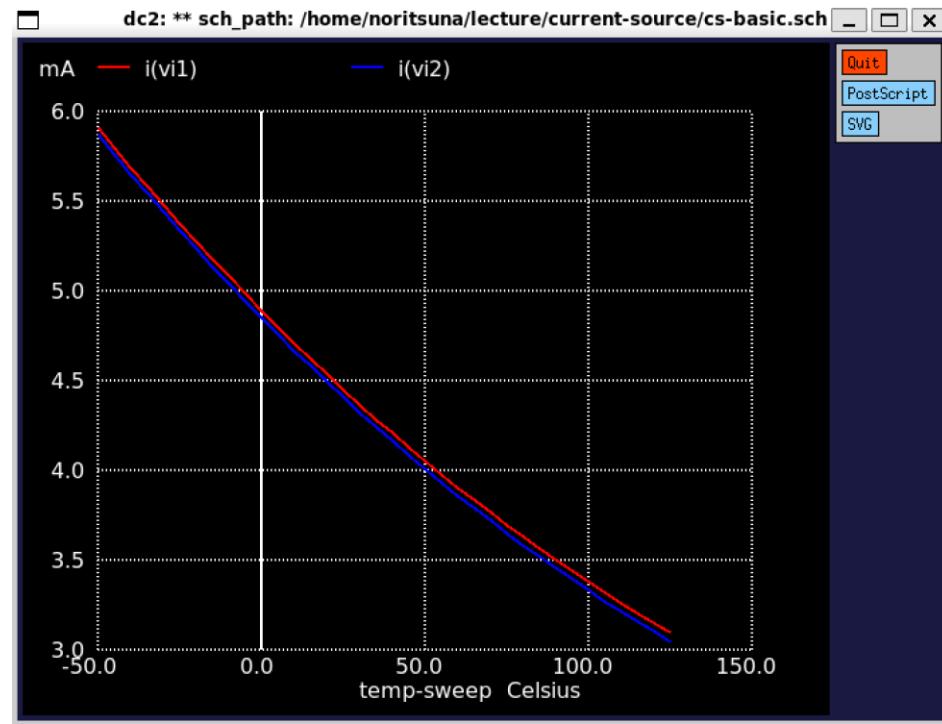
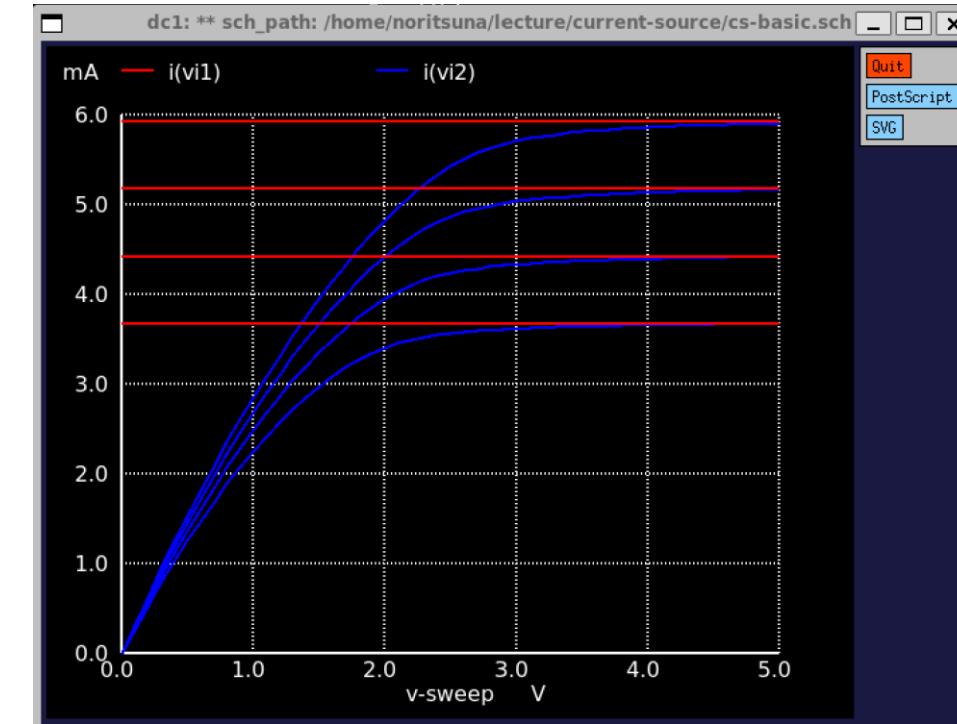


基本電流源

基本電流源

- $I = V/R$
 - OPAMP設計に合わせて
 - チャネル長 $L = 2\mu m$
 - $W/L = 10$
 - 参照電流 (i_1) = $5 \mu A$ となるように調整





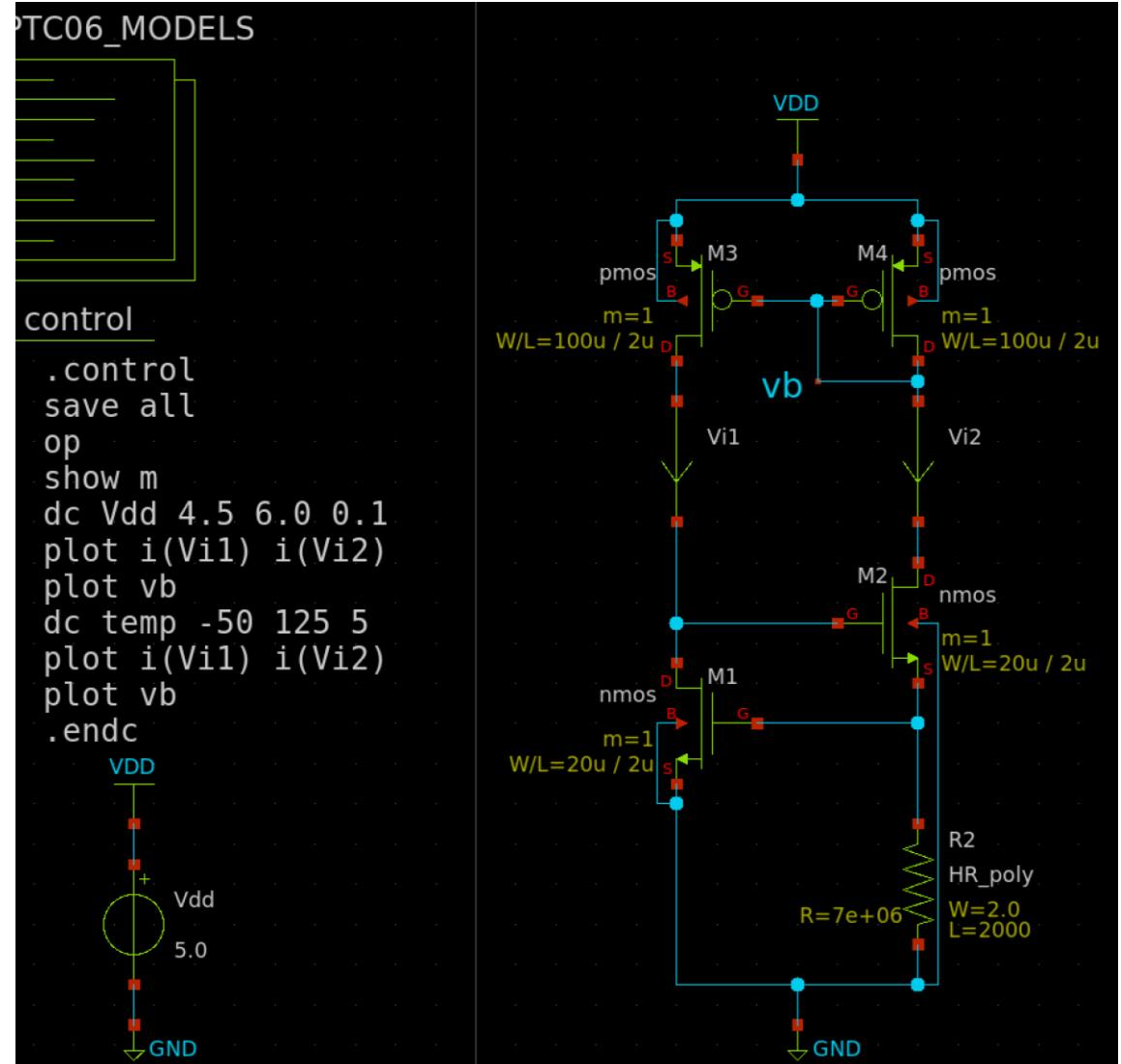
出力結果

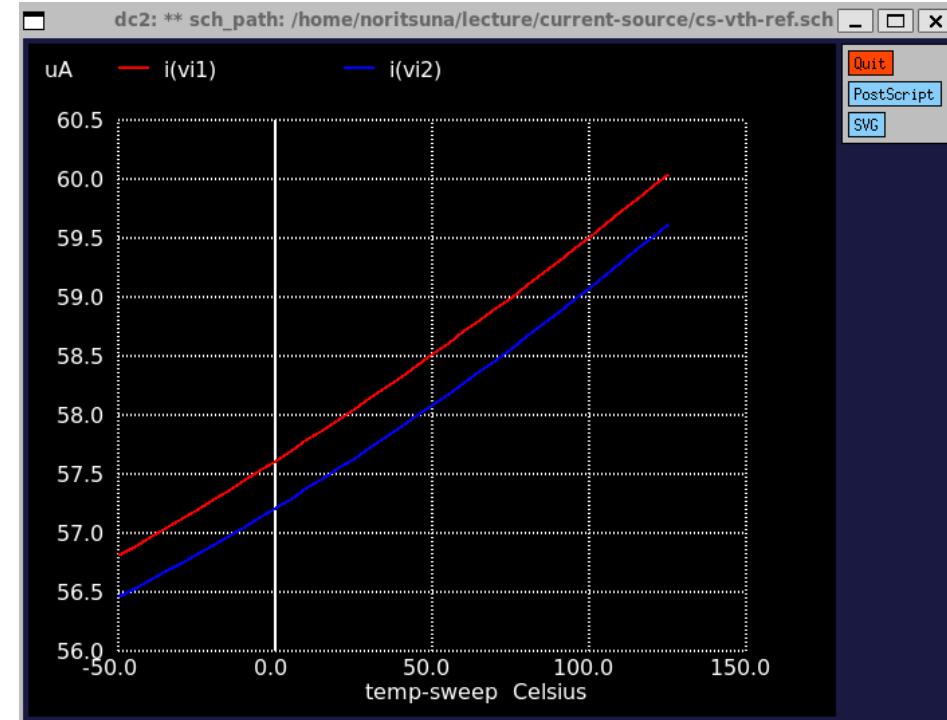
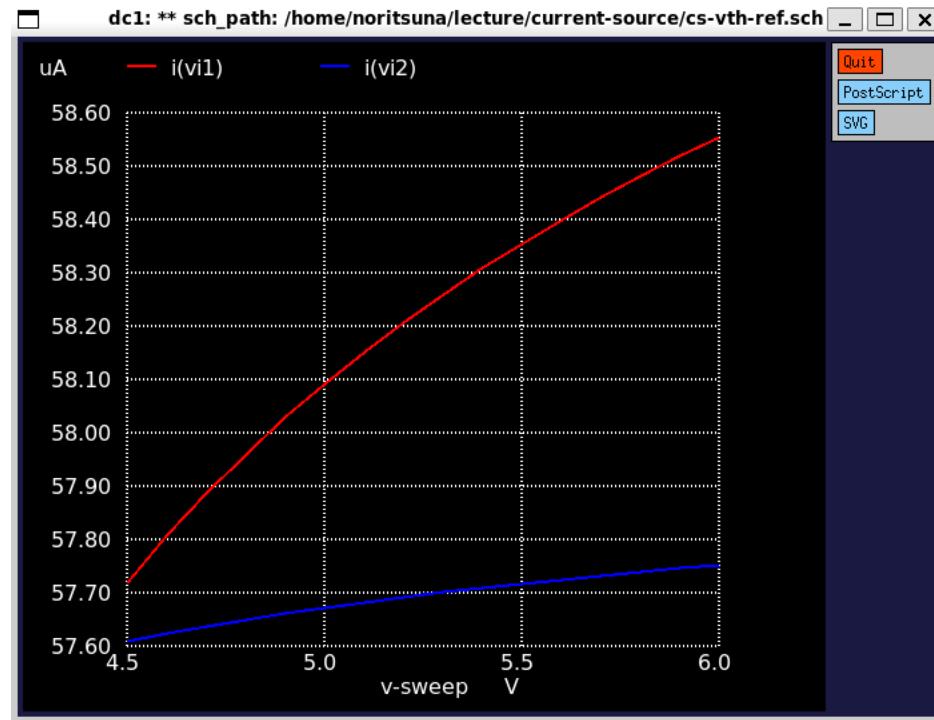
- 問題点
 - 電源電圧に比例して、変動してしまう
 - これは当たり前
 - 温度変化にも弱い：2倍も変動する
 - これがマズイ

V_{th}-referenced 自己バイアス電流源

Vth-referenced 自己 バイアス電流源

- OPAMP用のため約50uAで設計
 - 10uAでない理由はカレントミラー参照
 - OPAMPは約10uAで設計されている
- 動作原理
 - M1・M2に流れるドレン電流がトランジスタのしきい値電圧によって V_{th}/R となる
 - M3とM4のつなぎ方がカレントミラー
 - M1とM2のつなぎ方がカレントミラー改





出力結果

- 電源電圧に対して、変動は0.5%以下
- 温度変動に対して、変動は約10%
 - Vthを参照しているため温度によるVthの変動が影響するため

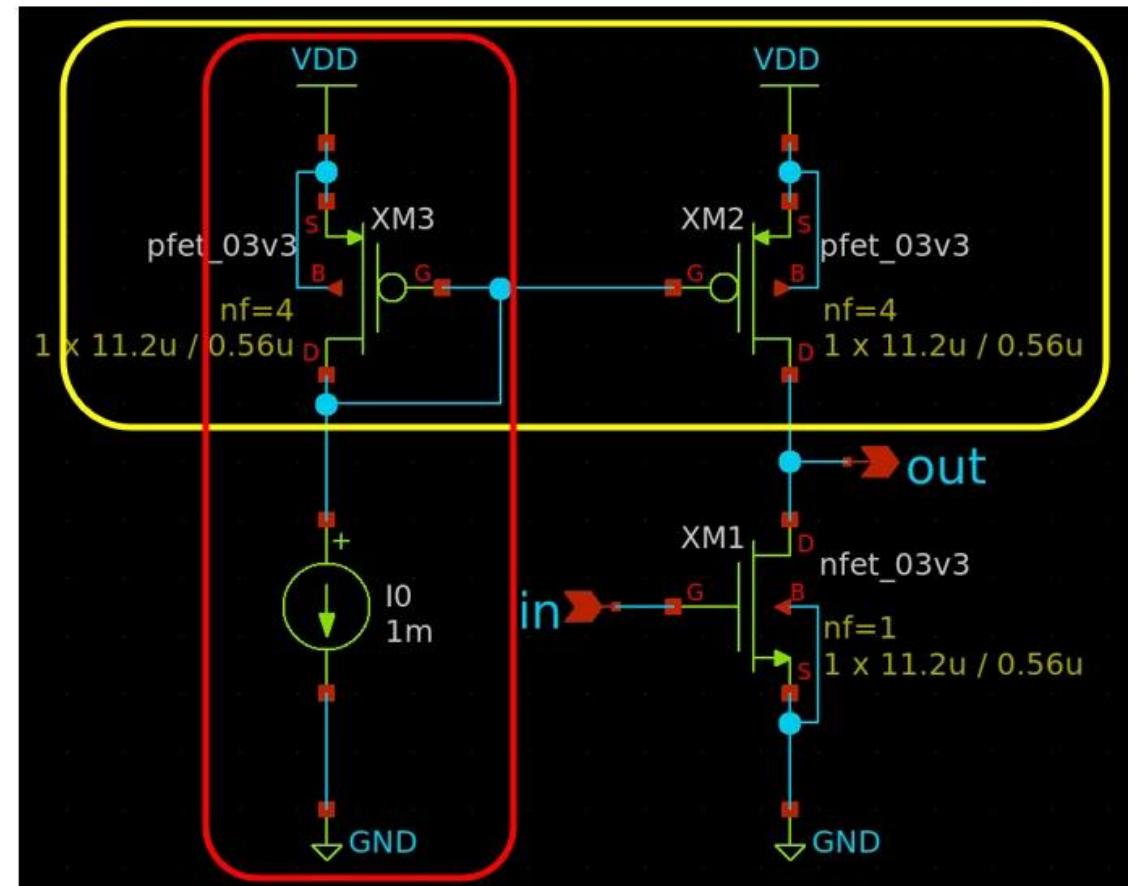
カレントミラー

カレントミラー

役割・機能

- その名の通り、ある基準となる電流（参照電流）を「鏡（ミラー）」のように複製し、別の回路ブロックに供給する役割
 - 回路内の複数箇所に正確で安定した電流を供給する

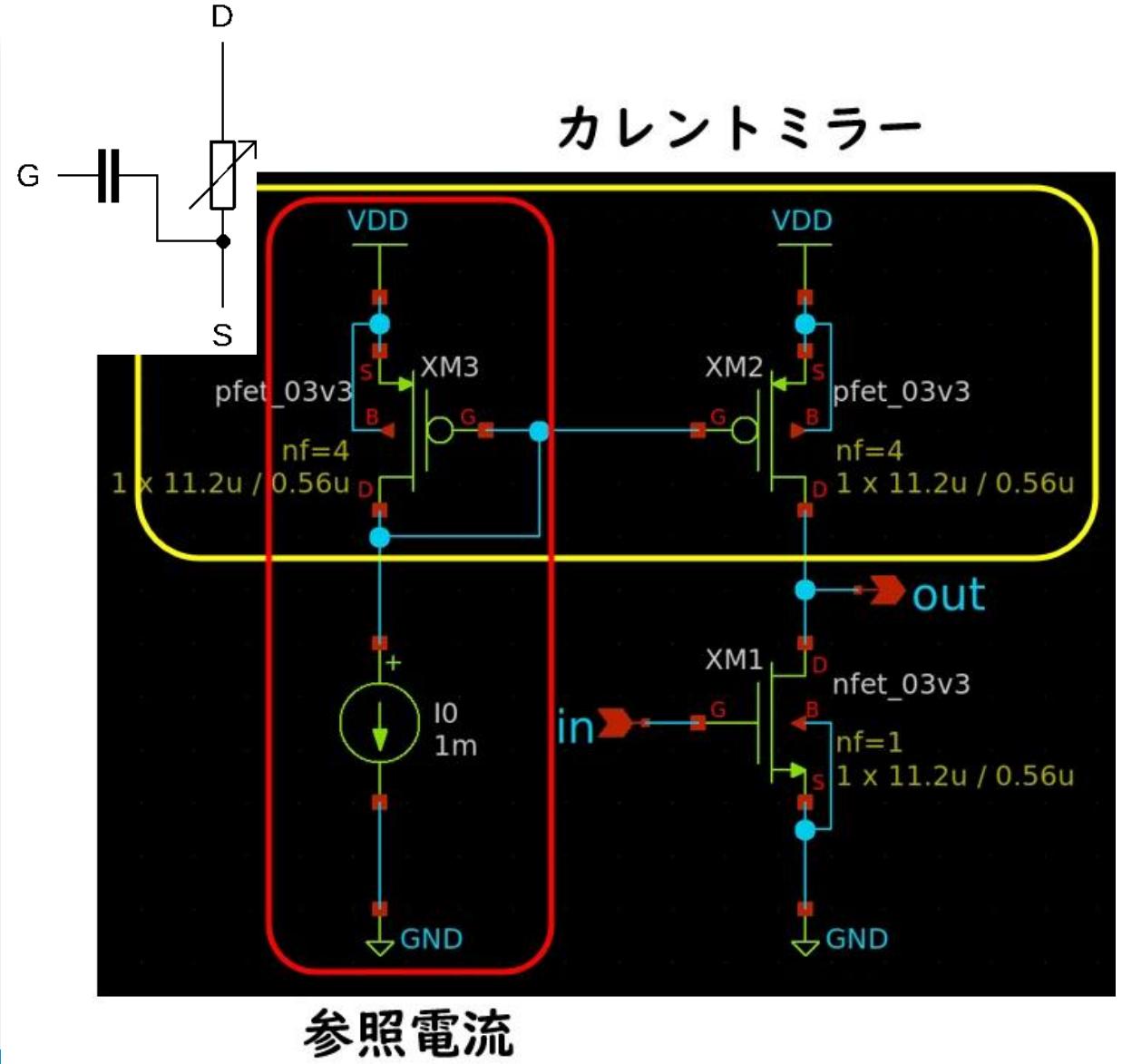
カレントミラー



参照電流

動作内容

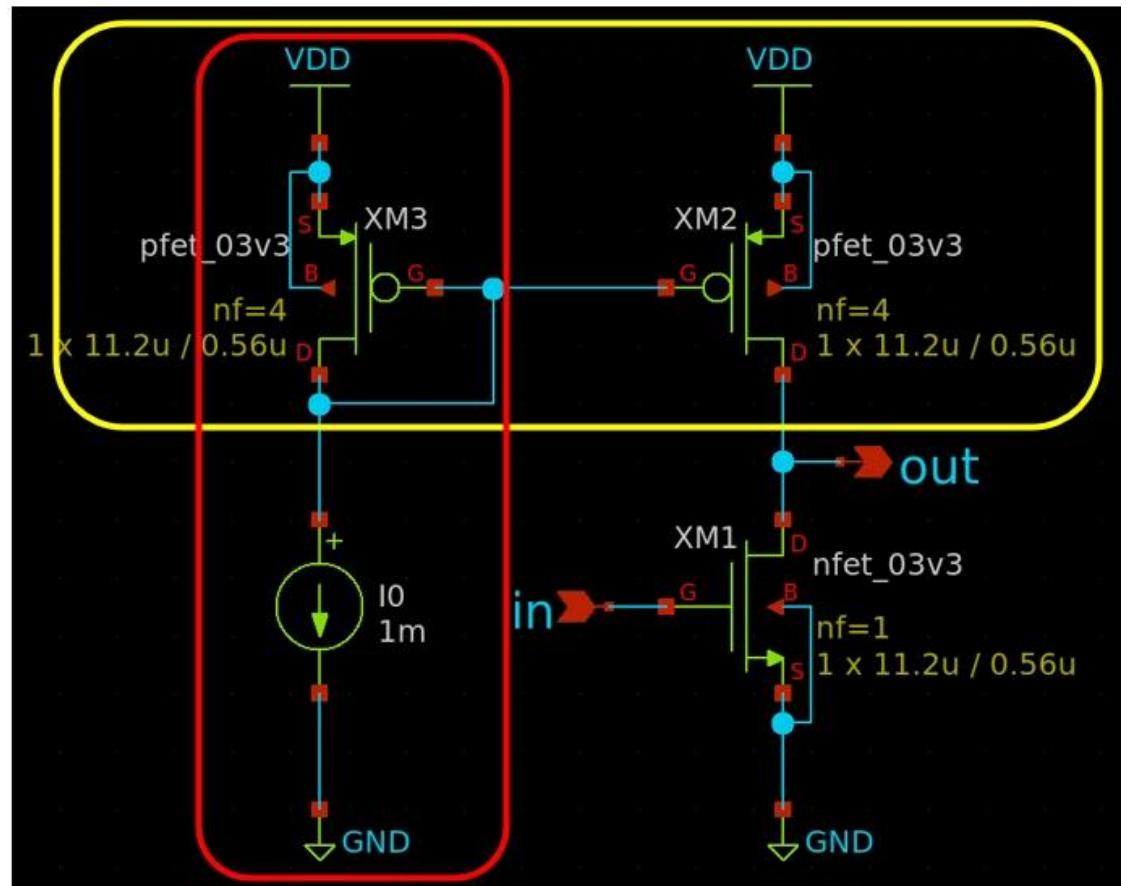
- マスター側 (XM3) のMOSFETは、ゲートとドレインを接続してダイオード接続とする
 - ドレン电流によってゲート-ソース間電圧が決定される
- スレーブ側 (XM2) のMOSFETのゲートは、マスター側のゲートに接続する
 - 両方のMOSFETが同じ特性を持ち、飽和領域で動作している場合、マスター側のゲート-ソース間電圧がスレーブ側にも印加されるため、スレーブ側のドレン电流はマスター側の参照电流とほぼ同じになる
 - W/L比を変更することで、参照电流のn倍や $1/n$ 倍の电流を生成することも可能



式

- M3とM2が同一の場合、 $V_{GS3}=V_{GS2}$
 - $I_{ref}=\frac{1}{2}\mu Cox(\frac{W}{L})_3(V_{GS}-V_{th})^2$
 - $I_{out}=\frac{1}{2}\mu Cox(\frac{W}{L})_2(V_{GS}-V_{th})^2$
- 式を変形して
 - $I_{out}=I_{ref} \times (\frac{W}{L})_2 / (\frac{W}{L})_3$
- $(\frac{W}{L})_2 = (\frac{W}{L})_3$ の場合
 - $I_{out}=I_{ref}$

カレントミラー



参照電流



カスコード接続



カスコード接続

- 構成
 - 2つのトランジスタを直列に接続し、単一のトランジスタでは実現が難しい優れた性能を得るための回路
- 原理
 - M2がM1に対して「電圧スタビライザ」とおよび「電流ブースター」として機能
 - M1(下段、コモンソース)
 - 役割: 入力電圧(V_{in})を電流変化に変換する。基本的な増幅動作の起点。
 - M2(上段、コモンゲート)
 - ゲート: 固定バイアス電圧(V_b) - M2の動作点を決める
 - 役割: M1のドレイン電圧を安定させる

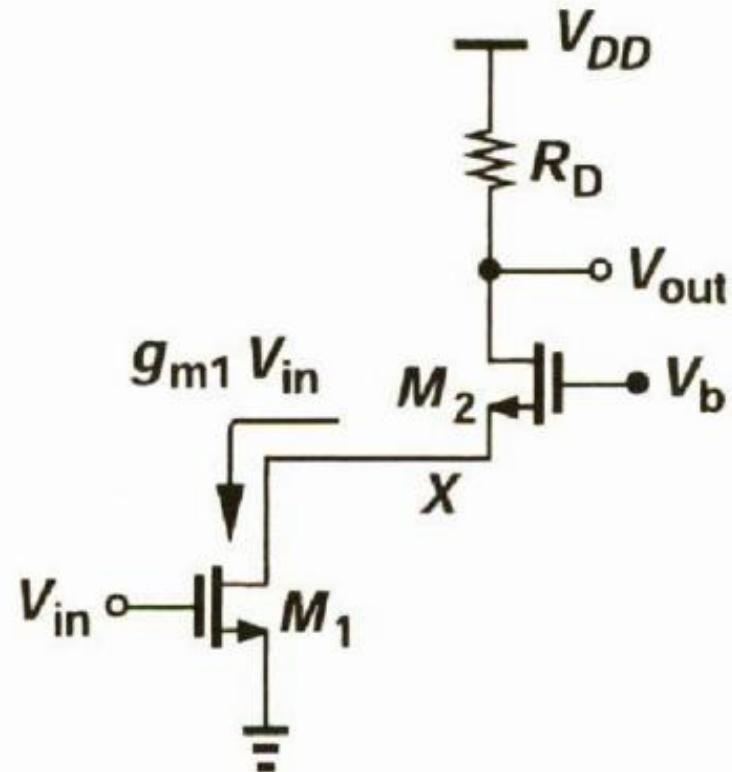


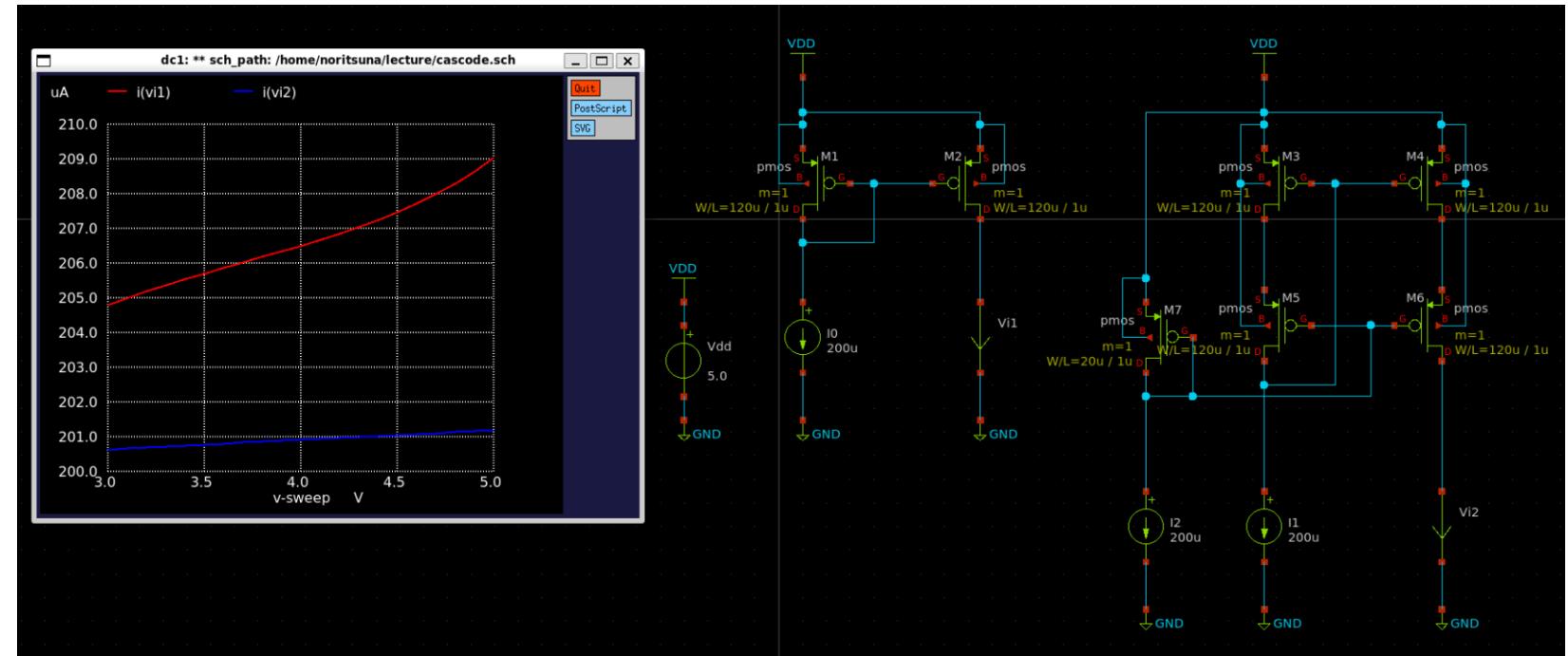
図 3.50 カスコード増幅段.

出典：アナログCMOS集積回路の設計・基礎編

利点：短チャネル効果の改善

- 原理

- 下段トランジスタのドレイン電圧がほぼ一定に保たれることを利用



利点：ミラー効果の改善

- 原理
 - 下段トランジスタのドレイン電圧が上段トランジスタによってほぼ一定に保たれるため、下段トランジスタのドレイン電圧の変動が非常に小さくなる
これが小さくなる
 - $I_{Cgd} = C_{gd}(V_{gs} - V_{ds})$
 - これにより、下段トランジスタの C_{gd} （または C_{cb} ）を介して入力に帰還する電流が大幅に抑制され、ミラー効果が低減される
 - ちなみに、Miller Effect、鏡のmirrorではなく、人名

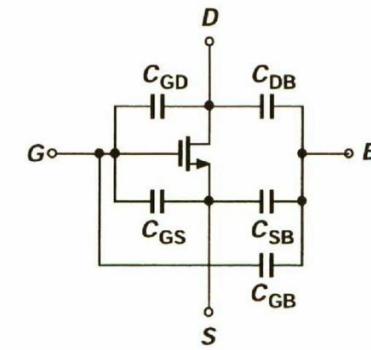


図2.30 MOS 容量.

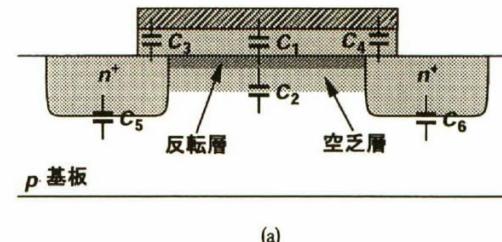
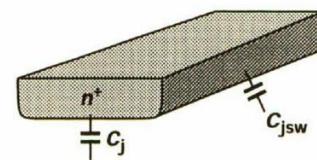
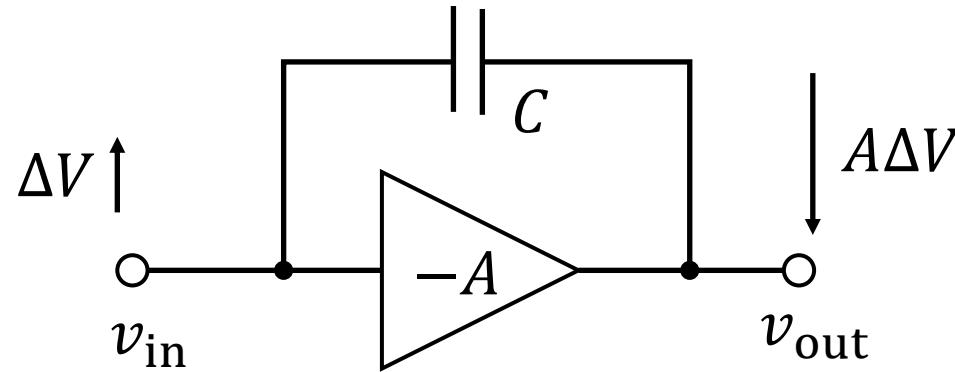


図2.31 (a) MOS デバイス容量, (b) S/D 接合容量を底面と側壁の二つの成分に分解.



ミラー効果 (Miller effect)

入力端子と出力端子の間をつなぐキャパシタンスはどう見えるか



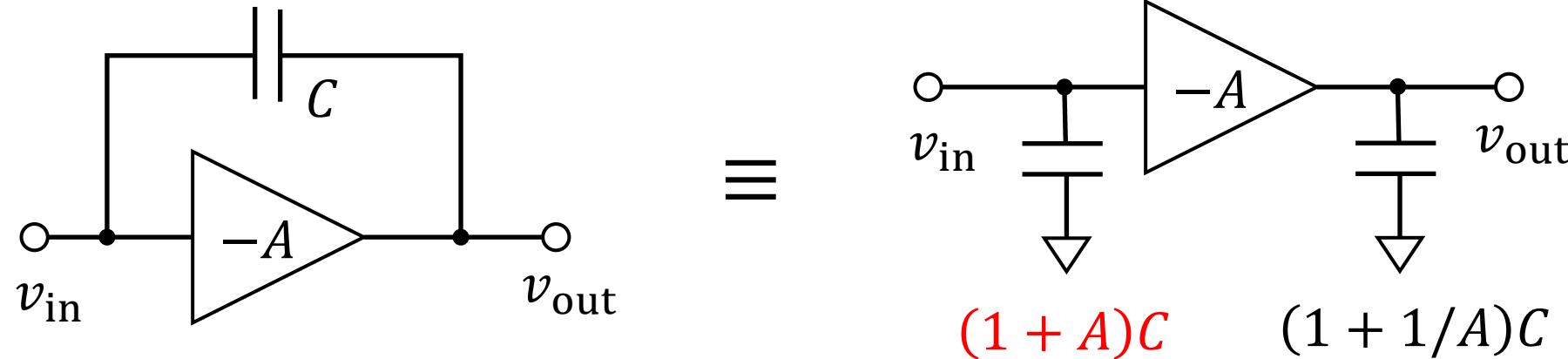
$v_{\text{out}} = -Av_{\text{in}}$ だから、入力が ΔV 上がると出力は $A\Delta V$ 下がる

C の端子間電圧は $(1 + A)\Delta V$ 変化する

入力端子から C に流れ込む電荷量 $\Delta Q = C \times (1 + A)\Delta V$

$\Delta Q = (1 + A)C \times \Delta V$: 大きさ $(1 + A)C$ の対地容量と同じ

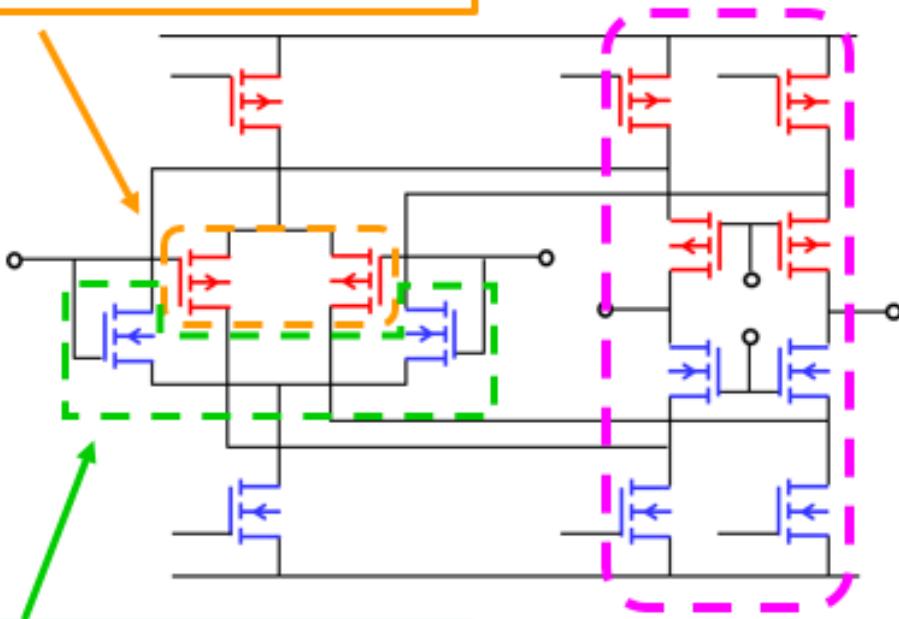
ミラー効果 (Miller effect)



利得 $-A$ の増幅器の入出力をつなぐ容量は、
 $(1 + A)$ 倍の対地容量に近似できる

例) $-A = 1$ (入力と出力が常に同電位) であれば
容量 C は存在しないのと同じ $\equiv (1 + A) = 0$

Pch MOSFET 入力差動対



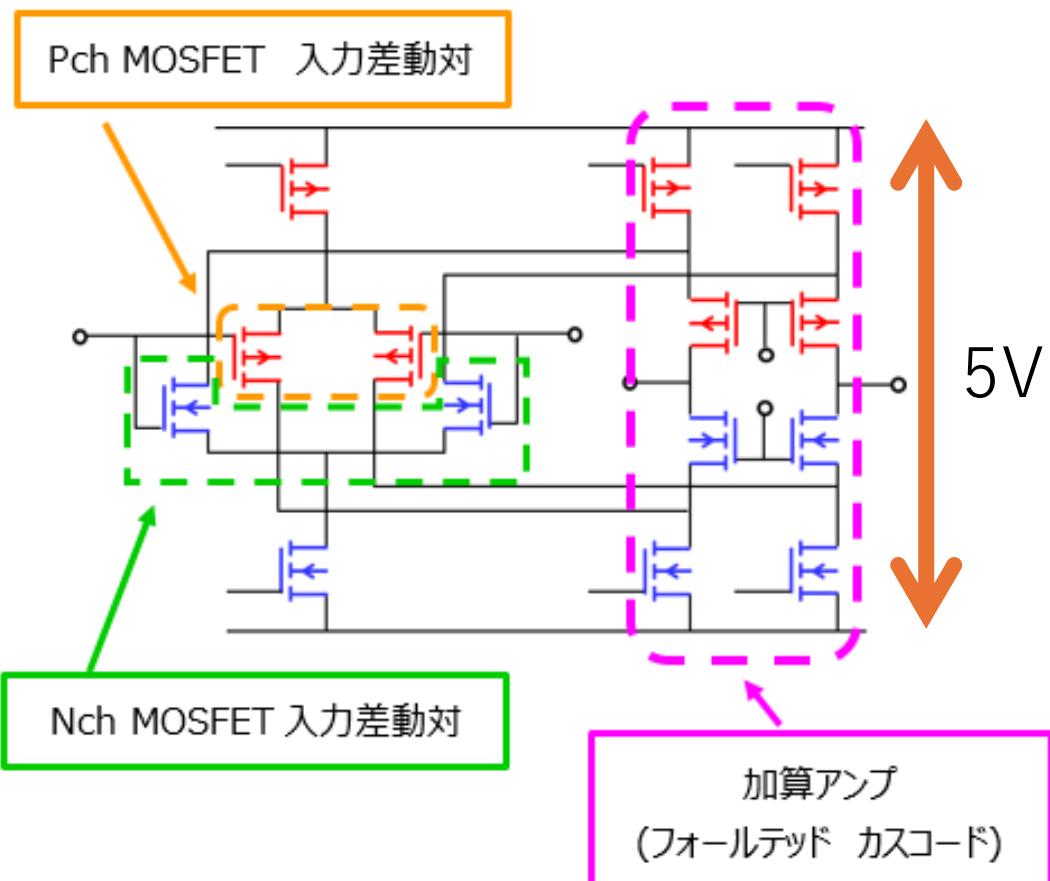
Nch MOSFET 入力差動対

加算アンプ
(フルデッド カスコード)

応用：Rail2Rail

- 構成
 - コンプリメンタリ差動対
 - フォールデッドカスコード
 - プッシュプル構成
- 内容
 - VDD-VSSまでフルレンジで出力させる
- 構造
 - 差動対をpMOS,nMOS構造にする
 - カレントミラーをカスコード接続する

飽和領域で 動作させる難しさ

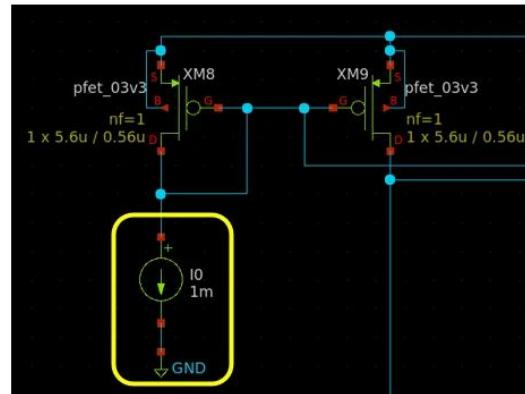


- 4つMOSFETがつながっているが、5Vを分圧していることになる
 - 単純計算で、 $5V/4=1.25V$ が一つのMOSFETの動作範囲となる
=すべてのMOSFETが飽和領域で動作している必要がある
 - これなら余裕があるようにみえるが、昨今のアナログ回路で使われるMOSFETの電圧は、1.8Vくらいのためほとんど余裕はない

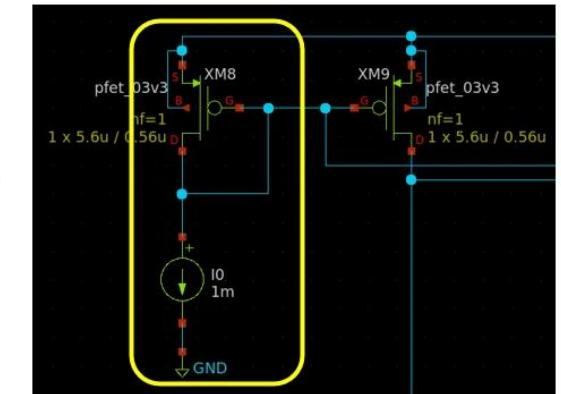
電流源の使い方

電流源の 使い方

電流源回路が置き換えるのは…

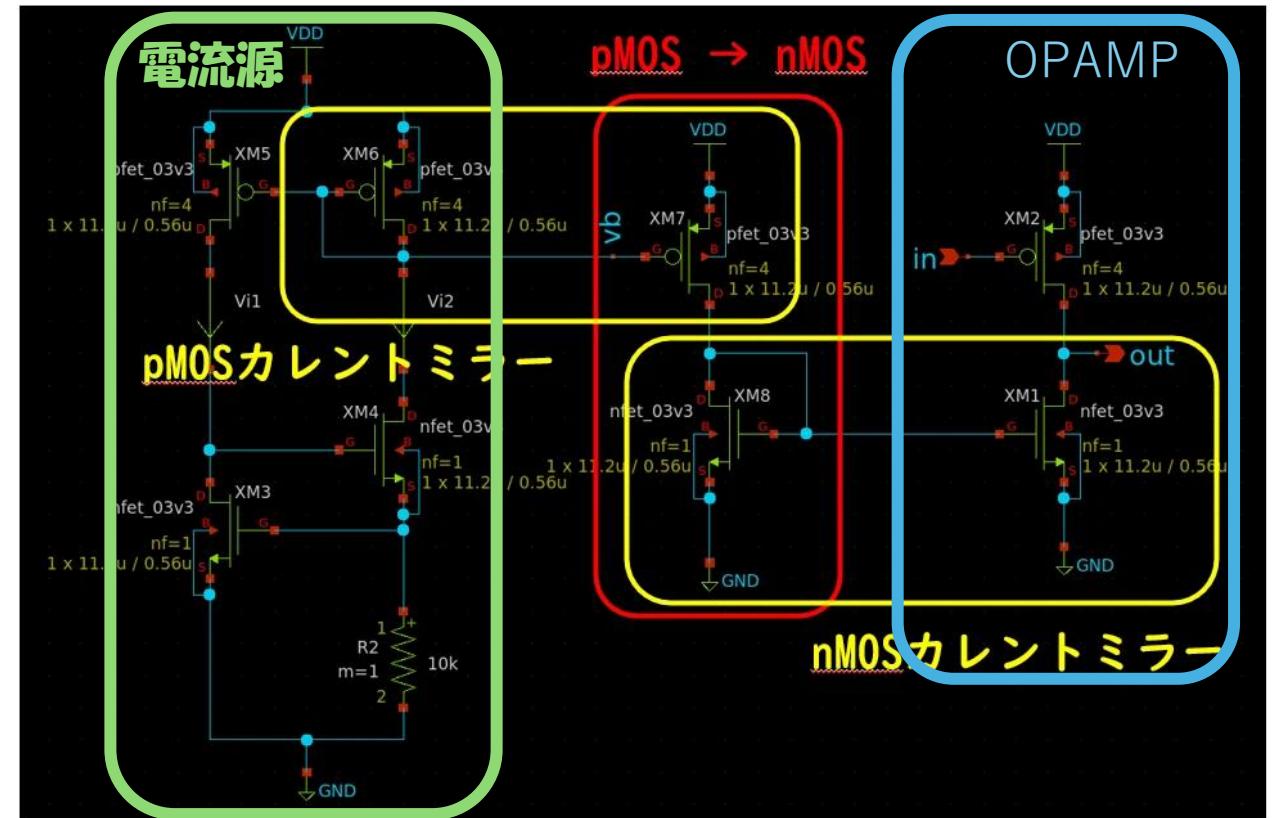


これ（電流源）ではなく



ここ（カレントミラーの参照側）

電流源の使い方

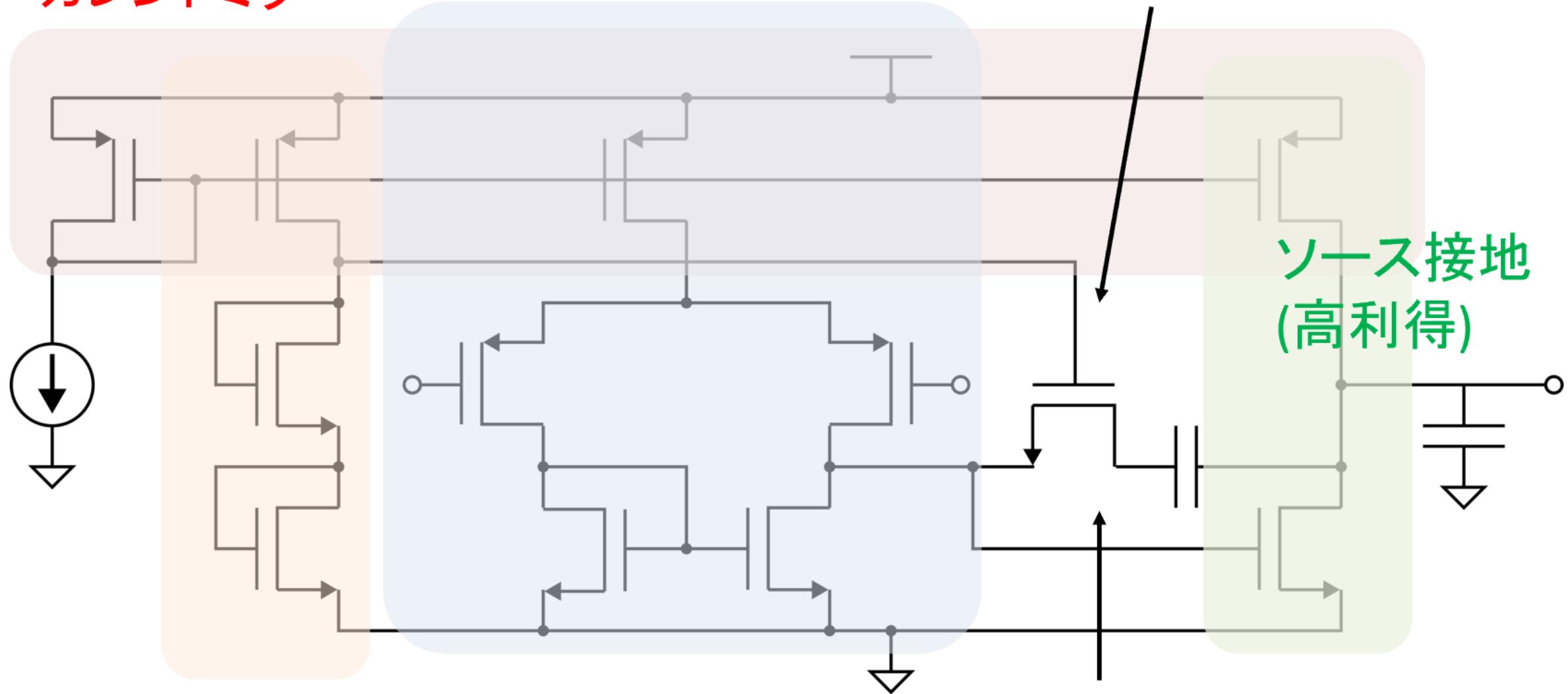


OPAMP編

カレントミラー

差動増幅段 (高利得)

バイアスレプリカで
なんか電圧与えてるな



バイアスレプリカ

基本的な增幅回路

注意事項

- 増幅回路については半導体設計におけるポイントのみ解説します。
 - 増幅回路の基本動作原理などを知りたい方は右の書籍をお勧めします。

$$\frac{v_{out}}{v_{in}} = \frac{-g_{m1}}{g_{d1} + g_{d2}}$$

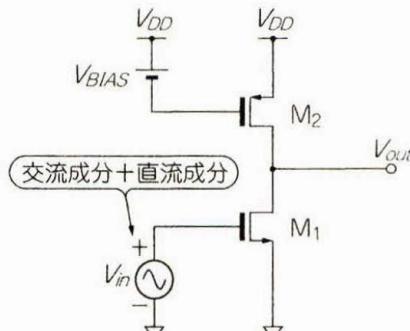


図6-5 カレント・ソースを用いた
ソース接地増幅回路

$$\frac{v_{out}}{v_1 - v_2} = \frac{g_{m1}}{g_{d2} + g_{d4}}$$

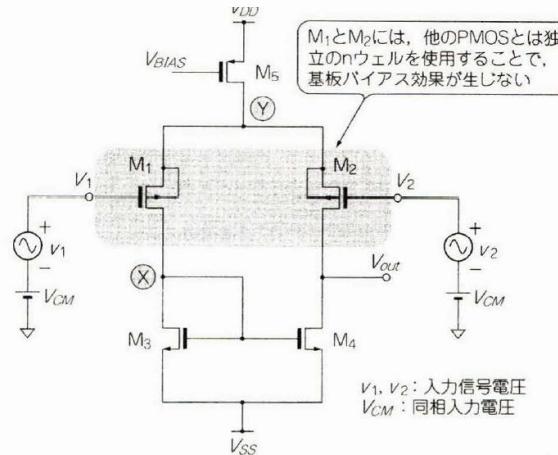


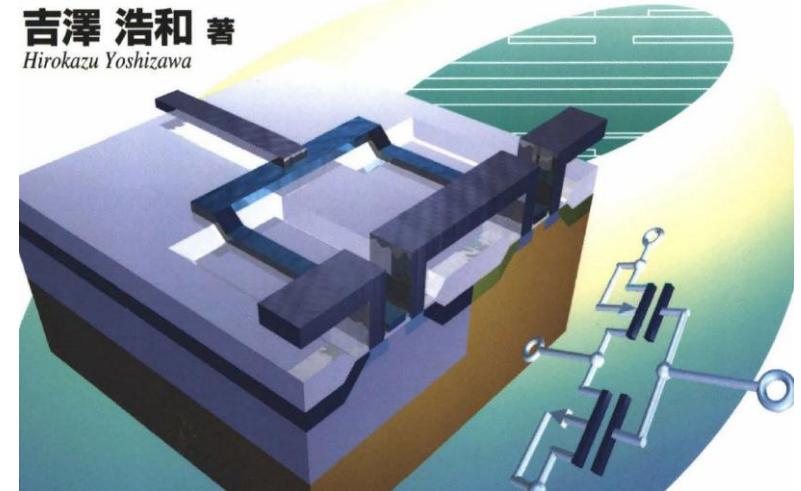
図6-15 PMOSトランジスタを入力に用いた差動増幅回路

これからアナログIC設計を
学ぶ人のための

Semiconductor Series
半導体シリーズ

CMOS OPアンプ回路 実務設計の基礎

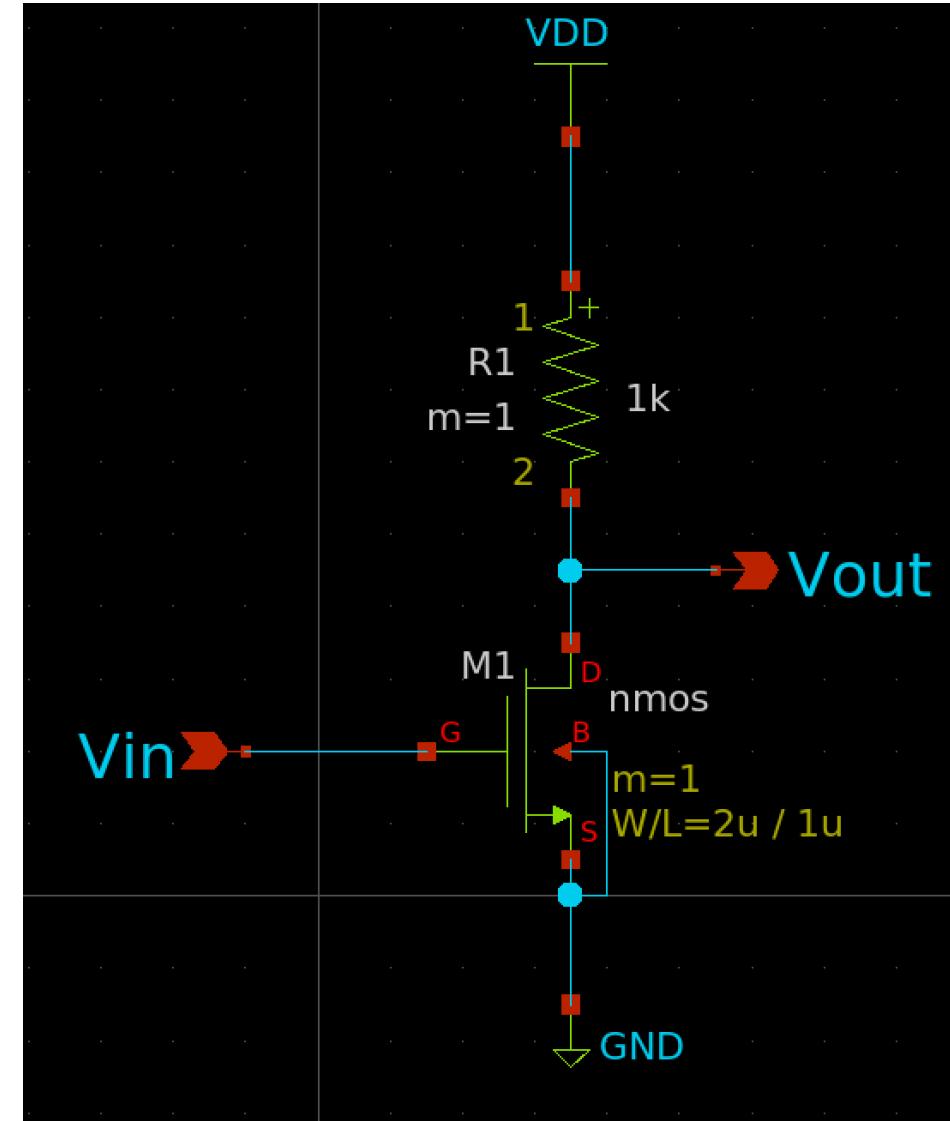
吉澤 浩和 著
Hirokazu Yoshizawa



出典：CMOS OPアンプ回路実務設計の基礎

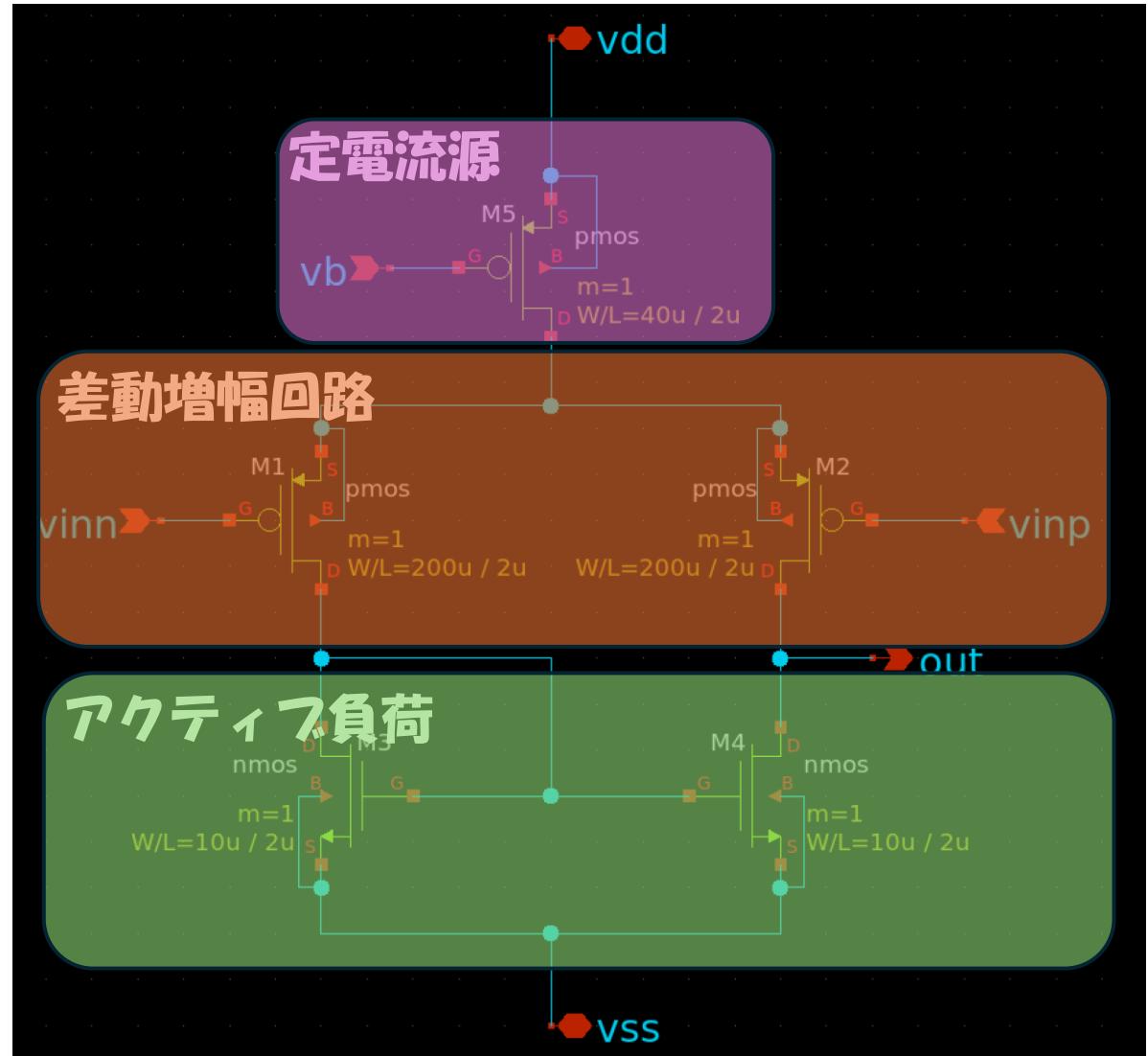
ソース接地増幅回路

- MOSFETがゲート-ソース間電圧 V_{gs} の微小な変化に対して、ドレン電流 I_d を大きく変化させるという特性を利用
 - $V_{in} \leq V_{th}$
 - M_1 には電流が流れていなかっため、 $V_{out} = V_{DD}$ (R_1 を無視した場合)
 - $V_{in} > V_{th}$
 - M_1 に電流が流れ始め、分圧により、 V_{out} が減少していく



差動増幅回路

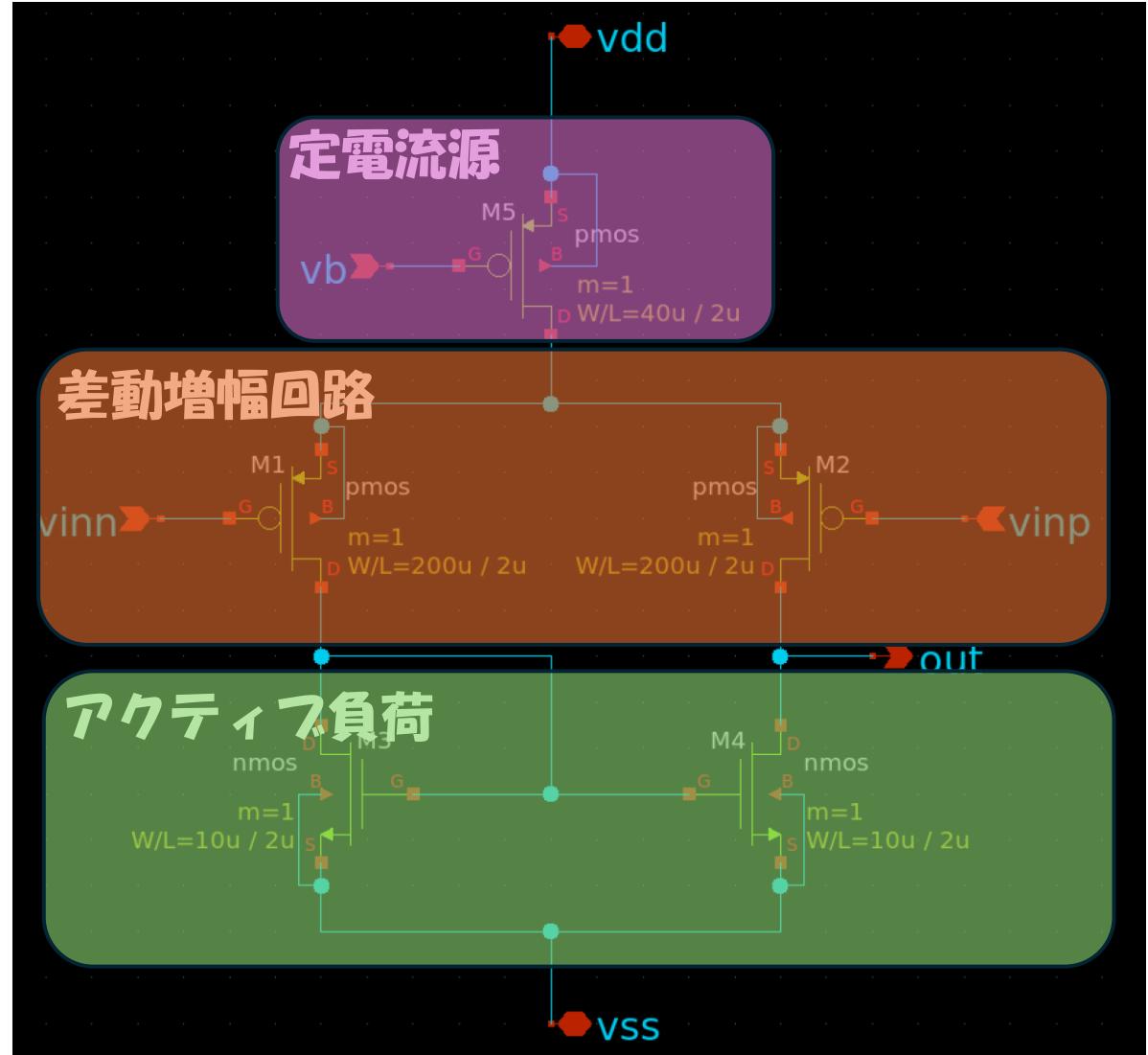
- 差動入力信号が印加された場合
 - M1の変化: V_{inN} 上昇 $\Rightarrow V_{gs1}$ の絶対値増加 $\Rightarrow I_{d1}$ 増加
 - M2の変化: V_{inP} 下降 $\Rightarrow V_{gs2}$ の絶対値減少 $\Rightarrow I_{d2}$ 減少
 - テール電流源により $I_{d1} + I_{d2} = I_{ss}$ (一定) のため、M1の電流增加分とM2の電流減少分は等しくなる
 - 「増加」や「減少」なので $\Delta I = gm * v_{id}/2$
 - M2とM4の電流差: M1の電流增加分がM3に流れ、アクティブラード（カレントミラー）によりM4にその電流が流れるため、M2とM4で電流差が発生し、出力電圧の差が大きくなる
 - 入力差動電圧が増幅されて出力される



差動增幅回路

差動増幅回路

- 差動増幅回路は、入力された2つの信号の差を増幅する回路
 - 基本的な構成は、2つのトランジスタと、それらのソースを共通に接続し、そこに定電流源を接続したもの
 - この定電流源から供給される電流を「テール電流 (Tail Current)」と呼ぶ

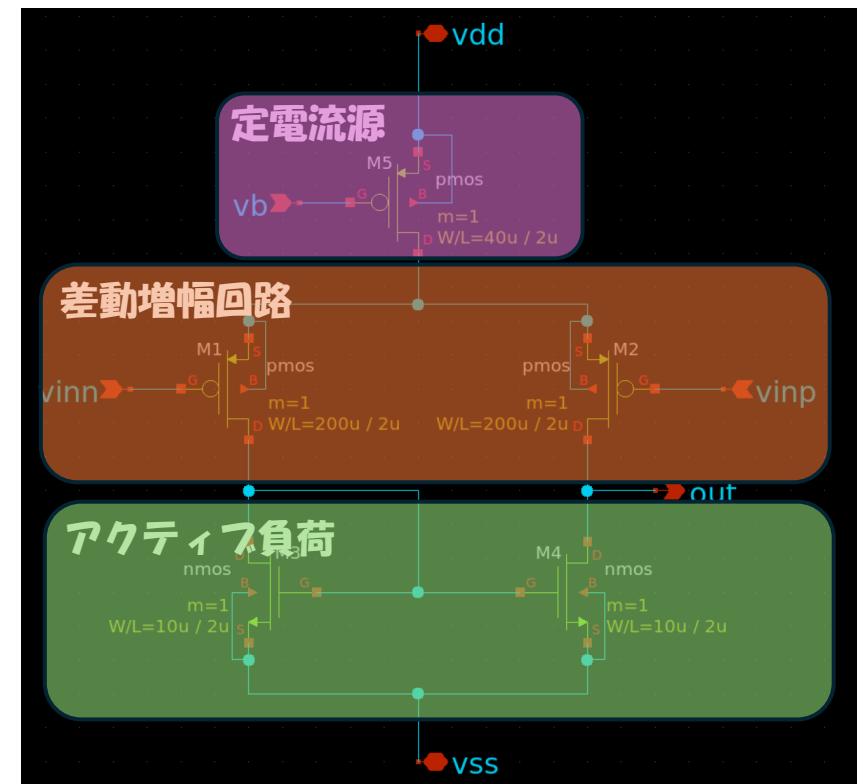


アクティブ負荷の役割

- 差動-シングルエンド変換
 - 通常のアナログ回路ではシングルエンド（单相）の出力信号が必要となる。そこで、差動信号からシングルエンド信号への変換を行う役割
- 高利得の実現
 - 利得は $gm \times$ 負荷抵抗なので、**差動増幅回路全体の電圧利得を大幅に向上する**
 - カレントミラーは高い動的インピーダンスであるため負荷抵抗（内部抵抗）が大きくなる

差動－シングルエンド変換

- 差動入力信号が印加された場合
 - M1の変化:** V_{in1} 上昇 $\Rightarrow V_{gs1}$ の絶対値増加 $\Rightarrow I_{d1}$ 増加
 - M2の変化:** V_{in2} 下降 $\Rightarrow V_{gs2}$ の絶対値減少 $\Rightarrow I_{d2}$ 減少
 - テール電流源により $I_{d1}+I_{d2}=I_{ss}$ （一定）のため、 $I_{d1}=I_{ss}/2 - \Delta I$
 $I_{d2}=I_{ss}/2 + \Delta I$ となる
- カレントミラーによる結合
 - I_{d1} が M3 に流れ、M3 はダイオード接続されており、そのゲート電圧が I_{d1} に応じて変化
 - カレントミラーのため、**M4のドレインにも同様の電流 I_{d4} が流れる**
 - $I_{d4}=I_{d1}=I_{ss}/2 - \Delta I$ となる（M2 は $I_{d2}=I_{ss}/2 + \Delta I$ ）
- 出力ノードでの電流合成と電圧変換
 - 出力ノードから見ると、 $I_{out}=I_{d2}-I_{d4} \cdot I_{out}=(I_{ss}/2+\Delta I)-(I_{ss}/2-\Delta I)$
 $I_{out}=2\Delta I$
 - 入力の差動信号によって生じた電流変化の2倍の電流が、出力ノードに流れる
 - $V_{out}=(DC\text{バイアス電圧})+I_{out} \times (r_{o2} \parallel r_{o4})$



アクティブ負荷の設計

- 差動增幅回路を設計後に行う
 - 差動增幅回路の最小入力電圧 $V_{in(min)}=0.5V$ を印加したときに飽和領域で動作するサイズとする

テール電流の役割

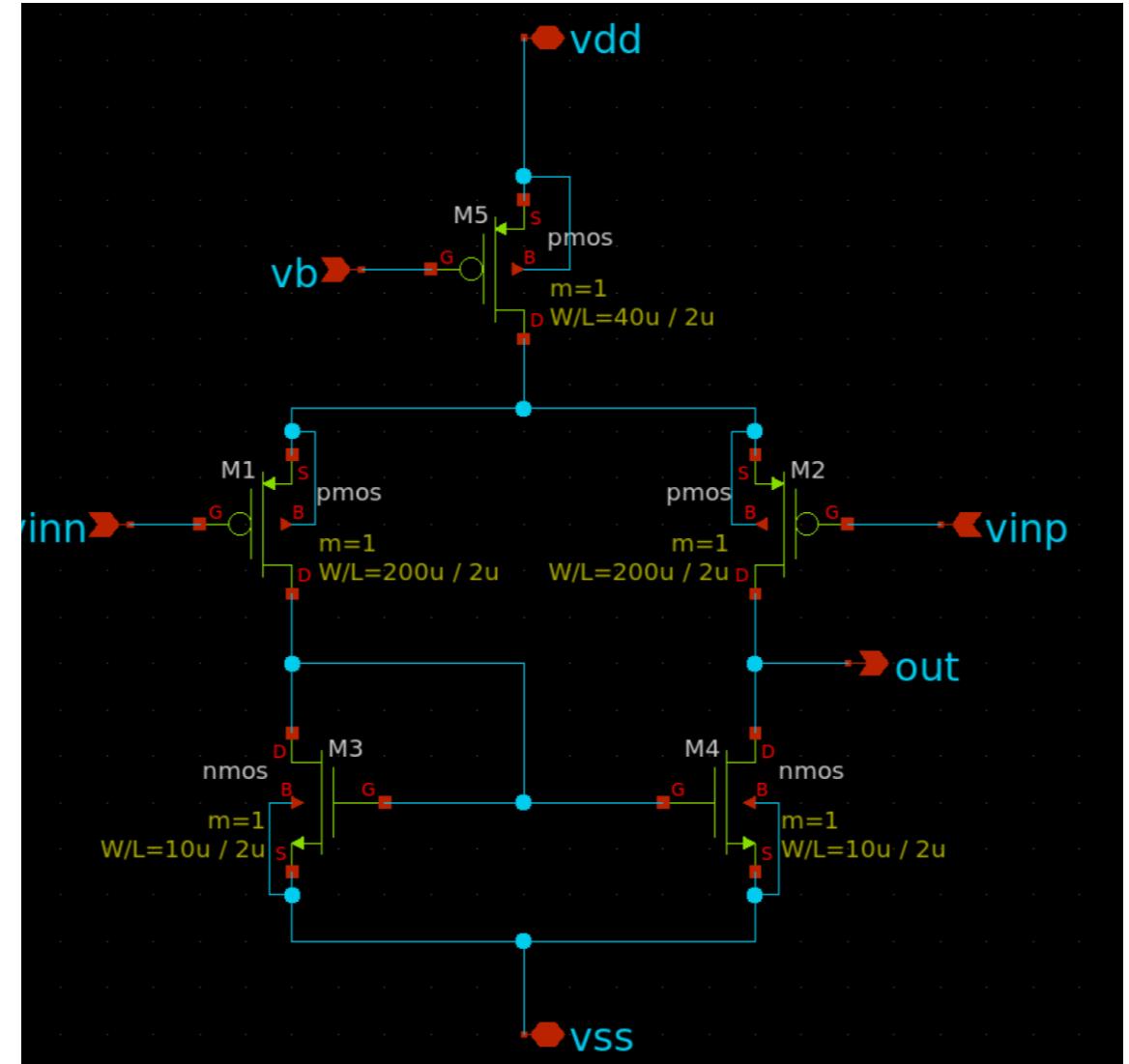
- コモンモード除去比 (CMRR: Common Mode Rejection Ratio) の向上
 - 入力信号の変動にかかわらず、トランジスタのソースに流れる総電流を一定にすることで、コモンモード信号が入力されても、トランジスタの動作点がほとんど変動せず、コモンモード信号の增幅が抑制する
 - アクティブ負荷もこの役割の一端を担う
- 差動ゲインの安定化
 - テール電流が一定に保たれることで、相互コンダクタンス (gm) が安定する
- バイアス安定化
 - トランジスタの動作点が適切に設定され、温度変動などに対しても安定したバイアス状態となる

テール電流の設計

- 差動増幅回路を設計後に行う
 - 差動ペアを構成するトランジスタ (M_1, M_2) が適切に動作する電流（各トランジスタに テール電流の $1/2$ が流れる = 各トランジスタの電流の2倍が必要）を設定する

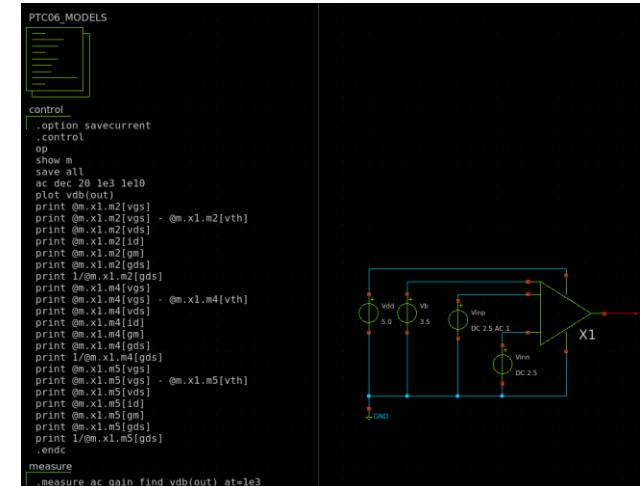
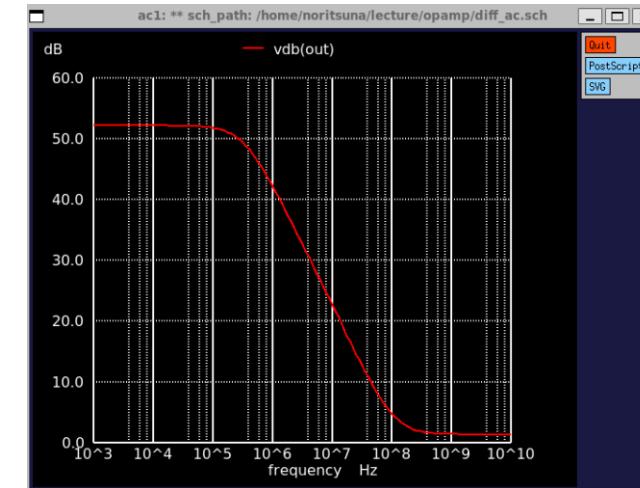
全体設計の例

- トランジスタの素性を調べた表
 - $L=2 \mu m$ のとき、同一バイアス・同一サイズで nMOS は pMOS の10倍の電流を流す能力がある
- M1 と M3, M2 と M4 は同じ電流が流れる
 - pMOS (M1, M2) のサイズを nMOS (M3, M4) の10倍にすると両者のバイアスが同じになる
 - 備考：利得 A は**MOSのサイズに関係なく定数**になる
- 利得は $A = gmR = gm_2(r_{ds2}||r_{ds4})$
 - 400倍 = 52 dB
 - 利得は十分
- オーディオ用に応用できるように駆動力を高めにしたい
 - pMOS (M1, M2) を大きくして、M1・M2 の $W/L=100$, M3・M4 の $W/L=5$
- テール電流 M5
 - $W/L=20$ にして $V_{gs}=1.5 V$
 - 必要な電流によって後で調整する



シミュレーション

- だいたい想定通りの利得を確認
 - 周波数も100kHzを超えてるので良しとする

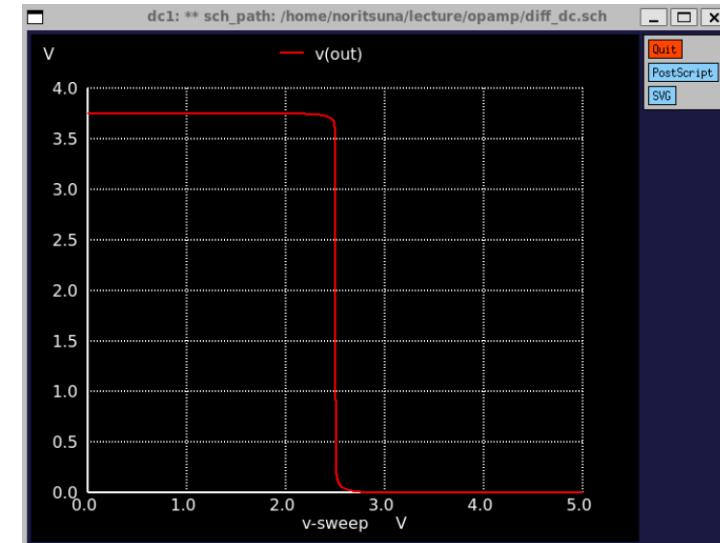


AC解析

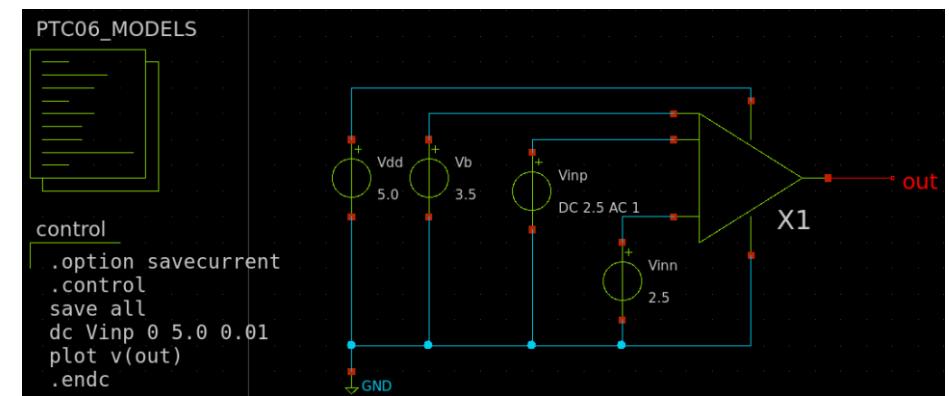
- 動作点解析
 - M4 の Vds は 0.92 V
 - バイアス電圧として次の段へ
- 2段目が nMOSソース接地増幅段
 - オーバードライブ電圧は 0.2 V程度となり2段目を飽和領域で動作可能
 - 余裕度は高い

```
@m.x1.m2[vgs] = 1.255023e+00
@m.x1.m2[vgs] - @m.x1.m2[vth] = -1.09951e-01
@m.x1.m2[vds] = 2.831686e+00
@m.x1.m2[id] = 5.095943e-06
@m.x1.m2[gm] = 5.588402e-05
@m.x1.m2[gds] = 2.903848e-08
1/@m.x1.m2[gds] = 3.443707e+07
@m.x1.m4[vgs] = 9.233371e-01
@m.x1.m4[vgs] - @m.x1.m4[vth] = 1.330409e-01
@m.x1.m4[vds] = 9.233371e-01
@m.x1.m4[id] = 5.095789e-06
@m.x1.m4[gm] = 5.305279e-05
@m.x1.m4[gds] = 1.083434e-07
1/@m.x1.m4[gds] = 9.229915e+06
@m.x1.m5[vgs] = 1.500000e+00
@m.x1.m5[vgs] - @m.x1.m5[vth] = 1.340228e-01
@m.x1.m5[vds] = 1.244977e+00
@m.x1.m5[id] = 1.019158e-05
@m.x1.m5[gm] = 7.916408e-05
@m.x1.m5[gds] = 2.305146e-07
1/@m.x1.m5[gds] = 4.220120e+06
```

DC解析

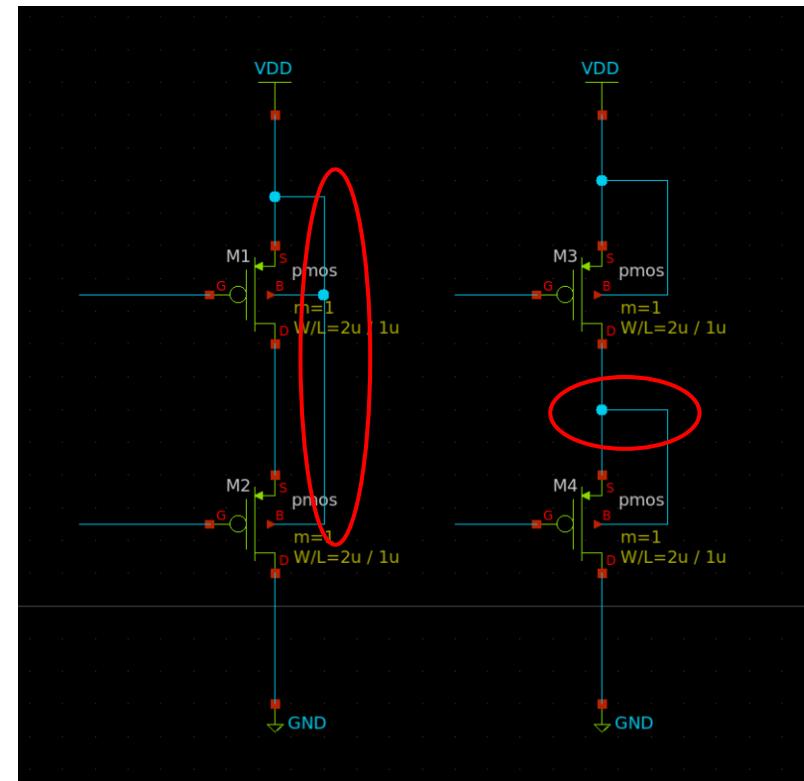


- 動作可能な出力電圧の上限
 - 3.8 V程度
 - 不足の場合、Rail2Rail化など



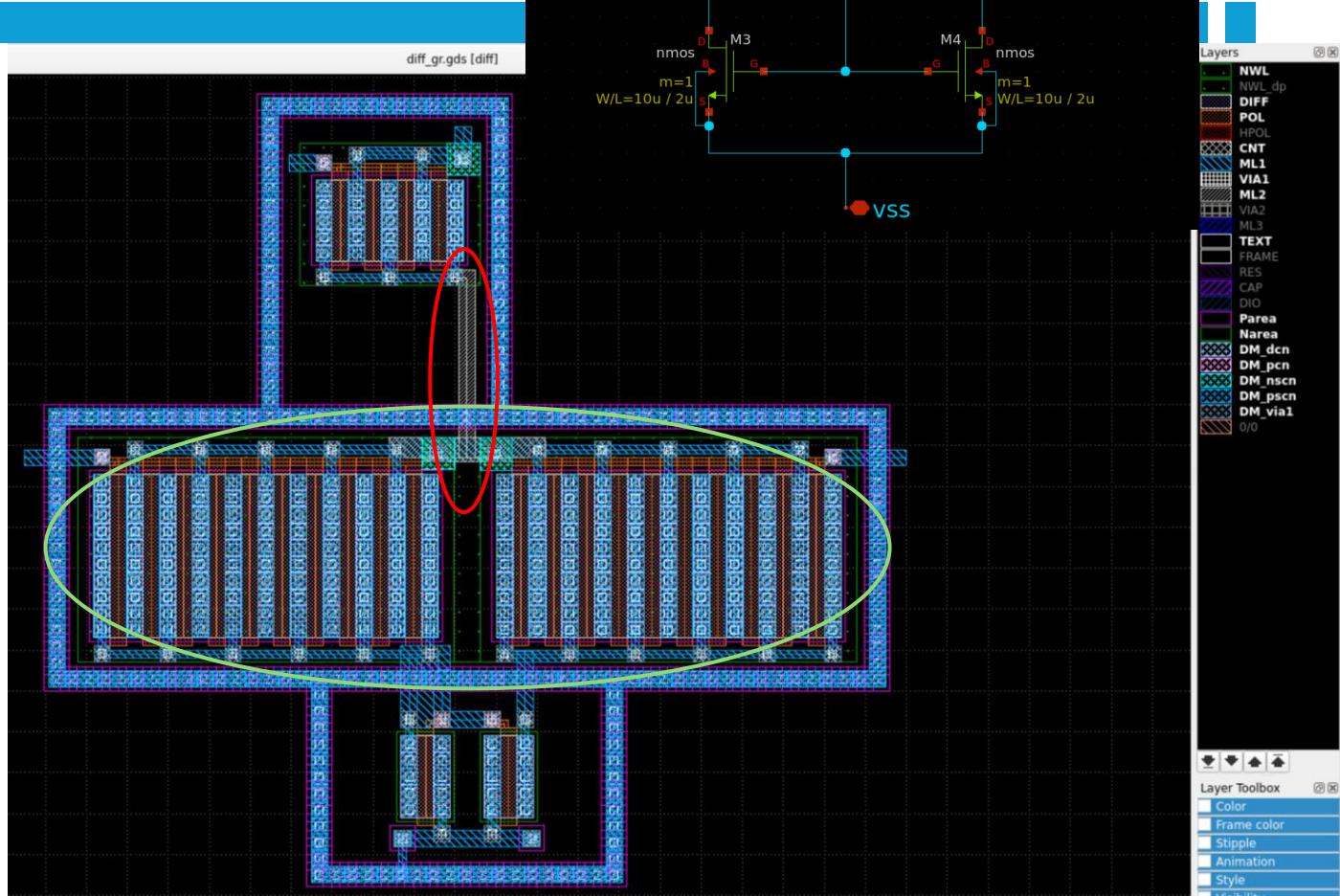
基板バイアス効果

- MOSFETの V_{th} が、ソース端子とボディ端子の間の電位差によって変化する現象
 - BをDに近づける → フォワード, V_{th} 下がる
 - BをSより下げる → バック, V_{th} 上がる
- 端子電圧構成
 - 通常のpMOS(M1やM3)
 - ソース=ボディー= V_{DD}
 - 電圧差はない
 - 左側のM2
 - ソース=M1のドレイン
 - ボディー= V_{DD}
 - 電圧差がある
 - 右側のM4
 - ソース=ボディー=M3のドレイン
 - 電圧差はない
 - この効果をキャンセルしている
 - OR1のnMOSでは利用不可なので注意
 - トリプルウェルの項目を参照：https://github.com/3zki/lsl1_analog1/blob/main/analog_tutorial_jp.pdf

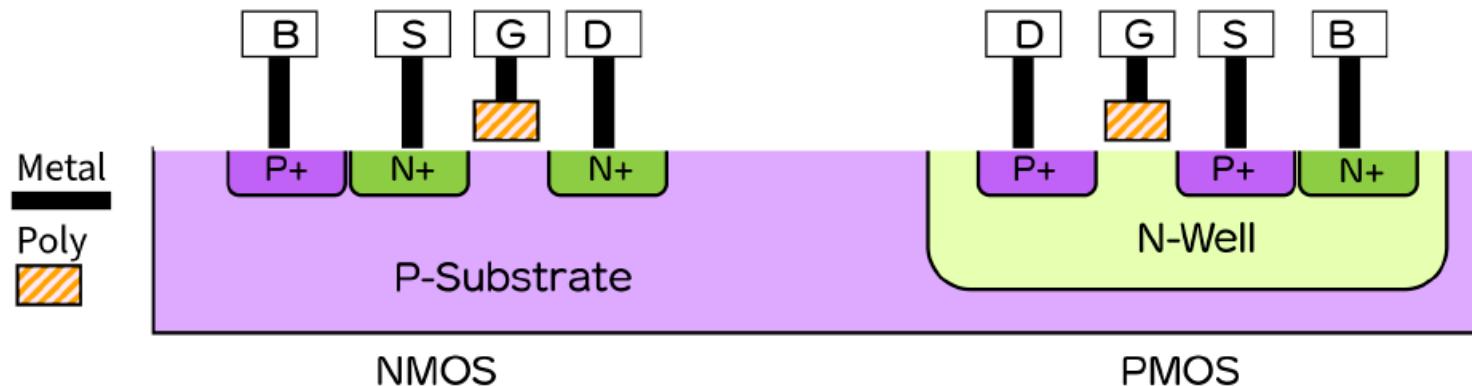


基板バイアス効果

- 端子電圧構成
 - 赤丸内のボディー
 - 上の段のドレインに接続
 - 緑丸内のNウェル（NWL、緑の点々部）
 - 独立して他とつながっていない
 - ガードリングをつけること



CMOSの 断面図



▲図 2.10: PMOS と NMOS の断面図

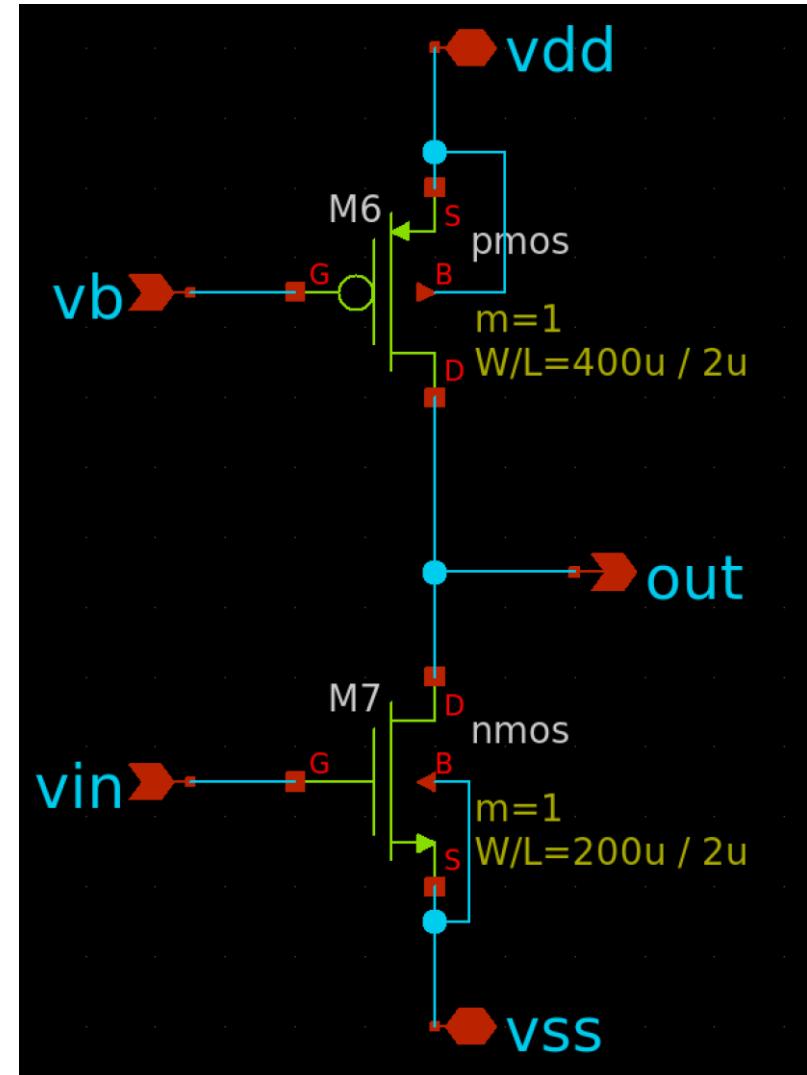
シリコンウェハは通常、P型ドーピングが施されており、P型基板(P-Substrate)となっています。NMOSは、P-Substrateの中に高濃度にP型ドーピングしたP+と、高濃度にN型ドーピングしたN+の領域があります。PMOSは、N型半導体の領域(N-Well)の中にP+とN+があります。この構造により、PMOSとNMOSを同一チップ上に作ることができ、PMOSとNMOSを組み合わせたCMOS回路を作ることができます。

出典：Open Source Silicon Magazine Vol.1 ーはじめてのIC設計ー

ソース接地増幅回路

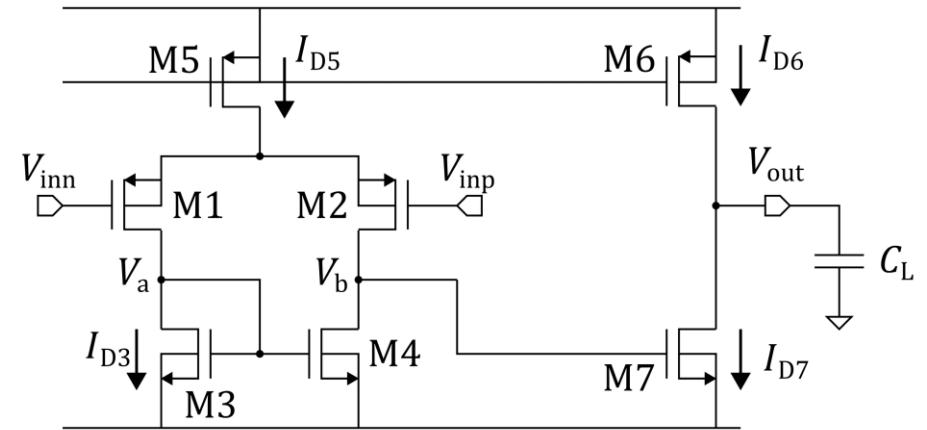
ソース接地增幅回路

- 2段目は普通のソース接地增幅回路
 - 設計のポイント
 - 十分なスルーレートが得られるよう大きな電流を流すこと
 - システムティックオフセットを0にすること



システムティックオフセット

- V_{inp} と V_{inn} の差分を増幅する回路
 - $V_{inp} = V_{inn}$ であれば出力電流は0となる回路
- 原理
 - $I_{D5} = I_{D3} + I_{D4}$ かつ $I_{D3} = I_{D4}$
 - $I_{D3} = I_{D5}/2$
 - $V_a = V_b$ なので, $V_{gs3} = V_{gs7}$
 - $I_{D3}:I_{D7} = W_3:W_7$
 - M5とM6はカレントミラー
 - $I_{D5}:I_{D6} = W_5:W_6$
 - $I_{D6} = I_{D7}$
 - 右図よりシステムティックオフセットは0
 - W_6 と W_7 の比は W_5 と W_3 に合わせる



$$\begin{aligned}I_{D6} &= I_{D7} \\ \frac{W_6}{W_5} I_{D5} &= \frac{W_7}{W_3} I_{D3} \\ \frac{W_6}{W_7} &= \frac{W_5}{2W_3}\end{aligned}$$

システムティックオフセットの設計

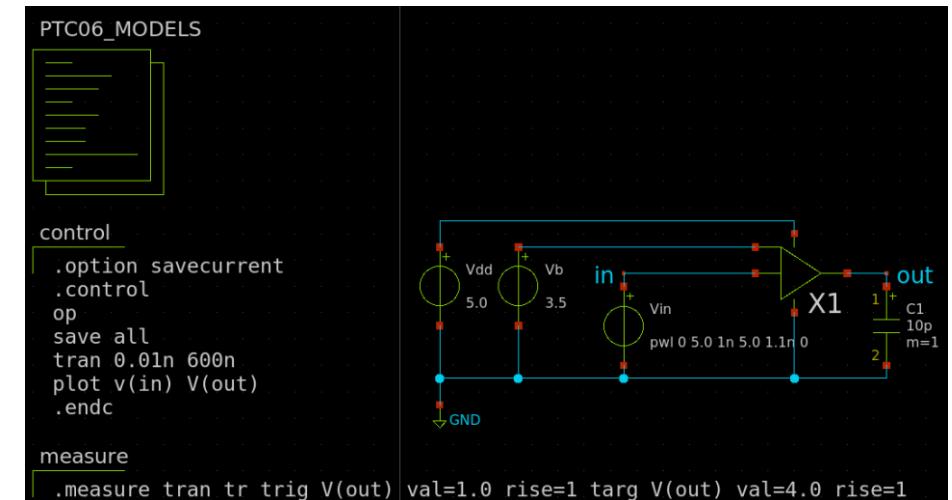
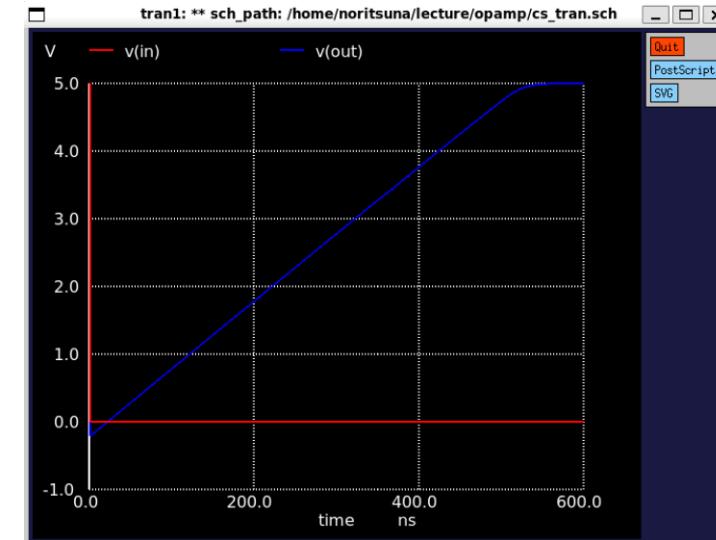
- 設計
 - 必要なスペックに合わせたnMOSのW/Lを決定する
- 例
 - nMOSの W/L をキリのいい100 とする
 - pMOS のサイズはシステムティックオフセットを0にする条件から決定される
 - 差動增幅段で $(W/L)_5 = 20$, $(W/L)_3 = 5$ なので, $(W/L)_6$ は $(W/L)_7$ の2倍, つまり200 となる

スルーレート

- 出力電圧が単位時間あたりに変化できる最大速度
 - テール電流の大きさに影響される
- オーディオ用であるのであれば、可聴周波数の20kHzでナイキスト周波数を考えて2倍の40kHzあれば最低限の要求は満たせるので、それほど気にしなくとも良い
 - 性能劣化を考慮しても、100kHzを超えていれば十分である

スルーレートの評価

- 評価
 - W/L で立ち下がり信号を入力し、出力信号を評価する
 - スルーレート $8.6 \text{ V}/\mu\text{s}$ ぐらい、0 V から 5.0 V まで立ち上がるのにかかる時間は $580 \text{ ns} = 1.7 \text{ MHz}$
 - スペックを満たさない場合は W を大きくするなど根本的に設計を変える必要がある



負荷設計

オーディオ用OPAMPとして利用する

一般的スペックとの差異

- 出力電圧は0-5Vである
 - 12Vとかは非対応
 - Rail2Railにしないと、さらに出力範囲は狭い（0.5-4Vくらい）
- 出力電流は数百uA～数mAである
 - もう一桁くらいほしいところ
 - 出力するにはかなりデカい回路とする必要がある

最悪は・・・

- PreOPAMPとして、自作基板にて後段にもう一つOPAMPなどをつけて、対応することも検討する

出力段（バッファ段）

- OPAMPの駆動力を上げるために出力段（バッファ段）を用意する手法
 - 出力段の例
 - プッシュプル出力段（Class AB Output Stage）
 - 最もスタンダードな出力段
 - インバータ回路x2
 - ソースフォロワ（Common-Drain）
 - 最もシンプルな出力段

性能評価

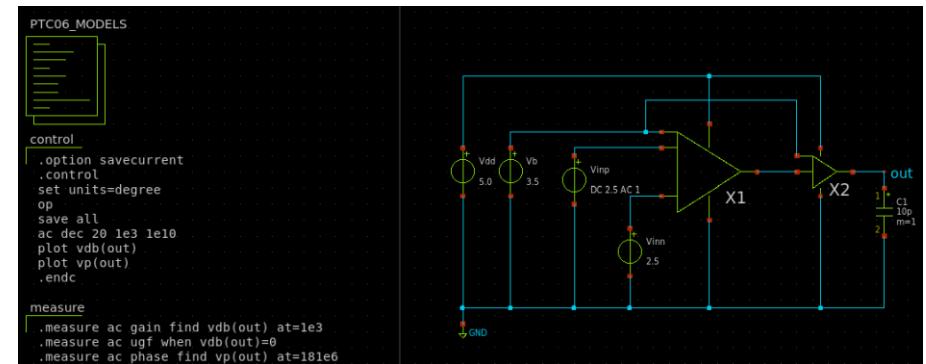
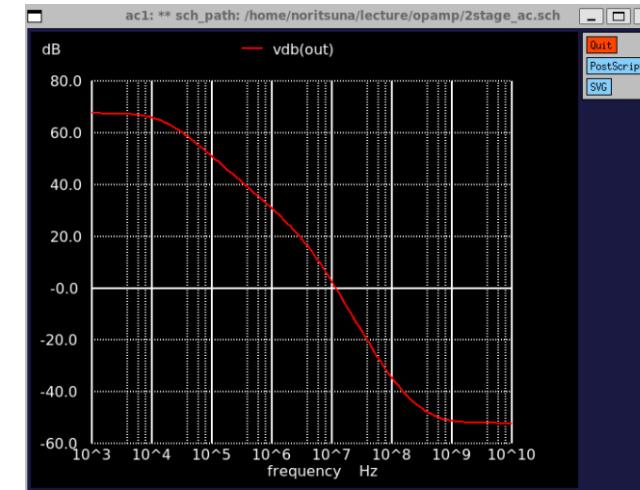
飽和領域

- 必要なトランジスタが飽和領域で動作しているかの確認
 - opコマンドやshow mコマンドで確認すること

```
@m.x1.m2[vgs] = 1.255023e+00
@m.x1.m2[vgs] - @m.x1.m2[vth] = -1.09951e-01
@m.x1.m2[vds] = 2.831686e+00
@m.x1.m2[id] = 5.095943e-06
@m.x1.m2[gm] = 5.588402e-05
@m.x1.m2[gds] = 2.903848e-08
1/@m.x1.m2[gds] = 3.443707e+07
@m.x1.m4[vgs] = 9.233371e-01
@m.x1.m4[vgs] - @m.x1.m4[vth] = 1.330409e-01
@m.x1.m4[vds] = 9.233371e-01
@m.x1.m4[id] = 5.095789e-06
@m.x1.m4[gm] = 5.305279e-05
@m.x1.m4[gds] = 1.083434e-07
1/@m.x1.m4[gds] = 9.229915e+06
@m.x1.m5[vgs] = 1.500000e+00
@m.x1.m5[vgs] - @m.x1.m5[vth] = 1.340228e-01
@m.x1.m5[vds] = 1.244977e+00
@m.x1.m5[id] = 1.019158e-05
@m.x1.m5[gm] = 7.916408e-05
@m.x1.m5[gds] = 2.305146e-07
1/@m.x1.m5[gds] = 4.220120e+06
```

増幅率

- 周波数：20kHzで60dBギリギリ
 - もう少し性能を上げたないとダメ
 - サンプルなのでこれでOKとする



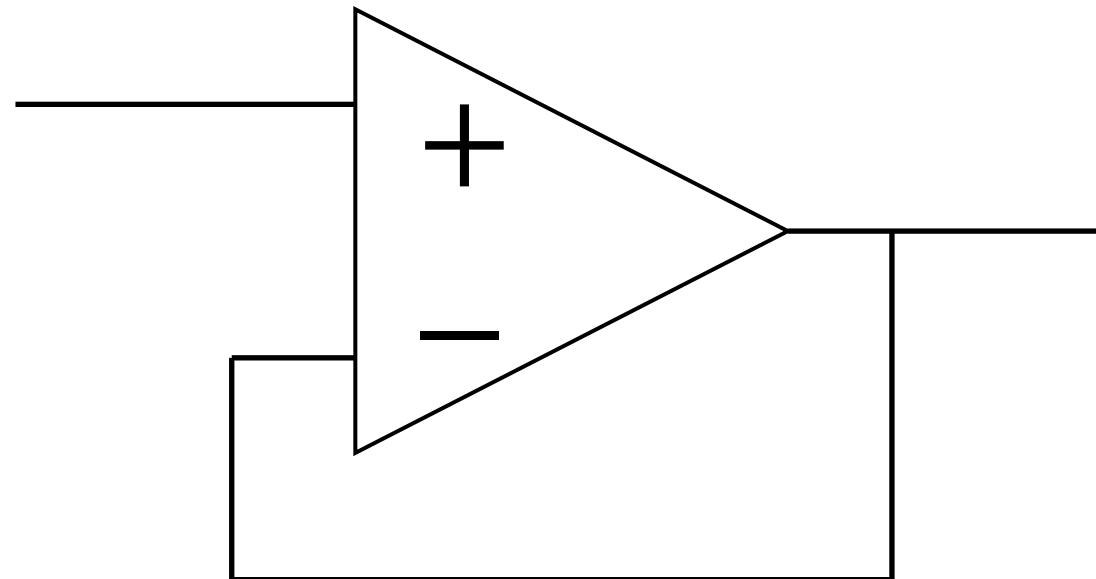
位相補償

注意事項

土谷先生の資料を元に解説します

前提：OPAMPはフィードバック制御回路

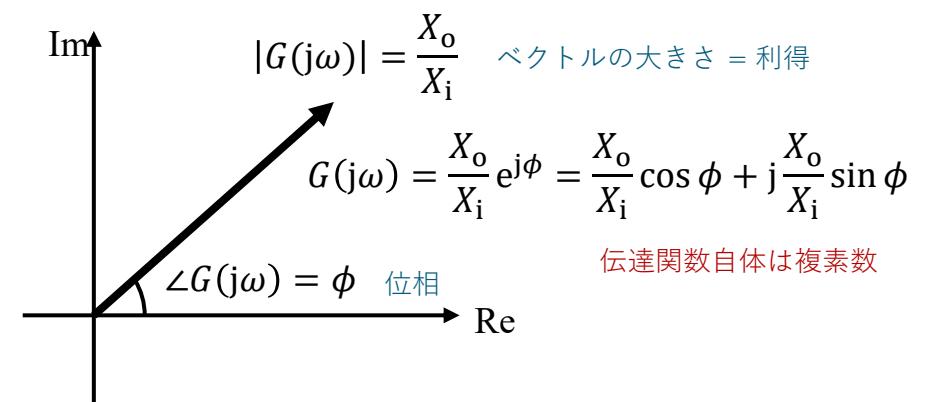
- 負帰還（ネガティブフィードバック）で制御されている！
 - 制御理論の話になります。わからない方はそちらから勉強してください。

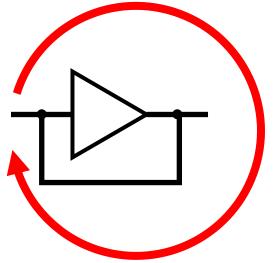


位相とは？



- 線形系では入力の正弦波に対して
- 振幅と位相の異なる正弦波が output される
- (周波数変換は起きない)



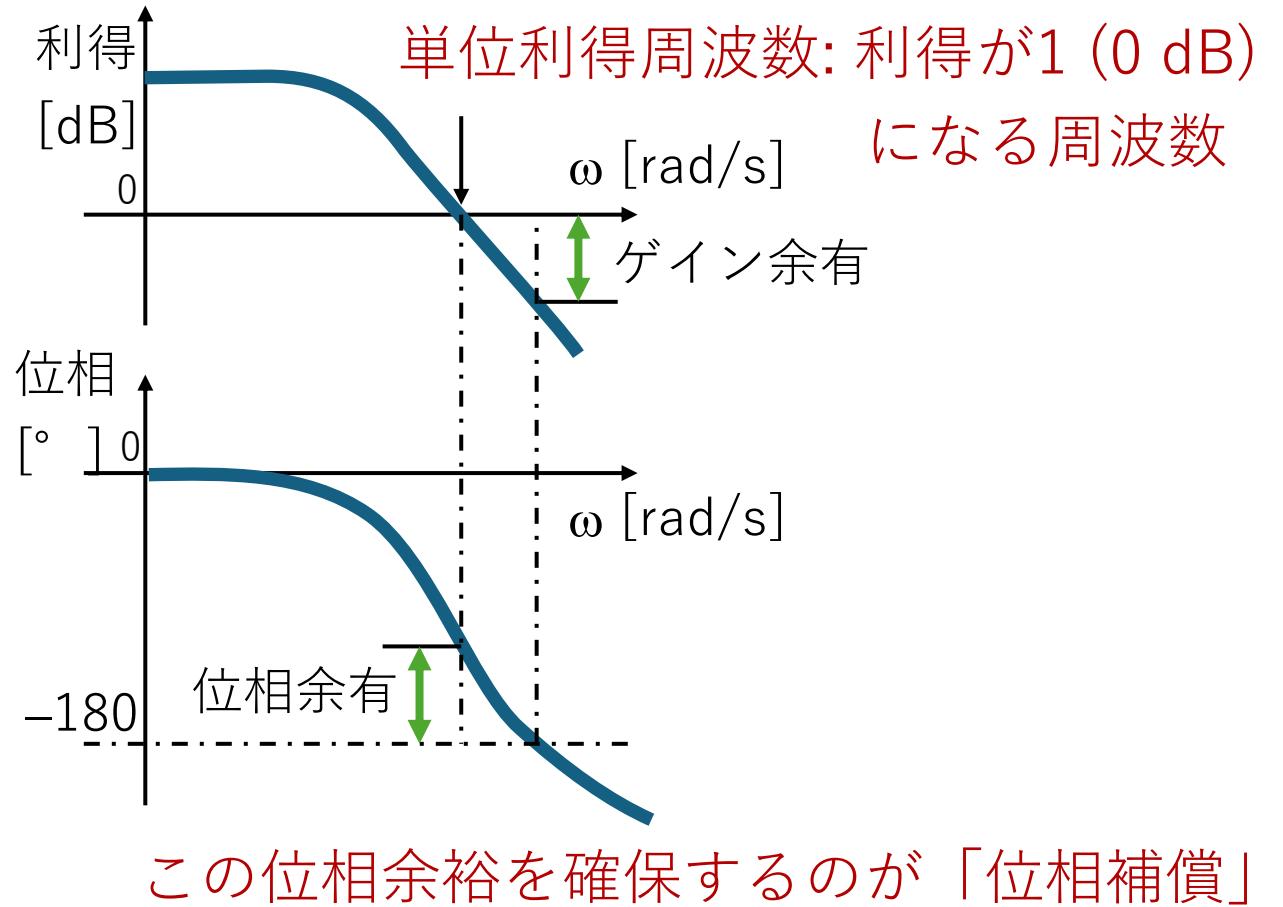


帰還されて戻ってくる間に位相
が180度変わると**負帰還が正帰
還になる**

さらに、そのときの
一周する経路の利得 >1 の場合、周回によって無限に大きくなる
➡ 帰還ループをまわり続ける成分が支配 = 不安定

位相と不安定

位相余裕と 位相補償

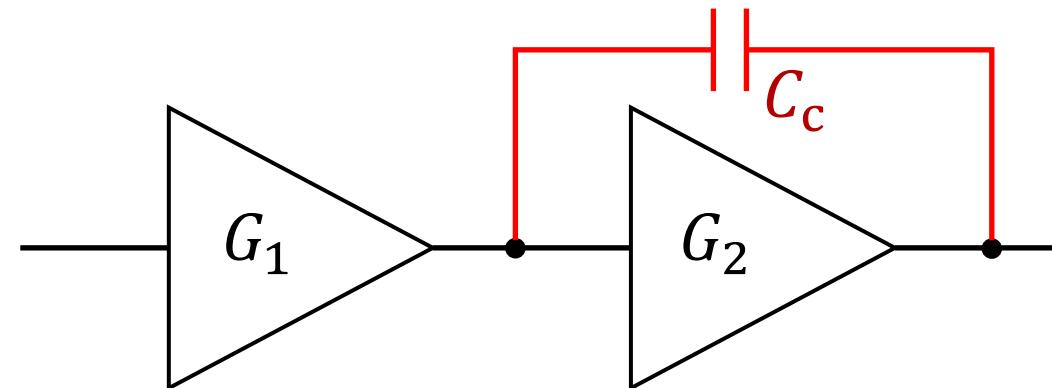


極と零点

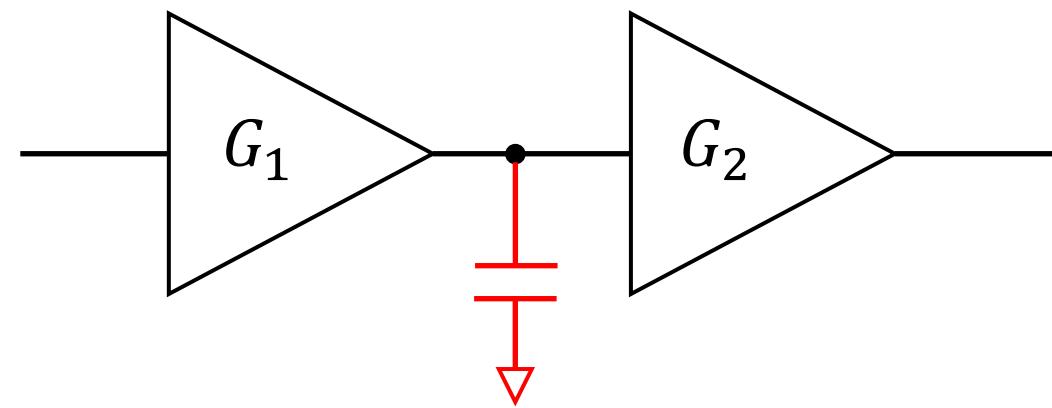
- 極
 - 特定の周波数において、システムの出力が無限大に発散する（共振する）点
 - 対策
 - pole-splitting = 位相補償容量
- 零点
 - 特定の周波数において、システムが入力信号を完全に遮断し、出力がゼロになる点
 - 対策
 - バイアスレプリカ = 補償抵抗

位相補償容量による Pole-splitting

- ミラー効果により1つの容量で
 G_1 の負荷に $|A_2|C_c$ を追加し
第1極を低周波側へ
第2極は高周波側へ



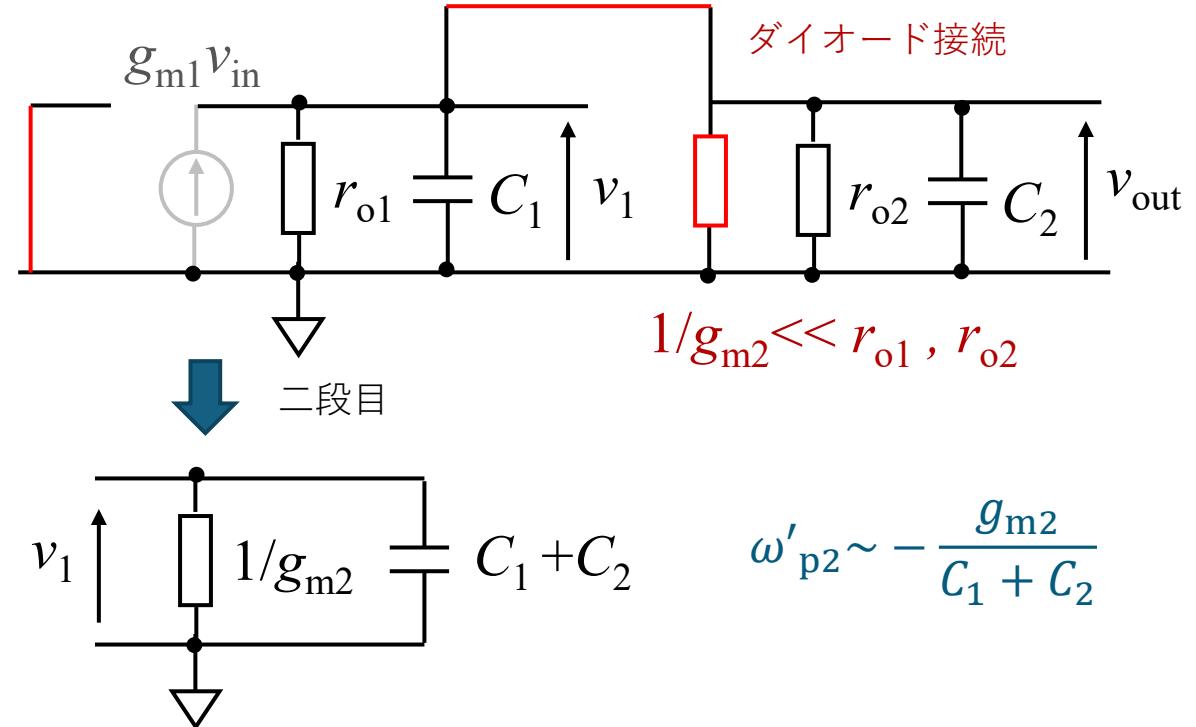
↓ Miller effect



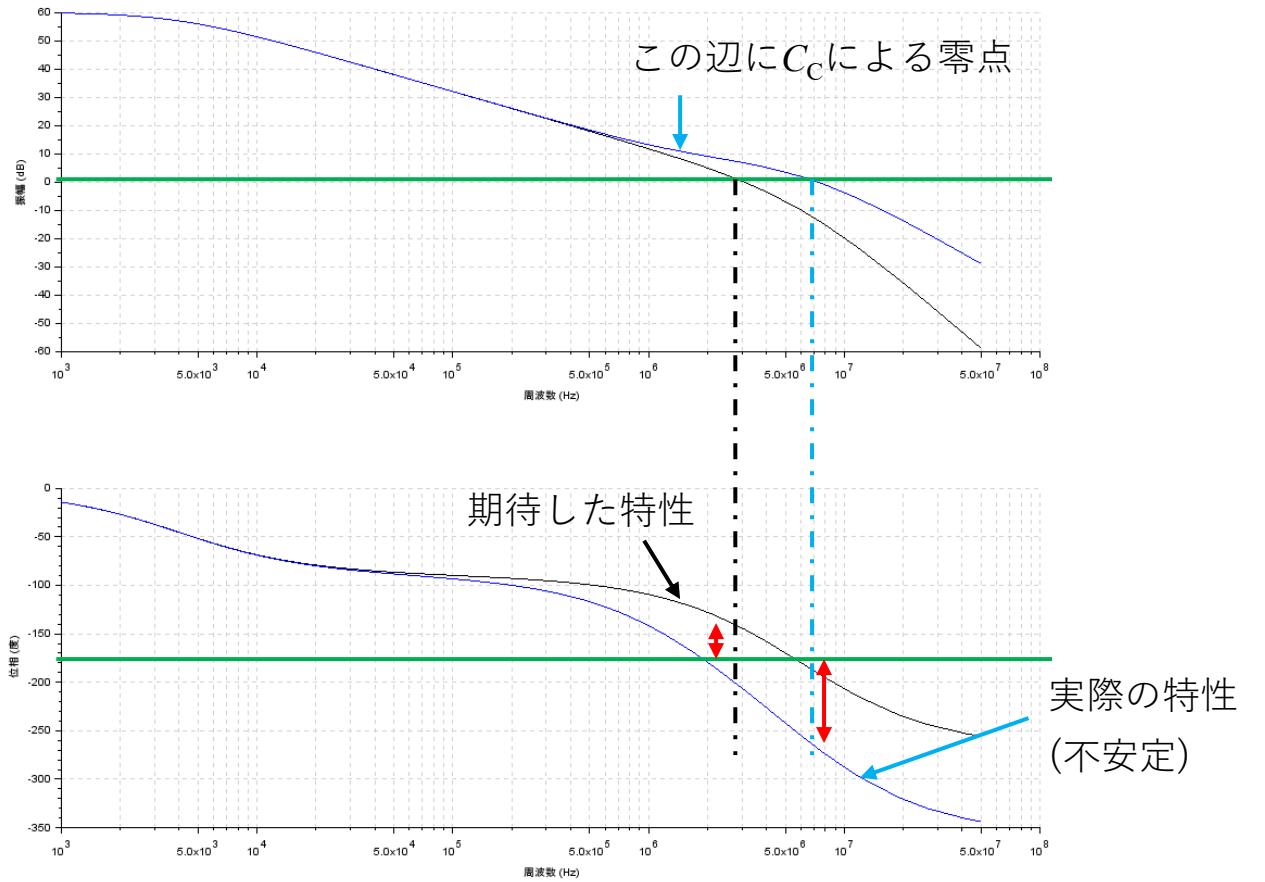
$$(1 - A_2)C_c \approx |A_2|C_c$$

2段目の極はなぜ上がるか

- C_C は高周波で近似的に短絡と見なせるとして v_1 から v_{out} への伝達関数を求める



零点の影響



補償抵抗による零点処理

- 零点処理方法 補償抵抗 R_C を挿入

(1) 零点を無限に飛ばす

$$\omega_z \rightarrow \infty \Rightarrow R_C = \frac{1}{g_{m7}}$$

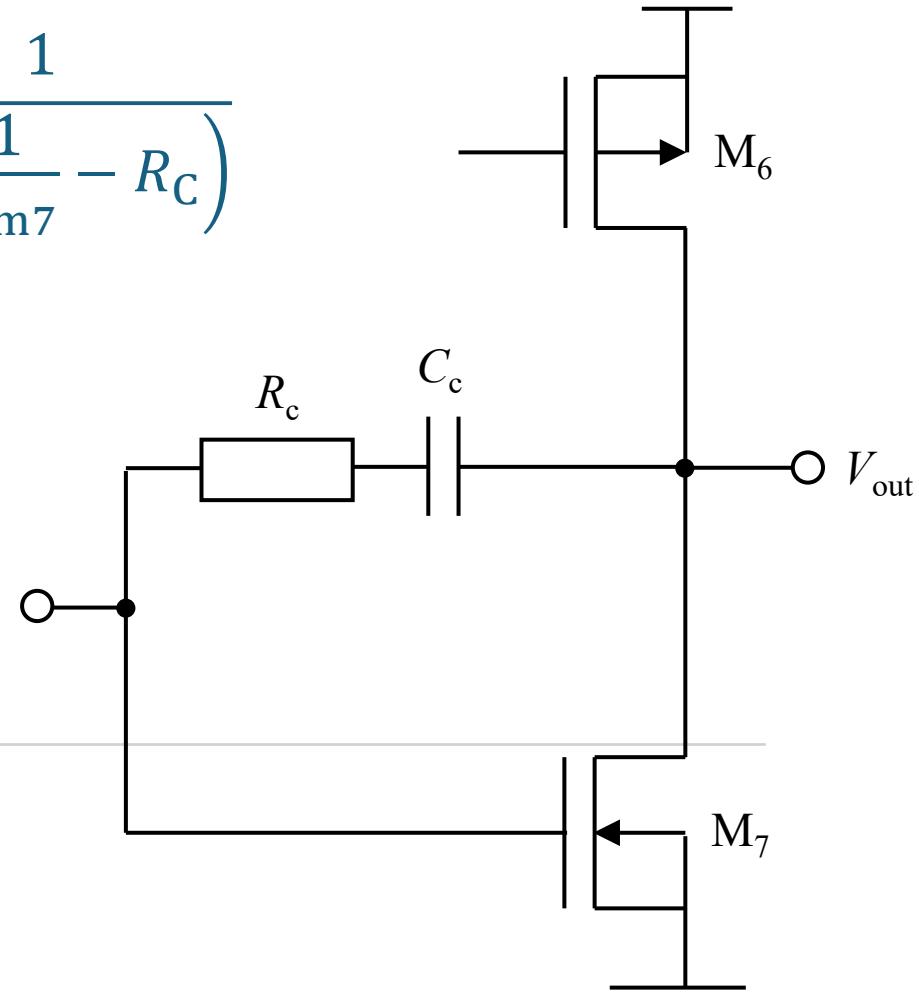
(2) 零点と第二極で相殺

$$\omega_z = \omega_{p2} = \frac{g_{m7}}{C_1 + C_2}$$

$$\Rightarrow R_C = \frac{1}{g_{m7}} \left(1 + \frac{C_1 + C_2}{C_C} \right)$$

いずれにせよ「 $g_{m7}R_C = \text{一定}$ 」が必須条件
 R_C が固定値では位相補償が外れる可能性がある
※ 「μCox」ページより g_m は一定ではない

$$\omega_z \sim \frac{1}{C_C \left(\frac{1}{g_{m7}} - R_C \right)}$$



バイアスレプリカ

$$R_C = r_{ds12} = \frac{1}{\mu C_{ox}(W/L)_{12} V_{od12}}$$

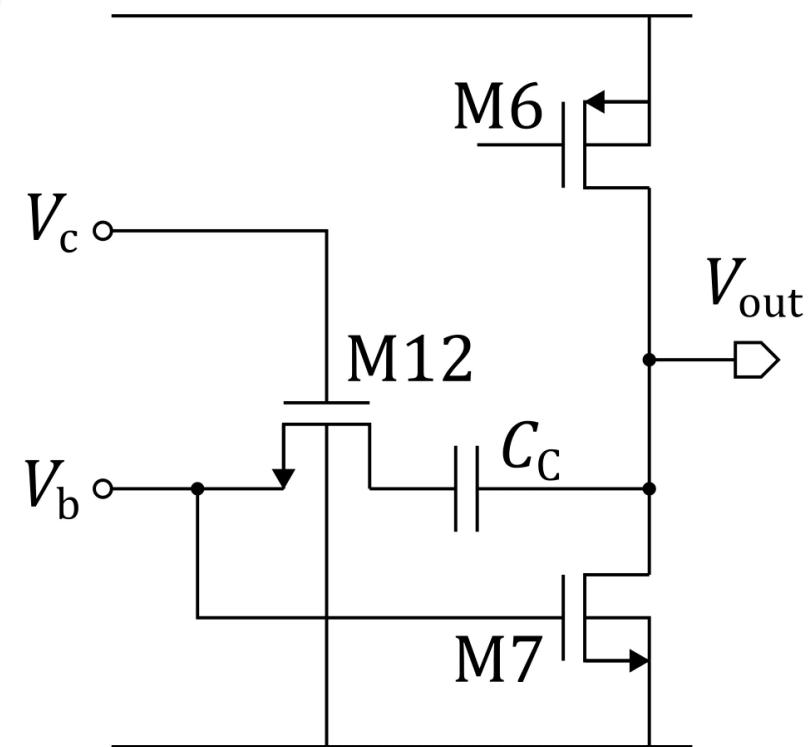
$$g_{m7} = \mu C_{ox}(W/L)_7 V_{od7}$$

より

$$g_{m7} R_C = \frac{(W/L)_7 V_{od7}}{(W/L)_{12} V_{od12}}$$

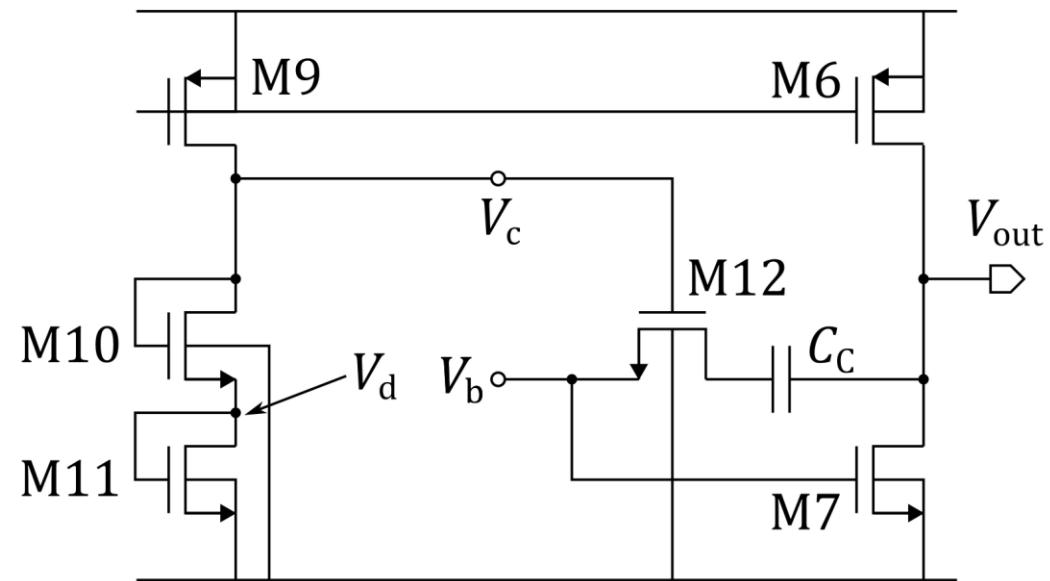
つまり
 V_{od7}/V_{od12} を一定にすればよい

※ V_{od} = オーバードライブ電圧



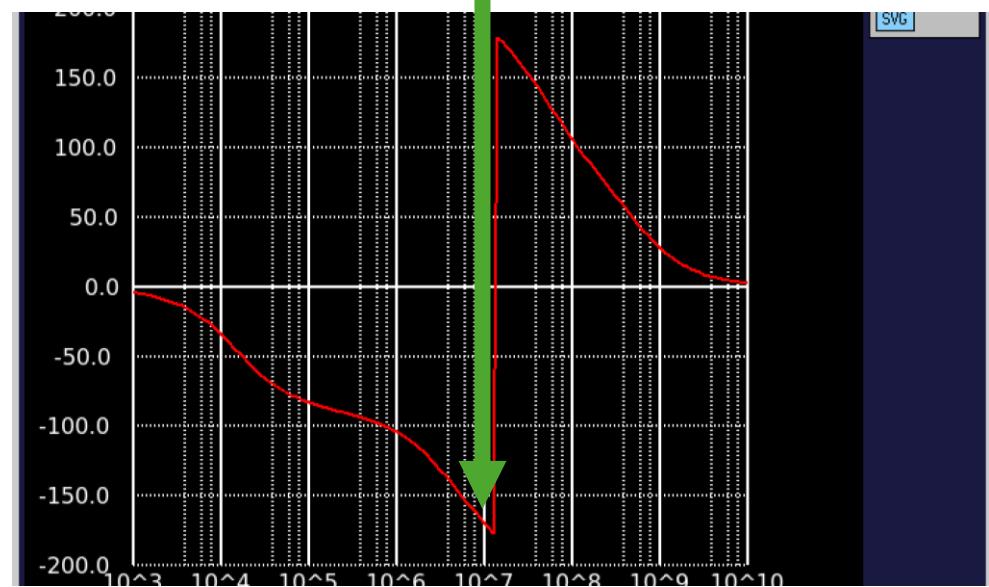
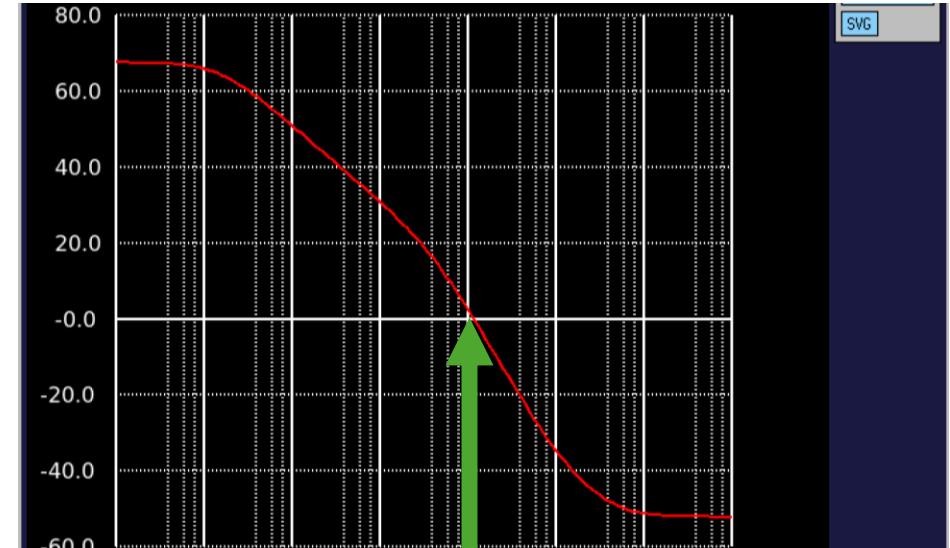
バイアスレプリカの設計

1. $V_{gs7} = V_b$, $V_{gs12} = V_c - V_b$ ですから、 $V_c = 2V_b$ となるように V_c を調整すればよい
 1. この V_c を作るのがバイアスレプリカ回路
 2. M6 と M9 でカレントミラーを構成し、M7 に流れる電流と M9 に流れる電流が連動する
 3. M9 に流れる電流は M11 に流れる電流に等しい
 1. $W_6 : W_9 = W_7 : W_{11}$
 2. M11 の V_{gs} つまり V_d は V_b に等しい
 4. 同じサイズの M10 をつなぐと、同じ電流が流れる
 1. $V_{gs10} = V_d = V_b$ となり、 $V_c = 2V_d = 2V_b$ となる



位相補償容量と補償抵抗設計

- 位相補償容量ナシの場合
 - ほぼ180度くらいのところとなっている
 - 位相余裕がないので位相補償容量が必要



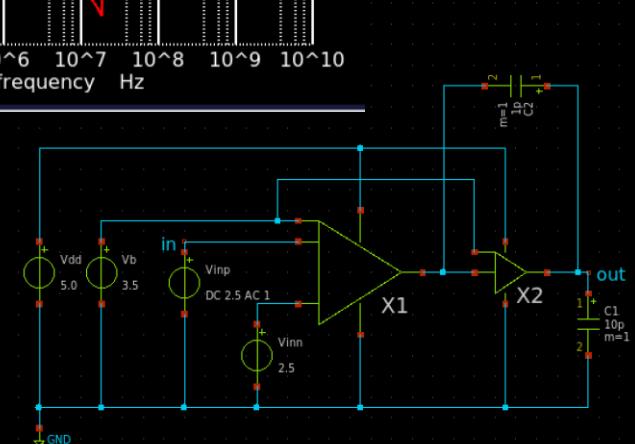
位相補償容量設計

- 本来は pole-zero 解析で極・零点の位置を決定する
 - ngspice の pole-zero 解析 (pz コマンド) が動作しない (原因不明)
 - 適当に 1 pF にした
 - もっと位相余裕が欲しい場合は容量をデカくすること
 - 周波数特性は悪くなるので注意



```
control  
.option savecurrent  
.control  
set units=degree  
op  
save all  
ac dec 20 1e3 1e10  
plot vdb(out)  
plot vp(out)  
.endc
```

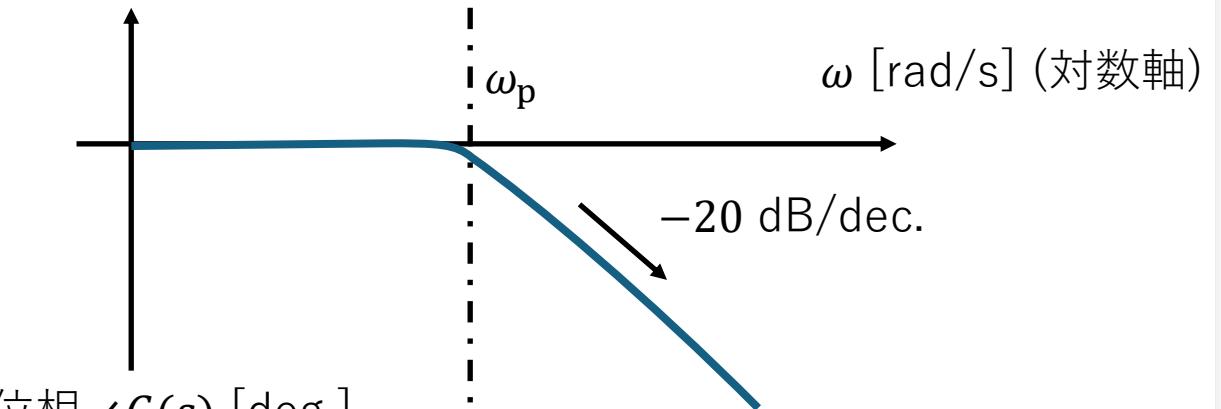
```
measure  
.measure ac gain find vdb(out) at=1e3  
.measure ac ugf when vdb(out)=0  
.measure ac phase find vp(out) at=32.2e6
```



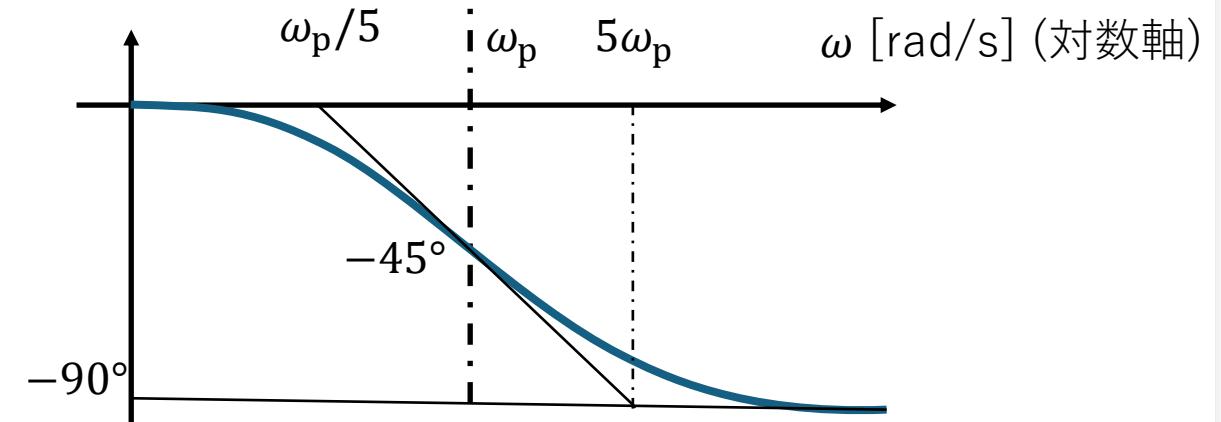
補償抵抗設計

- M12はM7の1/5にする

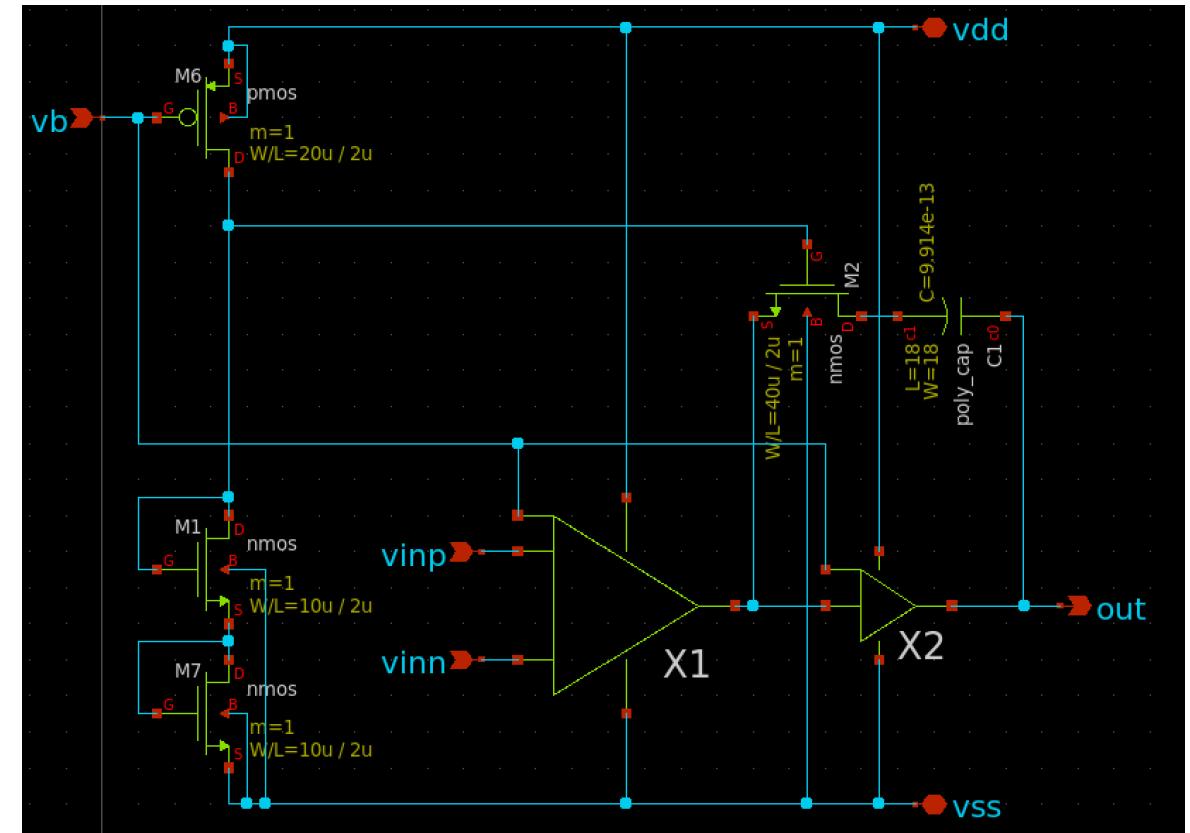
利得 $|G(s)|$ (dB)



位相 $\angle G(s)$ [deg.]



補償抵抗と バイアス レプリカの回路



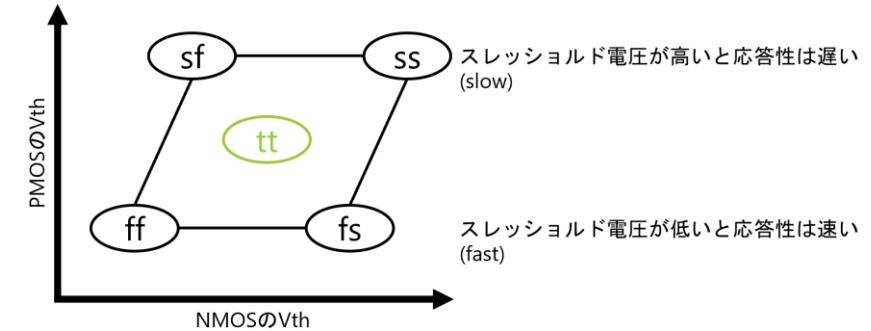
性能評価編

プロセスコーナー

プロセスコーナー

- 半導体製造プロセスにおけるデバイス特性のばらつきの極端なケースを表現するためのモデル
 - 製造される際に発生する物理的なばらつきを考慮し、設計がさまざまな条件下で正しく機能し、性能要件を満たすことを保証するために実施する
 - https://github.com/3zki/lsi1_analog1/blob/main/analog_tutorial_jp.pdf
- 種類
 - T (Typical) : 標準的、平均的な特性。
 - F (Fast) : トランジスタのスイッチング速度が速く、電流駆動能力が高い特性
 - 実効的なゲート長が短め、酸化膜が薄め、ドーピング濃度が高めなどが要因
 - S (Slow) : トランジスタのスイッチング速度が遅く、電流駆動能力が低い特性
 - 実効的なゲート長が長め、酸化膜が厚め、ドーピング濃度が低めなどが要因
- OR1ではTypicalしかない

- ssモデル – 応答性が最悪(slow-slow)の時のモデル
- ttモデル – 応答性がtypical-typicalなモデル



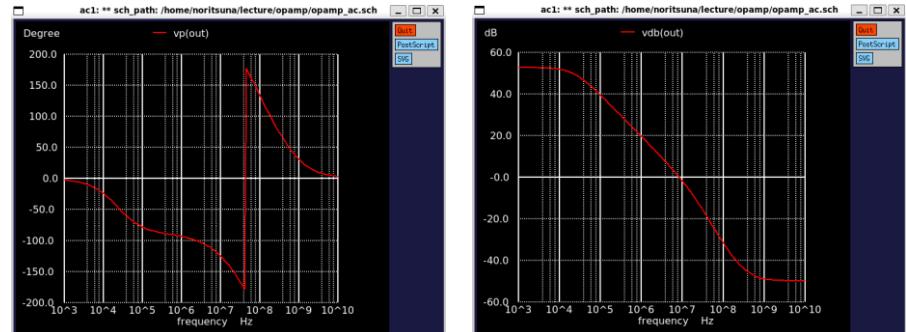


オープループ特性



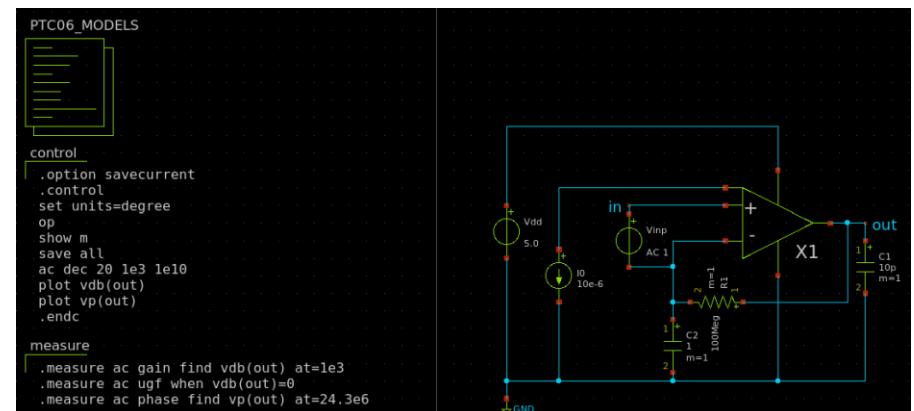
オープンループ特性

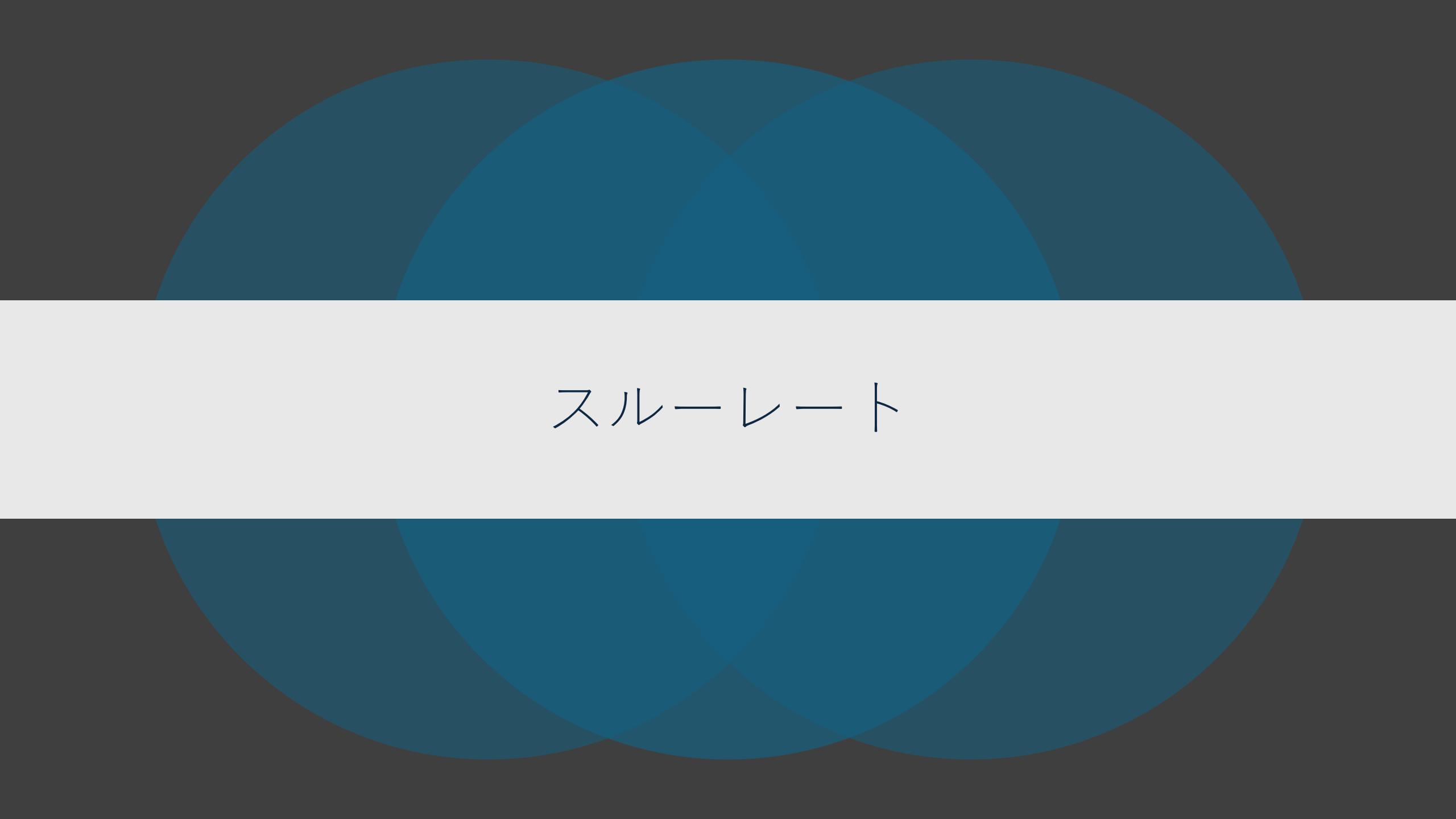
- 結果
 - 利得 52.7 dB
 - もう少し、並行部が長いのがよさそう
 - 単位利得周波数 24.3 dB
 - 位相余裕 67度



Measurements for AC Analysis

gain = 5.275379e+01
ugf = 8.44597e+06
phase = -1.557238e+02

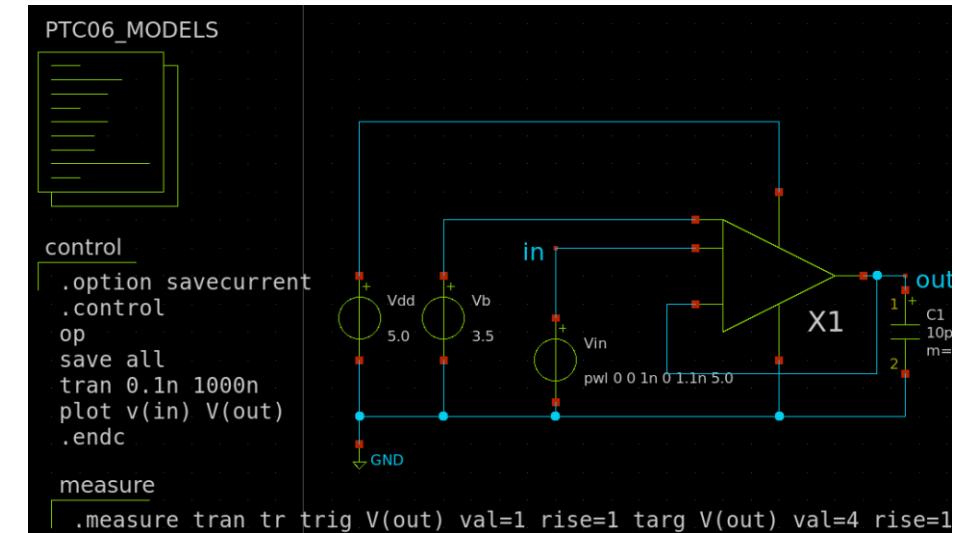
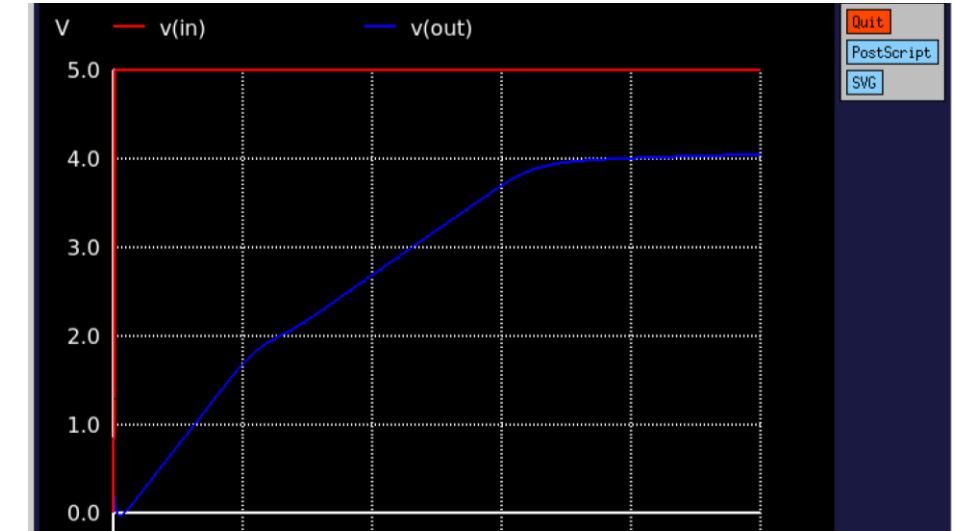




スルーレート

スルーレート

- ボルテージフォロワの形にして評価
 - スルーレートは $8.6V V/\mu s$
 - Rail-to-Rail動作はでなく、4.0Vまで



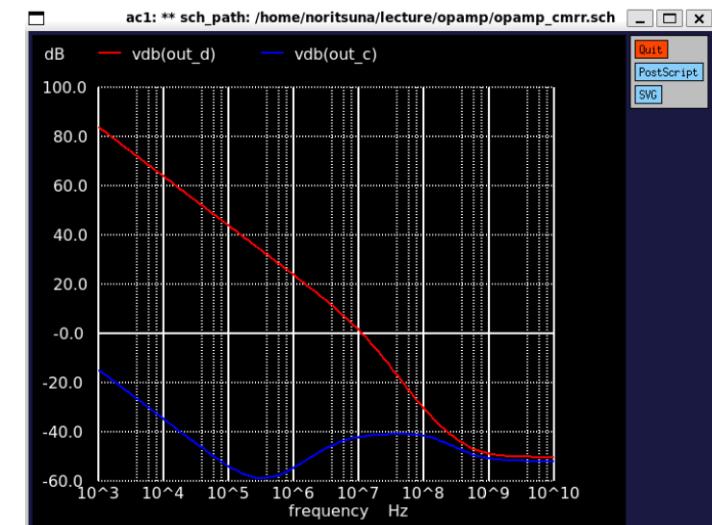
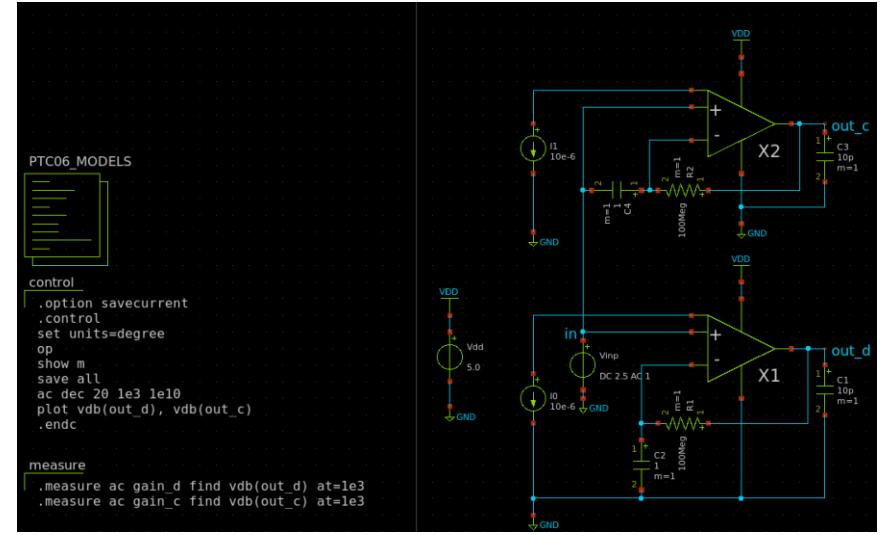


CMRR



CMRR

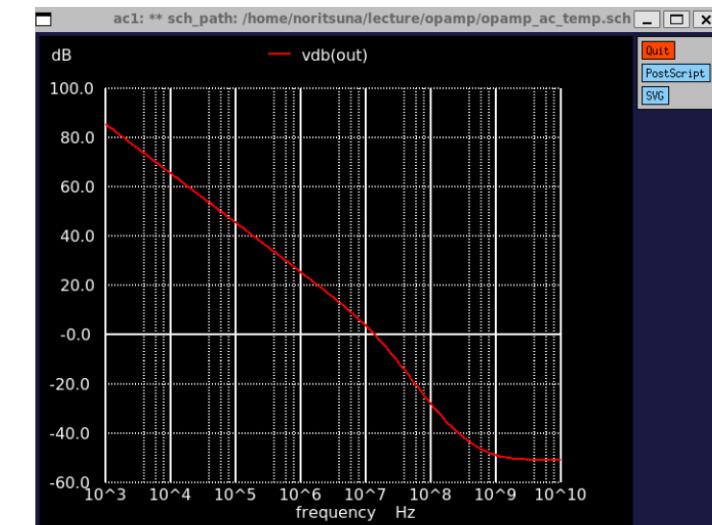
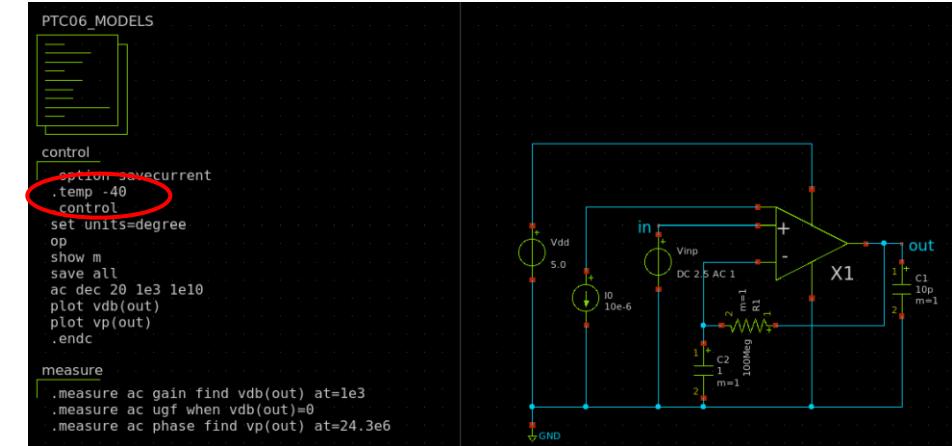
- 同相信号除去比 CMRR (Common-Mode Rejection Ratio) は差動利得と同相利得の比
 - オペアンプは入力端子間の差だけを増幅するのが理想なので、同相信号に対してはまったく反応しない (利得 0倍, $-\infty$ dB) ことが理想
 - 100dBくらいなので、そんなに良くはない



温度解析

温度解析

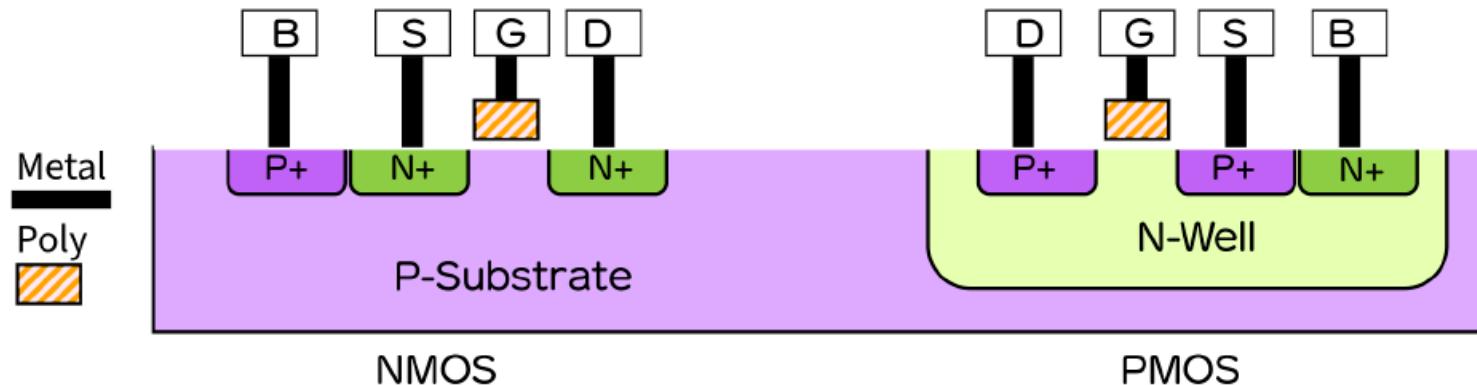
- spiceコマンド : tempで温度が指定可能
 - 40度の時の解析結果（赤丸内）
 - ずいぶんと訛ったゲイン特性となった



レイアウト テクニック編

構造説明

CMOSの 断面図



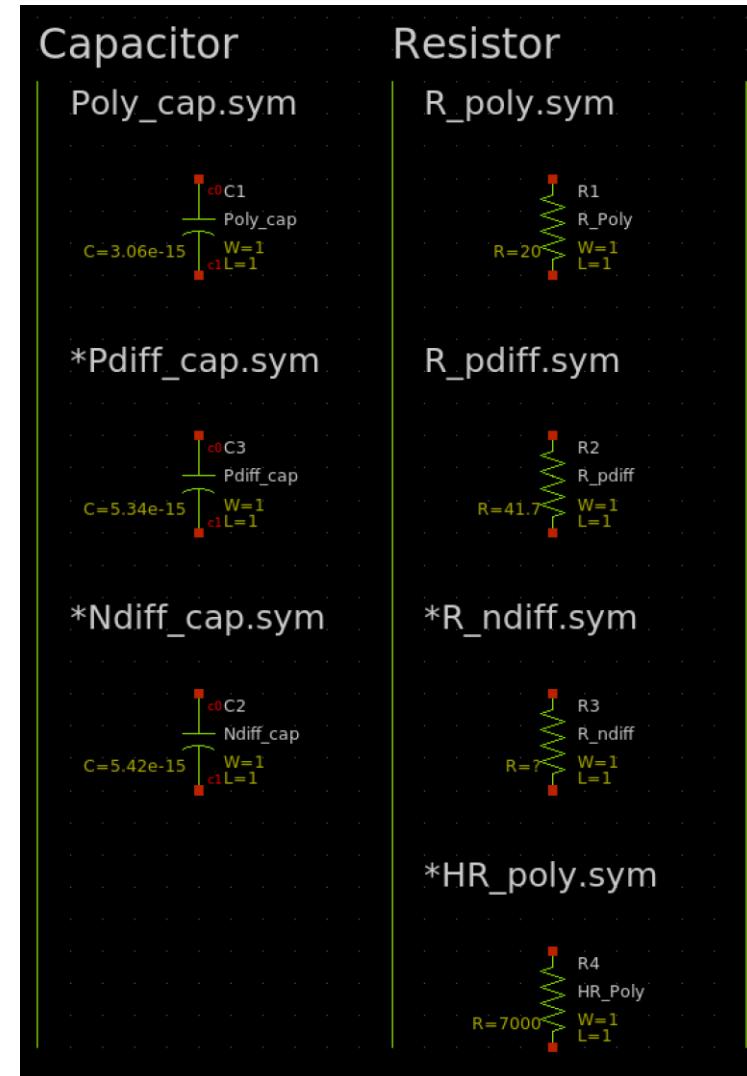
▲図 2.10: PMOS と NMOS の断面図

シリコンウェハは通常、P型ドーピングが施されており、P型基板(P-Substrate)となっています。NMOSは、P-Substrateの中に高濃度にP型ドーピングしたP+と、高濃度にN型ドーピングしたN+の領域があります。PMOSは、N型半導体の領域(N-Well)の中にP+とN+があります。この構造により、PMOSとNMOSを同一チップ上に作ることができ、PMOSとNMOSを組み合わせたCMOS回路を作ることができます。

出典：Open Source Silicon Magazine Vol.1 ーはじめてのIC設計ー

半導体的な素子

- ポリシリコン系
 - 高抵抗・高容量
 - 基本的にはこちらを使えばよい
- P型N型拡散層 (diffusion層)
 - 低抵抗・低容量
 - ポリシリコン系ではデカすぎる場合に利用
 - 電圧依存性があるため、バラクタとして使えなくもない

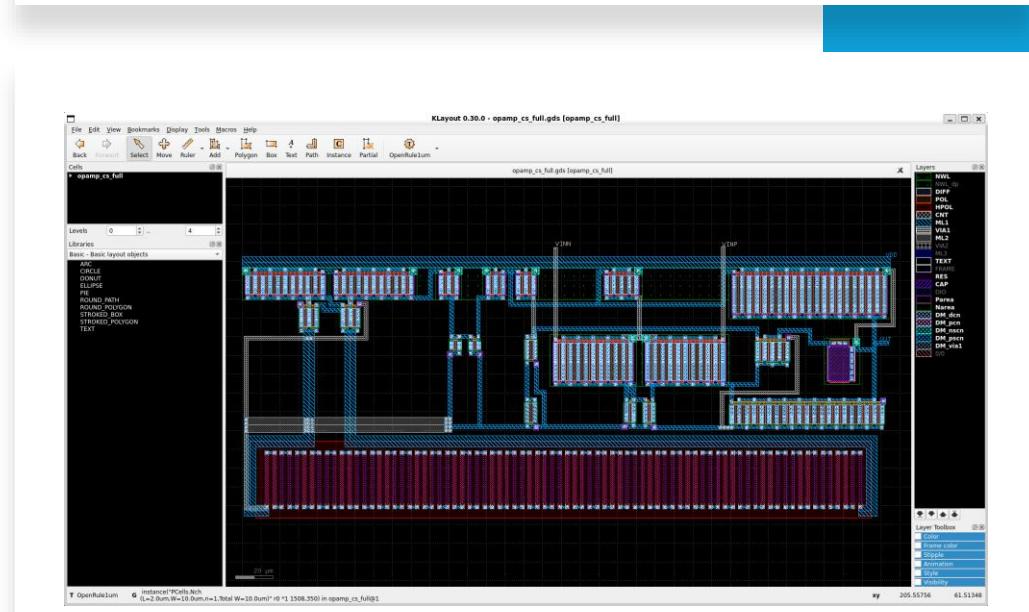
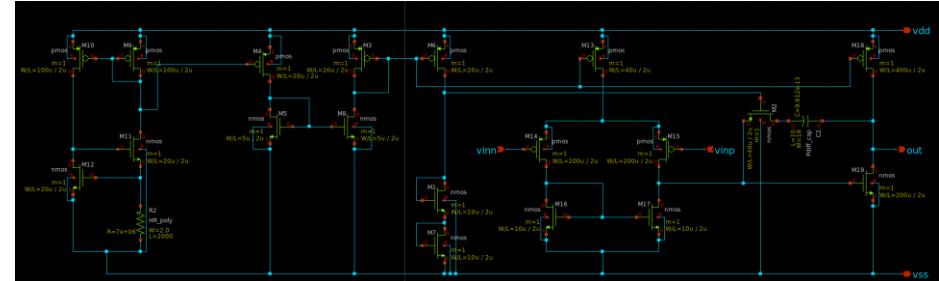


出典：Open Source Silicon Magazine Vol.1 ーはじめてのIC設計ー

schematic to place レイアウト

schematic to place レイアウト

- 回路図の見た目をそのままレイアウトにする方法
 - レイアウトテクニックとしては、フィンガーのみを使用
 - フィンガー解説
 - [Open Source Silicon Magazine Vol.1 — はじめてのIC設計](#)



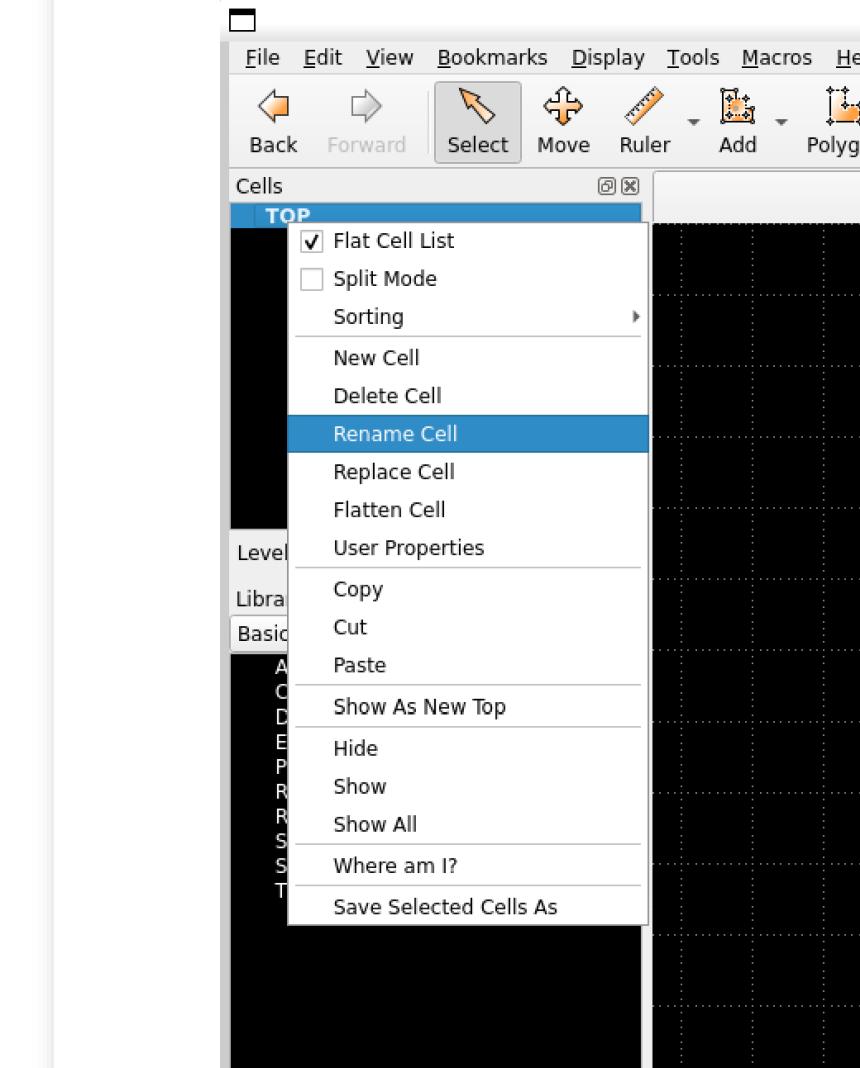


Cell (セル) 単位でのレイアウト

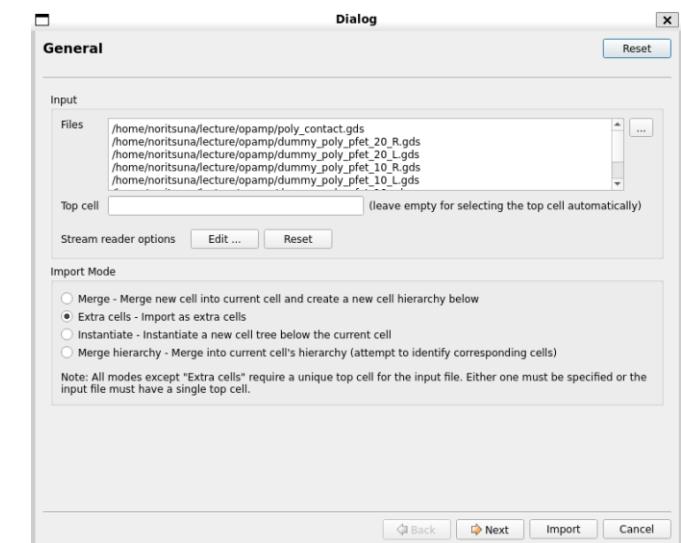
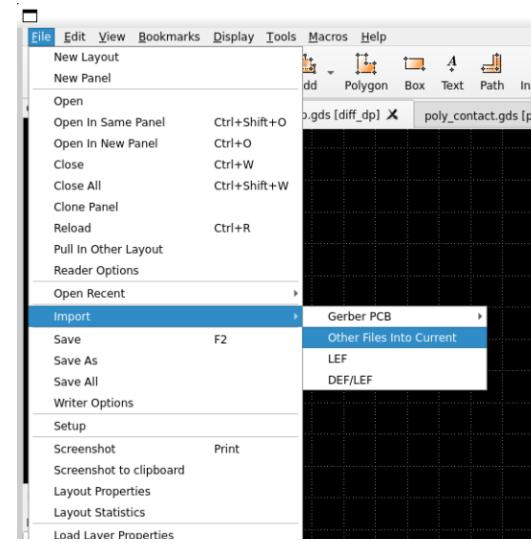


Cell (セル) 単位でのレイアウト

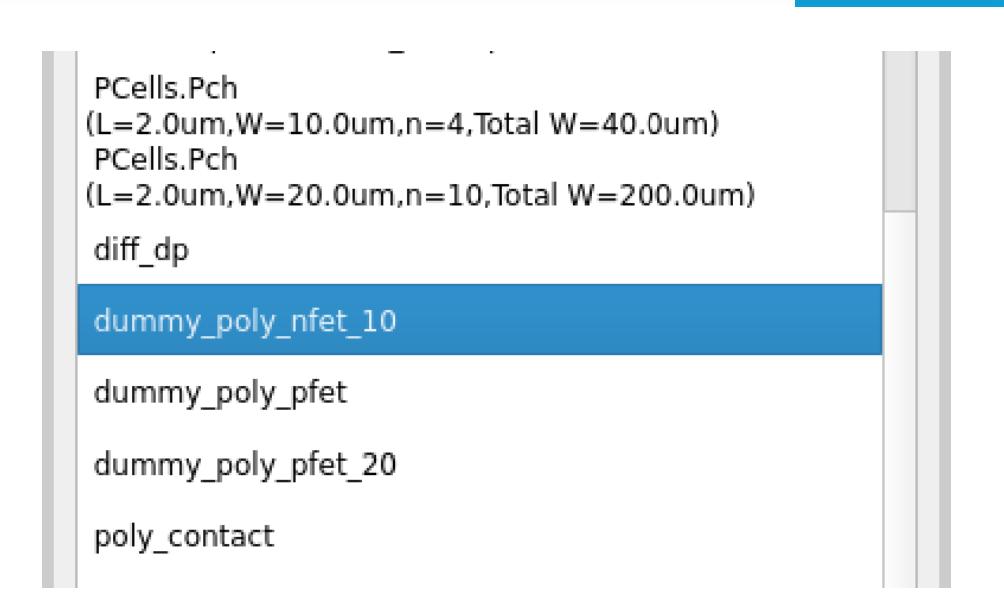
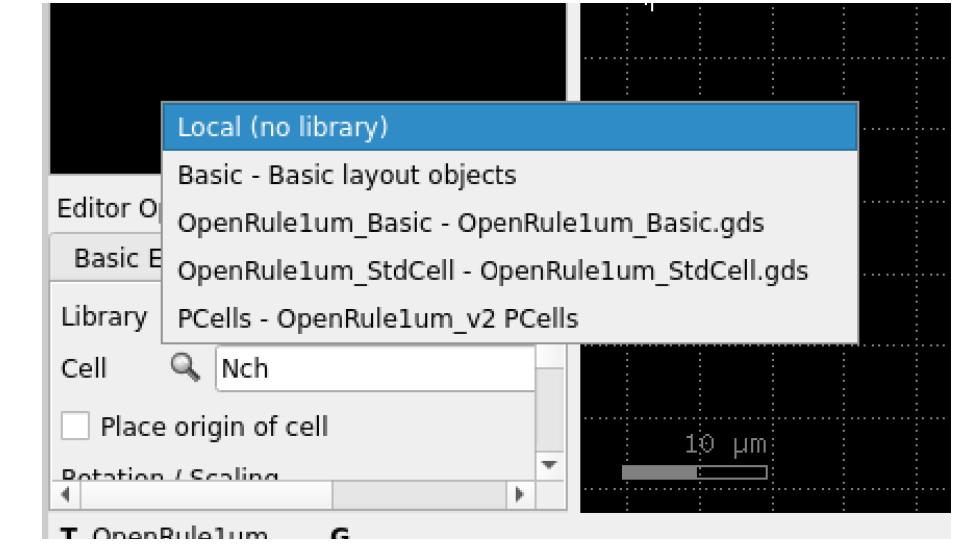
- Cell ≒ 部品化手法
 - 部品単位で性能の調整や変更を行えるようにする
- やり方
 - 普通にレイアウトをして、トップセル名をデフォルトの「TOP」から「diff」などの任意の名前として保存



Cell (セル) の インポート



Cell (セル) の 使い方



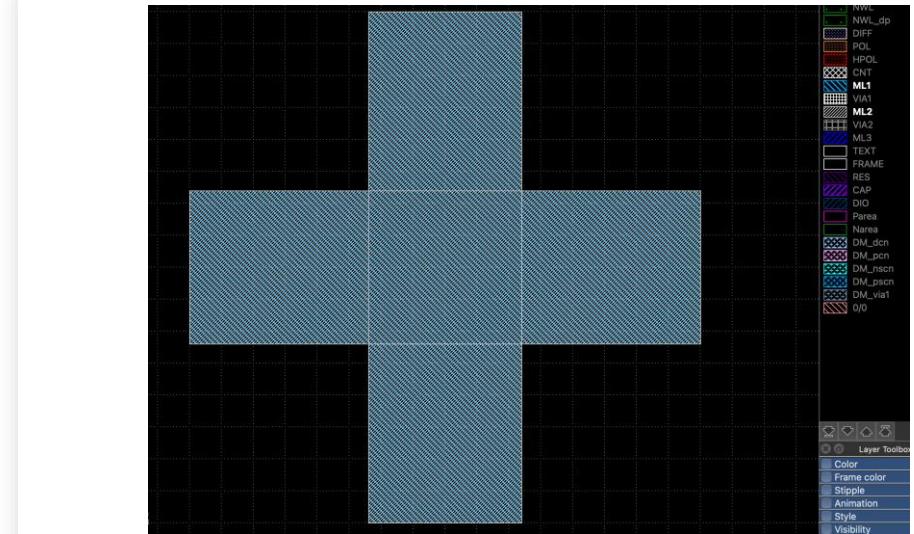
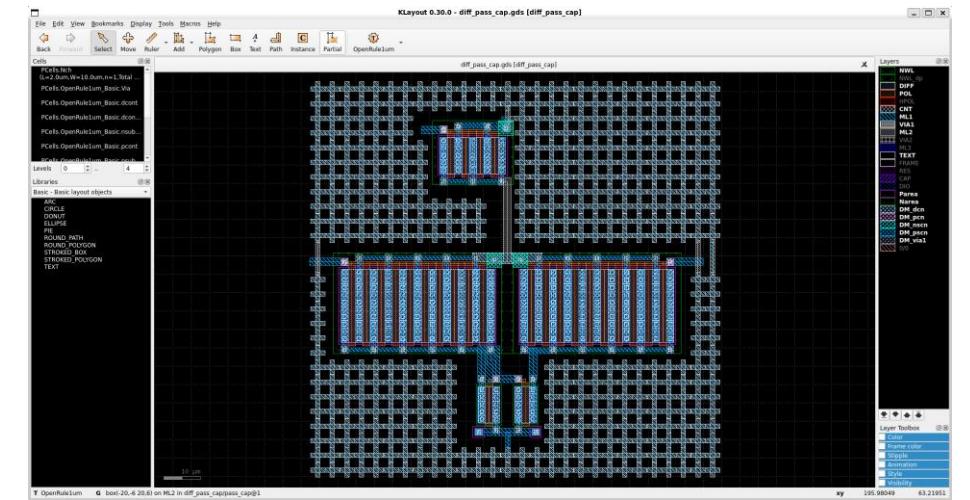


VDD/VSSセル



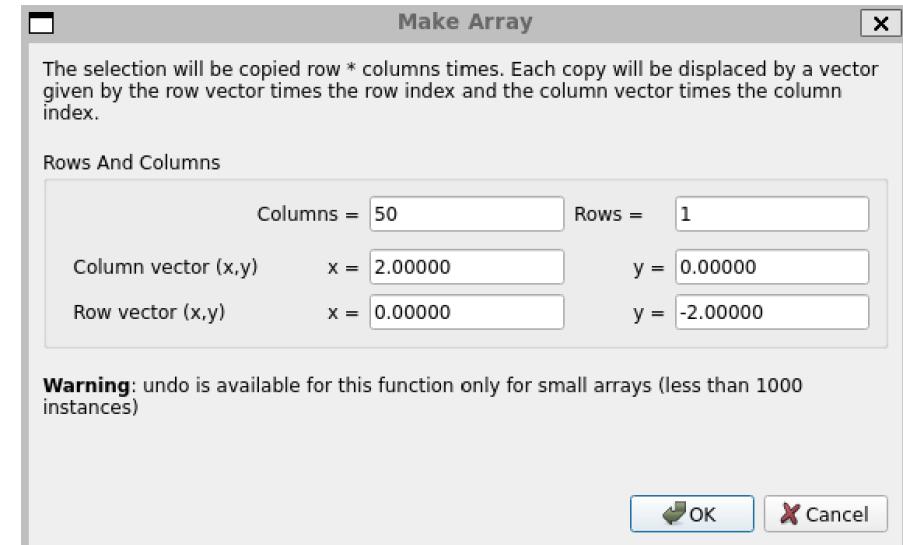
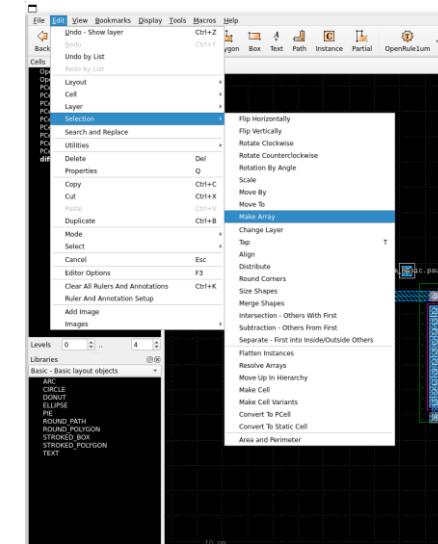
VDD/VSSセル

- 半導体版のパスコン的な手法の一つ
 - 電源ノイズ対策や電源電圧の安定化に寄与
 - メタル層を2層重ねて、それぞれの層をML1(メタル第一層)をVSS, ML2(メタル第二層)をVDDにして、平行平板コンデンサにして利用するという手法
 - なぜ、この順番であるかはガードリングを参照



アレイの使い方

- パスコンセルを一括配置する手法

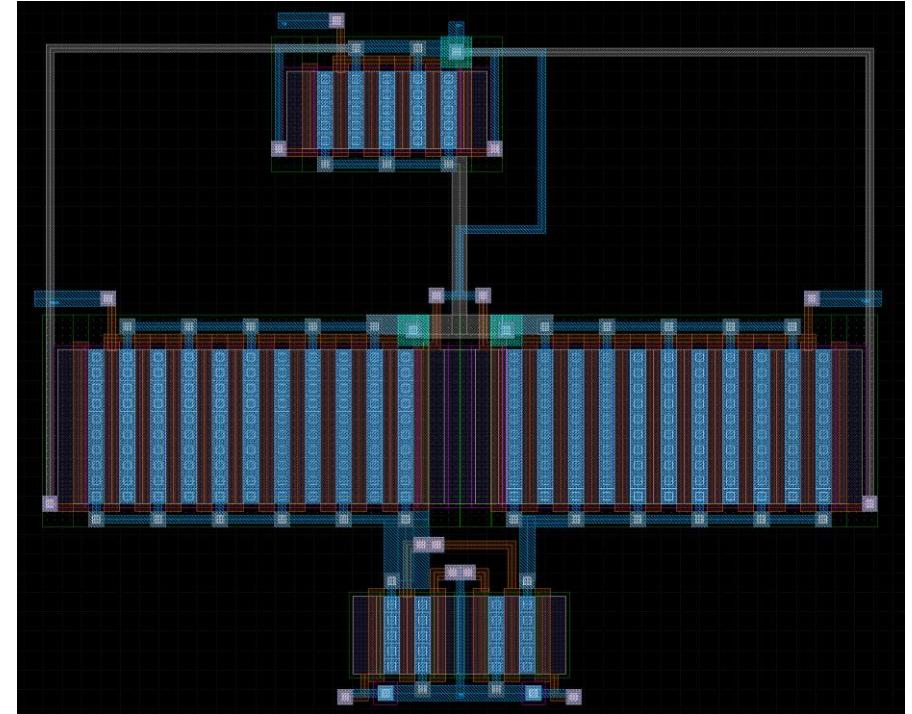




ダミー ポリシリコン

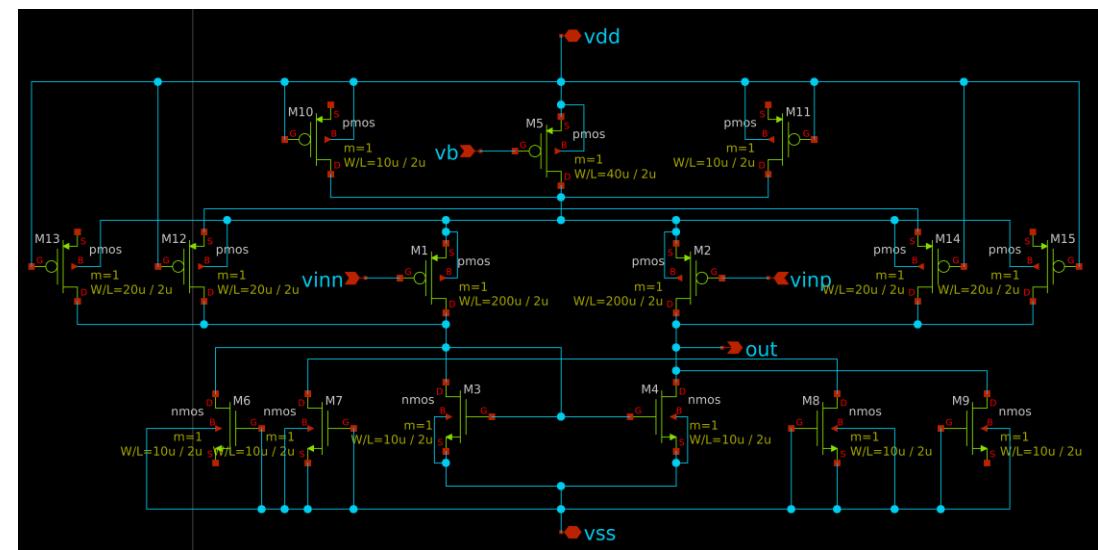
ダミー ポリシリコン

- バラツキを軽減する手法
 - ダミーのポリシリコンで挟み込むことで削れる量を一定にするという手法
 - P型FETやN型FETのポリシリコン部は、フィンガーのように近くにポリシリコンがある場合と何もない場合では製造時に削れる量に差が出る



ダミー・ポリシリコン化回路図

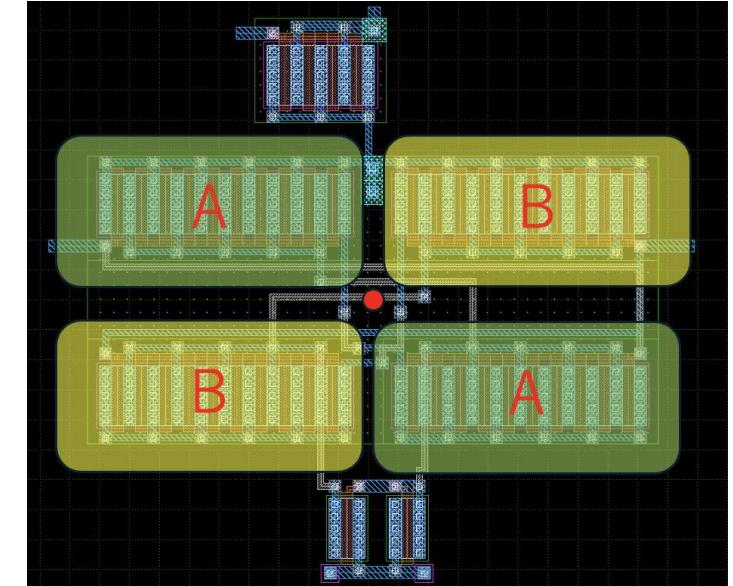
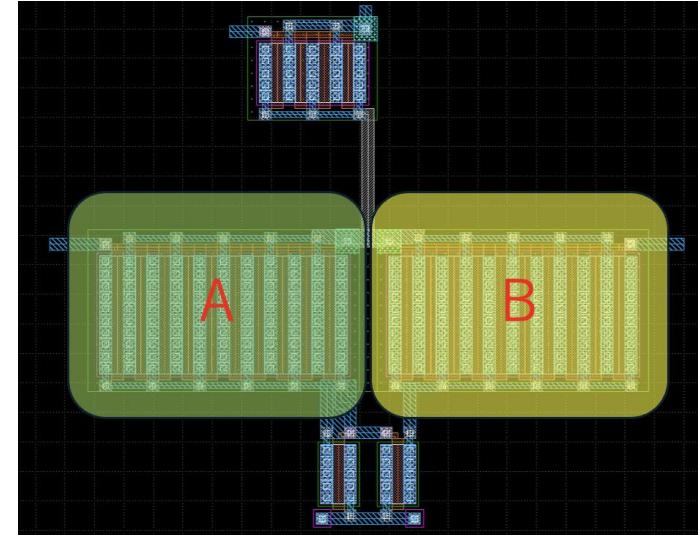
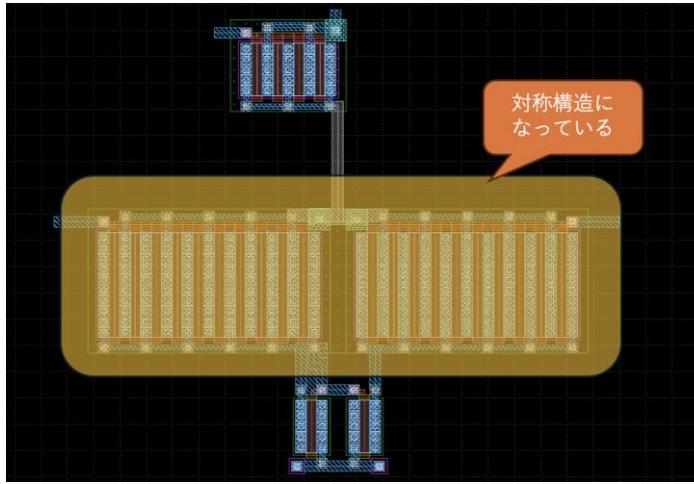
- 問題点
 - ダミー・ポリシリコン部もFETの一部として認識される
 - ダミー・ポリシリコンに相当するFETを回路図に追加することが必須
- 一步進んだテクニック
 - ゲートにVDDやVSSを直結していますがTIE回路をつけるべき





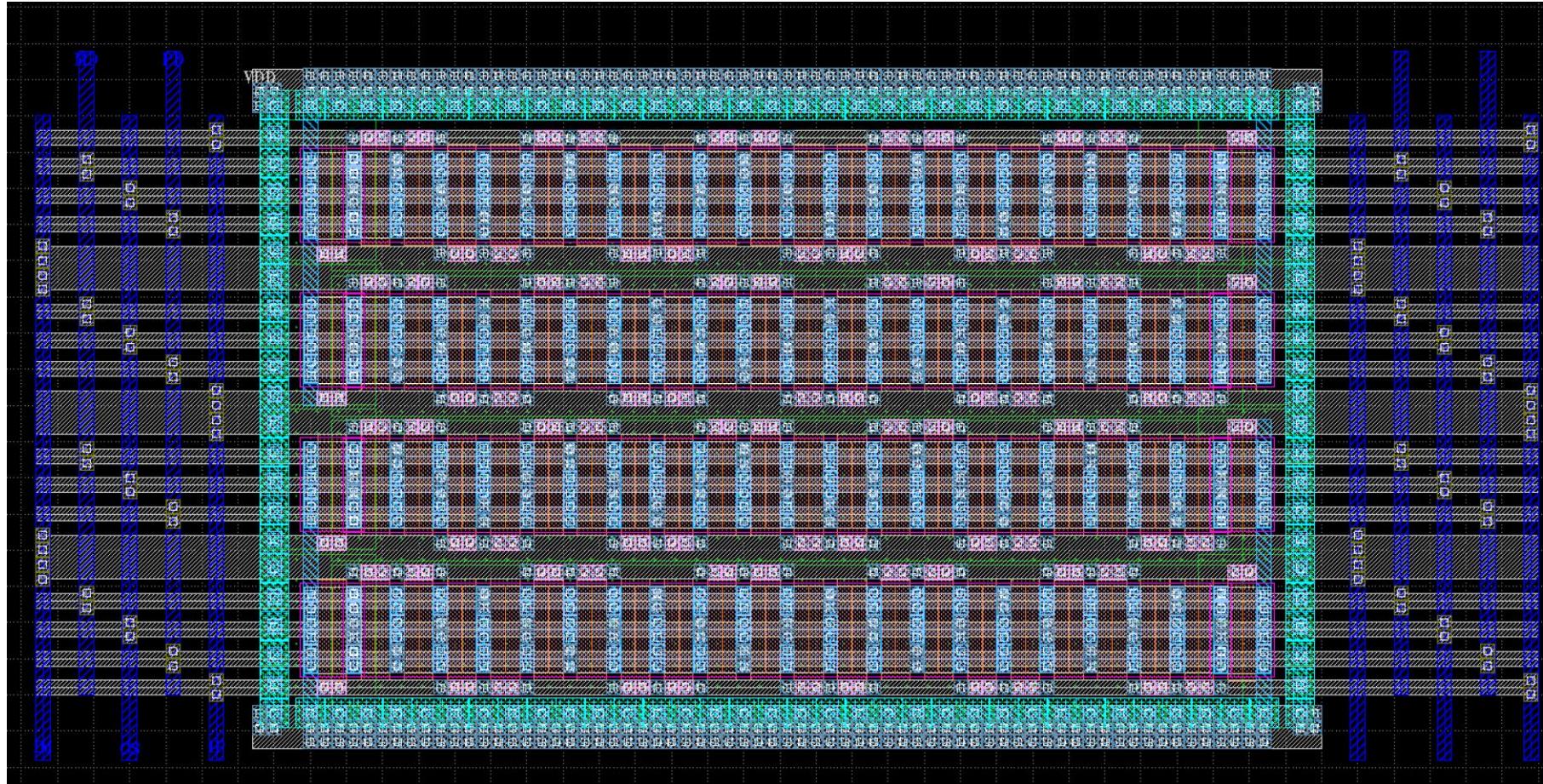
コモンセントロイド

コモンセントロイド



- 温度特性をよくする手法
 - 差動增幅段のように対となるFETがセットで使われている場合に、点対称にレイアウトを配置する手法
 - 上や右などに熱源があった場合、AとBが同じ温度勾配となるため、温度特性が良くなる

互い違い構造のコモンセントロイド



https://github.com/ishi-kai/openmpw-transistor-level-examples/blob/main/OR1/PTC06/opamp/common_centroid_alternate.gds

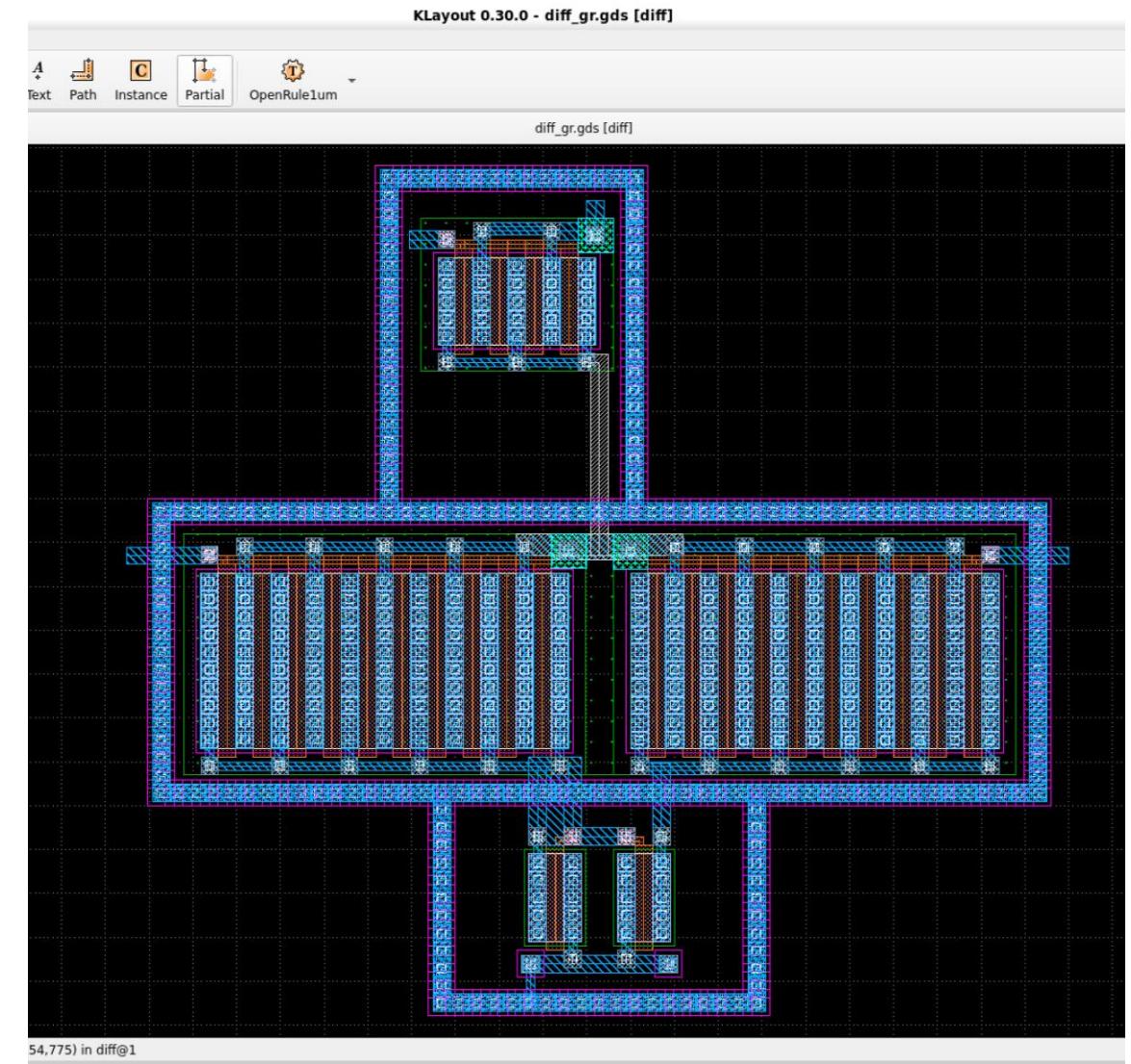


ガードリング



ガードリング

- ノイズ対策手法
 - VSSに落とすpsubcontでFETなどを囲う
 - psubcontはVSSへ接続すること
 - このため、VDD/VSSセルではメタル第一層をVSSにした



ラッチアップ

ラッチアップ

- 意図しないPNP/NPNが形成され、サイリスタ動作となる現象
- 対策
 - このような構造にならないように意識する
 - ガードリングを付加する

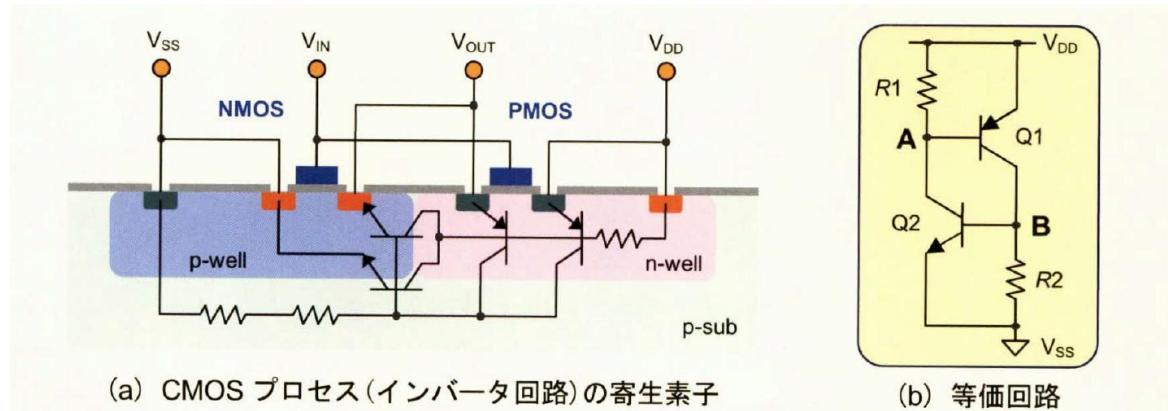


図 1.14 ラッチアップ耐量の確保

CMOS プロセスでは、NMOS、PMOS、および抵抗やキャパシタの受動素子などで回路を構成するが、その構造上、寄生 PNP トランジスタと寄生 NPN トランジスタが存在し、各トランジスタは寄生サイリスタを形成する。等価回路図(b)のループ・ゲインが 1 以上で、かつ電源や入出力端子からの雑音などによって Q1、Q2 のいずれかが一度 ON 状態になると、電源と接地間に大電流が流れ続ける。このような現象をラッチアップという。

出典：CMOS OPアンプ回路実務設計の基礎

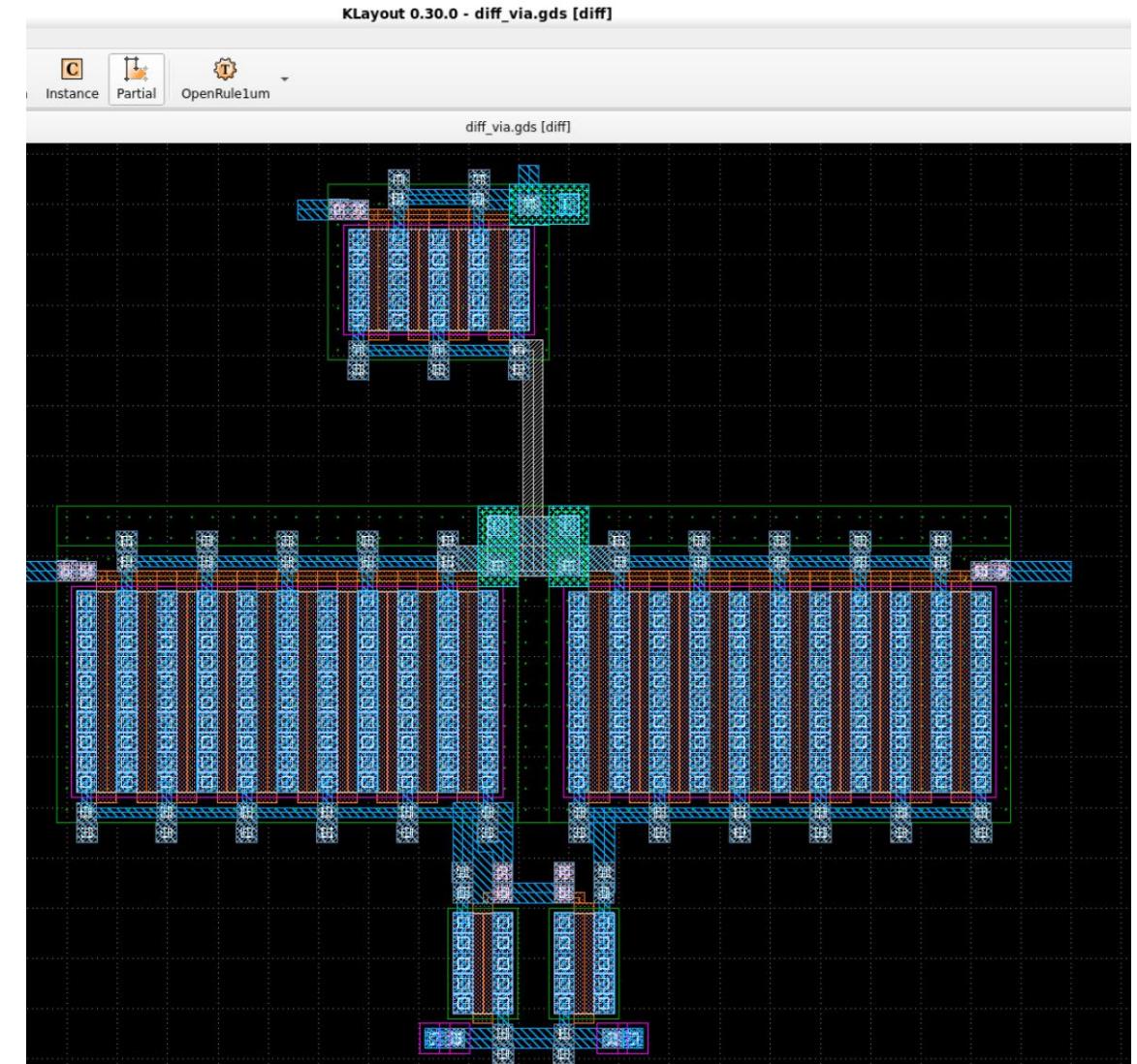


ダブルVIA/コントクト



ダブルVIA/コンタクト

- 製造不良対策・故障対策・特性向上手法
 - VIAやコンタクトは、非常に微細のため、製造工程で詰まって、接触不良を起こすことがある。そこで、2つ以上のVIA/コンタクトをつけることで、製造不良対策をする手法
 - VIA/コンタクトはメタル配線に比べ抵抗値が高いため、1つだと特性に影響が出る場合もある。そこで、必要な抵抗値となるようにVIA/コンタクトを追加する必要がある
 - また、コンタクトの抵抗値が高すぎる場合、メタルと基板（シリコン）が溶けて混ざり合金となって、ショートモード故障する場合もある

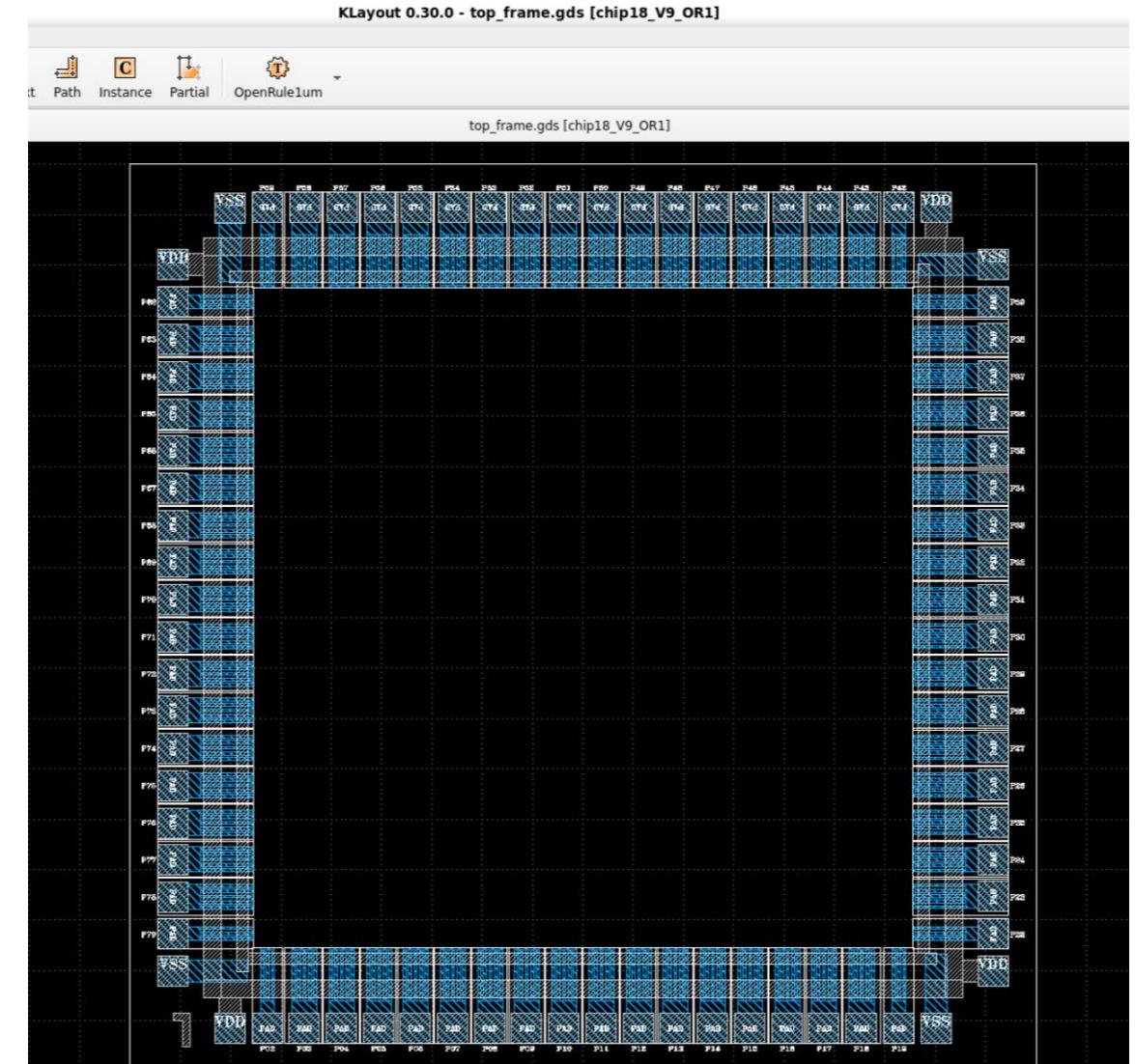




ESD

ESD

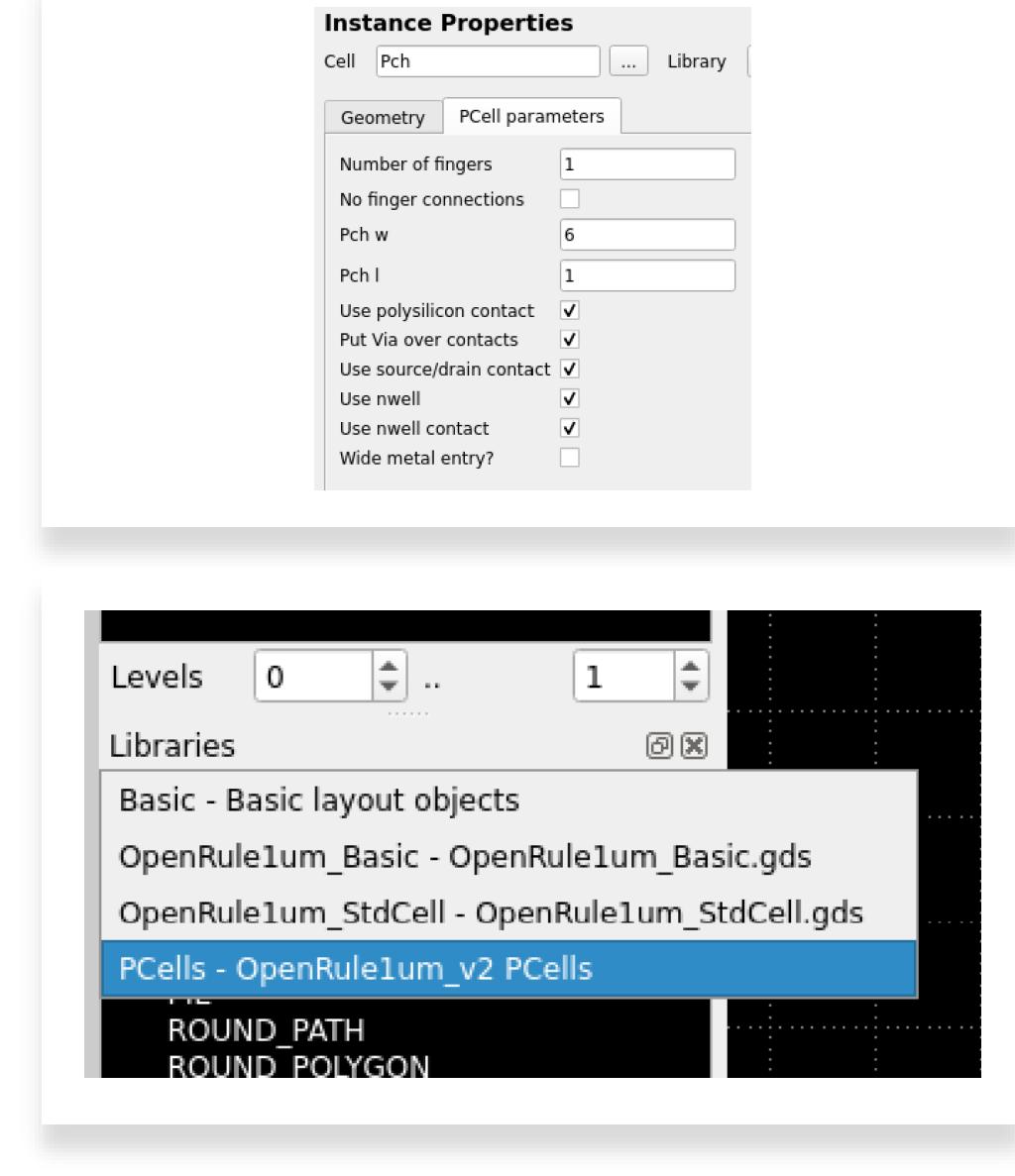
- 故障対策手法
 - 半導体は、非常に薄い膜（数百ナノメートル）で絶縁されている。そのため、非常に絶縁耐性が低く、特にゲート端子は絶縁破壊による故障を起こしやすい
 - ピンとしてほかの素子やICチップと接続しなければならない端子にはESD対策を施すことが一般的である
 - アンテナルール（=長いメタル配線をするとそこに電荷が溜まって同じように絶縁破壊が起きる現象）も同じ原理
 - 対策としては、メタル配線を短くするか、ESDと同じでダイオードをつけて高電圧になった場合にVSSに落とすなどになる



PDKのCellの使い方

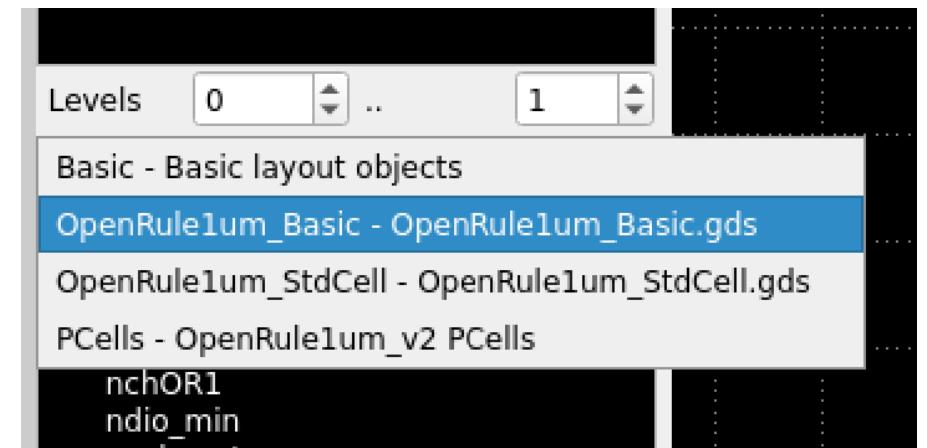
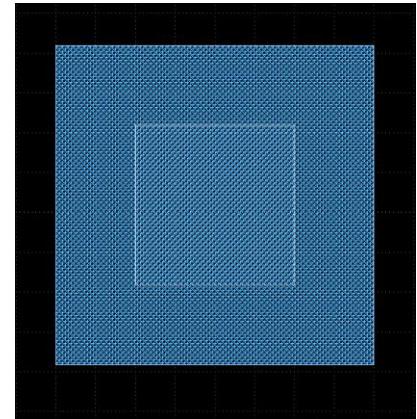
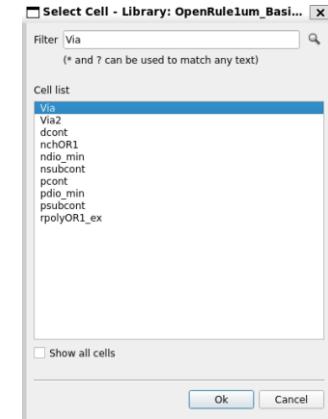
PCell

- 内容
 - pMOS(pFET), nMOS(nFET)
 - 抵抗系
 - キャパシタ系
- オプション
 - 各種Contactあり/なし
 - NWELLあり/なし
 - PDKによってオプションは違うので注意
 - レイアウトに合わせて必要なオプションとする



Basic

- 内容
 - 各層を繋げるVIAやContact
 - PCellやStdCellに分類されなかった特殊なセル



StdCell

- ロジック回路用のセル
 - AND
 - NADN
 - OR
 - NOT
 - など
- 利用方法
 - 横に並べて利用する

