

Arquitetura e Organização de Computadores

Turma C - 2018/01

Projeto do Banco de Registradores do MIPS

Objetivo: projetar, simular e sintetizar um banco de registradores similar ao utilizado no MIPS.

Características:

- 32 registradores de 32 bits
- dois barramentos de leitura
- um barramento para escrita de dado
- registrador 0 (índice zero) é constante, não pode ser alterado. Qualquer leitura deste registrador retorna o valor zero e escritas não afetam o seu valor.

Interface:

```
entity bregMIPS is
  generic (WSIZE : natural := 32);
  port (
    clk, wren, rst          : in std_logic
    radd1, radd2, wadd       : in std_logic_vector(4 downto 0);
    wdata                   : in std_logic_vector(WSIZE-1 downto 0);
    r1, r2                  : out std_logic_vector(WSIZE-1 downto 0));
end bregMIPS;
```

onde:

- *WSIZE* é o tamanho da palavra do banco de registradores
- *wren*: habilitação de escrita. Ao ser acionado, o registrador endereçado por *wadd* é escrito com o valor presente no barramento *wdata* na transição de subida do relógio.
- *clk*: relógio do circuito.
- *rst*: sinal de reset, zera o conteúdo de todos os registradores do banco.
- *radd1*: endereço do registrador a ser lido em *r1*, 5 bits.
- *radd2*: endereço do registrador a ser lido em *r2*, 5 bits.
- *wdata*: valor a ser escrito no registrador endereçado por *wadd*, 32 bits.
- *r1*: porta de saída para leitura do registrador endereçado por *add1*.
- *r2*: porta de saída para leitura do registrador endereçado por *add2*.

Entrega:

- relatório contendo:
 - descrição sucinta em português (não código) do trabalho
 - código VHDL
 - test bench para o ModelSim
 - escrever uma sequência de valores 1, 2, 3, 4 ... 31 nos registradores do banco e, após, realizar a leitura de todos os registradores, em todas as combinações possíveis: leitura em *r1* (1 ao 10), leitura em *r2* (11 ao 20) e leitura simultânea em ambos (21 ao 31)
 - escrever no registrador zero e verificar se ele não é alterado
 - escrita e leitura no mesmo ciclo, do mesmo registrador. O que acontece ?
 - resultados da simulação (imagens) e síntese (número de células lógicas)