

Trabalho 5 da disciplina "Organização e Arquitetura de Computadores" 1 / 2018

Cristiano Silva Júnior: 13/0070629

7 de Junho de 2018

1 Introdução

O objetivo deste trabalho é implementar o banco de registradores (BREG) do processador MIPS desenvolvido na disciplina. O BREG deverá permitir a recuperação de dados salvos durante a execução de um problema. Os dados somente poderão ser salvos quando um indicador "*write enable*" for verdadeiro. Além disso, deve haver uma opção para apagar todos os dados no registrador.

2 Metodologia

A implementação do BREG foi feita em VHDL utilizando a ferramenta Altera Quartus II com o auxílio do Altera ModelSim para a suíte de testes. Testes unitários para cada operação estão contidos no arquivo "testbench.vhd" enquanto o BREG foi implementado no arquivo "BREG.vhd".

O *testbench* inclui testes unitários para o registrador 0, para o sinal de *reset*, e para escrita e leitura nos outros registradores.

3 Resultados

3.1 Circuito gerado

Por meio da implementação, pode-se gerar o circuito, que contém 3475 componentes.

O processo de leitura do banco de registradores é assíncrono, ou seja, esta parte do circuito é reativa, enquanto a escrita só ocorre na subida do *clock* se o sinal "*write enable*" estiver ativo.

3.2 Simulação

Utilizando o ModelSim, geramos uma simulação em forma de onda para o circuito. No caso, mostramos a dinâmica recomendada de atribuir um valor arbitrário aos registradores que depois são lidos em saídas diferentes

A figura 1 mostra o processo de escrita no banco de registradores enquanto a figura 2 mostra o processo de leitura do banco de registradores: dos registradores 1 a 10, lemos pela saída 1; dos 11 a 20, pela saída 2; e da 21 em diante, das duas saídas ao mesmo tempo.

4 Conclusão

A implementação de todo o BREG proposta foi possível sem maiores problemas.

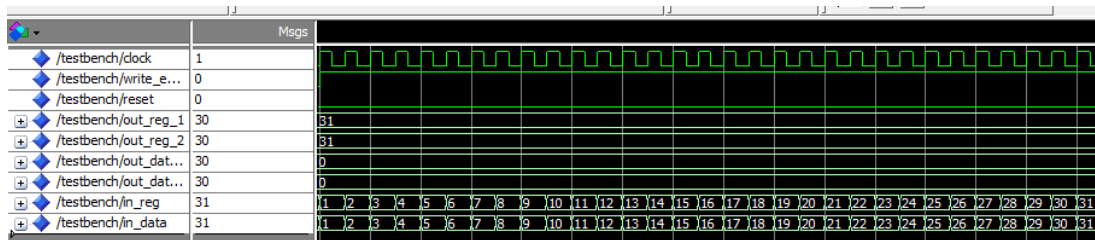


Figura 1: Escrita no banco de registradores.

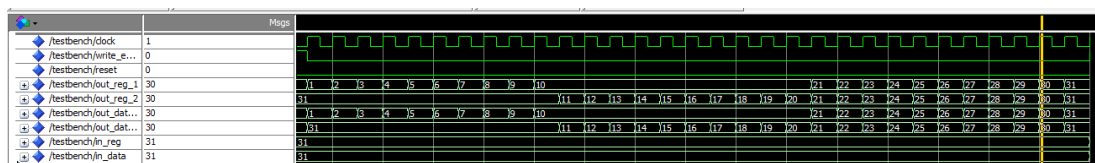


Figura 2: Leitura do banco de registradores.