

# Relatório do Experimento 3 de OAC

Arthur Bizzi: 13/0102636

Arthur da Silveira Couto: 16/0002575

Caio Albuquerque Brandão: 16/0003636

Cristiano Silva Júnior: 13/0070629

Leonardo Maffei: 16/0033811

7 de Junho de 2017

## 1 Exercício 1

### 1.1 Parte A

### 1.2 Exercício 4

O código no arquivo *SYSTEMv53.s* descreve uma rotina de tratamento de exceções, como evidenciado na figura 1.

## 2 Parte B

### 2.1 Exercício 7

Analisando o código em *Verilog* do processador descrito no projeto *MIPS-PUM-v4.8*, podemos construir o diagrama de blocos presente na figura 2 para descrever a estrutura do processador a nível de estruturas funcionais.

### 2.2 Exercício 8

Criar um programa *teste.s* para testar todos os comandos do processador.

### 2.3 Exercício 9

Para sintetizar a FPULA no processador em questão, basta descomentar a linha *define FPU*. Desta forma, foi possível comparar o sintetizador com e sem a FPULA. A diferença entre os requisitos físicos está descrito na tabela 1.

Parâmetro	Sem FPULA	Com FPULA
# de elementos lógicos	24357	24463
# de registradores	6742	6742
Memória RAM	X	X
Máxima frequência de clock	X	X

Note que não há diferenças no número de registradores. Isto é esperado, já que a FPULA não segura estados.

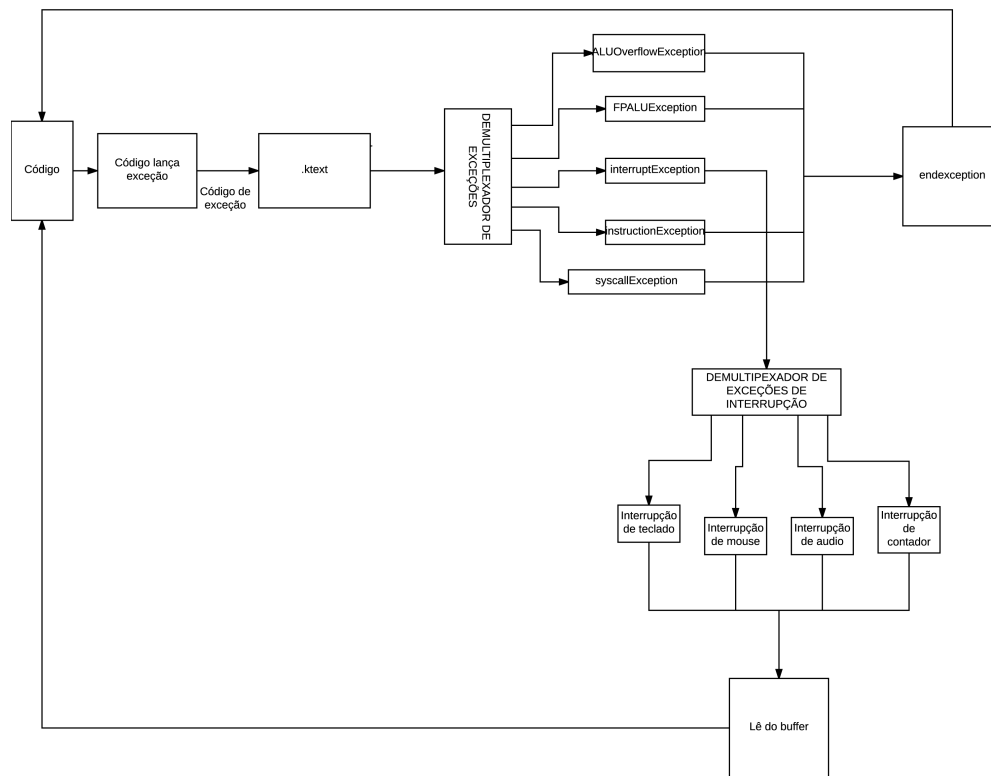


Figure 1: Diagrama do fluxo de tratamento de exceções

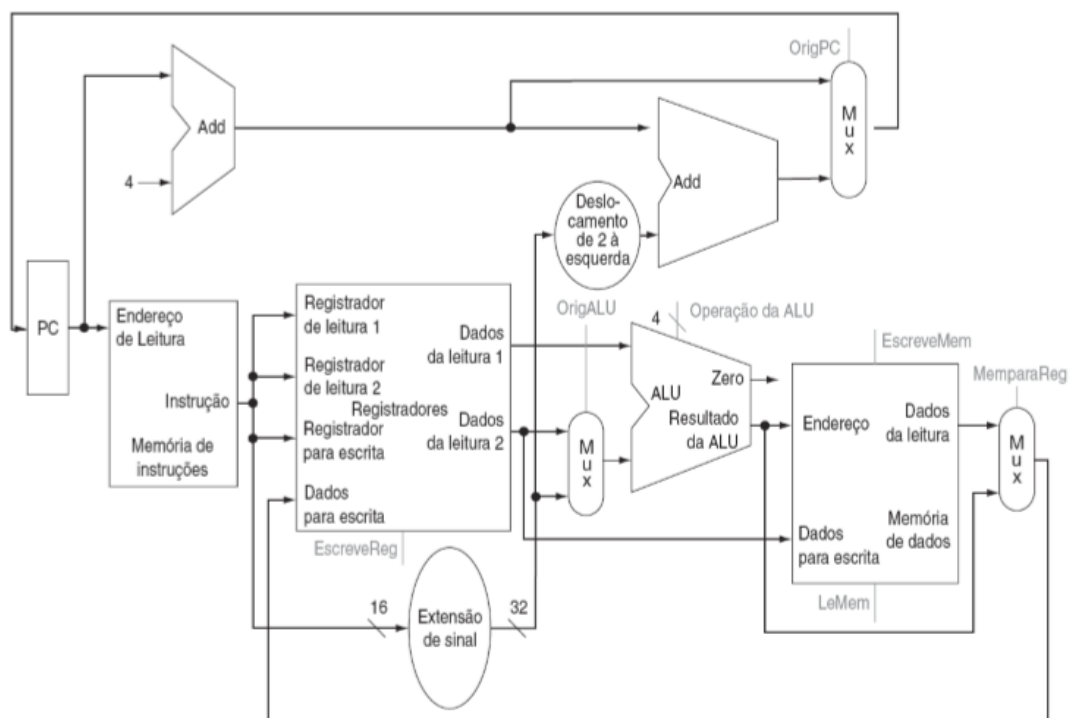


Figure 2: Diagrama de blocos do processador uniciclo

## 2.4 Exercício 10

Implementar as funções *ceil*, *floor* e *round*.