

Relatório do Experimento 3 de OAC

Arthur Bizzi: 13/0102636

Arthur da Silveira Couto: 16/0002575

Caio Albuquerque Brandão: 16/0003636

Cristiano Silva Júnior: 13/0070629

Leonardo Maffei: 16/0033811

7 de Junho de 2017

1 Exercício 1

A fim de comparar as simulações do MARS e de forma de onda, compilamos o programa *testePIPE.s* no MARS por meio da ferramenta *MIF Exporter* e geramos uma simulação por forma de onda do programa, além de analisar os dados gerados a partir do programa.

No MARS, o programa, ao ser executado, não fez nada. Contudo, ao se comentar as linhas de hazard de controle, o programa é capaz de terminar a sua execução. O resultado final dos registradores pode ser visto na figura 1.

Ao simular em forma de onda, o programa gerou a forma de onda na figura 2. Pode-se notar que eles são equivalentes olhando o resultado final do registrador *PC*.

2 Exercício 2

Compilando o código em *Verilog*, é possível checar o circuito gerado pelo *Quartus*. A partir do circuito gerado, podemos identificar algumas estruturas, que estão destacadas na figura 2.

Com base nessas estruturas e das ligações entre elas, podemos inferir uma tabela-verdade para o circuito de controle, como explicadas nas tabelas de 1 a 4.

3 Exercício 4

Repetindo o procedimento de compilação do exercício 1, podemos gerar uma simulação de forma de onda da nossa versão do programa *teste.s*, contendo um breve teste de todas as funções implementadas na ISA. O resultado da simulação pode ser visto na figura 3.

Registers	Coproc 1	Coproc 0	
Name	Number	Value	
\$zero	0	0x00000000	
\$at	1	0x0000000a	
\$v0	2	0x00000000	
\$v1	3	0x00000000	
\$a0	4	0x00000000	
\$a1	5	0x00000000	
\$a2	6	0x00000000	
\$a3	7	0x00000000	
\$t0	8	0x00000000	
\$t1	9	0x10010000	
\$t2	10	0x00000000	
\$t3	11	0x00000000	
\$t4	12	0x00000000	
\$t5	13	0x00000000	
\$t6	14	0x00000000	
\$t7	15	0x00000000	
\$s0	16	0x00000000	
\$s1	17	0x00000000	
\$s2	18	0x00000000	
\$s3	19	0x00000000	
\$s4	20	0x00000000	
\$s5	21	0x00000000	
\$s6	22	0x00000000	
\$s7	23	0x00000000	
\$t8	24	0x00000000	
\$t9	25	0x00000000	
\$k0	26	0x00000000	
\$k1	27	0x00000000	
\$gp	28	0x10008000	
\$sp	29	0x7fffeffc	
\$fp	30	0x00000000	
\$ra	31	0x00000000	
pc		0x0040003c	
hi		0x00000000	
lo		0x00000000	

Figure 1: Resultado final dos registradores .

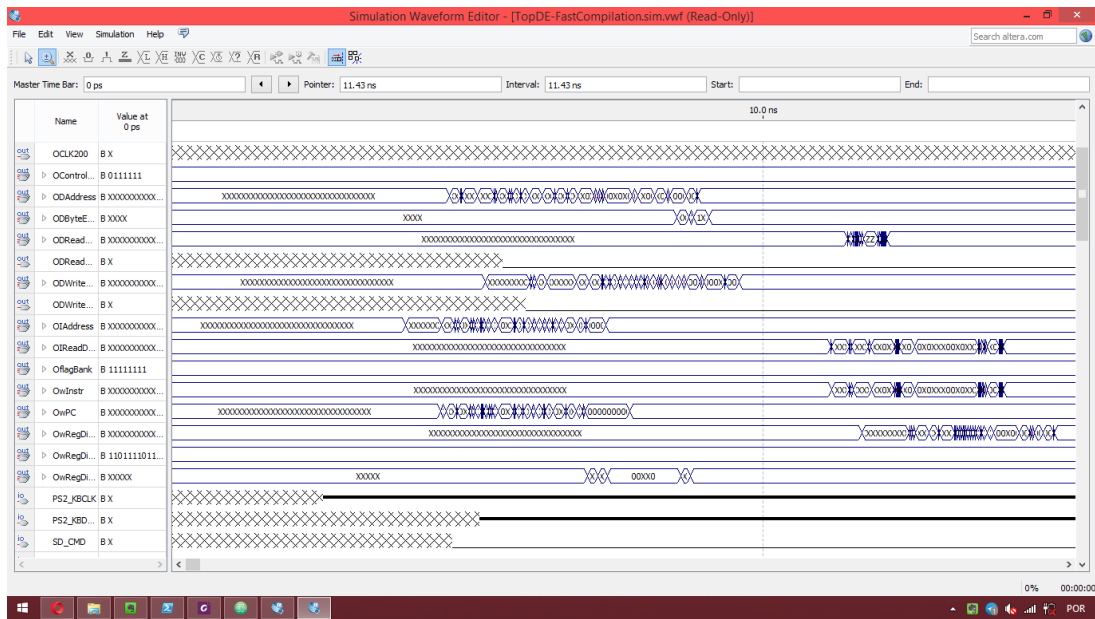


Figure 2: Simulação em forma de onda do programa *testePIPE.s*.

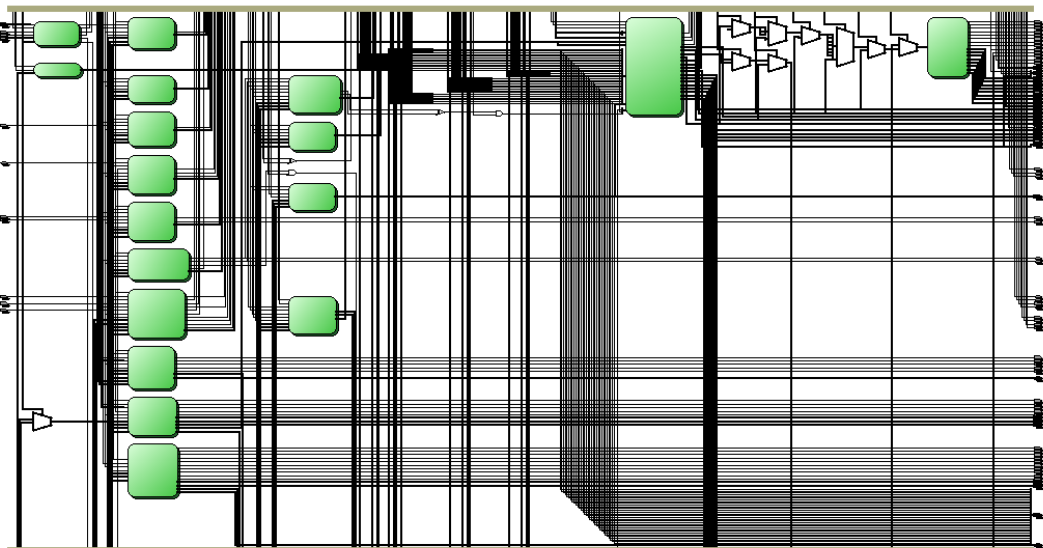


Figure 3: Simulação em forma de onda.

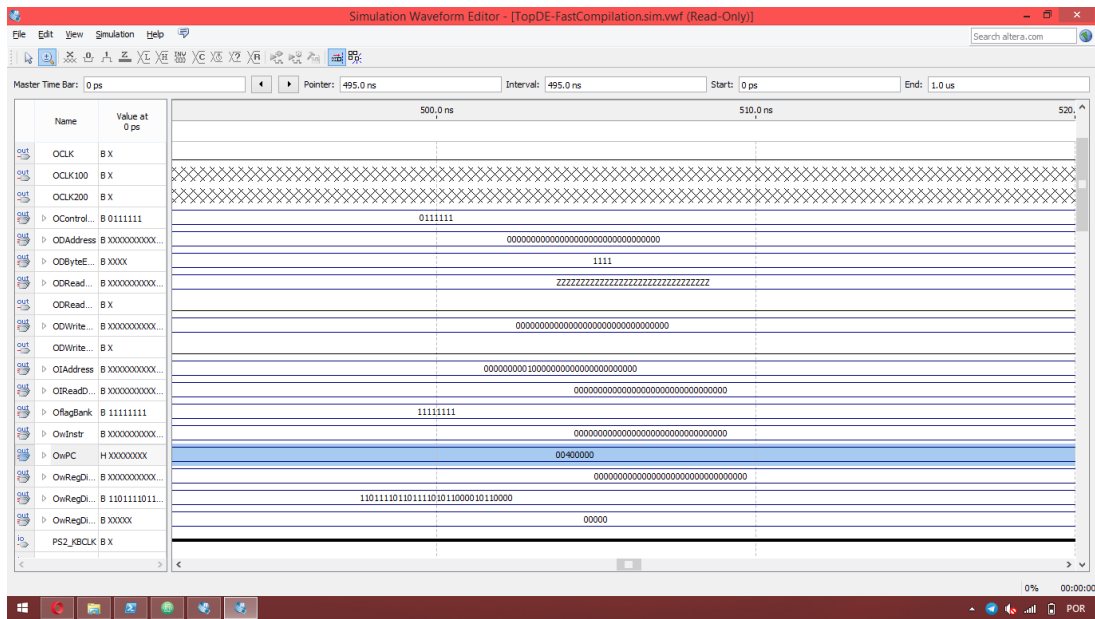


Figure 4: Simulação em forma de onda do programa *teste.s*.

	OrigPC	Jump	nBranch	Jr
LW	0	000	0	0
SW	0	000	0	0
BEQ	0	001	0	0
Tipo R	0	000	0	0
J	1	010	0	0

Table 1: Tabela de controle para estágio Decodificação da instrução

	RegDst	OrigALU	OpALU
LW	00	01	00
SW	00	01	00
BEQ	00	00	01
TIPO R	01	00	10
J	00	00	00

Table 2: Tabela de controle para estágio execução/cálculo de endereço

	SavePC	LeMem	EscreveMem	Branch	LoadType	WriteType
LW	0	1	0	0	LW	00
SW	0	0	1	0	000	SW
BEQ	0	0	0	1	000	00
Tipo R	0	0	0	0	000	00
J	0	0	0	0	000	00

Table 3: Tabela de controle para estágio acesso à memória

	EscreveReg	MemparaReg
LW	1	
SW	0	
BEQ	0	
Tipo R	1	
J	0	

Table 4: Tabela de controle para estágio escrita do resultado