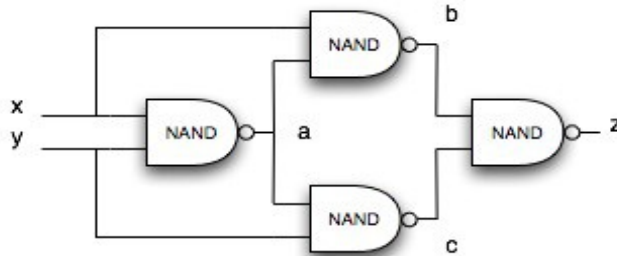


# Tutorial Ciclos Delta

**Objetivo:** mostrar o passo a passo para realizar a descrição de um circuito VHDL em termos de portas lógicas e visualizar o resultado de sua simulação, tanto em termos de formas de onda quanto de ciclos Delta, com a ferramenta ModelSim.

**Circuito base:** o circuito a ser utilizado como exemplo consiste em uma porta XOR implementada em termos de operações NAND, como ilustra a figura abaixo.

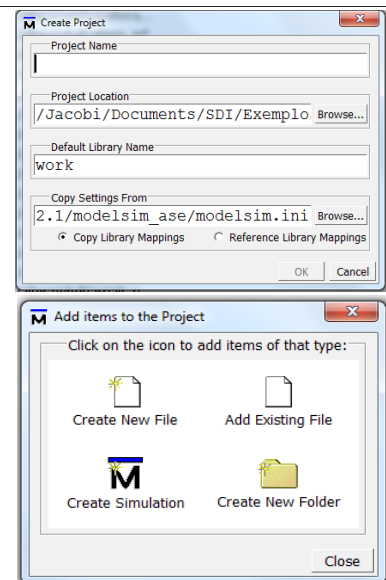


## Descrição *dataflow* em VHDL:

Arquivo delta.vhd	Arquivo delta_tb.vhd
<pre>library ieee; use ieee.std_logic_1164.all;  entity delta is   port (     x, y : in std_logic;     z     : out std_logic   ); end entity;  architecture dataflow of delta is   signal a, b, c : std_logic; begin   a &lt;= x nand y;   b &lt;= x nand a;   c &lt;= y nand a;   z &lt;= b nand c; end dataflow;</pre>	<pre>library ieee; use ieee.std_logic_1164.all;  entity delta_tb is end entity;  architecture tb of delta_tb is   component delta is     port (       x, y : in std_logic;       z    : out std_logic );   end component;   signal x, y, z : std_logic; begin   delta_ins: delta port map (x =&gt; x, y =&gt; y, z =&gt; z);   drive: process begin     x &lt;= '0'; y &lt;= '0'; wait for 10 ps;     x &lt;= '1'; wait for 10 ps;     y &lt;= '1'; wait for 10 ps;     wait;   end process; end tb;</pre>

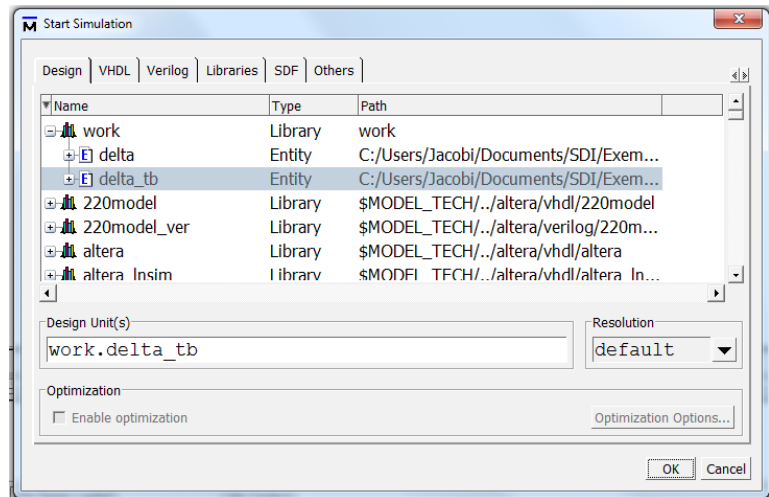
## Criação do projeto no ModelSIM:

1. lançar o simulador
2. se abrir uma janela default, fechá-la
3. *File* → *New* → *Project ...*
  - Project Name: xor2
  - navegar e escolher o diretório de trabalho
4. Inserir os arquivos acima no projeto – *Create New File*
5. *Compile* → *Compile All* para compilar ambos arquivos
6. Iniciar a simulação:
  - *Simulate* → *Start Simulation*
  - Na janela com as bibliotecas que aparece, selecionar

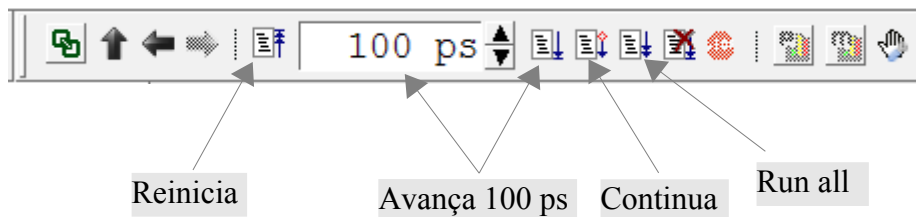


- $work \rightarrow \text{delta\_tb}$   
o layout do ModelSIM deve mudar para o formato *simulation*

7. Abre-se uma aba *Sim* na janela de Projeto, como ao lado. Carregue o arquivo `delta_tb` para simulação
8. Para selecionar os sinais a serem monitorados, selecione na aba *sim* a instância `delta_ins` do módulo de forma a ter acesso aos seus sinais internos.
9. Os sinais de entrada e saída do módulo, assim como os seus sinais internos são exibidos na janela *Objects*, ilustrado ao lado.
10. Selecionar os sinais todos os sinais, clique com o botão direito do mouse e adicione-os às janelas de formas de onda (*Add Wave*) e List (*Add to → List → Selected Signals*)
11. A janela List deve apresentar a simulação em termos de ciclos delta. A janela waveform mostra as formas de onda dos sinais sendo simulados.
12. A simulação pode ser controlada usando os sinais da barra de simulação:



Name	Value	Kind	Mode
x	U	Signal In	
y	U	Signal In	
z	U	Signal Out	
a	U	Signal Internal	
b	U	Signal Internal	
c	U	Signal Internal	



13. Verificar e interpretar os ciclos delta da simulação.

ps	delta	/delta_tb/delta_ins/x	/delta_tb/delta_ins/y	/delta_tb/delta_ins/z	/delta_tb/delta_ins/a	/delta_tb/delta_ins/b
0	+0	U	U	U	U	U
0	+1	0	0	U	U	U
0	+2	0	0	U	1	1
0	+3	0	0	0	1	1
10	+1	1	0	0	1	1
10	+2	1	0	0	1	0
10	+3	1	0	1	1	0
20	+1	1	1	1	1	0
20	+2	1	1	1	0	0
20	+3	1	1	1	0	1
20	+4	1	1	0	0	1