

Folha de Dados - Segunda Lista Exercícios
Projeto de Sistemas em Chip
Data de entrega: 05 de julho de 2019 às 23:50

Instruções:

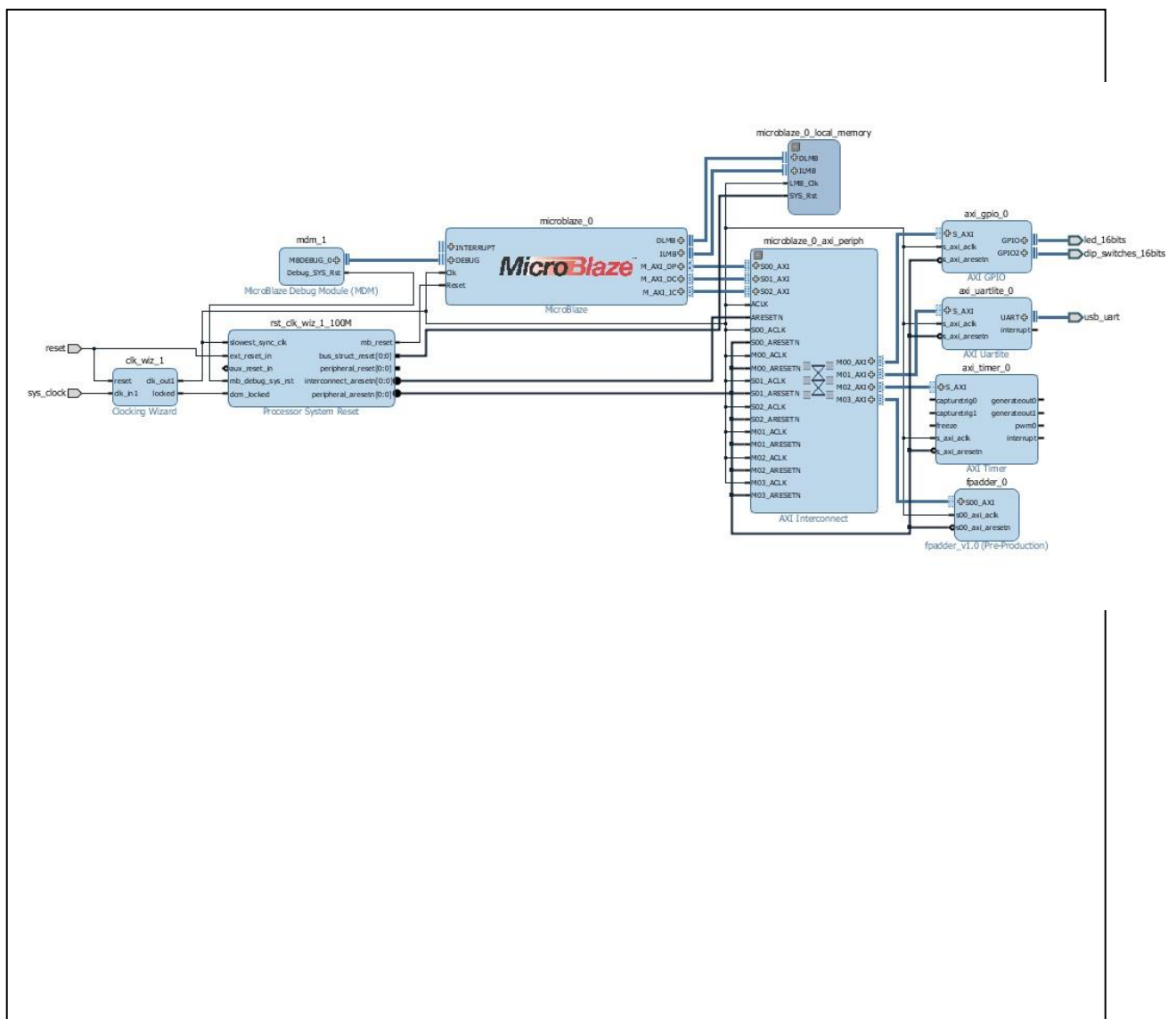
1. Organize o repositório em pastas para cada exercício.
2. Entregar todos os arquivos necessários para replicar o experimento.
3. Preencha os dados solicitados, imprima este documento em PDF e deixe no repositório.

Nome: Hércules Ismael de Abreu Santos

Matrícula: 16/0124450

Exercício 1 (5 pontos). Co-processador FPadd

- 1) Diagrama de blocos (block design) do sistema em chip



2) Consumo de recursos após implementação (processo *Place and Route* - PAR):

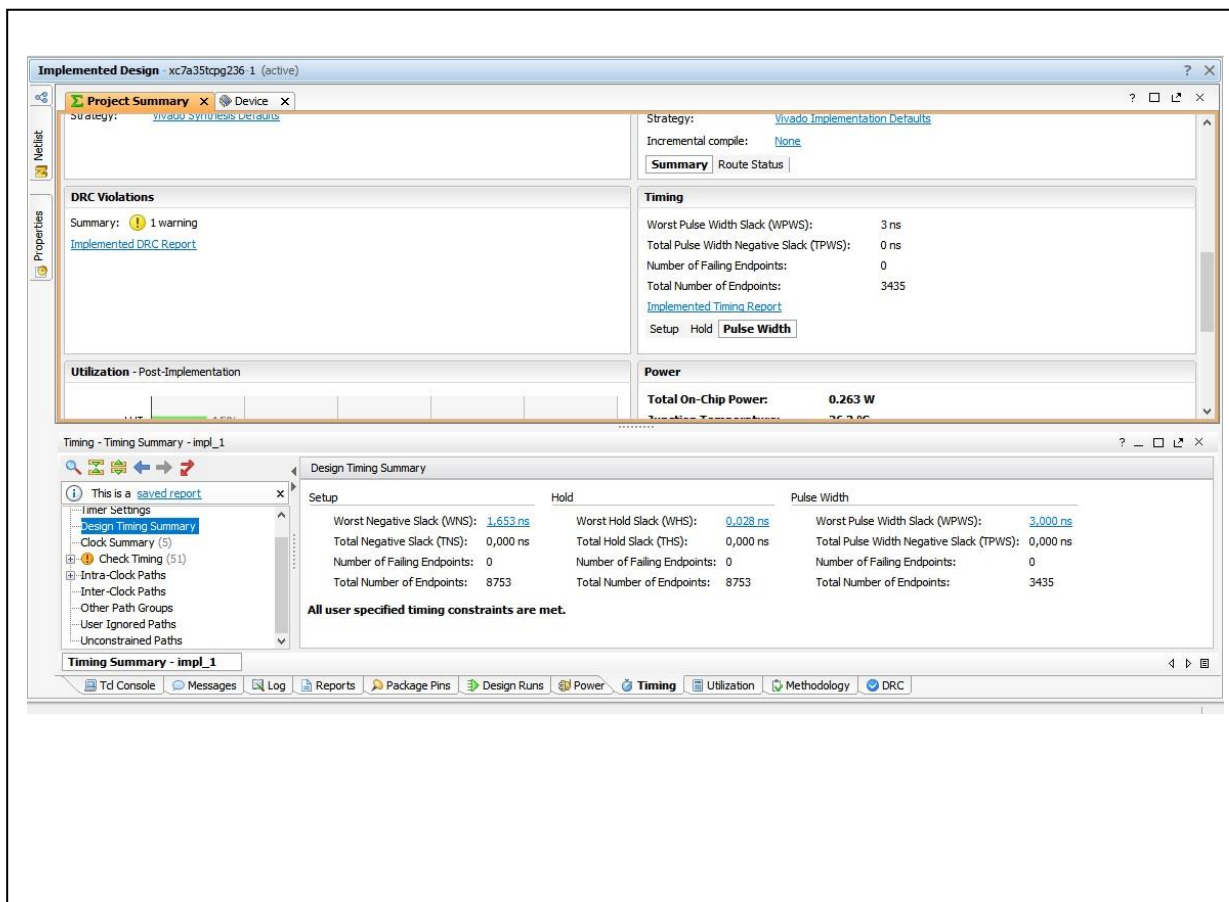
LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
3122 (15 %)	1213 (7 %)	36 (34 %)	0 (0 %)	50 (44 %)

3) Análise de timing:

Worst negative slack (setup): 1,653 ns

Worst negative slack (hold) : 0,028 ns

Frequência máxima de operação do circuito: _____ MHz



Implemented Design - xc7a35t0pg236-1 (active)

Strategy: [Vivado Implementation Defaults](#)
Incremental compile: [None](#)
[Summary](#) | [Route Status](#)

DRC Violations
Summary: 1 warning
[Implemented DRC Report](#)

Timing
Worst Pulse Width Slack (WPWS): 3 ns
Total Pulse Width Negative Slack (TPWS): 0 ns
Number of Failing Endpoints: 0
Total Number of Endpoints: 3435
[Implemented Timing Report](#)
Setup | Hold | **Pulse Width**

Utilization - Post-Implementation

Power
Total On-Chip Power: 0.263 W

Timing - Timing Summary - impl_1

This is a [saved report](#)

Timer Settings
Design Timing Summary
Clock Summary (5)
Check Timing (51)
Intra-Clock Paths
Inter-Clock Paths
Other Path Groups
User Ignored Paths
Unconstrained Paths

Design Timing Summary

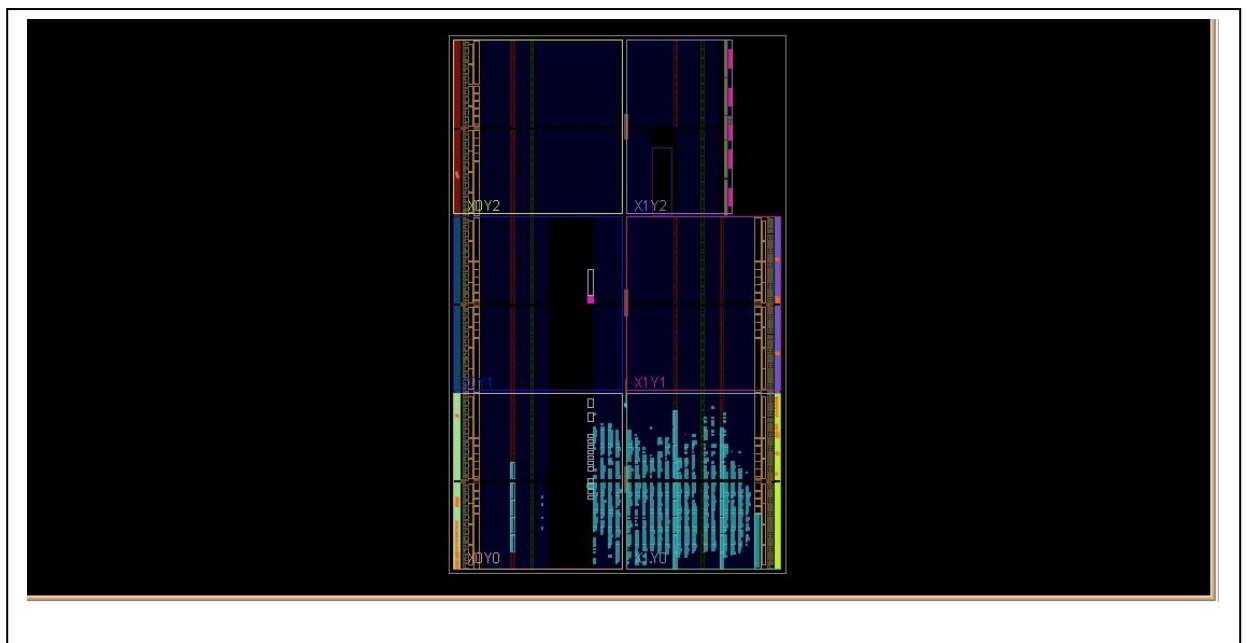
Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 1,653 ns	Worst Hold Slack (WHS): 0,028 ns	Worst Pulse Width Slack (WPWS): 3,000 ns
Total Negative Slack (TNS): 0,000 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 8753	Total Number of Endpoints: 8753	Total Number of Endpoints: 3435

All user specified timing constraints are met.

Timing Summary - impl_1

Td Console | Messages | Log | Reports | Package Pins | Design Runs | Power | **Timing** | Utilization | Methodology | DRC

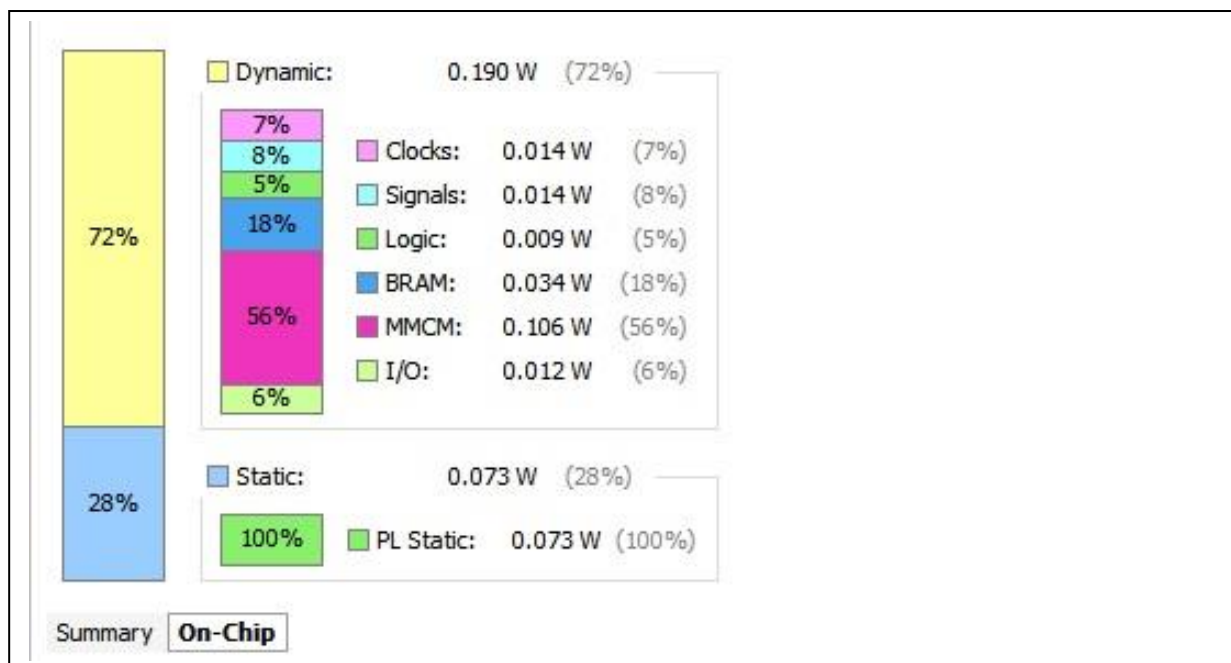
4) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



5) Estimação do consumo de energia após a implementação do circuito:

Potência total:	263 mW
Potência estática:	73 mW
Potência dinâmica:	190 mW

Gráfico de consumo de energia:



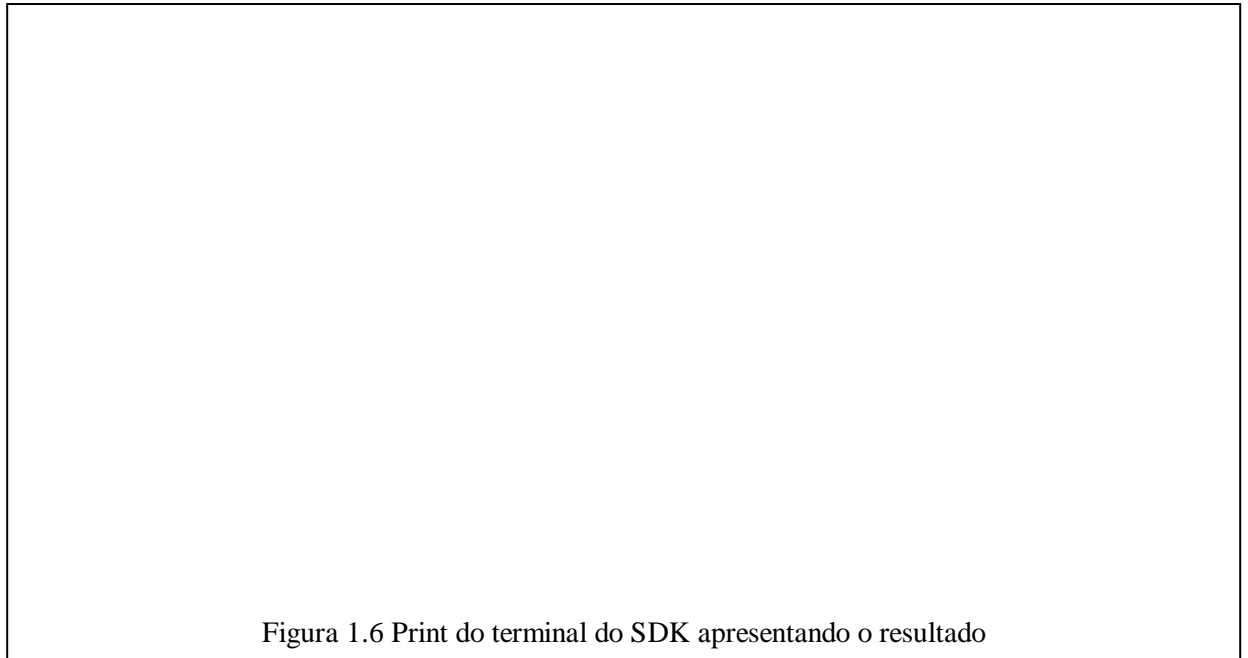


Figura 1.6 Print do terminal do SDK apresentando o resultado

6) Simulação no SDK via terminal.

Exercício 2 (5 pontos). Co-processador RNA

1) Diagrama de blocos (block design) do sistema em chip

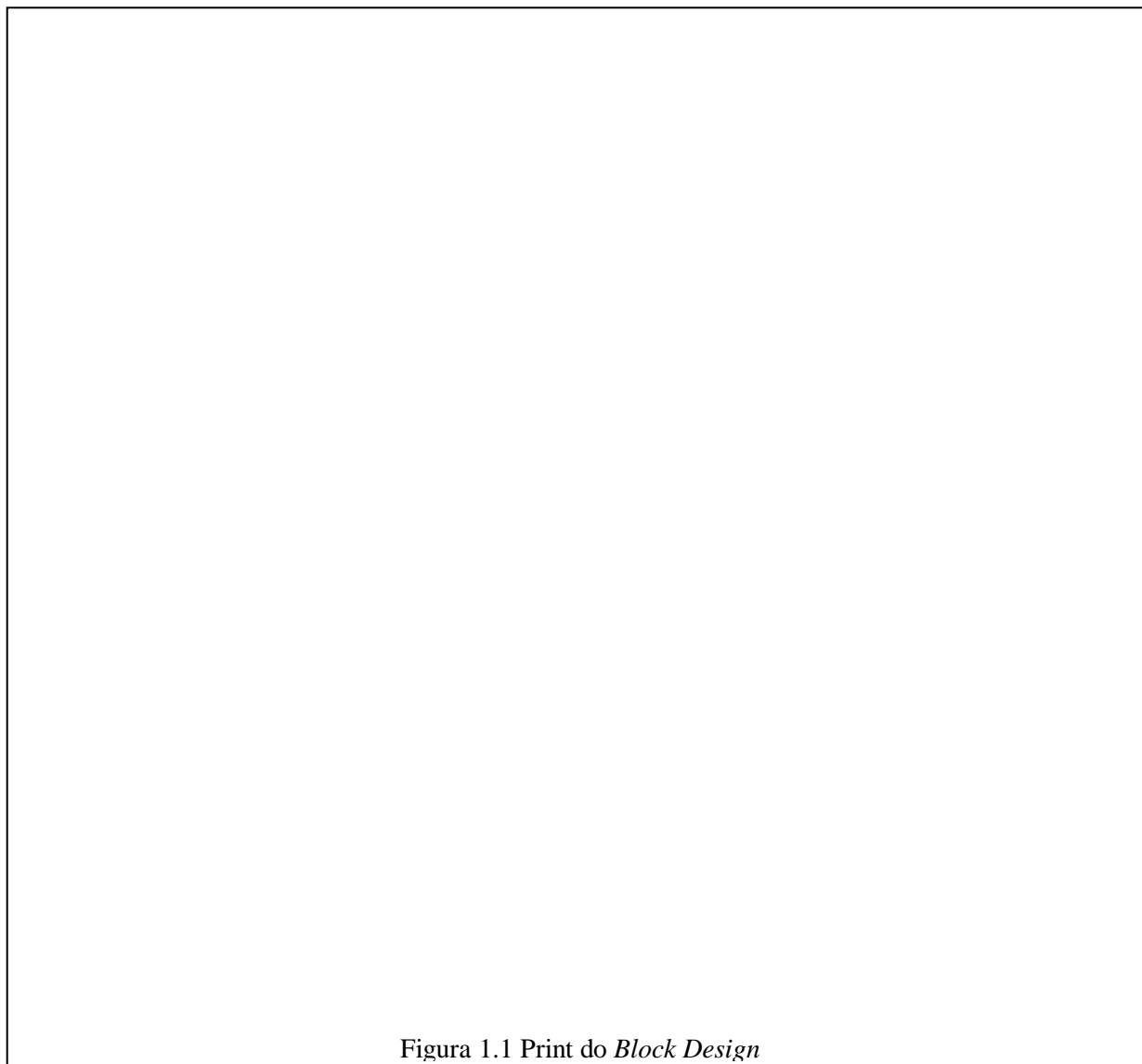


Figura 1.1 Print do *Block Design*

2) Consumo de recursos após implementação (processo *Place and Route* - PAR):

LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)	_____ (____ %)

3) Análise de timing:

Worst negative slack (setup): _____ ns

Worst negative slack (hold) : _____ ns

Frequência máxima de operação do circuito: _____ MHz


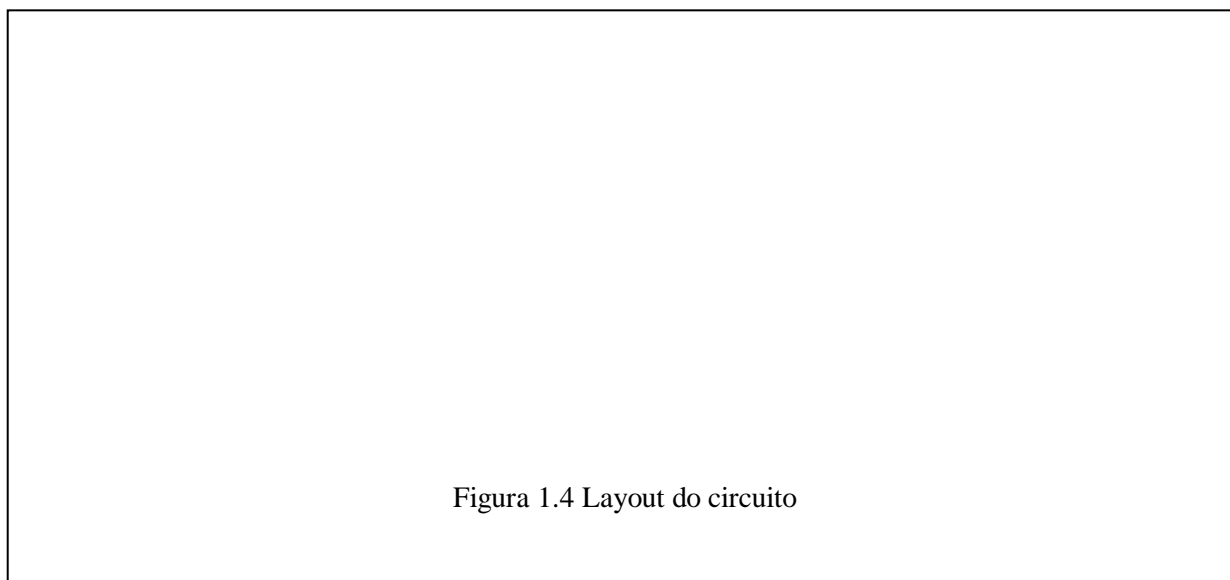


Figura 1.3 Print do timing summary

4) Layout do circuito após a implementação (após processo *Place and Route* – PAR):



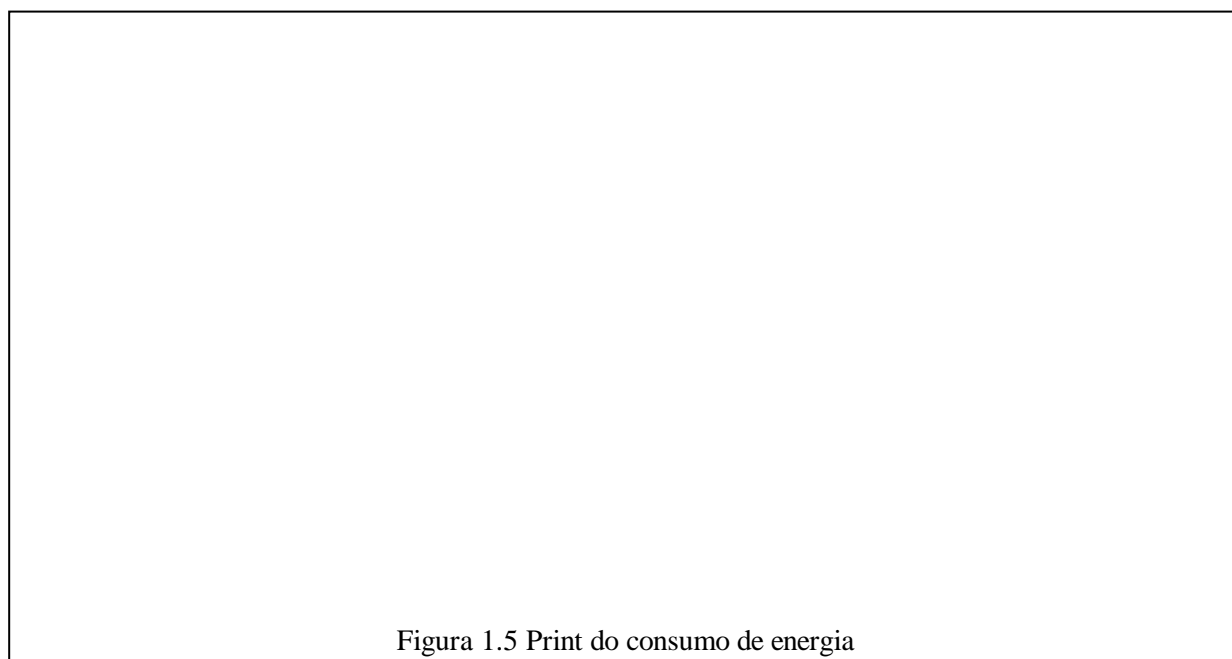
5) Estimação do consumo de energia após a implementação do circuito:

Potência total: _____ (mW)

Potência estática: _____ (mW)

Potência dinâmica: _____ (mW)

Gráfico de consumo de energia:



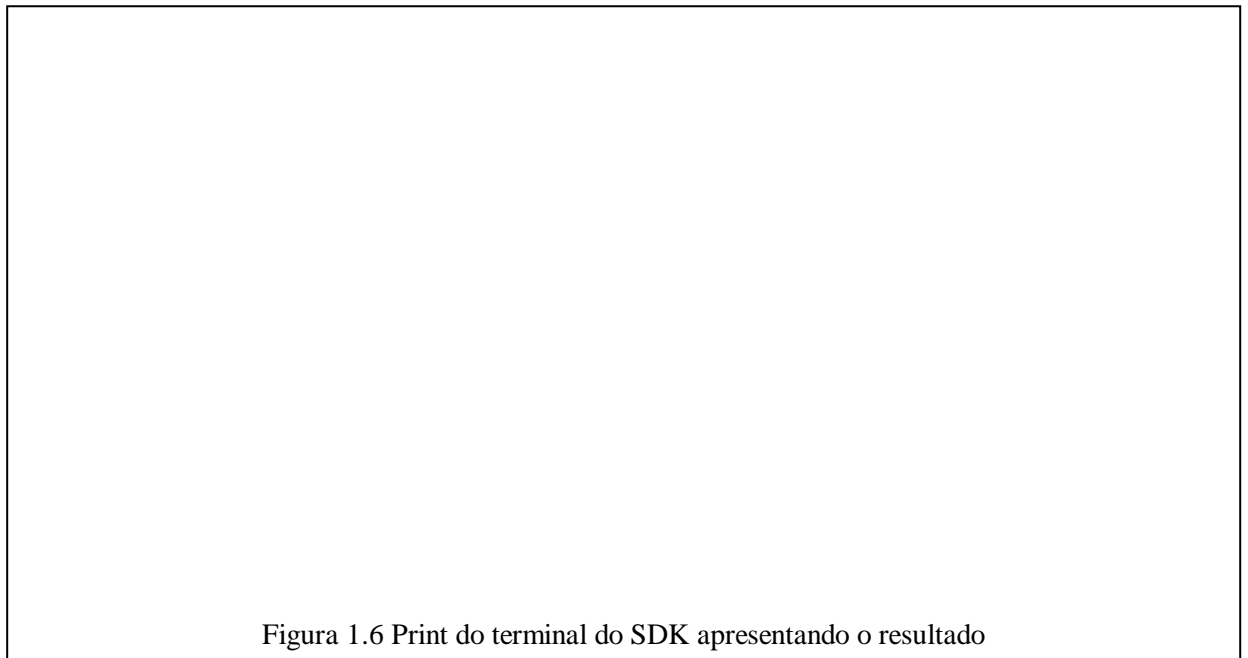


Figura 1.6 Print do terminal do SDK apresentando o resultado

6) Simulação no SDK via terminal.

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2019.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

