

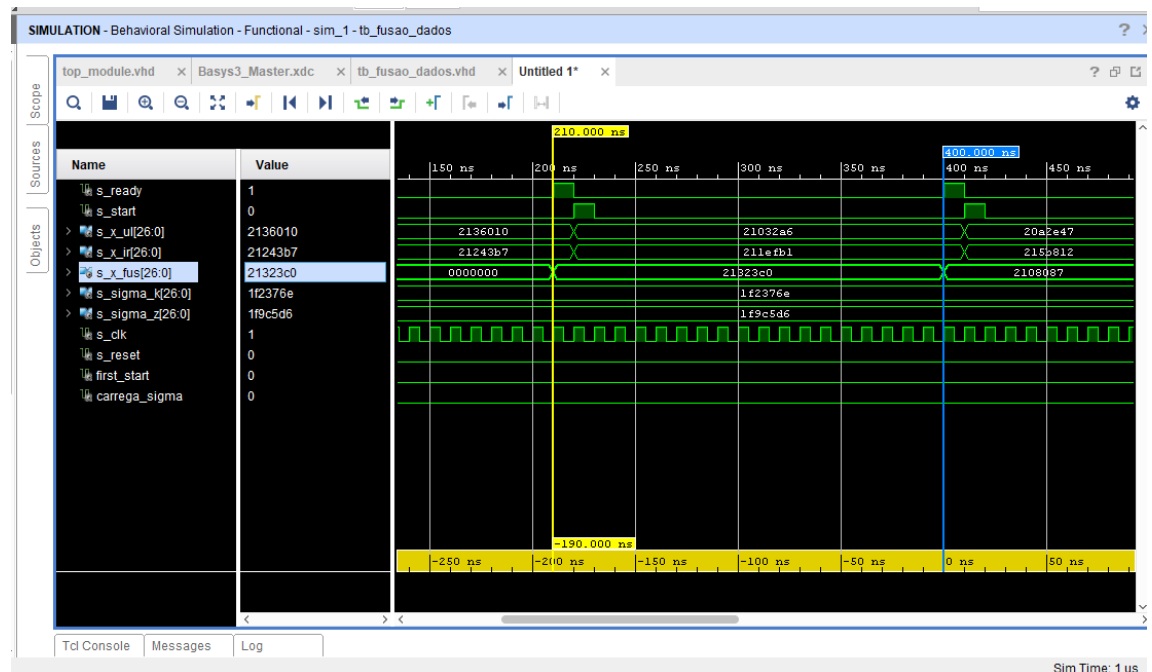
Prova_1

Nome: Hércules Ismael de Abreu Santos

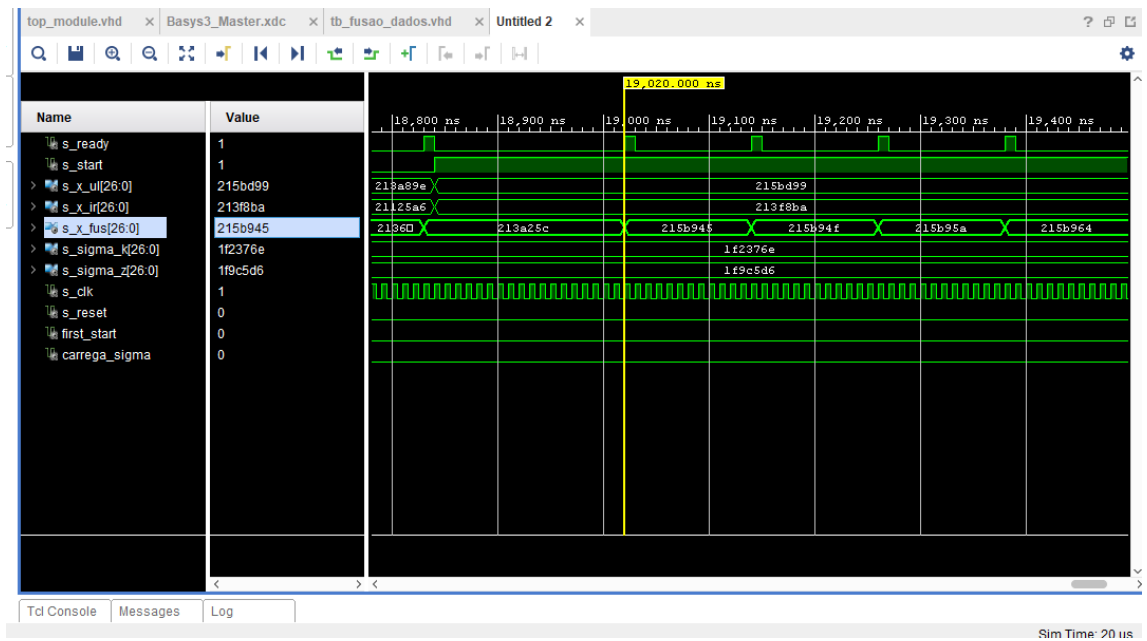
Matrícula: 16/0124450

Respostas

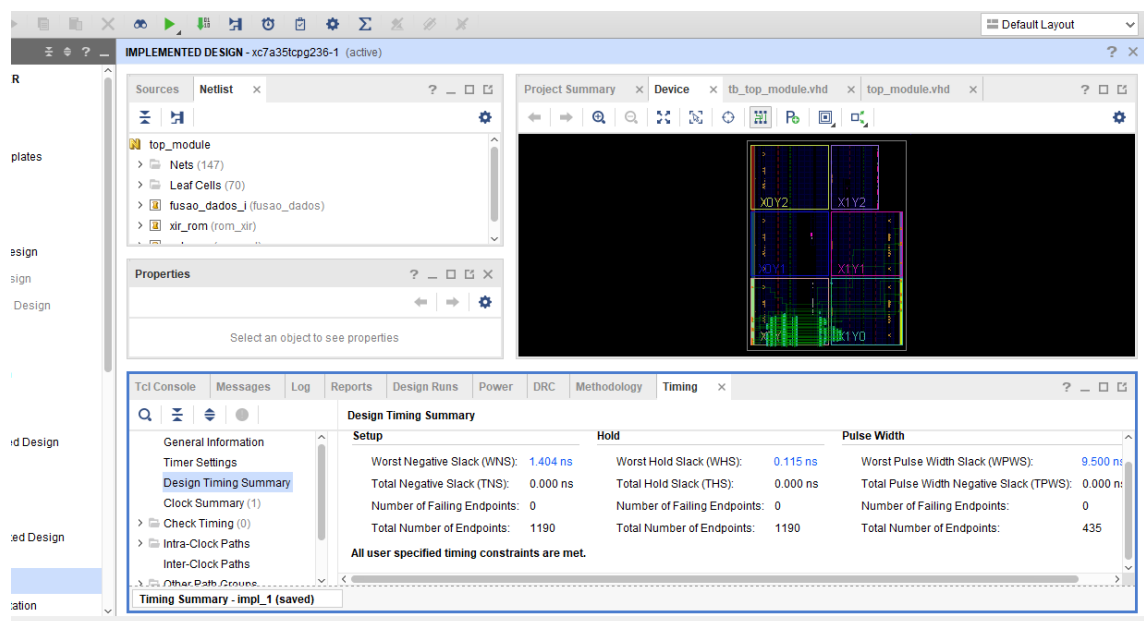
1. Código no repositório
2. Código no repositório
3. -----
4. As imagens abaixo mostram a simulação com entradas produzidas no MATLAB. A primeira saída da solução é apresentada com 210 ns de execução. O intervalo entre o primeiro resultado,e o segundo é de 190 ns, como se pode ver na imagem. A latência portanto é de 190 ns. Já o throughput é de 27 bits para cada 190 ns, ou aproximadamente 142 bits/us.



A segunda imagem mostra o instante em que as últimas entradas são inseridas, gerando a última saída, considerando os 100 estímulos criados no MATLAB. Vemos que o tempo total de execução é de 19,02 us.



5. O report de timing segue abaixo:



A máxima frequência de operação, que foi a utilizada na imagem acima, foi de 50 MHz, considerando-se um output delay de 4 ns, e um input delay de máximo de 2 ns e mínimo de 1 ns.

6. Seguem abaixo as tabelas de consumo de recursos:

28	1. Slice Logic
29	-----
30	
31	+-----+-----+-----+-----+
32	Site Type Used Fixed Available Util%
33	+-----+-----+-----+-----+
34	Slice LUTs 1572 0 20800 7.56
35	LUT as Logic 1572 0 20800 7.56
36	LUT as Memory 0 0 9600 0.00
37	Slice Registers 430 0 41600 1.03
38	Register as Flip Flop 430 0 41600 1.03
39	Register as Latch 0 0 41600 0.00
40	F7 Muxes 0 0 16300 0.00
41	F8 Muxes 0 0 8150 0.00
42	+-----+-----+-----+-----+
43	
44	
45	1.1 Summary of Registers by Type
46	-----
47	
48	+-----+-----+-----+-----+
49	Total Clock Enable Synchronous Asynchronous
50	+-----+-----+-----+-----+
51	0 - - -
52	0 - - Set
53	0 - - Reset
54	0 - Set -
55	0 - Reset -
56	0 Yes - -
57	0 Yes - Set
58	28 Yes - Reset
59	6 Yes Set -
60	396 Yes Reset -
61	+-----+-----+-----+-----+
62	
63	
64	2. Slice Logic Distribution

6	Yes	Set	-
396	Yes	Reset	-

2. Slice Logic Distribution

Site Type	Used	Fixed	Available	Util%
Slice	456	0	8150	5.60
SLICEL	295	0		
SLICEM	161	0		
LUT as Logic	1572	0	20800	7.56
using O5 output only	0			
using O6 output only	1149			
using O5 and O6	423			
LUT as Memory	0	0	9600	0.00
LUT as Distributed RAM	0	0		
LUT as Shift Register	0	0		
LUT Flip Flop Pairs	302	0	20800	1.45
fully used LUT-FF pairs	49			
LUT-FF pairs with one unused LUT output	164			
LUT-FF pairs with one unused Flip Flop	248			
Unique Control Sets	16			

* Note: Review the Control Sets Report for more information regarding control sets.

3. Memory

Site Type	Used	Fixed	Available	Util%
Block RAM Tile	1	0	50	2.00

LUT-FF pairs with one unused LUT output	164			
LUT-FF pairs with one unused Flip Flop	248			
Unique Control Sets	16			

* Note: Review the Control Sets Report for more information regarding control sets.

3. Memory

Site Type	Used	Fixed	Available	Util%
Block RAM Tile	1	0	50	2.00
RAMB36/FIFO*	0	0	50	0.00
RAMB18	2	0	100	2.00
RAMB18E1 only	2			

* Note: Each Block RAM Tile only has one FIFO logic available and therefore can accommodate only one FIFO36E1 or one FIFO18E1. However, if a FIFO18E1 occupies a

4. DSP

Site Type	Used	Fixed	Available	Util%
DSPs	3	0	90	3.33
DSP48E1 only	3			

5. IO and GT Specific

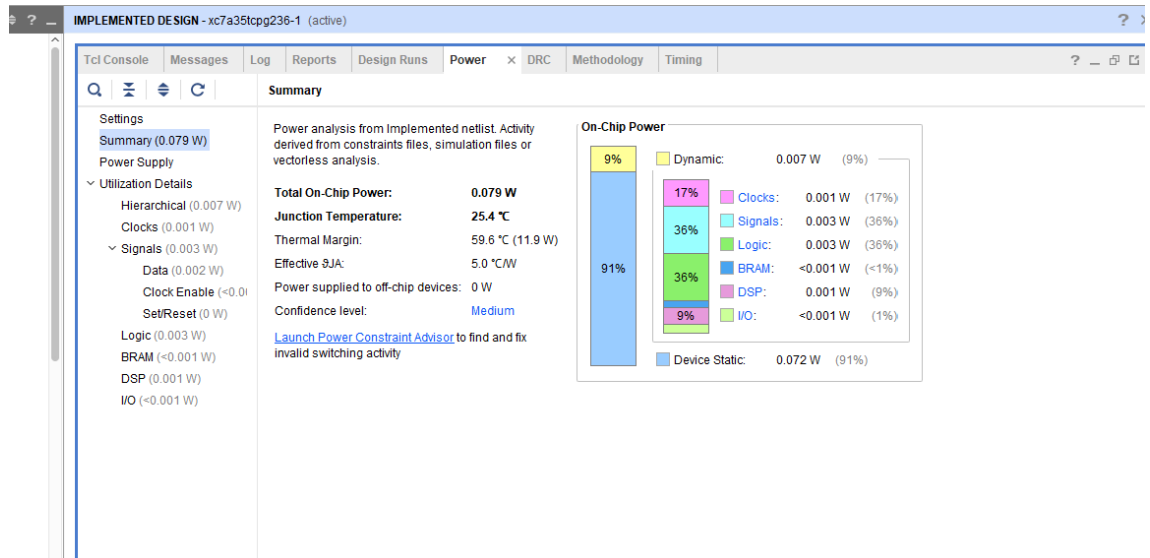
Site Type	Used	Fixed	Available	Util%
-----------	------	-------	-----------	-------

Site Type	Used	Fixed	Available	Util%
DSPs	3	0	90	3.33
DSP40E1 only	3			

5. IO and GT Specific

Site Type	Used	Fixed	Available	Util%
Bonded IOB	20	20	106	18.87
IOB Master Pads	10			
IOB Slave Pads	9			
Bonded IPADs	0	0	10	0.00
Bonded OPADs	0	0	4	0.00
PHY_CONTROL	0	0	5	0.00
PHASER_REF	0	0	5	0.00
OUT_FIFO	0	0	20	0.00
IN_FIFO	0	0	20	0.00
IDELAYCTRL	0	0	5	0.00
IBUFDS	0	0	104	0.00
GTPE2_CHANNEL	0	0	2	0.00
PHASER_OUT/PHASER_OUT_PHY	0	0	20	0.00
PHASER_IN/PHASER_IN_PHY	0	0	20	0.00
IDELAYE2/IDELAYE2_FINEDELAY	0	0	250	0.00
IBUFDS_GTE2	0	0	2	0.00
ILOGIC	0	0	106	0.00
OLOGIC	0	0	106	0.00

7. Abaixo segue o report de consumo de energia:



A potência total consumida é de 0.079 W, a potência dinâmica é de 0.007 W, e a potência estática é de 0.072 W.