

Exámenes

2022-UT2B (2.4,2.5) - Prueba de seguimiento

[Volver a la Lista de Exámenes](#)

Parte 1 de 5 / 2.5 Puntos

Preguntas 1 de 13

0.5 Puntos

Indica cuales de las siguientes afirmaciones son correctas:

- ☐ A. Las instrucciones especulativas pueden generar excepciones durante su ejecución, aunque éstas se tratarán cuando las instrucciones sean confirmadas.
- ☐ B. Una de las ventajas de la especulación hardware es que permite la confirmación de instrucciones fuera de orden.
- ☒ C. A la fase Commit pueden llegar instrucciones especuladas incorrectamente, pero éstas se cancelan.
- ☒ D. Las instrucciones especulativas pueden ejecutarse fuera de orden.

Respuesta correcta: A, D

Preguntas 2 de 13

0.5 Puntos

¿Qué puedes decir de la instrucción que confirma su ejecución en un procesador que aplica planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación ? Marca todas las opciones correctas.

- ☒ A. Que si es una instrucción aritmética, el resultado almacenado en el ROB se copiará en el registro destino y éste se liberará .
- ☒ B. Que es la instrucción más antigua existente en el ROB.
- ☐ C. Que si es una instrucción de almacenamiento, la operación pasará a realizarse en el siguiente ciclo de reloj, si hay un operador de almacenamiento disponible.
- ☐ D. Que si es un salto incorrectamente predicho, se cancelarán todas las instrucciones existentes en el ROB, liberando todas las estaciones de reserva y buffers de escritura y lectura.

Respuesta correcta: B, C

Preguntas 3 de 13

0.5 Puntos

Dada la siguiente secuencia de instrucciones que se ejecuta en procesador con ejecución fuera de orden:

1 2 3 4 5 6 7 8 9

add.d f0, f1, f2 IF I A1 A2 A3 WB ...

add.d f3, f4, f5 IF I

Suponiendo que f4 y f5 están disponibles, indica en qué ciclo de reloj iniciará su ejecución la segunda instrucción para las opciones indicadas:

1. Hay sólo un operador de suma fp no segmentado. Ciclo ☒ 6
2. Hay dos operadores de suma fp. Ciclo ☒ 3
3. Hay sólo un operador de suma fp segmentado. Ciclo ☒ 4

Respuesta correcta: 6, 3, 4

Preguntas 4 de 13

0.5 Puntos

Indica cuáles de las siguientes respuestas son correctas en el contexto de un procesador con gestión dinámica de instrucciones y especulación hardware:

- ☐ A. Las instrucciones de almacenamiento (los stores) confirman su ejecución en la etapa WB.
- ☐ B. Las instrucciones de almacenamiento (los stores) necesitan del valor de dos registros para poderse ejecutar.
- ☒ C. Ninguna instrucción de almacenamiento contenida en el ROB debe cancelarse cuando una instrucción de salto que ha sido incorrectamente predicha llegue a la fase Commit.
- ☒ D. Las instrucciones de almacenamiento escriben en memoria después de ser confirmadas.

Respuesta correcta: B, D

Preguntas 5 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Cuando una instrucción aritmética llega a la fase Commit:

- ✓ A. Se comprueba la marca del registro destino, y si coincide con la de la instrucción, se escribe el resultado de la operación sobre el registro y lo libera.
- ✓ B. Se escribe el resultado de la operación sobre el registro destino y lo libera.
- ✓ C. Se escribe el resultado de la operación sobre el registro destino y si su marca coincide con la de la instrucción, se libera el registro.
- ✓ D. Se difunde por el bus comun de datos el resultado de la operación , escribiéndolo también en el ROB.

Respuesta correcta: C

Parte 2 de 5 / 2.5 Puntos

Preguntas 6 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Los procesadores superescalares buscan reducir el tiempo de ejecución de los programas aumentando las instrucciones lanzadas a ejecución en cada ciclo de reloj.

- ✓ Verdadero
- Falso

Respuesta correcta: Verdadero

Preguntas 7 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Los procesadores VLIW empaquetan varias operaciones en cada instrucción máquina, con el objetivo de reducir el número de instrucciones ejecutadas por los programas.

- ✓ Verdadero
- Falso

Respuesta correcta: Verdadero

Preguntas 8 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Los procesadores VLIW son compatibles a nivel binario entre sí, siempre que empaqueten el mismo número de operaciones en cada instrucción máquina.
- ✓ B. Los procesadores VLIW codifican varias operaciones en una sola instrucción y el hardware se encarga de gestionarlas dinámicamente.
- ✓ C. Si las operaciones que empaqueta un procesador VLIW están inspiradas en las instrucciones de un procesador convencional dado, ambos serán compatibles a nivel binario.
- ✓ D. Los procesadores VLIW ofrecen una mejora de prestaciones que está íntimamente relacionada con la calidad del compilador utilizado.

Respuesta correcta: D

Preguntas 9 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Los procesadores supersegmentados reducen el tiempo de ejecución de los programas sin modificar las etapas del pipeline de instrucciones, pero aumentando la frecuencia de reloj al que dichas etapas funcionan.

- ✗ Verdadero
Falso

Respuesta correcta: Falso

Preguntas 10 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

Ciclo 0

A
A
A

Ciclo 1

A

A

A

Ciclo 0

Ciclo 1

B

B

B

B

B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano fino. Supón que comienza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba. **¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

Ciclo 0

Ciclo 1

Ciclo 2

Ciclo 3

✓A

✓-

✓-

✓-

✓A

✓-

✓-

✓B

✓A

✓B

✓A

✓B

✓A

✓B

✓A

✓B

Respuesta correcta: A, -, -, -, A, -, -, B, A, B, A, B, A, B, A, B

Parte 3 de 5 / 1.5 Puntos

Preguntas 11 de 13

1.5 Puntos

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
loop	<i>l.d f2,%disp[x](r2)</i>	IF	I	AC	L1	L2	L3	WB	C																				
4100	<i>l.d f4,%disp[y](r2)</i>	IF	I	AC	L1	L2	L3	WB	C																				
4104	<i>mul.d f2,f2,f0</i>	IF	I						M1	M2	M3	M4	M5	M6	WB	C													
4108	<i>mul.d f4,f4,f1</i>	IF	I						M1	M2	M3	M4	M5	M6	WB	C													
4112	<i>add.d f6,f3,f2</i>		IF	I													A1	A2	A3	A4	WB	C							
4116	<i>add.d f6,f6,f4</i>		IF	I																	A1	A2	A3	A4	WB	C			
4120	<i>s.d f6,%disp[y](r2)</i>		IF	I	AC																					C	L1	L2	L3
4124	<i>dadd r2,r2,8</i>		IF	I	E1	WB																				C			
4128	<i>dsub r1,r1,1</i>			IF	I	E1	WB																			C			
4132	<i>bnez r1,loop</i>			IF	I			E1	WB																		C		
4136	<i>nop</i>			IF	X																								
4140	<i>nop</i>			IF	X																								
loop	<i>l.d f2,%disp[x](r2)</i>				IF	I	AC	L1	L2	L3	WB																C		
4100	<i>l.d f4,%disp[y](r2)</i>				IF	I	AC	L1	L2	L3	WB																C		
4104	<i>mul.d f2,f2,f0</i>				IF	I						M1	M2	M3	M4	M5	M6	WB								C			
4108	<i>mul.d f4,f4,f1</i>				IF	I						M1	M2	M3	M4	M5	M6	WB									C		

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

1. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta? ✓ 3 ciclos
2. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla? ✓ 26 ciclos
3. Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (**expresado con 2 decimales y utilizando el punto decimal**) resultante de procesar unos vectores X e Y de 64 elementos cada uno? El CPI promedio será de ✓ 0.37 ciclos/instrucción.

Respuesta correcta: 3, 26, 0.37|0.372

Parte 4 de 5 / 2.0 Puntos

Preguntas 12 de 13

2.0 Puntos

Se lanza una aplicación en un procesador con ejecución fuera de orden y especulación. El resultado de los primeros 11 ciclos de ejecución es el siguiente:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14
.text	l.d f0,a(r0)	IF	I	AC	L1	L2	WB	C							
salto	l.d f2,x(r1)		IF	I	AC		L1	L2	WB	C					
8	mul.d f4,f2,f0			IF	I					M1	M2	M3			
12	l.d f6,y(r1)				IF	I	AC		L1	L2	WB				
16	sub.d f4,f4,f6					IF	I								
20	s.d f4,z(r1)						IF	I	AC						
24	dsub r1,r1,#8							IF	I	E1	-	WB			
28	bnez r1,salto								IF	I					
salto	l.d f2,x(r1)									IF	I				
8	mul.d f4,f2,f0										IF	I			
12	l.d f6,y(r1)											IF			

Completa los ciclos 12, 13 y 14 para cada instrucción, a partir de la primera que no ha realizado la etapa Commit. Considera que el operador de multiplicación/división está segmentado y tiene una latencia de 4 ciclos. Para resolver el ejercicio, completa la tabla siguiente. **Si una instrucción no realiza ninguna actividad en un ciclo, márcalo con un guión (-). En otras palabras, rellena todas las casillas de la tabla.**

Instrucción	11	12	13	14
ld f0,a(r0)				
l.d f2,x(r1)				
mul.d f4,f2,f0	M3	✓ <u>M4</u>	✓ <u>WB</u>	✓ <u>C</u>
l.d f6,y(r1)		✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
sub.d f4,f4,f6		✓ <u>-</u>	✓ <u>-</u>	✗ <u>E1</u>
s.d f4, z(r1)		✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
dsub r1,r1,#8	WB	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
bnez r1,salto		✗ <u>EX</u>	✗ <u>WB</u>	✗ <u>-</u>
l.d f2,x(r1)		✓ <u>AC</u>	✓ <u>L1</u>	✓ <u>L2</u>
mul.d f4,f2,f0	I	✗ <u>M1</u>	✗ <u>M2</u>	✗ <u>M3</u>
l.d f6,y(r1)	IF	✓ <u>I</u>	✓ <u>AC</u>	✗ <u>L1</u>

Respuesta correcta: M4, WB, C, -, -, -, -, A1, -, -, -, -, E1, -, WB, AC, L1, L2, -, -, -, I, AC, -

Parte 5 de 5 / 1.5 Puntos

Preguntas 13 de 13

1.5 Puntos

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12
loop	l.d f2,x(r1)	IF	I	AC	L1	L2	WB	C					
4100	l.d f3,y(r1)	IF	I	AC	L1	L2	WB	C					
4104	mul.d f3,f3,f2		IF	I				M1	M2	M3	WB	C	
4108	add.d f3,f3,f1		IF	I								A1	A2
4112	s.d f3,y(r1)			IF	I	AC							
4116	mul.d f4,f0,f2			IF	I			M1	M2	M3	WB		
4120	s.d f4,x(r1)				IF	I	AC						
4124	dadd r1,r1,8				IF	I	E1	WB					
4128	bne r1,r4,loop					IF	I		E1	WB			
end	trap 0					IF	X						
loop	l.d f2,x(r1)						IF	I	AC	L1	L2	WB	
4100	l.d f3,y(r1)						IF	I	AC	L1	L2	WB	
4104	mul.d f3,f3,f2							IF	I				M1
4108	add.d f3,f3,f1							IF	I				
4112	s.d f3,y(r1)								IF	I	AC		
4116	mul.d f4,f0,f2								IF	I			M1
4120	s.d f4,x(r1)									IF	I	AC	
4124	dadd r1,r1,8									IF	I	E1	WB
4128	bne r1,r4,loop										IF	I	
end	trap 0										IF	X	
loop	l.d f2,x(r1)											IF	I
4100	l.d f3,y(r1)											IF	I
4104	mul.d f3,f3,f2												IF
4108	add.d f3,f3,f1												IF

responda a las siguientes preguntas sobre el estado del procesador al final del ciclo 6:

¿Cuántas entradas en el ROB están activas? ☒ 9

¿Cuántos buffers de lectura están ocupados? ☒ 2

¿Cuántos buffers de escritura están ocupados? ☒ 2

¿Cuántos registros de coma flotante tienen una marca activa? ☒ 3

Respuesta correcta: 9, 0, 2, 3

