

Exámenes

UT3 Prueba seguimiento (Castellano)

[Volver a la Lista de Exámenes](#)

Parte 1 de 7 / 1.5 Puntos

Preguntas 1 de 12

0.75 Puntos

Elige **TODAS** las afirmaciones correctas. Un sistema incorpora una única cache de correspondencia directa, write-back, write allocate:

- ☐ A. Ante un fallo en escritura se escribe en MP y después se trae el bloque a la cache.
- ☐ B. Se reduce el número de bloques escritos en la cache con respecto a tener política write-through.
- ☒ C. Se reduce el número de bloques escritos en memoria principal (MP) con respecto a tener política write-through.
- ☒ D. Ante un fallo en escritura, primero se trae el bloque a la cache y después se escribe sólo en la cache.

Respuesta correcta: C, D

Preguntas 2 de 12

0.75 Puntos

¿Cuáles de los siguientes enunciados sobre las políticas de escritura en cache son **CIERTOS**? (marca todas las respuestas correctas)

- ☐ A. Con la política *Write-back* sólo se escribe en un nivel de cache si el bloque ya está presente en dicho nivel.
- ☒ B. Con la política *Write-back* la memoria principal sólo está completamente actualizada cuando no hay bloques *sucios* en los distintos niveles de cache.

- ✓ C. La estrategia *Write allocate* trae un bloque a una cache siempre que se intenta escribir en un bloque que no está presente en la cache.
- D. Con la estrategia *Write through* cuando un bloque no está en cache no se trae desde los niveles inferiores ni se produce ningún reemplazamiento.

Respuesta correcta: B, C

Parte 2 de 7 / 2.25 Puntos

Preguntas 3 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Indica la afirmación correcta:

- ✓ A. La técnica *Critical Word First* permite reducir el componente de la latencia (L) de la penalización de fallo.
- ✓ B. La penalización de fallo incluye, en caso de *Early Restart*, la latencia de acceso más el tiempo de transferencia de la primera palabra.
- ✓ C. La penalización de fallo incluye, en caso de *Early Restart*, la latencia de memoria más un tiempo de transferencia de bloque variable.
- ✓ D. La técnica *Critical Word First* transfiere primero la palabra con la dirección de menor peso dentro del bloque.

Respuesta correcta: C

Preguntas 4 de 12

0.75 Puntos

Con el objetivo de mejorar la tasa de fallos se puede ajustar la geometría de la cache para reducir los fallos de arranque, de conflicto y de capacidad.

- Cuando aumentamos el tamaño de bloque, conseguimos reducir los fallos de ✓arranque , pero pueden aumentar los fallos de ✓conflicto y de ✓capacidad .
- Cuando aumentamos el número de vías, conseguimos reducir los fallos de ✓conflicto pero puede aumentar el tiempo de ✓acierto .
- Cuando aumentamos el tamaño de la cache, conseguimos reducir los fallos de ✓capacidad pero puede aumentar el tiempo de ✓acierto .

Respuesta correcta: arranque, capacidad | conflicto, capacidad | conflicto, conflicto, acierto | acceso, capacidad, acceso | acierto

Preguntas 5 de 12

0.75 Puntos

Indica **TODAS** las opciones correctas

- ✓ A. En la técnica *Early Restart* el orden de las palabras de un bloque no se ve alterado al transferirse.
- B. La reducción del tiempo de transferencia es idéntico en ambas técnicas: *Early Restart* y *Critical Word First*.
- C. En la técnica *Critical Word First* se accede al bloque normalmente, pero el procesador continua en cuanto obtiene la palabra crítica.
- ✓ D. En las técnicas *Early Restart* y *Critical Word First* el procesador continua con la ejecución en cuanto se le entrega la palabra solicitada, mientras se transfiere el resto del bloque.

Respuesta correcta: A, D

Parte 3 de 7 / 2.25 Puntos

Preguntas 6 de 12

0.75 Puntos

Respecto a los módulos de memoria principal, la aparición de las memorias ✓ DDR tuvo como principal contribución la transferencia de datos en los dos flancos de la señal de reloj.

Respuesta correcta: DDR

Preguntas 7 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Indica la afirmación correcta:

- ✓ A. Cada módulo de DRAM puede tener tantas filas abiertas como ranks.
- ✓ B. Cada módulo de DRAM solo puede tener abierta una línea en un momento dado.
- ✓ C. Cada módulo de DRAM puede tener abiertas tantas filas como canales tenga el controlador.
- ✓ D. Cada módulo de DRAM puede tener tantas filas abiertas como bancos.

Respuesta correcta: D

Preguntas 8 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

En el acceso a memoria principal con memorias del tipo SDRAM DDR el controlador debe enviar al módulo:

- ✓ A. La dirección de la fila y de la primera columna a acceder.
- ✓ B. La dirección de la fila y de todas las columnas a acceder.
- ✓ C. La dirección de todas las filas y de todas las columnas a acceder.
- ✓ D. La dirección de todas las filas y de la primera columna a acceder.

Respuesta correcta: A

Parte 4 de 7 / 0.75 Puntos

Preguntas 9 de 12

0.75 Puntos

En un sistema con cache L1 de instrucciones y datos separadas ejecuta un programa con un 19% de instrucciones de acceso a memoria. Si la tasa de fallos de la cache de instrucciones es $TF_I = 0.04$ y de la cache de datos es $TF_D = 0.09$, la tasa de fallos unificada de la cache L1 será $TF_{I+D} = \checkmark 0.0479$.

Respuesta correcta: 0.048

Parte 5 de 7 / 0.75 Puntos

Preguntas 10 de 12

0.75 Puntos

Un programa se ejecuta sobre un sistema con dos niveles de cache. La tasa de fallos de primer nivel TF_{L1} es 0.06 y la tasa de fallos global TF_{L1+L2} es 0.0294. Así pues, la tasa de fallos local de L2 TF_{L2} será 0.49 . ✓

Respuesta correcta: 0.49**Parte 6 de 7 / 0.75 Puntos**

Preguntas 11 de 12

0.75 Puntos

Dada una memoria SDRAM DDR2 con los parámetros de temporización 8-8-8-25, su latencia cuando está abierta la fila incorrecta sería $L = \underline{24}$ ciclos. ✓

Respuesta correcta: 24**Parte 7 de 7 - Ejercicios UT3 / 1.75 Puntos**

Preguntas 12 de 12

1.75 Puntos

Un sistema con un procesador a 2 GHz con dos niveles de cache obtiene una tasa de fallos media en el primer nivel L1 de 0.08 y de 0.44 en el segundo nivel L2. El tiempo de acierto en la cache L1 es $TA_{L1} = 1$ ciclo y en la cache L2 $TA_{L2} = 5$ ciclos. El sistema tiene una memoria principal de tipo DDR a 800 MHz con una latencia media $L = 17$ ciclos y un tamaño de bloque $B = 32$ bytes.

En ese caso, la penalización por fallos de la cache L2 será $PF_{L2} = \underline{\times 21}$ ciclos de **bus**.

En ese caso, la penalización por fallos de la cache L1 será $PF_{L1} = \underline{\times 28.1}$ ciclos de **cpu**.

Si un programa realiza 150 millones de accesos a memoria, indica cuál sería el tiempo extra de memoria en un procesador con ejecución en orden.

$T_{\text{extra_mem}} = \times 35$ ms. (milisegundos con dos decimales).

Respuesta correcta: 19, 25.9, 155.4