

Exàmens

2022-UT2A (2.1,2.2,2.3) Prueba de seguimiento (Castellano)

[Torna a la llista d'exàmens](#)

Part 1 de 6 / 3.5 Punts

Pregunta 1 de 13

0.7 Punts. Punts descomptats en cas de resposta incorrecta: 0.21

Una unidad segmentada se compone de 4 etapas de retardos 20ns,20ns,11ns,13ns. Los registros intermedios tienen un retardo de 2ns y el desfase del reloj es como máximo de 1ns. El periodo de reloj mínimo debería ser:

- ✓ A. 23 ns
- ✓ B. 20 ns
- ✓ C. 21 ns
- ✓ D. 64 ns

Clau de respostes: A

Pregunta 2 de 13

0.7 Punts. Punts descomptats en cas de resposta incorrecta: 0.21

Si un procesador soporta un comportamiento preciso frente a las excepciones:

- ✓ A. Todas las demás respuestas son correctas.
- ✓ B. Las instrucciones anteriores a la excepción se cancelan.
- ✓ C. Se puede identificar la instrucción causante de la excepción.
- ✓ D. Las instrucciones posteriores a la excepción terminan correctamente.

Clau de respostes: C

Pregunta 3 de 13

0.7 Punts

En el procesador MIPS segmentado, las instrucciones de carga insertan 1 ciclo de parada si la instrucción siguiente consume en su etapa EX el dato leído de la memoria. Si el compilador, en esos casos, coloca instrucciones NOP entre ambas instrucciones, el tiempo de ejecución del programa (aumenta/disminuye/no cambia) ✓ no cambia

Clau de respostes: no cambia

Pregunta 4 de 13

0.7 Punts. Punts descomptats en cas de resposta incorrecta: 0.21

Indica cuál de los siguientes casos se ocasiona un riesgo estructural:


- ✓ A. Una instrucción accede a memoria para leer o escribir un dato y el procesador tiene una memoria cache unificada de datos e instrucciones.
- ✓ B. Dos instrucciones acceden en el mismo ciclo de reloj al banco de registros, una para realizar una escritura de un resultado y la otra para leer operandos. El banco de registros tiene un puerto de lectura por operando y un puerto de escritura.
- ✓ C. Una instrucción accede a memoria para leer o escribir un dato y el procesador tiene memorias cache separadas de datos e instrucciones.
- ✓ D. Dos instrucciones aritméticas calculan su resultado en la misma etapa en ciclos consecutivos.

Clau de respostes: A

Pregunta 5 de 13

0.7 Punts

En el procesador MIPS segmentado, las instrucciones de carga insertan 1 ciclo de parada si la instrucción siguiente consume en su etapa EX el dato leído de la memoria. Si el compilador, en esos casos, coloca instrucciones NOP entre ambas instrucciones, el valor del CPI obtenido por el programa

(aumenta/disminuye/no cambia)  no cambia

Clau de respostes: disminuye

Part 2 de 6 / 2.1 Punts

Pregunta 6 de 13



0.7 Punts

Dado el fragmento de código MIPS que se muestra a continuación:

```
1 bnez r1, loop
2 l.d f0, 100(r10)
3 add.d f4, f0, f2
4 s.d f4, 100(r10)
5 l.d f0, 200(r10)
6 sub.d f4, f0, f3
7 s.d f4, 200(r10)
```

relaciona cada par de instrucciones con un tipo de dependencia:

- A. i1 y i6
- B. i2 y i3
- C. i3 y i6
- D. i4 y i6

- | | | |
|---|---|---------------------------|
|  | A | 1. Dependencia de datos |
|  | A | 2. Antidependencia |
| ✓ | C | 3. Dependencia de salida |
| ✓ | A | 4. Dependencia de control |

Clau de respostes: 1:B, 2:D, 3:C, 4:A

Pregunta 7 de 13

0.7 Punts. Punts descomptats en cas de resposta incorrecta: 0.21

En el procesador MIPS con operaciones multiciclo:

- ✓ A. Todas las demás respuestas son correctas.
- ✓ B. Se producen riesgos estructurales por escritura simultánea en el banco de registros por parte de dos o más instrucciones multiciclo de coma flotante.

- ✓ C. Se producen riesgos estructurales por la ejecución simultánea de dos instrucciones que escriben en bancos de registros distintos.
- ✓ D. Se producen riesgos estructurales por emplear operadores multiciclo segmentados.

Clau de respostes: B

Pregunta 8 de 13

0.7 Punts. Punts descomptats en cas de resposta incorrecta: 0.21

Indica el número de ciclos de parada y el cortocircuito que aplicaría el procesador MIPS segmentado para resolver los riesgos de datos generados por la secuencia de instrucciones mostrada. Considera que las latencias del multiplicador y del sumador son 7 y 4, respectivamente:

```
mul.d f0, f1, f2
```

```
add.d f0, f0, f3
```

- ✓ A. 0 stalls, WBaA1
- ✓ B. 7 stalls, WBaA1
- ✓ C. 6 stalls, WBaA1
- ✓ D. 6 stalls, M7aA1

Clau de respostes: C

Part 3 de 6 / 1.4 Punts

Pregunta 9 de 13

0.7 Punts. Punts descomptats en cas de resposta incorrecta: 0.21

Indica cual de las siguientes afirmaciones es CIERTA:

- ✓ A. Un predictor de saltos de dos bits acierta el doble de veces que un predictor de un bit.
- ✓ B. Un predictor de saltos actualiza el contador (estado) en el momento de hacer la predicción.

- ✓ C. Un predictor de saltos de dos bits con histéresis, después de dos saltos consecutivos no efectivos de la misma instrucción predecirá salto no efectivo para esa instrucción.
- ✓ D. Un predictor de saltos de dos bits con saturación predice salto efectivo solamente cuando el contador satura.

Clau de respostes: C

Pregunta 10 de 13

0.7 Punts. Punts descomptats en cas de resposta incorrecta: 0.21

Un predictor de dos niveles de tipo gselect con dos bits de historia global, obtiene la predicción de una instrucción de salto:

- ✓ A. necesita dos tablas que almacenan predicciones de 2 bits.
- ✓ B. teniendo en cuenta únicamente el comportamiento del salto en cuestión
- ✓ C. teniendo en cuenta el comportamiento del salto en cuestión y de la última instrucción de salto ejecutada
- ✓ D. teniendo en cuenta el comportamiento del salto en cuestión y de las dos últimas instrucciones de salto ejecutadas

Clau de respostes: D

Part 4 de 6 / 1.0 Punts

Pregunta 11 de 13

1.0 Punts


Teniendo en cuenta la ruta de datos del procesador MIPS segmentada en cinco etapas (IF: etapa 1 del ciclo de instrucción, ID: etapa 2, EX: etapa 3, M: etapa 4, WB: etapa 5), que aplica todos los cortocircuitos posibles para resolver conflictos de datos, que resuelve los conflictos de control mediante la técnica *predict-not-taken*, que calcula la condición de salto en la etapa 2 del ciclo de instrucción y que modifica el PC en la etapa 2, y que no tiene ningún conflicto estructural, calcula el CPI para un alto número de iteraciones del bucle en el siguiente código:

```
loop: ld r3, 0(r2)
      ld r4, 0(r3)
      daddi r2, r2, 8
```

```

dadd r1, r1, r4
sd r4, 1024(r3)
daddi r10, r10, -1
bnez r10, loop
sd r1, 0(r11)
<sgte+1>
<sgte+2>
<sgte+3>

```

CPI =  1.71

Clau de respostes: 1.43

Part 5 de 6 / 1.0 Punts

Pregunta 12 de 13

1.0 Punts


Sea el siguiente código que se ejecuta en un procesador MIPS:

```

loop:      l.d f0, 0(r1)
           mul.d f1, f0, f0
           s.d f1, 0(r2)
           dadd r1, r1, 8
           dadd r3, r3, -8
           dadd r2, r2, 8
           bnez r3, loop

```

El procesador resuelve los riesgos de datos mediante ciclos de parada y cortocircuitos, mientras que los riesgos de control los resuelve con la técnica *predict-not-taken*, actualizando el PC en la etapa ID. El procesador dispone de un multiplicador segmentado multiciclo con Tev=5.

Aplica la técnica de loop unrolling con el fin de reducir al máximo los ciclos de parada por riesgos de datos, así como incrementar al mínimo el número de instrucciones. ¿Cuántas iteraciones del bucle original deberían incluirse en el nuevo cuerpo del bucle?  5

Clau de respostes: 4

Part 6 de 6 / 1.0 Punts

Pregunta 13 de 13

1.0 Punts

Un procesador dispone de un predictor de saltos BTB que obtiene la predicción en la primera fase del ciclo de instrucción. La condición, dirección de salto y la escritura del PC se realiza en la fase 3 del ciclo de instrucción. Sabiendo que la probabilidad de que un salto se encuentre en la tabla es del 88%, los saltos son efectivos en el 81% de los casos, y que el predictor acierta en un 90%, calcula el CPI medio de las instrucciones de salto: ~~1.46~~

Clau de respostes: 1.37