

Práctica 8. Entregable

CONFIGURACIÓN Y PRESTACIONES DE LOS MÓDULOS DE MEMORIA

Nombre y apellidos: Ismael Fernández Herreruela

GRUPO: B

Ejercicios propuestos: Obtención de las características de los módulos de memoria SDRAM

Información proporcionada por el programa CPU-Z para el computador ejemplo bajo la pestaña SPD.

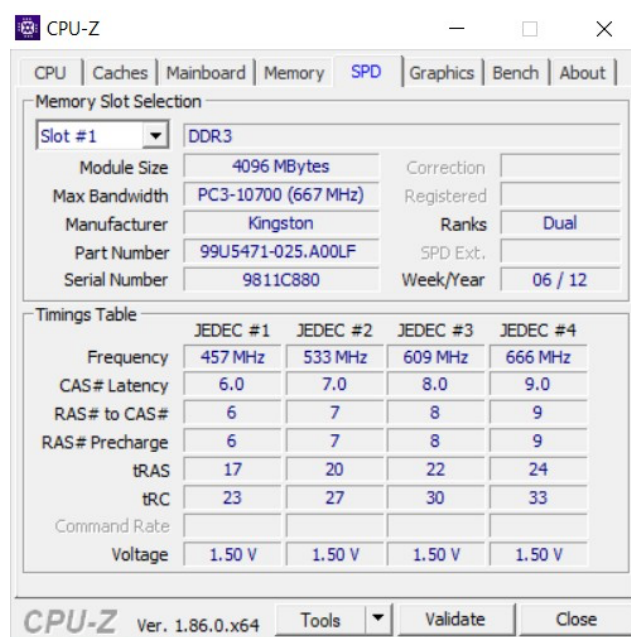


Figura 3. Características de los módulos de memoria proporcionadas por el fabricante

Parámetros temporales de la memoria del computador ejemplo:

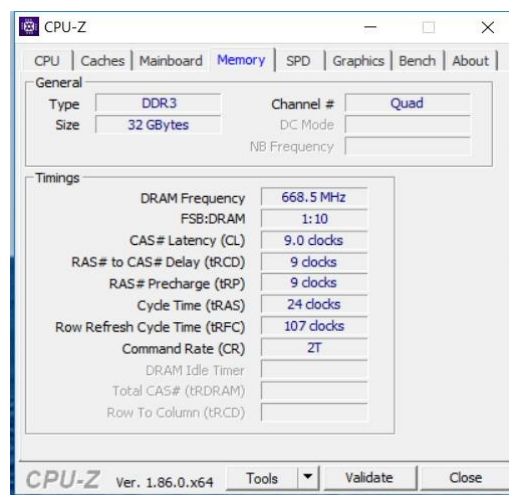


Figura 4. Principales parámetros temporales de los módulos de memoria en función de su frecuencia de trabajo

PARTE I. Análisis de la configuración de memoria del equipo ejemplo

1. Desde los datos proporcionados por la hoja de especificaciones de los módulos (archivo kvr1333d3n9_4g.pdf) y el programa CPU-Z (Figuras 3 y 4) rellénese la siguiente tabla. Recuérdese que la figura 3 muestra información solo de un *slot*, pero existen otros 7 con idénticas características.

Información sobre la capacidad y organización de los módulos de memoria

Número total de módulos DIMM	8
Tamaño de los módulos DIMM que forman la memoria <i>Expresado en MB</i>	4096 MB
Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	32 GB
Número de canales de memoria	4
Capacidad en palabras x tamaño_palabra de los módulos DIMM	512 MB x 64 bits
Número de filas de chips en cada módulo	2
Capacidad de los chips de memoria de los módulos <i>(expresada en palabras x tamaño_palabra)</i>	256 MB x 8 bits
Número total de chips de memoria contenidos en un módulo	16
Tipo de chips de memoria SDRAM que se utilizan <i>(DDR-xxxx, DDR2-xxxx, DDR3-xxxx, DDR4-xxxx)</i>	DDR3
Nomenclatura estándar de los módulos empleados <i>(PC-xx00, PC2-xx00, PC3-xxx00, PC4-xxx00)</i>	PC3-10700

Información sobre frecuencia de trabajo y ancho de banda de los módulos

Frecuencia de reloj máxima a la que pueden trabajar los buses externos de los módulos de memoria	667 MHz
Tasa máxima de transferencia de los módulos (palabras que se transfieren por segundo) <i>Expresada en millones de transferencias por segundo (MT/s)</i>	1333 MT/s
Ancho de banda pico de los módulos <i>Expresado en MB/s</i>	10664 MB/s
Frecuencia de reloj a la que trabajan los buses externos de los módulos en el equipo en que se ha ejecutado CPU-Z	668,5 MHz
Ancho de banda pico de los módulos en el equipo en que se ha ejecutado CPU-Z <i>Expresado en MB/s</i>	10664 MB/s

2. En la hoja de especificaciones (kvr1333d3n9_4g.pdf) se indica que los chips de memoria de los módulos son de tipo DDR3-1333 ¿Qué significado tiene el valor 1333?

Tasa de transferencia de los módulos máxima

3. A partir de los datos proporcionados por la hoja de especificaciones de los módulos (kvr1333d3n9_4g.pdf) y el programa CPU-Z, rellénese la siguiente tabla con los valores de los principales parámetros temporales:

	ns	Ciclos de Reloj
t_{CK} (ciclo de reloj)	1,5	
CL	ND	9
T_{RCD}	ND	9
T_{RP}	ND	9
T_{RAS}	36	24
T_{RC}	49,5	33
T_{RFC}	160	107

Nota: El número de ciclos de reloj debe ser siempre un entero, por lo que, en caso de necesidad, éste deberá ajustarse al entero superior. En caso de que el ciclo de reloj (**t_{CK}**) no se indicase explícitamente en la hoja de características, éste se deberá calcular a partir de la frecuencia a la que el módulo de memoria se ha programada a través de su SPD. Puede ser que el valor en ns de algunos de estos parámetros no lo proporcione la hoja de características. En tal caso, rellénese el correspondiente hueco de la tabla con ND.

4. Exprese la temporización del chip SDRAM en el formato estándar establecido por JEDEC (Joint Electron Device Engineering Council): JEDEC #X: CL- T_{RCD} - T_{RP}- T_{RAS}

JEDEC # 4 : 9 -- 9 -- 9 -- 24

5. ¿Cuánto valdría CL si la frecuencia de trabajo de los buses externos de los módulos de memoria fuera de 500 MHz?

18ns

6. ¿Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío del comando de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

	Ciclos Reloj	ns
Tiempo de acceso	18	27

PARTE II. Cronograma de lectura de 3 bloques de 4 palabras. ► Ayudados por la Figura 2 y por los valores de los parámetros temporales obtenidos en la PARTE I, represéntese sobre el cronograma la temporización del envío de las sucesivas órdenes (*command*), de las correspondientes direcciones de fila o columna y del volcado de los datos correspondientes al acceso a 3 bloques pertenecientes a filas distintas de un mismo banco. Los comandos corresponderán a los de activación (A) y lectura (R). La dirección podrá ser de filas (F_i) o de columnas (C_i), donde el subíndice indica el número de orden del bloque (0 ... 2) al que hacen referencia. Finalmente, los datos se expresarán en la forma D_i , donde el subíndice i hace referencia a cada una de las cuatro palabras (0 ... 3) que constituyen cada bloque. Asimismo, **deberán marcarse con una (P) sobre la línea de órdenes los ciclos de reloj en los que se realizan las precargas.** Recuérdese que al tratarse de una SDRAM de tipo DDR, en cada ciclo de reloj se transfieren dos palabras. *Nota: No hace falta representar el envío de los comandos NOP*

	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18	T19	T20	T21	T22	T23	T24	T25	T26	T27	T28	T29	T30	T31	T32	T33	T34	T35	T36
Orden	A									R																		P								
Dirección	F ₀									C ₀																										
Datos																			D ₀ D ₁	D ₂ D ₃																
	T37	T38	T39	T40	T41	T42	T43	T44	T45	T46	T47	T48	T49	T50	T51	T52	T53	T54	T55	T56	T57	T58	T59	T60	T61	T62	T63	T64	T65	T66	T67	T68	T69	T70	T71	T72
Orden	A									R																		P								
Dirección	F ₁									C ₁																										
Datos																			D ₀ D ₁	D ₂ D ₃																
	T73	T74	T75	T76	T77	T78	T79	T80	T81	T82	T83	T84	T85	T86	T87	T88	T89	T90	T91	T92	T93	T94	T95	T96	T97	T98	T99	T100	T101	T102	T103	T104	T105	T106	T107	T108
Orden	A									R																		P								
Dirección	F ₂									C ₂																										
Datos																			D ₀ D ₁	D ₂ D ₃																

PARTE III. Análisis de la configuración de memoria del equipo del estudiante

Para llevar a cabo esta parte de la práctica el estudiante deberá instalar en su equipo personal el programa CPU-Z, bien desde el archivo proporcionado en PoliformaT o bien a través del enlace: <http://www.cpuid.com/softwares/cpu-z.html>

El archivo se deberá ejecutar en el equipo del estudiante para conocer las características más importantes del sistema. La información de memoria obtenida se deberá completar con los datos extraídos de la hoja de especificaciones proporcionada por el fabricante de los chips. Esta hoja de especificaciones es, generalmente, fácil de obtener a través de una consulta en cualquier buscador. Por ejemplo, para una memoria fabricada por Kingston cuyo identificativo fuese KHX1600C10D3B1/8G (*Part Number*) bastaría con teclear en cualquier buscador “Kingston KHX1600C10D3B1/8G” para obtener las hojas de especificaciones correspondientes.

1. Copiar y pegar las capturas de pantalla obtenidas de la ejecución de CPU-Z sobre vuestro computador y que se corresponden con las pestañas *SPD* y *Memoria*, equivalentes a las mostradas en Figuras 3 y 4.
2. A partir de los datos proporcionados por el programa CPU-Z acerca de la configuración de memoria del equipo en el que se halla instalado, rellénese la tabla que aparece a continuación:

Identificativo de la memoria proporcionado por el fabricante	VENGEANCE LPX
Número total de módulos DIMM	2
Tamaño total de la memoria principal disponible <i>Expresado en GB</i>	32GB
Nomenclatura estándar de los módulos empleados (PC-xx00, PC2-xx00, PC3-xxx00, PC4-xxx00)	PC4-28800
Frecuencia de reloj a la que trabajan los buses externos de los módulos SDRAM en el equipo analizado	1795 MHz
Ciclo de reloj al que trabajan los buses externos de los módulos SDRAM en el equipo analizado <i>Expresado en ns</i>	0,557 ns
Ancho de banda pico de los módulos SDRAM en el equipo analizado <i>Expresado en MB/s</i>	28,72MB/s

3. Expresar la temporización del chip SDRAM en el formato estándar establecido por JEDEC (*Joint Electron Device Engineering Council*): {CL- T_{RCD} - T_{RP} - T_{RAS} }, de acuerdo a la temporización JEDEC #i requerida con arreglo a la frecuencia de los buses de la SDRAM

JEDEC # 18 : 15 -- 15 -- 15 -- 36

- 4.Cuál sería el **tiempo de acceso** de los módulos de memoria contabilizado desde el inicio de la operación de lectura (envío de la orden de ACTIVACIÓN) hasta la obtención del primer dato del bloque?

	Ciclos Reloj	ns
Tiempo de acceso	12	6,68 4ns

5. Localizar la hoja de características de los módulos de memoria que, según CPU-Z, se encuentran instalados en el equipo analizado. Adjuntar copia de tales hojas como anexo al final de este entregable.

Nota: En ocasiones, el identificador de memoria ofrecido por CPU-Z no se corresponde con el real, el cual se puede observar abriendo el equipo y examinando la leyenda contenida sobre los módulos DIMM instalados. Si se puede realizar fácilmente esta operación indique a continuación la identificación auténtica de los módulos

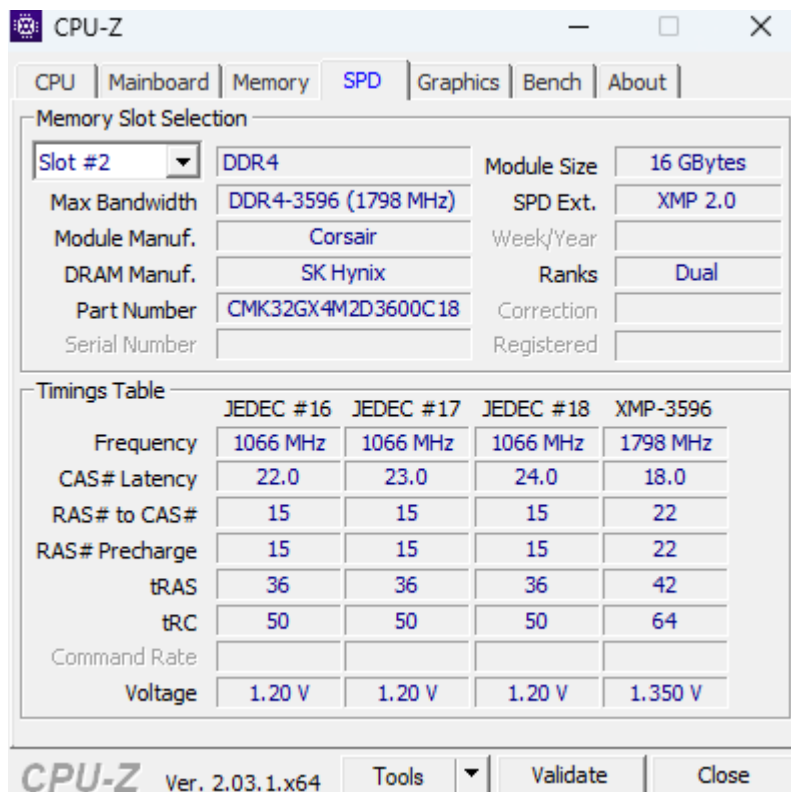
CMK32GX4M2D3600C18

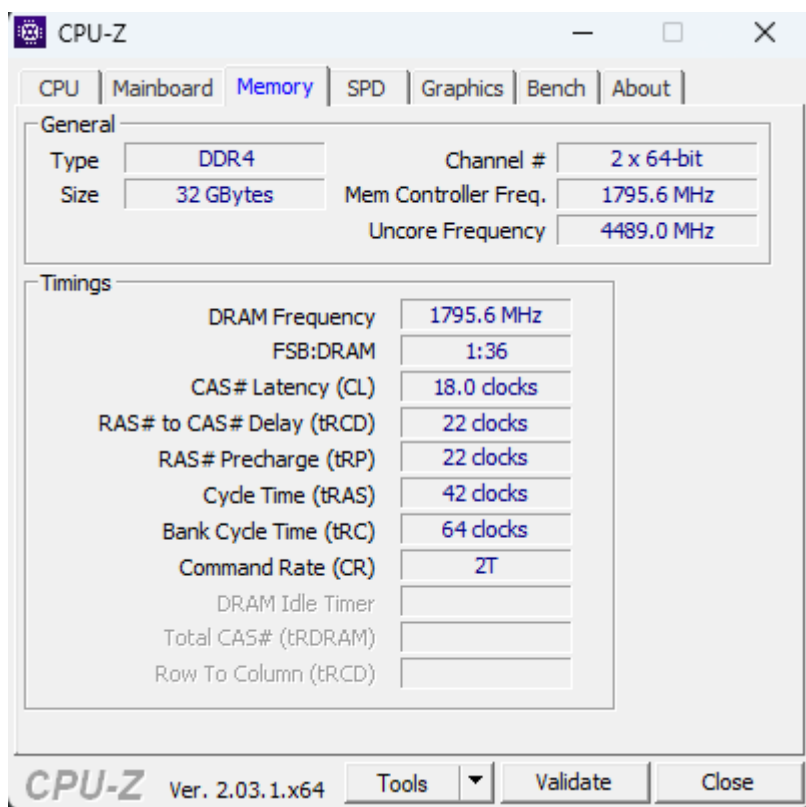
6. A partir de los datos proporcionados por la hoja de características de los módulos de memoria que ha localizado (según identificador ofrecido por CPU-Z), rellénese la tabla que aparece a continuación:

Capacidad en palabras × tamaño_palabra de los módulos DIMM	2x16GB
Número de filas en la que se organizan los chips dentro de cada módulo	2
Número total de chips de memoria contenidos en un módulo	16
Capacidad en palabras × tamaño_palabra de los chips de memoria de los módulos	1 GB x 8 bits
Tipo de chips de memoria SDRAM que se utilizan (DDR-xxxx, DDR2-xxxx, DDR3-xxxx, DDR4-xxxx)	DDR4-3596
Frecuencia de reloj máxima a la que podrían trabajar los buses externos de los chips de memoria de los módulos <i>Expresada en MHz</i>	1066 MHz

Tasa máxima de transferencia que podrían alcanzar los módulos (palabras que se transfieren por segundo) <i>Expresada en millones de transferencias por segundo (MT/s)</i>	2132 MT/s
Ancho de banda pico que podrían alcanzar los módulos <i>Expresado en MB/s</i>	28,76 MB/s

Insertar aquí capturas de pantalla obtenidas tras la ejecución del programa CPU-Z





Hoja del fabricante:

Fan Included	No	Memory Color	BLACK
Memory Series	VENGEANCE LPX	SPD Latency	15-15-15-36
Memory Type	DDR4	SPD Speed	2133MHz
Memory Size	32GB (2 x 16GB)	SPD Voltage	1.2V
Tested Latency	18-22-22-42	Speed Rating	PC4-26800 (3600MHz)
Tested Voltage	1.35	Compatibility	Intel 300 Series,Intel 400 Series,Intel 500 Series,Intel 600 Series,Intel 400 Series,Intel 500 Series,Intel 600 Series,Intel X299,AMD 300 Series,AMD 400 Series,AMD 500 Series,AMD X570
Tested Speed	3600	Heat Spreader	Anodized Aluminum
		Package Memory Format	DIMM
		Performance Profile	XMP 2.0
		Package Memory Pin	288