

## Tema 8: Diseño de placas de memoria.

### RAM

Acceso aleatorio y volatilidad (la info se pierde si se apaga el PC)  
{ X líneas de dirección; línea bits, línea de palabra, N línea datos.  
2 líneas de control.

### RAM estática (SRAM)

↑ velocidad    ↑ consumo    ↓ integración.    Celda básica → flip-flop (biestable)

- Ciclo de lectura = selección chip + operación de lectura  
(CS) (RD)
  - Ciclo de escritura = selección chip + operación de escritura  
(CS) (WR)
- $\left\{ \begin{array}{l} t_{\text{ciclo lectura}} \\ t_{\text{acceso dirección}} \\ t_{\text{" selección chip}} \\ t_{\text{" activación}} \\ t_{\text{espera}} \end{array} \right.$

### RAM dinámica (DRAM)

- 1 transistor por celda de memoria
- El condensador se descarga gradualmente con el tiempo.
- lectura destructiva. → Refresco implícito.

/RAS - seleccionar fila en la memoria.

/CAS - seleccionar una columna de la fila para leer o escribir.

/WE - determinar si la operación es de lectura o escritura.

/OE - controla la salida a los pins de entrada / salida.

Ciclos de acceso a datos:

- Acceso paginado: acceso consecutivo a una fila de celda completa (página)  
RAS → activo.
- Memoria intercalada:  $2n = N \text{ palabras} \Rightarrow 2m = M \text{ módulos}$

Ciclos de refresco: tiempo máximo entre 2 accesos consecutivos a filas de memoria.

- Refresco por ráfagas: la actualización de las filas se realiza mediante ciclos consecutivos. (CPU se detiene)
- Refresco intercalado: los ciclos de refresco se generan dentro de los ciclos de lectura/escritura. → evitar interferencias.
- o RAS only refresh: se coloca una dirección de fila en las líneas de dirección y luego se descarta el RAS. CAS no se activa para evitar operación de lectura.
- o Hidden refresh: refresco integrado en un ciclo de lectura.



## RAM no volátil

ROM: memoria solo de lectura.

EPROM: ROM que se borra mediante UV.

EEPROM: ROM electrónicamente borrable y programable.

Memoria flash: puertas NOR o NAND.

## Diseño de placas de memoria

Capacidad de un circuito =  $\text{Number Of Addressess} \times \text{Word Size}$

- Organización: conjunto de circuitos dispuestos en filas y columnas.

• Filas: según la tarjeta de memoria y tamaño del circuito.

• Columnas: según bus de datos y memoria circuito.

Almacenar palabra de varios bytes  $\left\{ \begin{array}{l} \text{Big endian: dirección} = \text{MSB} \\ \text{Little endian: dirección} = \text{LSB} \end{array} \right.$

## Mapas de memoria

Organización incluye:

• Rango de direccionamiento.

• Tamaño de palabra (8, 16, 32, 64)

• Si tamaño > 8 → líneas de control adicionales.

Mapa de memoria: distribución de direcciones por módulos o chips de memoria.

dos módulos que pueden direccionarse se distribuyen en el rango físico de direcciones.

• líneas menos significativas: selección de celdas.

• líneas más significativas: selección de circuitos.

Decodificación de direcciones → seleccionar un dispositivo a la vez.

ESTADO DE ALTA IMPEDANCIA: salidas apagadas.

Decodificadores de direcciones:

• Hardware externo para garantizar acceso a un solo dispositivo.

Construcción mapas de memoria.

Parte fija

$A_N \dots A_n$

Parte variable

$A_{n-1} \dots A_1, A_0$

Parte fija: módulo / chip

Parte variable: ubicación de la memoria en el módulo.