

Exámenes

UT3 Prueba seguimiento (Castellano)

[Volver a la Lista de Exámenes](#)

Parte 1 de 7 / 1.5 Puntos

Preguntas 1 de 12

0.75 Puntos

Acerca de los accesos a memoria en un procesador fuera de orden indique **TODAS** las afirmaciones verdaderas:

- ✓ A. La fracción no solapada (FNS) es la parte de la penalización de fallo en lectura de datos (PF) en la cual el procesador está detenido en el *front-end*.
- B. Cuando una instrucción de almacenamiento provoca un fallo de escritura en la cache de datos tiene una penalización de fallos que depende de la política de escritura del primer nivel de cache (L1) (Write-Allocate o No-Write-Allocate).
- ✓ C. Los fallos en los accesos a la cache de instrucciones siempre detienen el *front-end*.
- D. Cuando una instrucción de carga provoca un fallo de lectura en la cache de datos siempre detiene el *front-end*.

Respuesta correcta: A, C

Preguntas 2 de 12

0.75 Puntos

¿Cuáles de los siguientes enunciados sobre las políticas de escritura en cache son **CIERTOS**? (marca todas las respuestas correctas)

- A. Con la estrategia *Write through* cuando un bloque no está en cache no se trae desde los niveles inferiores ni se produce ningún reemplazamiento.
- ✓ B. La estrategia *Write allocate* trae un bloque a una cache siempre que se intenta escribir en un bloque que no está presente en la cache.

C. Con la política *Write-back* sólo se escribe en un nivel de cache si el bloque ya está presente en dicho nivel.

- ✓ D. Con la política *Write-back* la memoria principal sólo está completamente actualizada cuando no hay bloques *sucios* en los distintos niveles de cache.

Respuesta correcta: B, D

Parte 2 de 7 / 2.25 Puntos

Preguntas 3 de 12

0.75 Puntos

Relacione cada una de las siguientes técnicas con el parámetro que se consigue reducir de la ecuación del tiempo de acceso medio a memoria.

- A. Predicción de vía
- B. Cache blocking
- C. Buffer de escritura

- ✓ A 1. Tiempo en caso de acierto
- ✓ B 2. Tasa de fallo
- ✓ C 3. Penalización de fallo

Respuesta correcta: 1:A, 2:B, 3:C

Preguntas 4 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Indica la afirmación correcta:

- ✓ A. La penalización de fallo incluye, en caso de *Early Restart*, la latencia de memoria más un tiempo de transferencia de bloque variable.
- ✓ B. La técnica *Critical Word First* transfiere primero la palabra con la dirección de menor peso dentro del bloque.
- ✓ C. La penalización de fallo incluye, en caso de *Early Restart*, la latencia de acceso más el tiempo de transferencia de la primera palabra.
- ✓ D. La técnica *Critical Word First* permite reducir el componente de la latencia (L) de la penalización de fallo.

Respuesta correcta: A

Preguntas 5 de 12

0.75 Puntos

Indica **TODAS** las opciones correctas

- A. La reducción del tiempo de transferencia es idéntico en ambas técnicas: *Early Restart* y *Critical Word First*.
- ✓ B. En la técnica *Early Restart* el orden de las palabras de un bloque no se ve alterado al transferirse.
- ✓ C. En las técnicas *Early Restart* y *Critical Word First* el procesador continua con la ejecución en cuanto se le entrega la palabra solicitada, mientras se transfiere el resto del bloque.
- D. En la técnica *Critical Word First* se accede al bloque normalmente, pero el procesador continua en cuanto obtiene la palabra crítica.

Respuesta correcta: B, C

Parte 3 de 7 / 2.25 Puntos

Preguntas 6 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Selecciona cuál de las siguientes afirmaciones es correcta:

- ✓ A. El tiempo de transferencia por el bus de un bloque de B palabras de memoria depende de si la fila correspondiente del banco está abierta.
- ✓ B. La tasa de aciertos en buffer de fila (TABf) afecta directamente a la penalización por fallo PF_{LLC}
- ✓ C. El ancho de banda del bus en bytes/ciclo no cambió con la introducción de las memorias DDR.
- ✓ D. La tasa de aciertos en buffer de fila (TABf) depende exclusivamente del número de bancos de la memoria principal.

Respuesta correcta: B

Preguntas 7 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

En el acceso a memoria principal con memorias del tipo SDRAM DDR el controlador debe enviar al módulo:

- ✓ A. La dirección de la fila y de todas las columnas a acceder.
- ✓ B. La dirección de todas las filas y de todas las columnas a acceder.
- ✓ C. La dirección de la fila y de la primera columna a acceder.
- ✓ D. La dirección de todas las filas y de la primera columna a acceder.

Respuesta correcta: C

Preguntas 8 de 12

0.75 Puntos

Sobre la tecnología SDRAM actual selecciona TODAS respuestas correctas:

- ✓ A. El CAS Latency (CL) es el tiempo mínimo (en ciclos) necesario para leer el primer bit de memoria desde una DRAM con la fila ya abierta.
- B. El tiempo t_{RCD} es el mínimo tiempo en nanosegundos (ns) entre la apertura de una fila de memoria y el acceso a una columna.
- C. El tiempo para leer el primer bit de memoria de una DRAM ante un acierto en el buffer de fila es $t_{RP} + t_{RCD} + CL$.
- ✓ D. El tiempo t_{RAS} es el tiempo necesario para refrescar internamente la fila y se solapa con t_{RCD} .

Respuesta correcta: A, D

Parte 4 de 7 / 0.75 Puntos

Preguntas 9 de 12

0.75 Puntos

En un sistema con cache L1 de instrucciones y datos separadas ejecuta un programa con un 34% de instrucciones de acceso a memoria. Si la tasa de fallos de la cache de instrucciones es $TF_I = 0.04$ y de la cache de datos es $TF_D = 0.1$, la tasa de fallos unificada de la cache L1 será $TF_{I+D} = \checkmark \underline{0.055}$.

Respuesta correcta: 0.0552

Parte 5 de 7 / 0.75 Puntos

Preguntas 10 de 12

0.75 Puntos

Un programa se ejecuta sobre un sistema con dos niveles de cache. La tasa de fallos de primer nivel TF_{L1} es 0.07 y la tasa de fallos global TF_{L1+L2} es 0.0322. Así pues, la tasa de fallos local de L2 TF_{L2} será $\checkmark \underline{0.46}$.

Respuesta correcta: 0.46

Parte 6 de 7 / 0.75 Puntos

Preguntas 11 de 12

0.75 Puntos

Dada una memoria SDRAM DDR3 con los parámetros de temporización 15-15-15-46, su latencia cuando está abierta la fila incorrecta sería $L = \checkmark \underline{45}$ ciclos.

Respuesta correcta: 45

Parte 7 de 7 - Ejercicios UT3 / 1.75 Puntos

Preguntas 12 de 12

1.75 Puntos

Un sistema con un procesador a 2 GHz con dos niveles de cache obtiene una tasa de fallos media en el primer nivel L1 de 0.07 y de 0.45 en el segundo nivel L2. El tiempo de acierto en la cache L1 es $TA_{L1} = 1$ ciclo y en la cache L2 $TA_{L2} = 7$ ciclos. El sistema tiene una memoria principal de tipo DDR a 800 MHz con una latencia media $L = 24$ ciclos y un tamaño de bloque $B = 64$ bytes.

En ese caso, la penalización por fallos de la cache L2 será $PF_{L2} = \checkmark 28$ ciclos de **bus**.

En ese caso, la penalización por fallos de la cache L1 será $PF_{L1} = \checkmark 38.5$ ciclos de **cpu**.

Si un programa realiza 103 millones de accesos a memoria, indica cuál sería el tiempo extra de memoria en un procesador con ejecución en orden.

$T_{\text{extra_mem}} = \checkmark 138.8$ ms. (milisegundos con dos decimales).

Respuesta correcta: 28, 38.5, 138.79