

Exámenes

2022-UT2B (2.4,2.5) - Prueba de seguimiento

[Volver a la Lista de Exámenes](#)

Parte 1 de 5 / 2.5 Puntos

Preguntas 1 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Cuando una instrucción aritmética llega a la fase Commit:

- ✓ A. Se comprueba la marca del registro destino, y si coincide con la de la instrucción, se escribe el resultado de la operación sobre el registro y lo libera.
- ✓ B. Se escribe el resultado de la operación sobre el registro destino y lo libera.
- ✓ C. Se escribe el resultado de la operación sobre el registro destino y si su marca coincide con la de la instrucción, se libera el registro.
- ✓ D. Se difunde por el bus comun de datos el resultado de la operación , escribiéndolo también en el ROB.

Respuesta correcta: C

Preguntas 2 de 13

0.5 Puntos

Indica cuáles de las siguientes respuestas son correctas en el contexto de un procesador con gestión dinámica de instrucciones y especulación hardware:

- ✓ A. Las instrucciones de almacenamiento (los stores) confirman su ejecución en la etapa WB.
- ✓ B. Las instrucciones de almacenamiento escriben en memoria después de ser confirmadas.
- ✓ C. Las instrucciones de almacenamiento (los stores) necesitan del valor de dos registros para poderse ejecutar.

D. Ninguna instrucción de almacenamiento contenida en el ROB debe cancelarse cuando una instrucción de salto que ha sido incorrectamente predicha llegue a la fase Commit.

Respuesta correcta: B, C

Preguntas 3 de 13

0.5 Puntos

¿Qué puedes decir de la instrucción que confirma su ejecución en un procesador que aplica planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación ? Marca todas las opciones correctas.

A. Que si es una instrucción aritmética, el resultado almacenado en el ROB se copiará en el registro destino y éste se liberará .



B. Que si es un salto incorrectamente predicho, se cancelarán todas las instrucciones existentes en el ROB, liberando todas las estaciones de reserva y buffers de escritura y lectura.



C. Que si es una instrucción de almacenamiento, la operación pasará a realizarse en el siguiente ciclo de reloj, si hay un operador de almacenamiento disponible.

D. Que es la instrucción más antigua existente en el ROB.

Respuesta correcta: C, D

Preguntas 4 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Un programa P compilado con la opción de optimización "loop-unrolling" no podría ejecutarse correctamente en un procesador que incorpora gestión dinámica de instrucciones con especulación hardware.

- ✓ Verdadero
Falso

Respuesta correcta: Falso

Preguntas 5 de 13

0.5 Puntos

En un procesador con planificación dinámica de instrucciones y especulación:

- Las instrucciones se buscan ✓ en orden (en orden | fuera de orden)
- Las instrucciones se decodifican ✓ en orden (en orden | fuera de orden)
- Las instrucciones se ejecutan ✓ fuera de orden (en orden | fuera de orden)
- Las instrucciones completan su ejecución en los operadores ✓ fuera de orden (en orden | fuera de orden)
- Las instrucciones escriben sobre los registros y la memoria ✓ en orden (en orden | fuera de orden)

Respuesta correcta: en orden, en orden, fuera de orden, fuera de orden, en orden

Parte 2 de 5 / 2.5 Puntos

Preguntas 6 de 13

0.5 Puntos. Puntos descontados por fallo: 0.3

Indica cuales de las siguientes afirmaciones son correctas:

- ☐ A. Los procesadores multihilo de grano grueso no retardan la ejecución de cada hilo individual y permiten ocultar stalls tanto de alta como de baja latencia.
- ☒ B. Los procesadores multihilo explotan el paralelismo a nivel de tarea (TLP), utilizando varios núcleos (cores) para ejecutar en paralelo múltiples flujos de instrucciones.
- ☐ C. Los procesadores con multithreading simultáneo (SMT) buscan compartir los recursos del procesador, aunque la ejecución simultánea de instrucciones de distintos hilos exige replicar algunos recursos para distinguir el estado de los hilos.
- ☒ D. Los procesadores multihilo de grano fino conmutan entre hilos cada ciclo de reloj, con lo que incrementa la productividad, aunque se puede retardar la ejecución de cada hilo individual.

Respuesta correcta: C, D

Preguntas 7 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Los procesadores VLIW empaquetan varias operaciones en cada instrucción máquina, con el objetivo de reducir el número de instrucciones ejecutadas por los programas.

- ☒ Verdadero
- ☐ Falso

Respuesta correcta: Verdadero

Preguntas 8 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

Ciclo 0 Ciclo 1 Ciclo 2 Ciclo 3

Ciclo 0	Ciclo 1	Ciclo 2	Ciclo 3
A			
A			
A			A
A			A

Ciclo 0 Ciclo 1

Ciclo 0	Ciclo 1
	B
B	B
B	B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano grueso. Supón que un evento es de alta latencia cuando dura más de un ciclo, que empieza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba. **¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

Ciclo 0 Ciclo 1 Ciclo 2 Ciclo 3

Ciclo 0	Ciclo 1	Ciclo 2	Ciclo 3
✓ A	✓ -	✓ -	✓ -
✓ A	✓ -	✓ B	✓ -
✓ A	✓ B	✓ B	✓ A
✓ A	✓ B	✓ B	✓ A

Respuesta correcta: A, -, -, -, A, -, B, -, A, B, B, A, A, B, B, A

Preguntas 9 de 13

0.5 Puntos

Considera un procesador superescalar de 3 vías, que utiliza un predictor de saltos BTB que obtiene su predicción al final de la etapa IF. La cache de instrucciones ofrece un grupo de 3 instrucciones alineadas. Considera una instrucción de salto, que finalmente es efectivo. Indica el número de instrucciones del grupo que contiene el destino del salto que se desecharán:

1. Si la instrucción destino es la última instrucción del grupo: 0
2. Si la instrucción destino es la primera instrucción del grupo: 2

Respuesta correcta: 2, 0

Preguntas 10 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

Ciclo 0	Ciclo 1
A	
A	
A	A
A	A

Ciclo 0	Ciclo 1
	B
B	B
B	B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano fino. Supón que comienza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba. **¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

Ciclo 0	Ciclo 1	Ciclo 2	Ciclo 3
---------	---------	---------	---------

- ✓ A

✓ A

✓ A

✓ A
- ✓ -

✓ -

✓ B

✓ B
- ✓ -

✓ -

✓ A

✓ A
- ✓ -

✓ B

✓ B

✓ B

Respuesta correcta: A, -, -, -, A, -, -, B, A, B, A, B, A, B, A, B

Parte 3 de 5 / 1.5 Puntos

Preguntas 11 de 13

1.5 Puntos

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
loop	l.d f2,%disp[x](r2)	IF	I	AC	L1	L2	L3	WB	C														
4100	l.d f4,%disp[y](r2)	IF	I	AC	L1	L2	L3	WB	C														
4104	mul.d f2,f2,f0	IF	I						M1	M2	M3	M4	WB	C									
4108	mul.d f4,f4,f1	IF	I						M1	M2	M3	M4	WB	C									
4112	add.d f6,f3,f2		IF	I										A1	A2	WB	C						
4116	add.d f6,f6,f4		IF	I												A1	A2	WB	C				
4120	s.d f6,%disp[y](r2)		IF	I	AC														C	L1	L2	L3	
4124	dadd r2,r2,8		IF	I	E1	WB													C				
4128	dsub r1,r1,1			IF	I	E1	WB												C				
4132	bnez r1,loop			IF	I			E1	WB											C			
4136	nop			IF	X																		
4140	nop			IF	X																		
loop	l.d f2,%disp[x](r2)				IF	I	AC	L1	L2	L3	WB										C		
4100	l.d f4,%disp[y](r2)				IF	I	AC	L1	L2	L3	WB										C		
4104	mul.d f2,f2,f0				IF	I							M1	M2	M3	M4	WB				C		
4108	mul.d f4,f4,f1				IF	I							M1	M2	M3	M4	WB					C	

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

1. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta? ✓ 3 ciclos
2. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla? ✓ 20 ciclos
3. Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (**expresado con 2 decimales y utilizando el punto decimal**) resultante de procesar unos vectores X e Y de 32 elementos cada uno? El CPI promedio será de ~~10~~ 0.3 ciclos/instrucción.

Respuesta correcta: 3, 20, 0.41 | 0.406

Parte 4 de 5 / 2.0 Puntos

Preguntas 12 de 13

2.0 Puntos

Completa el siguiente cronograma, solamente para las instrucciones mostradas, asumiendo que el procesador ejecuta instrucciones siguiendo el algoritmo de Tomasulo con especulación hardware, es capaz de lanzar una instrucción por ciclo, tiene un único operador de multiplicación/división en coma flotante segmentado con latencia de dos ciclos (M1, M2), y un operador de enteros con latencia de un ciclo (E1) .

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
.text	<i>l.d f0,a(r0)</i>	IF	I	AC	L1	L2	WB	C									
salto	<i>l.d f2,x(r1)</i>		IF	I	AC		L1	L2	WB								
salto + 04	<i>mul.d f8,f2,f0</i>			IF	I												
salto + 08	<i>mul.d f10,f4,f0</i>				IF	I		M1	M2								
salto + 12	<i>mul.d f12,f6,f0</i>					IF	I		M1								
salto + 16	<i>dsub r1,r1,#8</i>						IF	I	E1								
salto + 20	<i>bnez r1,salto</i>							IF	I								

Para resolver el ejercicio rellena la siguiente tabla. **Si una instrucción no realiza ninguna actividad en un ciclo márcalo con un guión (-). En otras palabras, rellena toda las celdas de la tabla.**

Instrucción	8	9	10	11	12	13	14	15	16
l.d f0,a(r0)		-	-	-	-	-	-	-	-
l.d f2,x(r1)	WB	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
mul.d f8,f2,f0		✓ <u>M1</u>	✓ <u>M2</u>	✓ <u>WB</u>	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
mul.d f10,f4,f0	M2	✓ <u>WB</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
mul.d f12,f6,f0	M1	✓ <u>M2</u>	✓ <u>WB</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>
dsub r1,r1,#8	E1	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>WB</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>C</u>	✓ <u>-</u>
bnez r1,salto	I	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>E1</u>	✓ <u>WB</u>	✓ <u>-</u>	✓ <u>C</u>

Respuesta correcta: C, -, -, -, -, -, -, M1, M2, WB, C, -, -, -, -, WB, -, -, -, C, -, -, -, M2, WB, -, -, -, C, -, -, -, -, WB, -, -, C, -, -, -, -, E1, WB, -, C

Parte 5 de 5 / 1.5 Puntos

Preguntas 13 de 13

1.5 Puntos

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12
loop	l.d f2,x(r1)	IF	I	AC	L1	L2	WB	C					
4100	l.d f3,y(r1)	IF	I	AC	L1	L2	WB	C					
4104	mul.d f3,f3,f2		IF	I				M1	M2	M3	WB	C	
4108	add.d f3,f3,f1		IF	I								A1	A2
4112	s.d f3,y(r1)			IF	I	AC							
4116	mul.d f4,f0,f2			IF	I			M1	M2	M3	WB		
4120	s.d f4,x(r1)				IF	I	AC						
4124	dadd r1,r1,8				IF	I	E1	WB					
4128	bne r1,r4,loop					IF	I		E1	WB			
end	trap 0					IF	X						
loop	l.d f2,x(r1)						IF	I	AC	L1	L2	WB	
4100	l.d f3,y(r1)						IF	I	AC	L1	L2	WB	
4104	mul.d f3,f3,f2							IF	I				M1
4108	add.d f3,f3,f1							IF	I				
4112	s.d f3,y(r1)								IF	I	AC		
4116	mul.d f4,f0,f2								IF	I			M1
4120	s.d f4,x(r1)									IF	I	AC	
4124	dadd r1,r1,8									IF	I	E1	WB
4128	bne r1,r4,loop										IF	I	
end	trap 0										IF	X	
loop	l.d f2,x(r1)											IF	I
4100	l.d f3,y(r1)											IF	I
4104	mul.d f3,f3,f2												IF
4108	add.d f3,f3,f1												IF

responde a las siguientes preguntas sobre el estado del procesador al final del ciclo 12:

¿Cuántas entradas en el ROB están activas? ✓ 17

¿Cuántos buffers de lectura están ocupados?  4

¿Cuántos buffers de escritura están confirmados? ✓ 0

¿Cuántos registros de coma flotante tienen una marca activa?  4

Respuesta correcta: 17, 2, 0, 3