

Exámenes

2022-UT2B (2.4,2.5) - Prueba de seguimiento

[Volver a la Lista de Exámenes](#)

Parte 1 de 5 / 2.5 Puntos

Preguntas 1 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta en el contexto de un procesador que ofrece gestión dinámica de instrucciones e implementa el algoritmo de Tomasulo con especulación:

- ✓ A. Con independencia del grado de ocupación del ROB, las instrucciones que llegan a Issue podrán ser lanzadas a ejecución siempre que una estación de reserva (o un buffer de escritura o lectura según el caso) las pueda albergar.
- ✓ B. Cuando una instrucción no dispone de una entrada en el ROB o de una estación de reserva (o buffer de escritura o lectura según el caso) deberá esperar en la etapa Issue, bloqueando el avance de las instrucciones que la sigan.
- ✓ C. Con independencia del grado de ocupación de las estaciones de reserva (o los buffers de escritura y lectura según el caso), las instrucciones que llegan a Issue podrán ser lanzadas a ejecución si el ROB tiene una entrada libre para albergarlas.
- ✗ D. Cuando una instrucción no dispone de una entrada en el ROB o de una estación de reserva (o buffer de escritura o lectura según el caso), pero tiene el operador físico y todos los operandos que necesita disponibles, puede comenzar a ejecutarse.

Respuesta correcta: B

Preguntas 2 de 13

0.5 Puntos

Dado el siguiente fragmento de código, ejecutado en un procesador con ejecución fuera de orden:

1 2 3 4 5 6 7 8 9 10 11 12 13 14

add.d f0,f1,f2 IF I - - - A1 A2 A3 WB - - - C

Suponiendo que ninguna otra instrucción escribe en el registro f0, las instrucciones posteriores que leen el registro f0:

- Entre los ciclos 3 y 5, leerán ☒ la marca (la marca | el valor) del ☒ banco de registros (banco de registros | ROB | estación de reserva).
- Entre los ciclos 6 y 8, leerán ☒ la marca (la marca | el valor) del ☒ banco de registros (banco de registros | ROB | estación de reserva).
- Entre los ciclos 10 y 13, leerán ☒ el valor (la marca | el valor) del ☒ ROB (banco de registros | ROB | estación de reserva).
- A partir del ciclo 15, leerán ☒ el valor (la marca | el valor) del ☒ banco de registros (banco de registros | ROB | estación de reserva).

Respuesta correcta: la marca, banco de registros, la marca, banco de registros, el valor, ROB, el valor, banco de registros

Preguntas 3 de 13

0.5 Puntos

Dada la siguiente secuencia de instrucciones que se ejecuta en procesador con ejecución fuera de orden:

1 2 3 4 5 6 7 8 9

add.d f0,f1,f2 IF I A1 A2 A3 WB ...

add.d f3,f4,f5 IF I

Suponiendo que f4 y f5 están disponibles, indica en qué ciclo de reloj iniciará su ejecución la segunda instrucción para las opciones indicadas:

1. Hay sólo un operador de suma fp no segmentado. Ciclo ☒ 7
2. Hay dos operadores de suma fp. Ciclo ☒ 3
3. Hay sólo un operador de suma fp segmentado. Ciclo ☒ 6

Respuesta correcta: 6, 3, 4

Preguntas 4 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Un programa P compilado con la opción de optimización "loop-unrolling" no podría ejecutarse correctamente en un procesador que incorpora gestión dinámica de instrucciones con especulación hardware.

- ✓ Verdadero
Falso

Respuesta correcta: Falso

Preguntas 5 de 13

0.5 Puntos

¿Qué puedes decir de la instrucción que confirma su ejecución en un procesador que aplica planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación ? Marca todas las opciones correctas.

- ✓ A. Que es la instrucción más antigua existente en el ROB.
B. Que si es un salto incorrectamente predicho, se cancelarán todas las instrucciones existentes en el ROB, liberando todas las estaciones de reserva y buffers de escritura y lectura.
C. Que si es una instrucción de almacenamiento, la operación pasará a realizarse en el siguiente ciclo de reloj, si hay un operador de almacenamiento disponible.
✗ D. Que si es una instrucción aritmética, el resultado almacenado en el ROB se copiará en el registro destino y éste se liberará .

Respuesta correcta: A, C

Parte 2 de 5 / 2.5 Puntos

Preguntas 6 de 13

0.5 Puntos

Indica qué afirmaciones son correctas en relación a un procesador superescalar de 4 vías con ejecución fuera de orden y especulación:

- ✓ A. Se pueden decodificar simultáneamente 4 instrucciones
B. Permite la confirmación (commit) de 4 instrucciones, estén o no en la cabeza del ROB.
C. Se pueden realizar hasta 4 escrituras en los buses comunes de datos.
✓ D. Se pueden realizar hasta 4 escrituras en el ROB.

Respuesta correcta: A, C, D

Preguntas 7 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Los procesadores VLIW son compatibles a nivel binario entre sí, siempre que empaqueten el mismo número de operaciones en cada instrucción máquina.
- ✓ B. Los procesadores VLIW codifican varias operaciones en una sola instrucción y el hardware se encarga de gestionarlas dinámicamente.
- ✓ C. Si las operaciones que empaqueta un procesador VLIW están inspiradas en las instrucciones de un procesador convencional dado, ambos serán compatibles a nivel binario.
- ✓ D. Los procesadores VLIW ofrecen una mejora de prestaciones que está íntimamente relacionada con la calidad del compilador utilizado.

Respuesta correcta: D

Preguntas 8 de 13

0.5 Puntos

Considera un procesador superescalar de 3 vías, que utiliza un predictor de saltos BTB que obtiene su predicción al final de la etapa IF. La cache de instrucciones ofrece un grupo de 3 instrucciones alineadas. Considera una instrucción de salto, que finalmente es efectivo. Indica el número de instrucciones del grupo que contiene el destino del salto que se desecharán:

1. Si la instrucción destino es la última instrucción del grupo: ~~X~~3
2. Si la instrucción destino es la primera instrucción del grupo: ~~X~~3

Respuesta correcta: 2, 0

Preguntas 9 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Un procesador superescalar con 2 vías aumentará las prestaciones de su homólogo segmentado (1 vía) siempre en un factor de 2.

- ✗ B. Un procesador superescalar de m vías no uniforme o con restricciones impone limitaciones en cuanto al tipo de instrucciones que pueden estar en ejecución simultáneamente, con lo que no será posible que varias instrucciones puedan efectuar la fase Commit al mismo tiempo.
- ✓ C. Un procesador superescalar de m vías modifica la ruta de datos interna del procesador segmentado de partida, con lo que no es compatible a nivel binario con dicho procesador segmentado.
- ✓ D. Un procesador superescalar de m vías busca siempre en la etapa IF m instrucciones, aunque en determinadas ocasiones, algunas de estas instrucciones tienen que ser canceladas y no se entregan a las etapas siguientes.

Respuesta correcta: D

Preguntas 10 de 13

0.5 Puntos. Puntos descontados por fallo: 0.3

Indica cuales de las siguientes afirmaciones son correctas:

- ✗ A. Los procesadores multihilo explotan el paralelismo a nivel de tarea (TLP), utilizando varios núcleos (cores) para ejecutar en paralelo múltiples flujos de instrucciones.
- B. Los procesadores multihilo de grano fino conmutan entre hilos cada ciclo de reloj, con lo que incrementa la productividad, aunque se puede retardar la ejecución de cada hilo individual.
- C. Los procesadores con multithreading simultáneo (SMT) buscan compartir los recursos del procesador, aunque la ejecución simultánea de instrucciones de distintos hilos exige replicar algunos recursos para distinguir el estado de los hilos.
- ✗ D. Los procesadores multihilo de grano grueso no retardan la ejecución de cada hilo individual y permiten ocultar stalls tanto de alta como de baja latencia.

Respuesta correcta: B, C

Parte 3 de 5 / 1.5 Puntos

Preguntas 11 de 13

1.5 Puntos

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
loop	<i>l.d f2,%disp[x](r2)</i>	IF	I	AC	L1	L2	L3	WB	C																				
4100	<i>l.d f4,%disp[y](r2)</i>	IF	I	AC	L1	L2	L3	WB	C																				
4104	<i>mul.d f2,f2,f0</i>	IF	I						M1	M2	M3	M4	M5	M6	WB	C													
4108	<i>mul.d f4,f4,f1</i>	IF	I						M1	M2	M3	M4	M5	M6	WB	C													
4112	<i>add.d f6,f3,f2</i>		IF	I													A1	A2	A3	A4	WB	C							
4116	<i>add.d f6,f6,f4</i>		IF	I																	A1	A2	A3	A4	WB	C			
4120	<i>s.d f6,%disp[y](r2)</i>		IF	I	AC																					C	L1	L2	L3
4124	<i>dadd r2,r2,8</i>		IF	I	E1	WB																				C			
4128	<i>dsub r1,r1,1</i>			IF	I	E1	WB																			C			
4132	<i>bnez r1,loop</i>			IF	I			E1	WB																		C		
4136	<i>nop</i>			IF	X																								
4140	<i>nop</i>			IF	X																								
loop	<i>l.d f2,%disp[x](r2)</i>				IF	I	AC	L1	L2	L3	WB																C		
4100	<i>l.d f4,%disp[y](r2)</i>				IF	I	AC	L1	L2	L3	WB																C		
4104	<i>mul.d f2,f2,f0</i>				IF	I						M1	M2	M3	M4	M5	M6	WB								C			
4108	<i>mul.d f4,f4,f1</i>				IF	I						M1	M2	M3	M4	M5	M6	WB									C		

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

1. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta? ✓ 3 ciclos
2. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla? ✓ 26 ciclos
3. Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (**expresado con 2 decimales y utilizando el punto decimal**) resultante de procesar unos vectores X e Y de 64 elementos cada uno? El CPI promedio será de ✗ 0.53 ciclos/instrucción.

Respuesta correcta: 3, 26, 0.37|0.372

Parte 4 de 5 / 2.0 Puntos

Preguntas 12 de 13

2.0 Puntos

Completa el siguiente cronograma, solamente para las instrucciones mostradas, asumiendo que el procesador ejecuta instrucciones siguiendo el algoritmo de Tomasulo con especulación hardware, es capaz de lanzar una instrucción por ciclo, tiene un único operador de multiplicación/división en coma flotante segmentado con latencia de dos ciclos (M1, M2), y un operador de enteros con latencia de un ciclo (E1).

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
.text	l.d f0,a(r0)	IF	I	AC	L1	L2	WB	C									
salto	l.d f2,x(r1)		IF	I	AC		L1	L2	WB								
salto + 04	mul.d f8,f2,f0			IF	I												
salto + 08	mul.d f10,f4,f0				IF	I		M1	M2								
salto + 12	mul.d f12,f6,f0					IF	I		M1								
salto + 16	dsub r1,r1,#8						IF	I	E1								
salto + 20	bnez r1,salto							IF	I								

Para resolver el ejercicio rellena la siguiente tabla. **Si una instrucción no realiza ninguna actividad en un ciclo márcalo con un guión (-). En otras palabras, rellena toda las celdas de la tabla.**

Instrucción	8	9	10	11	12	13	14	15	16
l.d f0,a(r0)		-	-	-	-	-	-	-	-
l.d f2,x(r1)	WB	✓ <u>C</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>
mul.d f8,f2,f0		✓ <u>M1</u>	✓ <u>M2</u>	✗ <u>I</u>	✓ <u>C</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>
mul.d f10,f4,f0	M2	✓ <u>WB</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>C</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>
mul.d f12,f6,f0	M1	✓ <u>M2</u>	✓ <u>WB</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>C</u>	✓ <u>I</u>	✓ <u>I</u>
dsub r1,r1,#8	E1	✗ <u>WB</u>	✓ <u>I</u>	✓ <u>I</u>	✗ <u>I</u>	✓ <u>I</u>	✓ <u>I</u>	✓ <u>C</u>	✓ <u>I</u>
bnez r1,salto	I	✗ <u>EX</u>	✗ <u>WB</u>	✓ <u>I</u>	✓ <u>I</u>	✗ <u>I</u>	✗ <u>I</u>	✓ <u>I</u>	✓ <u>C</u>

Respuesta correcta: C, -, -, -, -, -, -, M1, M2, WB, C, -, -, -, -, WB, -, -, -, C, -, -, -, M2, WB, -, -, -, C, -, -, -, -, WB, -, -, C, -, -, -, -, E1, WB, -, C

Parte 5 de 5 / 1.5 Puntos

Preguntas 13 de 13

1.5 Puntos

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12
loop	<code>l.d f2,x(r1)</code>	IF	I	AC	L1	L2	WB	C					
4100	<code>l.d f3,y(r1)</code>	IF	I	AC	L1	L2	WB	C					
4104	<code>mul.d f3,f3,f2</code>		IF	I				M1	M2	M3	WB	C	
4108	<code>add.d f3,f3,f1</code>		IF	I								A1	A2
4112	<code>s.d f3,y(r1)</code>			IF	I	AC							
4116	<code>mul.d f4,f0,f2</code>			IF	I			M1	M2	M3	WB		
4120	<code>s.d f4,x(r1)</code>				IF	I	AC						
4124	<code>dadd r1,r1,8</code>				IF	I	E1	WB					
4128	<code>bne r1,r4,loop</code>					IF	I		E1	WB			
end	<code>trap 0</code>					IF	X						
loop	<code>l.d f2,x(r1)</code>						IF	I	AC	L1	L2	WB	
4100	<code>l.d f3,y(r1)</code>						IF	I	AC	L1	L2	WB	
4104	<code>mul.d f3,f3,f2</code>							IF	I				M1
4108	<code>add.d f3,f3,f1</code>							IF	I				
4112	<code>s.d f3,y(r1)</code>								IF	I	AC		
4116	<code>mul.d f4,f0,f2</code>								IF	I			M1
4120	<code>s.d f4,x(r1)</code>									IF	I	AC	
4124	<code>dadd r1,r1,8</code>									IF	I	E1	WB
4128	<code>bne r1,r4,loop</code>										IF	I	
end	<code>trap 0</code>										IF	X	
loop	<code>l.d f2,x(r1)</code>											IF	I
4100	<code>l.d f3,y(r1)</code>											IF	I
4104	<code>mul.d f3,f3,f2</code>												IF
4108	<code>add.d f3,f3,f1</code>												IF

responde a las siguientes preguntas sobre el estado del procesador al final del ciclo 12:

¿Cuántas entradas en el ROB están activas? ☒ 17

¿Cuántos buffers de lectura están ocupados? ☒ 2

¿Cuántos buffers de escritura están confirmados? ☒ 0

¿Cuántos registros de coma flotante tienen una marca activa? ☒ 3

Respuesta correcta: 17, 2, 0, 3

