

## Exámenes

### UT3 Prueba seguimiento (Castellano)

[Volver a la Lista de Exámenes](#)

#### Parte 1 de 7 / 1.5 Puntos

Preguntas 1 de 12

0.75 Puntos

Elige **TODAS** las afirmaciones correctas. Un sistema incorpora una única cache de correspondencia directa, write-back, write allocate:

- ☐ A. Se reduce el número de bloques escritos en la cache con respecto a tener política write-through.
- ☒ B. Se reduce el número de bloques escritos en memoria principal (MP) con respecto a tener política write-through.
- ☒ C. Ante un fallo en escritura, primero se trae el bloque a la cache y después se escribe sólo en la cache.
- ☐ D. Ante un fallo en escritura se escribe en MP y después se trae el bloque a la cache.

**Respuesta correcta:** B, C

Preguntas 2 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Elige la afirmación correcta. Un sistema dispone de dos niveles de cache. La cache L1 implementa la política de escritura *no-write allocate* y la cache L2 *write allocate*. En dicho sistema:

- ☒ A. Un fallo de escritura en ambas caches sólo traería el bloque a la cache L2.
- ☒ B. Un fallo de escritura en ambas caches sólo traería el bloque a la cache L1.
- ☒ C. Un fallo de escritura en ambas caches traería el bloque a ambas caches.

- ✓ D. Un fallo de escritura, implicaría una escritura en memoria principal pero el bloque no se traería a ninguna cache.

**Respuesta correcta:** A

## Parte 2 de 7 / 2.25 Puntos

Preguntas 3 de 12

0.75 Puntos

Indique **TODAS** las respuestas correctas

- ☐ A. Aumentar el número de vías manteniendo el tamaño de cache puede aumentar los fallos por capacidad, pero no los fallos de arranque.
- ✓ ☒ B. Aumentar el tamaño de bloque puede aumentar el tiempo de acceso a cache, pese a que se reduzca la tasa de fallos.
- ☐ C. Aumentar el tamaño de la cache reduce únicamente los fallos por capacidad, independientemente de cómo se modifiquen el número de bloques y su tamaño.
- ✓ ☒ D. Si se aumenta el tamaño de bloque sin reducir el número de bloques de cache, se reducen los fallos de arranque sin aumentar los fallos por conflicto y por capacidad.

**Respuesta correcta:** B, D

Preguntas 4 de 12

0.75 Puntos

Indique **TODAS** las afirmaciones correctas

- ✓ ☒ A. Cuando se aplica la técnica *load-bypassing* una instrucción de carga puede continuar si la dirección accedida no se encuentra en el Buffer de Escritura.
- ☒ B. Cuando se utilizan las políticas *Write-Back/Write-allocate* la existencia de un Buffer de Escritura con el siguiente nivel elimina la penalización por fallo siempre que hay un fallo en escritura en la cache.
- ☐ C. Cuando se aplica la técnica *load-bypassing* sobre los Buffers de Escritura, una instrucción de carga puede continuar cuando se dispone del dato requerido por la load en el buffer de escritura.
- ✓ ☒ D. La técnica de Buffers de Escrituras combinadas pretende reducir el número de accesos a memoria combinando escrituras pertenecientes al mismo bloque en un único acceso.

**Respuesta correcta:** A, D

Preguntas 5 de 12

0.75 Puntos

Con el objetivo de mejorar la tasa de fallos se puede ajustar la geometría de la cache para reducir los fallos de arranque, de conflicto y de capacidad.

- Cuando aumentamos el tamaño de bloque, conseguimos reducir los fallos de ✓ arranque , pero pueden aumentar los fallos de ✓ conflicto y de ✓ capacidad .
- Cuando aumentamos el número de vías, conseguimos reducir los fallos de ✓ conflicto pero puede aumentar el tiempo de ✓ acierto .
- Cuando aumentamos el tamaño de la cache, conseguimos reducir los fallos de ✓ capacidad pero puede aumentar el tiempo de ✓ acierto .

**Respuesta correcta:** arranque, capacidad | conflicto, capacidad | conflicto, conflicto, acierto | acceso, capacidad, acceso | acierto

### Parte 3 de 7 / 2.25 Puntos

Preguntas 6 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Selecciona cuál de las siguientes afirmaciones es correcta:

- ✓ A. El tiempo de transferencia por el bus de un bloque de B palabras de memoria depende de si la fila correspondiente del banco está abierta.
- ✓ B. La tasa de aciertos en buffer de fila (TABf) afecta directamente a la penalización por fallo  $PF_{LLC}$
- ✓ C. El ancho de banda del bus en bytes/ciclo no cambió con la introducción de las memorias DDR.
- ✓ D. La tasa de aciertos en buffer de fila (TABf) depende exclusivamente del número de bancos de la memoria principal.

**Respuesta correcta:** B

Preguntas 7 de 12

0.75 Puntos

Sobre la tecnología SDRAM actual selecciona TODAS respuestas correctas:

- ✓ A. El CAS Latency (CL) es el tiempo mínimo (en ciclos) necesario para leer el primer bit de memoria desde una DRAM con la fila ya abierta.
- B. El tiempo  $t_{RCD}$  es el mínimo tiempo en nanosegundos (ns) entre la apertura de una fila de memoria y el acceso a una columna.
- C. El tiempo para leer el primer bit de memoria de una DRAM ante un acierto en el buffer de fila es  $t_{RP} + t_{RCD} + CL$ .
- D. El tiempo  $t_{RAS}$  es el tiempo necesario para refrescar internamente la fila y se solapa con  $t_{RCD}$ .

**Respuesta correcta:** A, D

Preguntas 8 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

La tendencia mostrada en las nuevas organizaciones de memoria principal en los procesadores es:

- ✓ A. Aumentar el solapamiento haciendo que el sistema total (controladores, ranks y canales) disponga de más bancos.
- ✗ B. Poner chips más pequeños para poder realizar más accesos en paralelo.
- ✓ C. Aumentar el voltaje de alimentación para soportar bancos con mayor capacidad.
- ✓ D. Reducir el tiempo de acceso reduciendo la latencia en ciclos de los módulos de memoria.

**Respuesta correcta:** A

**Parte 4 de 7 / 0.75 Puntos**

Preguntas 9 de 12

0.75 Puntos

Un procesador tiene caches de datos e instrucciones separadas. Se ha evaluado obteniendo un porcentaje de instrucciones LW del 31% y de SW del 33%. También se ha obtenido la tasa de fallos en cache, siendo de 0.11 para la cache de instrucciones, y de 0.11 para la cache de datos. Con estos datos la tasa de fallos unificada sería  $TF_{unif} = \checkmark \underline{0.11}$ .

**Respuesta correcta:** 0.11**Parte 5 de 7 / 0.75 Puntos**

Preguntas 10 de 12

0.75 Puntos

Se dispone de una memoria que implementa el mecanismo *Early Restart* con un tamaño de bloque  $B = 4$  palabras y un ancho de banda  $Bw = 1$  palabra/ciclo. La latencia de la memoria es  $L = 22$  ciclos. Las probabilidades de que la palabra solicitada se encuentre en cada posición del bloque se muestra a continuación:

1ª	2ª	3ª	4ª
42%	27%	16%	15%

Considerando estos datos, la PF media al acceder a dicha memoria sería  $\text{PF} = \checkmark \underline{22.255}$ .

**Respuesta correcta:** 24.04**Parte 6 de 7 / 0.75 Puntos**

Preguntas 11 de 12

0.75 Puntos

Un procesador tiene una cache L3 conectada al bus de memoria donde se encuentra una SDRAM DDR3. El tamaño de bloque de la DDR es de 256 bytes. El tiempo de transferencia del bloque completo por el bus sin contar la latencia duraría  $\checkmark \underline{16}$  ciclos.

**Respuesta correcta:** 16

## Parte 7 de 7 - Ejercicios UT3 / 1.75 Puntos

Preguntas 12 de 12

1.75 Puntos

Un programa compuesto por 193 millones de instrucciones se ejecuta en un procesador en orden con una frecuencia de 2 Ghz y un CPI medio de 1.2. Dicho procesador dispone de caches separadas para datos e instrucciones y se sabe que se ejecutan 78 millones de instrucciones de acceso a datos (LW y SW), siendo la tasa de fallos para instrucciones de 0.08 y para datos de 0.19. Si el tiempo de acierto es de 1 ciclo y el de fallo de 88 ciclos, calcule el tiempo de ejecución (Tejec) de dicho programa:

Tejec =  0.8544 segundos

**Respuesta correcta:** 1.45