

Exàmens

2022-UT2B (2.4,2.5) - Prueba de seguimiento

Torna a la llista d'exàmens

Part 1 de 5 / 2.5 Punts

Pregunta 1 de 13

0.5 Punts

Dado el siguiente fragmento de código, ejecutado en un procesador con ejecución fuera de orden:

1 2 3 4 5 6 7 8 9 10 11 12 13 14

add.d f0,f1,f2 IF I - - - A1 A2 A3 WB - - - C

Suponiendo que ninguna otra instrucción escribe en el registro f0, las instrucciones posteriores que leen el registro f0:

- Entre los ciclos 3 y 5, leerán ☐ el valor (la marca | el valor) del ☒ banco de registros (banco de registros | ROB | estación de reserva).
- Entre los ciclos 6 y 8, leerán ☐ el valor (la marca | el valor) del ☒ banco de registros (banco de registros | ROB | estación de reserva).
- Entre los ciclos 10 y 13, leerán ☒ el valor (la marca | el valor) del ☐ banco de registros (banco de registros | ROB | estación de reserva).
- A partir del ciclo 15, leerán ☒ el valor (la marca | el valor) del ☒ banco de registros (banco de registros | ROB | estación de reserva).

Clau de respostes: la marca, banco de registros, la marca, banco de registros, el valor, ROB, el valor, banco de registros

Pregunta 2 de 13

0.5 Punts


Indica cuales de las siguientes cuestiones son correctas para el Algoritmo de Tomasulo con especulación visto en clase:

- A. Los riesgos de tipo WAR pueden resolverse en la etapa Issue leyendo el valor de los
✓ operandos disponibles en ese momento o, cuando éstos no estén, las marcas de las operaciones que deben proporcionarlos.
- ✖ B. El registro implicado en un riesgo WAW sólo puede ser actualizado por la última instrucción lanzada a ejecución que tenga dicho registro como destino.
- ✓ C. El ROB permite eliminar las dependencias de nombre que podrían surgir al ejecutar especulativamente instrucciones de varios bloques básicos.
- ✖ D. Los riesgos de tipo RAW se resuelven utilizando cortocircuitos que permiten proporcionar el valor de los registros cuando son necesarios para la ejecución de las instrucciones implicadas en el riesgo.

Clau de respostes: A, C

Pregunta 3 de 13

0.5 Punts

Cuando aplicamos el algoritmo de Tomasulo con especulación hardware a las instrucciones, éstas terminan su ejecución en la etapa  15, liberando la estación de reserva correspondiente y escribiendo el resultado de la operación en ✓ el ROB (el ROB | los registros).

Clau de respostes: wb | WB | writeback, el ROB | ROB | Reorder Buffer | Buffer de reordenación | el ROB | el Reorder Buffer | el Buffer de reordenación

Pregunta 4 de 13

0.5 Punts. Punts descomptats en cas de resposta incorrecta: 0.15

Un programa P compilado con la opción de optimización "loop-unrolling" no podría ejecutarse correctamente en un procesador que incorpora gestión dinámica de instrucciones con especulación hardware.



Veritat

Fals

Clau de respostes: Fals

Pregunta 5 de 13

0.5 Punts

En un procesador que aplica el algoritmo de Tomasulo con especulación hardware, indica cuáles de las siguientes afirmaciones son **falsas**:

- ✓ A. La planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación hardware sólo afecta a la ejecución de instrucciones multiciclo, como las de aritmética en coma flotante.
- ✓ B. Una instrucción dependiente solo podrá obtener sus operandos de los registros fuente que utilice, y si éstos estuvieran reservados por otra instrucción, anotarse la marca que éstos contengan.
- ✓ C. Las estaciones de reserva almacenan las instrucciones desde que se decodifican (etapa I) hasta que se confirman (etapa C).
- ✓ D. Cuando la instrucción llega a la etapa WB, difunde su resultado a través del bus común de datos para que todas las estaciones de reserva, buffers y registros que requieran de dicho valor puedan recuperarlo.

Clau de respostes: A, B, C, D

Part 2 de 5 / 2.5 Punts

Pregunta 6 de 13

0.5 Punts

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

Ciclo **Ciclo** **Ciclo** **Ciclo**

0 **1** **2** **3**

A			
A			
A			A
A			A

Ciclo 0 **Ciclo 1**

	B
B	B
B	B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano grueso. Supón que un evento es de alta latencia cuando dura más de un ciclo, que empieza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba. **¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

Ciclo 0 Ciclo 1 Ciclo 2 Ciclo 3

✓ A	✗ B	✗ B	✓ -
✓ A	✗ B	✗ -	✓ -
✓ A	✓ B	✗ -	✓ A
✓ A	✓ B	✗ -	✓ A

Clau de respostes: A, -, -, -, A, -, B, -, A, B, B, A, A, B, B, A

Pregunta 7 de 13

0.5 Punts. Punts descomptats en cas de resposta incorrecta: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Una ventaja de supersegmentar un procesador que inicialmente tiene x etapas es que el número de instrucciones que estarán simultáneamente en el procesador no excederá de x.
- ✓ B. Los procesadores supersegmentados ofrecen una mayor frecuencia de funcionamiento, aunque ésta puede verse limitada por el desfase máximo que presente la señal de reloj.
- ✓ C. Los procesadores supersegmentados mejoran las prestaciones de sus homólogos segmentados aumentando su frecuencia de funcionamiento y, por tanto, reduciendo el número de ciclos promedio (CPI) requeridos para la ejecución de las instrucciones.
- ✓ D. Los procesadores supersegmentados necesitan replicar los operadores y las memorias para poderlos utilizar en las nuevas etapas que se introducen en sus pipelines.

Clau de respostes: B

Pregunta 8 de 13

0.5 Punts

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

Ciclo 0 Ciclo 1 Ciclo2

A		
A	A	
A	A	A

Ciclo 0 Ciclo 1 Ciclo2

		B
	B	B
B	B	B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo con multithreading simultáneo (SMT). Si para un mismo ciclo se ejecutan las dos aplicaciones, ubica la aplicación A en las filas inferiores, y rellena las casillas de abajo a arriba. **¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

Ciclo 0 Ciclo 1 Ciclo 2 Ciclo 3

-	✓ B	-	B
✓ A	-	✓ B	✓ -
✓ A	✓ A	✓ B	✓ -
✓ A	✓ A	✓ A	✓ -

Clau de respostes: B, B, B, -, A, B, B, -, A, A, B, -, A, A, A, -

Pregunta 9 de 13

0.5 Punts

Considera un procesador superescalar de 4 vías, que utiliza un predictor de saltos BTB que obtiene su predicción al final de la etapa IF. La cache de instrucciones ofrece un grupo de 4 instrucciones alineadas. Si en un grupo de 4 instrucciones aparece una instrucción de salto que se predice como que "salta", indica el número de instrucciones del grupo que se desecharán:

1. Si el salto es la última instrucción del grupo:
2. Si el salto es la primera instrucción del grupo:

Clau de respostes: 0, 3

Pregunta 10 de 13

0.5 Punts. Punts descomptats en cas de resposta incorrecta: 0.15

Los procesadores VLIW empaquetan varias operaciones en cada instrucción máquina, con el objetivo de reducir el número de instrucciones ejecutadas por los programas.

- ☒ Veritat
☐ Fals

Clau de respostes: Veritat**Part 3 de 5 / 1.5 Punts**

Pregunta 11 de 13

1.5 Punts

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
loop	<code>l.d f2,%disp[x](r2)</code>	IF	I	AC	L1	L2	WB	C													
4100	<code>l.d f4,%disp[y](r2)</code>	IF	I	AC	L1	L2	WB	C													
4104	<code>mul.d f2,f2,f0</code>	IF	I					M1	M2	M3	M4	WB	C								
4108	<code>mul.d f4,f4,f1</code>	IF	I					M1	M2	M3	M4	WB	C								
4112	<code>add.d f6,f3,f2</code>		IF	I									A1	A2	WB	C					
4116	<code>add.d f6,f6,f4</code>		IF	I												A1	A2	WB	C		
4120	<code>s.d f6,%disp[y](r2)</code>		IF	I	AC														C	L1	L2
4124	<code>dadd r2,r2,8</code>		IF	I	E1	WB													C		
4128	<code>dsub r1,r1,1</code>			IF	I	E1	WB												C		
4132	<code>bnez r1,loop</code>			IF	I			E1	WB											C	
4136	<code>nop</code>			IF	X																
4140	<code>nop</code>			IF	X																
loop	<code>l.d f2,%disp[x](r2)</code>				IF	I	AC	L1	L2	WB										C	
4100	<code>l.d f4,%disp[y](r2)</code>				IF	I	AC	L1	L2	WB										C	
4104	<code>mul.d f2,f2,f0</code>				IF	I					M1	M2	M3	M4	WB					C	
4108	<code>mul.d f4,f4,f1</code>				IF	I					M1	M2	M3	M4	WB						C

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

1. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta? 7 ciclos
2. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla? 18 ciclos
3. Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (**expresado con 2 decimales y utilizando el punto decimal**) resultante de procesar unos vectores X e Y de 64 elementos cada uno? El CPI promedio será de 1.23 ciclos/instrucción.

Clau de respostes: 3, 19, 0.35

Part 4 de 5 / 2.0 Punts

Pregunta 12 de 13

2.0 Punts

Completa el siguiente cronograma, solamente para las instrucciones mostradas, asumiendo que el procesador ejecuta instrucciones siguiendo el algoritmo de Tomasulo con especulación hardware, es capaz de lanzar una instrucción por ciclo, tiene un único operador de multiplicación/división en coma flotante segmentado con latencia de dos ciclos (M1, M2), y un operador de enteros con latencia de un ciclo (E1).

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
.text	l.d f0,a(r0)	IF	I	AC	L1	L2	WB	C									
salto	l.d f2,x(r1)		IF	I	AC		L1	L2	WB								
salto + 04	mul.d f8,f2,f0			IF	I												
salto + 08	mul.d f10,f4,f0				IF	I		M1	M2								
salto + 12	mul.d f12,f6,f0					IF	I		M1								
salto + 16	dsub r1,r1,#8						IF	I	E1								
salto + 20	bnez r1,salto							IF	I								

Para resolver el ejercicio rellena la siguiente tabla. **Si una instrucción no realiza ninguna actividad en un ciclo márcalo con un guión (-). En otras palabras, rellena toda las celdas de la tabla.**

Instrucción	8	9	10	11	12	13	14	15	16
l.d f0,a(r0)		-	-	-	-	-	-	-	-
l.d f2,x(r1)	WB		✓	✓	✓	✓	✓	✓	✓
mul.d f8,f2,f0						✓	✓	✓	✓
mul.d f10,f4,f0	M2		✓	✓	✓		✓	✓	✓
mul.d f12,f6,f0	M1			✓	✓	✓		✓	✓
dsub r1,r1,#8	E1	✓	✓	✓		✓	✓		✓
bnez r1,salto	I	✓	✓	✓	✓			✓	

Clau de respostes: C, -, -, -, -, -, -, M1, M2, WB, C, -, -, -, WB, -, -, -, C, -, -, -, M2, WB, -, -, -, C, -, -, -, -, WB, -, -, C, -, -, -, -, E1, WB, -, C

Part 5 de 5 / 1.5 Punts

Pregunta 13 de 13

1.5 Punts

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12
loop	l.d f2,x(r1)	IF	I	AC	L1	L2	WB	C					
4100	l.d f3,y(r1)	IF	I	AC	L1	L2	WB	C					
4104	mul.d f3,f3,f2		IF	I				M1	M2	M3	WB	C	
4108	add.d f3,f3,f1		IF	I								A1	A2
4112	s.d f3,y(r1)			IF	I	AC							
4116	mul.d f4,f0,f2			IF	I			M1	M2	M3	WB		
4120	s.d f4,x(r1)				IF	I	AC						
4124	dadd r1,r1,8				IF	I	E1	WB					
4128	bne r1,r4,loop					IF	I		E1	WB			
end	trap 0					IF	X						
loop	l.d f2,x(r1)						IF	I	AC	L1	L2	WB	
4100	l.d f3,y(r1)						IF	I	AC	L1	L2	WB	
4104	mul.d f3,f3,f2							IF	I				M1
4108	add.d f3,f3,f1							IF	I				
4112	s.d f3,y(r1)								IF	I	AC		
4116	mul.d f4,f0,f2								IF	I			M1
4120	s.d f4,x(r1)									IF	I	AC	
4124	dadd r1,r1,8									IF	I	E1	WB
4128	bne r1,r4,loop										IF	I	
end	trap 0										IF	X	
loop	l.d f2,x(r1)											IF	I
4100	l.d f3,y(r1)											IF	I
4104	mul.d f3,f3,f2												IF
4108	add.d f3,f3,f1												IF

responda a las siguientes preguntas sobre el estado del procesador al final del ciclo 6:

¿Cuántas entradas en el ROB están activas?

¿Cuántos buffers de lectura están ocupados?

¿Cuántos buffers de escritura están ocupados?

¿Cuántos registros de coma flotante tienen una marca activa?

Clau de respostes: 9, 0, 2, 3

