

Exámenes

2022-UT2B (2.4,2.5) - Prueba de seguimiento

[Volver a la Lista de Exámenes](#)

Parte 1 de 5 / 2.5 Puntos

Preguntas 1 de 13

0.5 Puntos

En un procesador que aplica el algoritmo de Tomasulo con especulación hardware, indica cuáles de las siguientes afirmaciones son **falsas**:

- ☐ A. Una instrucción dependiente solo podrá obtener sus operandos de los registros fuente que utilice, y si éstos estuvieran reservados por otra instrucción, anotarse la marca que éstos contengan.
- ☒ B. Las estaciones de reserva almacenan las instrucciones desde que se decodifican (etapa I) hasta que se confirman (etapa C).
- ☐ C. Cuando la instrucción llega a la etapa WB, difunde su resultado a través del bus común de datos para que todas las estaciones de reserva, buffers y registros que requieran de dicho valor puedan recuperarlo.
- ☒ D. La planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación hardware sólo afecta a la ejecución de instrucciones multiciclo, como las de aritmética en coma flotante.

Respuesta correcta: A, B, C, D

Preguntas 2 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Cuando una instrucción aritmética llega a la fase Commit:

- ☒ A. Se comprueba la marca del registro destino, y si coincide con la de la instrucción, se escribe el resultado de la operación sobre el registro y lo libera.
- ☐ B. Se escribe el resultado de la operación sobre el registro destino y lo libera.

- ✓ C. Se escribe el resultado de la operación sobre el registro destino y si su marca coincide con la de la instrucción, se libera el registro.
- ✓ D. Se difunde por el bus comun de datos el resultado de la operación , escribiéndolo también en el ROB.

Respuesta correcta: C

Preguntas 3 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Un programa P compilado con la opción de optimización "loop-unrolling" no podría ejecutarse correctamente en un procesador que incorpora gestión dinámica de instrucciones con especulación hardware.

✗ Verdadero
Falso

Respuesta correcta: Falso

Preguntas 4 de 13

0.5 Puntos

Cuando aplicamos el algoritmo de Tomasulo con especulación hardware a las instrucciones, éstas terminan su ejecución en la etapa ✓ WB , liberando la estación de reserva correspondiente y escribiendo el resultado de la operación en ✓ el ROB (el ROB|los registros).

Respuesta correcta: wb|WB|writeback, el ROB|ROB|Reorder Buffer|Buffer de reordenación|el ROB|el Reorder Buffer|el Buffer de reordenación

Preguntas 5 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

El uso de técnicas de predicción de saltos unido a una etapa de confirmación de instrucciones en orden posibilita la ejecución especulativa de instrucciones.

✓ Verdadero
Falso

Respuesta correcta: Verdadero

Parte 2 de 5 / 2.5 Puntos

Preguntas 6 de 13

0.5 Puntos. Puntos descontados por fallo: 0.3

Indica cuales de las siguientes afirmaciones son correctas:

- ✓ A. Los procesadores multihilo de grano fino conmutan entre hilos cada ciclo de reloj, con lo que incrementa la productividad, aunque se puede retardar la ejecución de cada hilo individual.
- ✗ B. Los procesadores multihilo explotan el paralelismo a nivel de tarea (TLP), utilizando varios núcleos (cores) para ejecutar en paralelo múltiples flujos de instrucciones.
- C. Los procesadores multihilo de grano grueso no retardan la ejecución de cada hilo individual y permiten ocultar stalls tanto de alta como de baja latencia.
- D. Los procesadores con multithreading simultáneo (SMT) buscan compartir los recursos del procesador, aunque la ejecución simultánea de instrucciones de distintos hilos exige replicar algunos recursos para distinguir el estado de los hilos.

Respuesta correcta: A, D

Preguntas 7 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Los procesadores superescalares buscan reducir el tiempo de ejecución de los programas aumentando las instrucciones lanzadas a ejecución en cada ciclo de reloj.

- ✓ Verdadero
- Falso

Respuesta correcta: Verdadero

Preguntas 8 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Un procesador superescalar de m vías busca siempre en la etapa IF m instrucciones, aunque en determinadas ocasiones, algunas de estas instrucciones tienen que ser canceladas y no se entregan a las etapas siguientes.

- ✓ B. Un procesador superescalar de m vías modifica la ruta de datos interna del procesador segmentado de partida, con lo que no es compatible a nivel binario con dicho procesador segmentado.
- ✓ C. Un procesador superescalar con 2 vías aumentará las prestaciones de su homólogo segmentado (1 vía) siempre en un factor de 2.
- ✓ D. Un procesador superescalar de m vías no uniforme o con restricciones impone limitaciones en cuanto al tipo de instrucciones que pueden estar en ejecución simultáneamente, con lo que no será posible que varias instrucciones puedan efectuar la fase Commit al mismo tiempo.

Respuesta correcta: A

Preguntas 9 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Los procesadores VLIW empaquetan varias operaciones en cada instrucción máquina, con el objetivo de reducir el número de instrucciones ejecutadas por los programas.

- ✓ Verdadero
Falso

Respuesta correcta: Verdadero

Preguntas 10 de 13

0.5 Puntos

Considera un procesador superescalar de 3 vías, que utiliza un predictor de saltos BTB que obtiene su predicción al final de la etapa IF. La cache de instrucciones ofrece un grupo de 3 instrucciones alineadas. Si en un grupo de 3 instrucciones aparece una instrucción de salto que se predice como que "salta", indica el número de instrucciones del grupo que se desecharán:

1. Si el salto es la última instrucción del grupo: ✓ 0
2. Si el salto es la primera instrucción del grupo: ✓ 2

Respuesta correcta: 0, 2

Parte 3 de 5 / 1.5 Puntos

Preguntas 11 de 13

1.5 Puntos

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
loop	<i>l.d f2,%disp[x](r2)</i>	IF	I	AC	L1	L2	L3	WB	C																				
4100	<i>l.d f4,%disp[y](r2)</i>	IF	I	AC	L1	L2	L3	WB	C																				
4104	<i>mul.d f2,f2,f0</i>	IF	I						M1	M2	M3	M4	M5	M6	WB	C													
4108	<i>mul.d f4,f4,f1</i>	IF	I						M1	M2	M3	M4	M5	M6	WB	C													
4112	<i>add.d f6,f3,f2</i>		IF	I												A1	A2	A3	A4	WB	C								
4116	<i>add.d f6,f6,f4</i>		IF	I																	A1	A2	A3	A4	WB	C			
4120	<i>s.d f6,%disp[y](r2)</i>		IF	I	AC																					C	L1	L2	L3
4124	<i>dadd r2,r2,8</i>		IF	I	E1	WB																				C			
4128	<i>dsub r1,r1,1</i>			IF	I	E1	WB																			C			
4132	<i>bnez r1,loop</i>			IF	I			E1	WB																		C		
4136	<i>nop</i>			IF	X																								
4140	<i>nop</i>			IF	X																								
loop	<i>l.d f2,%disp[x](r2)</i>				IF	I	AC	L1	L2	L3	WB																C		
4100	<i>l.d f4,%disp[y](r2)</i>				IF	I	AC	L1	L2	L3	WB																C		
4104	<i>mul.d f2,f2,f0</i>				IF	I						M1	M2	M3	M4	M5	M6	WB								C			
4108	<i>mul.d f4,f4,f1</i>				IF	I						M1	M2	M3	M4	M5	M6	WB									C		

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

1. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta? ✓ 3 ciclos
2. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla? ✓ 26 ciclos
3. Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (**expresado con 2 decimales y utilizando el punto decimal**) resultante de procesar unos vectores X e Y de 64 elementos cada uno? El CPI promedio será de ✓ 0.37 ciclos/instrucción.

Respuesta correcta: 3, 26, 0.37|0.372

Parte 4 de 5 / 2.0 Puntos

Preguntas 12 de 13

2.0 Puntos

Se lanza una aplicación en un procesador con ejecución fuera de orden y especulación. El resultado de los primeros 11 ciclos de ejecución es el siguiente:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14
.text	l.d f0,a(r0)	IF	I	AC	L1	L2	WB	C							
salto	l.d f2,x(r1)		IF	I	AC		L1	L2	WB	C					
8	mul.d f4,f2,f0			IF	I					M1	M2	M3			
12	l.d f6,y(r1)				IF	I	AC		L1	L2	WB				
16	sub.d f4,f4,f6					IF	I								
20	s.d f4,z(r1)						IF	I	AC						
24	dsub r1,r1,#8							IF	I	E1	-	WB			
28	bnez r1,salto								IF	I					
salto	l.d f2,x(r1)									IF	I				
8	mul.d f4,f2,f0										IF	I			
12	l.d f6,y(r1)											IF			

Completa los ciclos 12, 13 y 14 para cada instrucción, a partir de la primera que no ha realizado la etapa Commit. Considera que el operador de multiplicación/división está segmentado y tiene una latencia de 4 ciclos. Para resolver el ejercicio, completa la tabla siguiente. **Si una instrucción no realiza ninguna actividad en un ciclo, márcalo con un guión (-). En otras palabras, rellena todas las casillas de la tabla.**

Instrucción	11	12	13	14
ld f0,a(r0)				
l.d f2,x(r1)				
mul.d f4,f2,f0	M3	✓ <u>M4</u>	✓ <u>WB</u>	✓ <u>C</u>
l.d f6,y(r1)		✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>

sub.d f4,f4,f6		✓ ₋	✓ ₋	× <u>E1</u>
s.d f4, z(r1)		✓ ₋	✓ ₋	✓ ₋
dsub r1,r1,#8	WB	✓ ₋	✓ ₋	✓ ₋
bnez r1,salto		× <u>EX</u>	× <u>WB</u>	× ₋
l.d f2,x(r1)		✓ <u>AC</u>	✓ <u>L1</u>	✓ <u>L2</u>
mul.d f4,f2,f0	I	× <u>M1</u>	× <u>M2</u>	× <u>M3</u>
l.d f6,y(r1)	IF	✓ <u>I</u>	✓ <u>AC</u>	× <u>L1</u>

Respuesta correcta: M4, WB, C, -, -, -, -, A1, -, -, -, -, E1, -, WB, AC, L1, L2, -, -, -, I, AC, -

Parte 5 de 5 / 1.5 Puntos

Preguntas 13 de 13

1.5 Puntos

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
salto	l.d f0,x(r0)	IF	I	AC	L1	L2	WB	C											
salto + 04	s.d f0,y(r0)		IF	I	AC				C	L1	L2								
salto + 08	add.d f4,f0,f2			IF	I			A1	A2	WB	C								
salto + 12	s.d f4,z(r0)				IF	I	AC					C	L1	L2					
salto + 16	dsub r1,r1,#8					IF	I	E1	WB				C						
salto + 20	bnez r1,salto						IF	I		E1	WB			C					
salto + 24	trap 0							IF	I					x					
.etext	<nop>								if	if	if	if	if	X					
salto	l.d f0,x(r0)														IF	I	AC	L1	L2
salto + 04	s.d f0,y(r0)															IF	I	AC	
salto + 08	add.d f4,f0,f2																IF	I	
salto + 12	s.d f4,z(r0)																	IF	I
salto + 16	dsub r1,r1,#8																		IF

responde a las siguientes preguntas sobre el estado del procesador al final del ciclo 18:

- ¿Cuántas entradas en el ROB están activas? ✓4
- ¿Cuántos buffers de lectura están ocupados? ✓1
- ¿Cuántos buffers de escritura están confirmados? ✓0
- ¿Cuántos registros de coma flotante tienen una marca activa? ✓2

Respuesta correcta: 4, 1, 0, 2

