

## Exámenes

### UT3 Prueba seguimiento (Castellano)

[Volver a la Lista de Exámenes](#)

#### Parte 1 de 7 / 1.5 Puntos

Preguntas 1 de 12

0.75 Puntos

Acerca de los accesos a memoria en un procesador fuera de orden indique **TODAS** las afirmaciones verdaderas:

- ✓ A. Los fallos en los accesos a la cache de instrucciones siempre detienen el *front-end*.
- ✓ B. La fracción no solapada (FNS) es la parte de la penalización de fallo en lectura de datos (PF) en la cual el procesador está detenido en el *front-end*.
- C. Cuando una instrucción de almacenamiento provoca un fallo de escritura en la cache de datos tiene una penalización de fallos que depende de la política de escritura del primer nivel de cache (L1) (Write-Allocate o No-Write-Allocate).
- D. Cuando una instrucción de carga provoca un fallo de lectura en la cache de datos siempre detiene el *front-end*.

**Respuesta correcta:** A, B

Preguntas 2 de 12

0.75 Puntos

Elige **TODAS** las afirmaciones correctas. Un sistema incorpora una única cache de correspondencia directa, write-back, write allocate:

- ✓ A. Se reduce el número de bloques escritos en memoria principal (MP) con respecto a tener política write-through.
- B. Se reduce el número de bloques escritos en la cache con respecto a tener política write-through.

C. Ante un fallo en escritura se escribe en MP y después se trae el bloque a la cache.

- ✓ D. Ante un fallo en escritura, primero se trae el bloque a la cache y después se escribe sólo en la cache.

**Respuesta correcta:** A, D

## Parte 2 de 7 / 2.25 Puntos

Preguntas 3 de 12

0.75 Puntos

Con el objetivo de mejorar la tasa de fallos se puede ajustar la geometría de la cache para reducir los fallos de arranque, de conflicto y de capacidad.

- Cuando aumentamos el tamaño de bloque, conseguimos reducir los fallos de ✓ arranque , pero pueden aumentar los fallos de ✓ conflicto y de ✓ capacidad .
- Cuando aumentamos el número de vías, conseguimos reducir los fallos de ✓ conflicto pero puede aumentar el tiempo de ✓ acierto .
- Cuando aumentamos el tamaño de la cache, conseguimos reducir los fallos de ✓ capacidad pero puede aumentar el tiempo de ✓ acierto .

**Respuesta correcta:** arranque, capacidad | conflicto, capacidad | conflicto, conflicto, acierto | acceso, capacidad, acceso | acierto

Preguntas 4 de 12

0.75 Puntos

Indica **TODAS** las opciones correctas

- ✓ A. En las técnicas *Early Restart* y *Critical Word First* el procesador continua con la ejecución en cuanto se le entrega la palabra solicitada, mientras se transfiere el resto del bloque.
- B. La reducción del tiempo de transferencia es idéntico en ambas técnicas: *Early Restart* y *Critical Word First* .
- C. En la técnica *Early Restart* el orden de las palabras de un bloque no se ve alterado al transferirse.
- D. En la técnica *Critical Word First* se accede al bloque normalmente, pero el procesador continua en cuanto obtiene la palabra crítica.




**Respuesta correcta:** A, C

Preguntas 5 de 12

0.75 Puntos

Relacione cada una de las siguientes técnicas con el parámetro que se consigue reducir de la ecuación del tiempo de acceso medio a memoria.

- A. Buffer de escritura
- B. Cache blocking
- C. Predicción de vía

- |   |   |                              |
|---|---|------------------------------|
|  | B | 1. Tiempo en caso de acierto |
|  | A | 2. Tasa de fallo             |
|  | C | 3. Penalización de fallo     |

**Respuesta correcta:** 1:C, 2:B, 3:A

### Parte 3 de 7 / 2.25 Puntos

Preguntas 6 de 12

0.75 Puntos



Respecto a los módulos de memoria principal, la aparición de las memorias  DRAM tuvo como principal contribución la transferencia de datos en los dos flancos de la señal de reloj.

**Respuesta correcta:** DDR

Preguntas 7 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

La tendencia mostrada en las nuevas organizaciones de memoria principal en los procesadores es:

-  A. Aumentar el voltaje de alimentación para soportar bancos con mayor capacidad.
-  B. Aumentar el solapamiento haciendo que el sistema total (controladores, ranks y canales) disponga de más bancos.

- ✓ C. Reducir el tiempo de acceso reduciendo la latencia en ciclos de los módulos de memoria.
- ✓ D. Poner chips más pequeños para poder realizar más accesos en paralelo.

**Respuesta correcta:** B

Preguntas 8 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Indica la afirmación correcta:

- ✓ A. Cada módulo de DRAM solo puede tener abierta una línea en un momento dado.
- ✓ B. Cada módulo de DRAM puede tener tantas filas abiertas como bancos.
- ✓ C. Cada módulo de DRAM puede tener abiertas tantas filas como canales tenga el controlador.
- ✓ D. Cada módulo de DRAM puede tener tantas filas abiertas como ranks.

**Respuesta correcta:** B

#### Parte 4 de 7 / 0.75 Puntos

Preguntas 9 de 12

0.75 Puntos

En un sistema con cache L1 de instrucciones y datos separadas ejecuta un programa con un 31% de instrucciones de acceso a memoria. Si la tasa de fallos de la cache de instrucciones es  $TF_I = 0.05$  y de la cache de datos es  $TF_D = 0.09$ , la tasa de fallos unificada de la cache L1 será  $TF_{I+D} =$  ~~0.14~~ .

**Respuesta correcta:** 0.0595

#### Parte 5 de 7 / 0.75 Puntos

Preguntas 10 de 12

0.75 Puntos

Un programa se ejecuta sobre un sistema con dos niveles de cache. La tasa de fallos de primer nivel  $TF_{L1}$  es 0.05 y la tasa de fallos global  $TF_{L1+L2}$  es 0.0255. Así pues, la tasa de fallos local de L2  $TF_{L2}$  será 0.51. ✓

**Respuesta correcta:** 0.51**Parte 6 de 7 / 0.75 Puntos**

Preguntas 11 de 12

0.75 Puntos

En una memoria SDRAM DDR del tipo PC3-6400 la frecuencia de reloj del bus será 2133.33 MHz. ❌

**Respuesta correcta:** 400**Parte 7 de 7 - Ejercicios UT3 / 1.75 Puntos**

Preguntas 12 de 12

1.75 Puntos

Un sistema con un procesador a 3 GHz con dos niveles de cache obtiene una tasa de fallos media en el primer nivel L1 de 0.05 y de 0.44 en el segundo nivel L2. El tiempo de acierto en la cache L1 es  $TA_{L1} = 1$  ciclo y en la cache L2  $TA_{L2} = 5$  ciclos. El sistema tiene una memoria principal de tipo DDR a 1200 MHz con una latencia media  $L = 16$  ciclos y un tamaño de bloque  $B = 64$  bytes.

En ese caso, la penalización por fallos de la cache L2 será  $PF_{L2} =$  ❌ ciclos de **bus**.

En ese caso, la penalización por fallos de la cache L1 será  $PF_{L1} =$  ❌ ciclos de **cpu**.

Si un programa realiza 140 millones de accesos a memoria, indica cuál sería el tiempo extra de memoria en un procesador con ejecución en orden.

$T_{\text{extra\_mem}} =$  ❌ ms. (milisegundos con dos decimales).

**Respuesta correcta:** 20, 27, 63