

Exámenes

UT3 Prueba seguimiento (Castellano)

[Volver a la Lista de Exámenes](#)

Parte 1 de 7 / 1.5 Puntos

Preguntas 1 de 12

0.75 Puntos

Acerca de los accesos a memoria en un procesador fuera de orden indique **TODAS** las afirmaciones verdaderas:

- ☐ A. Cuando una instrucción de carga provoca un fallo de lectura en la cache de datos siempre detiene el *front-end*.
- ☐ B. Los fallos en los accesos a la cache de instrucciones siempre detienen el *front-end*.
- ☒ C. La fracción no solapada (FNS) es la parte de la penalización de fallo en lectura de datos (PF) en la cual el procesador está detenido en el *front-end*.
- ☐ D. Cuando una instrucción de almacenamiento provoca un fallo de escritura en la cache de datos tiene una penalización de fallos que depende de la política de escritura del primer nivel de cache (L1) (Write-Allocate o No-Write-Allocate).

Respuesta correcta: B, C

Preguntas 2 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Elige la afirmación correcta. Un sistema dispone de dos niveles de cache. La cache L1 implementa la política de escritura *no-write allocate* y la cache L2 *write allocate*. En dicho sistema:

- ✓ A. Un fallo de escritura, implicaría una escritura en memoria principal pero el bloque no se traería a ninguna cache.
- ✓ B. Un fallo de escritura en ambas caches sólo traería el bloque a la cache L2.
- ✓ C. Un fallo de escritura en ambas caches sólo traería el bloque a la cache L1.
- ✓ D. Un fallo de escritura en ambas caches traería el bloque a ambas caches.

Respuesta correcta: B

Parte 2 de 7 / 2.25 Puntos

Preguntas 3 de 12

0.75 Puntos

Indica **TODAS** las opciones correctas

- A. La reducción del tiempo de transferencia es idéntico en ambas técnicas: *Early Restart* y *Critical Word First*.
- ✓ B. En las técnicas *Early Restart* y *Critical Word First* el procesador continua con la ejecución en cuanto se le entrega la palabra solicitada, mientras se transfiere el resto del bloque.
- C. En la técnica *Early Restart* el orden de las palabras de un bloque no se ve alterado al transferirse.
- ✗ D. En la técnica *Critical Word First* se accede al bloque normalmente, pero el procesador continua en cuanto obtiene la palabra crítica.

Respuesta correcta: B, C

Preguntas 4 de 12

0.75 Puntos

Indique **TODAS** las afirmaciones correctas

- ✓ A. La técnica de Buffers de Escrituras combinadas pretende reducir el número de accesos a memoria combinando escrituras pertenecientes al mismo bloque en un único acceso.

B. Cuando se aplica la técnica *load-bypassing* una instrucción de carga puede continuar si la dirección accedida no se encuentra en el Buffer de Escritura.



C. Cuando se aplica la técnica *load-bypassing* sobre los Buffers de Escritura, una instrucción de carga puede continuar cuando se dispone del dato requerido por la load en el buffer de escritura.

D. Cuando se utilizan las políticas *Write-Back/Write-allocate* la existencia de un Buffer de Escritura con el siguiente nivel elimina la penalización por fallo siempre que hay un fallo en escritura en la cache.

Respuesta correcta: A, B

Preguntas 5 de 12

0.75 Puntos

Relacione cada una de las siguientes técnicas con el parámetro que se consigue reducir de la ecuación del tiempo de acceso medio a memoria.

- A. Buffer de escritura
- B. Cache blocking
- C. Predicción de vía

- ✓ C 1. Tiempo en caso de acierto
- ✓ B 2. Tasa de fallo
- ✓ A 3. Penalización de fallo

Respuesta correcta: 1:C, 2:B, 3:A

Parte 3 de 7 / 2.25 Puntos

Preguntas 6 de 12

0.75 Puntos

Sobre la tecnología SDRAM actual selecciona TODAS respuestas correctas:

- ✓ A. El CAS Latency (CL) es el tiempo mínimo (en ciclos) necesario para leer el primer bit de memoria desde una DRAM con la fila ya abierta.



B. El tiempo t_{RCD} es el mínimo tiempo en nanosegundos (ns) entre la apertura de una fila de memoria y el acceso a una columna.

C. El tiempo para leer el primer bit de memoria de una DRAM ante un acierto en el buffer de fila es $t_{RP} + t_{RCD} + CL$.

D. El tiempo t_{RAS} es el tiempo necesario para refrescar internamente la fila y se solapa con t_{RCD} .

Respuesta correcta: A, D

Preguntas 7 de 12

0.75 Puntos


Respecto a los módulos de memoria principal, la aparición de las memorias ✓ DDR tuvo como principal contribución la transferencia de datos en los dos flancos de la señal de reloj.

Respuesta correcta: DDR

Preguntas 8 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Selecciona cuál de las siguientes afirmaciones es correcta:

-  A. El tiempo de transferencia por el bus de un bloque de B palabras de memoria depende de si la fila correspondiente del banco está abierta.
- ✓ B. La tasa de aciertos en buffer de fila (TAbf) afecta directamente a la penalización por fallo PF_{LLC}
- ✓ C. El ancho de banda del bus en bytes/ciclo no cambió con la introducción de las memorias DDR.
- ✓ D. La tasa de aciertos en buffer de fila (TAbf) depende exclusivamente del número de bancos de la memoria principal.

Respuesta correcta: B

Parte 4 de 7 / 0.75 Puntos

Preguntas 9 de 12

0.75 Puntos

Un procesador tiene caches de datos e instrucciones separadas. Se ha evaluado obteniendo un porcentaje de instrucciones LW del 20% y de SW del 38%. También se ha obtenido la tasa de fallos en cache, siendo de 0.2 para la cache de instrucciones, y de 0.4 para la cache de datos. Con estos datos la tasa de fallos unificada sería $TF_{unif} = \sqrt{0.27}$.

Respuesta correcta: 0.27**Parte 5 de 7 / 0.75 Puntos**

Preguntas 10 de 12

0.75 Puntos

En un procesador con una cache L1 VIPT (*Virtually Indexed Physically Tagged*) con un direccionamiento de memoria virtual de 48 bits el tamaño del bloque de cache es 32 bytes y el tamaño de la página de memoria virtual 128 Kbytes. En ese caso, el número máximo de conjuntos de una cache con correspondencia asociativa sería ~~67108864~~.

Respuesta correcta: 4096**Parte 6 de 7 / 0.75 Puntos**

Preguntas 11 de 12

0.75 Puntos

Dada una memoria SDRAM DDR3 con los parámetros de temporización 15-15-15-46, su latencia cuando está abierta la fila incorrecta sería $L = \checkmark 45$ ciclos.

Respuesta correcta: 45

Parte 7 de 7 - Ejercicios UT3 / 1.75 Puntos

Preguntas 12 de 12

1.75 Puntos

Un sistema con un procesador a 1 GHz con dos niveles de cache obtiene una tasa de fallos media en el primer nivel L1 de 0.05 y de 0.46 en el segundo nivel L2. El tiempo de acierto en la cache L1 es $TA_{L1} = 1$ ciclo y en la cache L2 $TA_{L2} = 6$ ciclos. El sistema tiene una memoria principal de tipo DDR a 400 MHz con una latencia media $L = 30$ ciclos y un tamaño de bloque $B = 32$ bytes.

En ese caso, la penalización por fallos de la cache L2 será $PF_{L2} = \checkmark 32$ ciclos de **bus**.

En ese caso, la penalización por fallos de la cache L1 será $PF_{L1} = \text{❌} 51.8$ ciclos de **cpu**.

Si un programa realiza 150 millones de accesos a memoria, indica cuál sería el tiempo extra de memoria en un procesador con ejecución en orden.

$T_{\text{extra_mem}} = \text{❌} 388.5$ ms. (milisegundos con dos decimales).

Respuesta correcta: 32, 42.8, 321