

## Exámenes

### 2022-UT2A (2.1,2.2,2.3) Prueba de seguimiento (Castellano)

[Volver a la Lista de Exámenes](#)

#### Parte 1 de 6 / 3.5 Puntos

Preguntas 1 de 13

0.7 Puntos. Puntos descontados por fallo: 0.21

Teniendo en cuenta la ruta de datos segmentada del procesador MIPS en las etapas IF, ID, EX, M y WB, y teniendo en cuenta que el ciclo de reloj es de 10 ns, indica qué respuesta es CIERTA:

- ✓ A. Todas las etapas deben tener un retardo idéntico a 10 ns
- ✓ B. El tiempo de lectura o escritura en el banco de registros no puede ser inferior a 10 ns
- ✓ C. La aceleración que se obtendría, en comparación a la ruta de datos sin segmentar, es de 5, independientemente de la duración de cada etapa
- ✓ D. La suma de retardos del registro de segmentación y la etapa más lenta no puede superar los 10 ns

**Respuesta correcta:** D

Preguntas 2 de 13

0.7 Puntos. Puntos descontados por fallo: 0.21

Indica cuál de los siguientes casos se ocasiona un riesgo estructural:

- ✓ A. Una instrucción accede a memoria para leer o escribir un dato y el procesador tiene una memoria cache unificada de datos e instrucciones.
- ✓ B. Una instrucción accede a memoria para leer o escribir un dato y el procesador tiene memorias cache separadas de datos e instrucciones.
- ✓ C. Dos instrucciones aritméticas calculan su resultado en la misma etapa en ciclos consecutivos.

- ✓ D. Dos instrucciones acceden en el mismo ciclo de reloj al banco de registros, una para realizar una escritura de un resultado y la otra para leer operandos. El banco de registros tiene un puerto de lectura por operando y un puerto de escritura.

**Respuesta correcta:** A

Preguntas 3 de 13

0.7 Puntos

Indica en cuáles de los siguientes fragmentos de código se aplicaría un cortocircuito WBaEX:

A. -----

```
l.d f0, 0(r0)
add r1, r1, r2
s.d f0, 20(r0)
```

✓

B. -----

```
l.d f0, 0(r0)
s.d f0, 20(r0)
add r1, r1, r2
```

C. -----

```
dadd r1, r2, r3
dadd r4, r1, r5
dsub r6, r4, r7
```

D. -----

```
dadd r1,r2,r3
and r20,r2,r3
ld r3,100(r1)
```

✓

**Respuesta correcta:** A, D

Preguntas 4 de 13

0.7 Puntos

Si un procesador segmentado realiza el cálculo de la dirección y condición de salto así como la escritura del PC en la fase 4 del ciclo de instrucción, cuando se emplea predict-not-taken para resolver los riesgos del control y el salto es efectivo, se cancelan ✓3 instrucciones.

**Respuesta correcta:** 3

Preguntas 5 de 13

0.7 Puntos. Puntos descontados por fallo: 0.21

Si un procesador soporta un comportamiento preciso frente a las excepciones:

- ✓ A. Todas las demás respuestas son correctas.
- ✓ B. Las instrucciones posteriores a la excepción terminan correctamente.
- ✓ C. Se puede identificar la instrucción causante de la excepción.
- ✓ D. Las instrucciones anteriores a la excepción se cancelan.

**Respuesta correcta:** C

## Parte 2 de 6 / 2.1 Puntos

Preguntas 6 de 13

0.7 Puntos

Dado el fragmento de código MIPS que se muestra a continuación:

```
1 bnez r1,loop
2 l.d f0,100(r10)
3 add.d f4,f0,f2
4 s.d f4,100(r10)
5 l.d f0,200(r10)
6 sub.d f4,f0,f3
7 s.d f4,200(r10)
```

relaciona cada par de instrucciones con un tipo de dependencia:

A. i3 y i6

- B. i2 y i3
- C. i1 y i6
- D. i4 y i6

- ✓ B 1. Dependencia de datos
- ✓ D 2. Antidependencia
- ✓ A 3. Dependencia de salida
- ✓ C 4. Dependencia de control

**Respuesta correcta:** 1:B, 2:D, 3:A, 4:C

Preguntas 7 de 13

0.7 Puntos. Puntos descontados por fallo: 0.21

Asumiendo una ruta de datos con un operador multiciclo de multiplicación en coma flotante con tiempo de evaluación (o latencia) de 4 ciclos y tasa de iniciación (initiation rate) de  $\frac{1}{4}$  de ciclo, podemos afirmar que:

- ✓ A. El operador no está segmentado y tiene un tiempo de ejecución de un cuarto de ciclo.
- ✓ B. El operador no está segmentado.
- ✓ C. El operador podrá ejecutar al mismo tiempo cuatro instrucciones, pero cada una de ellas en una etapa distinta.
- ✓ D. El operador está segmentado y permite introducir a ejecución una operación cada cuatro ciclos.

**Respuesta correcta:** B

Preguntas 8 de 13

0.7 Puntos. Puntos descontados por fallo: 0.21

Indica el número de ciclos de parada y el cortocircuito que aplicaría el procesador MIPS segmentado para resolver los riesgos de datos generados por la secuencia de instrucciones mostrada. Considera que las latencias del multiplicador y del sumador son 7 y 4, respectivamente:

```
mul.d f0, f1, f2
```

```
add.d f0, f0, f3
```

- ✓ A. 6 stalls, M7aA1

- ✓ B. 0 stalls, WBaA1
- ✓ C. 6 stalls, WBaA1
- ✓ D. 7 stalls, WBaA1

**Respuesta correcta:** C

### Parte 3 de 6 / 1.4 Puntos

Preguntas 9 de 13

0.7 Puntos. Puntos descontados por fallo: 0.21

Un predictor de dos niveles de tipo gselect con dos bits de historia global, obtiene la predicción de una instrucción de salto:

- ✓ A. teniendo en cuenta el comportamiento del salto en cuestión y de las dos últimas instrucciones de salto ejecutadas
- ✓ B. teniendo en cuenta únicamente el comportamiento del salto en cuestión
- ✓ C. necesita dos tablas que almacenan predicciones de 2 bits.
- ✓ D. teniendo en cuenta el comportamiento del salto en cuestión y de la última instrucción de salto ejecutada

**Respuesta correcta:** A

Preguntas 10 de 13

0.7 Puntos. Puntos descontados por fallo: 0.21

En un procesador con predicción dinámica de salto, si el salto finalmente es "no tomado" y la predicción falla:

- ✓ A. Todas las demás opciones son correctas.
- ✓ B. Se comienza la búsqueda de instrucciones en la dirección destino del salto.
- ✓ C. Se actualiza el estado del predictor.
- ✓ D. Se cancelan las instrucciones buscadas antes de la de salto.

**Respuesta correcta:** C

## Parte 4 de 6 / 1.0 Puntos

Preguntas 11 de 13

1.0 Puntos

Teniendo en cuenta la ruta de datos del procesador MIPS segmentada en cinco etapas (IF: etapa 1 del ciclo de instrucción, ID: etapa 2, EX: etapa 3, M: etapa 4, WB: etapa 5), que aplica todos los cortocircuitos posibles para resolver conflictos de datos, que resuelve los conflictos de control mediante ciclos de parada, que calcula la condición de salto en la etapa 3 del ciclo de instrucción y que modifica el PC en la etapa 3, y que no tiene ningún conflicto estructural, calcula el CPI para un alto número de iteraciones del bucle en el siguiente código:

```
loop: ld r3, 0(r2)
      ld r4, 0(r3)
      daddi r2, r2, 8
      dadd r1, r1, r4
      sd r4, 1024(r3)
      daddi r10, r10, -1
      bnez r10, loop
      sd r1, 0(r11)
      <sgte+1>
      <sgte+2>
      <sgte+3>
```

CPI =  $\sqrt{1.429}$

**Respuesta correcta:** 1.43

## Parte 5 de 6 / 1.0 Puntos

Preguntas 12 de 13

1.0 Puntos

Un bucle ejecuta la siguiente secuencia de instrucciones en el procesador MIPS:

```
loop:  l.d f0,X(r10)
      add.d f0,f0,f10
      s.d f0,X(r10)
      dadd r10,r10,#8
      dadd r11,r11,#-1
      bnez r11,loop
```

Durante la ejecución de una iteración, la instrucción `add.d` inserta 3 ciclos de parada, mientras que la `s.d` inserta 3 ciclos de parada. Si aplicamos la técnica loop-unrolling para eliminar los ciclos de parada, incrementando al mínimo el número de instrucciones ¿cuántas iteraciones del bucle original deberían incluirse en el nuevo cuerpo del bucle? ☒ 4

**Respuesta correcta:** 4

## Parte 6 de 6 / 1.0 Puntos

Preguntas 13 de 13

1.0 Puntos

Un procesador dispone de un predictor de saltos BTB que obtiene la predicción en la primera fase del ciclo de instrucción. La condición, dirección de salto y la escritura del PC se realiza en la fase 3 del ciclo de instrucción. Sabiendo que la probabilidad de que un salto se encuentre en la tabla es del 88%, los saltos son efectivos en el 76% de los casos, y que el predictor acierta en un 90%, calcula el CPI medio de las instrucciones de salto: ☒ 1.32

**Respuesta correcta:** 1.36