

Exámenes

UT3 Prueba seguimiento (Castellano)

[Volver a la Lista de Exámenes](#)

Parte 1 de 7 / 1.5 Puntos

Preguntas 1 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Elige la afirmación correcta. Un sistema dispone de dos niveles de cache. La cache L1 implementa la política de escritura *no-write allocate* y la cache L2 *write allocate*. En dicho sistema:

- ✓ A. Un fallo de escritura en ambas caches sólo traería el bloque a la cache L2.
- ✓ B. Un fallo de escritura, implicaría una escritura en memoria principal pero el bloque no se traería a ninguna cache.
- ✓ C. Un fallo de escritura en ambas caches traería el bloque a ambas caches.
- ✓ D. Un fallo de escritura en ambas caches sólo traería el bloque a la cache L1.

Respuesta correcta: A

Preguntas 2 de 12

0.75 Puntos

¿Cuáles de los siguientes enunciados sobre las políticas de escritura en cache son **CIERTOS**? (marca todas las respuestas correctas)

A. Con la estrategia *Write through* cuando un bloque no está en cache no se trae desde los niveles inferiores ni se produce ningún reemplazamiento.



B. Con la política *Write-back* sólo se escribe en un nivel de cache si el bloque ya está presente en dicho nivel.

C. Con la política *Write-back* la memoria principal sólo está completamente actualizada cuando no hay bloques *sucios* en los distintos niveles de cache.

- ✓ D. La estrategia *Write allocate* trae un bloque a una cache siempre que se intenta escribir en un bloque que no está presente en la cache.

Respuesta correcta: C, D

Parte 2 de 7 / 2.25 Puntos

Preguntas 3 de 12

0.75 Puntos

Indique **TODAS** las afirmaciones correctas

A. La técnica de Buffers de Escrituras combinadas pretende reducir el número de accesos a memoria combinando escrituras pertenecientes al mismo bloque en un único acceso.

B. Cuando se utilizan las políticas *Write-Back/Write-allocate* la existencia de un Buffer de Escritura con el siguiente nivel elimina la penalización por fallo siempre que hay un fallo en escritura en la cache.

C. Cuando se aplica la técnica *load-bypassing* una instrucción de carga puede continuar si la dirección accedida no se encuentra en el Buffer de Escritura.

✗ D. Cuando se aplica la técnica *load-bypassing* sobre los Buffers de Escritura, una instrucción de carga puede continuar cuando se dispone del dato requerido por la load en el buffer de escritura.

Respuesta correcta: A, C

Preguntas 4 de 12

0.75 Puntos

Relacione cada una de las siguientes técnicas con el parámetro que se consigue reducir de la ecuación del tiempo de acceso medio a memoria.

- A. Cache blocking
- B. Buffer de escritura
- C. Predicción de vía

✓ C 1. Tiempo en caso de acierto

- ✓ A 2. Tasa de fallo
- ✓ B 3. Penalización de fallo

Respuesta correcta: 1:C, 2:A, 3:B

Preguntas 5 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Indica la afirmación correcta:

- ✓ A. La técnica *Critical Word First* transfiere primero la palabra con la dirección de menor peso dentro del bloque.
- ✖ B. La penalización de fallo incluye, en caso de *Early Restart*, la latencia de acceso más el tiempo de transferencia de la primera palabra.
- ✓ C. La penalización de fallo incluye, en caso de *Early Restart*, la latencia de memoria más un tiempo de transferencia de bloque variable.
- ✓ D. La técnica *Critical Word First* permite reducir el componente de la latencia (L) de la penalización de fallo.

Respuesta correcta: C

Parte 3 de 7 / 2.25 Puntos

Preguntas 6 de 12

0.75 Puntos

Respecto a los módulos de memoria principal, la aparición de las memorias DDR SDRAM tuvo como principal contribución la transferencia de datos en los dos flancos de la señal de reloj.

Respuesta correcta: DDR

Preguntas 7 de 12

0.75 Puntos

Sobre la tecnología SDRAM actual selecciona TODAS respuestas correctas:

- A. El CAS Latency (CL) es el tiempo mínimo (en ciclos) necesario para leer el primer bit de memoria desde una DRAM con la fila ya abierta.
- B. El tiempo t_{RCD} es el mínimo tiempo en nanosegundos (ns) entre la apertura de una fila de memoria y el acceso a una columna.
- C. El tiempo para leer el primer bit de memoria de una DRAM ante un acierto en el buffer de fila es $t_{RP} + t_{RCD} + CL$.
- ✓ D. El tiempo t_{RAS} es el tiempo necesario para refrescar internamente la fila y se solapa con t_{RCD} .

Respuesta correcta: A, D

Preguntas 8 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Selecciona cuál de las siguientes afirmaciones es correcta:

- ✓ A. El tiempo de transferencia por el bus de un bloque de B palabras de memoria depende de si la fila correspondiente del banco está abierta.
- ✓ B. La tasa de aciertos en buffer de fila (TABf) afecta directamente a la penalización por fallo PF_{LLC}
- ✓ C. El ancho de banda del bus en bytes/ciclo no cambió con la introducción de las memorias DDR.
- ✓ D. La tasa de aciertos en buffer de fila (TABf) depende exclusivamente del número de bancos de la memoria principal.

Respuesta correcta: B

Parte 4 de 7 / 0.75 Puntos

Preguntas 9 de 12

0.75 Puntos

En un sistema con una cache L1 se ejecuta un programa con un 25% de instrucciones de acceso a memoria. Este programa sufre 9.43 fallos por cada 100 instrucciones ejecutadas. En este caso, la tasa de fallos unificada TF_{I+D} a la cache L1 sería ~~0.118~~ .

Respuesta correcta: 0.0754

Parte 5 de 7 / 0.75 Puntos

Preguntas 10 de 12

0.75 Puntos

Un programa se ejecuta sobre un sistema con dos niveles de cache. La tasa de fallos de primer nivel TF_{L1} es 0.07 y la tasa de fallos global TF_{L1+L2} es 0.0287. Así pues, la tasa de fallos local de L2 TF_{L2} será ✓ 0.41 .

Respuesta correcta: 0.41

Parte 6 de 7 / 0.75 Puntos

Preguntas 11 de 12

0.75 Puntos

En una memoria SDRAM DDR del tipo PC4-19200 la frecuencia de reloj del bus será ✓ 1200 MHz.

Respuesta correcta: 1200

Parte 7 de 7 - Ejercicios UT3 / 1.75 Puntos

Preguntas 12 de 12

1.75 Puntos

Un sistema con un procesador a 1 GHz con dos niveles de cache obtiene una tasa de fallos media en el primer nivel L1 de 0.06 y de 0.55 en el segundo nivel L2. El tiempo de acierto en la cache L1 es $TA_{L1} = 1$ ciclo y en la cache L2 $TA_{L2} = 7$ ciclos. El sistema tiene una memoria principal de tipo DDR a 400 MHz con una latencia media $L = 23$ ciclos y un tamaño de bloque $B = 64$ bytes.

En ese caso, la penalización por fallos de la cache L2 será $PF_{L2} = \checkmark 27$ ciclos de **bus**.

En ese caso, la penalización por fallos de la cache L1 será $PF_{L1} = \text{✗ } 155.5$ ciclos de **cpu**.

Si un programa realiza 98 millones de accesos a memoria, indica cuál sería el tiempo extra de memoria en un procesador con ejecución en orden.

$T_{\text{extra_mem}} = \text{✗ } 5.88$ ms. (milisegundos con dos decimales).

Respuesta correcta: 27, 44.13, 259.46