

ETC-Tema-1.pdf



TurbApuntPatata



Estructura de Computadores



2º Grado en Ingeniería Informática



Escuela Técnica Superior de Ingeniería Informática
Universidad Politécnica de Valencia

BBVA

1/6
Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

Ábrete la Cuenta Online de BBVA y llévate 1 año de **Wuolah PRO**

cómo??



Ventajas Cuenta Online de BBVA

0€
Sin comisión de administración o mantenimiento de cuenta.
(0 % TIN 0 % TAE)

0€
Sin comisión por emisión y mantenimiento de Tarjeta
Aqua débito.

0
Sin necesidad de domiciliar nómina o recibos.

Las ventajas de **WUOLAH PRO**

✖ Di adiós a la publi en los apuntes y en la web

✖ Descarga carpetas completas de un tirón

✖ Acumula tickets para los sorteos

cómo???



1/6

Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

ESTRUCTURA DE COMPUTADORES

Tema 1

ventajas

PRO



Di adiós a la publi en los apuntes y en la web



Acumula tickets para los sorteos



Descarga carpetas completas

estudia sin publi
WUOLAH PRO



ETC

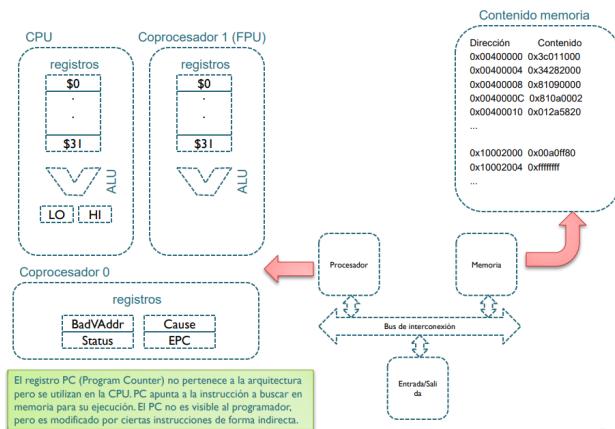
Tema 1

Arquitectura MIPS32

Los componentes básicos de un computador son: **Procesador, Memoria**, componentes de **Entrada/Salida** y **Interconexión** (otros dispositivos)

Arquitectura: Hace referencia al repertorio de **instrucciones, registros, modelo de excepciones, manejo de la memoria virtual, mapa de direcciones físicas** y otras características comunes

Características Básicas



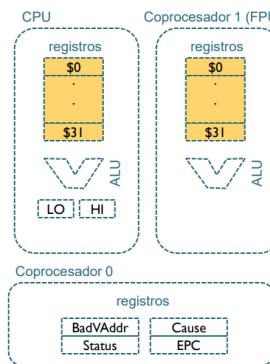
CPU: 32 registros de 32 bits (**\$0...\$31**) + registros **HI-LO**

Coprocesador 0: Control del sistema (jerarquía, excepciones, ...). Tiene 4 registros

FPU (Coprocesador 1, opcional): 32 regis 32 bits (**\$0...\$31**) + Aritmética coma flotante de simple precisión (32 registros) + Aritmética coma flotante de doble precisión (16 parejas)

Registros

Nombre	Registro	Uso
\$zero	\$0	Constante 0
\$at	\$1	Registro temporal del ensamblador
\$v0-\$v1	\$2-\$3	Retorno de funciones
\$a0-\$a3	\$4-\$7	Argumentos de funciones
\$t0-\$t7	\$8-\$15	Registros temporales
\$s0-\$s7	\$16-\$23	Temporales salvados
\$t8-\$t9	\$24-\$25	Registros temporales
\$k0-\$k1	\$26-\$27	Utilizados por el SO
\$gp	\$28	Puntero global
\$sp	\$29	Puntero de pila
\$fp	\$30	Puntero de marco (frame)
\$ra	\$31	Dirección de retorno
\$f0-\$f31	\$0..\$31	Registros de coma flotante





1/6

Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

Ábrete la Cuenta Online de BBVA y llévate 1 año de Wuolah PRO



cómo??

Las ventajas de Wuolah PRO



Di adiós a la publi en
los apuntes y en la web



Descarga carpetas
completas de un tirón



Acumula tickets
para los sorteos

Ventajas Cuenta Online de BBVA

0€

Sin comisión de administración o
mantenimiento de cuenta.
(0 % TIN 0 % TAE)

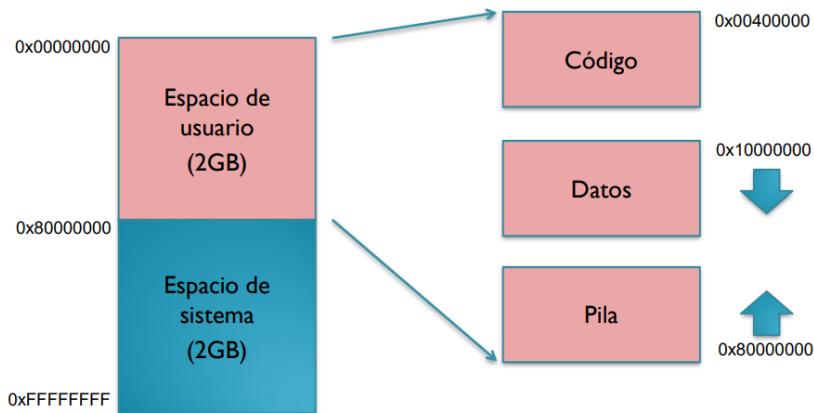
0€

Sin comisión por emisión y
mantenimiento de Tarjeta
Aqua débito.

0

Sin necesidad de domiciliar
nómina o recibos.

Memoria

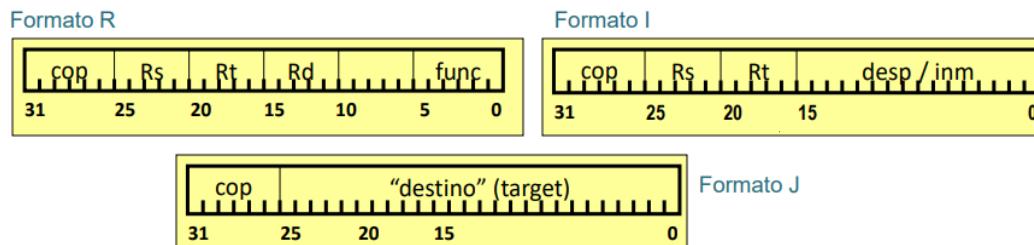


Direccionamiento: Dirección a nivel de Bytes (Modos Big-endian y Little-endian)

Alineamiento: Bytes cualquier pos, Half solo pares, Word cada 4, dWord cada 8

La directiva `.align N` alinea a partir de la siguiente dirección múltiplos de 2^N

Sintaxis y Codificación de Instrucciones



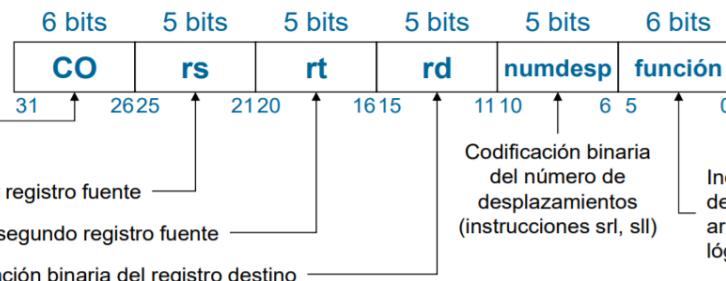
• Tipo R

Código de operación de la instrucción, impuesto por el diseñador, indica el tipo de instrucción

Codificación binaria del primer registro fuente

Codificación binaria del segundo registro fuente

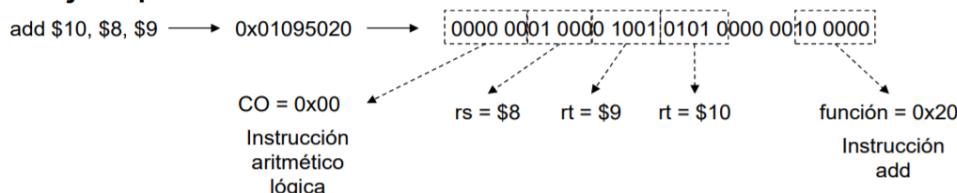
Codificación binaria del registro destino



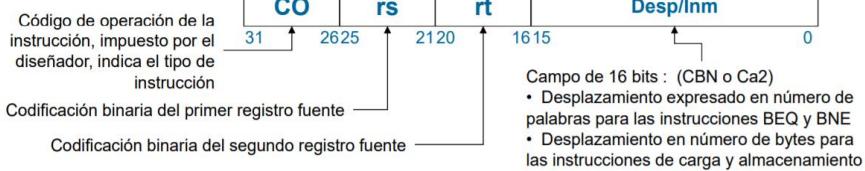
31

Indica el tipo de operación aritmética o lógica.

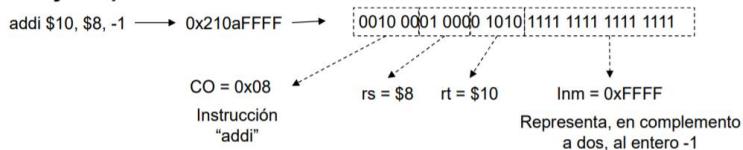
• Ejemplo



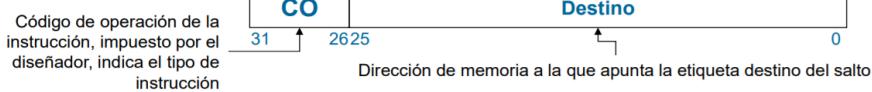
- **Tipo I**



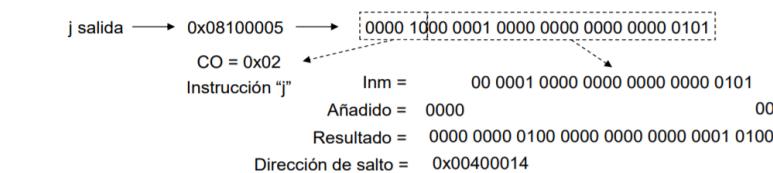
- **Ejemplo con un dato inmediato**



- **Tipo j**



- **Ejemplo (del código de la transparencia anterior)**



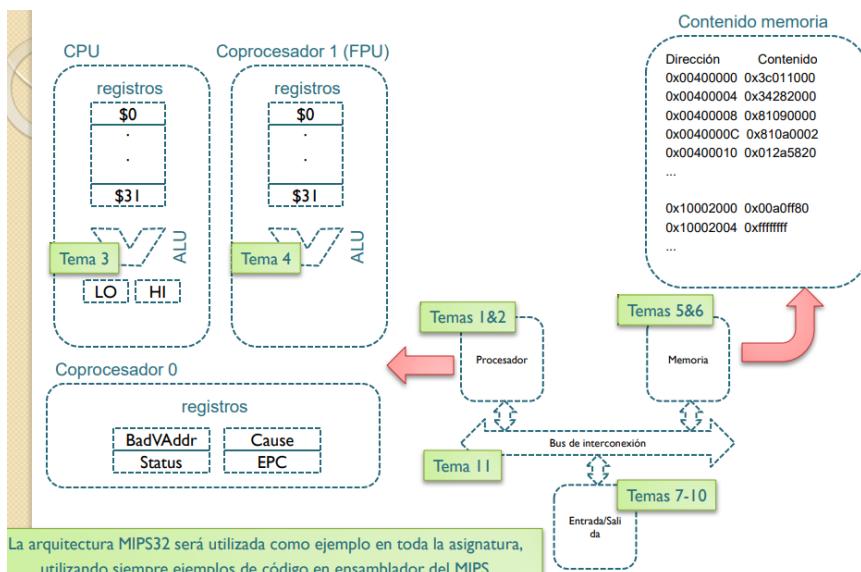
Sólo 26 bits de los 32 del registro Contador de Programa son modificados por j permaneciendo los otros 6 sin cambios.

La dirección de salto (32 bits) debe codificarse en el campo destino de 26 bits, por lo que se prescinde de los dos bits de menor peso y de los 4 bits de mayor peso por ser siempre ceros

COSAS:

- **CO:** Se quitan los 2 primeros bits (son 4x2 en hexadecimal)
- **Función:** Se quitan siempre los 2 primeros bits (son 4x2 en hexadecimal)
- **J destino:** El primer 0 se quita (4 bits, 4 ceros) y los últimos 2 bits también (los del 4) y se quedan los 26 bits

Arquitectura MIPS32 en la asignatura



cómo???



1/6

Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

ventajas

PRO



Di adiós a la publ en los apuntes y en la web



Acumula tickets para los sorteos



Descarga carpetas completas

estudia sin publi

WUOLAH PRO

Ruta de Datos del Procesador: MONOCICLO

Monociclo: realizar lo que sea (instrucciones, almacenar registros...) en un solo de reloj

Diseño del procesador

Elección de las instrucciones del Subconjunto del juego de instrucciones del **MIPS a ejecutar**

- **Carga/almacenamiento:** lw, sw
- **Aritméticas y comparación:** add, sub, and, or, slt
- **Salto:** beq, jump *(la instrucción jump será añadida posteriormente)*

Definir un Ciclo único de reloj -> **Monociclo** y una Combinación de elementos lógicos sencillos

- Circuitos combinacionales: puertas, decodificadores, multiplexores, ALU, ...
- Circuitos secuenciales: biestables, registros, banco de registros, memoria, ...

Las prestaciones dependen del **número de instrucciones** que ejecuta por unidad de tiempo y de la **duración del ciclo de reloj**

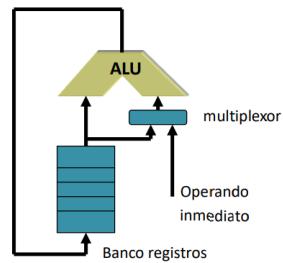
Objetivo inicial: Ejecutar una instrucción por ciclo y reducir el ciclo de reloj

El procesador Etapas en el diseño del procesador

1. **Diseñar la ruta de datos**
 - a. Seleccionar los **elementos necesarios** para la ejecución de las instrucciones
 - b. **Interconectar los elementos**
2. **Diseñar la unidad de control**
 - a. **Identificar** las señales de control necesarias
 - b. **Diseñar la lógica** asociada a cada señal

La ruta de datos

Definición: Combinación de **elementos combinacionales, secuenciales y su interconexión** que Permite el flujo de la información que debe transformarse como consecuencia de la ejecución de una instrucción

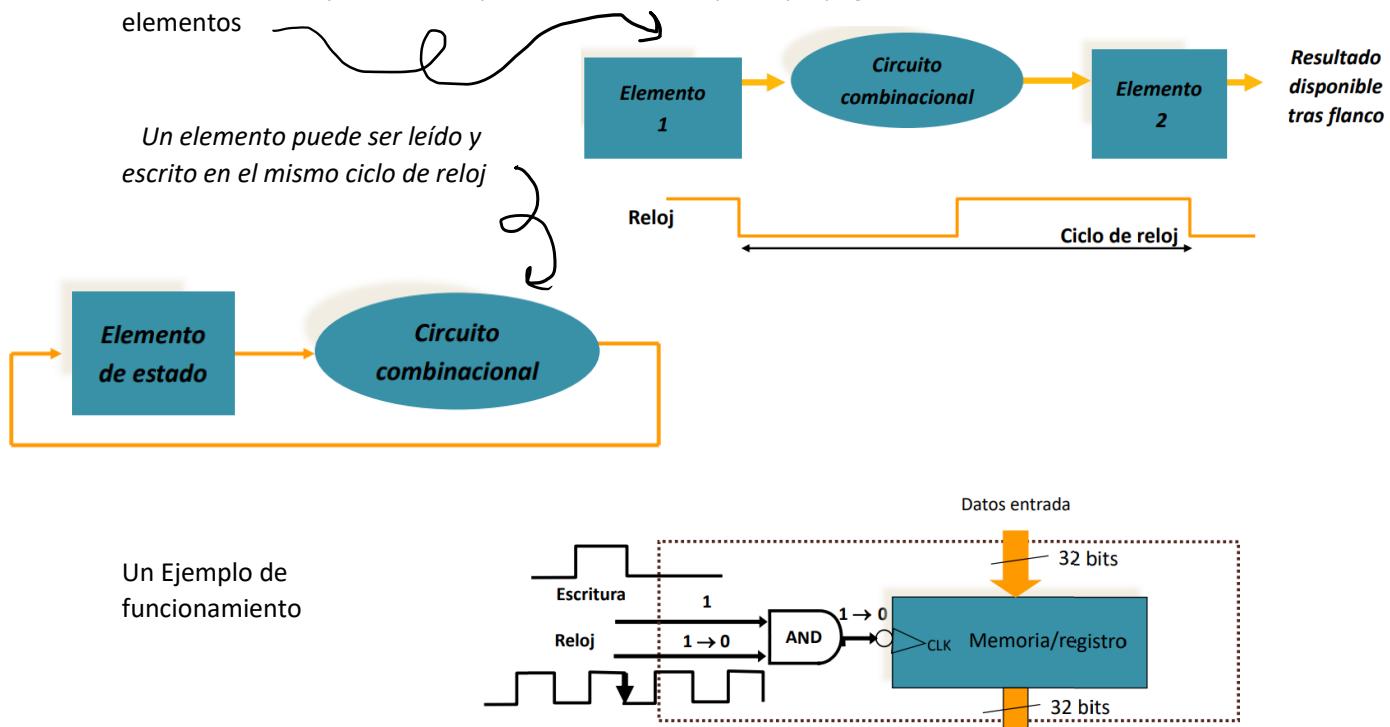


Ejemplo de ruta de datos simple

Sincronización

Sucede cuando **pueden leerse y escribirse** la información en los elementos de almacenamiento del procesador **a la vez** regulando **Cuándo** y **Cómo** deben activarse las señales de control responsables de estas acciones

Asumimos **sincronización por flanco** y que cualquier valor almacenado se **actualiza únicamente en un flanco de reloj**. Este define el tiempo de propagación necesario entre dos elementos

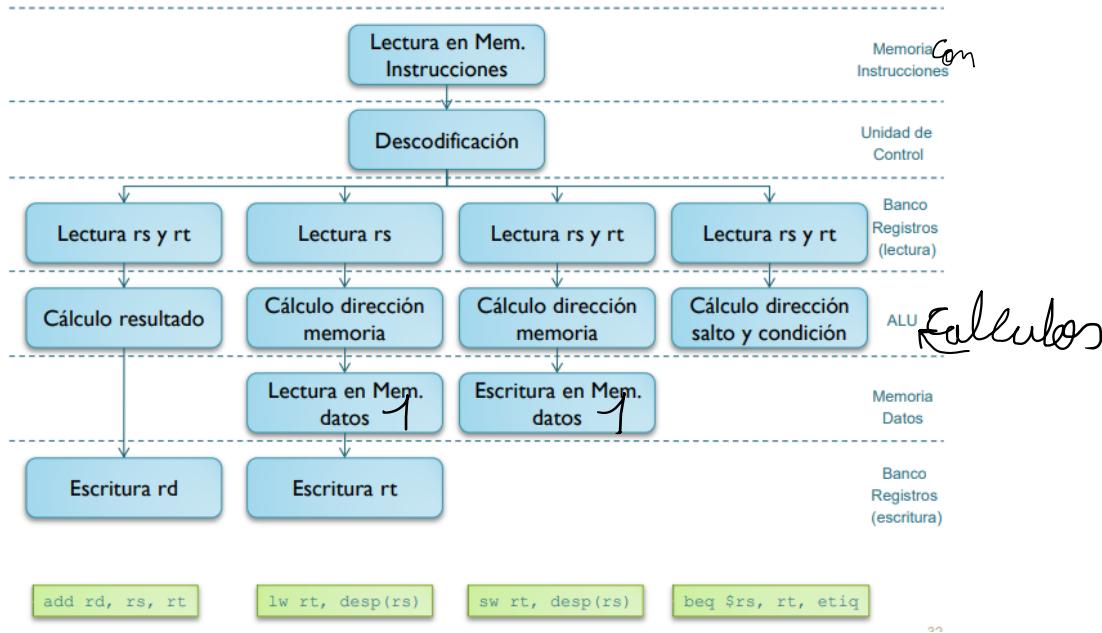


Selección de instrucciones

Qué es esto? Ni puta ideaaaa los apuntes y el profesor explican todo de puuuuuuta madreee

Instrucción	Operación	Formato	Código Op.	Función
add rd, rs, rt	$rd = rs + rt$	R	000000	100000
sub rd, rs, rt	$rd = rs - rt$	R	000000	100010
and rd, rs, rt	$rd = rs \wedge rt$	R	000000	100100
or rd, rs, rt	$rd = rs \vee rt$	R	000000	100101
lw rt, desp(rs)	$rt = mem[rs+desp]$	I	100011	
sw rt, desp(rs)	$Mem[rs+desp] = rt$	I	101011	
beq rs, rs, etiq	Si $rs == rt$ entonces $PC = etiq$ ($PC = PC + desp * 4$)	I	000100	
j etiq	$PC = etiqueta$ ($PC_{27..0} = destino * 4$)	J	000010	A implementar en ejercicios

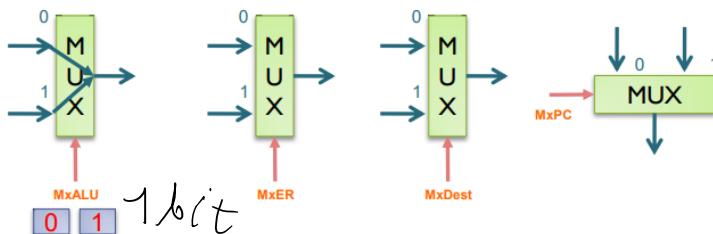
Fases de ejecución instrucciones



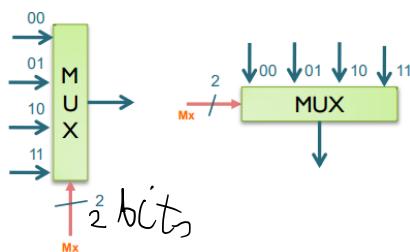
Seleccionar recursos necesarios

Multiplexores de entradas de 32 bits

El uso de los recursos (memorias, ALUs, registros, ...) será diferente en función de la instrucción ejecutándose. Utilizaremos cuatro multiplexores para seleccionar los caminos de la ruta de datos a utilizar en función de la instrucción



Conforme avanza el diseño se hacen necesarios nuevos caminos en la ruta de datos, por lo que se necesita ampliar los multiplexores. Utilizaremos multiplexores de 4-1 o 8-1.

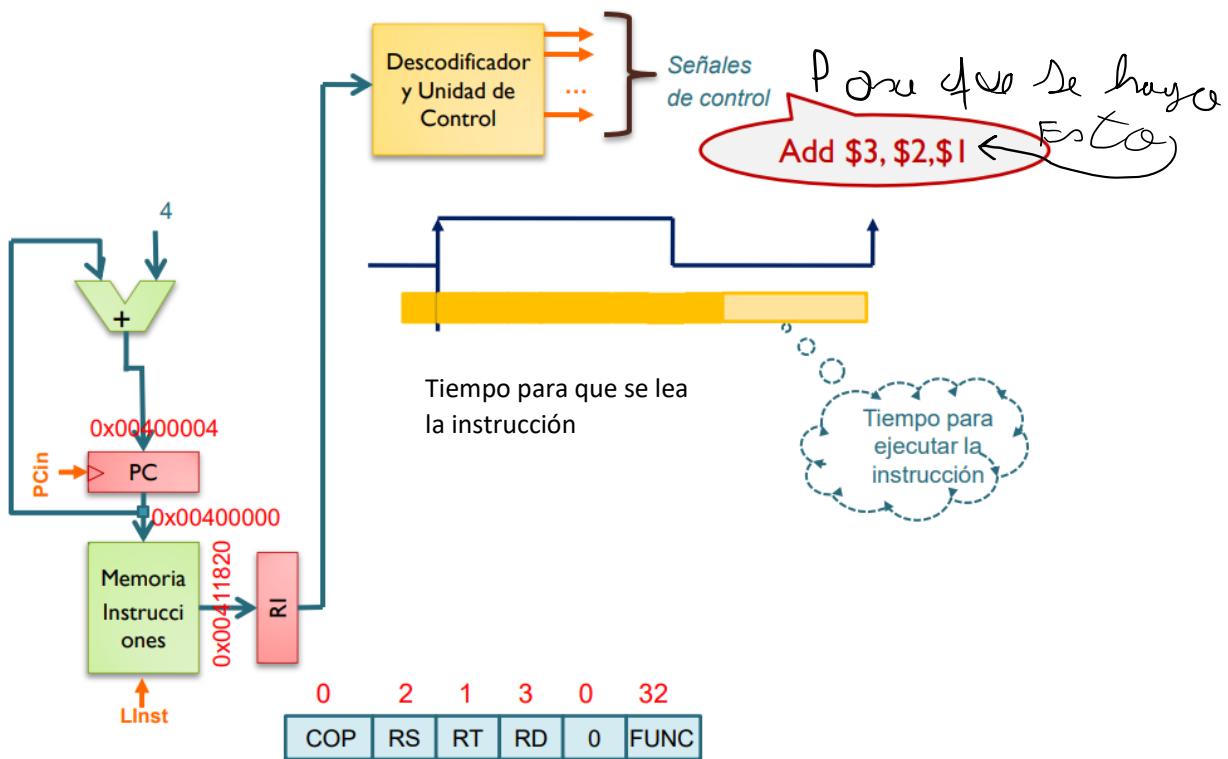
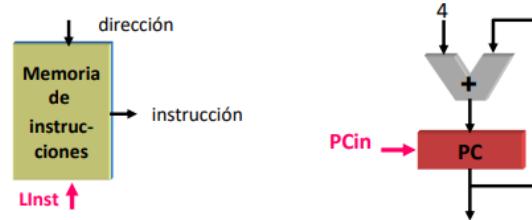


Búsqueda de la instrucción y decodificación

DIRECCIONAMIENTO A NIVEL DE BYTES: *Todas las instrucciones constan de esta fase común*

Requiere:

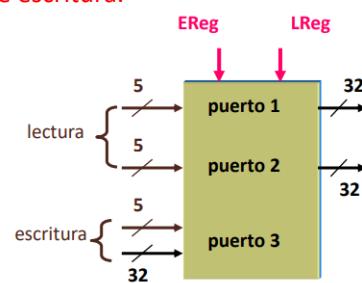
- 1) Leer la instrucción de la memoria
 - a. La dirección la facilita el Contador de Programa (PC; Program Counter)
- 2) Incrementar el CP para que apunte a la siguiente instrucción ($PC \leftarrow PC + 4$)
- 3) Decodificar la instrucción
 - a. Realizado por la UNIDAD de CONTROL



Lectura de operandos

Las instrucciones utilizan el BANCO DE REGISTROS disponiendo de 32 registros de 32 bits (\$0 - \$31) y necesitamos dos puertos de lectura y un puerto de escritura.

Los puertos de lectura son *activados simultáneamente* por la misma señal Lreg y El puerto de escritura se activa con la señal EReg



cómo???



1/6

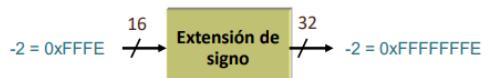
Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

Extensión de signo y Lectura de operandos

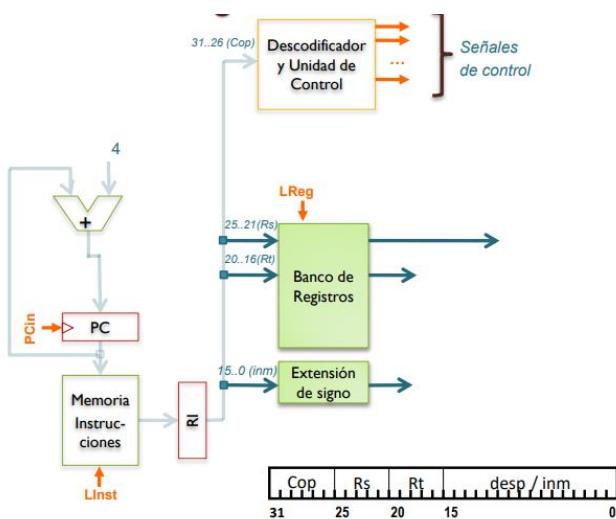
Las instrucciones **de tipo I** disponen de un operando inmediato **de 16 bits** por lo que **hay que extender** dicho operando a **32 bits** para poder trabajar con él.

No necesita señal de control, es un circuito simple.



Ejemplo: en las instrucciones load y store **lb \$t1, -2(\$t0)**

el **-2** está codificado en **Ca2 de 16 bits** y la suma **-2+\$t0** se debe hacer en **Ca2 de 32 bits**



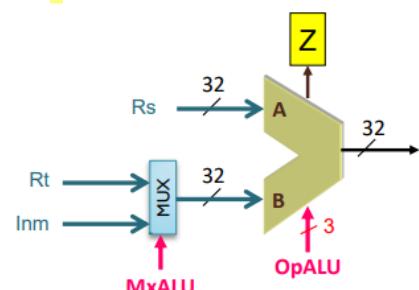
Reservados todos los derechos. No se permite la explotación económica ni la transformación de esta obra. Queda permitida la impresión en su totalidad.

La Unidad Aritmético Lógica ALU

Prácticamente todas las instrucciones **utilizan un operador aritmético-lógico**. Por ejemplo para soportar las operaciones requeridas por el juego de instrucciones (tipo R e I).

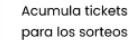
- Dispone de **dos entradas y una salida**, todas de 32 bits.
- Entrada superior** debe llegar el **contenido del registro Rs**
- Entrada inferior** pueden llegar: el **contenido del registro Rt** o un **operando inmediato**.

Por eso se necesita un multiplexor (**MxALU**). La UAL dispone de un indicador de cero (**Z**) y **Z=1** cuando la salida de la UAL es 0.



Operaciones de la UAL

OpALU	Operación
000	a \wedge b (and)
001	a \vee b (or)
010	a + b (suma aritmética)
110	a - b (resta)
111	a < b (menor que)



Di adiós a la publi en los apuntes y en la web



Acumula tickets para los sorteos

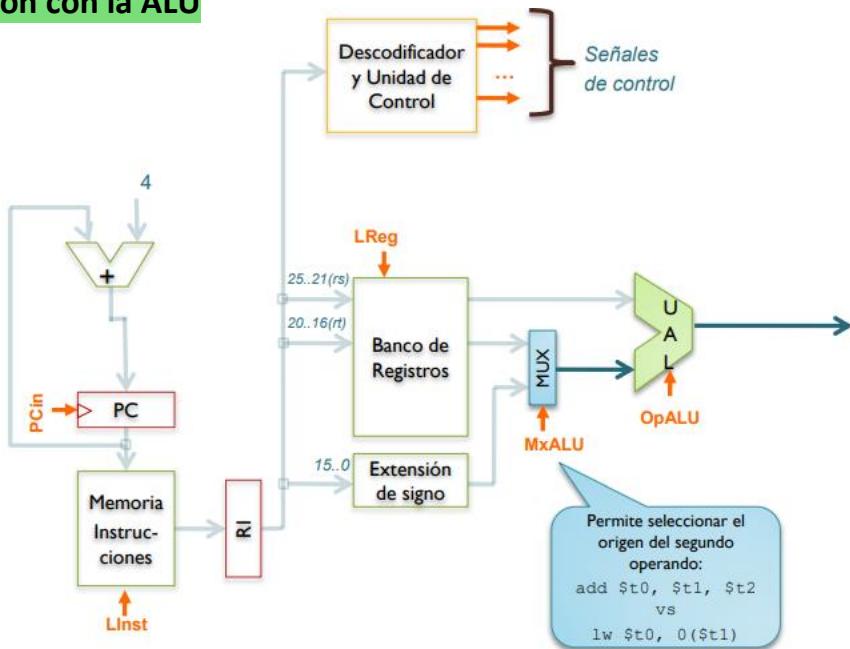


Descarga carpetas completas

estudia sin publi

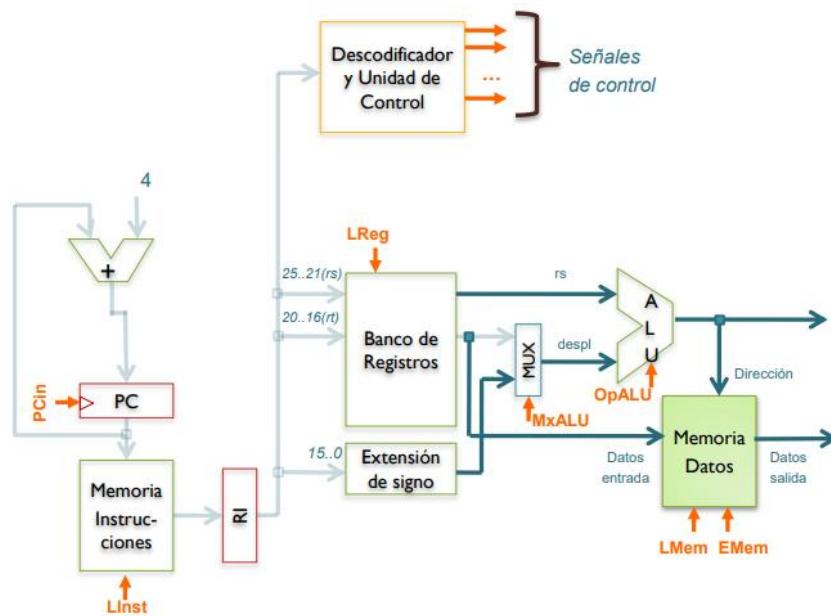
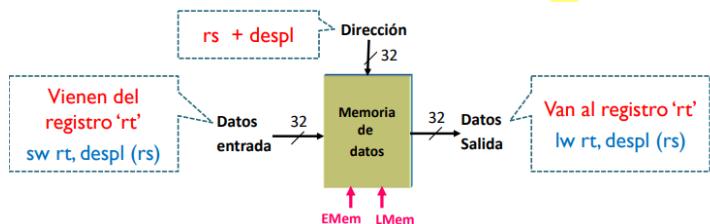
WUOLAH PRO

Operación con la ALU



La memoria de datos y Acceso a memoria por datos

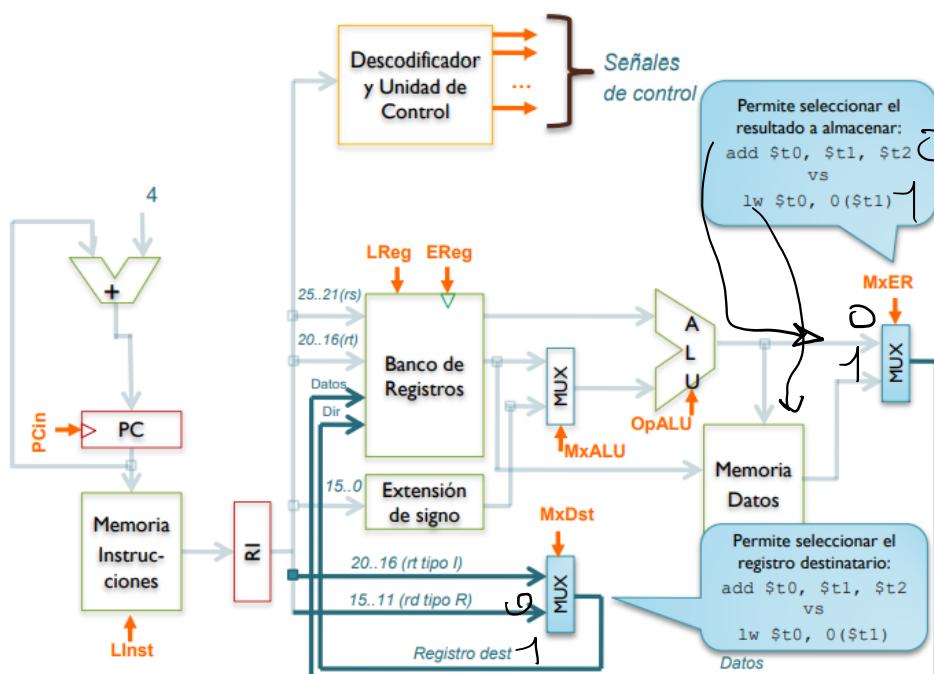
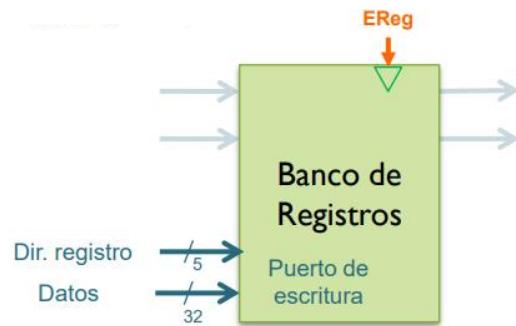
Algunas **instrucciones acceden a memoria** para **leer/escribir datos** y para ello utilizamos **una memoria de datos**. Esta memoria requiere una dirección y la señal de lectura o escritura al igual que también requiere conectar la entrada y salida de datos. Esta es una memoria **Cache**



Almacenamiento del resultado

Algunas instrucciones escriben el resultado en un registro y El Banco de registros dispone de un puerto de escritura con:

- **Dirección del registro (5 bits)**: Pueden ser **Rd o Rt**. **Hace falta un multiplexor (MxDst)** para hacer llegar a los bits de dirección el número del registro a escribir.
- **Datos (32 bits)**: Puede ser el resultado de una **operación en la UAL** o de una **lectura de memoria**. **Hace falta otro multiplexor (MxER)** para llevar a los bits de datos el valor a escribir.



Salto condicional (beq)

- ✓ Ejemplo: `beq $t0,$t1,bucle1`
- ✓ Si ($Rs == Rt$) entonces $PC \leftarrow (PC+4) + (4 \times \text{desplazamiento})_{32}$
si no No hacer nada ($PC \leftarrow (PC+4)$)

- La dirección de destino es la **suma del contador de programa (PC+4)** y el **desplazamiento** (positivo o negativo) indicado en la instrucción. Si se cumple la condición se pone esa dirección en el PC con lo cual la siguiente instrucción a ejecutar es a la que hay en esa dirección (salto).
- Si no se cumple la condición, no se hace nada y el contador de programa contiene $(PC+4)$ que es la siguiente instrucción.
- El desplazamiento es en palabras por lo que hay que multiplicarlo por 4 para tenerlo en bytes. El resultado hay que extenderlo a 32 bits.



Cómo comprobar la condición $Rs == Rt$

- Se puede usar la UAL. Se restan ambos registros y si el resultado es cero es que son iguales. *Esto lo indicará el bit Z. Si $Z==1 \rightarrow Rs == Rt$.*

Cómo obtener la dirección de salto

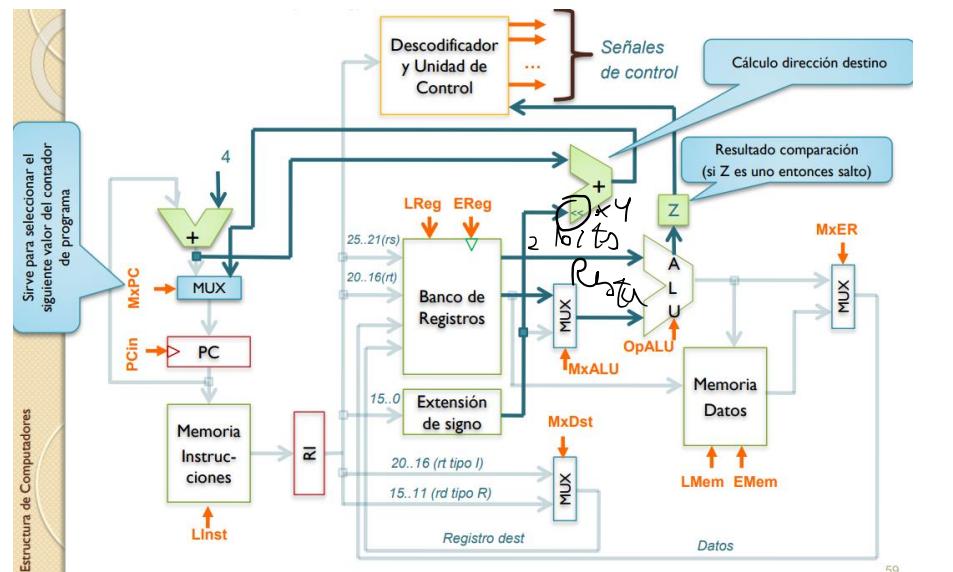
`beq rs,rt,desplazamiento16`

- El desplazamiento hay que multiplicarlo por 4: **poner dos ceros a la derecha.** *Hay que extenderlo a 32 bits: Extensor de signo.*
- Ese desplazamiento se suma a **(PC+4):** Hace falta un sumador adicional pues la UAL la tenemos ocupada con la condición.

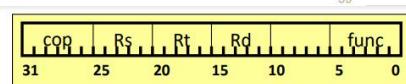
Cómo llevar al contador de programa la dirección de salto

- Hace falta un nuevo multiplexor (MxPC)

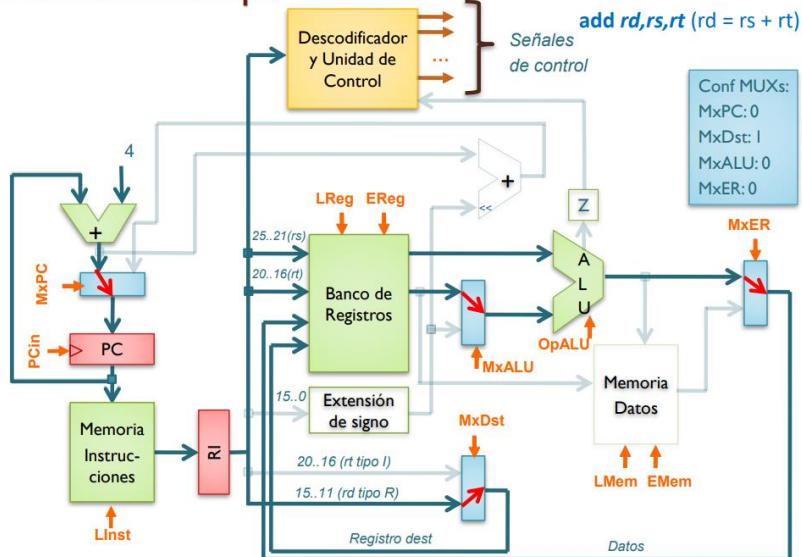
Se averigua la condición y se obtiene el **bit Z**, se obtiene la dirección (*haya que saltar o no*), se mira el Bit z y si hay que saltar pues se cambia el sitio



Ruta de datos para instrucciones tipo R



Por donde vas los Bits cuando hay una instrucción de Tipo "R"



12

cómo???



1/6

Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

ventajas

PRO



Di adiós a la publ en los apuntes y en la web



Acumula tickets para los sorteos

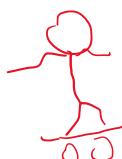


Descarga carpetas completas

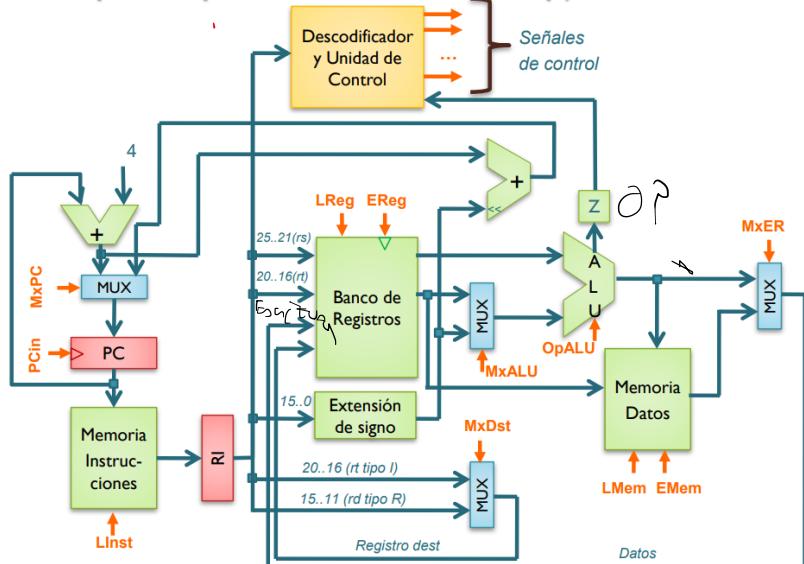
estudia sin publ

WUOLAH PRO

ESQUEMA PARA LA RUTA DE LOS DATOS COMPLETOS



(sin soporte para instrucción jump)



Los datos **siempre fluyen por todas las flechas**, pero si no van a ser usado no los ponemos(resaltamos) en el esquema. Elegimos lo que entre con los multiplexores

SEÑALES DE CONTROL (Tabla de verdad)

Instrucción	Form	Código Op.	Función	PCin	LInst	Banco Registros	ALU	Mem. Datos	Multiplexores Configuración Ruta de Datos										
									Reg. CP	Mem. Instr.	LReg	EReg	OpALU	LMem	EMem	MxPC	MxALU	MxDst	MxER
add rd, rs, rt	R	000000	100000	1	1	1	1	010	0	0	0	0	0	0	0	0	0	1	0
sub rd, rs, rt	R	000000	100010	1	1	1	1	110	0	0	0	0	0	0	0	0	0	1	0
and rd, rs, rt	R	000000	100100	1	1	1	1	000	0	0	0	0	0	0	0	0	0	1	0
or rd, rs, rt	R	000000	100101	1	1	1	1	001	0	0	0	0	0	0	0	0	0	1	0
lw rt, desp(rs)	I	100011			1	1	1	1	010	1	0	0	0	1	0	0	1	0	1
sw rt, desp(rs)	I	101011			1	1	1	0	010	0	1	0	0	1	1	X	X	X	X
beq rs, rs, etiq	I	000100			1	1	1	0	110	0	0	0	Z	0	X	X	X	X	X

Aquí...
llega
para !Z(ND2)
llega

1

La implementación de esta tabla permite la correcta ejecución de las instrucciones en un ciclo de reloj

Instrucción	Form	Código Op.	Función	PCin	LInst	Banco Registros		ALU	Memori a DATOS	Multiplexores					
						Reg. CP	Mem. Instr.			OpALU	LMem	EMem	MxALU	MxDst	MxER
add rd, rs, rt	R	000000	100000	1	1	1	1	010	0	0	0	0	1	0	
addi rt, rs, imm16	I	001000			1	1	1	1	010	0	1	0	0	0	0

?.



13



Prestaciones ruta de datos

La ruta de datos con los siguientes retardos, Instrucciones que puede hacer por segundo o asín

- Lectura/Escritura en memoria de datos/instrucciones: 2 ns
- Lectura/Escritura en banco de registros: 1 ns
- Operación en la ALU: 2 ns
- Resto de retardos despreciable

Calcula el tiempo necesario para ejecutar las instrucciones

- Aritmético-lógicas: add \$t2, \$t1, \$t0
- Lectura de memoria: lw \$t1, 0(\$t0)
- Escritura en memoria: sw \$t1, 0(\$t0)
- Salto condicional: beq \$t0, \$0, bucle

$$\begin{aligned} \text{add: } & 2\text{ns} + 1\text{ns} + 2\text{ns} + 1\text{ns} = 6\text{ ns} \\ \text{lw: } & 2\text{ns} + 1\text{ns} + 2\text{ns} + 2\text{ns} + 1\text{ns} = 8\text{ ns} \\ \text{sw: } & 2\text{ns} + 1\text{ns} + 2\text{ns} + 2\text{ns} = 7\text{ ns} \\ \text{beq: } & 2\text{ns} + 1\text{ns} + 2\text{ns} = 5\text{ ns} \end{aligned}$$

$$\begin{aligned} T_{\text{ciclo}} &= 8\text{ ns}; \\ \text{Frecuencia} &= 125\text{ MHz} \end{aligned}$$

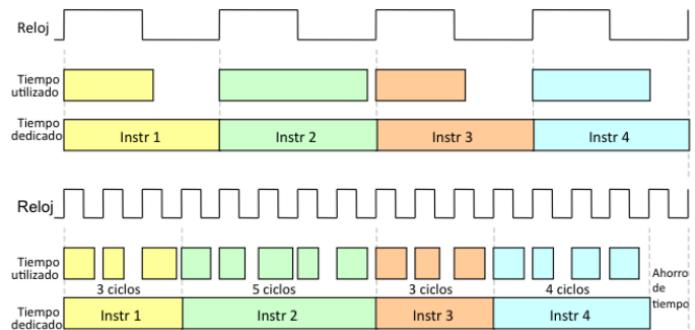
Calcula tiempo de ciclo y frecuencia de la ruta de datos

LA INSTRUCCIÓN A LA QUE MÁS TIEMPO LE CUESTA ES LA **LW** ya que se la que más pasos necesita: 125 Mega Instrucciones por segundo “**MIPS**”

Perspectiva histórica sobre la unidad de control

Había **Inconvenientes** por usar la ruta de datos en ciclo único ya que **El Ciclo de reloj determinado por la instrucción más lenta** (load) y **Con instrucciones más complejas** (coma flotante) el tiempo de ciclo se alargaría aún más

Multiciclo (Alternativa): Implementación **multiciclo** que Requiere una máquina de estados para la generación de señales de control

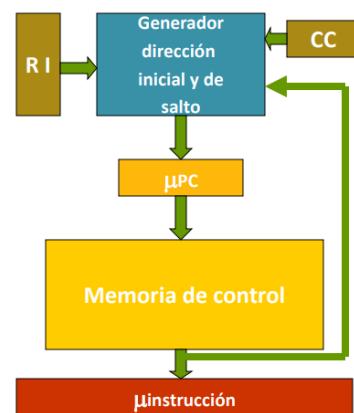


Perspectiva histórica sobre la unidad de control

Se emplea una **Unidad de control micro programada** como **Alternativa** al control cableado cuando los **circuitos requeridos son muy complejos** a causa del **juego de instrucciones** utilizado

Se basa en una **pequeña memoria** que contiene, almacenadas en palabras, las **acciones de control** (microinstrucciones) requeridas en cada paso

- Cada **instrucción** en ensamblador tiene **asociada** el **conjunto de microinstrucciones** para su ejecución (**micropograma**)
- Tras decodificar una instrucción se halla la dirección inicial de su micropograma en la memoria de control y se ejecuta
- La secuenciación deberá admitir bifurcaciones (**soporte a saltos condicionales**)



Seguidme en wuolah “TurboApuntesPat” hay apuntes de todas las asignaturas, no te arrepentirás juju. Sígueme en twitter @[MaikPatataOtaku](#) ;)
Y en Instagram también juju @[potatproductions](#) :p