

Exámenes

UT3 Prueba seguimiento (Castellano)

[Volver a la Lista de Exámenes](#)

Parte 1 de 7 / 1.5 Puntos

Preguntas 1 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Elige la afirmación correcta. Un sistema dispone de dos niveles de cache. La cache L1 implementa la política de escritura *no-write allocate* y la cache L2 *write allocate*. En dicho sistema:

- ✓ A. Un fallo de escritura, implicaría una escritura en memoria principal pero el bloque no se traería a ninguna cache.
- ✓ B. Un fallo de escritura en ambas caches sólo traería el bloque a la cache L1.
- ✓ C. Un fallo de escritura en ambas caches sólo traería el bloque a la cache L2.
- ✓ D. Un fallo de escritura en ambas caches traería el bloque a ambas caches.

Respuesta correcta: C

Preguntas 2 de 12

0.75 Puntos

Acerca de los accesos a memoria en un procesador fuera de orden indique **TODAS** las afirmaciones verdaderas:

- A. Cuando una instrucción de carga provoca un fallo de lectura en la cache de datos siempre detiene el *front-end*.
- B. Cuando una instrucción de almacenamiento provoca un fallo de escritura en la cache de datos tiene una penalización de fallos que depende de la política de escritura del primer nivel de

cache (L1) (Write-Allocate o No-Write-Allocate).

- ✓ C. La fracción no solapada (FNS) es la parte de la penalización de fallo en lectura de datos (PF) en la cual el procesador está detenido en el *front-end*.
- ✓ D. Los fallos en los accesos a la cache de instrucciones siempre detienen el *front-end*.

Respuesta correcta: C, D

Parte 2 de 7 / 2.25 Puntos

Preguntas 3 de 12

0.75 Puntos

Relacione cada una de las siguientes técnicas con el parámetro que se consigue reducir de la ecuación del tiempo de acceso medio a memoria.

- A. Cache blocking
- B. Predicción de vía
- C. Buffer de escritura

- ✓ B 1. Tiempo en caso de acierto
- ✓ A 2. Tasa de fallo
- ✓ C 3. Penalización de fallo

Respuesta correcta: 1:B, 2:A, 3:C

Preguntas 4 de 12

0.75 Puntos

Indique **TODAS** las respuestas correctas

- A. Si se aumenta el tamaño de bloque sin reducir el número de bloques de cache, se reducen los fallos de arranque sin aumentar los fallos por conflicto y por capacidad.
- B. Aumentar el número de vías manteniendo el tamaño de cache puede aumentar los fallos por capacidad, pero no los fallos de arranque.
- ✓ C. Aumentar el tamaño de bloque puede aumentar el tiempo de acceso a cache, pese a que se reduzca la tasa de fallos.
- ✗ D. Aumentar el tamaño de la cache reduce únicamente los fallos por capacidad, independientemente de cómo se modifiquen el número de bloques y su tamaño.

Respuesta correcta: A, C

Preguntas 5 de 12

0.75 Puntos

Con el objetivo de mejorar la tasa de fallos se puede ajustar la geometría de la cache para reducir los fallos de arranque, de conflicto y de capacidad.

- Cuando aumentamos el tamaño de bloque, conseguimos reducir los fallos de ✓ arranque , pero pueden aumentar los fallos de ✓ conflicto y de ✓ capacidad .
- Cuando aumentamos el número de vías, conseguimos reducir los fallos de ✓ conflicto pero puede aumentar el tiempo de ✓ acierto .
- Cuando aumentamos el tamaño de la cache, conseguimos reducir los fallos de ✓ capacidad pero puede aumentar el tiempo de ✓ acierto .

Respuesta correcta: arranque, capacidad | conflicto, capacidad | conflicto, conflicto, acierto | acceso, capacidad, acceso | acierto

Parte 3 de 7 / 2.25 Puntos

Preguntas 6 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

En el acceso a memoria principal con memorias del tipo SDRAM DDR el controlador debe enviar al módulo:

- ✓ A. La dirección de la fila y de la primera columna a acceder.
- ✓ B. La dirección de todas las filas y de la primera columna a acceder.
- ✓ C. La dirección de la fila y de todas las columnas a acceder.
- ✗ D. La dirección de todas las filas y de todas las columnas a acceder.

Respuesta correcta: A

Preguntas 7 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Indica la afirmación correcta:

- ✓ A. Cada módulo de DRAM puede tener tantas filas abiertas como ranks.
- ✓ B. Cada módulo de DRAM solo puede tener abierta una línea en un momento dado.
- ✓ C. Cada módulo de DRAM puede tener tantas filas abiertas como bancos.
- ✓ D. Cada módulo de DRAM puede tener abiertas tantas filas como canales tenga el controlador.

Respuesta correcta: C

Preguntas 8 de 12

0.75 Puntos. Puntos descontados por fallo: 0.25

Selecciona cuál de las siguientes afirmaciones es correcta:

- ✓ A. El tiempo de transferencia por el bus de un bloque de B palabras de memoria depende de si la fila correspondiente del banco está abierta.
- ✓ B. La tasa de aciertos en buffer de fila (TAbf) afecta directamente a la penalización por fallo PF_{LLC}
- ✗ C. El ancho de banda del bus en bytes/ciclo no cambió con la introducción de las memorias DDR.
- ✓ D. La tasa de aciertos en buffer de fila (TAbf) depende exclusivamente del número de bancos de la memoria principal.

Respuesta correcta: B

Parte 4 de 7 / 0.75 Puntos

Preguntas 9 de 12

0.75 Puntos

Un programa ejecutado sobre un procesador MIPS con caches de instrucciones y datos separadas ejecuta un 29% de instrucciones de carga y un 10% de almacenamiento. Así pues, el programa realizará un

promedio de accesos por instrucción (API) en lectura $API_L = \times 0.29$ y en escritura $API_E = \checkmark 0.10$. Por otro lado, el número de accesos por instrucción a la cache de instrucciones será $API_I = \checkmark 1$ y a la cache de datos $API_D = \checkmark 0.39$.

Respuesta correcta: 1.29, 0.1, 1, 0.39

Parte 5 de 7 / 0.75 Puntos

Preguntas 10 de 12

0.75 Puntos

Se dispone de una memoria que implementa el mecanismo *Early Restart* con un tamaño de bloque $B = 4$ palabras y un ancho de banda $Bw = 1$ palabra/ciclo. La latencia de la memoria es $L = 19$ ciclos. Las probabilidades de que la palabra solicitada se encuentre en cada posición del bloque se muestra a continuación:

1ª	2ª	3ª	4ª
40%	29%	17%	14%

Considerando estos datos, la PF media al acceder a dicha memoria sería $\times 23$.

Respuesta correcta: 21.05

Parte 6 de 7 / 0.75 Puntos

Preguntas 11 de 12

0.75 Puntos

En una memoria SDRAM DDR del tipo PC4-12800 la frecuencia de reloj del bus será $\times 3200$ MHz.

Respuesta correcta: 800

Parte 7 de 7 - Ejercicios UT3 / 1.75 Puntos

Preguntas 12 de 12

1.75 Puntos

Un sistema con un procesador a 3 GHz con dos niveles de cache obtiene una tasa de fallos media en el primer nivel L1 de 0.1 y de 0.55 en el segundo nivel L2. El tiempo de acierto en la cache L1 es $TA_{L1} = 1$ ciclo y en la cache L2 $TA_{L2} = 8$ ciclos. El sistema tiene una memoria principal de tipo DDR a 1200 MHz con una latencia media $L = 19$ ciclos y un tamaño de bloque $B = 256$ bytes.

En ese caso, la penalización por fallos de la cache L2 será $PF_{L2} = \times 43$ ciclos de **bus**.

En ese caso, la penalización por fallos de la cache L1 será $PF_{L1} = \times 63.98$ ciclos de **cpu**.

Si un programa realiza 147 millones de accesos a memoria, indica cuál sería el tiempo extra de memoria en un procesador con ejecución en orden.

$T_{\text{extra_mem}} = \times 172.73$ ms. (milisegundos con dos decimales).

Respuesta correcta: 35, 56.13, 275.01