

## Exámenes

### 2022-UT2B (2.4,2.5) - Prueba de seguimiento

[Volver a la Lista de Exámenes](#)

#### Parte 1 de 5 / 2.5 Puntos

Preguntas 1 de 13

0.5 Puntos

Indica cuales de las siguientes cuestiones son correctas para el Algoritmo de Tomasulo con especulación visto en clase:

- ☐ A. El registro implicado en un riesgo WAW sólo puede ser actualizado por la última instrucción lanzada a ejecución que tenga dicho registro como destino.
- ☒ B. Los riesgos de tipo WAR pueden resolverse en la etapa Issue leyendo el valor de los operandos disponibles en ese momento o, cuando éstos no estén, las marcas de las operaciones que deben proporcionarlos.
- ☒ C. El ROB permite eliminar las dependencias de nombre que podrían surgir al ejecutar especulativamente instrucciones de varios bloques básicos.
- ☐ D. Los riesgos de tipo RAW se resuelven utilizando cortocircuitos que permiten proporcionar el valor de los registros cuando son necesarios para la ejecución de las instrucciones implicadas en el riesgo.

**Respuesta correcta:** B, C

Preguntas 2 de 13

0.5 Puntos

En un procesador que aplica el algoritmo de Tomasulo con especulación hardware, indica cuáles de las siguientes afirmaciones son **falsas**:

- ☒ A. Las estaciones de reserva almacenan las instrucciones desde que se decodifican (etapa I) hasta que se confirman (etapa C).

B. Una instrucción dependiente solo podrá obtener sus operandos de los registros fuente que utilice, y si éstos estuvieran reservados por otra instrucción, anotarse la marca que éstos contengan.

C. La planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con ✓ especulación hardware sólo afecta a la ejecución de instrucciones multiciclo, como las de aritmética en coma flotante.


D. Cuando la instrucción llega a la etapa WB, difunde su resultado a través del bus común de datos para que todas las estaciones de reserva, buffers y registros que requieran de dicho valor puedan recuperarlo.

**Respuesta correcta:** A, B, C, D

Preguntas 3 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Cuando una instrucción aritmética llega a la fase Commit:


-  A. Se comprueba la marca del registro destino, y si coincide con la de la instrucción, se escribe el resultado de la operación sobre el registro y lo libera.
- ✓ B. Se escribe el resultado de la operación sobre el registro destino y lo libera.
- ✓ C. Se escribe el resultado de la operación sobre el registro destino y si su marca coincide con la de la instrucción, se libera el registro.
- ✓ D. Se difunde por el bus comun de datos el resultado de la operación , escribiéndolo también en el ROB.

**Respuesta correcta:** C

Preguntas 4 de 13

0.5 Puntos

Indica cuales de las siguientes afirmaciones son correctas:

-  A. A la fase Commit pueden llegar instrucciones especuladas incorrectamente, pero éstas se cancelan.
- ✓ B. Las instrucciones especulativas pueden ejecutarse fuera de orden.
- C. Una de las ventajas de la especulación hardware es que permite la confirmación de instrucciones fuera de orden.
- ✓ D. Las instrucciones especulativas pueden generar excepciones durante su ejecución, aunque éstas se tratarán cuando las instrucciones sean confirmadas.

**Respuesta correcta:** B, D

Preguntas 5 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta en el contexto de un procesador que ofrece gestión dinámica de instrucciones e implementa el algoritmo de Tomasulo con especulación:

- ✓ A. Con independencia del grado de ocupación de las estaciones de reserva (o los buffers de escritura y lectura según el caso), las instrucciones que llegan a Issue podrán ser lanzadas a ejecución si el ROB tiene una entrada libre para albergarlas.
- ✓ B. Cuando una instrucción no dispone de una entrada en el ROB o de una estación de reserva (o buffer de escritura o lectura según el caso) deberá esperar en la etapa Issue, bloqueando el avance de las instrucciones que la sigan.
- ✓ C. Cuando una instrucción no dispone de una entrada en el ROB o de una estación de reserva (o buffer de escritura o lectura según el caso), pero tiene el operador físico y todos los operandos que necesita disponibles, puede comenzar a ejecutarse.
- ✓ D. Con independencia del grado de ocupación del ROB, las instrucciones que llegan a Issue podrán ser lanzadas a ejecución siempre que una estación de reserva (o un buffer de escritura o lectura según el caso) las pueda albergar.

**Respuesta correcta:** B

## Parte 2 de 5 / 2.5 Puntos

Preguntas 6 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Una ventaja de supersegmentar un procesador que inicialmente tiene x etapas es que el número de instrucciones que estarán simultáneamente en el procesador no excederá de x.
- ✓ B. Los procesadores supersegmentados ofrecen una mayor frecuencia de funcionamiento, aunque ésta puede verse limitada por el desfase máximo que presente la señal de reloj.
- ✖ C. Los procesadores supersegmentados mejoran las prestaciones de sus homólogos segmentados aumentando su frecuencia de funcionamiento y, por tanto, reduciendo el número de ciclos promedio (CPI) requeridos para la ejecución de las instrucciones.

- ✓ D. Los procesadores supersegmentados necesitan replicar los operadores y las memorias para poderlos utilizar en las nuevas etapas que se introducen en sus pipelines.

**Respuesta correcta:** B

Preguntas 7 de 13

0.5 Puntos. Puntos descontados por fallo: 0.3

Indica cuales de las siguientes afirmaciones son correctas:

- A. Los procesadores multihilo explotan el paralelismo a nivel de tarea (TLP), utilizando varios núcleos (cores) para ejecutar en paralelo múltiples flujos de instrucciones.
- B. Los procesadores multihilo de grano grueso no retardan la ejecución de cada hilo individual y permiten ocultar stalls tanto de alta como de baja latencia.
- ✓ C. Los procesadores con multithreading simultáneo (SMT) buscan compartir los recursos del procesador, aunque la ejecución simultánea de instrucciones de distintos hilos exige replicar algunos recursos para distinguir el estado de los hilos.
- ✓ D. Los procesadores multihilo de grano fino conmutan entre hilos cada ciclo de reloj, con lo que incrementa la productividad, aunque se puede retardar la ejecución de cada hilo individual.

**Respuesta correcta:** C, D

Preguntas 8 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

**Ciclo 0 Ciclo 1 Ciclo2**

A			
A	A		
A	A	A	

**Ciclo 0 Ciclo 1 Ciclo2**

		B	
	B	B	
B	B	B	

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo con multithreading simultáneo (SMT). Si para un mismo ciclo se ejecutan las dos aplicaciones, ubica la aplicación A en las filas inferiores, y rellena las casillas de abajo a arriba. **¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

**Ciclo 0 Ciclo 1 Ciclo 2 Ciclo 3**

A	A	A	✓ -
✓ A	A	✓ B	✓ -
✓ A	B	✓ B	✓ -
B	B	B	✓ -

**Respuesta correcta:** B, B, B, -, A, B, B, -, A, A, B, -, A, A, A, -

Preguntas 9 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Un procesador superescalar de m vías no uniforme o con restricciones impone limitaciones en cuanto al tipo de instrucciones que pueden estar en ejecución simultáneamente, con lo que no será posible que varias instrucciones puedan efectuar la fase Commit al mismo tiempo.
- ✓ B. Un procesador superescalar de m vías busca siempre en la etapa IF m instrucciones, aunque en determinadas ocasiones, algunas de estas instrucciones tienen que ser canceladas y no se entregan a las etapas siguientes.
- ✓ C. Un procesador superescalar de m vías modifica la ruta de datos interna del procesador segmentado de partida, con lo que no es compatible a nivel binario con dicho procesador segmentado.
- ✓ D. Un procesador superescalar con 2 vías aumentará las prestaciones de su homólogo segmentado (1 vía) siempre en un factor de 2.

**Respuesta correcta:** B

## Preguntas 10 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

**Ciclo 0**

A

A

A

A

**Ciclo 1**

A

A

**Ciclo 0**

B

B

**Ciclo 1**

B

B

B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano fino. Supón que comienza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba. **¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

**Ciclo 0**

✓ A

✓ A

✓ A

✓ A

**Ciclo 1**

✓ -

✓ -

✓ B

✓ B

**Ciclo 2**

✓ -

✓ -

✓ A

✓ A

**Ciclo 3**

✓ -

✓ B

✓ B

✓ B

**Respuesta correcta:** A, -, -, -, A, -, -, B, A, B, A, B, A, B, A, B

**Parte 3 de 5 / 1.5 Puntos**

## Preguntas 11 de 13

## 1.5 Puntos

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
loop	<code>l.d f2,%disp[x](r2)</code>	IF	I	AC	L1	L2	WB	C													
4100	<code>l.d f4,%disp[y](r2)</code>	IF	I	AC	L1	L2	WB	C													
4104	<code>mul.d f2,f2,f0</code>	IF	I					M1	M2	M3	M4	WB	C								
4108	<code>mul.d f4,f4,f1</code>	IF	I					M1	M2	M3	M4	WB	C								
4112	<code>add.d f6,f3,f2</code>		IF	I									A1	A2	WB	C					
4116	<code>add.d f6,f6,f4</code>		IF	I												A1	A2	WB	C		
4120	<code>s.d f6,%disp[y](r2)</code>		IF	I	AC														C	L1	L2
4124	<code>dadd r2,r2,8</code>		IF	I	E1	WB													C		
4128	<code>dsub r1,r1,1</code>			IF	I	E1	WB												C		
4132	<code>bnez r1,loop</code>			IF	I			E1	WB											C	
4136	<code>nop</code>			IF	X																
4140	<code>nop</code>			IF	X																
loop	<code>l.d f2,%disp[x](r2)</code>				IF	I	AC	L1	L2	WB										C	
4100	<code>l.d f4,%disp[y](r2)</code>				IF	I	AC	L1	L2	WB										C	
4104	<code>mul.d f2,f2,f0</code>				IF	I					M1	M2	M3	M4	WB					C	
4108	<code>mul.d f4,f4,f1</code>				IF	I					M1	M2	M3	M4	WB						C

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

- ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta?  3 ciclos
- ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla?  22 ciclos
- Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (**expresado con 2 decimales y utilizando el punto decimal**) resultante de procesar unos vectores X e Y de 64 elementos cada uno? El CPI promedio será de  0.36 ciclos/instrucción.

**Respuesta correcta:** 3, 19, 0.35

## Parte 4 de 5 / 2.0 Puntos

Preguntas 12 de 13

2.0 Puntos

Se lanza una aplicación en un procesador con ejecución fuera de orden y especulación. El resultado de los primeros 11 ciclos de ejecución es el siguiente:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14
.text	l.d f0,a(r0)	IF	I	AC	L1	L2	WB	C							
salto	l.d f2,x(r1)		IF	I	AC		L1	L2	WB	C					
8	mul.d f4,f2,f0			IF	I					M1	M2	M3			
12	l.d f6,y(r1)				IF	I	AC		L1	L2	WB				
16	sub.d f4,f4,f6					IF	I								
20	s.d f4,z(r1)						IF	I	AC						
24	dsub r1,r1,#8							IF	I	E1	-	WB			
28	bnez r1,salto								IF	I					
salto	l.d f2,x(r1)									IF	I				
8	mul.d f4,f2,f0										IF	I			
12	l.d f6,y(r1)											IF			

Completa los ciclos 12, 13 y 14 para cada instrucción, a partir de la primera que no ha realizado la etapa Commit. Considera que el operador de multiplicación/división está segmentado y tiene una latencia de 4 ciclos. Para resolver el ejercicio, completa la tabla siguiente. **Si una instrucción no realiza ninguna actividad en un ciclo, márcalo con un guión (-). En otras palabras, rellena todas las casillas de la tabla.**

Instrucción	11	12	13	14
ld f0,a(r0)				
l.d f2,x(r1)				
mul.d f4,f2,f0	M3	✓ <u>M4</u>	✓ <u>WB</u>	✓ <u>C</u>
l.d f6,y(r1)		✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
sub.d f4,f4,f6		✓ <u>-</u>	✗ <u>E1</u>	✗ <u>WB</u>
s.d f4, z(r1)		✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
dsub r1,r1,#8	WB	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
bnez r1,salto		✗ <u>EX</u>	✗ <u>WB</u>	✗ <u>-</u>
l.d f2,x(r1)		✓ <u>AC</u>	✓ <u>L1</u>	✓ <u>L2</u>
mul.d f4,f2,f0	I	✗ <u>M1</u>	✗ <u>M2</u>	✗ <u>M3</u>



l.d f6,y(r1) IF ✓ I ✓ AC L1

**Respuesta correcta:** M4, WB, C, -, -, -, -, A1, -, -, -, -, E1, -, WB, AC, L1, L2, -, -, -, I, AC, -

## Parte 5 de 5 / 1.5 Puntos

Preguntas 13 de 13

1.5 Puntos

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12
loop	l.d f2,x(r1)	IF	I	AC	L1	L2	WB	C					
4100	l.d f3,y(r1)	IF	I	AC	L1	L2	WB	C					
4104	mul.d f3,f3,f2		IF	I				M1	M2	M3	WB	C	
4108	add.d f3,f3,f1		IF	I								A1	A2
4112	s.d f3,y(r1)			IF	I	AC							
4116	mul.d f4,f0,f2			IF	I			M1	M2	M3	WB		
4120	s.d f4,x(r1)				IF	I	AC						
4124	dadd r1,r1,8				IF	I	E1	WB					
4128	bne r1,r4,loop					IF	I		E1	WB			
end	trap 0					IF	X						
loop	l.d f2,x(r1)						IF	I	AC	L1	L2	WB	
4100	l.d f3,y(r1)						IF	I	AC	L1	L2	WB	
4104	mul.d f3,f3,f2							IF	I				M1
4108	add.d f3,f3,f1							IF	I				
4112	s.d f3,y(r1)								IF	I	AC		
4116	mul.d f4,f0,f2								IF	I			M1
4120	s.d f4,x(r1)									IF	I	AC	
4124	dadd r1,r1,8									IF	I	E1	WB
4128	bne r1,r4,loop										IF	I	
end	trap 0										IF	X	
loop	l.d f2,x(r1)											IF	I
4100	l.d f3,y(r1)											IF	I
4104	mul.d f3,f3,f2												IF
4108	add.d f3,f3,f1												IF

responde a las siguientes preguntas sobre el estado del procesador al final del ciclo 12:

¿Cuántas entradas en el ROB están activas? ✓ 17

¿Cuántos buffers de lectura están ocupados? ✓ 2

¿Cuántos buffers de escritura están confirmados? ✓ 0

¿Cuántos registros de coma flotante tienen una marca activa? ✓ 3

**Respuesta correcta:** 17, 2, 0, 3