

## Exámenes

### 2022-UT2B (2.4,2.5) - Prueba de seguimiento

[Volver a la Lista de Exámenes](#)

#### Parte 1 de 5 / 2.5 Puntos

Preguntas 1 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta en el contexto de un procesador que ofrece gestión dinámica de instrucciones e implementa el algoritmo de Tomasulo con especulación:

- ✓ A. Con independencia del grado de ocupación del ROB, las instrucciones que llegan a Issue podrán ser lanzadas a ejecución siempre que una estación de reserva (o un buffer de escritura o lectura según el caso) las pueda albergar.
- ✓ B. Cuando una instrucción no dispone de una entrada en el ROB o de una estación de reserva (o buffer de escritura o lectura según el caso), pero tiene el operador físico y todos los operandos que necesita disponibles, puede comenzar a ejecutarse.
- ✓ C. Con independencia del grado de ocupación de las estaciones de reserva (o los buffers de escritura y lectura según el caso), las instrucciones que llegan a Issue podrán ser lanzadas a ejecución si el ROB tiene una entrada libre para albergarlas.
- ✓ D. Cuando una instrucción no dispone de una entrada en el ROB o de una estación de reserva (o buffer de escritura o lectura según el caso) deberá esperar en la etapa Issue, bloqueando el avance de las instrucciones que la sigan.

**Respuesta correcta:** D

Preguntas 2 de 13

0.5 Puntos

Gestionar dinámicamente las instrucciones a ejecutar conlleva el mantenimiento de un grafo de dependencias. Se añaden nuevas entradas al grafo cuando las instrucciones pasan por la etapa ✓ Issue ,

mientras que se eliminan cuando pasan por la etapa ✓ Writeback .

**Respuesta correcta:** Issue|I, WB|writeback

Preguntas 3 de 13

0.5 Puntos

Indica cuáles de las siguientes respuestas son correctas en el contexto de un procesador con gestión dinámica de instrucciones y especulación hardware:

- ☐ A. Las instrucciones de almacenamiento (los stores) necesitan del valor de dos registros para poderse ejecutar.
- ☒ B. Ninguna instrucción de almacenamiento contenida en el ROB debe cancelarse cuando una instrucción de salto que ha sido incorrectamente predicha llegue a la fase Commit.
- ✓ ☐ C. Las instrucciones de almacenamiento escriben en memoria después de ser confirmadas.
- ☐ D. Las instrucciones de almacenamiento (los stores) confirman su ejecución en la etapa WB.

**Respuesta correcta:** A, C

Preguntas 4 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Cuando una instrucción aritmética llega a la fase Commit:

- ✓ ☐ A. Se comprueba la marca del registro destino, y si coincide con la de la instrucción, se escribe el resultado de la operación sobre el registro y lo libera.
- ☒ B. Se escribe el resultado de la operación sobre el registro destino y lo libera.
- ✓ ☐ C. Se escribe el resultado de la operación sobre el registro destino y si su marca coincide con la de la instrucción, se libera el registro.
- ✓ ☐ D. Se difunde por el bus común de datos el resultado de la operación , escribiéndolo también en el ROB.

**Respuesta correcta:** C

Preguntas 5 de 13

0.5 Puntos

En un procesador con planificación dinámica de instrucciones y especulación:

- Las instrucciones se buscan ✓ en orden (en orden | fuera de orden)
- Las instrucciones se decodifican ✓ en orden (en orden | fuera de orden)
- Las instrucciones se ejecutan ✓ fuera de orden (en orden | fuera de orden)
- Las instrucciones completan su ejecución en los operadores ✓ fuera de orden (en orden | fuera de orden)
- Las instrucciones escriben sobre los registros y la memoria ✓ en orden (en orden | fuera de orden)

**Respuesta correcta:** en orden, en orden, fuera de orden, fuera de orden, en orden

## Parte 2 de 5 / 2.5 Puntos

Preguntas 6 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Los procesadores supersegmentados reducen el tiempo de ejecución de los programas sin modificar las etapas del pipeline de instrucciones, pero aumentando la frecuencia de reloj al que dichas etapas funcionan.

- ✓ Verdadero
- Falso

**Respuesta correcta:** Falso

Preguntas 7 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Los procesadores VLIW ofrecen una mejora de prestaciones que está íntimamente relacionada con la calidad del compilador utilizado.
- ✓ B. Si las operaciones que empaqueta un procesador VLIW están inspiradas en las instrucciones de un procesador convencional dado, ambos serán compatibles a nivel binario.
- ✓ C. Los procesadores VLIW codifican varias operaciones en una sola instrucción y el hardware se encarga de gestionarlas dinámicamente.
- ✓ D. Los procesadores VLIW son compatibles a nivel binario entre sí, siempre que empaqueten el mismo número de operaciones en cada instrucción máquina.

**Respuesta correcta: A**

Preguntas 8 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

**Ciclo**   **Ciclo**   **Ciclo**   **Ciclo**

**0**   **1**   **2**   **3**

A			
A			
A			A
A			A

**Ciclo 0**   **Ciclo 1**

	B
B	B
B	B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano grueso. Supón que un evento es de alta latencia cuando dura más de un ciclo, que empieza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba. **¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

**Ciclo 0**   **Ciclo 1**   **Ciclo 2**   **Ciclo 3**

✓ A	✓ -	✓ -	✓ -
✓ A	✓ -	✓ B	✓ -
✓ A	✓ B	✓ B	✓ A
✓ A	✓ B	✓ B	✓ A

**Respuesta correcta:** A, -, -, -, A, -, B, -, A, B, B, A, A, B, B, A

Preguntas 9 de 13

0.5 Puntos

Indica qué afirmaciones son correctas en relación a un procesador superescalar de 4 vías con ejecución fuera de orden y especulación:

- ☐ A. Se pueden realizar hasta 4 escrituras en los buses comunes de datos.
- ✓ ☒ B. Se pueden realizar hasta 4 escrituras en el ROB.
- ✓ ☒ C. Se pueden decodificar simultáneamente 4 instrucciones
- ☐ D. Permite la confirmación (commit) de 4 instrucciones, estén o no en la cabeza del ROB.

**Respuesta correcta:** A, B, C

Preguntas 10 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

**Ciclo 0**

A

A

A

A

**Ciclo 1**

A

A

**Ciclo 0**

B

B

**Ciclo 1**

B

B

B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano fino. Supón que comienza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba. **¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-). y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

Ciclo 0	Ciclo 1	Ciclo 2	Ciclo 3
✓ <u>A</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
✓ <u>A</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>B</u>
✓ <u>A</u>	✓ <u>B</u>	✓ <u>A</u>	✓ <u>B</u>
✓ <u>A</u>	✓ <u>B</u>	✓ <u>A</u>	✓ <u>B</u>

**Respuesta correcta:** A, -, -, -, A, -, -, B, A, B, A, B, A, B, A, B

### Parte 3 de 5 / 1.5 Puntos


Preguntas 11 de 13

1.5 Puntos

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
loop	<u>l.d f2,%disp[x](r2)</u>	IF	I	AC	L1	L2	L3	WB	C														
4100	<u>l.d f4,%disp[y](r2)</u>	IF	I	AC	L1	L2	L3	WB	C														
4104	<u>mul.d f2,f2,f0</u>	IF	I						M1	M2	M3	M4	WB	C									
4108	<u>mul.d f4,f4,f1</u>	IF	I						M1	M2	M3	M4	WB	C									
4112	<u>add.d f6,f3,f2</u>		IF	I										A1	A2	WB	C						
4116	<u>add.d f6,f6,f4</u>		IF	I												A1	A2	WB	C				
4120	<u>s.d f6,%disp[y](r2)</u>		IF	I	AC															C	L1	L2	L3
4124	<u>dadd r2,r2,8</u>		IF	I	E1	WB														C			
4128	<u>dsub r1,r1,1</u>			IF	I	E1	WB													C			
4132	<u>bnez r1,loop</u>			IF	I			E1	WB												C		
4136	<u>nop</u>			IF	X																		
4140	<u>nop</u>			IF	X																		
loop	<u>l.d f2,%disp[x](r2)</u>				IF	I	AC	L1	L2	L3	WB										C		
4100	<u>l.d f4,%disp[y](r2)</u>				IF	I	AC	L1	L2	L3	WB										C		
4104	<u>mul.d f2,f2,f0</u>				IF	I							M1	M2	M3	M4	WB				C		
4108	<u>mul.d f4,f4,f1</u>				IF	I							M1	M2	M3	M4	WB					C	

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

1. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta? ✓ 3 ciclos
2. ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla? ✓ 20 ciclos
3. Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (**expresado con 2 decimales y utilizando el punto decimal**) resultante de procesar unos vectores X e Y de 32 elementos cada uno? El CPI promedio será de  0.33 ciclos/instrucción.

**Respuesta correcta:** 3, 20, 0.41 | 0.406

## Parte 4 de 5 / 2.0 Puntos

Preguntas 12 de 13

2.0 Puntos

Se ejecuta una aplicación en un procesador con gestión dinámica de instrucciones basada en el algoritmo de Tomasulo y especulación hardware. El resultado de los primeros 17 ciclos de la ejecución es el siguiente:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
.text	l.d f0,a(r0)	IF	I	AC	L1	L2	WB	C													
salto	l.d f2,x(r1)		IF	I	AC		L1	L2	WB	C											
salto + 04	mul.d f4,f2,f0			IF	I					M1	M2	WB	C								
salto + 08	add.d f6,f4,f4				IF	I							A1	A2	WB	C					
salto + 12	sub.d f8,f4,f4					IF	I						A1	A2	WB	C					
salto + 16	dsub r1,r1,#8						IF	I	E1	WB								C			
salto + 20	add.d f10,f2,f0							IF	I	A1	A2	-	WB								
salto + 24	bnez r1,salto								IF	I	E1	-	-	WB							
salto	l.d f2,x(r1)									IF	I	AC	L1	L2	-	-	WB				
salto + 04	mul.d f4,f2,f0										IF	I						M1			
salto + 08	add.d f6,f4,f4											IF	I								
salto + 12	sub.d f8,f4,f4												IF	I							
salto + 16	dsub r1,r1,#8													IF	I	E1	-	WB			
salto + 20	add.d f10,f2,f0														IF	I		A1			
salto + 24	bnez r1,salto															IF	I				
salto	l.d f2,x(r1)																IF	I			
salto + 04	mul.d f4,f2,f0																	IF			

Completa los ciclos 18, 19 y 20 para cada instrucción a partir de la primera instrucción que no ha realizado Commit. Supóngase que la instrucción bnez r1, salto es "efectiva". Rellena las instrucciones que se buscan en esos ciclo. Para resolver el ejercicio rellena la siguiente tabla. **Si una instrucción no realiza ninguna actividad en un ciclo márcalo con un guión (-). En otras palabras, rellena toda las celdas de la tabla.**

Instrucción	17	18	19	20
dsub r1,r1,#8	C			
add.d f10,f20,f0	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>	
bnez r1,salto	✓ <u>-</u>	✓ <u>C</u>	✓ <u>-</u>	
l.d f2,x(r1)	✓ <u>-</u>	✓ <u>-</u>	✓ <u>C</u>	
mul.d f4,f2,f0	M1	✓ <u>M2</u>	✓ <u>WB</u>	✓ <u>-</u>
add.d f6,f4,f4		✓ <u>-</u>	✓ <u>-</u>	✓ <u>A1</u>
sub.d f8,f4,f4		✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
dsub r1,r1,#8	WB	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
add.d f10,f2,f0	A1	✓ <u>A2</u>	✓ <u>-</u>	✓ <u>WB</u>
bnez r1,salto		✓ <u>E1</u>	✓ <u>-</u>	✓ <u>-</u>
l.d f2,x(r1)	I	✓ <u>AC</u>	✓ <u>L1</u>	✓ <u>L2</u>
mul.d f4,f2,f0	IF	✓ <u>I</u>	✓ <u>-</u>	✓ <u>-</u>
✓ add.d f6,f4,f4		✓ <u>IF</u>	✓ <u>I</u>	✓ <u>-</u>
✓ sub.d f8,f4,f4		-	✓ <u>IF</u>	✓ <u>I</u>
✓ dsub r1,r1,#8		-	-	✓ <u>IF</u>



**Respuesta correcta:** C, -, -, -, C, -, -, -, C, M2, WB, -, -, -, A1, -, -, -, -, -, A2, -, WB, E1, -, -, AC, L1, L2, I, -, -, add.d f6,f4,f4, IF, I, -, sub.d f8,f4,f4, IF, I, dsub r1,r1,#8, IF

## Parte 5 de 5 / 1.5 Puntos

Preguntas 13 de 13

1.5 Puntos

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12
loop	l.d f2,x(r1)	IF	I	AC	L1	L2	WB	C					
4100	l.d f3,y(r1)	IF	I	AC	L1	L2	WB	C					
4104	mul.d f3,f3,f2		IF	I				M1	M2	M3	WB	C	
4108	add.d f3,f3,f1		IF	I								A1	A2
4112	s.d f3,y(r1)			IF	I	AC							
4116	mul.d f4,f0,f2			IF	I			M1	M2	M3	WB		
4120	s.d f4,x(r1)				IF	I	AC						
4124	dadd r1,r1,8				IF	I	E1	WB					
4128	bne r1,r4,loop					IF	I		E1	WB			
end	trap 0					IF	X						
loop	l.d f2,x(r1)						IF	I	AC	L1	L2	WB	
4100	l.d f3,y(r1)						IF	I	AC	L1	L2	WB	
4104	mul.d f3,f3,f2							IF	I				M1
4108	add.d f3,f3,f1							IF	I				
4112	s.d f3,y(r1)								IF	I	AC		
4116	mul.d f4,f0,f2								IF	I			M1
4120	s.d f4,x(r1)									IF	I	AC	
4124	dadd r1,r1,8									IF	I	E1	WB
4128	bne r1,r4,loop										IF	I	
end	trap 0										IF	X	
loop	l.d f2,x(r1)											IF	I
4100	l.d f3,y(r1)											IF	I
4104	mul.d f3,f3,f2												IF
4108	add.d f3,f3,f1												IF

responde a las siguientes preguntas sobre el estado del procesador al final del ciclo 12:

¿Cuántas entradas en el ROB están activas? ☒ 17

¿Cuántos buffers de lectura están ocupados? ☒ 2

¿Cuántos buffers de escritura están confirmados? ☒ 0

¿Cuántos registros de coma flotante tienen una marca activa? ☒ 3

**Respuesta correcta:** 17, 2, 0, 3

