

Ejercicio 1 (EXAMEN ENERO 2015-RECUPERACIÓN CURSO 2014/15)

El esquema de la figura 1 corresponde con un sumador/restador de n-bits

Teniendo en cuenta que las puertas XOR tiene un retardo equivalente a 3 niveles de puertas, y que el sumador de n bits es un sumador serie (formado exclusivamente por sumadores completos de 1 bit conectados en cascada).

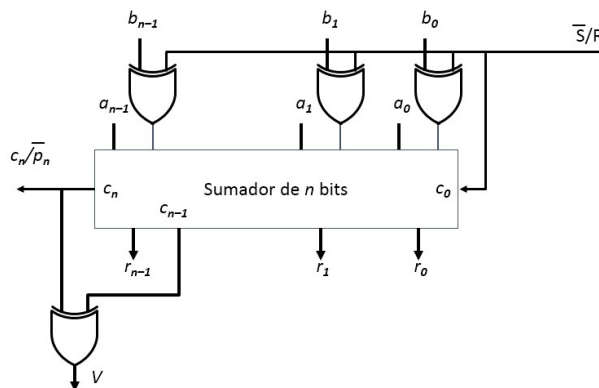


Figura 1. Operador matemático

- a) (0,75 puntos) Asumiendo que el tiempo equivalente a 1 nivel de puertas es 1ns, calcula la expresión del tiempo total de circuito en función del número de bits (n).

Como la señal B entra con un retardo de 3T debido a las puertas XOR, el acarreo se calcula desde la llegada de la señal de entrada más lenta:

$$t_{cn/\overline{pn}} = nx2T + 3T = (2n + 3)T$$

El bit de suma tarda 1 T más que el de acarreo final:

$$t_{r_{n-1}} = t_{cn/\overline{pn}} + 1T = (2n + 4)T$$

Y el bit de overflow V, será la puerta XOR desde la llegada de la entrada más lenta, que el acarreo final:

$$t_V = t_{cn/\overline{pn}} + 3T = (2n + 6)T$$

Por tanto el retardo de este circuito será el de su salida más lenta, que en este caso es el bit V.

$$T_{op} = t_V = 2n + 6 \text{ ns}$$

- b) (0,25 puntos) ¿Cuál sería la productividad del circuito para n=8?

$$t_{op} = (2 \times 8 + 6) \times 1 \text{ ns} = 22 \text{ ns}$$

$$\chi = \frac{1000}{22} = 45.45 \text{ MOPS}$$

Ejercicio 3 (EXAMEN CURSO 2019/20)

En la figura se muestra un sumador para dos números enteros (A y B) de 32 bits, basado en 4 sumadores CPA de 8 bits y 3 circuitos GAC (Generadores de Acarreo Anticipado). Los CPA están basados en sumadores completos FA como los estudiados en clase. Los GAC son capaces de generar en paralelo las señales de acarreo C_7 , C_{15} y C_{23} en función de los valores de entrada A y B y el acarreo entrante C_{IN} , empleando para ello 5ns en todos los casos. Teniendo en cuenta que el retardo de cada puerta lógica es 1 ns, responda a las cuestiones que se plantean a continuación.

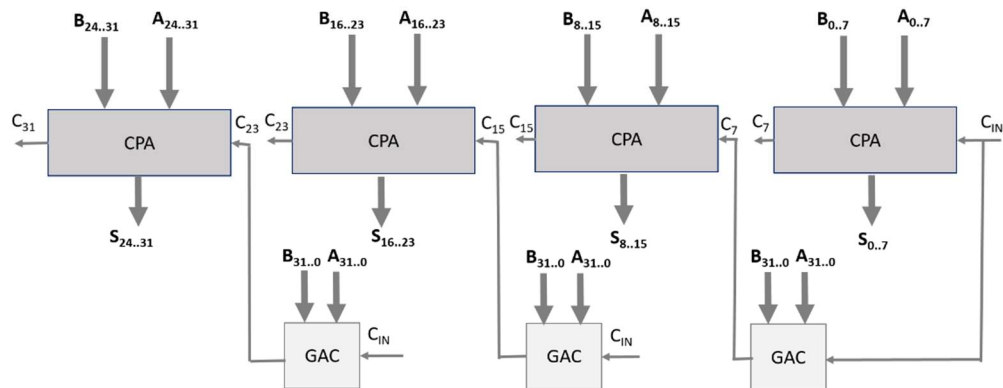


Figura 3 Operador matemático

- a) Tiempo necesario para obtener la suma de A y B y Productividad del circuito

$$T = 22 \text{ ns} \quad \text{Productividad} = 1 / 22 \text{ ns} = 45,45 \text{ MOPS}$$

- b) ¿Cómo puede incluirse la detección del desbordamiento en la suma? ¿Cuánto tiempo conllevaría la suma con detección del desbordamiento?

$$OVF = C_{31} \text{ XOR } C_{30} \quad \text{El tiempo sería el mismo}$$

- c) ¿Cuál es la ganancia de velocidad (aceleración) de este sumador respecto de un CPA para 32 bits?

$$T_{CPA} = 65 \text{ ns}$$

$$\text{Aceleración} = 65/21 = 3,09$$

Ejercicio 4 (EXAMEN CURSO 2013/14)

El circuito de la figura es un sumador de enteros de 16 bits que pretende reducir el tiempo de respuesta respecto al sumador con propagación de acarreo (CPA) clásico. Se trata de dos sumadores con selección de acarreo (Carry Select Adder, CSA) conectados en serie a través del acarreo de peso 8. Un CSA se encarga de la suma de los 8 bits de menor peso y otro de los 8 bits de mayor peso.

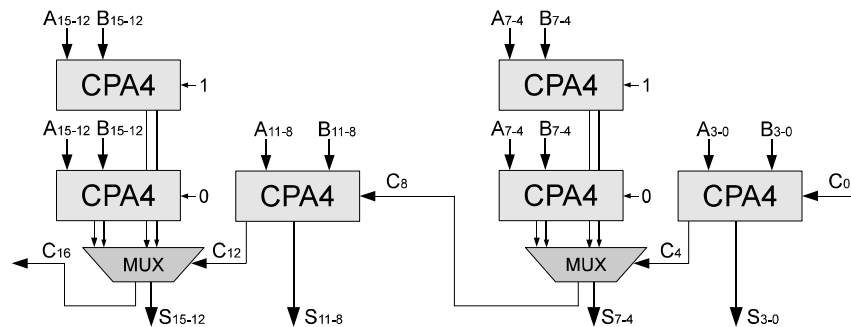


Figura 4 Operador matemático

Los CPAs de 4 bits que emplea (CPA4) utilizan sumadores completos con un tiempo de respuesta de 2 ns para el acarreo y 3 ns para la suma. El retardo introducido por los multiplexores (MUX) es de 2 ns. Indique:

- a) **(0,5 puntos)** Cuál sería el tiempo de respuesta de un sumador CPA clásico de 16 bits que utilizara los mismos sumadores completos ($t_s=3$ ns, $t_c=2$ ns).

$$15 \text{ bits} * 2\text{ns} + 3\text{ns} = 33\text{ns}$$

- b) **(0,5 puntos)** El tiempo de respuesta del sumador propuesto en los siguientes puntos:

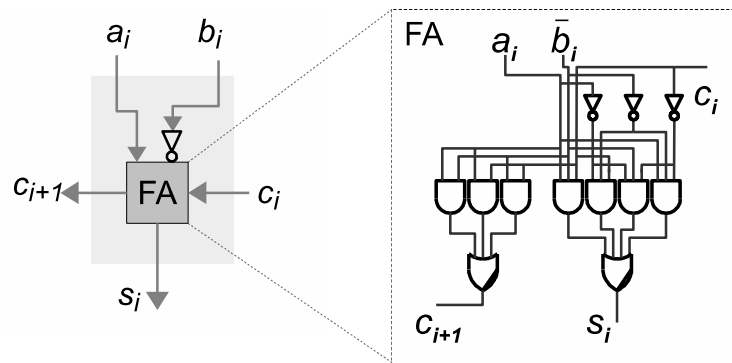
$$\begin{aligned} S_{3-0} &= 9\text{ns} \\ S_{7-4} &= 11\text{ns} \\ S_{11-8} &= 19\text{ns} \\ S_{15-12} &= 20\text{ns} \\ C_{16} &= 20\text{ns} \end{aligned}$$

- c) **(0,5 puntos)** La productividad del CPA clásico y la del sumador propuesto. Exprese los resultados en MOPS.

$$\begin{aligned} X_{\text{clasico}} &= 1000/33 \text{ MOPS} = 30.3 \text{ MOPS} \\ X_{\text{propuesto}} &= 1000/20 \text{ MOPS} = 50 \text{ MOPS} \end{aligned}$$

Ejercicio 5 (EXAMEN CURSO 2020/21)

(1.2 puntos) Considere el circuito de la figura 3, que combina un sumador FA y una puerta NOT. Vea también los retardos de los componentes.



Puerta	Retardo
NOT	0.5 ns
AND	1 ns
OR	1.5 ns

Figura 5. Combinación de un FA y una puerta NOT

- a) (0.4 puntos) Si las entradas a_i , b_i y c_i llegan simultáneamente al circuito de la figura 3, ¿cuáles son los retardos de las salidas c_{i+1} y s_i ?

Salida c_{i+1} : $t_{\text{NOT}} + t_{\text{AND}} + t_{\text{OR}} = 3 \text{ ns}$

Salida s_i : $2 \times t_{\text{NOT}} + t_{\text{AND}} + t_{\text{OR}} = 3.5 \text{ ns}$

- b) (0.4 puntos) Si las entradas a_i y b_i llegan en tiempo 0 y la entrada c_i a los 3 ns ¿en qué momento son válidas las salidas c_{i+1} y s_i ?

Salida c_{i+1} : $3 \text{ ns} + t_{\text{AND}} + t_{\text{OR}} = 5.5 \text{ ns}$

Salida s_i : $3 \text{ ns} + t_{\text{NOT}} + t_{\text{AND}} + t_{\text{OR}} = 6 \text{ ns}$

Con ese circuito como bloque básico, se puede construir el operador de la figura 4 que hace la resta $A-B$ de dos enteros de 32 bits.

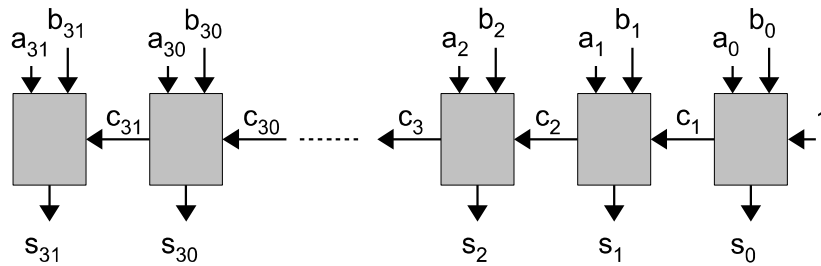


Figura 6: operador de resta

- c) (0.2 puntos) ¿Cuál será el retardo del bit s_{31} ? Indique cómo lo ha obtenido. Por ejemplo: " $15 \times t_{\text{AND}} + 4 \times (t_{\text{NOT}} + t_{\text{OR}}) = 77 \text{ ns}$ "

Retardo s_{31} : $t_{\text{NOT}} + 31 \times (t_{\text{AND}} + t_{\text{OR}}) + (t_{\text{NOT}} + t_{\text{AND}} + t_{\text{OR}}) = 0.5 + 77.5 + 3 = 81 \text{ ns}$

- d) (0.2 puntos) ¿Cuál será la productividad máxima en MOPS del operador?

Productividad = 1 operación / 81 ns $\approx 12,3 \text{ MOPS}$

Otros ejercicios relacionados del boletín "Tema 3. Problemas de aritmética entera.pdf"

PROBLEMA 9
PROBLEMA 10