

ETC-Tema-5.pdf



TurbApuntPatata



Estructura de Computadores



2º Grado en Ingeniería Informática



Escuela Técnica Superior de Ingeniería Informática
Universidad Politécnica de Valencia

BBVA

1/6
Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

Ábrete la Cuenta Online de BBVA y
llévate 1 año de **Wuolah PRO**

cómo??



Ventajas Cuenta Online de BBVA

0c
Sin comisión de administración o
mantenimiento de cuenta.
(0 % TIN 0 % TAE)

0c
Sin comisión por emisión y
mantenimiento de Tarjeta
Aqua débito.

0
Sin necesidad de domiciliar
nómina o recibos.

Las ventajas de **WUOLAH PRO**

✖
Di adiós a la publi en
los apuntes y en la web

✖
Descarga carpetas
completas de un tirón

✖
Acumula tickets
para los sorteos

cómo???



1/6

Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

ESTRUCTURA DE COMPUTADORES

Tema 5

ventajas

PRO



Di adiós a la publi en los apuntes y en la web



Acumula tickets para los sorteos



Descarga carpetas completas

estudia sin publi
WUOLAH PRO



TEMA 5

Memoria Principal

El sistema de memoria del computador

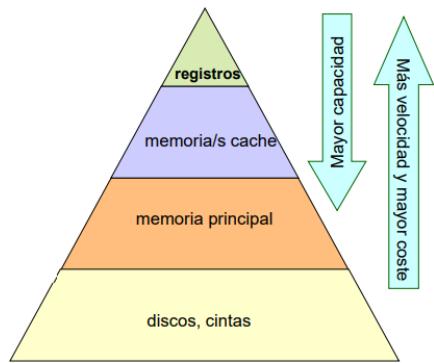
La memoria es el **Medio físico** capaz de **almacenar información** de forma **temporal o permanente**. Estas son los Registros del procesador, la Memoria caché, la Memoria principal y la Memoria secundaria: SSD, Discos, Cintas o discos ópticos

Jerarquía de memoria

La jerarquía de memoria Es la **organización piramidal de la memoria en niveles** que tienen las computadoras. El objetivo es acercarse el rendimiento de una memoria de gran velocidad al coste de una memoria de baja velocidad

Los **parámetros** que se barajan son:

- **Velocidad** de acceso
- **Capacidad** de almacenamiento
- **Coste** por bit almacenado
- **Consumo** de potencia
- **Fiabilidad**



Memoria principal: RAM Dinámica Síncrona **SDRAM** **Memoria cache:** RAM estática **SRAM**

Discos duros: *Discos magnéticos*

Memoria Flash: *SSD*, pendrives

Almacenamiento externo: Flash, magnéticas, Ópticos (CD-ROM, DVD...)

Características Memorias y Prestaciones

De las características destacamos: El **Modo de acceso**, Cómo accedemos a la información, la **Capacidad**, Cuánta información cabe, y el **Ancho de banda** (velocidad de transferencia), Cómo de rápido se transfiere la información.

Modos de acceso

Modo de acceso hace referencia al **Como se accede a la información**. El **Byte** es la **unidad mínima de información** que puede ser accedida/direccionada por la CPU

Información accedida en cada acceso

Palabra: Es la **Unidad máxima de transferencia en un acceso**. Su longitud en bytes suele ser una **potencia entera de 2** (1, 2, 4, 8, 16, ...) **Ejemplo:**

Transferencias entre memoria principal y procesador sin cache



Bloque: **Conjunto de palabras** al que se accede por medio de una petición. Ejemplos:

Transferencias entre memoria cache y memoria principal

Transferencias entre discos y memoria principal.



1/6

Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

Ábrete la Cuenta Online de BBVA y llévate 1 año de Wuolah PRO



cómo??

Las ventajas de Wuolah PRO



Di adiós a la publi en
los apuntes y en la web



Descarga carpetas
completas de un tirón



Acumula tickets
para los sorteos

Ventajas Cuenta Online de BBVA

0€

Sin comisión de administración o
mantenimiento de cuenta.
(0 % TIN 0 % TAE)

0€

Sin comisión por emisión y
mantenimiento de Tarjeta
Aqua débito.

0

Sin necesidad de domiciliar
nómina o recibos.

Modo Aleatorio: Tiempo de acceso **siempre igual**, independiente de la posición accedida

Modo Secuencial: Tiempo de acceso **proporcional** a la **distancia** de la **información**

Modo Directo: Tiempo de acceso **proporcional** a la **distancia** entre la **información** y el **lector** (cabezal). Hay dos componentes:

- *Uno directo*
- *Otro secuencial*

Modo Asociativo: Memorias **direcciónables por contenido**, Comportan **mayor tiempo de acceso** por la necesidad de comparación, si bien éste es independiente de la posición

Capacidad de almacenamiento

La capacidad es la Cantidad de información almacenada: bits (b) o bytes (B)

Expresión: Se expresa como **Capacidad total en bits, en bytes o múltiples de byte.**

Capacidad (C), Nº Palabras (L), Ancho de palabra en b (W)

$$\text{Capacidad} = \text{Número de palabras} \times \text{Tamaño de palabra} \text{ (bits/bytes)}$$

$$C \text{ (MB)} = L \cdot W \text{ (b)}$$

AQUÍ MUY ES BIEN DESGLOSAR EN POTENCIAS DE 2 Y LUEGO SACAR CUANTO ES

Prefijos: Según el contexto, son del tipo 2^n o del tipo 10^n

Prefijos aplicables:	nombre	valor (2^n)	valor (10^n)
	Kilo (K)	2^{10}	10^3
	Mega (M)	2^{20}	10^6
	Giga (G)	2^{30}	10^9
	Tera (T)	2^{40}	10^{12}
	Peta (P)	2^{50}	10^{15}

Capacidad independiente: La capacidad es independiente de la organización de la memoria



Parámetros temporales

Tiempos de acceso: Tiempo máximo entre el **inicio de la operación** y la **obtención o almacenamiento** de la **palabra o el primer dato del bloque**

El tiempo máximo entre que Pides algo y te llega el primer elemento de los que habías pedido

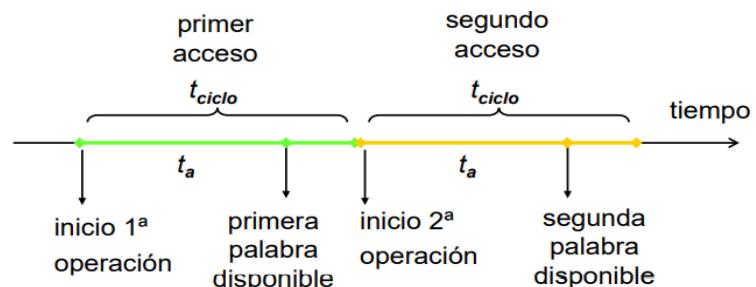
Unidades de tiempo

Prefijos aplicables a las unidades de tiempo:	Nombre	Valor
	mili (m)	10^{-3}
	micro (μ)	10^{-6}
	nano (n)	10^{-9}
	pico (p)	10^{-12}

Temporización de un acceso a palabra

Tiempo de ciclo: Tiempo mínimo entre **dos operaciones consecutivas de memoria**.

En general, $T_{ciclo} \geq T_{acceso}$



Velocidad de transferencia

Ancho de banda (*Bandwidth*). Genéricamente, es la **cantidad de información transferida por unidad de tiempo**

$$B = \frac{\text{bits/bytes transferidos}}{\text{tiempo}}$$

Unidad: Bytes por **unidad de tiempo**: MB/s, GB/s (*MBps, GBps*), Mb/s, Gb/s (*Mbps, Gbps*).

Los **prefijos** siempre son del tipo 10^n (LOS TIEMPOS SIEMPRE SE MIDEN EN POTENCIAS DE 10)

Ejemplo

Tiempo de ciclo: 20 ns. Tiempo de acceso: 15 ns.
En cada acceso se transmite una palabra de 32 bits

$$B = \frac{4 \text{ bytes}}{T_{ciclo}} = \frac{4 \text{ bytes}}{20 \times 10^{-9} \text{ s}} = 2 \times 10^8 \frac{\text{bytes}}{\text{s}} = 200 \text{ MB/s}$$

Otra forma

$$B = \text{bytes transferidos en un ciclo} \times \text{frecuencia transmisión}$$

Tamaño de bus: Los **bytes transferidos** en **un ciclo corresponden** al **tamaño del bus de datos de la memoria**.

Frecuencia de transmisión: Corresponde al **inverso del tiempo** de **ciclo de la memoria**

El **ancho de banda** también suele asociarse al término de **productividad** del **sistema de memoria**

$$B = \text{Tamaño_bus_datos} \times \left(\frac{1}{T_{ciclo}} \right) = 4 \text{ bytes} \times \left(\frac{1}{20 \times 10^{-9} \text{ s}} \right) = 4 \text{ bytes} \times 50 \times 10^6 \text{ Hz} = 4 \text{ bytes} \times 50 \text{ MHz} = 200 \text{ MB/s}$$

Temporización de un acceso a bloque

Tiempo de acceso y ancho de banda: Al acceder a un **bloque**, hay que **dedicar un tiempo de acceso o latencia t_L hasta que se transfiera la primera palabra de P bytes**. El **resto de las palabras** del bloque se **transfieren a intervalos de t_B**

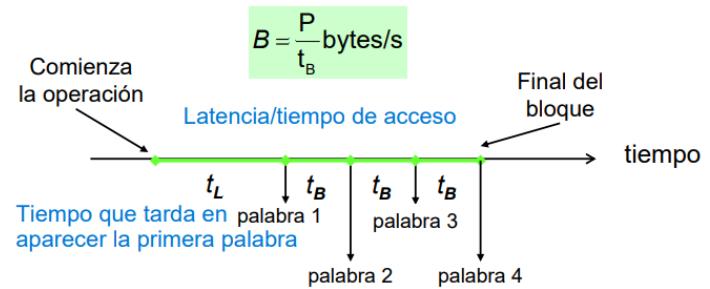
El **ancho de banda se mide a partir de la primera palabra** (ya que se puede concatenar el acceso de múltiples bloques)

Cantidad de datos/tiempo t_B

$$B = \frac{P}{t_B} \text{ Bytes/s}$$

SOLO SE CALCULAN CON EL t_B TE LA PELA EL TP (la latencia)

Eso pasa porque se asume que **es posible concatenar el acceso a sucesivos bloques** solapando el **final del bloque actual con el tiempo de acceso del bloque siguiente**



cómo???



1/6

Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

ventajas

PRO



Di adiós a la publ en los apuntes y en la web



Acumula tickets para los sorteos

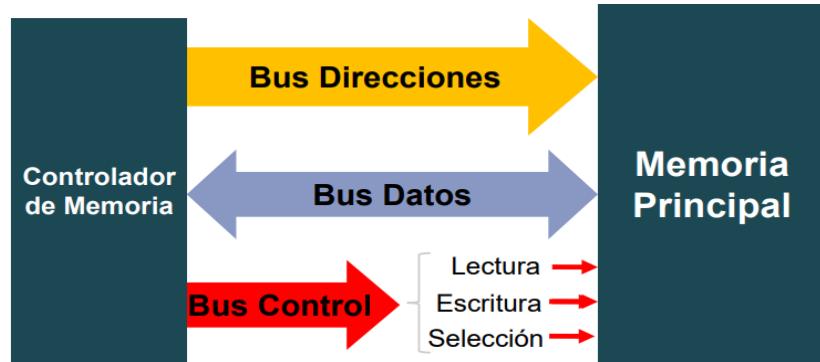


Descarga carpetas completas

estudia sin publ

WUOLAH PRO

La memoria principal



controlador de memoria adapta los buses de direcciones/datos/controles procedentes de la CPU a las necesidades de conexión de la memoria principal

Direccionamiento de la memoria principal

Direcciones: Van referidas a cada byte → **Cada byte tiene una dirección única**

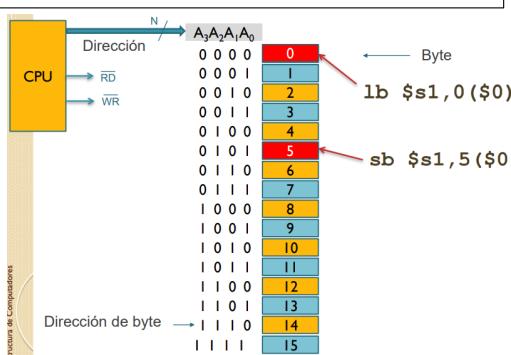
Parámetros impuestos por la CPU

- Tamaño de palabra:** En bits o bytes, influyen en el **bus de datos**
- Direccionamiento:** En bits/líneas de dirección y En **capacidad** de **direcciónamiento** (unidades 2^n). influyen en el **bus de direcciones**
- Formato almacenamiento palabras:** little-endian y big-endian

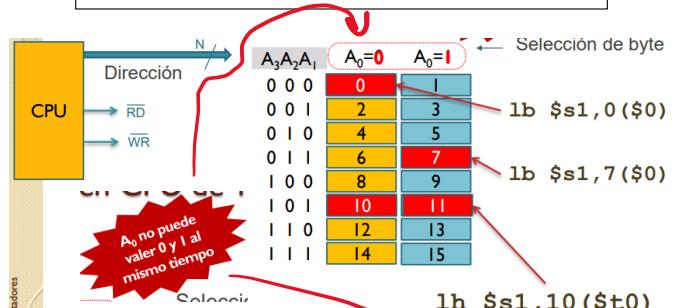
Ejemplo: MIPS R2000

32 bits de **datos** (D31 hasta D0)32 bits de **dirección** (A31 hasta A0)Puede referenciar 2^{32} bytes = 4 GB

Direccionamiento de memoria en CPU 8 bits



Direccionamiento de memoria en CPU 16 bits

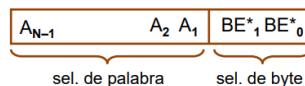


Dirección de memoria

16 bits



Bus de Direcciones

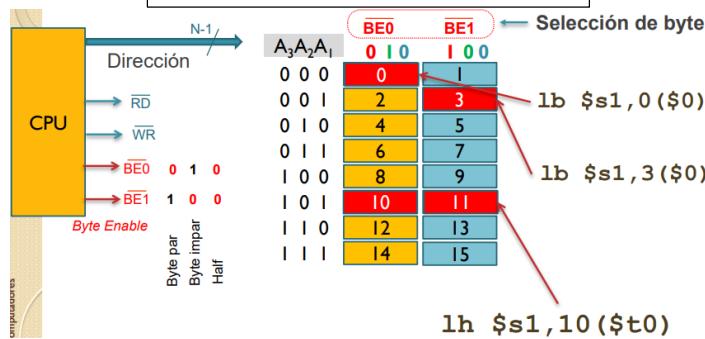


sel. de palabra

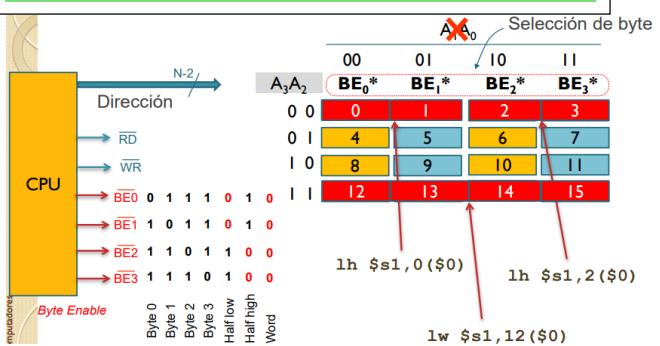
sel. de byte

Para escribir en la primera columna $A0 = 0$ y para escribir en la segunda $A0 = 1$. Si quieres escribir un **half** tendrían que estar $A0 = 1 = 0$ a la vez por lo que **no se puede**, se ha de optar por otra solución. En concreto usar **bits de habilitación: bit enables**

Se soluciona con enables 16 bits



Direccionamiento de memoria en CPUs 32 bits



Dirección de memoria 32 bits

A_{N-1} A₂ A₁ A₀

Bus de Direcciones

A_{N-1} A₂ BE₃* BE₂* BE₁* BE₀*

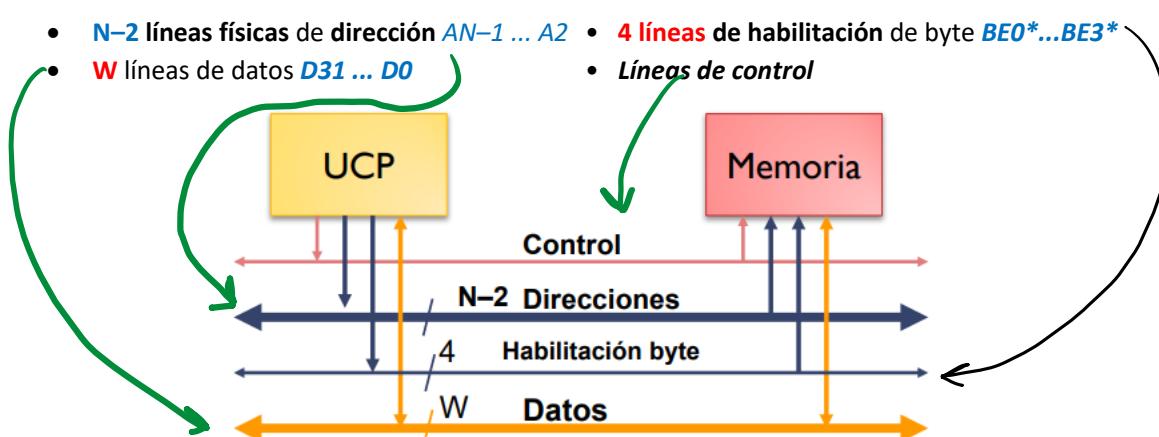
sel. de palabra sel. de byte

Ahora para **escribir** en cada columna no hay solo 1 bit, hay más, **uno por cada combinación**. Si hay 2 bits: puedes **escribir en uno**, en **otro**, o en **los 2**. Si hay 4 bits, puedes **escribir en uno** de los 4, en **2 de ellos a la vez (half)** o en **los 4 a la vez (Word)** *siempre respetando la paridad*.

Estructura del bus de memoria

Ejemplo con W=32 bits de **datos** y N bits de **dirección**

- N-2 líneas físicas de dirección A_{N-1} ... A₂
- W líneas de datos D₃₁ ... D₀
- 4 líneas de habilitación de byte BE₀*...BE₃*
- Líneas de control



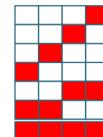
Generación de las señales Bit Enable /BEi

La **unidad de control del procesador (CPU)**, según el **tipo de acceso** y los **bits menos significativos** de la **dirección**, **activa las señales /BEi** (BE0*, BE1*, BE2*, BE3*...)

Están con * xq están negadas. En el ejemplo se ve como actúa sobre los segmentos de una palabra los BE de una CPU de 32 bits

Acceso	A ₁	A ₀	BE ₃ *	BE ₂ *	BE ₁ *	BE ₀ *
a byte	0 0		1	1	1	0
	0 1		1	1	0	1
	1 1		1	0	1	1
a hword	0 0		1	1	0	0
	1 0		0	0	1	1
a word	0 0		0	0	0	0

No están en el bus de direcciones Señales presentes en el bus

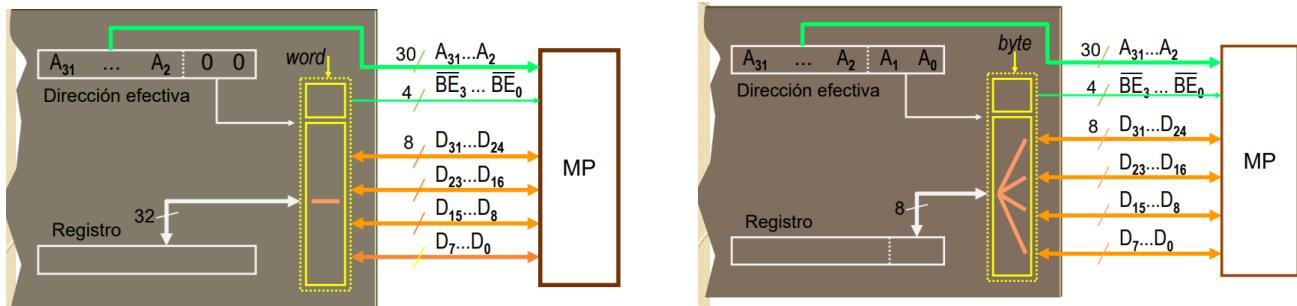


	A ₁	A ₀	BE ₃ *	BE ₂ *	BE ₁ *	BE ₀ *
lw O(\$t0)	0	0	0	0	0	0
lb S(\$t0)	0	1	1	1	0	1
sh L(\$t0)	1	0	0	0	1	1
sb Q(\$t0)	0	0	1	1	1	0

6

Acceso a una palabra de 32 bits

Dirección efectiva **múltiplo de 4** (bits A1A0 = 00) Dirección efectiva **múltiplo de 2** (bit A0 = 0)
La dirección efectiva puede tomar cualquier valor



Memorias RAM dinámicas

Se emplean **RAM dinámica DRAM** en la **memoria principal** Por sus ventajas

Ventajas

- Alta integración:** La celda de memoria dinámica (transistor+ condensador) **ocupa menor área de silicio** que la celdilla de la SRAM (**biestable**). Al mismo coste de fabricación, **más capacidad** que SRAM y **Menor coste por bit**
- Bajo consumo** en relación con SRAM
- Con las actuales memorias DRAM síncronas (SDRAM) se consigue un mayor ancho de banda en el acceso por bloques

Inconvenientes

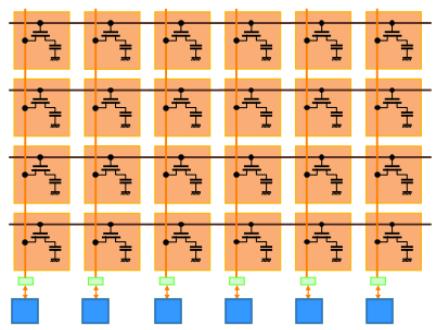
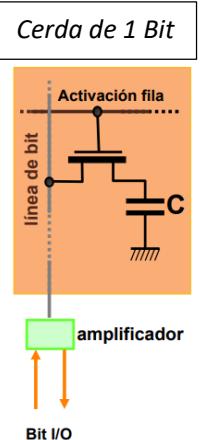
- Son **más lentas** que las SRAM
- Requieren refresco periódico** para **evitar pérdida de información**

Organización de las celdas: Organización de las celdas internas en una **matriz** con Acceso en dos pasos: **primero fila** y **después columna**

Se vuelcan a los amplificadores todos los bits de la fila. **Se puede leer los bits de columnas consecutivas** sin necesidad de volver a especificar la línea.

El **refresco** se hace **simultáneamente** a **todos los bits** de una misma **fila**

Estas son más lentas (por tener que cargar/descargar el condensador), después también cada vez que lees la información se pierde la carga de cada cerda y al poco tiempo de estar paradas también se pierde → **Cada pocos ms** y **Después de leer** hay que **reescribir cada bit**.



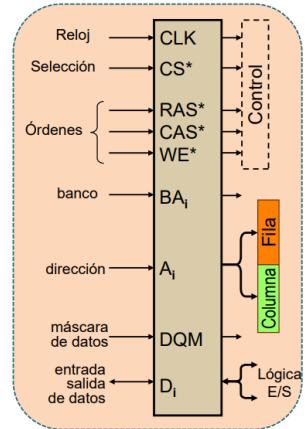
Memorias SDRAM

En las Memorias SDRAM (*Synchronous DRAM*) los **chips** tienen una **interfaz síncrona** regulada por una **señal de reloj** de frecuencia característica: 100, 133, 200, etc. MHz.

Después Las tecnologías DDR, DDR2 y DDR3 multiplican por 2, 4 y 8, respectivamente, el ancho de banda de la SDRAM

Interfaz del chip

- Órdenes**: son **combinaciones de tres señales** (RAS*, CAS* y WE*) el asterisco de nivel bajo
- Banco**: Selecciona uno de los bancos internos de la SDRAM
- Dirección**: Según el orden, aprovechan para **especificar una fila o una columna**. El número de bits de la fila suele determinar el número de líneas
- Datos**: Tantas líneas como el **ancho de palabra**
- Máscara de datos**: Útil para seleccionar octetos (bytes) dentro de la palabra



Direccionamiento Memorias SDRAM

Capacidad $\text{Capacidad} = P \cdot w \text{ bits}$

$$P = B \cdot F \cdot C \rightarrow 2^P = 2^B \cdot 2^F \cdot 2^C$$

Direcciones Cada dirección se forma con el **Banco**, la **Fila** y la **columna** de esa celda

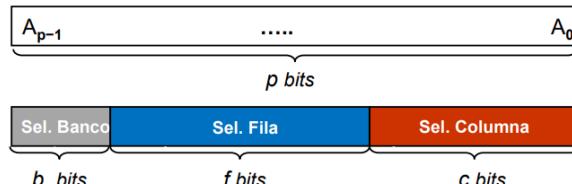
Tamaño SDRAM

$$\text{Tamaño} = 2^P \cdot w \text{ bits} \text{ (} 2^P \text{ palabras de } w \text{ bits)}$$

Organización

$$2^B \text{ bancos} \cdot 2^F \text{ filas} \cdot 2^C \text{ columnas} \rightarrow P = b + f + c$$

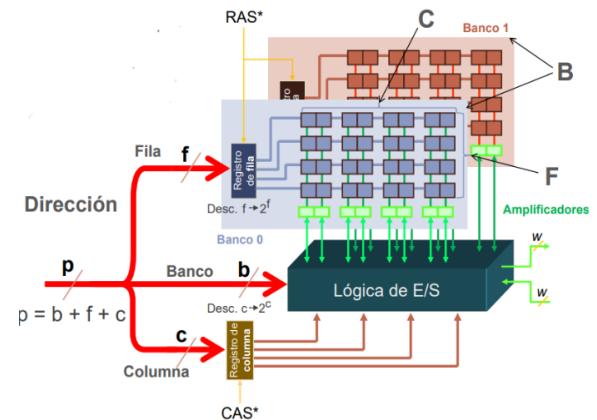
$$P = \log_2 P \quad b = \log_2 B \quad f = \log_2 F \quad c = \log_2 C$$



Entrada al chip con la dirección

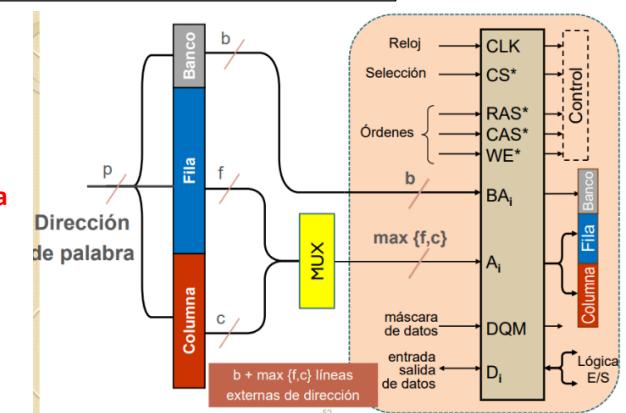
1. **Primero** se le da la **fila**
2. **Segundo**, se espera un tiempo, y se le da la **columna**

Estas direcciones se las pasa por un multiplexor y se manda al controlador



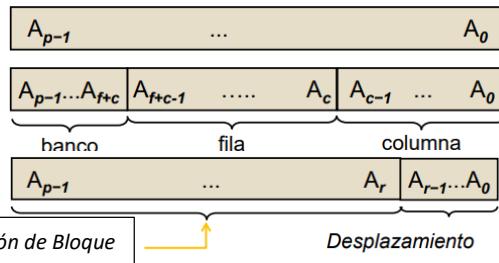
Dirección Palabra SDRAM

Estructura física de la dirección



Formato de las direcciones

Chip de memoria Dirección de una palabra



Estructura física de la dirección de palabra

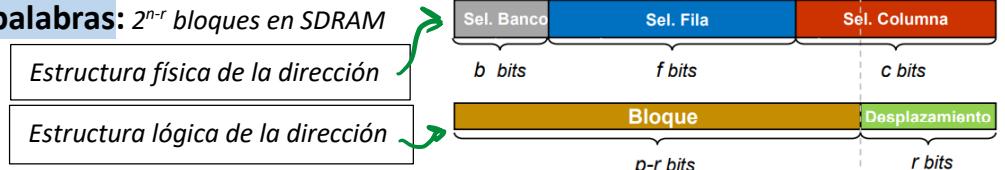
Estructura lógica de la dirección

Bloque/desplazamiento: A partir de una dirección se puede saber el bloque y el desplazamiento

- Bloque = dirección $\text{div } R$
- Desplazamiento = dirección $\text{mod } R$

Direccionamiento completo SDRAM

- **Tamaño SDRAM:** $2^p \times w$ bits (2^p palabras de w bits)
- **Organización:** 2^b bancos $\times 2^f$ filas $\times 2^c$ columnas
- **Formato dirección:** $p = b + f + c$
- **Bloques de 2^r palabras:** 2^{n-r} bloques en SDRAM



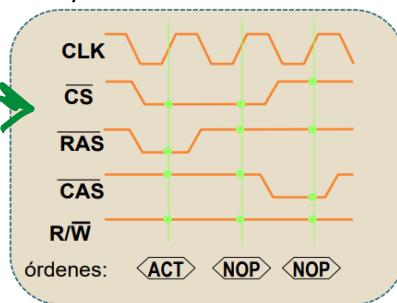
Órdenes SDRAM

Emisión de órdenes: El chip acepta órdenes por **flanco de subida** (CLK). Las órdenes consisten en una **combinación** entre las señales **RAS***, **CAS*** y **WE***

Órdenes más importantes

ACTIVATE, READ, WRITE, PRECHARGE, NOP

CS*: Si el chip está deshabilitado por CS*, la orden interpretada es NOP (ninguna operación)



Activación

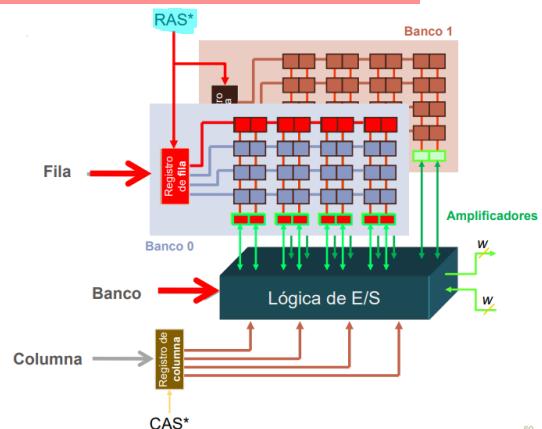
Al activar la señal **/RAS (Row Address Strobe)** se deja “abierta” la **fila seleccionada** y su **información pasa al amplificador**. Tras la activación, la **fila se queda en el amplificador**, pudiendo así **acceder** a las diversas **columnas de la fila** con órdenes de **escritura y lectura**

ACTIVATE

RAS* = 0

CAS* = 1

WE* = 1

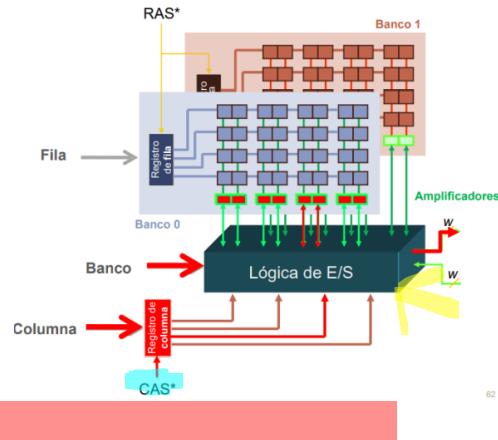


Lectura o Escritura

Al activar la señal **/CAS** (*Column address Strobe*) se carga el **registro de columna** con el **contenido del bus de direcciones** y la señal **R/W*** activa la lógica de **E/S** a la **columna seleccionada**.

READ

RAS*= 1
CAS*= 0
WE*= 1

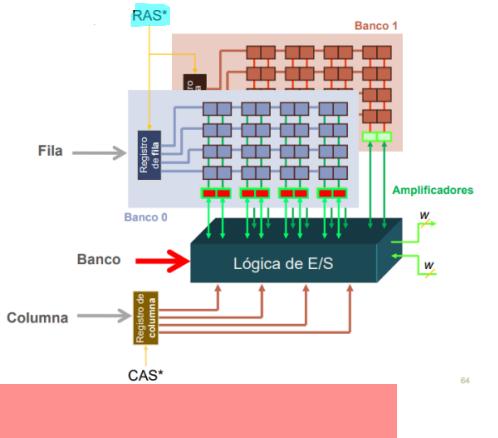


Precarga

Al activar **/RAS** y **/WE** se pone el modo **Precargar**. La **precarga libera** o **cierra** la **fila activa** y **los amplificadores quedan en reposo**. Prepara las **líneas de bit** para el siguiente acceso. Ya no se puede leer ni escribir sobre la fila hasta después de la próxima activación

PRECHARGE

RAS*= 0
CAS*= 1
WE*= 0



Secuenciación y Temporización

Acceso a bloque para lectura: Tamaño de bloque de 4 palabras

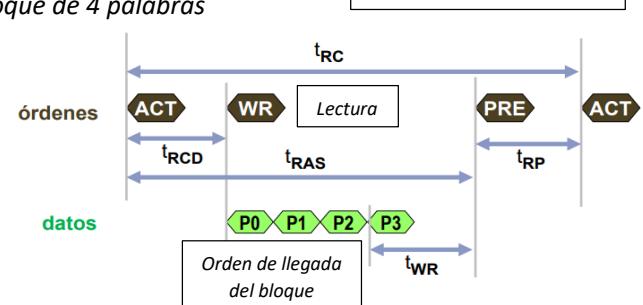
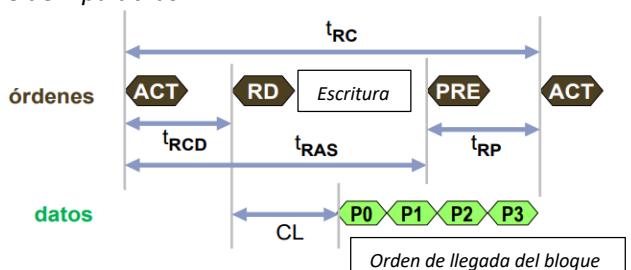
CL: **latencia de CAS** o **tiempo entre la orden de lectura** y la **salida de datos** válidos

Latencia de lectura: $t_{RC} \geq t_{RAS} + t_{RP}$

Tiempo de acceso a los datos $\geq t_{RCD} + CL$

Acceso a bloque para escritura: Tamaño de bloque de 4 palabras

- **tRC:** **Tiempo mínimo** entre dos **activaciones**. Se entiende como **tiempo de ciclo**
- **tRCD:** **Tiempo mínimo** entre la **activación** de una **fila** y el **inicio** de la **operación de lectura/escritura**.
- **tRAS:** **Tiempo mínimo** entre la **activación** y la **precarga** de una **fila**
- **tRP:** **Tiempo mínimo** entre la **precarga** y la **activación siguiente**
- **tWR:** **Tiempo mínimo** entre el **envío del último dato** y la **precarga (escritura)**
- **CL:** **Tiempo máximo** entre la **lectura** y la **salida del primer dato**



En las memorias SDRAM todas las transacciones se sincronizan con la señal de reloj (clk)

Expresión de los parámetros temporales en ciclos de reloj

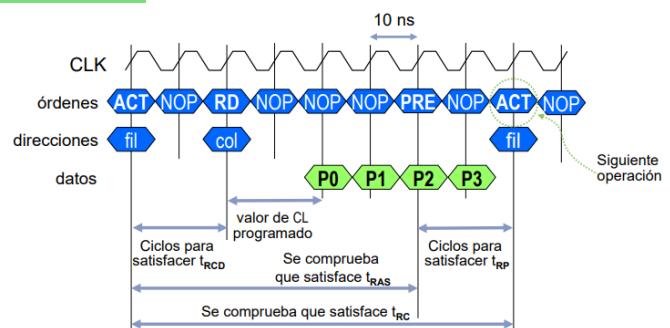
Los chips SDRAM tienen una **frecuencia máxima ↔ periodo de reloj mínimo** (*Se puede usar ese o una frecuencia menor*). Para cumplir estas **restricciones temporales** se pueden insertar **ciclos NOP** entre órdenes de **ACTIVE, READ/WRITE** y **PRECHARGE**.

Ejemplo:

	50 MHz ($t_{CK} = 20$ ns)	100 MHz ($t_{CK} = 10$ ns)	166 MHz ($t_{CK} = 6$ ns)
t_{RCD} = 18 ns	1	2	3
t_{RAS} = 42 ns	3	5	7
t_{RC} = 60 ns	3	6	10
t_{RP} = 18 ns	1	2	3

Expresión de la latencia de CAS en ciclos de reloj

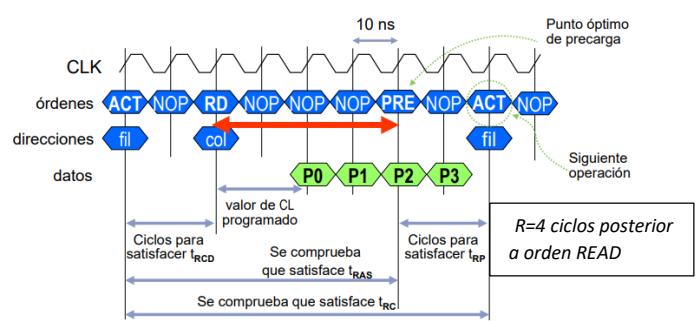
La **latencia de CAS (CL)** es un **valor que se programa** en el **registro de modo del chip** durante la **initialización de la memoria**. Para una **frecuencia dada**, el chip tiene un **CL mínimo** y viceversa



Temporización de la PRECHARGE

El cumplimiento de **tRAS** es una **condición necesaria** para la **orden PRECHARGE**, pero no es **suficiente**. En caso de **tamaño de bloque elevado**, aun cumpliendo tRAS, el envío prematuro PRECHARGE podría abortar la operación de lectura /escritura

El momento óptimo de envío de la orden de PRECHARGE coincide con R ciclos (R siendo el tamaño de bloque) después de ordenar la operación de READ o WRITE



La precarga automática: Las operaciones READ y WRITE tienen un modo automático, que provoca la precarga en el momento óptimo y ahorra la orden PRECHARGE explícita

Memorias SDRAM de doble velocidad DDR, DDR2, DDR3 y DDR4

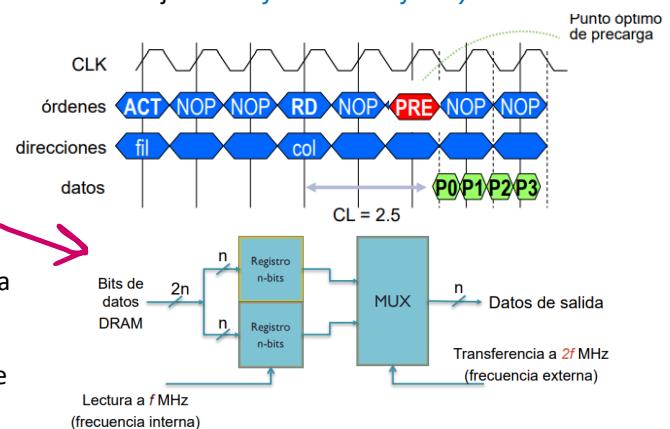
Con estas SDRAM se mejora la frecuencia del reloj. Se duplica la tasa efectiva de transferencia de datos, transmitiendo dos palabras por ciclo de reloj: *una en flanko de bajada y otra en flanko de subida de CLK*.

La latencia de CAS es un múltiplo de 0.5 ciclos y El tiempo óptimo de PRECHARGE será R/2 ciclos de reloj tras las órdenes READ o WRITE

Organización interna: prebúsqueda de $2n$ bits

DDR2 y DDR3 hacen **prebúsqueda de $4n$ y $8n$** bits para acceder a grandes ráfagas de datos a alta frecuencia

DDR4 utiliza **prebúsqueda de $8n$** , reduce al consumo e incrementa la tasa de transferencia



cómo???



1/6

Este número es indicativo del riesgo del producto, siendo 1/6 indicativo de menor riesgo y 6/6 de mayor riesgo.

BBVA está adherido al Fondo de Garantía de Depósitos de Entidades de Crédito de España. La cantidad máxima garantizada es de 100.000 euros por la totalidad de los depósitos constituidos en BBVA por persona.

ventajas

PRO



Di adiós a la publ en los apuntes y en la web



Acumula tickets para los sorteos

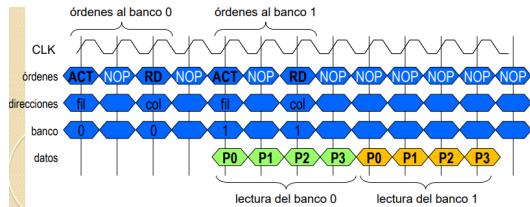


Descarga carpetas completas

estudia sin publi
WUOLAH PRO

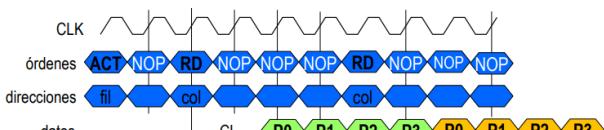
Solapamiento de lectura entre bancos: Aumento de las prestaciones

Se pueden dar órdenes a **bancos independientes** solapándolas parcialmente (pipelining). Los datos se obtienen en el mismo orden con que se solicitan, con una latencia constante



Acceso encadenado a bloques de una misma fila: Aumento de las prestaciones

Se pueden encadenar operaciones READ sobre la misma fila enviando el comando R ciclos después del envío del comando anterior, evitando así que los buses queden inactivos por un tiempo



Nomenclatura estándar SDRAM

Nombre	Frec. interna (MHz)	Prebús-queda (ráfaga)	Frec. externa (MHz)	Tasa Transferecia (MT/s)	Voltaje (V)
SDR	66-133	1n	66-133	66-133	3.3
DDR	100-200	2n	100-200	200-400	2.5-2.6
DDR2	100-267	4n	200-533	400-1067	1.8
DDR3	100-267	8n	400-1066	800-2133	1.35-1.5
DDR4**	133-267	8n	1066-2133	2133-4267	1.05-1.2

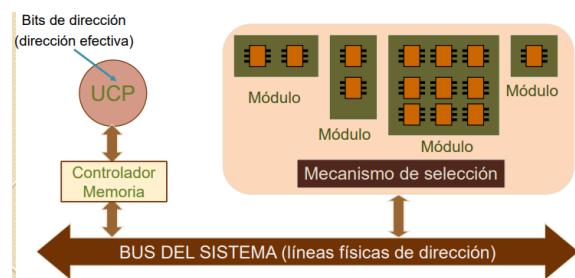
Módulos de memoria

Conceptos básicos

El sistema de memoria principal de un **computador** suele estar formada por un conjunto de **módulos**. El sistema de memoria y la estructura del bus se ajustan a una cierta organización determinada por el procesador

Modulo: Un módulo de memoria es un **conjunto de chips** que cumplen unos determinados **requerimientos: ROM, SRAM, DRAM, etc**

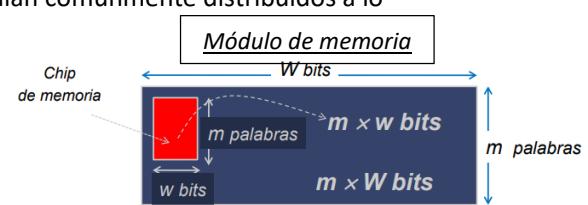
Cada módulo, a través de un mecanismo de selección, soporta un conjunto de direcciones dentro del espacio de direccionamiento global del procesador. La distribución del espacio direccional del procesador entre los módulos (conjunto de direcciones que corresponden a cada módulo) se **denomina mapa de memoria**



Organización de módulos de memoria

Los chips DRAM que integran el módulo de memoria se hallan comúnmente distribuidos a lo largo de una única fila.

Número de Chips: El número de chips del módulo dependerá del **tamaño de palabra** (número de bits) de los mismos (**w**) y del **tamaño de palabra del módulo** (**W**)



$$Nº\ Chip = \frac{W}{w}$$

$$\text{Tamaño de Modulo} = m \cdot \frac{W}{8} \text{ Bytes}$$

LxW Representa el **Total de palabras** x **Longitud de palabras**.

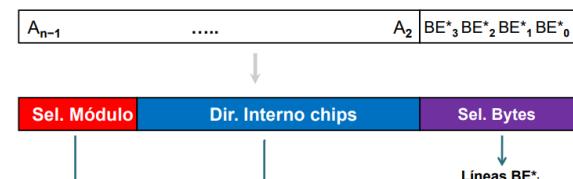
Si son **512MB** $\rightarrow 512 \cdot M \cdot 8b \rightarrow 128 \cdot M \cdot 32b \rightarrow 128 \cdot 2^{20}$ palabras de **32 bits** (4 Bytes)

Direccionamiento de los módulos de memoria: Cada **BE*** seleccionará tantas columnas como se requieran para formar un octeto

Bits de mayor peso: El **Módulo**

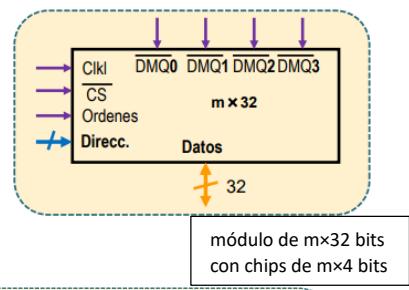
Bits del medio: La **Palabra**

Bits de menor peso: Cada **byte concreto** de la palabra



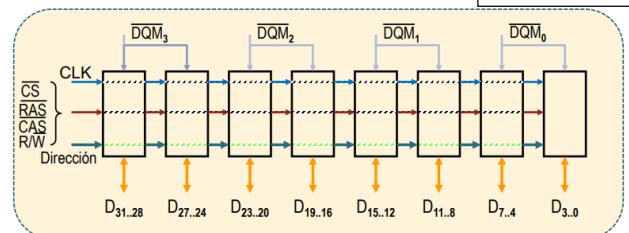
Módulos estándar de memoria dinámica

Terminales: Las líneas de dirección están multiplexadas, Una entrada CS* actúa de línea de selección de módulo y Las entradas DMQ*(CAS) son las líneas de habilitación de byte (sólo para la escritura)



Organización: Suele tener una o dos filas de chips. Las **entradas de reloj, selección, órdenes y dirección** son **comunes**. Las entradas de máscara de datos DQM de los chips aprovechan para seleccionar los bytes

El ancho de banda del módulo es la suma de los anchos de banda de los chips

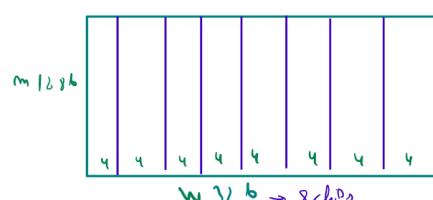


Otros Ejemplos

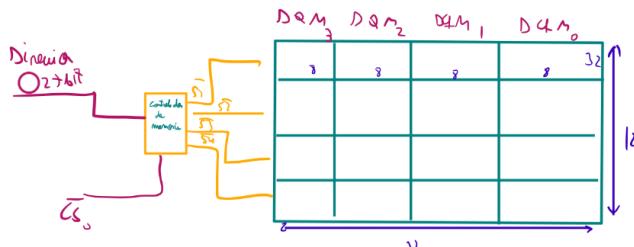
Modulo con LxW = 512 MB \rightarrow 128 Words de 32 bits (4bytes). Pero tienes chips DDRS de:

1. 128MB 2. 32MB

② Modulo 128 M + 32b
Chip 128 M x 4



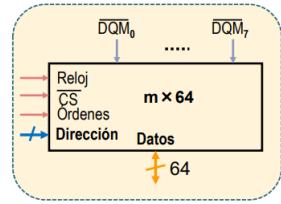
Modulo 128 Mx32A
Chip 32 Mx8



Módulos DIMM (Dual Inline Memory Module)

168/184/240 contactos, 64 bits de datos. *Tiene un estándar que hay que cumplir*

Aquí el **ancho de palabra** es de **64 bits (8 bytes y no 4)**. Pueden tener otro byte extra para detección de errores



SPD (Serial Presence Detect)

Memoria EEPROM de **pocos bytes**. Almacena información sobre el módulo de memoria: Temporización, Capacidad, Fabricante, Número de serie

Permite la configuración automática del sistema de memoria. Hay programas que pueden acceder a esta información

Mapas de memoria

El mapa de memoria es la **Distribución de los distintos módulos** en el **espacio físico** de **direcciónamiento del procesador**. El espacio direccionable suele ser mucho más grande que el espacio ocupado por los módulos físicos de la memoria (*Igual q en fso con la memoria virtual*)

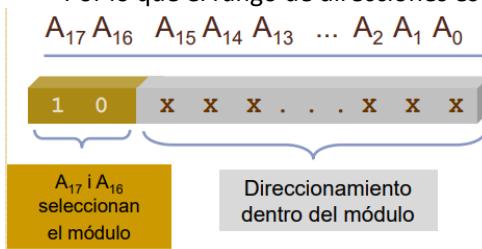
Decodificar: Al igual que en FSO Es necesario descodificar la dirección emitida por el procesador para identificar el módulo referenciado

Parámetros

- Procesador:** Espacio de direcciónamiento, *Depende de la longitud de las direcciones*
- Módulo:** Dirección de inicio dentro del mapa, *Capacidad expresada en Bytes*
- Nivel de activación** de las funciones de selección: Nivel **alto o bajo**

El módulo contiene las direcciones con forma **0x2----**

Por lo que el rango de direcciones es de **0x20000** a **0x2FFFF**



A ₁₇	A ₁₆	A ₁₅	A ₁₄	A ₁₃	...	A ₂	A ₁	A ₀	
1	0	0	0	0	...	0	0	0	0x20000
1	0	0	0	0	...	0	0	1	0x20001
1	0	0	0	0	...	0	1	0	0x20002
1	0	1	1	1	...	1	1	0	0x2FFE
1	0	1	1	1	...	1	1	1	0x2FFFF

↓

Forma general de las direcciones que pertenecen al módulo

Los módulos solo ocupan direcciones de **0x20000** a **0x2FFFF** por lo que el resto está libre

El controlador de memoria

Gestiona los módulos de memoria dinámica y hace de intermediario entre ésta y el procesador. Su principal objetivo es maximizar el ancho de banda efectivo de memoria y reducir la latencia de los accesos

Posee diversos canales, y el ancho de banda total del sistema es la suma del ancho de banda de cada canal

Funciones del controlador

Selección de módulos: Selección del módulo de DRAM según la dirección de palabra del bus y activación de las líneas CS*

Traducción de direcciones: Traducción de la dirección física lineal en direcciones de banco, filas y columnas (y líneas BE* del bus en líneas DQM*)

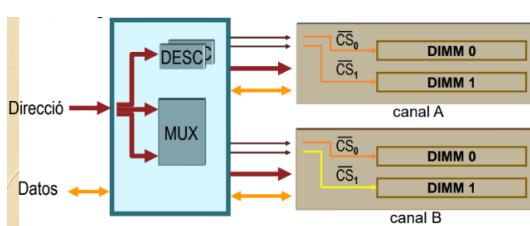
Sincronización: Sincronización con DRAM, aplicando los protocolos de acceso a DRAM

Señales CLK: Generación de la señal de reloj y gestión del refresco

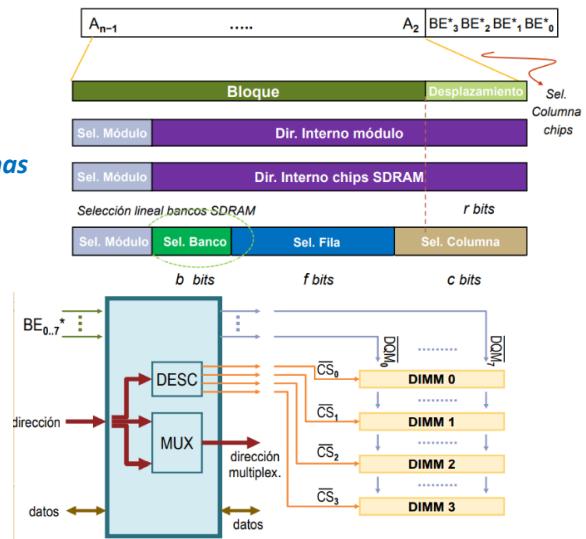
Estructura resultante de las direcciones

- n: número de bits de la dirección.
- b bits de dirección de banco. $b = \log_2 N^{\circ}$ bancos
- f bits de dirección de filas $f = \log_2 N^{\circ}$ filas
- c bits de dirección de columna $c = \log_2 N^{\circ}$ columnas
- r bits de desplazamiento dentro del bloque.

Depende del tamaño de bloque impuesto por el sistema de memoria



Bus físico de direcciones (CPU 32 bits)



Inicialización del sistema de memoria

El controlador de memoria forma parte del controlador de sistema o chipset. El chipset es un circuito de complejidad comparable al procesador y que concentra muchas funciones críticas

Al encender un computador, el controlador comprueba, uno a uno, todos los módulos conectados, obtiene las características clave a partir del SPD e inicializa los chips

El controlador configura: el mapa de memoria con los módulos presentes y fija las funciones de selección, la frecuencia de reloj, la temporización adecuada para acceder correctamente a los módulos y la frecuencia de emisión de órdenes AUTOREFRESH



Ábrete la Cuenta Online de BBVA y
llévate 1 año de Wuolah PRO

cómo??
↗



1/6

Este número es
indicativo del
riesgo del
producto, siendo
1/6 indicativo de
menor riesgo y
6/6 de mayor
riesgo.

BBVA está
adherido al
Fondo de
Garantía de
Depósitos de
Entidades de
Crédito de
España.
La cantidad
máxima
garantizada es
de 100.000 euros
por la totalidad
de los depósitos
constituidos
en BBVA por
persona.

ventajas

PRO



Di adiós a la publi
en los apuntes y
en la web



Acumula tickets
para los sorteos



Descarga
carpetas
completas

estudia sin publi
WUOLAH PRO

Seguidme en wuolah "TurboApuntesPat" hay apuntes de todas las asignaturas, no te arrepentirás juju. Sígueme en twitter @[MaikPatataOtaku](#)
;) Y en Instagram también juju @[potatproductions](#) :p