

Exámenes

2022-UT2B (2.4,2.5) - Prueba de seguimiento

[Volver a la Lista de Exámenes](#)

Parte 1 de 5 / 2.5 Puntos

Preguntas 1 de 13

0.5 Puntos

Cuando aplicamos el algoritmo de Tomasulo con especulación hardware a las instrucciones, éstas terminan su ejecución en la etapa ☒ writeback, liberando la estación de reserva correspondiente y escribiendo el resultado de la operación en ☒ el ROB (el ROB|los registros).

Respuesta correcta: wb|WB|writeback, el ROB|ROB|Reorder Buffer|Buffer de reordenación|el ROB|el Reorder Buffer|el Buffer de reordenación

Preguntas 2 de 13

0.5 Puntos

En un procesador que aplica el algoritmo de Tomasulo con especulación hardware, indica cuáles de las siguientes afirmaciones son **falsas**:

- ☒ A. Las estaciones de reserva almacenan las instrucciones desde que se decodifican (etapa I) hasta que se confirman (etapa C).
- ☐ B. Cuando la instrucción llega a la etapa WB, difunde su resultado a través del bus común de datos para que todas las estaciones de reserva, buffers y registros que requieran de dicho valor puedan recuperarlo.
- ☐ C. Una instrucción dependiente solo podrá obtener sus operandos de los registros fuente que utilice, y si éstos estuvieran reservados por otra instrucción, anotarse la marca que éstos contengan.
- ☒ D. La planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación hardware sólo afecta a la ejecución de instrucciones multiciclo, como las de aritmética en coma flotante.

Respuesta correcta: A, B, C, D

Preguntas 3 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

El uso de técnicas de predicción de saltos unido a una etapa de confirmación de instrucciones en orden posibilita la ejecución especulativa de instrucciones.

- ✓ Verdadero
Falso

Respuesta correcta: Verdadero

Preguntas 4 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta en el contexto de un procesador que ofrece gestión dinámica de instrucciones e implementa el algoritmo de Tomasulo con especulación:

- ✓ A. Cuando una instrucción no dispone de una entrada en el ROB o de una estación de reserva (o buffer de escritura o lectura según el caso) deberá esperar en la etapa Issue, bloqueando el avance de las instrucciones que la sigan.
- ✓ B. Con independencia del grado de ocupación de las estaciones de reserva (o los buffers de escritura y lectura según el caso), las instrucciones que llegan a Issue podrán ser lanzadas a ejecución si el ROB tiene una entrada libre para albergarlas.
- ✓ C. Con independencia del grado de ocupación del ROB, las instrucciones que llegan a Issue podrán ser lanzadas a ejecución siempre que una estación de reserva (o un buffer de escritura o lectura según el caso) las pueda albergar.
- ✓ D. Cuando una instrucción no dispone de una entrada en el ROB o de una estación de reserva (o buffer de escritura o lectura según el caso), pero tiene el operador físico y todos los operandos que necesita disponibles, puede comenzar a ejecutarse.

Respuesta correcta: A

Preguntas 5 de 13

0.5 Puntos

¿Qué puedes decir de la instrucción que confirma su ejecución en un procesador que aplica planificación dinámica de instrucciones basada en el algoritmo de Tomasulo con especulación ? Marca todas las opciones correctas.

- ☐ A. Que si es una instrucción aritmética, el resultado almacenado en el ROB se copiará en el registro destino y éste se liberará .
- ☐ B. Que si es un salto incorrectamente predicho, se cancelarán todas las instrucciones existentes en el ROB, liberando todas las estaciones de reserva y buffers de escritura y lectura.
- ☒ C. Que es la instrucción más antigua existente en el ROB.
- ☒ D. Que si es una instrucción de almacenamiento, la operación pasará a realizarse en el siguiente ciclo de reloj, si hay un operador de almacenamiento disponible.

Respuesta correcta: C, D

Parte 2 de 5 / 2.5 Puntos

Preguntas 6 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalador de 4 vías.

Ciclo 0 Ciclo 1 Ciclo2

A		
A	A	
A	A	A

Ciclo 0 Ciclo 1 Ciclo2

		B
	B	B
B	B	B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo con multithreading simultáneo (SMT). Si para un mismo ciclo se ejecutan las dos aplicaciones, ubica la aplicación A en las filas inferiores, y rellena las casillas de abajo a arriba. **¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.**

Ciclo 0 Ciclo 1 Ciclo 2 Ciclo 3

✓ B	✓ B	✓ B	✓ -
✓ A	✓ B	✓ B	✓ -
✓ A	✓ A	✓ B	✓ -
✓ A	✓ A	✓ A	✓ -

Respuesta correcta: B, B, B, -, A, B, B, -, A, A, B, -, A, A, A, -

Preguntas 7 de 13

0.5 Puntos. Puntos descontados por fallo: 0.15

Indica cuál de las siguientes afirmaciones es correcta:

- ✓ A. Si las operaciones que empaqueta un procesador VLIW están inspiradas en las instrucciones de un procesador convencional dado, ambos serán compatibles a nivel binario.
- ✓ B. Los procesadores VLIW son compatibles a nivel binario entre sí, siempre que empaqueten el mismo número de operaciones en cada instrucción máquina.
- ✓ C. Los procesadores VLIW ofrecen una mejora de prestaciones que está íntimamente relacionada con la calidad del compilador utilizado.
- ✓ D. Los procesadores VLIW codifican varias operaciones en una sola instrucción y el hardware se encarga de gestionarlas dinámicamente.

Respuesta correcta: C

Preguntas 8 de 13

0.5 Puntos

Las figuras siguientes muestran el diagrama instrucciones-tiempo correspondiente a la ejecución de dos aplicaciones A y B sobre un procesador superescalar de 4 vías.

Ciclo Ciclo Ciclo Ciclo

0 1 2 3

A

A

A

A

A

A

Ciclo 0

Ciclo 1

B

B

B

B

B

Completa el siguiente diagrama instrucciones-tiempo, correspondiente a la ejecución de las dos aplicaciones A y B sobre un procesador multihilo de grano grueso. Supón que un evento es de alta latencia cuando dura más de un ciclo, que empieza ejecutándose la aplicación A y que las casillas se rellenan de abajo a arriba.

¡¡No dejes ninguna celda en la tabla en blanco!! Utiliza el guión (-), y pon sólo un guión, en aquellas celdas en las que no se ejecute ni la tarea A, ni la B.

Ciclo 0 Ciclo 1 Ciclo 2 Ciclo 3

✓ A ✓ - ✓ - ✓ -

✓ A ✓ - ✓ B ✓ -

✓ A ✓ B ✓ B ✓ A

✓ A ✓ B ✓ B ✓ A

Respuesta correcta: A, -, -, -, A, -, B, -, A, B, B, A, A, B, B, A

Preguntas 9 de 13

0.5 Puntos

Considera un procesador superescalar de 2 vías, que utiliza un predictor de saltos BTB que obtiene su predicción al final de la etapa IF. La cache de instrucciones ofrece un grupo de 2 instrucciones alineadas. Considera una instrucción de salto, que finalmente es efectivo. Indica el número de instrucciones del grupo que contiene el destino del salto que se desecharán:

1. Si la instrucción destino es la última instrucción del grupo: 0
2. Si la instrucción destino es la primera instrucción del grupo: 1

Respuesta correcta: 1, 0

Preguntas 10 de 13

0.5 Puntos

Considera un procesador superescalar de 3 vías, que utiliza un predictor de saltos BTB que obtiene su predicción al final de la etapa IF. La cache de instrucciones ofrece un grupo de 3 instrucciones alineadas. Si en un grupo de 3 instrucciones aparece una instrucción de salto que se predice como que "salta", indica el número de instrucciones del grupo que se desecharán:

1. Si el salto es la última instrucción del grupo: ☒ 0
2. Si el salto es la primera instrucción del grupo: ☒ 2

Respuesta correcta: 0, 2

Parte 3 de 5 / 1.5 Puntos

Preguntas 11 de 13

1.5 Puntos

La ejecución de la primera iteración de un bucle en un procesador que aplica gestión dinámica de instrucciones con especulación hardware proporciona el siguiente diagrama instrucciones-tiempo:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
loop	<code>l.d f2,%disp[x](r2)</code>	IF	I	AC	L1	L2	WB	C													
4100	<code>l.d f4,%disp[y](r2)</code>	IF	I	AC	L1	L2	WB	C													
4104	<code>mul.d f2,f2,f0</code>	IF	I					M1	M2	M3	M4	WB	C								
4108	<code>mul.d f4,f4,f1</code>	IF	I					M1	M2	M3	M4	WB	C								
4112	<code>add.d f6,f3,f2</code>		IF	I									A1	A2	WB	C					
4116	<code>add.d f6,f6,f4</code>		IF	I												A1	A2	WB	C		
4120	<code>s.d f6,%disp[y](r2)</code>		IF	I	AC														C	L1	L2
4124	<code>dadd r2,r2,8</code>		IF	I	E1	WB													C		
4128	<code>dsub r1,r1,1</code>			IF	I	E1	WB												C		
4132	<code>bnez r1,loop</code>			IF	I			E1	WB											C	
4136	<code>nop</code>			IF	X																
4140	<code>nop</code>			IF	X																
loop	<code>l.d f2,%disp[x](r2)</code>				IF	I	AC	L1	L2	WB										C	
4100	<code>l.d f4,%disp[y](r2)</code>				IF	I	AC	L1	L2	WB										C	
4104	<code>mul.d f2,f2,f0</code>				IF	I					M1	M2	M3	M4	WB					C	
4108	<code>mul.d f4,f4,f1</code>				IF	I					M1	M2	M3	M4	WB						C

El código asociado a cada iteración del bucle comienza en la posición *loop* y termina en la posición *4140*. A la vista del diagrama instrucciones-tiempo suministrado, responde a las siguientes preguntas:

- ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor acierta? ✓ 3 ciclos
- ¿Cuántos ciclos tarda una iteración del bucle en ejecutarse si el predictor falla? ✓ 19 ciclos
- Asumiendo que se utiliza un BTB que asocia un predictor de 2 bits con histéresis a cada salto, y que antes de ejecutar el bucle, la instrucción de salto del mismo no está en el BTB, ¿cuál será el CPI promedio (**expresado con 2 decimales y utilizando el punto decimal**) resultante de procesar unos vectores X e Y de 64 elementos cada uno? El CPI promedio será de ✓ 0.35 ciclos/instrucción.

Respuesta correcta: 3, 19, 0.35

Parte 4 de 5 / 2.0 Puntos

Preguntas 12 de 13

2.0 Puntos

Completa el siguiente cronograma, solamente para las instrucciones mostradas, asumiendo que el procesador ejecuta instrucciones siguiendo el algoritmo de Tomasulo con especulación hardware, es capaz de lanzar una instrucción por ciclo, tiene un único operador de multiplicación/división en coma flotante segmentado con latencia de dos ciclos (M1, M2), y un operador de enteros con latencia de un ciclo (E1) .

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
.text	l.d f0,a(r0)	IF	I	AC	L1	L2	WB	C									
salto	l.d f2,x(r1)		IF	I	AC		L1	L2	WB								
salto + 04	mul.d f8,f2,f0			IF	I												
salto + 08	mul.d f10,f4,f0				IF	I		M1	M2								
salto + 12	mul.d f12,f6,f0					IF	I		M1								
salto + 16	dsub r1,r1,#8						IF	I	E1								
salto + 20	bnez r1,salto							IF	I								

Para resolver el ejercicio rellena la siguiente tabla. **Si una instrucción no realiza ninguna actividad en un ciclo márcalo con un guión (-). En otras palabras, rellena toda las celdas de la tabla.**

Instrucción	8	9	10	11	12	13	14	15	16
l.d f0,a(r0)		-	-	-	-	-	-	-	-
l.d f2,x(r1)	WB	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
mul.d f8,f2,f0		✓ <u>M1</u>	✓ <u>M2</u>	✓ <u>WB</u>	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
mul.d f10,f4,f0	M2	✓ <u>WB</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>
mul.d f12,f6,f0	M1	✓ <u>M2</u>	✓ <u>WB</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>C</u>	✓ <u>-</u>	✓ <u>-</u>
dsub r1,r1,#8	E1	✗ <u>WB</u>	✓ <u>-</u>	✓ <u>-</u>	✗ <u>-</u>	✓ <u>-</u>	✓ <u>-</u>	✓ <u>C</u>	✓ <u>-</u>
bnez r1,salto	I	✓ <u>-</u>	✗ <u>EX</u>	✗ <u>WB</u>	✓ <u>-</u>	✗ <u>-</u>	✗ <u>-</u>	✓ <u>-</u>	✓ <u>C</u>

Respuesta correcta: C, -, -, -, -, -, -, M1, M2, WB, C, -, -, -, -, WB, -, -, -, C, -, -, -, M2, WB, -, -, -, C, -, -, -, -, WB, -, -, C, -, -, -, -, E1, WB, -, C

Parte 5 de 5 / 1.5 Puntos

Preguntas 13 de 13

1.5 Puntos

El siguiente cronograma muestra la ejecución de un fragmento de código en un procesador con gestión dinámica de instrucciones y especulación:

PC	Instruc.	1	2	3	4	5	6	7	8	9	10	11	12
loop	l.d f2,x(r1)	IF	I	AC	L1	L2	WB	C					
4100	l.d f3,y(r1)	IF	I	AC	L1	L2	WB	C					
4104	mul.d f3,f3,f2		IF	I				M1	M2	M3	WB	C	
4108	add.d f3,f3,f1		IF	I								A1	A2
4112	s.d f3,y(r1)			IF	I	AC							
4116	mul.d f4,f0,f2			IF	I			M1	M2	M3	WB		
4120	s.d f4,x(r1)				IF	I	AC						
4124	dadd r1,r1,8				IF	I	E1	WB					
4128	bne r1,r4,loop					IF	I		E1	WB			
end	trap 0					IF	X						
loop	l.d f2,x(r1)						IF	I	AC	L1	L2	WB	
4100	l.d f3,y(r1)						IF	I	AC	L1	L2	WB	
4104	mul.d f3,f3,f2							IF	I				M1
4108	add.d f3,f3,f1							IF	I				
4112	s.d f3,y(r1)								IF	I	AC		
4116	mul.d f4,f0,f2								IF	I			M1
4120	s.d f4,x(r1)									IF	I	AC	
4124	dadd r1,r1,8									IF	I	E1	WB
4128	bne r1,r4,loop										IF	I	
end	trap 0										IF	X	
loop	l.d f2,x(r1)											IF	I
4100	l.d f3,y(r1)											IF	I
4104	mul.d f3,f3,f2												IF
4108	add.d f3,f3,f1												IF

responda a las siguientes preguntas sobre el estado del procesador al final del ciclo 6:

¿Cuántas entradas en el ROB están activas? 19

¿Cuántos buffers de lectura están ocupados? 2

¿Cuántos buffers de escritura están ocupados? 4

¿Cuántos registros de coma flotante tienen una marca activa? 5

Respuesta correcta: 9, 0, 2, 3

