

(Sinh viên không được sử dụng tài liệu. Làm bài trực tiếp trên đề, được sử dụng máy tính bỏ túi)

Chữ ký của Cán bộ coi thi		
---------------------------	--	--

STT	Họ và tên:	ĐIỂM
.....	MSSV:	Bảng số:.....
	Phòng thi:	Bảng chữ:.....

BẢNG TRẢ LỜI TRẮC NGHIỆM (SV ghi đáp án đúng vào bảng sau)

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7	Câu 8	Câu 9	Câu 10
Câu 11	Câu 12	Câu 13	Câu 14	Câu 15	Câu 16	Câu 17	Câu 18	Câu 19	Câu 20
Câu 21	Câu 22	Câu 23	Câu 24						

Phần 1: Tự Luận (4 điểm)

Câu 1: Chuyển đoạn mã C sau sang mã hợp ngữ MIPS, giả sử rằng i, j được lưu trong thanh ghi \$s2, \$s3. Base address của A, B lưu trong thanh ghi \$s6, \$s7. (1 điểm)

$$B[5] = A[7i + j]$$

Câu 2: Cho độ trễ của các khối trong datapath như sau (1.5 điểm):

I-Mem	Add	Mux	ALU	Regs (Read)	Regs (write)	D-Mem	Sign-extend	Shift-left-2
400ps	100ps	30ps	120ps	200ps	0 ps	350ps	20ps	0ps

- Chu kỳ xung clock là bao nhiêu nếu datapath chỉ hỗ trợ các lệnh thuộc nhóm logic và số học (như add, and, ...)? (0.5 điểm)
- Chu kỳ xung clock là bao nhiêu nếu datapath chỉ hỗ trợ lệnh lw? (0.5 điểm)
- Chu kỳ xung clock là bao nhiêu nếu datapath hỗ trợ các lệnh: add, beq, lw, sw? (0.5 điểm)

Câu 3 Các câu bên dưới sử dụng dữ liệu ở bảng sau, giả sử các bộ xử lý có cùng một kiến trúc tập lệnh. (1.5 điểm)

Processor Rate	Clock	Số lệnh	Thời gian thực thi
P1	2 GHz	$20 \cdot 10^9$	7s
P2	1.5 GHz	$30 \cdot 10^9$	10s

Phần 2: Trắc Nghiệm (6 Điểm)

Câu 1 Có mấy loại toán hạng trong kiến trúc tập lệnh MIPS?

A. 1	B. 2	C. 3	D. 4
------	------	------	------

Câu 2 Trong lệnh “lw \$t0, 20(\$t1)”, \$t0 là trường nào trong định dạng của lệnh này?

A. rs	B. rt	C. rd	D. imm
-------	-------	-------	--------

Câu 3 Chọn phát biểu đúng về ý nghĩa của lệnh sw \$t1, 4(\$t3)

A. Trong quá trình thực thi lệnh, bộ xử lý sẽ thực hiện bước truy xuất đọc bộ nhớ và lưu vào thanh ghi \$t3
B. Trong quá trình thực thi lệnh, bộ xử lý sẽ thực hiện bước truy xuất ghi bộ nhớ có giá trị là thanh ghi \$t1
C. Địa chỉ bộ nhớ cần ghi trong lệnh này là \$t3 + 4
D. Trong quá trình thực thi lệnh, ALU thực hiện phép tính \$t1 + 4

Câu 4 Chọn phát biểu sai về tập thanh ghi trong MIPS

A. Địa chỉ các thanh ghi được đánh theo word
B. Thanh ghi \$zero luôn có giá trị thay đổi
C. Các thanh ghi v được sử dụng để trả về giá trị hàm con
D. Có thể thay đổi giá trị của các thanh ghi S

Câu 5 Lệnh “addiu \$t0, \$s2, -8” có mã máy là bao nhiêu?

A. 0x2648FFF8	B. 0x2248FFF8	C. 0x2684FFF8	D. 0x2248F1F8
---------------	---------------	---------------	---------------

Câu 6 Mã máy “0xad48fff9” là của lệnh hợp ngữ nào sau đây?

A. sw \$t0, -7(\$t2)	B. sw \$s0, 7(\$t2)	C. lw \$s0, -7(\$t2)	D. sw \$16, -7(\$10)
----------------------	---------------------	----------------------	----------------------

Câu 7 Lệnh nào sau đây không phải là lệnh điều khiển

A. j	B. bne	C. jrl	D. beq
------	--------	--------	--------

Câu 8 Khai báo “Bien1 .word 16” trong chương trình hợp ngữ, Bien1 được cấp phát vùng nhớ là bao nhiêu?

A. 32 bit	B. 32 word	C. 16 word	D. 16 byte
-----------	------------	------------	------------

Câu 9 Cần ít nhất bao nhiêu word để lưu được chuỗi ký tự “welcomeToUIT”

A. 3	B. 12	C. 4	D. Cả ba đều sai
------	-------	------	------------------

Câu 10 Giai đoạn đọc opcode để xác định kiểu lệnh thuộc công đoạn nào trong chu kỳ thực thi lệnh MIPS?

A. ALU	B. Giải mã lệnh	C. Truy xuất bộ nhớ	D. Lưu kết quả
--------	-----------------	---------------------	----------------

Câu 11 Mạch nào trong các mạch sau trong datapath là mạch tổ hợp?

A. I-MEM	B. D-MEM
C. Register	D. MUX

Câu 12 Con trỏ lệnh PC sẽ tăng bao nhiêu sau mỗi lần đọc lệnh ?

A. Không đủ thông tin	B. 2
C. 4	D. Không thay đổi

Câu 13 Cho đoạn chương trình sau :

lw \$v1, 0(\$a0)	A. 4 & 2
addi \$v0, \$v0, 1	B. 2 & 4
sw \$v1, 0(\$a1)	C. 2 & 2
addi \$a0, \$a0, 1	D. 4 & 4
Hỏi bộ nhớ lệnh và bộ nhớ dữ liệu được truy cập mấy lần ?	

Câu 14 Khối chức năng nào thuộc datapath KHÔNG tham gia vào lệnh sw ?

A. I-Mem	B. Register
C. Add	D. ALU

Câu 15 Cho \$s0 = 0x16, sau khi thực hiện lệnh “srl \$t0, \$s0, 2” thì giá trị \$t0 là?

A. 0x04	B. 0x58	C. 0x05	D. 0x64
---------	---------	---------	---------

Câu 16 Cho bảng sau:

Địa chỉ	Giá trị
0x10010014	0x00000064
0x10010018	0x00000068
0x1001001c	0x1001001c

Cho \$s3 = 0x10010000, sau khi thực hiện lệnh lw \$t3,12(\$s3) giá trị \$t3 là?

A. 0x10010000	B. 0x1001001c	C. 0x00000064	D. 0x0000001c
---------------	----------------------	---------------	---------------

Câu 17 Trong datapath của kiến trúc MIPS loại lệnh R-Type không sử dụng phần nào?

A. Bộ ALU	B. Tập thanh ghi	C. Bộ ALU control	D. Bộ nhớ dữ liệu
-----------	------------------	-------------------	--------------------------

Câu 18 Phát biểu nào không phải là chức năng của trình biên dịch

A. Chuyển đổi từ mã C sang mã hợp ngữ
B. Chuyển đổi từ Java sang mã hợp ngữ
C. Chuyển đổi ngôn ngữ thông dịch sang ngôn ngữ hợp ngữ
D. Chuyển đổi ngôn ngữ biên dịch sang ngôn ngữ hợp ngữ

Câu 19 Khi thực hiện thao tác “pop” dữ liệu vào stack, giá trị của thanh ghi \$sp thay đổi như thế nào?

A. Tăng lên 1	B. Giảm 1	C. Tăng lên 4	D. Giảm 4
---------------	-----------	----------------------	-----------

Câu 20 Khi thực hiện thao tác “push” dữ liệu vào stack, giá trị địa chỉ thanh ghi \$sp thay đổi như thế nào?

A. Tăng lên 1	B. Không thay đổi	C. Tăng lên 4	D. Giảm 4
---------------	--------------------------	---------------	-----------

Câu 21 Khi thực hiện lệnh nào, giá trị tín hiệu MemtoReg là tùy định?

A. lw	B. sw	C. add	D. addi
-------	--------------	--------	---------

Câu 22 Cảnh lên của xung clock được hiểu là?

A. Tại thời điểm giá trị xung clock bằng 0
B. Tại thời điểm giá trị xung clock bằng 1
C. Tại thời điểm giá trị xung clock thay đổi từ 0 lên 1
D. Tại thời điểm giá trị xung clock thay đổi từ 1 xuống 0

Câu 23 Bảng dưới đây cho thấy 2 cách hiện thực trên 2 máy tính M1 và M2 với cùng một tập lệnh, trong đó tập lệnh này gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X được thể hiện ở cột cuối cùng.

Lớp	CPI cho M1	CPI cho M2	Tỷ lệ lệnh
A	1	2	40%
B	3	2	30%
C	4	2	30%

Hiệu suất của máy 1 so với máy 2 như thế nào?

A. Nhanh hơn 1.2 lần	B. Nhanh hơn 1.25 lần	C. Chậm hơn 1.25 lần	D. Chậm hơn 1.2 lần
----------------------	-----------------------	-----------------------------	---------------------

Câu 24 Một thuật toán tìm kiếm giá trị trong mảng được hiện thực bởi hai kỹ sư lập trình. Kỹ sư 1 và 2 hiện thực thuật toán tương ứng cho mỗi chương trình là 100 lệnh và 120 lệnh. Để so sánh dưới đây cho thấy 2 cách hiện thực trên 1 máy tính M có một tập lệnh bao gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X và Y tương ứng cho mỗi kỹ sư được thể hiện ở cột cuối cùng.

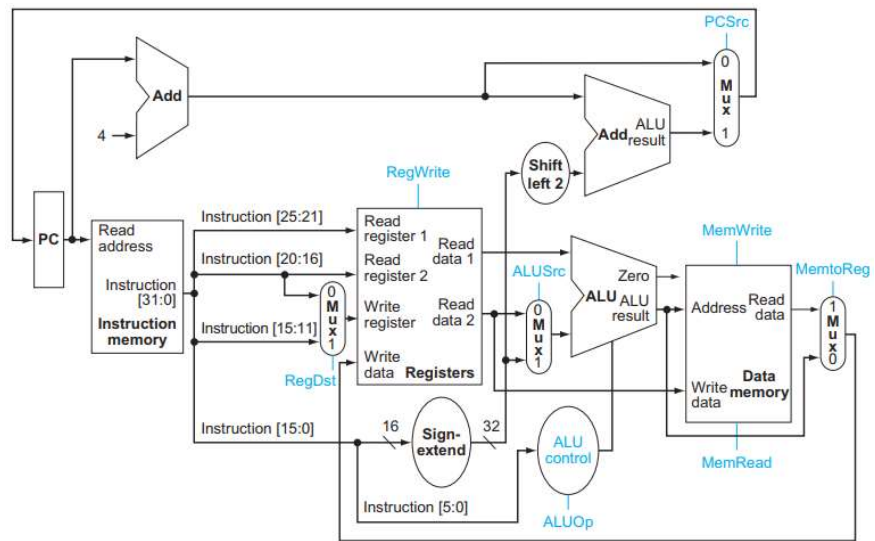
Lớp	CPI cho M	Tỷ lệ lệnh X	Tỷ lệ lệnh Y
A	1	30%	50%

B	3	40%	40%
C	4	30%	10%

Thông số CPI trung bình của đoạn chương trình X trên máy tính M?

A. 2.1	B. 2.3	C. 2.5	D. 2.7
--------	--------	--------	--------

----- Hết -----



Duyệt đề của Khoa/Bộ Môn

(ký và ghi rõ họ tên)

Trịnh Lê Huy

Giảng viên ra đề

(ký và ghi rõ họ tên)

Trương Văn Cường

MIPS Reference Data Card ("Green Card") 1. Pull along perforation to separate card 2. Fold bottom side (columns 3 and 4) together

MIPS Reference Data

CORE INSTRUCTION SET

NAME, MNEMONIC	FOR-MAT	OPERATION (in Verilog)	OPCODE / FUNCT (Hex)
Add	add R	$R[rd] = R[rs] + R[rt]$	(1) 0 / 20 _{hex}
Add Immediate	addi I	$R[rt] = R[rs] + \text{SignExtImm}$	(1,2) 8 _{hex}
Add Imm. Unsigned	addiu I	$R[rt] = R[rs] + \text{SignExtImm}$	(2) 9 _{hex}
Add Unsigned	addu R	$R[rd] = R[rs] + R[rt]$	0 / 21 _{hex}
And	and R	$R[rd] = R[rs] \& R[rt]$	0 / 24 _{hex}
And Immediate	andi I	$R[rt] = R[rs] \& \text{ZeroExtImm}$	(3) C _{hex}
Branch On Equal	beq I	if($R[rs] == R[rt]$) $PC = PC + 4 + \text{BranchAddr}$	(4) 4 _{hex}
Branch On Not Equal	bne I	if($R[rs] != R[rt]$) $PC = PC + 4 + \text{BranchAddr}$	(4) 5 _{hex}
Jump	j J	$PC = \text{JumpAddr}$	(5) 2 _{hex}
Jump And Link	jal J	$R[31] = PC + 8; PC = \text{JumpAddr}$	(5) 3 _{hex}
Jump Register	jr R	$PC = R[rs]$	0 / 08 _{hex}
Load Byte Unsigned	lbu I	$R[rt] = \{24'b0, M[R[rs]](7:0) + \text{SignExtImm}(7:0)\}$	(2) 24 _{hex}
Load Halfword Unsigned	lhu I	$R[rt] = \{16'b0, M[R[rs]](15:0) + \text{SignExtImm}(15:0)\}$	(2) 25 _{hex}
Load Linked	ll I	$R[rt] = M[R[rs] + \text{SignExtImm}]$	(2,7) 30 _{hex}
Load Upper Imm.	lui I	$R[rt] = \{\text{imm}, 16'b0\}$	6 _{hex}
Load Word	lw I	$R[rt] = M[R[rs] + \text{SignExtImm}]$	(2) 23 _{hex}
Nor	nor R	$R[rd] = \sim (R[rs] R[rt])$	0 / 27 _{hex}
Or	or R	$R[rd] = R[rs] R[rt]$	0 / 25 _{hex}
Or Immediate	ori I	$R[rt] = R[rs] \text{ZeroExtImm}$	(3) d _{hex}
Set Less Than	slt R	$R[rd] = (R[rs] < R[rt]) ? 1 : 0$	0 / 24 _{hex}
Set Less Than Imm.	slti I	$R[rt] = (R[rs] < \text{SignExtImm}) ? 1 : 0$	(2) a _{hex}
Set Less Than Imm. Unsigned	sltiu I	$R[rt] = (R[rs] < \text{SignExtImm}) ? 1 : 0$	(2,6) b _{hex}
Set Less Than Unsig.	sltu R	$R[rd] = (R[rs] < R[rt]) ? 1 : 0$	(6) 0 / 2b _{hex}
Shift Left Logical	sll R	$R[rd] = R[rt] \ll \text{shamt}$	0 / 00 _{hex}
Shift Right Logical	srl R	$R[rd] = R[rt] \gg \text{shamt}$	0 / 02 _{hex}
Store Byte	sb I	$M[R[rs] + \text{SignExtImm}(7:0)] = R[rt](7:0)$	(2) 28 _{hex}
Store Conditional	sc I	$M[R[rs] + \text{SignExtImm}] = R[rt];$ $R[rt] = (\text{atomic}) ? 1 : 0$	(2,7) 38 _{hex}
Store Halfword	sh I	$M[R[rs] + \text{SignExtImm}(15:0)] = R[rt](15:0)$	(2) 29 _{hex}
Store Word	sw I	$M[R[rs] + \text{SignExtImm}] = R[rt]$	(2) 2b _{hex}
Subtract	sub R	$R[rd] = R[rs] - R[rt]$	(1) 0 / 22 _{hex}
Subtract Unsigned	subu R	$R[rd] = R[rs] - R[rt]$	0 / 23 _{hex}

- (1) May cause overflow exception
(2) $\text{SignExtImm} = \{16[\text{immediate}[15]], \text{immediate}\}$
(3) $\text{ZeroExtImm} = \{16[1b'0], \text{immediate}\}$
(4) $\text{BranchAddr} = \{14[\text{immediate}[15]], \text{immediate}, 2'b0\}$
(5) $\text{JumpAddr} = \{PC + 4[31:28], \text{address}, 2'b0\}$
(6) Operands considered unsigned numbers (vs. 2's comp.)
(7) Atomic test&set pair; $R[rt] = 1$ if pair atomic, 0 if not atomic

BASIC INSTRUCTION FORMATS

R	opcode	rs	rt	rd	shamt	funct
	31	26-25	21-20	16-15	11-10	6-5
I	opcode	rs	rt	immediate		
	31	26-25	21-20	16-15		
J	opcode	address				
	31	26-25				

© 2014 by Elsevier, Inc. All rights reserved. From Patterson and Hennessy, Computer Organization and Design, 5th ed.

ARITHMETIC CORE INSTRUCTION SET

NAME, MNEMONIC	FOR-MAT	OPERATION	OPCODE / FUNCT (Hex)
Branch On FP True	belt FI	if($FPcond$) $PC = PC + 4 + \text{BranchAddr}$	(4) 11/8/1--
Branch On FP False	belf FI	if(! $FPcond$) $PC = PC + 4 + \text{BranchAddr}$	(4) 11/8/0--
Divide	div R	$Lo = R[rs] / R[rt]; Hi = R[rs] \% R[rt]$	0/--/--/1a
Divide Unsigned	divu R	$Lo = R[rs] / R[rt]; Hi = R[rs] \% R[rt]$	(6) 0/--/--/1b
FP Add Single	add.s FR	$F[fd] = F[fs] + F[ft]$	11/10/--/0
FP Add Double	add.d FR	$\{F[fd], F[fd+1]\} = \{F[fs], F[fs+1]\} + \{F[ft], F[ft+1]\}$	11/11/--/0
FP Compare Single	c.x.s* FR	$FPcond = (F[fs] op F[ft]) ? 1 : 0$	11/10/--/y
FP Compare Double	c.x.d* FR	$FPcond = (\{F[fs], F[fs+1]\} op \{F[ft], F[ft+1]\}) ? 1 : 0$	11/11/--/y
* (x is eq, lt, or le) (op is ==, <, or <=) (y is 32, 3c, or 3e)			
FP Divide Single	div.s FR	$F[fd] = F[fs] / F[ft]$	11/10/--/3
FP Divide Double	div.d FR	$\{F[fd], F[fd+1]\} = \{F[fs], F[fs+1]\} / \{F[ft], F[ft+1]\}$	11/11/--/3
FP Multiply Single	mul.s FR	$F[fd] = F[fs] * F[ft]$	11/10/--/2
FP Multiply Double	mul.d FR	$\{F[fd], F[fd+1]\} = \{F[fs], F[fs+1]\} * \{F[ft], F[ft+1]\}$	11/11/--/2
FP Subtract Single	sub.s FR	$F[fd] = F[fs] - F[ft]$	11/10/--/1
FP Subtract Double	sub.d FR	$\{F[fd], F[fd+1]\} = \{F[fs], F[fs+1]\} - \{F[ft], F[ft+1]\}$	11/11/--/1
Load FP Single	lwc1 I	$F[rt] = M[R[rs] + \text{SignExtImm}]$	(2) 31/--/--/--
Load FP Double	ldc1 I	$F[rt+1] = M[R[rs] + \text{SignExtImm} + 4]$	(2) 35/--/--/--
Move From Hi	mchi R	$R[rd] = Hi$	0 / --/--/10
Move From Lo	mfl0 R	$R[rd] = Lo$	0 / --/--/12
Move From Control	mfc0 R	$R[rd] = CR[rs]$	10 / 00 / 0
Multiply	mult R	$\{Hi, Lo\} = R[rs] * R[rt]$	0 / --/--/18
Multiply Unsigned	multu R	$\{Hi, Lo\} = R[rs] * R[rt]$	(6) 0 / --/--/19
Shift Right Arith.	sra R	$R[rd] = R[rt] \gg \text{shamt}$	0 / --/--/3
Store FP Single	swc1 I	$M[R[rs] + \text{SignExtImm}] = F[rt]$	(2) 39 / --/--/--
Store FP Double	sdc1 I	$M[R[rs] + \text{SignExtImm}] = F[rt];$ $M[R[rs] + \text{SignExtImm} + 4] = F[rt+1]$	(2) 3d / --/--/--

FLOATING-POINT INSTRUCTION FORMATS

FR	opcode	fmt	ft	fs	fd	funct
	31	26-25	21-20	16-15	11-10	6-5
FI	opcode	fmt	ft	immediate		
	31	26-25	21-20	16-15		

PSEUDOINSTRUCTION SET

NAME	MNEMONIC	OPERATION
Branch Less Than	blt	if($R[rs] < R[rt]$) $PC = \text{Label}$
Branch Greater Than	bgt	if($R[rs] > R[rt]$) $PC = \text{Label}$
Branch Less Than or Equal	bte	if($R[rs] \leq R[rt]$) $PC = \text{Label}$
Branch Greater Than or Equal	bge	if($R[rs] \geq R[rt]$) $PC = \text{Label}$
Load Immediate	li	$R[rd] = \text{immediate}$
Move	move	$R[rd] = R[rs]$

REGISTER NAME, NUMBER, USE, CALL CONVENTION

NAME	NUMBER	USE	PRESERVED ACROSS A CALL?
\$zero	0	The Constant Value 0	N.A.
\$at	1	Assembler Temporary	No
\$v0-\$v1	2-3	Values for Function Results and Expression Evaluation	No
\$a0-\$a3	4-7	Arguments	No
\$t0-\$t7	8-15	Temporaries	No
\$s0-\$s7	16-23	Saved Temporaries	Yes
\$t8-\$t9	24-25	Temporaries	No
\$k0-\$k1	26-27	Reserved for OS Kernel	No
\$gp	28	Global Pointer	Yes
\$sp	29	Stack Pointer	Yes
\$fp	30	Frame Pointer	Yes
\$ra	31	Return Address	Yes

Đây là phần đánh giá chuẩn đầu ra của đề thi theo đề cương chi tiết môn học (CĐRMH) (Sinh viên không cần quan tâm mục này trong quá trình làm bài thi)

1. Bảng chuẩn đầu ra môn học

CĐRMH	Mô tả CĐRMH (mục tiêu cụ thể)	Mức độ giảng dạy
G1.1 (2.1)	Trình bày được các kiến thức cơ bản về kiến trúc máy tính và lập trình hợp ngữ.	I, T
G1.2 (2.1)	Trình bày, phân tích được các thành phần và nguyên lý hoạt động bên trong một máy tính, cơ chế thực thi lệnh của máy tính.	T

2. Bảng câu hỏi và chuẩn đầu ra tương ứng đề thi cuối học kỳ I năm học 2020 – 2021

Câu Hỏi	Chuẩn Đầu ra
Phần 1: Tự Luận	
Câu 1	G1.1
Câu 2	G1.1, G1.2
Câu 3	G1.1
Phần 2: Trắc nghiệm	
Câu 1, 2, 3, 4, 5, 6, 7, 8, 9, 13, 15, 16, 17, 18, 19, 23, 24	G1.1
Câu 10, 11, 12, 14, 20, 21, 22	G1.2