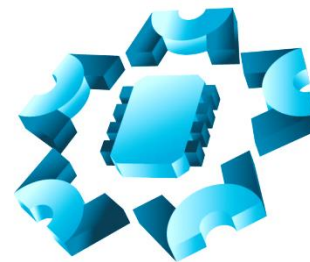


MECATRONICA DIGITAL

ING. ROBERTO ISAAC SUASTE MARTINEZ

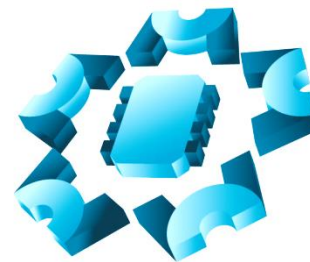
CONTENIDO

- **COMUNICACIÓN SERIAL**
- **CONFIGURACIÓN DEL PIC16F1827**



MECATRONICA
DIGITAL

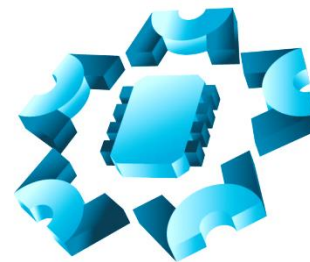
COMUNICACIÓN SERIAL



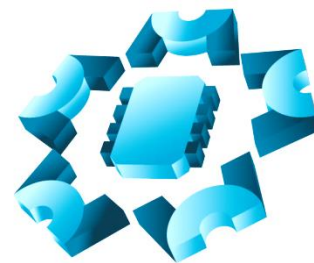
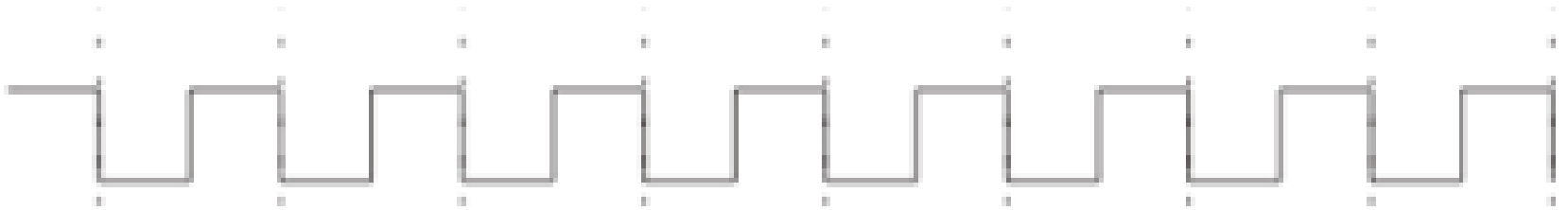
MECATRONICA
DIGITAL

¿EN QUE CONSISTE LA COMUNICACIÓN SERIAL?

- El envío de un bit de información de manera secuencial.



MECATRONICA
DIGITAL



MECATRONICA
DIGITAL

▶ ESTÁNDAR DEFINIDOS

- ▶ 1969 – RS232 (Recommended Standard 232)

- ▶ Niveles de Voltaje

- ▶ -12 v = 1 Logico

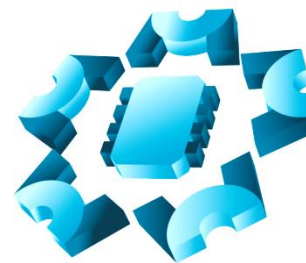
- ▶ +12 v = 0 Logico

- ▶ RS485 – Modificación de la capa Física

Actualmente – Puerto serial ha sido remplazado comercialmente por:

- ▶ USB – (Universal Serial Bus)

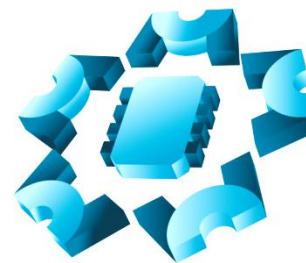
- ▶ Ofrece mayor versatilidad en la conexión de múltiples dispositivos y sigue sus propios estándares



MECATRONICA
D I G I T A L

▶ COMUNICACIÓN SERIAL CON MICROCONTROLADORES

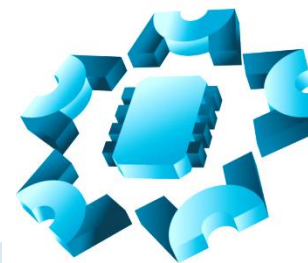
- ▶ Gran parte de los Microcontroladores poseen un modulo de Comunicación Serial.
- ▶ PIC´S manejan un Modulo de UART (Universal Synchronous Asynchronous Receiver Transmitter)
- ▶ También manejan:
 - ▶ SPI
 - ▶ I²C



MECATRONICA
D I G I T A L

▶ **MODULO UART**

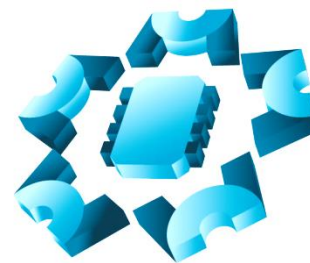
- ▶ Puede configurarse de 2 modos:
 - ▶ 1. **Asíncrono (full dúplex)**
 - ▶ 2. **Síncrono (half-duplex)**



MECATRONICA
D I G I T A L

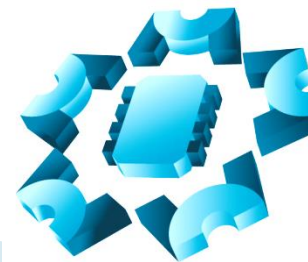
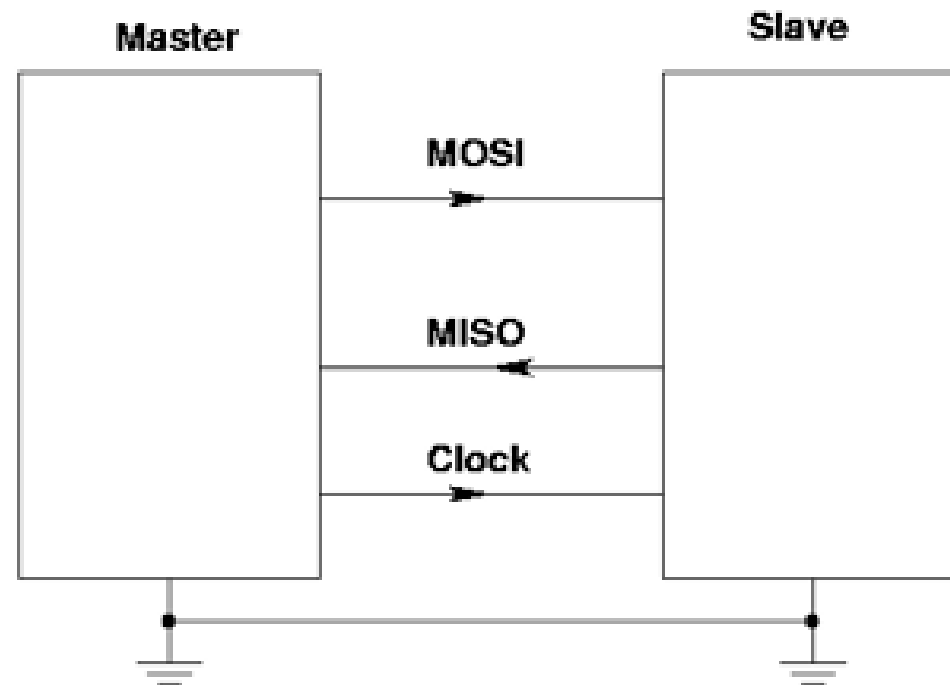
▶ **MODULO UART - SÍNCRONO**

- ▶ **Síncrono (half-duplex)** comunicación con CI periféricos (ADC, DAC, EEPROM, etc.)
- ▶ El envío de datos es sincronizado por el emisor a partir de un pulso constante de Reloj, con cada pulso envía un nuevo dato.
- ▶ Maestro
- ▶ Esclavo



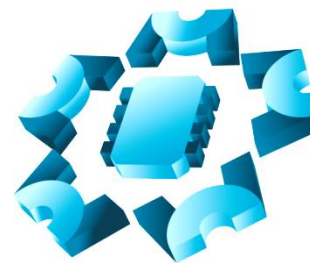
MECATRONICA
D I G I T A L

► MODULO UART - SÍNCRONO



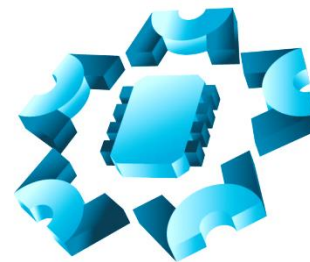
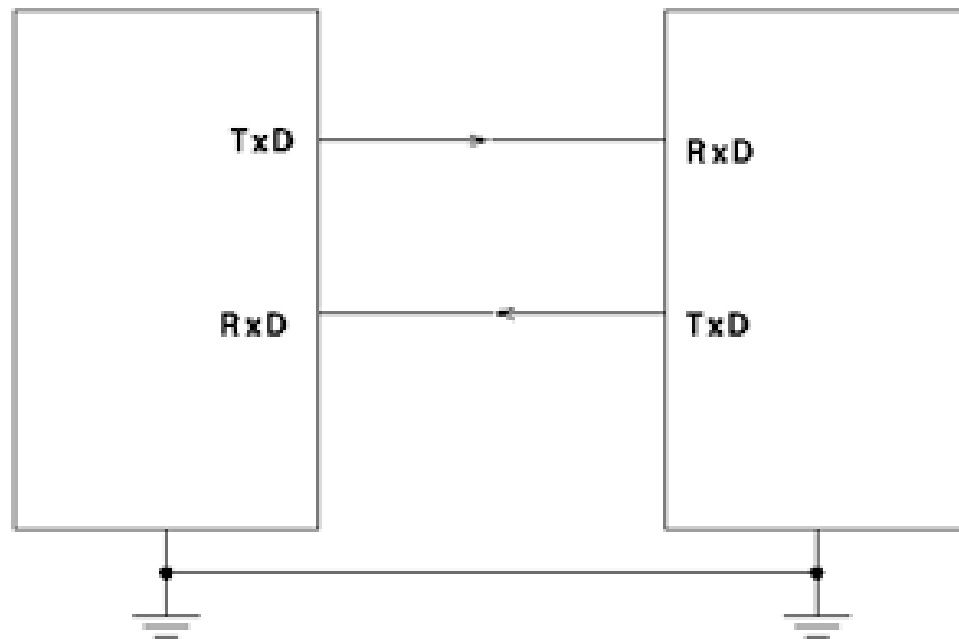
▶ **MODULO USART - ASÍNCRONO**

- ▶ Asíncrono (full dúplex) comunicación con dispositivos móviles.
- ▶ La velocidad de envío de datos es acordada primordialmente por el emisor y el receptor



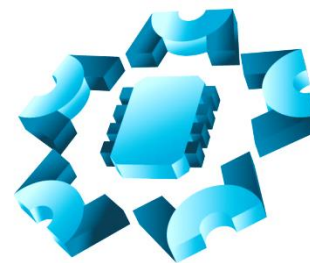
MECATRONICA
D I G I T A L

► MODULO UART – ASINCRONO



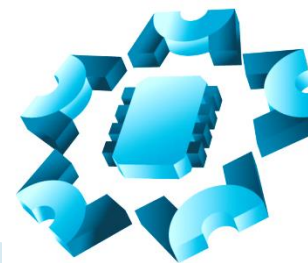
MECATRONICA
DIGITAL

- ▶ **ASCII- (American Standard Code for Information Interchange) - Código Estándar Estadounidense para el Intercambio de Información.**
- ▶ Se desarrollo en el ámbito de la Telegrafía.
- ▶ Código de caracteres basado en el abecedario latino o romano (26 letras principales).
- ▶ Utiliza **7 bits** (0 a 127 en base decimal) para representar los caracteres, inicialmente se empleaba un bit adicional (**bit de Paridad**) que se usaba para detectar errores en la transmisión.



MECATRONICA
D I G I T A L

- ▶ Las computadoras solamente entienden números. El código ASCII es una representación numérica de un carácter como 'a' o '1'
- ▶ ASCII es un código de 7 bits, lo que significa que usa cadenas de bits representables con 7 dígitos binarios (que van del 0 al 127 en base decimal).
- ▶ Cuando se introdujo el código ASCII muchos ordenadores trabajaban con grupos de 8 bits (bytes) como la unidad mínima de información; donde el octavo bit se usaba habitualmente como bit de paridad con funciones de control de errores en líneas de comunicación.



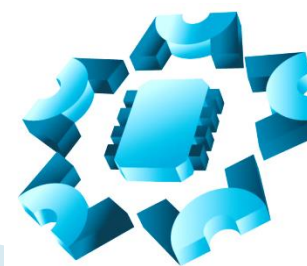
MECATRONICA
D I G I T A L

Binario	Dec	Hex	Representación	Binario	Dec	Hex	Representación	Binario	Dec	Hex	Representación
0010 0000	32	20	espacio ()	0100 0000	64	40	@	0110 0000	96	60	`
0010 0001	33	21	!	0100 0001	65	41	A	0110 0001	97	61	a
0010 0010	34	22	"	0100 0010	66	42	B	0110 0010	98	62	b
0010 0011	35	23	#	0100 0011	67	43	C	0110 0011	99	63	c
0010 0100	36	24	\$	0100 0100	68	44	D	0110 0100	100	64	d
0010 0101	37	25	%	0100 0101	69	45	E	0110 0101	101	65	e
0010 0110	38	26	&	0100 0110	70	46	F	0110 0110	102	66	f
0010 0111	39	27	'	0100 0111	71	47	G	0110 0111	103	67	g
0010 1000	40	28	(0100 1000	72	48	H	0110 1000	104	68	h
0010 1001	41	29)	0100 1001	73	49	I	0110 1001	105	69	i
0010 1010	42	2A	*	0100 1010	74	4A	J	0110 1010	106	6A	j
0010 1011	43	2B	+	0100 1011	75	4B	K	0110 1011	107	6B	k
0010 1100	44	2C	,	0100 1100	76	4C	L	0110 1100	108	6C	l
0010 1101	45	2D	-	0100 1101	77	4D	M	0110 1101	109	6D	m
0010 1110	46	2E	.	0100 1110	78	4E	N	0110 1110	110	6E	n
0010 1111	47	2F	/	0100 1111	79	4F	O	0110 1111	111	6F	o
0011 0000	48	30	0	0101 0000	80	50	P	0111 0000	112	70	p
0011 0001	49	31	1	0101 0001	81	51	Q	0111 0001	113	71	q
0011 0010	50	32	2	0101 0010	82	52	R	0111 0010	114	72	r
0011 0011	51	33	3	0101 0011	83	53	S	0111 0011	115	73	s
0011 0100	52	34	4	0101 0100	84	54	T	0111 0100	116	74	t
0011 0101	53	35	5	0101 0101	85	55	U	0111 0101	117	75	u
0011 0110	54	36	6	0101 0110	86	56	V	0111 0110	118	76	v
0011 0111	55	37	7	0101 0111	87	57	W	0111 0111	119	77	w
0011 1000	56	38	8	0101 1000	88	58	X	0111 1000	120	78	x
0011 1001	57	39	9	0101 1001	89	59	Y	0111 1001	121	79	y
0011 1010	58	3A	:	0101 1010	90	5A	Z	0111 1010	122	7A	z
0011 1011	59	3B	;	0101 1011	91	5B	[0111 1011	123	7B	{
0011 1100	60	3C	<	0101 1100	92	5C	\	0111 1100	124	7C	
0011 1101	61	3D	=	0101 1101	93	5D]	0111 1101	125	7D	}
0011 1110	62	3E	>	0101 1110	94	5E	^	0111 1110	126	7E	~
0011 1111	63	3F	?	0101 1111	95	5F	_				

0011 0000	48	30	0
-----------	----	----	---

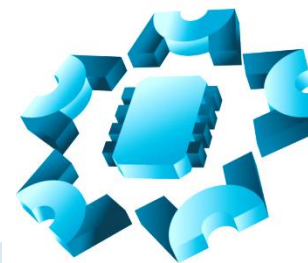
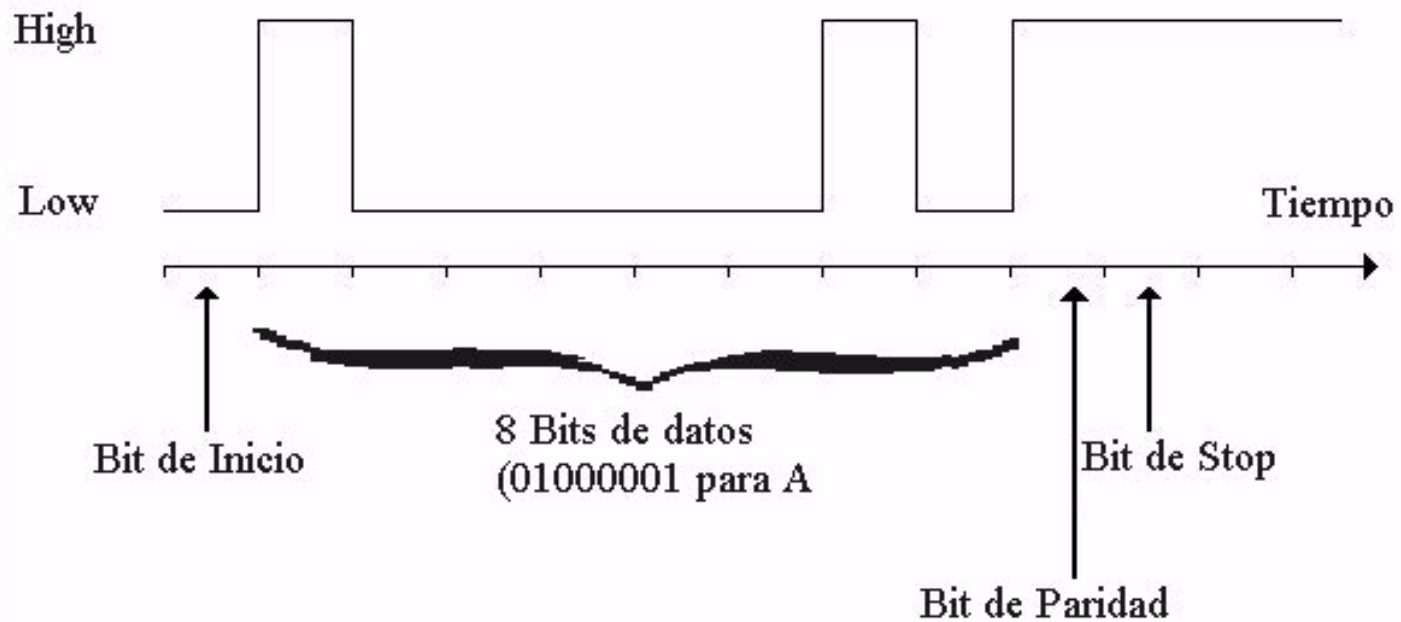
0100 0001	65	41	A
-----------	----	----	---

0110 0001	97	61	a
-----------	----	----	---



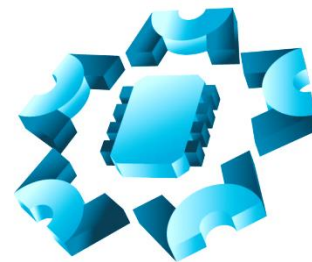
MECATRONICA
DIGITAL

► ASCII



MECATRONICA
DIGITAL

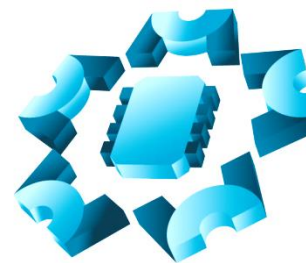
CONFIGURACIÓN DEL PIC16F1827



MECATRONICA
DIGITAL

▶ CONFIGURACION ASÍNCRONA DEL PIC16F1827

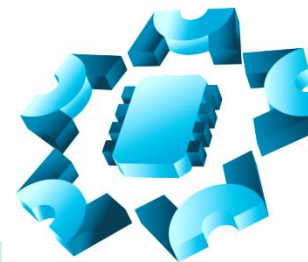
- ▶ Receptor Asíncrono (RCSTA)
- ▶ Transmisor Asíncrono (TXSTA)
- ▶ Generador de Baudaje (BAUDCON)



MECATRONICA
DIGITAL

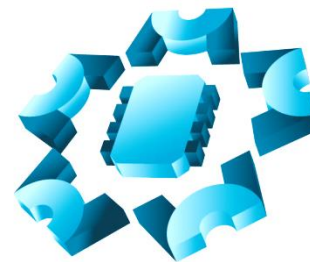
Registros asociados con la comunicación asíncrona

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register on Page
APFCON0	RXDTSEL	SDO1SEL	SS1SEL	P2BSEL ⁽¹⁾	CCP2SEL ⁽¹⁾	P1DSEL	P1CSEL	CCP1SEL	122
APFCON1	—	—	—	—	—	—	—	TXCKSEL	122
BAUDCON	ABDOVF	RCIDL	—	SCKP	BRG16	—	WUE	ABDEN	298
INTCON	GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF	101
PIE1	TMR1GIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	102
PIR1	TMR1GIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	105
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	297
SPBRGL	BRG<7:0>								299*
SPBRGH	BRG<15:8>								299*
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	129
TXREG	EUSART Transmit Data Register								289*
TXSTA	CSRC	TX9	TXEN	SYNC	SENCB	BRGH	TRMT	TX9D	296
RCREG	EUSART Receive Data Register								292*



MECATRONICA
DIGITAL

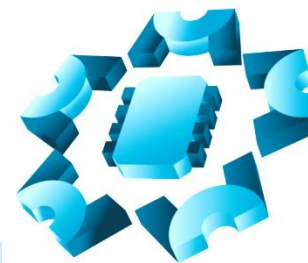
Generador de Baudaje



MECATRONICA
DIGITAL

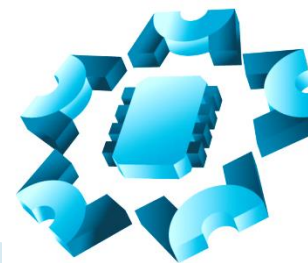
Generador de Baudaje (BRG)

- ▶ El BRG es un timer de 8 bits o 16 bits dedicado a dar soporte a la comunicación Asíncrona y síncrona por UART.
- ▶ Por default el BRG opera en modo de 8 bits.
- ▶ Para seleccionar el modo de 16 bits se tiene que poner en "1" El bit BRG16 del registro BAUDCON.



MECATRONICA
D I G I T A L

- ▶ El par de registros SPBRGH, SPBRGL determinan la velocidad de transmisión.
- ▶ En modo asíncrono el multiplicador del periodo del Baudaje esta determinado por el bit BRGH del registro TXSTA y por el bit BRG16 del registro BAUDCON.
- ▶ El uso de la alta velocidad de transmisión (BRGH=1) o la del timer a 16 bits (BRG16=1) puede ser ventajoso para reducir el % error en la velocidad en baudios



Formulas

For a device with FOSC of 16 MHz, desired baud rate of 9600, Asynchronous mode, 8-bit BRG:

$$\text{Desired Baud Rate} = \frac{FOSC}{64([SPBRGH:SPBRGL] + 1)}$$

Solving for SPBRGH:SPBRGL:

$$X = \frac{\frac{FOSC}{\text{Desired Baud Rate}}}{64} - 1$$

$$= \frac{\frac{16000000}{9600}}{64} - 1$$

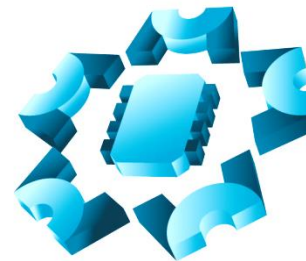
$$= [25.042] = 25$$

$$\text{Calculated Baud Rate} = \frac{16000000}{64(25 + 1)}$$

$$= 9615$$

$$\text{Error} = \frac{\text{Calc. Baud Rate} - \text{Desired Baud Rate}}{\text{Desired Baud Rate}}$$

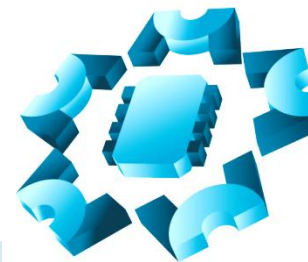
$$= \frac{(9615 - 9600)}{9600} = 0.16\%$$



MECATRONICA
D I G I T A L

Formulas

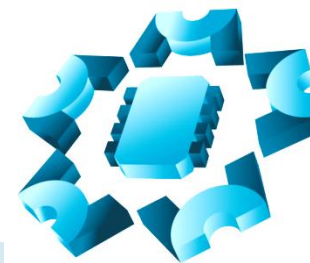
Configuration Bits			BRG/EUSART Mode	Baud Rate Formula
SYNC	BRG16	BRGH		
0	0	0	8-bit/Asynchronous	$F_{osc}/[64 (n+1)]$
0	0	1	8-bit/Asynchronous	$F_{osc}/[16 (n+1)]$
0	1	0	16-bit/Asynchronous	
0	1	1	16-bit/Asynchronous	$F_{osc}/[4 (n+1)]$
1	0	x	8-bit/Synchronous	
1	1	x	16-bit/Synchronous	



MECATRONICA
DIGITAL

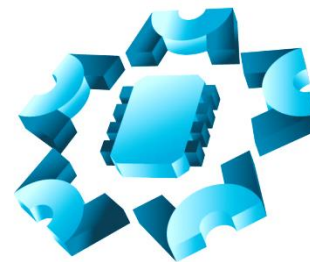
Tablas

BAUD RATE	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 32.000 MHz			Fosc = 20.000 MHz			Fosc = 18.432 MHz			Fosc = 11.0592 MHz		
	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)	Actual Rate	% Error	SPBRG value (decimal)
300	—	—	—	—	—	—	—	—	—	—	—	—
1200	—	—	—	—	—	—	—	—	—	—	—	—
2400	—	—	—	—	—	—	—	—	—	—	—	—
9600	9615	0.16	207	9615	0.16	129	9600	0.00	119	9600	0.00	71
10417	10417	0.00	191	10417	0.00	119	10378	-0.37	110	10473	0.53	65
19.2k	19.23k	0.16	103	19.23k	0.16	64	19.20k	0.00	59	19.20k	0.00	35
57.6k	57.14k	-0.79	34	56.82k	-1.36	21	57.60k	0.00	19	57.60k	0.00	11
115.2k	117.64k	2.12	16	113.64k	-1.36	10	115.2k	0.00	9	115.2k	0.00	5



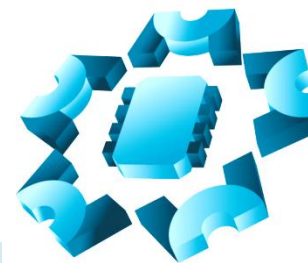
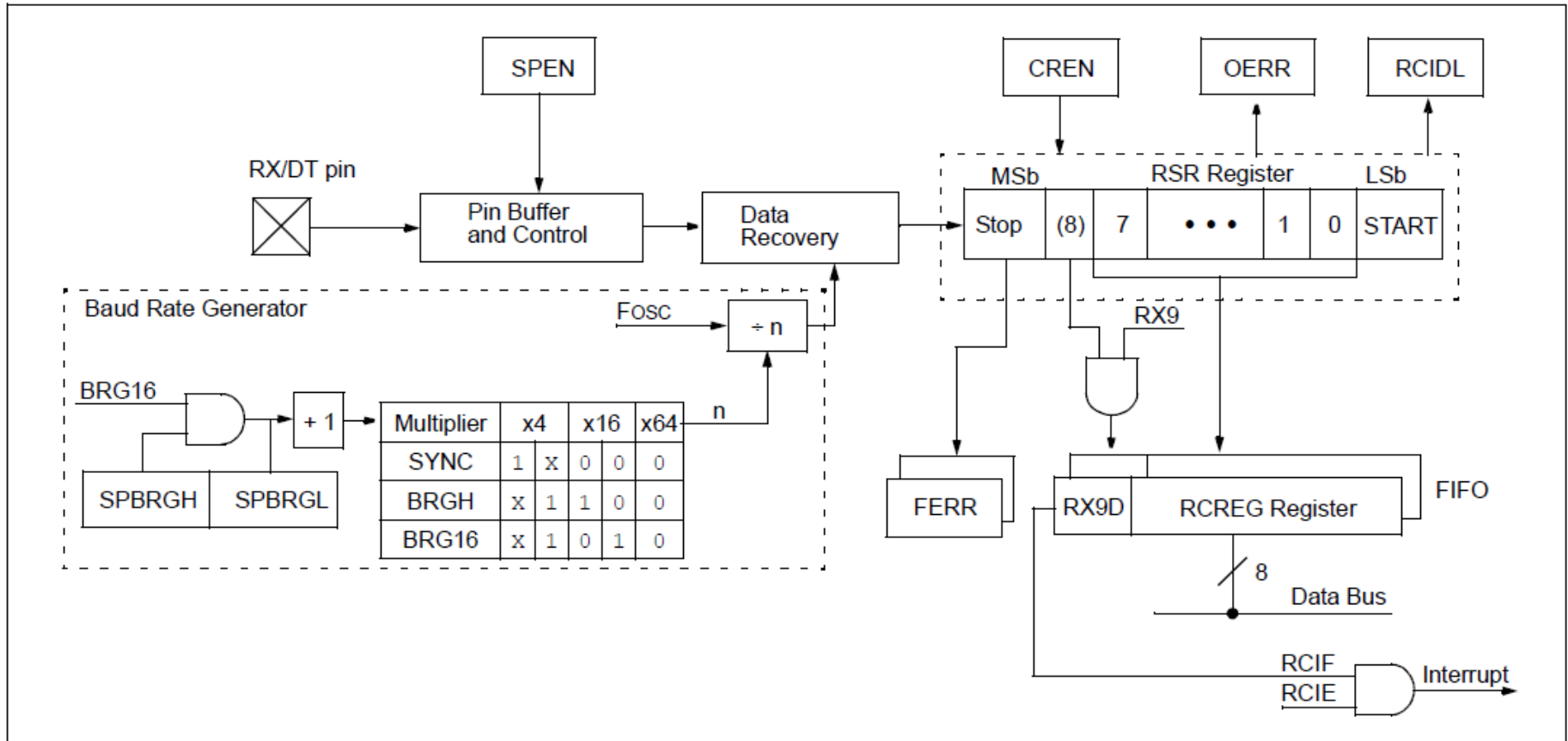
MECATRONICA
DIGITAL

Receptor Asíncrono



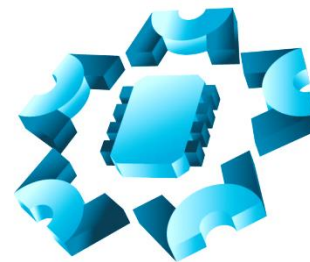
MECATRONICA
DIGITAL

Diagrama de Modo de Recepción (pág. 288)



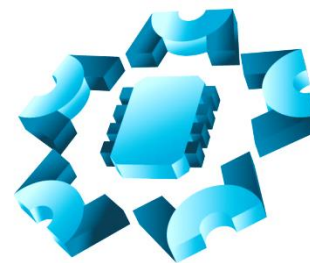
RECEPCIÓN ASÍNCRONA

- ▶ Los datos que se reciben por el pin RX/DT llegan a un bloque de recuperación de datos. Este bloque de recuperación de datos es una palanca de velocidades de alta velocidad puede ser switchheado a diferentes velocidades.
- ▶ Los datos recibidos llegan al registro RSR (Registro de desplazamiento o control de recepción). Este registro no es directamente accesible por software.
- ▶ Para acceder a los datos del RSR tiene que ser por medio del registro RCREG.



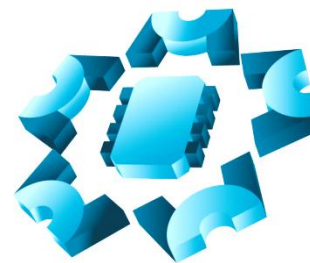
MECATRONICA
D I G I T A L

- ▶ El registro RSR puede almacenar hasta 2 caracteres y se comporta como una memoria FIFO (First-in-First-Out), es decir, que el primer dato que entra es el primero que sale.
- ▶ El registro RCSTA es el registro dedicado a la configuración del receptor asíncrono.



MECATRONICA
D I G I T A L

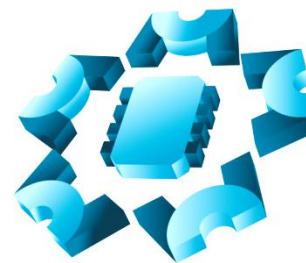
- ▶ Dentro del registro RCSTA existen dos bit importantes CREN y SPEN los cuales deben configurarse correctamente.
- ▶ $CREN = 1 \rightarrow$ Habilita el circuito de recepcion de la UART
- ▶ $SPEN = 1 \rightarrow$ Se habilita el modulo UART Y activa automáticamente a TX como salida
- ▶ El bit RX/DT debe ser configurado como Entrada.



MECATRONICA
D I G I T A L

INTERRUPCION POR RECEPCIÓN

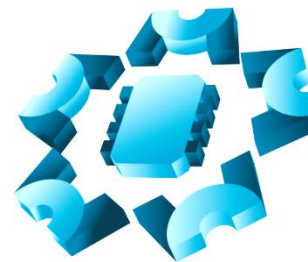
- ▶ PIR1 es el registro donde se encuentra el bit de interrupción por recepción RCIF, el cual se activa cuando hay un carácter no leído en la memoria FIFO.
- ▶ La interrupción por recepción se tiene que configurar por medio de los registros PIE1 e INTCON
- ▶ Se tiene que habilitar el bit RCIE del registro PIE1
- ▶ Se tiene que habilitar el bit PEIE del registro INTCON
- ▶ Se tiene que habilitar el bit GIE del registro INTCON



MECATRONICA
DIGITAL

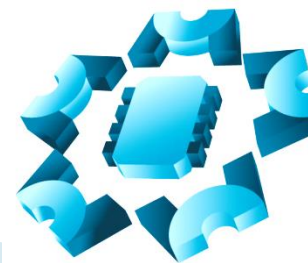
Configuración del Registro RCSTA

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-0/0	R-0/0	R-x/x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0



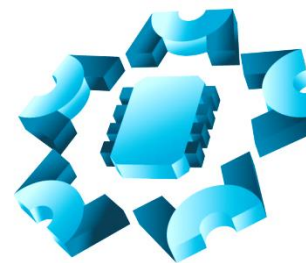
MECATRONICA
DIGITAL

- bit 3 **ADDEN:** Address Detect Enable bit
Asynchronous mode 9-bit (RX9 = 1):
1 = Enables address detection, enable interrupt and load the receive buffer when RSR<8> is set
0 = Disables address detection, all bytes are received and ninth bit can be used as parity bit
Asynchronous mode 8-bit (RX9 = 0):
Don't care
- bit 2 **FERR:** Framing Error bit
1 = Framing error (can be updated by reading RCREG register and receive next valid byte)
0 = No framing error
- bit 1 **OERR:** Overrun Error bit
1 = Overrun error (can be cleared by clearing bit CREN)
0 = No overrun error
- bit 0 **RX9D:** Ninth bit of Received Data
This can be address/data bit or a parity bit and must be calculated by user firmware.



MECATRONICA
D I G I T A L

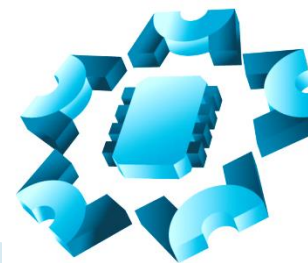
- bit 7 **SPEN:** Serial Port Enable bit
1 = Serial port enabled (configures RX/DT and TX/CK pins as serial port pins)
0 = Serial port disabled (held in Reset)
- bit 6 **RX9:** 9-bit Receive Enable bit
1 = Selects 9-bit reception
0 = Selects 8-bit reception
- bit 5 **SREN:** Single Receive Enable bit
Asynchronous mode:
Don't care
Synchronous mode – Master:
1 = Enables single receive
0 = Disables single receive
This bit is cleared after reception is complete.
Synchronous mode – Slave
Don't care
- bit 4 **CREN:** Continuous Receive Enable bit
Asynchronous mode:
1 = Enables receiver
0 = Disables receiver
Synchronous mode:
1 = Enables continuous receive until enable bit CREN is cleared (CREN overrides SREN)
0 = Disables continuous receive



Configuración del Registro RCSTA

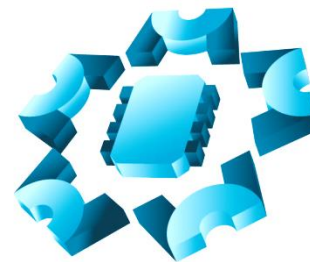
R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-0/0	R-0/0	R-x/x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0

1	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---



MECATRONICA
DIGITAL

Interrupciones por Recepción



MECATRONICA
DIGITAL

Configuración del Registro PIE1

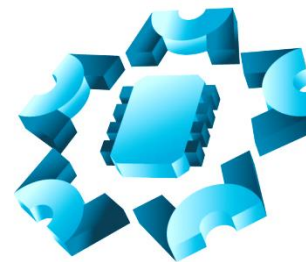
REGISTER 8-2: PIE1: PERIPHERAL INTERRUPT ENABLE REGISTER 1

R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
TMR1GIE	ADIE	RCIE	TXIE	SSP1IE	CCP1IE	TMR2IE	TMR1IE
bit 7							bit 0

bit 5 **RCIE:** USART Receive Interrupt Enable bit
1 = Enables the USART receive interrupt
0 = Disables the USART receive interrupt

bit 4 **TXIE:** USART Transmit Interrupt Enable bit
1 = Enables the USART transmit interrupt
0 = Disables the USART transmit interrupt

0	0	1	0	0	0	0	0
---	---	---	---	---	---	---	---

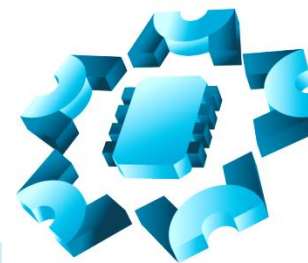


MECATRONICA
DIGITAL

Configuración del Registro INTCON

REGISTER 8-1: INTCON: INTERRUPT CONTROL REGISTER

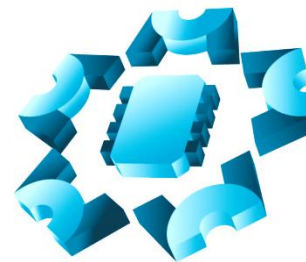
R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-0/0
GIE	PEIE	TMR0IE	INTE	IOCIE	TMR0IF	INTF	IOCIF ⁽¹⁾
bit 7							bit 0



MECATRONICA
DIGITAL

Configuración del Registro INTCON

bit 7	GIE: Global Interrupt Enable bit 1 = Enables all active interrupts 0 = Disables all interrupts
bit 6	PEIE: Peripheral Interrupt Enable bit 1 = Enables all active peripheral interrupts 0 = Disables all peripheral interrupts
bit 5	TMR0IE: Timer0 Overflow Interrupt Enable bit 1 = Enables the Timer0 interrupt 0 = Disables the Timer0 interrupt
bit 4	INTE: INT External Interrupt Enable bit 1 = Enables the INT external interrupt 0 = Disables the INT external interrupt
bit 3	IOCIE: Interrupt-on-Change Enable bit 1 = Enables the interrupt-on-change 0 = Disables the interrupt-on-change
bit 2	TMR0IF: Timer0 Overflow Interrupt Flag bit 1 = TMR0 register has overflowed 0 = TMR0 register did not overflow
bit 1	INTF: INT External Interrupt Flag bit 1 = The INT external interrupt occurred 0 = The INT external interrupt did not occur
bit 0	IOCF: Interrupt-on-Change Interrupt Flag bit ⁽¹⁾ 1 = When at least one of the interrupt-on-change pins changed state 0 = None of the interrupt-on-change pins have changed state



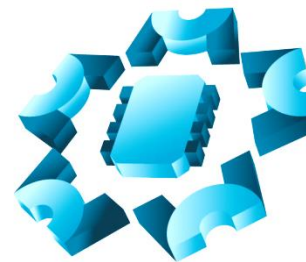
MECATRONICA
DIGITAL

Configuración del Registro INTCON

REGISTER 8-1: INTCON: INTERRUPT CONTROL REGISTER

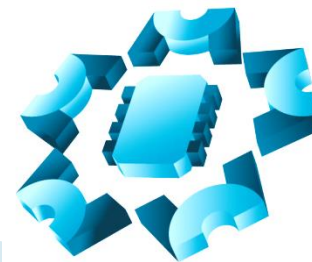
R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-0/0
GIE	PEIE	TMR0IE	INTE	IOCFE	TMR0IF	INTF	IOCF ⁽¹⁾
bit 7							bit 0

1	1	0	0	0	0	0	0
---	---	---	---	---	---	---	---



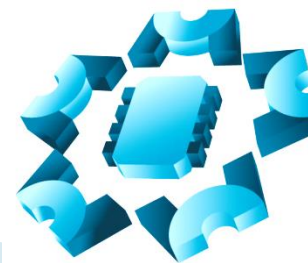
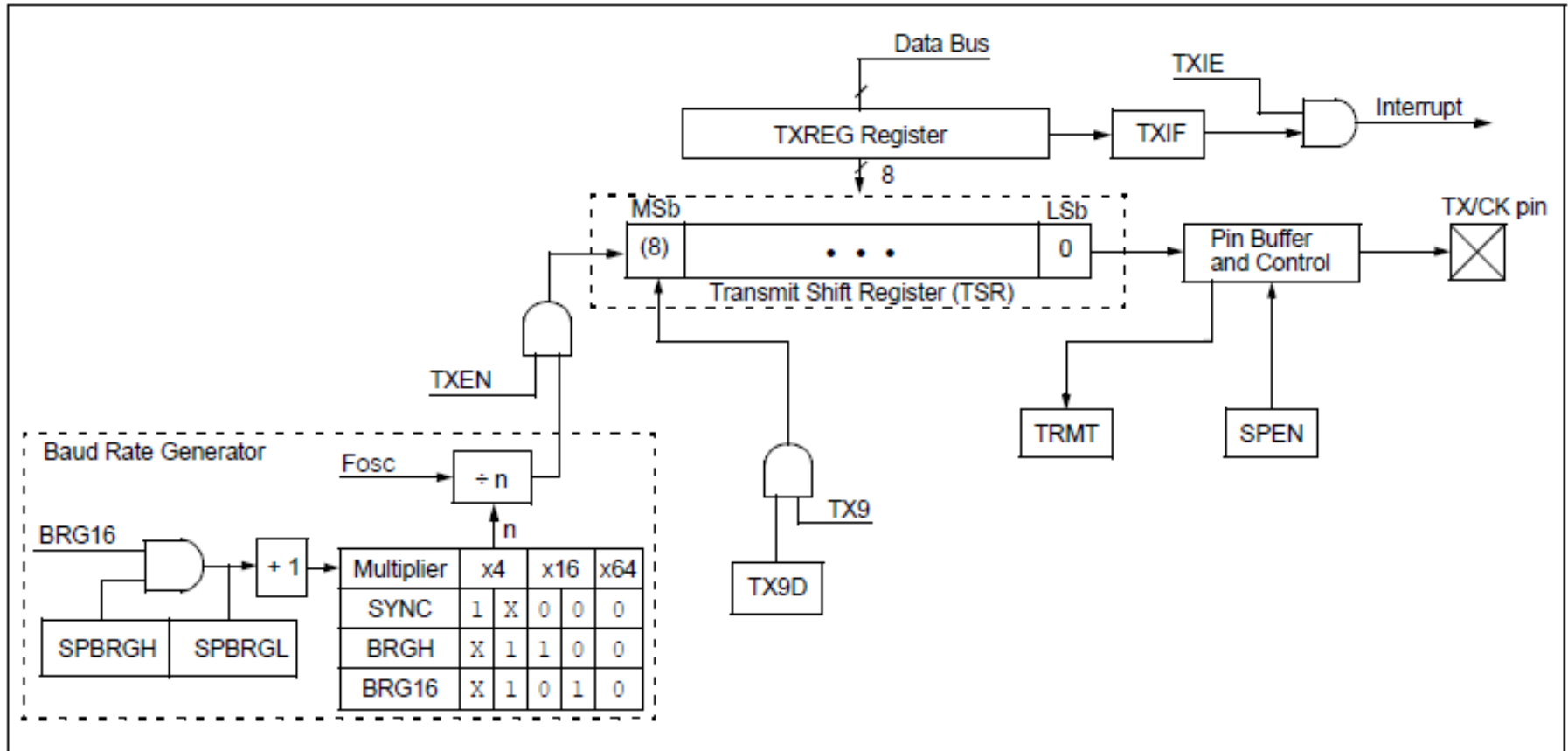
MECATRONICA
DIGITAL

Transmisor Asíncrono



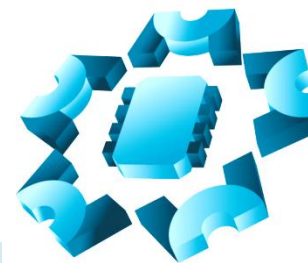
MECATRONICA
DIGITAL

Diagrama de Modo de Transmisión (pág. 287)



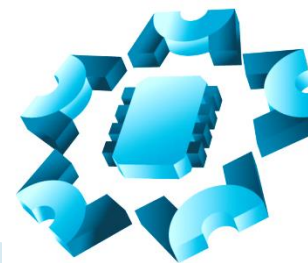
TRANSMISIÓN ASÍNCRONA

- ▶ El corazón de la Transmisión esta dado por el registro TSR (Registro de Control de Transmisión), el cual no es directamente accesible por software.
- ▶ El TSR obtiene datos del buffer de transmisión, el cual es el registro TXREG
- ▶ El registro TXSTA es el registro dedicado a la configuración del transmisor asíncrono.

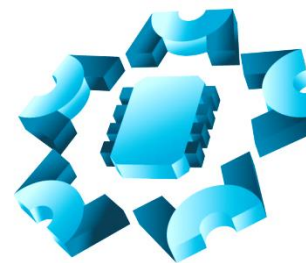


MECATRONICA
D I G I T A L

- ▶ Dentro del registro TXSTA existen dos bit importantes TXEN y SYNC los cuales deben configurarse correctamente.
- ▶ TXEN = 1 → Habilita el circuito de transmisión de la UART
- ▶ SYNC = 0 → Se configura como asíncrona la transmisión
- ▶ Cuando TXEN = 1 el bit de interrupción por transmisión TXIF = 1



- ▶ El bit TRMT del registro TXSTA indica el estado del registro TSR. Es un bit de solo lectura.
- ▶ $TRMT = 1 \rightarrow$ Cuando hay un dato dentro de TSR
- ▶ $TRMT = 0 \rightarrow$ Cuando TSR esta vacío, no hay bits de datos

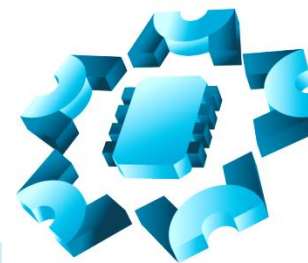


MECATRONICA
D I G I T A L

Configuración del Registro TXSTA

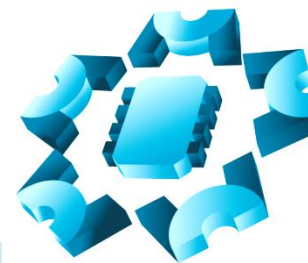
REGISTER 25-1: TXSTA: TRANSMIT STATUS AND CONTROL REGISTER

R/W-/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-1/1	R/W-0/0
CSRC	TX9	TXEN ⁽¹⁾	SYNC	SENDB	BRGH	TRMT	TX9D
bit 7							bit 0



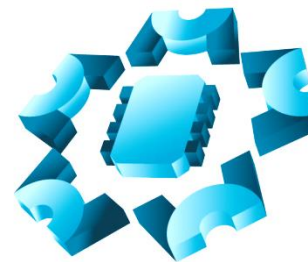
MECATRONICA
DIGITAL

- bit 3 **SENDB:** Send Break Character bit
Asynchronous mode:
1 = Send Sync Break on next transmission (cleared by hardware upon completion)
0 = Sync Break transmission completed
Synchronous mode:
Don't care
- bit 2 **BRGH:** High Baud Rate Select bit
Asynchronous mode:
1 = High speed
0 = Low speed
Synchronous mode:
Unused in this mode
- bit 1 **TRMT:** Transmit Shift Register Status bit
1 = TSR empty
0 = TSR full
- bit 0 **TX9D:** Ninth bit of Transmit Data
Can be address/data bit or a parity bit.



MECATRONICA
D I G I T A L

- bit 7 **CSRC:** Clock Source Select bit
 Asynchronous mode:
 Don't care
 Synchronous mode:
 1 = Master mode (clock generated internally from BRG)
 0 = Slave mode (clock from external source)
- bit 6 **TX9:** 9-bit Transmit Enable bit
 1 = Selects 9-bit transmission
 0 = Selects 8-bit transmission
- bit 5 **TXEN:** Transmit Enable bit⁽¹⁾
 1 = Transmit enabled
 0 = Transmit disabled
- bit 4 **SYNC:** EUSART Mode Select bit
 1 = Synchronous mode
 0 = Asynchronous mode

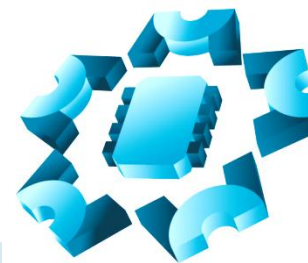


Configuración del Registro TXSTA

REGISTER 25-1: TXSTA: TRANSMIT STATUS AND CONTROL REGISTER

R/W-/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R-1/1	R/W-0/0
CSRC	TX9	TXEN ⁽¹⁾	SYNC	SENDB	BRGH	TRMT	TX9D
bit 7							bit 0

0	0	1	0	0	1	0	0
---	---	---	---	---	---	---	---

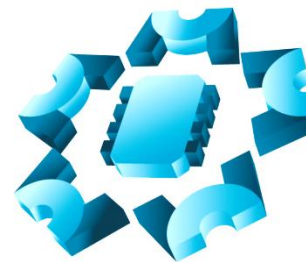


MECATRONICA
DIGITAL

TRANSMISOR Y RECEPTOR ASINCRONOS

CARACTERISTICAS IMPORTANTES A CONFIGURAR

- ▶ Control de Flujo: NINGUNO
- ▶ Bits de Datos para Envío: 8 bits
- ▶ Bits de Datos para Recepción: 8 bits
- ▶ Paridad: NINGUNA
- ▶ Bits de Parada: 1



MECATRONICA
DIGITAL

*GRACIAS POR SU
ATENCION*