

Centro Universitário Positivo - UnicenP
Núcleo de Ciências Exatas e Tecnológicas – NCET
Engenharia da Computação

Nilton Barbosa Armstrong Júnior

**Sistema de reconhecimento de comandos baseados
em sinais de eletromiografia (EMG)**

Curitiba
2004

Centro Universitário Positivo - UnicenP
Núcleo de Ciências Exatas e Tecnológicas – NCET
Engenharia da Computação

Nilton Barbosa Armstrong Júnior

Sistema de reconhecimento de comandos baseados em sinais de eletromiografia (EMG)

Monografia apresentada à disciplina de Projeto Final, como requisito parcial à conclusão do Curso de Engenharia da Computação. Orientador: Prof. Valfredo Pilla Jr.

Curitiba
2004

TERMO DE APROVAÇÃO

Nilton Barbosa Armstrong Júnior

Sistema de reconhecimento de comandos baseados em sinais de eletromiografia
(EMG)

Monografia aprovada como requisito parcial à conclusão do curso de Engenharia da Computação do Centro Universitário Positivo, pela seguinte banca examinadora:

Prof. Valfredo Pilla Jr. (Orientador)
Prof. Adriana Cursino Thomé
Prof. Edson Pedro Ferlin

Curitiba, 29 de Março de 2004

AGRADECIMENTOS

Gostaria de prestar os merecidos agradecimentos às seguintes pessoas e entidades que contribuíram para a realização deste trabalho:

Patrícia Cristiane Kremer, Nilton Barbosa Armstrong, Ana Izabel, Rafaela Marques Armstrong, Benjamim Antônio Kovalski, Wanderlei Andriola, Pessoal de suporte da Texas Instruments, Prof. Valfredo Pilla, Prof. José Carlos Cunha, Prof. Laerte Cleto, Prof. Amarildo Geraldo Reichel, Prof. Lourival Lippmann, Pessoal do LacTec, Maurício Perretto, Pessoal do Laboratório Procomp/Curitiba, e a todos que de alguma maneira apoiaram e/ou contribuíram para que o progresso deste projeto fosse conseguido e que cujos nomes porventura não tenham sido aqui mencionados.

SUMÁRIO

Resumo	9
Abstract.....	11
1. Introdução.....	13
2. Fundamentação teórica.....	15
2.1. Biopotenciais	15
2.1.1 Potencial de Repouso	15
2.1.2 Potencial de ação	16
2.1.3 Eletromiograma - EMG	17
2.2. Processamento digital de sinais	18
2.2.1 Convolução.....	20
2.2.2 Filtros digitais.....	20
2.2.3 Transformada de Fourier.....	20
3. Especificação Técnica.....	25
3.1. Representação de <i>hardware</i>	25
3.1.1 Eletrodos.....	26
3.1.2 Circuito de alimentação.....	29
3.1.3 Circuito analógico	30
3.1.4 Circuito digital.....	32
3.2. Representação de software.....	33
3.2.1 SIBES (sistema básico de entrada e saída).....	34
3.2.2 Software principal.....	38
3.3. Módulo adicional.....	39
3.4. Cronograma	40
3.5. Infraestrutura	42
3.6. Previsão de custos	43
4. Projeto	45
4.1. Circuito de condicionamento	45
4.1.1 Amplificador de instrumentação.....	48
4.1.2 Filtro Passa-Baixa	49
4.2. Conversão analógico-digital	50
4.3. Conversão digital-analógica.....	54
4.4. Circuito de amplificação de saída.....	55
4.5. Circuito digital.....	56
4.5.1 DSP (<i>Digital Signal Processor</i> – Processador Digital de Sinais).....	56
4.5.2 CPLD (<i>Complex Programmable Logic Device</i> – Dispositivo programável de lógica complexa) ...	58
4.5.2 Memória FlashEprom	62
4.5.3 Memória Sram.....	63
4.6. Circuito de alimentação.....	65
4.6.1 Fonte externa de tensão.....	66
4.6.2 Geração de tensões digitais.....	66
4.6.3 Supervisão de tensões e <i>Reset</i>	67
4.6.4 Geração da tensão analógica.....	68
4.7. Validação Funcional.....	69
4.7.1 Teste completo	69

4.7.2	Teste parcial	69
4.7.3	Teste de Reconhecimento	70
4.8.	Implementação	72
4.8.1	Procedimento de colocação dos eletrodos no músculo corrugador do supercílio.	72
4.8.2	Procedimento de colocação dos eletrodos no músculo bíceps.....	76
4.8.3	Circuito	78
4.9.	Resultados.....	81
4.9.1	Testes Parciais	81
4.9.2	Teste completo	84
4.9.3	Reconhecimento da ativação muscular.....	87
5.	<i>Conclusão</i>	93
	<i>Anexo 1 – Diagrama Esquemático</i>	95
	<i>Anexo2 - Simulação Analógica</i>	97
	<i>Anexo 3 – Lista de componentes</i>	99
6.	<i>Referências Bibliográficas</i>	101

LISTA DE FIGURAS

Figura 1 - Exemplo de ativação de célula excitável	17
Figura 2 - Exemplo de sinal de EMG – captado durante o fechamento da mão	18
Figura 3 - Exemplo de decomposição de um sinal quadrado em várias senóides	21
Figura 4 - Exemplo de espectro de frequência a partir de um sinal contínuo	22
Figura 5 - Diagrama em Blocos do Hardware do Sistema	25
Figura 6 - Geometria e disposição dos captadores dentro do eletrodo	27
Figura 7 - Efeitos da colocação inadequada do eletrodo	28
Figura 8 - Colocação do eletrodo e do ponto de referência	29
Figura 9 - Diagrama em blocos do circuito de alimentação	30
Figura 10 - Diagrama em blocos do circuito analógico	30
Figura 11 - Diagrama em blocos do circuito digital	32
Figura 12 – Representação de software: Interação entre as camadas	34
Figura 13 - Fluxograma do SIBES (Sistema Básico de Entrada e Saída)	37
Figura 14 - Fluxograma do SIRGE (Sistema de Reconhecimento e Gerenciamento)	39
Figura 15 - Diagrama em blocos do sistema completo	45
Figura 16 - Funcionamento do circuito de condicionamento	49
Figura 17 - Correspondência entre os valores da entrada com os códigos digitalizados	52
Figura 18 - Diagrama em blocos do sistema digital	56
Figura 19 - Conector do tipo barril para a alimentação externa	66
Figura 20 - Localização do músculo corrugador do supercílio	73
Figura 21 - Localização do centro no eletrodo	73
Figura 22 - Colocação do barbante	74
Figura 23 - Localização da concavidade nasal	74
Figura 24 - Localização das duas cavidades nasais	74
Figura 25 - Esquema de marcação do barbante	75
Figura 26 - Vista lateral da nova posição da marca inferior	75
Figura 27 - Localização das marcas do barbante e da saliência do osso occipital	75
Figura 28 - Visualização do local de colocação dos eletrodos	76
Figura 29 - Fixação dos cabos blindados	76
Figura 30 - Colocação dos eletrodos no bíceps	77
Figura 31 - Vista frontal do circuito	78
Figura 32 - Vista lateral - lado do <i>dip-switch</i>	78
Figura 33 - Vista lateral - lado dos reguladores	79
Figura 34 - Vista traseira do circuito	79
Figura 35 - Vista superior do circuito	80
Figura 36 - Resultado da inicialização com sucesso do DSP	84
Figura 37 - Oscilação causada por descasamento de impedâncias	85
Figura 38 - Emg do bíceps 0° a 45° - 7Kg	89
Figura 39 - EMG do bíceps 0° a 45° - 7Kg	89
Figura 40 - EMG do bíceps - flexão total sem peso	90
Figura 41 - EMG tríceps - média força 45° contra obstáculo	90
Figura 42 - EMG tríceps - média força 45° contra obstáculo	90
Figura 43 - EMG tríceps - fim de curso sem obstáculo	91
Figura 44 - EMG corrugador do supercílio - fim de curso	91
Figura 45 - EMG corrugador do supercílio - Acionamento forçado quase normal	92

LISTA DE TABELAS

Tabela 1 - Comandos do conversor A/D TLC3544	53
Tabela 2 - Comandos do conversor D/A DAC8532	54
Tabela 3 - Tabela de funcionalidades do CPLD	58
Tabela 4 - Tabela de E/S implementado no CPLD, por software	62
Tabela 5- Tensões geradas no circuito de alimentação	65
Tabela 6 - Descrição dos pinos do conector da fonte externa	66
Tabela 7 – Tabela de valores de tensão de alimentação	82
Tabela 8 - Teste do sinal de <i>reset</i>	82
Tabela 9 - Resultados dos testes do EPM3064A	83
Tabela 10 - Código de movimentos	87

RESUMO

A sociedade enfrenta hoje um grande desafio no que diz respeito a meios de locomoção para pessoas portadoras de deficiência física parcial ou total. A reintegração dessas pessoas, nos últimos anos, acontece de maneira mais freqüente por meio de construção ou modelagem de alguns aspectos urbanos, como plataformas elevadiças em ônibus, rampas e guias rebaixadas. Porém, mesmo com essas melhorias ainda há a dificuldade para aqueles indivíduos que necessitam de cadeira de rodas para se locomover, mas não conseguem impulsioná-la.

O objetivo deste trabalho é criar recursos motores para esses indivíduos com dificuldade de locomoção, mas que apresentam alguma capacidade muscular. Esses recursos poderão ser obtidos por movimentos dos músculos da face, como os da bochecha ou os sobre a sobrancelha. Para acionar esses músculos será necessária uma interface entre o usuário e o aparelho que será utilizado, como a cadeira de rodas, por exemplo, ou qualquer outra aplicação que necessite de análise de sinais bioelétricos.

Para a aquisição dos sinais serão utilizados eletrodos cujo funcionamento é baseado em captação e envio do potencial elétrico ao qual ele está sujeito em relação a um ponto de referência não sujeito à ação elétrica de nenhum músculo. O circuito analógico será responsável pelo condicionamento e transformação da grandeza elétrica analógica em um valor digital para o processador interpretar. Essa fase é chamada de processamento analógico. O circuito digital será responsável por controlar todo o resto do sistema, ou seja, recepção das amostras convertidas pelo conversor A/D, processamento digital e comando da interface com a cadeira de rodas.

O software será dividido em duas partes: básico – carga do software do processador e testes iniciais de funcionamento dos componentes do sistema; principal que fará o gerenciamento do fluxo de amostras e o reconhecimento do comando ativado pelo usuário. Inicialmente o sistema será experimentado em uma miniatura de carro radio-controlado, para a posterior implementação em uma cadeira de rodas automatizada.

ABSTRACT

The society faces today a great challenge concerning to the locomotion of people who own total or partial physical insufficiency. The reintegration of these people have been happening, in the last few years, by means of building or modelling some common urban objects such as raising bus platforms, ramps or lowered curbs. However, even with these benefits, an issue still persists for those who need a wheelchair to move, but cannot push it forward.

The main goal of this research is to provide motor resources for those individuals who own a locomotion difficulty, but can exhibit some muscular activity. These resources may be obtained by the movement of the face's muscles such as those under the cheek or those over the eyebrow. An interface will be necessary to connect the individual to the machine that will be used. That machine could be a wheelchair, or any other application that needs of bioelectrical analysis.

In the signal acquisition, it will be used electrodes, which work sensing and transmitting the muscle's action potential related to another neutral point, isolated of muscular activity. The analog's circuitry shall be responsible for conditioning and transforming the analog signal into a information that the processor can use. This part is called analog processing. The digital circuitry will be responsible for controlling all other parts of the system such as samples acquired by the A/D converter, digital processing and determining actions to the wheelchair.

The software is divided in two parts: basic part– handles the system boot and initial tests; and main part: handles the samples flow and the recognizing applied to the user's command. In a first step, the system will be tested in a radio-controlled miniature car, for then be implemented in a real automated wheelchair.

1. INTRODUÇÃO

A reintegração de pessoas portadoras de deficiências físicas é um grande desafio existente para a sociedade. Dado a grande necessidade de locomoção que os humanos apresentam, a perda total ou parcial do movimento membros acaba se tornando uma grande dificuldade não só para a vida profissional, mas principalmente para a vida pessoal de cada indivíduo. Nos últimos anos vêm ocorrendo algumas mobilizações da sociedade em construir ou modelar itens urbanos, como plataformas elevadiças em ônibus, rampas e guias rebaixadas. Tais melhoramentos, ainda que facilitem ou viabilizem o deslocamento de indivíduos em cadeira de rodas, não podem ajudar pessoas que não têm a capacidade de impulsionar uma cadeira de rodas.

Com este trabalho deseja-se possibilitar a automação de recursos motores a indivíduos cujas capacidades de locomoção foram reduzidas ou extintas, porém com alguma capacidade muscular. Tal capacidade pode ser restrita apenas a movimentos dos músculos da face, como os músculos da bochecha ou os músculos sob a sobrancelha. O acionamento de tais músculos consistiria na interface necessária entre o usuário o aparelho que se deseja utilizar. Tal aparelho pode ser não somente uma cadeira de rodas como neste trabalho, mas também qualquer outro aparelho que se destine a automação de funções motoras ou ainda no auxílio de qualquer outra tarefa que possa ser comandada pela captação de sinais bioelétricos de ativação muscular localizada.

A utilização de resposta muscular localizada é uma alternativa potencialmente importante para a viabilização de funções a pessoas que não dispõem de meios mecânicos para executá-las, como o toque ou pressão das mãos ou o simples ato de andar. O foco principal deste trabalho é providenciar os meios para tornar uma cadeira de rodas possível de ser manuseada por um indivíduo tetraplégico ou mesmo paraplégico que não deseje, ou não possa, mais usar suas mãos para o acionamento da cadeira e sim algum músculo ou grupo de músculos ainda funcionais.

A área deste trabalho é o reconhecimento de padrões, mais especificamente no ramo do processamento digital de sinais aplicado à engenharia biomédica na análise de sinais bioelétricos como o EMG. A aplicação deste trabalho poderá se dar não somente em automação de cadeira de rodas, mas também em quaisquer outras aplicações que necessitem de análise de sinais bioelétricos.

Um provável local para a aquisição destes sinais seria os músculos situados sob as sobrancelhas ou os músculos da bochecha. Tais músculos são especialmente focalizados neste trabalho por ainda apresentarem atividade mesmo em indivíduos cuja mobilidade dos músculos situados abaixo do pescoço cessaram. Tais movimentos devem ser captados do indivíduo através de eletrodos não invasivos (externos) fixados sobre o(s) músculos escolhidos. Após a captação o sistema de encarregará de fazer o processamento necessário dos sinais a fim de reconhecer o comando desejado pelo usuário e proceder corretamente com a ação relacionada.

Este trabalho está dividido basicamente em 5 capítulos principais que conterão, ainda, seus sub-capítulos para a sua organização interna. O primeiro capítulo é esta introdução. O segundo capítulo é a fundamentação técnica do projeto, que explicará os conceitos envolvidos no projeto, de uma maneira mais ampla, sem entrar nos detalhes da implementação. Seu objetivo é explanar as tecnologias envolvidas no projeto. O terceiro capítulo é a especificação técnica do projeto. Nesse capítulo estarão contidas as informações um pouco mais específicas sobre o hardware e o software, bem como a apresentação do cronograma, uma breve lista de recursos utilizados e a projeção inicial dos custos. O próximo e quarto capítulo será o projeto do sistema. Neste capítulo estarão as informações da implementação do hardware e do software com seus respectivos detalhes. Também fará parte desta parte a especificação do(s) teste(s) que certificará(ão) o funcionamento do sistema. O quinto capítulo explana sobre os resultados obtidos e uma comparação com os resultados esperados. O sexto, e último, capítulo será a conclusão do projeto e fará reflexões sobre o desenvolvimento do projeto e sobre os resultados obtidos. Este capítulo finaliza-se com uma análise da comparação entre os resultados obtidos com os esperados.

2. FUNDAMENTAÇÃO TEÓRICA

Este capítulo tratará dos conceitos básicos envolvidos neste projeto. Tais conceitos serão descritos de forma detalhada, conforme a seqüência apresentada a seguir:

2.1. Biopotenciais

Define-se como biopotenciais todos os potenciais elétricos gerados como resultado de uma atividade eletroquímica em células animais capazes de tal. Tais células são chamadas células excitáveis e fazem parte dos tecidos musculares, nervosos e glandulares (WEBSTER,1998). O termo potencial elétrico refere-se ao desequilíbrio de cargas dentro e fora da célula. Existem, basicamente dois potenciais exibidos pelas células excitáveis: potencial de repouso e potencial de ação. Como serão explicados a seguir.

2.1.1 Potencial de Repouso

As células excitáveis quando em repouso, ou seja, sem receber estímulo para executar nenhuma função, mantém uma diferença de potencial, com relação ao meio externo, que varia entre -50mV a -100mV . Esta diferença é conseguida pelo desequilíbrio de concentração iônica dentro e fora da célula. Tal diferença é regulada pela membrana citoplasmática, que é a parede celular, ou seja, a organela celular responsável pela contenção do interior do interior da célula. Além de esta membrana propiciar a separação do interior da célula com o meio que a cerca ela possui, também, uma característica chamada permeabilidade seletiva. A membrana é composta basicamente de complexos lipoprotéicos (WEBSTER, 1998) que compõem poros, que essencialmente não deixam que proteínas intracelulares e ânions orgânicos extrapolem os limites celulares. Tal membrana também é pouco permeável a cátions Na^+ . A diferença de permeabilidade entre o K^+ e o Na^+ é de 100 vezes mais a favor do K^+ . Porém, para cátions K^+ e ânions Cl^- a membrana se mostra muito permeável.

Normalmente, em uma célula com potencial elétrico equilibrado, a concentração de K^+ dentro é muito maior que a concentração no meio externo. O inverso acontece com os íons Cl^- e Na^+ , em que a concentração externa é maior que a interna. A permeabilidade seletiva age no sentido de propiciar que haja o equilíbrio de contrações desses íons, dentro e fora da célula. Como o íon Na^+ é pouco permeável para a membrana citoplasmática sua concentração tende sempre a ser maior fora que dentro da célula. Porém, como os íons K^+ e Cl^- passam com certa liberdade pela membrana as suas concentrações tendem a se equilibrar. Essa diferença de concentrações cria o chamado potencial de difusão (WEBSTER,1998), que aponta sempre para o lado que tem a menor concentração. A medida que os íons K^+ passam para o exterior da célula e os íons Cl^- passam para o interior da célula, o seu interior passa a ficar mais negativo que o seu exterior, pois perdeu íons positivos e ganhou íons negativos. São criados, portanto, dois potenciais elétricos, dentro e fora da célula de polaridade negativa e positiva, respectivamente. Tais campos apontam sempre para o lado da membrana que tem o menor potencial. Note-se que o potencial de difusão e o potencial elétrico apontam em direções opostas. À medida que estes campos crescem eles tendem a fazer com que a passagem de K^+ para fora e Cl^- para dentro diminua pela diferença entre os potenciais interno e externo. Tal força elétrica crescerá até que tenha energia potencial suficiente para fazer com que a força do potencial de difusão seja anulada, acabando com o fluxo de íons através da membrana.

Quando o equilíbrio de tais forças ocorre, a diferença entre os potenciais elétricos interno e externo é constante e pode assumir valores de $-100mV$ a $-50mV$, dependendo do tipo de tecido.

2.1.2 Potencial de ação

Também conhecido como impulso nervoso tem outra característica importante que é a capacidade de se ativar as células excitáveis. O termo ativação refere-se a possibilitar a despolarização ou hiperpolarização de uma célula excitável. A despolarização é nome dado ao fenômeno de se diminuir a diferença de potencial entre os lados da célula e aumentar seu fluxo iônico. A hiperpolarização é o aumento da diferença desse mesmo potencial e diminuir seu fluxo iônico.

Com o estímulo correto (WEBSTER,1998), a membrana citoplasmática é capaz de alterar a função de permeabilidade seletiva. Durante uma despolarização, a

permeabilidade ao íon Na^+ , que imediatamente tende a invadir o interior celular para compensar o excesso de cargas negativas e a pequena concentração de Na^+ que há em seu interior. Essa invasão acontece muito rapidamente e o potencial gerado pode chegar a até $+60\text{mV}$, em relação ao meio fora da célula. Os íons K^+ ainda continuam a fluir para fora da célula. Porém, durante a despolarização, além deste fluxo aumentar, esse processo sofre um pequeno atraso em relação ao fluxo de Na^+ . Quando o fluxo de K^+ é ativado por completo, seu fluxo é tão grande que leva a membrana a sofrer uma hiperpolarização, que tende a levar o potencial da célula de volta ao seu valor de repouso. Essa ação propicia ações de ativa-desativa, que caracterizam a ativação dos músculos e dos tecidos nervosos. Na figura 1 ilustra a variação do potencial de uma célula quando é ativada.

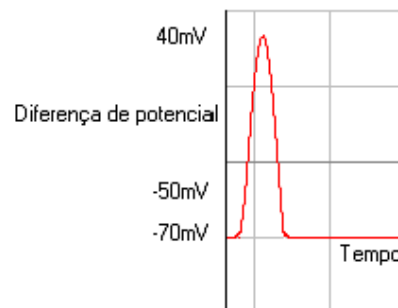


Figura 1 - Exemplo de ativação de célula excitável

2.1.3 Eletromiograma - EMG

É o registro e/ou análise de sinais bioelétricos utilizados pelos órgãos animais para a ativação de músculos. Tomando como exemplo o corpo humano, um movimento simples, como levantar o braço ou abrir a mão, significa a ativação de uma série de músculos que irão executar o movimento desejado. Cada grupo de músculos responsável por um movimento distinto é chamado de **unidade motora simples** (ou SMU – *single motor unit*) (DELUCA, 2002). Cada SMU corresponde a ativação do menor grupo muscular que um humano é capaz de comandar voluntariamente. Quando tal comando é acionado, os músculos atuam-se sincronamente, de acordo com o sinal recebido do cérebro, pelas vias nervosas.

Como a ativação dos músculos é feita de forma síncrona, é muito difícil de se distinguir o sinal responsável pela ativação de cada músculo. Isto é sensível durante a captação do sinal. O sinal resultante é a soma e a subtração de cada sinal que vai a cada músculo da SMU selecionada pois a captação é feita em um volume

condutor. Volumes condutores são seções de tecido que estão sujeitas ao campo eletromagnético gerado bioeletricamente pelos nervos ou músculos que por ele passam. Em outras palavras, o sinal captado em um volume condutor é muito parecido com um ruído do que com um sinal cuja forma segue um padrão definido, como acontece com os sinais de ativação do coração, chamado de ECG ou eletroencefalograma.

Quando se capta o sinal de EMG de um músculo ocorre a chamada interferência por *crosstalk* (DELUCA, 2002). Tal interferência diz respeito à influência que o sinal bioelétrico de músculos adjacentes tem na captação do sinal de um músculo específico. Esse efeito é muito ampliado quando se capta o sinal em uma região que é um volume condutor, tornando a identificação da ativação de um músculo específico razoavelmente difícil.

Na captação e interpretação destes sinais é que está o maior desafio deste trabalho: identificar e isolar características distintas da ativação de músculos específicos. O sinal da figura 2 demonstra o registro do fechamento da mão de um indivíduo.

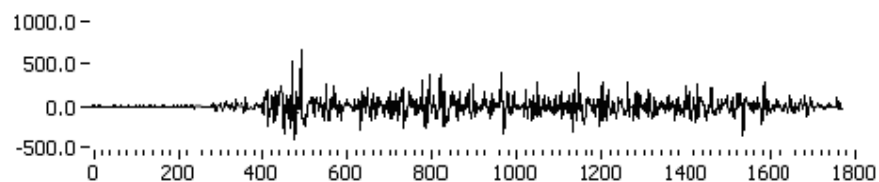


Figura 2 - Exemplo de sinal de EMG – captado durante o fechamento da mão

2.2. Processamento digital de sinais

O processamento digital de sinais é o trabalho feito com sinais analógicos que passaram pela fase de digitalização podem ser interpretados por um computador. Tal computador pode ser qualquer máquina de processamento. Isso significa que um microprocessador Pentium pode ser utilizado para tal processamento. Porém os microprocessadores com conjunto de instruções complexo (CISC), são mais indicados para operações de manipulação de dados. OU seja comparações, movimentações e etc. Cálculos matemáticos podem ser executados também porém o custo computacional, ou o tempo que leva, para se completar um cálculo é razoavelmente grande se comparado a uma simples movimentação. Isso acontece

por cada instrução depender da execução de um código interno (microcódigo) para realizar cada tarefa.

Portanto, se é necessário o processamento digital de sinais e este não precisa ser em tempo-real, a aplicação pode ser executada em um processador Pentium ou similar. Por outro lado, quando uma aplicação necessita fazer cálculos muito rápidos, em que o tempo da movimentação de dados tem que ser igual, ou praticamente igual, ao tempo de uma multiplicação, por exemplo, um microprocessador Pentium já não consegue oferecer o desempenho desejado.

Tais aplicações incluem controle de servo-mecanismos, sistema de freios ABS, reconhecimento de voz, interpretação de sinais de EMG, sistemas de radar, telefonia celular, TV digital e outras.

Para solucionar tal problema existe um outro tipo de processadores, que trabalham com um conjunto menor de instruções, porém mais poderosas e mais rápidas. Tais processadores são classificados como RISC (*Reduced Instruction Set Computer*) ou computador com conjunto de instruções reduzido. Nestes computadores, não há a presença de microcódigo, as instruções são decodificadas e executadas diretamente, sem a necessidade da execução de nenhum código auxiliar. Isso faz com que o tempo levado por uma instrução de movimentação de dados seja o mesmo que uma instrução de multiplicação, que normalmente levaria de 2 a 4 vezes mais tempo para ser executada em um computador CISC. Frequentemente todas as instruções de um RISC são executadas em um ciclo de máquina, o que não acontece com os CISC.

Um exemplo de microprocessadores RISC é o DSP – *Digital Signal Processors* ou processadores digitais de sinal. Tais processadores substituem com muita eficiência os processadores CISC em aplicações que cálculos matemáticos tem que ser executados com muita rapidez. Porém não podem ser usados para substituir os processadores convencionais para uso genérico (Pentium, Athlon, etc.) pois não possuem a capacidade que eles tem de aceitar a execução de softwares genéricos. Em outras palavras os DSP sacrificam a capacidade de poder executar qualquer tipo de software para poder executar um só tipo muito bem.

Os DSP são processadores específicos para aplicações envolvendo operações matemáticas com sinais digitalizados. Neste trabalho será utilizado um processador do tipo DSP pela necessidade de se adquirir rapidamente sinais captados dos músculos, processa-los e executar o comando da cadeira de rodas.

A aplicação fundamental neste trabalho, do DSP, será a extração de características do sinal de EMG e o processamento da rede neural para o reconhecimento de padrões.

Pode-se dividir essa extração de características em 3 operações muito utilizadas em DSP, que serão exploradas a seguir: Convolução, Filtros Digitais e Transformada de Fourier.

2.2.1 Convolução

Matematicamente é a maneira como se representa a forma que dois sinais interagem entre si. Todo sistema linear é possível ser descrito através do efeito que ele causa em um sinal de impulso unitário, chamado de resposta ao impulso. Essa resposta descreve todas as características do sistema. Em outras palavras, o sistema poderá ter a sua resposta preditível se for conhecida a sua resposta ao impulso.

Para se chegar ao sinal de saída do sistema basta fazer a convolução do sinal de entrada com a resposta ao impulso do sinal.

2.2.2 Filtros digitais

Filtros digitais utilizam a convolução para elaborar o sinal filtrado. A partir de uma resposta de impulso de um filtro qualquer, transforma-se um sistema digital em um filtro digital. Convolvendo-se o sinal de entrada com a resposta de impulso de um filtro calculado, pode-se calcular a saída do sistema, o sinal filtrado. Tal filtro consegue atingir desempenhos muitas vezes superiores a de qualquer filtro analógico, passivo ou ativo. Enquanto um filtro analógico limita-se a 5ª ou 6ª ordem, um filtro digital pode chegar até a 100ª ordem ou mais.

Mais detalhes da implementação da convolução e de filtros digitais estarão no capítulo de projeto.

2.2.3 Transformada de Fourier

A análise espectral é uma das aplicações mais úteis no campo de processamento de sinais. Seu objetivo é decompor, identificar e analisar sinais analógicos digitalizados. A análise é feita no que diz respeito às frequências que compõe o sinal analisado. Como as frequências estão sempre atreladas a uma

soma de senos e outra de cossenos, é muito comum se analisar também a fase de cada uma das frequências componentes.

A Transformada de Fourier é basicamente uma ferramenta matemática capaz de possibilitar qualquer outra função matemática a ser expressa em uma soma de senos e cossenos, de diversas frequências, amplitudes e fases. Na figura 3, o sinal quadrado foi decomposto em uma série de senos. Isto significa dizer que, se as senóides forem somadas umas às outras o resultado será (praticamente) a onda quadrada original.

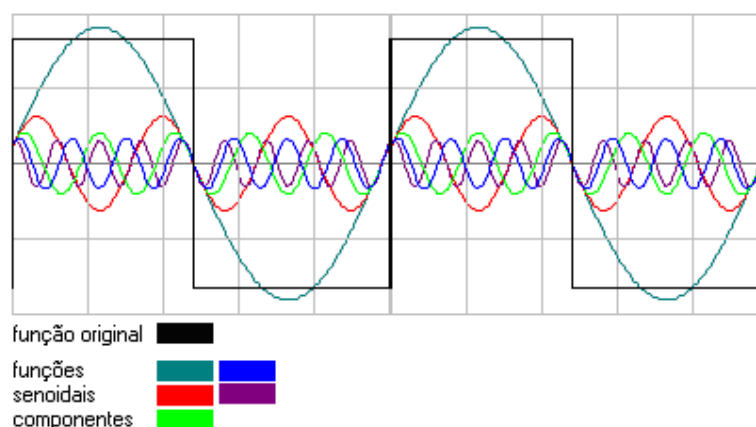


Figura 3 - Exemplo de decomposição de um sinal quadrado em várias senóides

O termo ‘praticamente’ refere-se ao fato que a reconstituição completa de um sinal quadrado decomposto só seria possível se fossem somadas infinitas frequências o que, para fins de cálculo, não é possível. No caso da figura anterior apenas as componentes de frequência com amplitude considerável foram utilizadas. Tal soma é necessária pois entende-se (Spiegel,1974) que a transição de um dado nível de tensão a outro no mesmo instante de tempo só seria possível se houvessem componentes de frequência cujo valor tendesse a infinito. Como no mundo real tal transição não acontece imediatamente e sim *muito rapidamente* tal problema pode ser ignorado.

O papel da transformada é descrever as amplitudes que cada senóide (ou cossenóide) deverá ter de acordo com a sua frequência. Tomando por exemplo a figura anterior, a transformada estabelece a amplitude das senóides, de acordo com a sua frequência para que elas, somadas, possam reconstituir a onda quadrada.

A fórmula matemática da transformada de Fourier é:

$$F(k) = \frac{1}{2\pi} \int_{-\infty}^{\infty} f(x)e^{-jkt} dx \quad (1)$$

em que $e^{-jkt} = \cos(kt) - j\sin(kt)$ e é chamada de Relação de Euler [6].

A fórmula anterior transforma a função “quadrada” da figura anterior, para a função que define quais são as amplitudes das senóides que serão usadas para reconstituir a função “quadrada”. A figura 6 mostra os gráficos da mesma função, uma no domínio do tempo e outra no domínio da frequência.

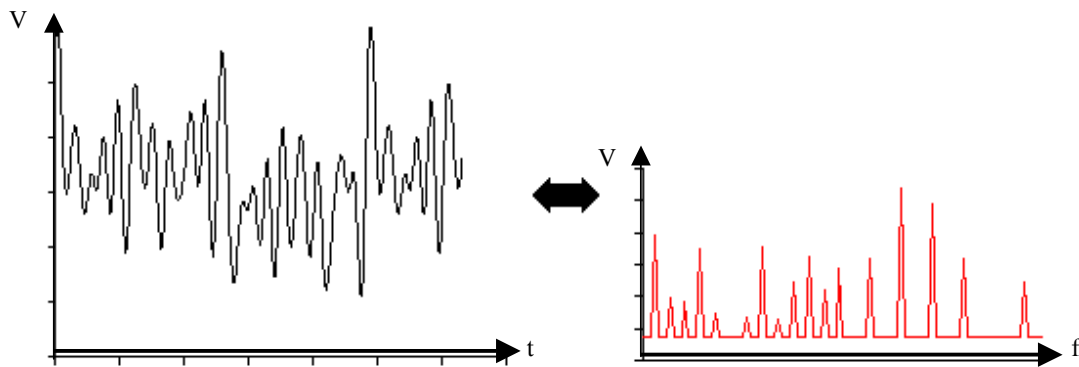


Figura 4 - Exemplo de espectro de frequência a partir de um sinal contínuo

Matematicamente, a Transformada executa uma modificação de variáveis de modo que se uma função inicialmente depende de ‘x’ esta passa agora a depender de uma outra variável, ‘k’ por exemplo, que essencialmente não pertence ao mesmo domínio de ‘x’. Isto faz com que se a função era originalmente dita como $f(x)$ agora ela passa a ser $F(k)$. Por uma questão de identificação Transformada de Fourier, mesmo sendo uma função, não é denotada por uma letra minúscula como f e sim F (Burrus *et al*, 1985 e Smith, 1997). Essa variável ‘k’ representa agora os diversos valores de frequência possíveis e a $F(k)$ indicará quais serão as amplitudes de cada senóide ou cossenóide cuja soma resultará em uma função que será igual a $f(x)$. A variável ‘k’ pertence ao domínio da frequência, ao contrário da variável ‘x’ pertence que ao domínio do tempo. No entanto, os contradomínios da função original e da função transformada representam as amplitudes das respectivas funções. O

contradomínio de uma função (ou sinal) transformada para o domínio da frequência também é chamado de resposta de frequência ou espectro de frequência da função.

A sua importância está justamente nesta capacidade de poder descrever uma função a partir de suas frequências componentes. Um exemplo simples dessa capacidade é no processamento de áudio, na atenuação da microfonia: executa-se a transformação de um sinal de áudio altera-se a intensidade das frequências mais altas e executa-se novamente a transformação, no sentido reverso, a fim de retornar o sinal ao seu domínio original, com a diferença que este terá a microfonia atenuada ou eliminada. Outras aplicações que podem ser citadas são:

- Análise espectral de sinais;
- Filtros digitais;
- Resposta de frequência de sistema;
- Tratamento de imagens;
- Processamento de áudio;
- Área de telecomunicações;
- Área biomédica;
- Reconhecimento de padrões;
- Redes Neurais;
- Compactação de dados.

A Transformada de Fourier, tem a sua origem na teoria de Jean Baptiste Joseph Fourier, um proeminente físico e matemático francês do século XIX, em que ele afirma que qualquer função periódica pode ser representada por uma soma de senos de fase, amplitude e frequência diferentes (Jackson,1986). Isto significa dizer que se for considerada uma função cuja forma de onda¹ é quadrada (figura 4) é possível se chegar a uma soma de funções que represente a função original através de uma soma de senos.

Porém, a sua implementação em processamento digital de sinais é um pouco diferente. Como pode ser visto na fórmula da Transformada de Fourier, a função $f(x)$ é considerada contínua para todos os pontos no tempo (o que pode ser justificado com o símbolo de integral definida de $-\infty$ a $+\infty$). Isso significa que, para ser levantado o espectro de frequências de um sinal $f(x)$ ele teria que ser considerado todos os pontos componentes, de modo que não houvesse descontinuidades no sinal. Quando se trabalha com sinais digitalizados, não é possível se ter todos os pontos

¹A forma de onda é considerada sinônima do gráfico da função.

que compõem a função, pela seguinte razão: em uma função contínua existem infinitos pontos, o que não é possível para um computador assimilar. Para resolver tal problema, os sistemas computacionais utilizam apenas amostras da função original, possibilitando tal sistema assimilar os dados. Tal conjunto de amostras é chamado de função (ou sinal) discreta, ao contrário do conjunto infinito de pontos da função, que recebe o nome de função contínua.

Então, a fórmula para a Transformada de Fourier não é mais aplicável na sua forma original, pois $f(x)$ não é um sinal contínuo e sim discreto. A Transformada de Fourier, passa a se chamar de Transformada Discreta de Fourier ou DFT (*Discrete Fourier Transform*). A DFT tem a seguinte fórmula:

$$X[k] = \frac{1}{N} \sum_{n=0}^{N-1} x[n] \cdot e^{-j \frac{2\pi kn}{N}} \quad (2)$$

Em que $x[n]$ representa as amostras da função no domínio do tempo, $X[k]$ representa as amostras da mesma função expressa no domínio da frequência, N é o número de amostras retiradas do sinal original.

Essa fórmula é a versão da Transformada de Fourier que é utilizada para ser aplicada em sinais digitalizados, que se torna muito útil para as aplicações em DSP (*Digital Signal Processing* – Processamento Digital de Sinais).

3. ESPECIFICAÇÃO TÉCNICA

Neste capítulo serão apresentados os itens que descreverão o projeto de um modo amplo, sem entrar nos aspectos detalhados da implementação. A Especificação tem por objetivo parametrizar o projeto de modo que haja uma definição clara do que será desenvolvido. As partes componentes serão divididas em basicamente 5 sub-partes: representação de *hardware*, representação de *software*, cronograma, infraestrutura necessária e, por fim, custos do projeto. As duas primeiras descrevem o que será desenvolvido em *hardware* e *software*. A terceira representa o cronograma, que visa a definir datas e prazos para a execução do trabalho, a fim de possibilitar a organização e o controle do andamento do projeto. A quarta parte descreve a infraestrutura necessária para o desenvolvimento do projeto, confecção e testes do sistema. A última parte demonstra o planejamento de custos do projeto. Tal planejamento inclui o custo dos componentes, confecção de placa de circuito impresso, horas técnicas aplicadas no desenvolvimento do *hardware* e *software* e dos testes.

3.1. Representação de *hardware*

Esta representação tem por objetivo ilustrar, de forma ampla, como será o diagrama em blocos do circuito, ou *hardware*, que irá fazer parte do projeto.

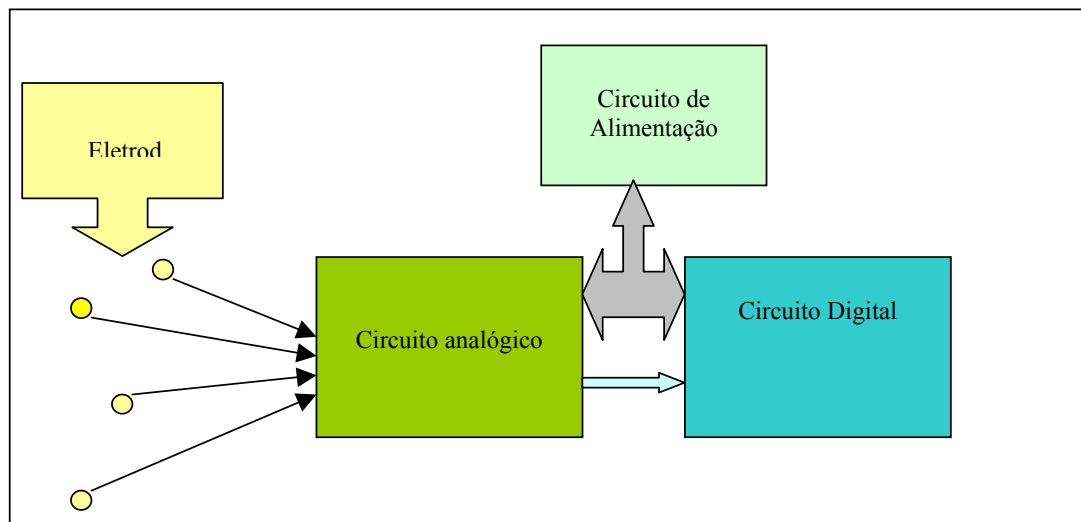


Figura 5 - Diagrama em Blocos do Hardware do Sistema.

Neste capítulo os resultados obtidos devem ser apresentados de forma objetiva, exata e lógica. Tanto resultados positivos como negativos devem ser incluídos aqui, desde que tenham alguma importância. Deve ser feita discussão dos resultados e a interpretação dos dados, pode ser feito em conjunto com o capítulo de resultados ou em capítulos separados.

A figura acima ilustra o diagrama em blocos do hardware do sistema. Este é composto basicamente de 4 blocos principais: eletrodos, circuito de alimentação, circuito analógico e circuito digital, descritos a seguir:

3.1.1 Eletrodos

São os elementos básicos de transdução entre a energia potencial iônica, que é presente nos tecidos nervosos e musculares, e a energia potencial elétrica. Ele transforma corrente iônica em corrente elétrica. Tal transformação é necessária para a excitação do circuito analógico e para, posteriormente permitir a interpretação da informação proveniente do músculo sensoriado pelo eletrodo. Em outras palavras o sistema deste projeto só consegue interpretar, ou processar, informações traduzidas coerentemente para alguma grandeza de natureza elétrica.

Este eletrodo é formado, geralmente, por 2 barras de metal altamente condutivo (prata preferencialmente ou ouro) dispostas paralelamente. Vários fatores na sua confecção influenciam a qualidade do eletrodo:

- Comprimento do eletrodo: quanto maior o seu comprimento maior é a sua sensibilidade ao campo gerado pelos biopotenciais celulares. Porém esse acréscimo no seu tamanho aumenta a chance de captação de interferências de outros músculos ou mesmo do meio ambiente.
- Distância entre as barras: quanto mais distante menor a necessidade de amplificação do sinal captado. Ou seja, quanto mais longe melhor a qualidade do sinal captado. Por outro lado, aumenta a captação de interferências de sinais de outros músculos e do meio ambiente.
- Diâmetro de cada barra: Um aumento excessivo do seu diâmetro, além de ser desconfortável para a fixação na pele do indivíduo, pode ser que não aumente na mesma proporção a qualidade do sinal captado.

Portanto é necessário achar uma espécie de meio termo entre todos esses fatores. De Luca em [1] e [2] sugere a adoção da configuração para os eletrodos de acordo com a Figura 6.

Apesar de haver vários formatos e padrões, De Luca [1] e [2] sugere o padrão apresentado na figura 2. Com essa configuração há um equilíbrio a qualidade do sinal adquirido e o ruído.



Figura 6 - Geometria e disposição dos captadores dentro do eletrodo.

Outro fator importante na eficiência do eletrodo é o seu posicionamento segundo [1]. A preferência é o seu posicionamento entre uma região motora e uma região tendinosa, que geralmente corresponde ao meio do músculo. A figura 3 demonstra tal colocação com relação à amplitude do sinal de EMG captado. Melhor é a colocação quanto maior for a captação do sinal de EMG. A região motora corresponde à zona de inervação do músculo, ou seja, onde a sensibilidade do músculo é maior. A região tendinosa é onde ocorre a junção das células musculares com as células que formam o tendão, que prende o músculo ao osso. Tais células praticamente não apresentam inervação, tornando-as impróprias para a aquisição de sinais de EMG, como é possível ver nos gráficos A e D. Apesar de serem impróprias, tais áreas seriam as que menos causariam incomodo nos indivíduos. O gráfico C ilustra outra situação. Apesar da posição em relação às extremidades do músculo estar correta, a colocação do eletrodo não o deixa em contato com o maior número de fibras musculares possível, atenuando muito o sinal captado. A posição demonstrada pelo gráfico B é a ideal, pois além de estar corretamente colocada em relação ao ponto motor e à região tendinosa, o eletrodo tem abaixo de si, as fibras que passam pelo meio do músculo. Normalmente isso significa que a maior atividade bioelétrica estará ali, como se pode ver no gráfico B da Figura 7.

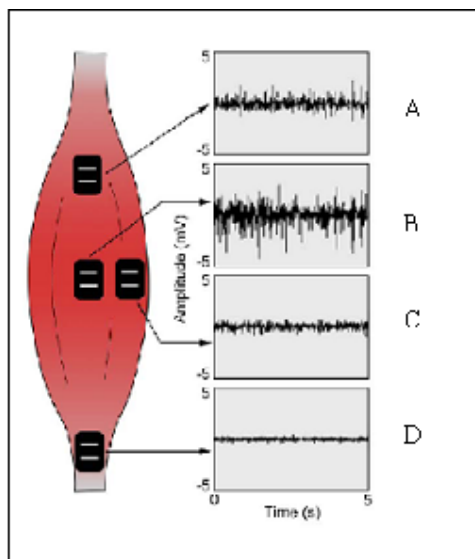


Figura 7 - Efeitos da colocação inadequada do eletrodo.

Seu funcionamento é basicamente captar e enviar ao circuito analógico o potencial elétrico a que cada uma das barras está sujeita em relação a um ponto referencial não sujeito à ação elétrica de nenhum músculo. Conforme [1], a tomada do ponto de referência deve ser preferencialmente em uma protusão óssea. Tal lugar é especialmente considerado por não haver atividade muscular nessas áreas, logo a interferência da ativação de outros músculos é bastante atenuada. A figura 4 demonstra tal configuração. O objetivo de se utilizar dois captadores para se fazer o eletrodo é de se extrair a diferença entre os potenciais de cada um deles, ou seja, uma diferença de potencial. Tecnicamente, cada um desses potenciais é medido, inicialmente, em relação ao ponto de referência do próprio corpo do indivíduo. Tal referência não tem um potencial garantidamente zero, podendo induzir o sistema a interpretar uma informação de intensidade de sinal erroneamente. Isso acontece pois se o potencial de referência contiver mais ou menos cargas elétricas que o potencial zero (cargas equilibradas) a medida do potencial de um ponto qualquer, em relação a essa referência irá levar em conta o potencial inicial do ponto de referência. Em outras palavras, se a referência tiver 2V e o ponto medido tiver 3V a diferença de potencial entre eles será de 1V. Essa medida está longe de expressar o valor real do ponto medido que é 3V.

Com o uso de dois pontos de medida cria-se um sistema chamado diferencial. Neste sistema duas grandezas elétricas com uma referência comum têm seus valores subtraídos. Com isso elimina-se o valor de carga dessa referência comum,

bem como quaisquer outros ruídos que eventualmente estejam sendo captados pelo eletrodo. Outra tática é utilizar o equilíbrio da referência do circuito de conversão analógico digital (explicado a seguir) com o ponto de referência do corpo. Uma das grandes vantagens do sistema diferencial é a sua grande rejeição a ruídos, como será explicado mais seguir.

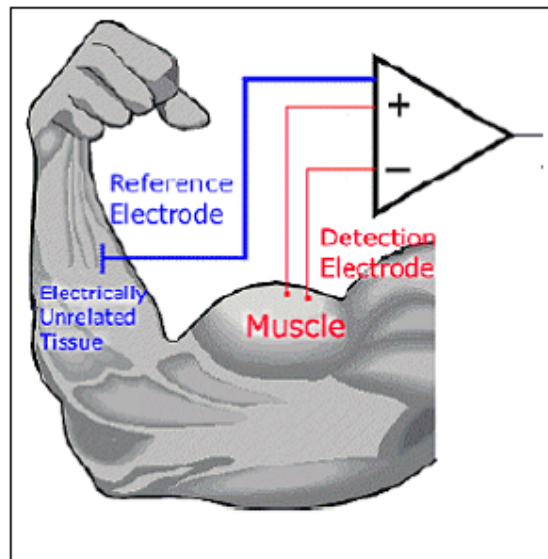


Figura 8 - Colocação do eletrodo e do ponto de referência.

3.1.2 Circuito de alimentação

Esta parte do circuito tem uma função muito importante que é prover a tensão e a corrente necessárias para o funcionamento dos circuitos analógico e digital. Esse circuito ocupa-se de fazer a regulação das tensões utilizadas pelos circuitos. Isso significa que esse circuito, junto com os capacitores de desacoplamento, garantirão que o circuito sempre tenha uma alimentação estável e precisa, não importando quais dispositivos estão ou não ativados ou o consumo de cada um. Manter uma alimentação estável e precisa é essencial para uma ótima fidelidade do sinal digitalizado com relação ao sinal analógico original. Os capacitores de desacoplamento são responsáveis por ajudar os reguladores de tensão a mantê-la a estabilidade da alimentação. Tais capacitores, de descarga e carga muito rápidas, auxiliam no caso de haver necessidade de fornecimento imediato de corrente para garantir que o nível de tensão do sistema não caia, como tenderia a acontecer na ativação de uma memória SRAM ou uma memória EPROM. Outra vantagem desses capacitores é a capacidade de anular a interferência eletromagnética de fontes próximas, como motores, por exemplo.

Para garantir ainda mais a confiabilidade do sistema, é conveniente o uso de supervisores de tensão. Tais dispositivos asseguram que se a(s) tensão(ões) de alimentação não estiverem em um nível adequado o sistema não poderá funcionar por meio do controle de reset do processador. A Figura 9 exemplifica o diagrama em blocos do circuito de alimentação.

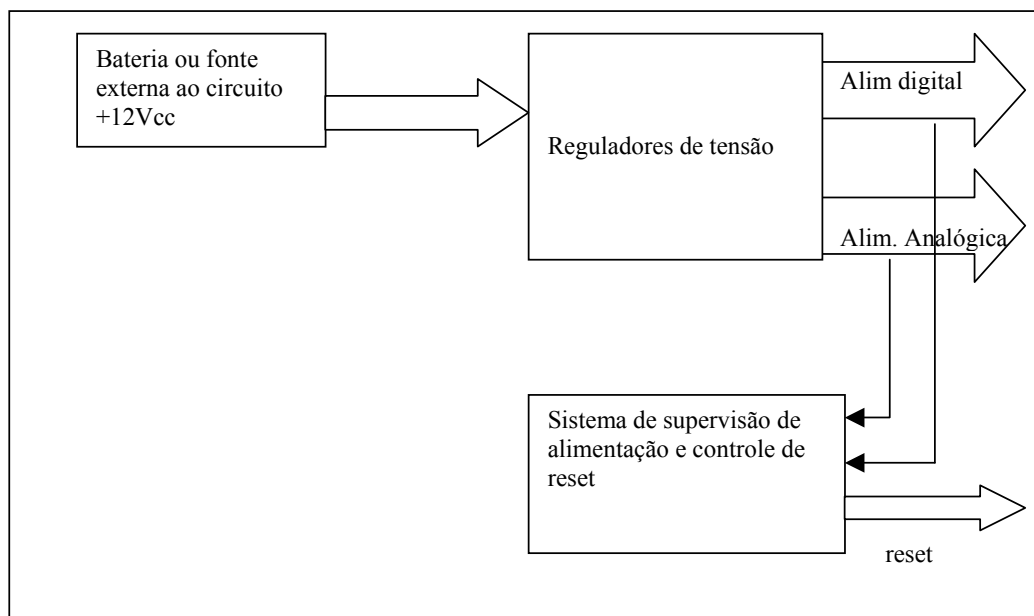


Figura 9 - Diagrama em blocos do circuito de alimentação.

3.1.3 Circuito analógico

Este circuito é responsável pelo condicionamento e transformação da grandeza elétrica analógica para um valor digital, que o processador do sistema possa interpretar. Tal fase também é chamada de processamento analógico. A figura XX demonstra o diagrama em blocos do circuito analógico.

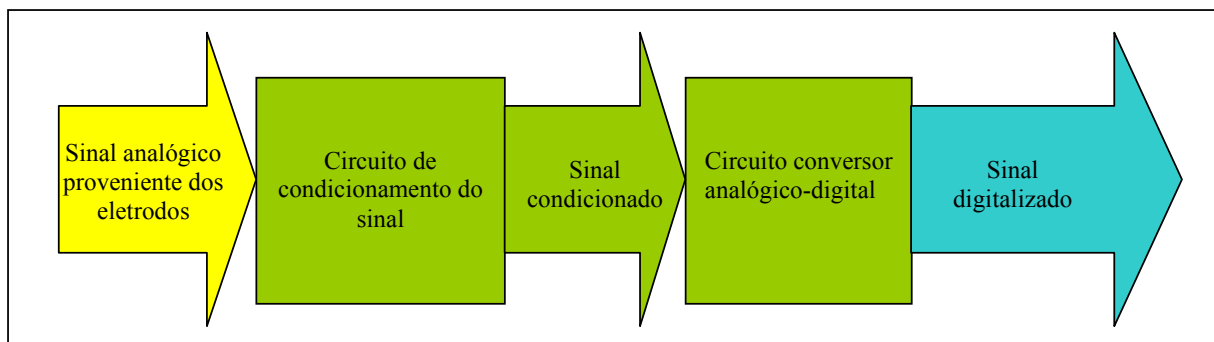


Figura 10 - Diagrama em blocos do circuito analógico.

O sinal analógico, que serve de entrada para este circuito, é originado da captação da grandeza bioelétrica pelos eletrodos. Tal grandeza, definida como sinal analógico diferencial precisa passar por um estágio de condicionamento antes de ser convertido para a forma digitalizada. A saída deste circuito é o sinal original transformado na forma digital (digitalizado) para ser aproveitado pelo próximo estágio, o processamento digital.

De acordo com a figura XX o circuito analógico pode ser dividido em duas partes: circuito de condicionamento do sinal e circuito conversor analógico-digital.

A primeira parte é responsável pela preparação do sinal a ser convertido. Esta etapa pode incluir amplificação, atenuação, soma, subtração, filtragem e quaisquer outras operações possíveis de ser executadas em sinais analógicos. Neste trabalho, o condicionamento do sinal se restringirá apenas a amplificação e transformação de um sinal diferencial em um sinal com referência. Não é considerada mais nenhuma operação com o sinal de entrada pois o processador utilizado é próprio para realizar digitalmente com rapidez e mais eficiência as operações realizadas com sinais analógicos. A amplificação é necessária para se melhor adequar a ordem de grandeza do sinal de entrada. Isto significa dizer que se o sinal de entrada tiver um valor de pico de $\pm 10\text{mV}$ e considerando que o conversor A/D utilizado tiver 14 bits de resolução e aceitar sinais com amplitude de $\pm 10\text{V}$ para conversão o sinal de entrada poderá ser representado apenas por 16 valores digitais diferentes. Por outro lado se o sinal for amplificado e seu valor final estiver próximo dos valores máximos para conversão, como $\pm 9\text{V}$, o mesmo sinal poderá ser descrito com 14745 valores digitais diferentes (de acordo com o capítulo 2 – Fundamentação teórica).

A próxima parte é a conversão analógica-digital que finalmente converterá o sinal captado do eletrodo em códigos digitais que o processador poderá analisar.

O conversor A/D contará com 4 canais de conversão, que serão ligados a 4 amplificadores que por sua vez estarão ligados a até 4 eletrodos. Este número foi estipulado por conferir uma certa flexibilidade ao sistema. Com isso é possível analisar o sinal de 1 até 4 eletrodos. A conversão A/D está devidamente descrita no capítulo 2 – Fundamentação teórica.

3.1.4 Circuito digital

A ultima parte, o circuito digital é responsável por controlar todo o resto do sistema. Além disso, é esse circuito que faz a recepção das amostras convertidas pelo conversor A/D, faz o processamento necessário e comanda a interface de saída que, neste projeto, controlará os motores de uma cadeira de rodas automatizada. É composto basicamente por 5 módulos: flash eprom, sram, cpld, interface de saída e processador digital de sinais. A Figura 11 ilustra o diagrama em blocos.

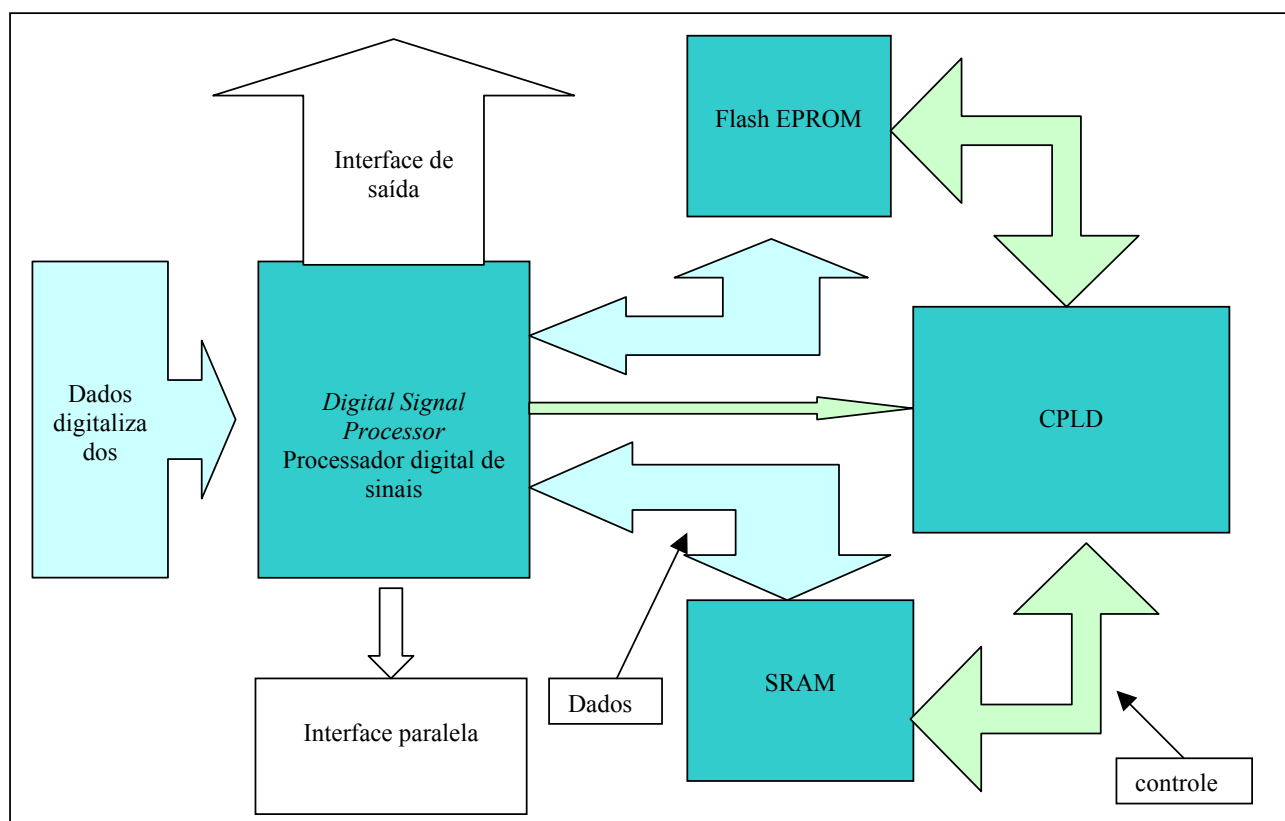


Figura 11 - Diagrama em blocos do circuito digital.

O módulo da flash eprom consiste em um dispositivo de armazenagem não volátil de dados, que aceita, eletricamente, apagamento e gravação. Neste dispositivo estarão armazenadas as informações que compõe o programa a ser executado pelo processador. Uma grande vantagem no uso de flash eprom é, ao contrário da eprom, a sua capacidade de apagamento sem o uso de radiação ultra-violeta. Isso permite que o próprio processador possa fazer a gravação do seu programa, sem a necessidade da retirada do componente do circuito. Este dispositivo contará apenas com 8bits de dados, oque exigirá que o processador

esteja preparado para organizar os dados antes de executá-los, visto que o processador é de 16bits.

O módulo da sram consiste em uma memória estática de acesso randômico. Tal memória será utilizada como auxiliar de armazenamento de dados voláteis, a serviço do processador. Tal memória trabalhará em uma velocidade de acesso muito rápida, de modo a não atrasar o processamento por não disponibilidade de dados.

O módulo do CPLD, que consiste em um dispositivo lógico programável, é responsável por dar apoio ao processador no aspecto de implementar acesso às memórias e auxiliar na interface paralela. O uso do CPLD possibilita, além da economia do espaço na placa de circuito impresso, por implementar internamente as funções que podiam ser desempenhadas por circuitos externos, possibilita a regravação sem tirar o componente do circuito. Tal característica é possível através da interface JTAG, que permite que a funcionalidade do dispositivo seja inteiramente modificada com um impacto quase inexistente no *hardware* já instalado.

A interface de saída é um conector que acessa diretamente os 8 bits menos significativos do processador, bem como linhas de interrupção e controle de barramento.

O último módulo é o próprio processador. Este dispositivo é o responsável por toda a integração e processamento do sistema. Este processador utiliza internamente a arquitetura *Harvard* e tem um conjunto de instruções próprio para executar muito rapidamente cálculos matemáticos. Tais características o tornam ideal para realizar processamento digital de sinais e para a utilização em sistemas em que a resposta rápida seja fundamental (sistemas de tempo-real). Neste sistema, a aquisição dos sinais de EMG, o processamento e o controle dos motores devem ser executados extremamente rápido, para garantir o correto funcionamento e interação do usuário com a cadeira.

3.2. Representação de software

Neste tópico é apresentada a representação de software, que está dividida em duas partes. A primeira trata da parte mais básica do software, que é a carga do software no processador (DSP) e dos testes básicos que garantem a funcionalidade dos componentes do sistema, tal parte é aqui tratada como SIBES (sistema básico de entrada e saída). A segunda parte se encarrega do software principal, que fará o gerenciamento do fluxo de amostras, controlará o número de eletrodos presentes no

circuito e com base nisso procederá o reconhecimento dos padrões específicos para cada comando. Esta parte do software será chamada de SIRGE (sistema de reconhecimento e gerenciamento). Em outras palavras, o SIBES servirá de plataforma para o SIRGE desempenhar o papel a que ele se propõe, o reconhecimento e gerenciamento. Esta divisão entre os softwares torna o desenvolvimento mais simples pois confere modularidade a ambos os softwares. Outra vantagem é a ampla possibilidade de reutilização do código pois o SIBES, mesmo sendo um software simples comparado com o SIRGE, definirá maneiras simples de se poder acessar os vários recursos disponíveis no *hardware*.

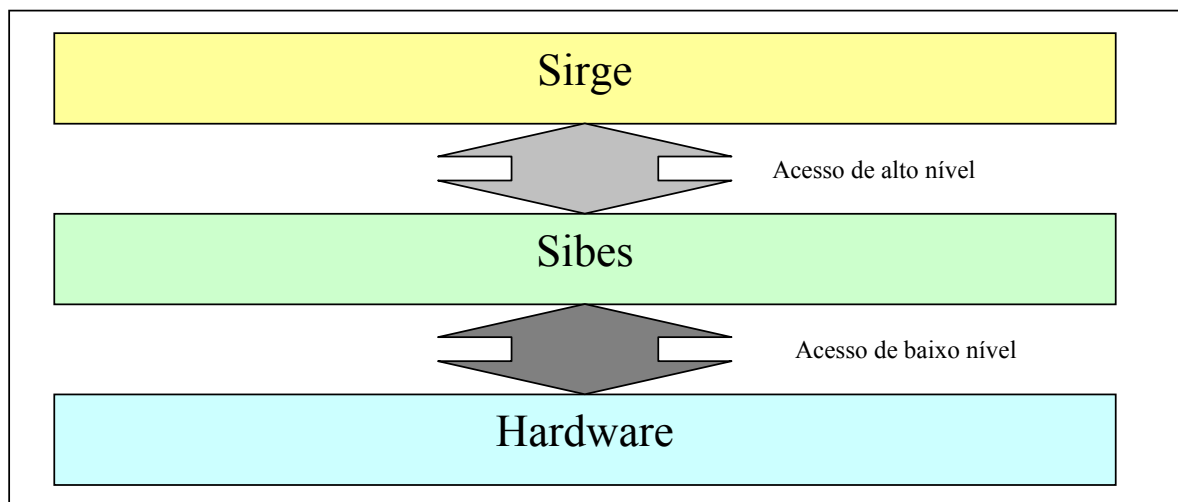


Figura 12 – Representação de software: Interação entre as camadas.

3.2.1 SIBES (sistema básico de entrada e saída)

Esta parte inicial do software irá tratar de viabilizar um acesso simples às funções do hardware do sistema. Tal funcionalidade é necessária e útil por ajudar a simplificar o software que de fato executará algum processamento (SIRGE). Em outras palavras, se o SIBES estiver bem projetado, a consequência será a simplificação e maior confiabilidade do software SIRGE. O software SIBES é dividido em duas partes: os testes funcionais básicos e as rotinas de configuração e acesso aos periféricos.

Esta segunda parte do SIBES tratará apenas do interfaceamento com os periféricos do sistema e, portanto, será explicada no capítulo de projeto.

O funcionamento da primeira parte do SIBES será da seguinte maneira: Primeiramente o DSP sofrerá um reset de *hardware* que fará com que seu *program*

counter (registro contador de programa) seja preenchido com o valor do vetor de reset. Após o reset tal vetor direcionará o DSP a fazer a transferência (download) do código executável que está armazenado na memória FLASH para a memória interna do DSP. A FLASH a seu utilizada é um dispositivo não volátil de armazenamento de dados que funciona com apenas 8 bits de dados. O DSP, por outro lado, só consegue interpretar códigos binários de 16 bits. Portanto, a execução direta do conteúdo da memória FLASH não é possível. Para contornar esse problema o DSP possui um pequeno software já gravado em seu interior, com o objetivo de automatizar e flexibilizar a sua utilização (Rubens,2002). Uma parte desse software chama-se *bootloader* ou carregador de boot. Tal algoritmo permite que um código de 8 bits seja organizado em palavras de 16 bits e armazenado na memória interna ou externa do DSP. O *bootloader* permite vários tipos de transferência de código, como serial, por SEEPRO. Neste trabalho só será considerada a transferência paralela de 8 bits. A vantagem deste tipo de procedimento é a possibilidade de se gravar o código em uma memória relativamente barata, lenta e de fácil gravação e poder executar o software em uma memória rápida (SRAM interna), que é rápida o suficiente para não atrasar o processamento do software por falta disponibilidade de dados. Tal falta de disponibilidade pode significar a inserção de *wait-states* (estados de espera) no ciclo de processamento. Tais *wait-states* atrasam o funcionamento do processador até que o dispositivo com que ele está se comunicando já esteja pronto para enviar ou receber dados. A grande vantagem da memória interna é que ela não tem *wait-states*, o que garante que o seu acesso será rápido na medida que o processador necessitar. Outra vantagem é a possibilidade do próprio DSP receber um novo código, via serial ou paralela, e armazenar na flash, sem a necessidade de retirada do componente do circuito.

Após a transferência do software é feita a configuração dos registradores de controle do DSP e do conversor A/D. Então é necessário que sejam feitas verificações no sistema, a fim de certificar seu funcionamento. O funcionamento do DSP atesta-se apenas pela sinalização do Led de atividade, que deverá piscar incessantemente, a partir do momento que o DSP completar sua carga e configuração. Tal processo ele fará sem precisar da ajuda de outro periférico, com a exceção do CPLD e da FLASH. Após esta etapa, procede-se a configuração do conversor A/D. Então é feito o teste da memória SRAM externa ao processador. Se este teste for bem-sucedido o Led de teste de memória deverá permanecer aceso. Caso contrario o led permanecerá apagado e o processamento travado, indicando

que uma falha grave ocorreu no sistema. Após este teste é executado o teste do conversor A/D, que disponibiliza, internamente tensões de teste, para que possa ser feita a calibração do circuito e posteriormente a leitura de valores provenientes dos eletrodos. Uma vez bem sucedidos tais testes o led de periféricos deverá acender indicando o funcionamento do conversor A/D. Caso este não acenda o erro estará sinalizado e o processamento interrompido.

Se todos os testes anteriores forem executados sem erros, o sistema estará pronto para executar quaisquer outras funções mais avançadas (como o software SIRGE, por exemplo). O fluxograma do SIBES é apresentado a seguir.

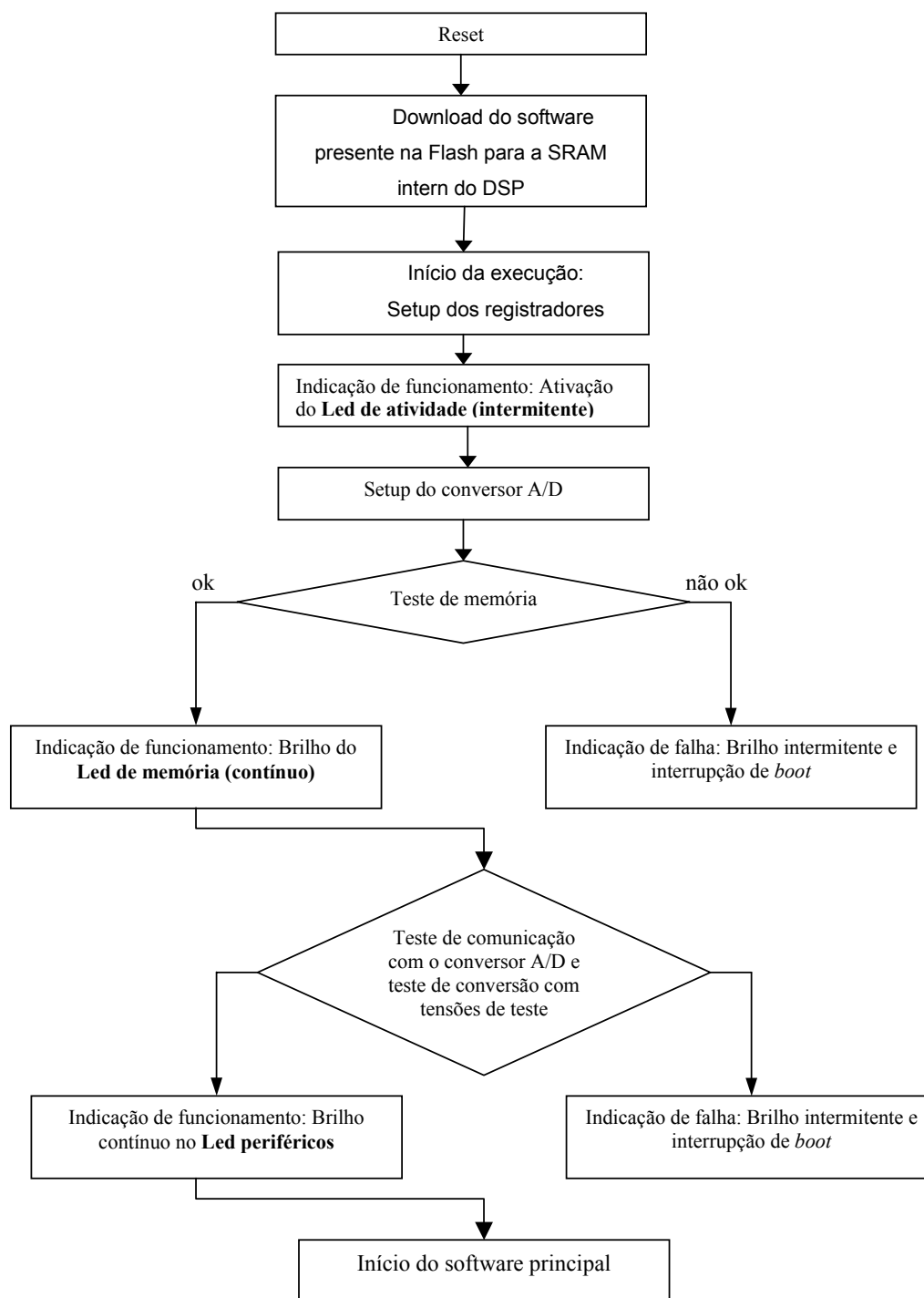


Figura 13 - Fluxograma do SIBES (Sistema Básico de Entrada e Saída).

3.2.2 Software principal

O software principal deste sistema será o algoritmo responsável por fazer o gerenciamento do fluxo de amostras e pelo reconhecimento do comando ativado pelo usuário.

O controle do fluxo de amostras é o gerenciamento do número de eletrodos, da frequência de amostragem que cada um estará submetido, e o controle de conversão e aquisição de dados de cada canal (de 1 a 4), de acordo com os que estejam sendo usados.

O reconhecimento será dividido em duas partes: separação das características relevantes do sinal e submissão à rede neural adequada. A separação das características é um dos fatores mais importantes no que diz respeito ao reconhecimento pois, de acordo com a característica selecionada, o desempenho da rede neural será mais ou menos eficiente. O caso mais eficiente ocorre com a isolação da característica mais marcante ou mais peculiar de cada sinal. Tais características podem ser determinísticas ou estatísticas. Neste utilizam-se cadeias de Markov e naquele podem ser utilizados os algoritmos da FFT, filtros digitais e outras técnicas de processamento digital de sinais que extraiam características determinísticas do sinal como frequência, amplitude ou mesmo padrões conhecidos.

A rede neural utilizada será do tipo *feed-forward* com aprendizado *back-propagation*. Esta rede será usada para aprender com as características selecionadas de cada sinal e ser capaz de, posteriormente, reconhecer tais características em sinais captados pelos eletrodos. A seguir encontra-se o fluxograma do SIRGE.

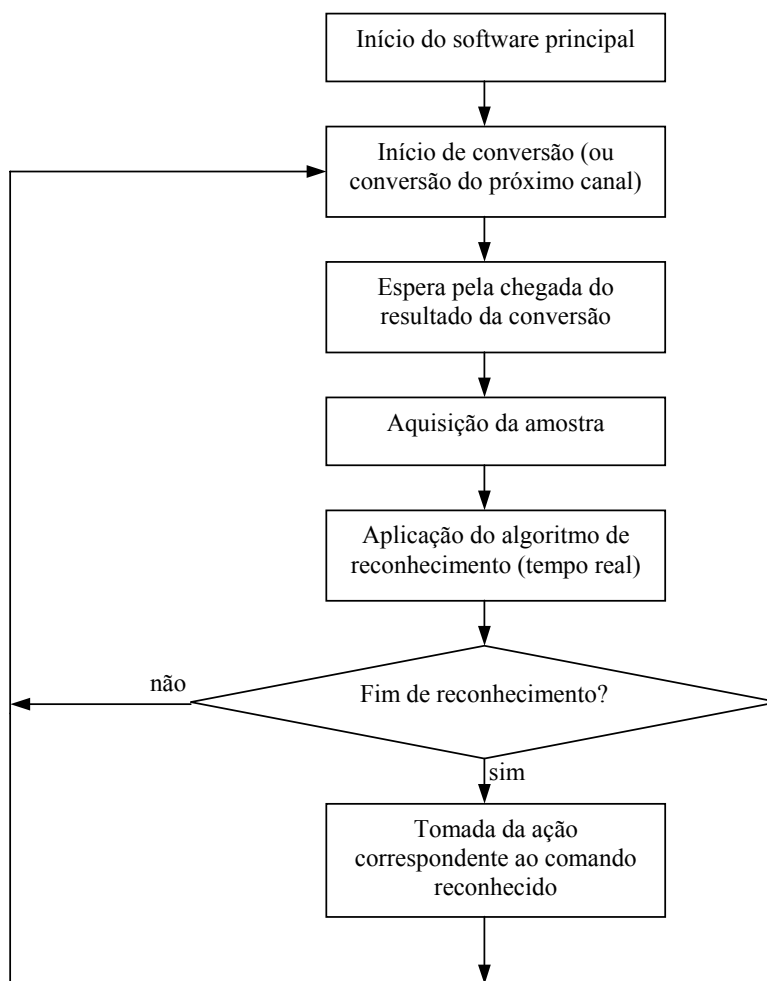


Figura 14 - Fluxograma do SIRGE (Sistema de Reconhecimento e Gerenciamento)

3.3. Módulo adicional

Para o módulo adicional, a ser executado caso o cronograma do projeto seja cumprido antes do planejado, fica definido como sendo a expansão do conjunto dos comandos possíveis de serem executados pelo usuário e reconhecidos pelo sistema. Tal expansão poderá englobar tanto a inclusão de novos movimentos faciais quanto a inclusão de outros eletrodos no paciente.

3.4. Cronograma

[illegible][illegible]

3.5. Infraestrutura

- Laboratório de Eletrônica;
- Conhecimentos de Sistemas digitais;
- Conhecimentos de Microprocessadores;
- Conhecimentos de Processamento Digital de Sinais;
- Equipamento de soldagem de componentes SMD.
- Equipamento de medição e análise eletrônica;
- Software Max Plus II para desenvolvimento e simulação do software do CPLD;
- Software Code Composer Studio para o desenvolvimento do software do microprocessador;
- Software para simulações matemáticas MatLab;
- Software de CAD: Orcad Capture CIS e Layout para o projeto do circuito e de sua placa de circuito impresso;
- Software editor de texto Microsoft Word e de planilhas eletrônicas Microsoft Excel para a confecção da documentação;
- Componentes eletrônicos necessários;
- Eletrodos para captação dos sinais eletromiográficos.

3.6. Previsão de custos

Aqui é apresentada a previsão de custos. O custo da hora-técnica será de R\$4,00/h. O custo da utilização da infraestrutura foi calculado com base d'no preço da mensalidade, R\$815,00, portanto a hora vale R\$12,34/h. Nesta hora de utilização inclui-se o preço de licenças de cada software e preço dos equipamentos da infraestrutura.

- Componentes: R\$130,00
 - Placa de circuito: R\$190,00
 - Hora técnica: $450h \times R\$4,00 = R\1800
 - Infraestrutura (software e documentação): $300h \times R\$12,34 = R\$3705,00$
- Total: R\$5825,00**

4. PROJETO

De acordo com a especificação descrita no capítulo anterior, o sistema a ser desenvolvido deverá seguir o diagrama em blocos descrito na Figura 15.

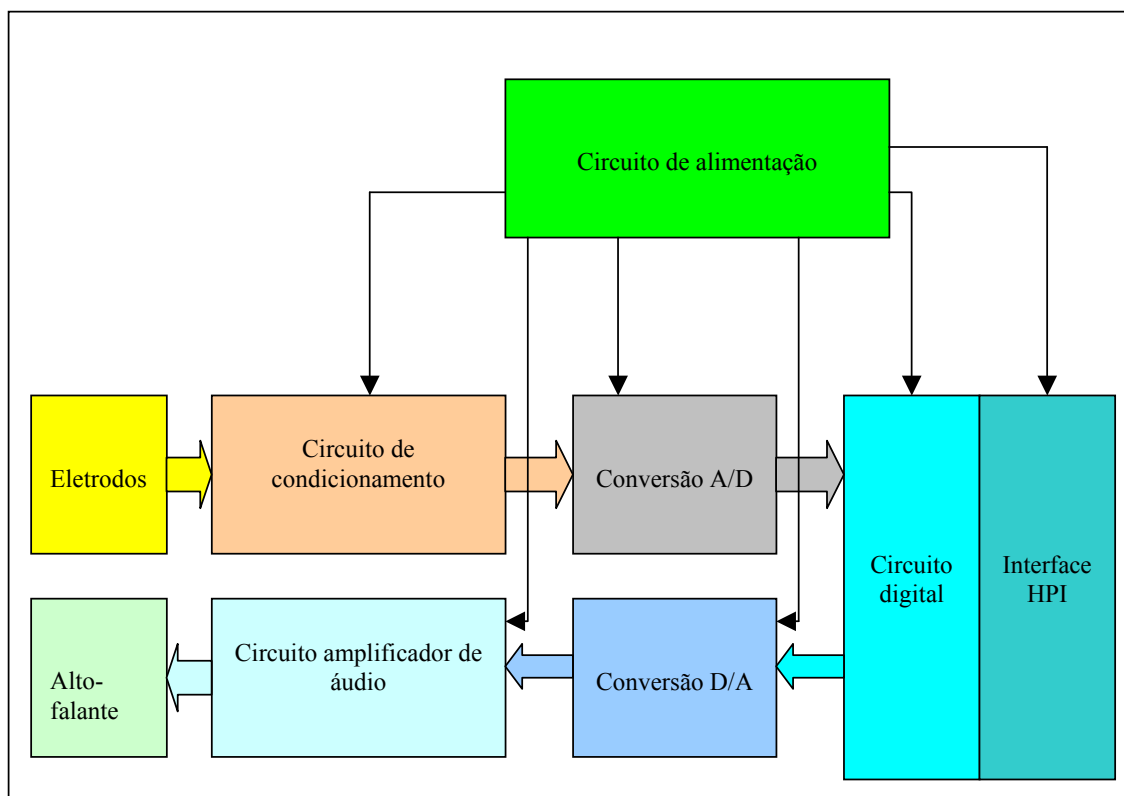


Figura 15 - Diagrama em blocos do sistema completo

4.1. Circuito de condicionamento

O circuito de condicionamento, que também pode ser chamado de circuito analógico, é responsável por preparar o sinal adquirido dos eletrodos e entregá-lo para o circuito de conversão analógico-digital (que será descrito adiante). Este circuito executa algumas transformações no sinal adquirido para melhorar a maneira como ele será convertido ou mesmo para possibilitar a conversão. Esta é a parte do projeto que trabalha de fato com sinais analógicos, e não com uma representação digitalizada do sinal de EMG, como acontece com a parte digital do circuito.

O condicionamento é necessário pois as características do sinal adquirido não correspondem com as características que o conversor A/D necessita para fazer a digitalização. As características que o conversor A/D utilizado, o TLC3544 da Texas Instruments precisa que o sinal analógico aplicado em sua entrada tenha são:

- Faixa de tensão: 0-5V, portanto unipolar;
- Banda de frequência máxima: 0-100kHz;

- Impedância equivalente aplicada em suas entradas analógicas: $<1k\Omega$;
- Sinal com referência à terra analógico² do circuito (*single-ended*).

Por outro lado, as características do sinal adquirido dos eletrodos são as seguintes:

- Amplitude máxima : 2mV de pico , bipolar;
- Banda de freqüência: 0 a 10kHz;
- Impedância equivalente do eletrodo:
- Sinal diferencial

Todos os quatro itens de cada sinal têm que ser trabalhados para se adequar às necessidades do conversor A/D, não permitindo que os eletrodos sejam diretamente conectados ao conversor:

- Faixa de tensão: basicamente, a característica do sinal de EMG é ser bipolar, ou seja, possuir valores negativos e positivos, e ter amplitude máxima de cerca de 2mV de pico. Portanto o processamento analógico do sinal será aplicar um ganho e uma adição de componente DC, para o condicionamento correto. Para se transformar a amplitude do sinal de entrada será aplicado um ganho fixo de 1000 V/V. Este ganho será aplicado em um único amplificador. Este ganho garantirá que os sinais de 2mV de pico que, por serem bipolares tem 4mV pico a pico, passem a ter valores de aproximadamente 4V pico a pico. Ainda é necessária a adição de nível DC, para fazer com que o sinal deixe de assumir valores positivos e negativos e passe a ser somente positivo.
- Banda de freqüência: Os sinais de EMG podem ter freqüência de 0 a 10kHz. Porém, segundo (DeLUCA, 2002) a maior parte da energia está concentrada na faixa de 0 a 1kHz. Por esse motivo a banda do sinal de entrada será limitada a 1kHz. Tal limitação será conseguida através da filtragem passa-baixa (*anti-aliasing*) do sinal de entrada. O conversor analógico tem a sua banda do sinal de entrada limitada de 0 a 100kHz. Isso significa que o conversor pode trabalhar com sinais de até 100kHz e amostra-los em até 200kHz. Ou seja, bem acima da freqüência de 2kHz exigida para a conversão de sinais com banda de 1kHz. Como a

² O terra analógico tem o mesmo potencial do terra digital, porém as correntes que fluem por um não fluem pelo outro.

freqüência de amostragem não é fixa e sim definida pelo microprocessador que se conecta ao conversor, tal característica é uma ótima oportunidade de flexibilização do circuito.

- Impedância equivalente: O conversor A/D, segundo seu *datasheet*, necessita que a impedância do circuito ligado diretamente às suas entradas analógicas seja menor ou igual a $1k\Omega$, para se obter a conversão normalmente. Isso é importante pois, caso o eletrodo ou algum outro circuito resolvesse os problemas citados anteriormente de amplitude e freqüência, de nada adiantaria para o conversor se não houvesse o correto casamento de impedância. Isso pode ser resolvido colocando imediatamente antes do conversor um amplificador operacional. Tais dispositivos tem como característica uma impedância de saída muito baixa. Neste projeto o amplificador utilizado imediatamente anterior ao conversor A/D (como será explicado a seguir) tem impedância muito menor que 100Ω em qualquer freqüência abaixo de $100kHz$.
- Sinal diferencial *versus* sinal referenciado em terra: O conversor A/D necessita de que os sinais aplicados a ele tenham sua referencia em terra. Os sinais captados pelos eletrodos, apesar de serem referenciados ao mesmo potencial que alimenta a referencia de terra do conversor A/D, são muito suscetíveis a ruídos de modo comum. Tais ruídos podem ser subtraídos do sinal de entrada utilizando a configuração diferencial (conforme explicado no capítulo de Especificação, seção Eletrodos), tornando tal configuração muito atrativa. Tais sinais podem ser transformados em um sinal referenciado em terra (terra analógico do circuito) utilizando-se um amplificador diferencial. Tal amplificador amplifica a diferença matemática entre os sinais diferenciais de entrada. O resultado é um sinal baseado no sinal original adquirido diferencialmente, amplificado, com grande atenuação de ruído de modo comum e com referência no terra analógico do circuito.

Portanto, essas modificações no sinal de entrada descritas anteriormente podem ser aplicadas segundo o circuito constante no diagrama elétrico anexo, nas páginas intituladas de circuito de condicionamento .

4.1.1 Amplificador de instrumentação:

O amplificador de instrumentação escolhido será o INA326, da Texas Instruments. Esse dispositivo é um encapsulamento que comporta apenas 1 amplificador de instrumentação. Cada um desses amplificadores é composto por 3 amplificadores operacionais ligados internamente para configurá-lo como amplificador de instrumentação.

Matematicamente a operação realizada por esses dispositivos é a representada equação [1], em que V_o é a tensão de saída, G é o ganho e V_1 e V_2 são as tensões de cada uma das entradas do amplificador.

$$V_o = G.(V_1 - V_2) \quad [1]$$

Como o sistema contará com 4 canais serão utilizados 4 circuitos integrados. Esse tipo de amplificador é ideal para ser ligado aos eletrodos pois possui uma altíssima impedância de entrada, de cerca de 1×10^{10} , além de trabalhar na configuração de amplificador diferencial. O amplificador diferencial resolve o problema do sinal de entrada ser adquirido diferencialmente, pois ele amplifica a diferença desses dois sinais e gera um só sinal referenciado no terra analógico (sinal *single-ended*). A vantagem da alta impedância é a corrente que flui pelos terminais e entrada ser praticamente nula. Isto evita o dreno excessivo de corrente da fonte geradora de sinais (neste caso os eletrodos), e a conseqüente degradação ou distorção do sinal adquirido. Outra característica importante é o CMRR de 120dB, para as frequências mais baixas (até 1kHz). O CMRR (*Common Mode Rejection Ratio* –Taxa de Rejeição de modo comum) é uma medida que diz respeito a quanto o dispositivo consegue atenuar tensões iguais presentes nas entradas diferenciais do amplificador. Portanto, este dispositivo consegue atenuar em cerca de 120dB (ou aplicar um ganho de $-1.000.000V/V$) os sinais aplicados simultaneamente em suas entradas. Isto é importante para a separação do sinal de interesse do ruído presente na aquisição, pois se o ruído estiver incidindo igualmente nas duas entradas do amplificador, a atenuação causada pelo alto CMRR irá diminuir enormemente a amplitude do ruído.

Este amplificador estará configurado para trabalhar com um ganho de 1000 V/V e uma banda de frequência linear até cerca de 100kHz. A sua alimentação será de +5V e as suas entradas são protegidas contra tensões de até $\pm 40V$. Este aspecto da alimentação não conter componentes negativas é muito útil pois dispensa-se a necessidade de se ter circuitos que gerem tensões negativas. Isto

só é possível devido ao pino de referência disponibilizado no INA326. A função deste pino é determinar o valor da saída do amplificador quando as suas duas entradas estiverem com o mesmo potencial elétrico. Neste projeto aplicou-se uma tensão de 2.5V nesse pino, por meio de um divisor resistivo que pode ser visto no esquema elétrico anexo nas páginas de título circuito de condicionamento.

A aplicação desta tensão provoca uma alteração na fórmula apresentada na equação [1], como pode ser visto na equação [2].

$$V_o = V_{ref} + G(V_1 - V_2) \quad [2]$$

Portanto, a tensão aplicada no pino de referencia será somada diretamente ao resultado da amplificação. Isto possibilita que se possa ter diferenças de potencial entre V1 e V2 que, depois de amplificadas, tenham valores negativos, pois a tensão de referencia acaba por elevar o valor para outro acima de zero. Ainda assim existe o problema de a diferença de potencial entre V1 e V2 ser tal que o resultado da operação do amplificador resultasse em uma tensão ou abaixo de zero ou acima de 5V. Isto compromete a operação e a integridade do conversor A/D, que suporta somente tensões de 0 a 5V. Como solução, utilizou-se outra característica do INA326, que é o *single-supply* (ou alimentação simples). Devido às suas características próprias, esse amplificador poder ser operado normalmente com uma tensão de alimentação tanto simétrica (+/- 5V, por exemplo) ou simples (apenas +5V), como foi o caso do circuito deste projeto. Com isso limita-se realmente a excursão do sinal de saída do amplificador entre 0 e 5V, protegendo-se o conversor A/D de ser exposto a tensões fora de sua especificação. A Figura 16 mostra o tipo de tratamento que este circuito deve aplicar nos sinais.

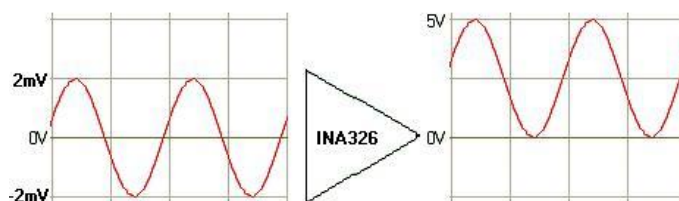


Figura 16 - Funcionamento do circuito de condicionamento

4.1.2 Filtro Passa-Baixa

Esse filtro tem como principal finalidade, servir como filtro *anti-aliasing*. O filtro deste circuito é composto por um resistor em série com a saída do amplificador de instrumentação e um capacitor de tântalo. O uso desse tipo de filtro é importante para limitar a banda de frequência do sinal de entrada a pelo menos metade da

freqüência de amostragem. Se freqüências superiores à metade da freqüência de amostragem forem permitidas a chegar até o estágio de conversão A/D poderá ocasionar o ruído de *anti-aliasing* que, segundo a teoria da amostragem (SMITH, 1997), pode distorcer significativamente o sinal a ser convertido, durante a sua digitalização.

O filtro utilizado é do tipo passivo RC, passa-baixa, 1ª ordem, com freqüência de corte em 1kHz. A atenuação deste filtro certamente não é tão eficiente quanto de um filtro ativo. Porém, com freqüência de corte de 1kHz, a atenuação provocada em 5kHz é significava. Portanto a freqüência de amostragem deste circuito foi estabelecida para ser, no mínimo, de 10kHz. Como o conversor A/D utilizado suporta até 200kHz de freqüência de amostragem, ele pode acomodar tranqüilamente tal freqüência.

4.2. Conversão analógico-digital

Este estágio é o responsável por transformar o sinal analógico adquirido e condicionado em códigos digitais que podem ser utilizados pelo processador do sistema. O conversor A/D utilizado é o TLC3544, fabricado pela Texas Instruments. Este dispositivo conta com resolução de 14bits, 4 entradas analógicas unipolares, conversão do tipo aproximação sucessiva e freqüência de *throughput* máxima de 200000 amostras por segundo. O parâmetro *throughput* indica a maior velocidade possível de se converter dados. Portanto, se for utilizado apenas um canal, é possível que este seja amostrado a 200kHz. Porém, se forem utilizados os 4 canais a taxa de amostragem máxima por canal reduz-se para 50kHz, supondo-se aquisição consecutiva do sinal em cada entrada. Para este projeto isto não é uma limitação, pois mesmo que fosse adquirida a banda total de sinais de EMG, seria necessária uma freqüência de amostragem de 20kHz, segundo (SMITH, 1997) e (VEGTE, 2002). Como cada canal pode funcionar com até 50kHz de amostragem a faixa dos sinais de EMG está totalmente coberta.

Este dispositivo aceita em suas entradas valores analógicos de 0 a 5V e trabalha com níveis de tensão de 0 a 3,3V em suas entradas digitais. Essa característica das entradas digitais é importante pois este dispositivo será conectado a um processador (explicado mais adiante) que utiliza tensão de I/O de 3,3V. Essa flexibilidade do uso de duas fontes de alimentação distintas para a parte analógica e para a parte digital do conversor permite a conexão direta entre

ele e o processador. Caso tal flexibilidade não estivesse disponível, seria necessária a utilização de um *level-shifter*, que adequa os níveis de tensão de 0 a 3,3V para 0 a 5V, em ambos os sentidos.

Os quatro canais são multiplexados dentro do conversor por um multiplicador do tipo *break-before-make* com redistribuição de cargas. A vantagem deste tipo de mux é a interrupção da passagem dos canais de entrada antes da troca do canal que será vinculado à saída. Isto evita a que haja curto-circuito entre as entradas do conversor. A redistribuição de cargas atenua o efeito de memória que pode existir no conversor quando se troca de um canal para outro. Seria como se o nível do sinal anteriormente adquirido provocasse uma atenuação ou amplificação do nível do sinal adquirido imediatamente.

Esse conversor comunica-se com o processador por meio de um esquema de ligação serial chamado SPI[™] modificado. O padrão SPI (Serial Peripheral Interface – Interface serial de periféricos) conta com 3 ligações em os elementos comunicantes: o clock, a saída de dados e a entrada de dados. Esse padrão é ideal para transmissões síncronas. Porém, o fluxo de dados entre o conversor e o processador não será constante, podendo haver descontinuidades na transmissão. Para solucionar tal problema, um quarto sinal é adicionado ao padrão, que é o sinal **FS**, ou *frame synchronization* que significa sincronização de quadro. Esse sinal representa o início da transmissão de cada quadro de 16bits. Na configuração utilizada neste projeto o sinal de FS é gerado pelo processador e indica o início tanto de comunicações do processador para o conversor quanto o contrário.

O formato dos dados da conversão podem ser tanto o binário quanto o complemento de 2. A Figura 17 ilustra o funcionamento do A/D com os dois formatos de dados possíveis.

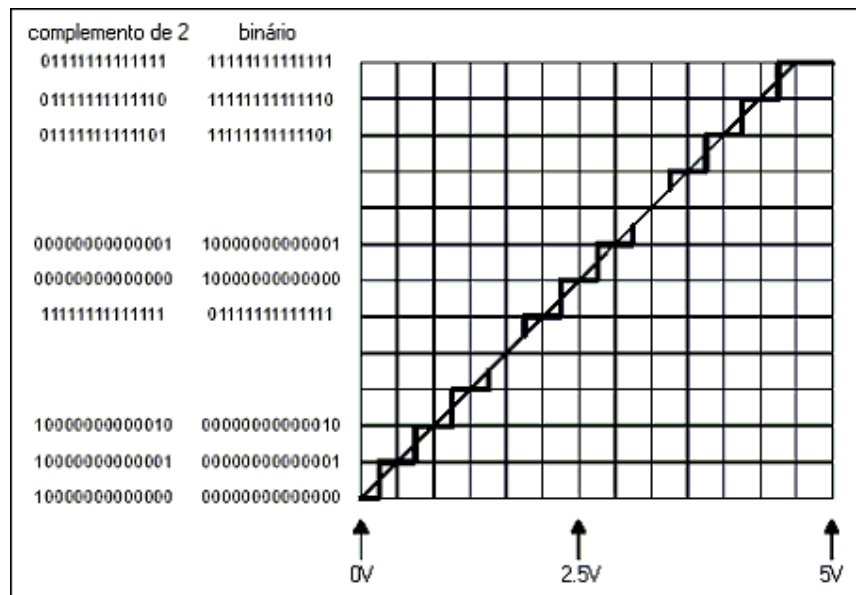


Figura 17 - Correspondência entre os valores da entrada com os códigos digitalizados

Um sinal de interrupção ativo em zero é utilizado para sinalizar o processador do fim da conversão simples ou do tanto de conversões automáticas programadas.

O funcionamento do conversor inicia-se com o comando enviado pelo processador indicando a seleção do canal a ser convertido e a automática conversão. Simultaneamente o dado da conversão anterior é transmitido ao processador. Outra característica importante deste conversor é a presença de um registrador do tipo FIFO de profundidade programável, que permite a conversão automática de uma série de dados para a posterior transmissão ao processador.

O conversor pode trabalhar com 4 modos distintos de operação:

- *Single shot* ou disparo único: Apenas uma única conversão do canal selecionado é feita. Utilizada quando não são necessárias aquisições consecutivas automáticas de sinais do mesmo canal ou de canais diferentes.
- *Repeat* ou repetição: São feitas várias conversões consecutivas do sinal da entrada escolhida, até ser atingido o nível programado para o preenchimento do registrador interno FIFO.
- *Sweep* ou varredura: O conversor converte o sinal presente nas entradas presentes na lista de conversão até o preenchimento do FIFO. É então acionada a interrupção para avisar ao processador do fim da conversão dos canais.

- *SweepRepeat* ou varredura repetida: Idêntico ao modo anterior porém sem a necessidade de se ler o conteúdo do FIFO ao final de cada conversão do conjunto canais selecionados.

Para cada comando possível de se passar ao conversor existe um código correspondente que deverá ser enviado pelo processador. Também outra característica importante é que, além dos 4 canais disponíveis existem ainda 3 tensões para testar a conversão, selecionáveis por software. São elas: 0V, 2.5V e 5V. A Tabela 1 mostra os comandos que podem ser enviados ao conversor A/D.

Tabela 1 - Comandos do conversor A/D TLC3544

SDI Bit D[15:12]		TLC3548 COMMAND	TLC3544 COMMAND
BINARY	HEX		
0000b	0h	SELECT analog input channel 0	SELECT analog input channel 0
0001b	1h	SELECT analog input channel 1	SELECT analog input channel 1
0010b	2h	SELECT analog input channel 2	SELECT analog input channel 2
0011b	3h	SELECT analog input channel 3	SELECT analog input channel 3
0100b	4h	SELECT analog input channel 4	SELECT analog input channel 0
0101b	5h	SELECT analog input channel 5	SELECT analog input channel 1
0110b	6h	SELECT analog input channel 6	SELECT analog input channel 2
0111b	7h	SELECT analog input channel 7	SELECT analog input channel 3
1000b	8h	SW POWER DOWN	
1001b	9h	Reserved (test)	
1010b	Ah	WRITE CFR, the last 12 bits of SDI are written into CFR. This command resets FIFO.	
1011b	Bh	SELECT TEST, voltage = (REFP+REFM)/2	
1100b	Ch	SELECT TEST, voltage = REFM	
1101b	Dh	SELECT TEST, voltage = REFP	
1110b	Eh	FIFO READ, FIFO contents is shown on SDO; OD[15:2] = result, OD[1:0] = xx	
1111b	Fh	Hardware default mode, CFR is loaded with 800h	

4.3. Conversão digital-analógica

Esta parte do circuito é a responsável por providenciar uma saída analógica para o circuito digital. Tal saída será inserida em um amplificador operacional para aplicar a saída em fones de ouvido, para possibilitar um *feedback* da operação do sistema. O conversor utilizado será o DAC8532, de 16bits, fabricado pela Texas Instruments. Este dispositivo conta com dois canais de saída podendo fazer com que a saída seja estéreo. Este fato pode ser útil para se sinalizar o usuário do funcionamento do sistema, com relação à direção de deslocamento, no caso de se utilizar na cadeira de rodas. Este dispositivo pode atualizar suas saídas tanto individualmente quanto simultaneamente e também recurso de *power-down*. Sua interface serial (SPI) é parecida com a do conversor A/D. Porém utiliza apenas 3 ligações: DIN, /SYNC e SCLK. A comunicação será feita com o processador através de uma das suas portas seriais. Preferivelmente a segunda, pois a primeira estará sendo utilizada pelo conversor A/D. A transmissão de dados entre o processador e o conversor deverá ser feita em 24bits. Os 8 primeiros bits são destinados ao controle do dispositivo e os resto dos 16bits significam o dado a ser convertido. Com os dados de controle controlam o canal que será enviada a amostra, comanda o modo de *power-down* e especifica a atualização das saídas: se individual ou simultânea. A Tabela 2 demonstra os comandos do conversor D/A.

Tabela 2 - Comandos do conversor D/A DAC8532

D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13-D0	DESCRIPTION
Reserved	Reserved	Load B	Load A	Don't Care	Buffer Select	PD1	PD0	MSB	MSB-1	MSB-2...LSB	
(Always Write 0)					0 - A, 1 - B						
0	0	0	0	X	#	0	0	Data			WR Buffer # w/Data
0	0	0	0	X	#	(see Table III)			X		WR Buffer # w/Power-Down Command
0	0	0	1	X	#	0	0	Data			WR Buffer # w/Data and Load DAC A
0	0	0	1	X	0	(see Table III)			X		WR Buffer A w/Power-Down Command and LOAD DAC A (DAC A Powered Down)
0	0	0	1	X	1	(see Table III)			X		WR Buffer B w/Power-Down Command and LOAD DAC A
0	0	1	0	X	#	0	0	Data			WR Buffer # w/Data and Load DAC B
0	0	1	0	X	0	(see Table III)			X		WR Buffer A w/Power-Down Command and LOAD DAC B
0	0	1	0	X	1	(see Table III)			X		WR Buffer B w/Power-Down Command and LOAD DAC B (DAC B Powered Down)
0	0	1	1	X	#	0	0	Data			WR Buffer # w/Data and Load DACs A and B
0	0	1	1	X	0	(see Table III)			X		WR Buffer A w/Power-Down Command and Load DACs A and B (DAC A Powered Down)
0	0	1	1	X	1	(see Table III)			X		WR Buffer B w/Power-Down Command and Load DACs A and B (DAC B Powered Down)

4.4. Circuito de amplificação de saída

Este estágio do circuito será responsável por fazer a amplificação do sinal que sai do conversor D/A e será aplicado em alto-falantes de pequena potência (fones de ouvido). O dispositivo utilizado é o TPA152, fabricado pela Texas Instruments. Apesar de ser possível adicionar ganho ao circuito, o TPA será utilizado apenas como seguidor de tensão. Isto é necessário quando se deseja ligar um dispositivo de baixa potência em um outro que exige potência maior, como acontece no caso de se interligar o conversor diretamente aos fones de ouvido. O TPA152 é um circuito integrado que reúne em um encapsulamento dois amplificadores operacionais de alta fidelidade, capazes de operar na faixa de áudio. O circuito conta também com um sinal de ***mute***, para suprimir o sinal de saída dos operacionais, caso seja conveniente. Este dispositivo tem, internamente, um circuito para geração automática de ***offset*** de saída de valor igual a $V_{DD}/2$. Isto significa que qualquer sinal de saída terá excursão máxima entre 0V e VDD. O processo de adição de ***offset*** é similar ao descrito anteriormente na seção de condicionamento de sinal. Porém, neste circuito, não é necessária a precisão ou a estabilidade necessárias em um circuito de aquisição. Portanto é possível optar por um amplificar de custo menor e com a característica da adição de ***offset*** já incluída, ao invés de um circuito de precisão. O ***offset*** na saída é necessário para fazer com que o acoplamento capacitivo com o fone de ouvido funcione corretamente. O acoplamento capacitivo é o ato de se colocar, em série com a saída do circuito, um capacitor. Tal elemento, colocado em série, representa uma resistência muito alta para componentes de frequência muito baixas. No caso ideal isso significa que apenas as componentes espectrais diferentes de zero hertz (nível DC) conseguirão atravessar o capacitor e chegar até a saída que é, neste caso, um fone de ouvido. O capacitor retira o ***offset*** inserido pelos amplificadores de áudio. A utilidades disso são basicamente duas: a primeira é evitar o uso de fontes negativas na alimentação de tais amplificadores, pois estas não são reguladas (mas sim geradas a partir de tensões reguladas). A segunda é fazer com que os fones de ouvido não estejam expostos a níveis DC. Tais níveis podem gerar zumbidos quando em repouso e/ou distorções quando houver sinal aplicado.

4.5. Circuito digital

Esta é a parte do circuito responsável pelo processamento dos sinais adquiridos, envio de sinalização para o usuário, gerenciamento do fluxo de conversões, gerenciamento de memória e comunicação com o PC. O circuito conta com um DSP (*Digital Signal Processor* – processador digital de sinais), memórias SRAM e FlashEeprom, um CPLD e demais circuito de apoio. A mostra a estrutura em blocos do sistema digital e as seções seguintes apresentam cada bloco.

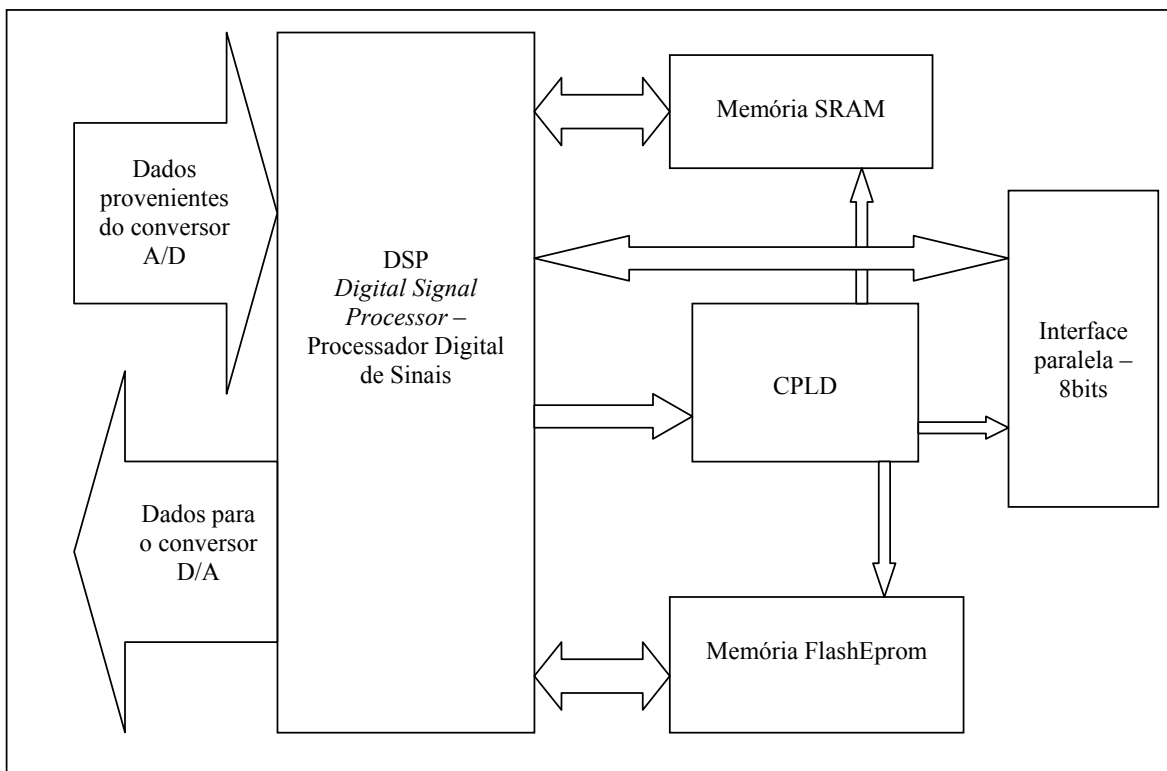


Figura 18 - Diagrama em blocos do sistema digital

4.5.1 DSP (*Digital Signal Processor* – Processador Digital de Sinais)

O circuito digital deste projeto é baseado em um processador digital de sinais, também chamado de DSP (*Digital Signal Processor*). O dispositivo escolhido é o TMS320VC5402, fabricado pela Texas Instruments. Este tipo de processador pode executar qualquer tarefa que microcontroladores ou microprocessadores convencionais podem executar. Porém os DSP são otimizados para executar operações matemáticas de forma muito rápida. Tais operações são especialmente direcionadas para o processamento de sinais digitalizados, como o que acontece neste trabalho.

Este DSP utiliza uma estrutura Harvard modificada com conjunto de instruções RISC (Reduced Instruction Set Computer – Computador com conjunto reduzido de instruções). A característica RISC confere a ele a capacidade de funcionar com poucas instruções que executam amplas tarefas de baixo-nível. Um exemplo é a instrução multiply-accumulate, que executa a operação de multiplicação e somatório automaticamente para um conjunto de dados, útil para a implementação de convolução.

A modificação da estrutura Harvard altera o modelo original, com um barramento de dados e um barramento de programa, para um de programa e três de dados ligados a espaços separados de dados e programa. Isto permite que o DSP realize duas operações de leitura e uma de escrita na memória de dados a cada ciclo de máquina. Devido a sua estrutura RISC, todas as instruções são executadas em um ciclo de máquina (10ns, com clock de 100MHz). Operações de leitura e escrita a memória ou outros dispositivos externos realiza-se em, no mínimo, 2 ciclos de máquina.

O DSP conta com periféricos internos destinados a facilitar a sua operação:

Bootloader: software que transfere o código a ser executado (firmware) de um dispositivo de acesso lento, como uma FlashEeprom, para a memória interna que é acessada na velocidade do ciclo de máquina;

2 portas seriais multicanal (também chamadas de McBSP), para a comunicação com periféricos externos ou outros processadores;

Memória RAM interna de 16Kx16bits de acesso ultra-rápida;

Memória ROM interna com uma série de softwares prontos para auxiliar no funcionamento: bootloader, tabela de senos, vetor de interrupções e outras funcionalidades;

Gerador interno de wait-states (estados de espera), para possibilitar a interface do DSP com dispositivos mais lentos;

2 timer's de 16bits;

Controlador de DMA;

Porta HPI: permite a um outro processador (PC, por exemplo), chamado de host, a acessar a memória interna do DSP, sem interromper a execução do programa do DSP. Em conjunto com o gerenciador de DMA, a HPI permite que qualquer área seja acessada enquanto o DSP acessa outra área;

Phase Locked Loop (PLL): permite que seja utilizado um cristal de frequência muito inferior à de trabalho. O PLL multiplica esta frequência por um valor configurável.

4.5.2 CPLD (*Complex Programmable Logic Device* – Dispositivo programável de lógica complexa)

Este estágio do circuito consiste em um dispositivo programável de lógica complexa, ou seja, é possível se implementar dentro do *chip*, uma lógica booleana, tanto seqüencial quanto combinacional. Portanto o uso deste tipo de dispositivo permite a redução do *hardware* que será colocado na placa de circuito impresso, reduzindo custos de tamanho de placa e componentes. Outra vantagem é o aumento da flexibilidade do circuito pois, pelo fato do circuito aceitar múltiplas gravações, a sua lógica interna pode ser modificada sem nem mesmo tirá-lo do circuito em que está colocado. O dispositivo escolhido para CPLD é o EPM3064A, fabricado pela Altera. A sua programação e gravação são feitas no ambiente fornecido pela Altera, MAX PLUS II, utilizando a linguagem de descrição de *hardware* AHDL. O dispositivo trabalha com a mesma tensão de I/O do processador, 3.3V. Isso significa que o dispositivo é apropriado para ser conectado diretamente ao processador, sem necessidade de circuitos adicionais. Outra vantagem é que seus pinos de I/O são tolerantes a 5V. Isso permite que o CPLD possa trabalhar sem problemas em circuitos que tenham dispositivos alimentados tanto por 3.3V quanto por 5V. Naturalmente seus níveis de tensão de saída são compatíveis com ambos os padrões.

O EPM3064A conta com 1250 portas usáveis e 34 pinos disponíveis para I/O (no encapsulamento PLCC44, utilizado neste projeto), programáveis por meio do software que será gravado nele. O dispositivo terá a função de reduzir a lógica física do circuito implementando, em software, as funcionalidades descritas na Tabela 3.

Tabela 3 - Tabela de funcionalidades do CPLD

Funcionalidade	Sinais de entrada utilizados	Sinais de saída utilizados
Gerenciamento de SRAM	D[..],A[..],/MSTROBE, /DS,R/W	/WE_SRAM /CE_RAM /OE_SRAM_FLASH
Gerenciamento de FLASH		/WE_FLASH /CE_FLASH /OE_SRAM_FLASH

Lógica parcial da interface HPI	/HDS1 /HR//W	HBIL /HR//W
Registrador de página de flash	D[..],A[..],/IOSTROBE, /IS,R//W	Sel_pag_flash0 Sel_pag_flash1
Gerenciamento dos <i>led's</i> do sistema		LED_PAR_OK LED_ATIVIDADE LED_PERIF_OK
Controle da geração de <i>wait-states</i> adicionais		GER_WS
Controle da ativação da amplificação de saída		AUDIO_MUTE

- Gerenciamento de SRAM e de FLASH

Essa função do CPLD diz respeito à ativação dos sinais necessários ao acesso de leitura e escrita na memória SRAM ou na memória FLASH. Isto é necessário por causa da configuração do mapa de memória intrínseco ao DSP e do funcionamento do software de *bootloader* já pertencente à memória ROM interna do DSP. Esse gerenciamento identificará qual dispositivo terá que ser ativado, acionando os sinais apropriados. Por causa do mapa e do *bootloader* tanto a memória SRAM quanto a FLASH devem permanecer no mesmo espaço da memória de dados (a descrição de ambos está na seção do DSP). De acordo com o conteúdo do registrador de acesso da flash/sram o acesso automático ao dispositivo é feito. No *reset* o acesso é automaticamente configurado para acessar a FLASH, para que o software do *bootloader* possa fazer a transferência do código da FLASH para a memória externa.

- Lógica parcial da interface HPI

Essa função tem por objetivo reduzir a lógica externa no circuito e propiciar o tratamento adequado a alguns dos sinais que compõe a *host parallel interface* (HPI, descrita na seção do DSP). O tratamento será a simples inversão lógica do sinal HR/W, responsável pela seleção da operação de escrita ou leitura pela porta HPI. Também é feito o tratamento do sinal HBIL, responsável por informar qual *nibble* (de 8bits) está sendo lido ou escrito na porta HPI. Este tratamento consiste na inversão do sinal HBIL a cada ciclo completo do sinal /HDS1, conectado à porta paralela do PC. Para facilitar a comunicação e identificação de qual *nibble* está sendo acessado, essa lógica também disponibiliza o *reset* do sinal HBIL, indicando que *nibble* inferior está sendo acessado

- Registrador de página de flash

Este registrador tem a função de selecionar, com 2bits, qual é a página da memória flash que está sendo acessada. Existem 4 páginas disponíveis para uso, tanto para acessos do tipo somente-leitura quanto para acessos de gravação de dados. É importante notar que o acesso de gravação destina-se somente a guardar dados não voláteis e que, de preferência, estejam todos agrupados no momento da gravação. Isso se deve ao tempo requerido para se fazer a gravação (5s para se gravar os 2Mbits) e da sua característica de gravação por blocos de 128 bytes. Tal

gravação sobrescreve os dados internos 128 bytes por vez. Por estas razões a FLASH não pode ser utilizada como expansão da memória SRAM.

- Gerenciamento dos *led's* do sistema

Esta parte do CPLD executa o controle dos *led's* disponíveis no sistema: LED_ATIVIDADE, LED_PAR_OK e LED_PERIF_OK.

A função dos *led's* LED_PAR_OK e LED_PERIF_OK é somente sinalizar ao desenvolvedor/usuário que o teste de paridade da memória externa e o teste dos periféricos (conversor A/D) foi concluído com sucesso ou não. Caso os testes sejam bem sucedidos, os *led's* correspondentes devem apenas ficar acesos. No caso de falha em algum dos testes, o *led* correspondente ficará piscando.

O *led* LED_ATIVIDADE sinalizará o funcionamento do sistema. Ele deverá ficar piscando para indicar que o sistema realizou a transferência do código da FLASH para a memória interna com sucesso e começou a sua execução. Caso algo aconteça de errado o *led* permanecerá apagado.

- Controle da geração de *wait-states* adicionais

Esta função disponibiliza um gerador programável de *wait-states* para o DSP, com controle de ativação. Seu objetivo é fazer com que o processador aumente o tempo de espera para finalizar uma operação de escrita/leitura, a fim que o dispositivo com que o DSP esteja trocando informações possa realizar a sua operação apropriadamente. Ou seja, no caso de ter-se algum dispositivo cujo acesso ao barramento é mais lento que o DSP a inserção de *wait-states* é inevitável. O uso de gerador externo de *wait-states* é necessário quando esse tempo requerido pelo outro dispositivo extrapola o atraso máximo que o gerador de *wait-states* interno do DSP, de até 14 *wait-states*. Isto é útil na necessidade de se precisar substituir a memória flash atual (cuja velocidade é 90ns) por uma mais lenta (indisponibilidade de aquisição do componente).

- Controle da ativação da amplificação de saída (mute)

Esta função tem for finalidade ativar ou desativar a atenuação de 110dB que pode ser aplicada à saída analógica estéreo do sistema. O objetivo é suprimir ou não o sinal presente na saída do amplificador de áudio TPA152 (descrito na seção de amplificação de áudio).

A Tabela 4 demonstra a tabela de entrada e saída que será utilizada no CPLD para a implementação das funcionalidades descritas para o CPLD.

Tabela 4 - Tabela de E/S implementado no CPLD, por software

Função	Endereço (hexadecimal)
<i>Reset</i> de HBIL	8xx0
Acesso às páginas da FLASH	8xx1
Acesso aos leds	8xx2
VAGO	8xx3
Configuração do gerador de <i>wait-states</i>	Cxx0
Controle de acesso SRAM/FLASH	Cxx1
Acesso ao AUDIO_MUTE	Cxx2
Ativação/desativação do gerador de <i>wait-states</i>	Cxx3

4.5.2 Memória FlashEprom

Este dispositivo é o responsável por guardar os dados não voláteis relativos ao sistema (dados que, na falta de alimentação do dispositivo, permanecem armazenados). Tais dados são o firmware para o *boot* do DSP, as operações matemáticas que realizarão o processamento do sinal de entrada, os mecanismos de gerenciamento do fluxo de amostras e comunicação com o PC, e quaisquer outros dados que sua permanência não-volátil no sistema seja necessária. O dispositivo utilizado será a *flash* W29C020, fabricada pela Winbond. Tal dispositivo trabalha com 2Mbits organizados em 262144 palavras de 8bits (256k x 8). Ela conta com velocidade de acesso de 90ns. Isto significa que o tempo necessário entre o acionamento de seu sinal de *chip select* (/CS) e a leitura de dados válidos é de, no mínimo, 90ns. Este tempo é muito superior ao tempo que o DSP leva para acessar um dispositivo de I/O, que é cerca de 15ns. Contando que para a ativação da *flash* ainda deverá ser contado o tempo de propagação pelo CPLD, que é de no mínimo 10ns pelo menos 100ns devem ser contados até o seu acesso. O DSP está preparado para suportar geração automática de tempos-de-espera (*wait states*), justamente para poder se comunicar com dispositivos mais lentos.

O procedimento de leitura da memória é semelhante a de qualquer outra memória somente de leitura ou RAM. Estando o dispositivo acionado pelo sinal de /CS (*Chip Select* – seleção de *chip*), o sinal de /OE (*Output Enable* – habilitação de saída) controla a transferência dos dados selecionados da camada interna de memória para o barramento externo, ao alcance do DSP.

A memória *flash* também aceita gravação e apagamento elétrico, ou seja, não é necessário a retirada do dispositivo do circuito para se fazer a gravação de um novo firmware. Quando o comando de gravação é acionado no dispositivo, por meio do pino /WE (*write enable* – habilitação de escrita), automaticamente é feito o apagamento da área a ser gravada. A gravação integral do dispositivo é feita em pelo menos 5s. O procedimento de gravação é feito por blocos de 128bytes. Aciona-se o sinal /WE e escreve-se, seqüencialmente, 128bytes na memória. Após isso, desativa-se o sinal /WE e o apagamento e gravação do dispositivo terá início. É possível, portanto, fazer a gravação de blocos separados, como se fosse páginas, sem afetar os demais blocos.

Esta memória utiliza 18 linhas de endereçamento, enquanto que o processador disponibiliza apenas 16bits para tal fim. As duas linhas que sobram serão controladas pelo CPLD e serão consideradas como identificadoras de **página da memória flash**. Tais linhas dividirão a memória flash em 4 páginas sendo que o *firmware* para o boot deverá sempre permanecer na primeira página e as demais servirão para armazenar qualquer outro dado não volátil.

Devido ao fato deste dispositivo possuir barramento de dados de apenas 8bits, qualquer palavra de 16bits do DSP terá que ser dividida em duas de 8bits e escritas ou lidas consecutivamente.

4.5.3 Memória Sram

Este dispositivo é volátil (se houver interrompimento na sua alimentação seus dados são perdidos) e será implementado pelo *chip* IDT71V016S, fabricado pela IDT. Esta memória é do tipo estática assíncrona de acesso randômico. Seu tempo de acesso é de apenas 10ns, diminuindo muito o atraso que o DSP sofre em seu processamento acessá-la (inserção de *wait states*), em relação a memórias SRAM convencionais. Por ser assíncrona não precisa de sinais de *refresh* para manter atualizados os dados que armazena. Este dispositivo conta com 1Mbit organizados em 65536 palavras de 16bits. Como o DSP trabalha também com 16bits, apenas uma SRAM é necessária para armazenar todos os bits que compõe uma unidade de

informação do DSP. Seu protocolo de leitura e escrita é similar ao de memórias SRAM convencionais: O sinal /CS controla a seleção do dispositivo, o sinal /WE controla a escrita na memória e o sinal /OE controla a saída de dados da memória. Há ainda dois outros sinais disponíveis para a seleção dos 8bits mais ou menos significativos, /BHE e /BLE, respectivamente. Tais sinais estarão, neste projeto, sempre ligados ao terra digital, ativando sempre o acesso a todos os bits do barramento de dados.

4.6. Circuito de alimentação

Este circuito é responsável por prover as tensões de alimentação necessárias para o funcionamento das demais partes do circuito, bem como a supervisão das tensões digitais e o sinal de *reset* para o circuito digital. O seu objetivo é fazer com que, a partir de uma única fonte de tensão contínua de 12V (uma bateria, por exemplo), sejam geradas as tensões para as partes analógica e digital do circuito. As tensões necessárias para as duas partes do circuito são demonstradas na Tabela 5.

Tabela 5- Tensões geradas no circuito de alimentação

Seção	Valor nominal	Finalidade da alimentação
Digital	5V	FlashEeprom, <i>level-shifters</i> .
	3.3V	CPLD, conversor A/D, conversor D/A, SRAM, tensão de I/O do DSP, supervisor e <i>level shifters</i> .
	1.8V	Tensão de núcleo do DSP
Analógico	5V	Somadores , conversor A/D, Amplificadores de instrumentação e amplificação de áudio

O circuito será estruturado de modo que as tensões mais baixas sejam geradas a partir das tensões superiores, havendo total separação das seções analógica e digital. Esse tipo de geração tem a desvantagem de que, no caso de haver falha na geração de uma tensão superior, as tensões inferiores também cessam. Porém a grande vantagem é que as tensões menores, mais sensíveis a ruídos, são geradas a partir de outra tensão regulada, que por sua vez também é gerada a partir de outra também regulada. Portanto a imunidade a ruídos de uma tensão, por exemplo de 1,8V, é muito grande.

Para cada tensão gerada será utilizado um regulador de tensão. É necessário o cuidado de não se extrapolar o fluxo máximo de corrente suportado por cada regulador, ao se utilizar sua saída para gerar a entrada de outro regulador. A regulação de tensão diz respeito a capacidade do dispositivo de manter o nível de tensão na saída se a corrente exigida estiver dentro das suas especificações.

4.6.1 Fonte externa de tensão

A fonte externa de alimentação poderá ser qualquer dispositivo que forneça uma tensão contínua, estabilizada, cujo valor esteja dentro da faixa de +7V a +30V e possa prover correntes da ordem de 1A. O uso de uma bateria ou outro sistema de geração de energia desconectado da rede elétrica é preferível, por haver menor indução de ruídos.

Esta fonte será ligada ao circuito por meio de um conector tipo barril, cujos pinos estão descritos na Tabela 6.

Tabela 6 - Descrição dos pinos do conector da fonte externa

Número do pino	Função
1	Terra (referência). Deverá compor uma malha em torno do cabo que liga a bateria ao sistema.
2	Desconectado
3	Tensão de Alimentação externa: +7V a +30V

A entrada externa estará protegida contra inversão de polaridade no conector por meio de um diodo 1N4007 colocado de modo a estar polarizado inversamente com a alimentação normal do circuito. No caso de inversão de polaridade no cabo de alimentação, o diodo passa a conduzir e praticamente iguala os potenciais nas entradas dos reguladores. Isto evita que os reguladores do sistema sejam expostos a tensões negativas. O conector do tipo barril é o mesmo comumente utilizado em eliminadores de pilha ou fontes de tensão não chaveadas. A Figura 19 ilustra o conector.



Figura 19 - Conector do tipo barril para a alimentação externa

4.6.2 Geração de tensões digitais

As tensões digitais são destinadas a alimentação de todos os componentes digitais. Tais componentes com suas respectivas tensões estão descritos na Tabela

5. O primeiro regulador, um LM7805, fornece 5V na sua saída e tem uma tensão de *drop-out* de 2V. Isto significa que ele utiliza 2V da tensão de entrada internamente. Portanto, ele precisa, de tensão de entrada, da tensão nominal de saída acrescida de 2V, ou seja, 7V no mínimo e 30V no máximo (segundo datasheet). Este regulador pode oferecer até 1A. O próximo regulador é responsável por fornecer 3.3V e é o REG104-25, da Texas Instruments. Seu *drop-out* é de 0.23V, permitindo que seja gerada a tensão de 3.3V a partir de 5V. O último regulador, também fabricado pela Texas Instruments, é o TPS76918. Seu objetivo é gerar 1.8V que será utilizado pelo núcleo do processador, que utiliza tensões diferentes para I/O (3.3V) e para seu núcleo(1.8V).

4.6.3 Supervisão de tensões e Reset

No sistema é utilizado um dispositivo de detecção automática de nível de tensão e gerador de reset. O dispositivo é o TPS3305-18, da Texas Instruments. Ele monitora as tensões de 3.3V e 1.8V. Ambas alimentam o processador e demais dispositivos digitais. Seu funcionamento é crucial para o funcionamento mínimo do sistema, o que inclui diagnóstico automatizado das outras partes. O resultado do monitoramento é permitir ou não o funcionamento do processador, dependendo do nível das tensões de alimentação. A permissão é atuada pelo acionamento ou não do sinal de *reset*. Caso uma das duas tensões caia abaixo de 2.93V ou 1.68V (valores de tensão de limiar de *reset*, segundo *datasheet*) o dispositivo aciona o sinal de *reset*, impedindo o processador de funcionar. Este componente também é útil durante o *power-on*, que são os instantes que sucedem o acionamento da fonte externa, até os reguladores e capacitores do sistema de alimentação estarem funcionando corretamente. Após ser detectado que os nível de tensão destas duas tensões do sistema estão em ordem, o TPS3305-18 espera 200ms para desacionar o sinal de *reset*, liberando a processador para o funcionamento normal. Este tempo de espera é especialmente útil no que diz respeito em só ter o sistema funcionando após todos os transientes de tensão nos componentes terem sido sanados.

Outra característica deste componente é uma entrada para botão de *reset*. Tal entrada conta com um resistor de *pull-up* interno e liga-se a uma chave externa (botão do *reset*) que está conectada a terra. Quando a chave é acionada, o potencial deste pino cai a 0V e a função de *reset* é acionada. O acionamento desta chave aciona o sinal de *reset* sem se importar com o nível das tensões vistoriadas.

4.6.4 Geração da tensão analógica

A tensão aqui gerada irá alimentar o circuito analógico e será baseada no regulador LM7805. Tal regulador estará ligado diretamente à fonte de tensão externa.

Este circuito é desacoplado do resto do circuito de alimentação por meio de um filtro π e do uso de cuidados especiais no *layout* do sistema. Isto é necessário para que haja a separação de correntes entre os circuitos analógico e digital, porém mantendo o mesmo potencial DC. Os reguladores de tensão utilizados, mesmo os que geram tensões iguais, como 5V (digital) e 5Va (analógico) são dispositivos separados, para fazer com que os ruídos gerados pelo chaveamento digital não interfira no circuito de condicionamento ou de conversão A/D e vice-versa. Porém o potencial de referência utilizado tem que ser o mesmo para os dois circuitos, para que o nível de 5V, por exemplo, seja o mesmo para os dois circuitos. Portanto é necessária a criação de duas referencias, que na realidade representam o mesmo potencial: o terra digital e o terra analógico. Seu objetivo é fazer com que a corrente que flui para o circuito digital, que passa pelos devidos reguladores retorne à fonte externa por um caminho diferente da corrente do circuito analógico. Com isso consegue-se fazer que o potencial DC seja o mesmo para os dois terras, porém com fluxos de corrente distintos.

4.7. Validação Funcional

A validação funcional deste projeto poderá ser feita testando os módulos individuais (teste parcial) ou o sistema como um todo (teste completo). O teste completo simula a condição normal de trabalho do circuito. Com ele é possível verificar o funcionamento de todas as partes do conjunto trabalhando juntas, com duas possíveis exceções:

- memória SRAM: caso o sinal inserido não seja grande o suficiente para extrapolar a memória interna, não gerando a necessidade do uso da memória SRAM externa e;
- memória Flash ou SEEPROM: dependendo do tipo de *boot* selecionado pela chave SW2-4 (presente no esquema elétrico, apêndice 1).

Ambos os casos podem ser testados utilizando o teste individual próprio para SRAM, Flash e SEEPROM, como descrito a seguir

Optando-se por testa-lo em partes é possível dividir os testes em três grandes categorias: teste digital, analógico e de alimentação.

Para certificar o funcionamento do software de reconhecimento deverá também ser realizado o teste reconhecimento, descrito a seguir.

4.7.1 Teste completo

No caso de testa-lo como um todo deverá ser aplicado um sinal conhecido em uma das entradas do sistema, por meio de um gerador de funções e coleta-lo na saída, monitorando ambos por meio do osciloscópio. A verificação do funcionamento acontece alterando o programa aplicado ao DSP para executar alguma modificação no sinal de entrada e entrega-lo na saída. Tal modificação pode ser desde uma simples amplificação do sinal até uma convolução mais elaborada. Na verdade, para atestar o funcionamento do circuito, a operação executada no sinal de entrada é irrelevante pois o importante é conseguir verificar que há entrada, o processamento e a saída do sinal. Este teste do sistema substitui, para fins de validação, qualquer teste parcial.

4.7.2 Teste parcial

Este teste visa a certificar o funcionamento completo de cada uma das partes do sistema. Nesta categoria os testes podem ser divididos em 3 grupos: alimentação, analógico e digital. O teste parcial, dependendo da categoria, deverá ser executado com o auxílio do osciloscópio e gerador de sinais (teste analógico),

computador pessoal (PC, no caso do teste digital) e multímetro ou osciloscópio (teste de alimentação). Neste capítulo serão descritos apenas os objetivos da execução dos testes. O procedimento utilizado será definido a seguir no capítulo de implementação.

O teste de alimentação consiste em medir as diversas tensões disponibilizadas no circuito. Essa medição pode ser feita preferencialmente com o osciloscópio, porém pode ser feita com o multímetro. Os pontos de medição podem ser visto no anexo 1 – diagrama esquemático.

O teste analógico é responsável por assegurar funcionamento do circuito de aquisição e todo o condicionamento envolvido. O Anexo 2 ilustra o resultado do teste básico da funcionalidade do circuito de condicionamento. Todos os testes são executados inserindo-se um sinal de 3mVpp, por meio de 2 geradores de tensão senoidal. Nos testes diferenciais um gerador está defasado do outro em 180°. Com exceção do teste de rejeição de modo comum, em que os dois sinais estão obrigatoriamente em fase. Os resultados deste teste podem ser visualizados tanto pelo osciloscópio quanto pela tela do PC, caso esta funcionalidade do circuito já esteja estabelecida.

O teste digital se resume a verificação do status de cada um dos leds do circuito. O Led atividade indica que a etapa de *boot* foi completada com sucesso. O led par_ok, indica que o teste da memória SRAM foi executado com sucesso. Este teste de SRAM consiste em se escrever um numero (00000001). Após a escrito a próxima etapa é deslocar, à esquerda, o bit0, verificando que está escrito. Depois que o deslocamento chegar ao dado D7. Esse processo de escrita repete-se por todas as áreas da memória. Caso não haja erros o led ficará acesso continuamente e piscando. Se tiver algum erro o led deverá ficar piscando incessantemente. O mesmo acontece para a verificação do funcionamento dos periféricos, como o conversor a/d, porém afetando o estado do led perif_ok. Há ainda o teste de comunicação paralela em que sua certificação será feita comunicando um dado conhecido entre o PC e o DSP e vice-versa.

4.7.3 Teste de Reconhecimento

O objetivo deste teste é certificar que o *software* de reconhecimento de ativação muscular está com seu funcionamento de acordo com o esperado, ou seja, acusar a ativação do músculo somente quando este for acionado pelo paciente

durante um tempo mínimo estabelecido e com mínima possibilidade de falsa ativação.

4.8. Implementação

Este capítulo tem por objetivo apresentar os diversos aspectos que estão relacionados com a implementação física do circuito. A implementação dos *softwares* utilizados neste projeto será incluída como anexo no fim do documento. Será mostrada a colocação dos eletrodos tanto na testa quanto no braço do indivíduo. O objetivo destes procedimentos é definir as diretrizes para a colocação dos eletrodos de forma a se poder ter repetição o mais fiel possível dos resultados anteriormente obtidos. Primeiramente é mostrado o procedimento para colocação no músculo corrugador do supercílio, responsável por fazer a sobrancelha do indivíduo ser movida para cima. Depois será mostrada a colocação dos eletrodos no bíceps e no tríceps do indivíduo.

4.8.1 Procedimento de colocação dos eletrodos no músculo corrugador do supercílio.

Este procedimento destina-se definir uma maneira de colocar os eletrodos na testa do paciente de forma a ele poder repetir posteriormente a sua colocação. O eletrodo descrito aqui é o eletrodo considerado ideal para esse tipo de aplicação (DELUCA, 2002). Porém, devido à falta de disponibilidade de eletrodos de prata, eletrodos para eletrocardiografia (ECG) foram utilizados no lugar dos eletrodos originais. Este procedimento se aplica tanto para um tipo de eletrodo quanto para outro. Será mostrada a colocação do eletrodo ideal, mas seguindo tais diretrizes é possível substituí-lo por um par de eletrodos para ECG. A Figura 20 mostra a localização do músculo em questão (SOBOTTA, 2000)..

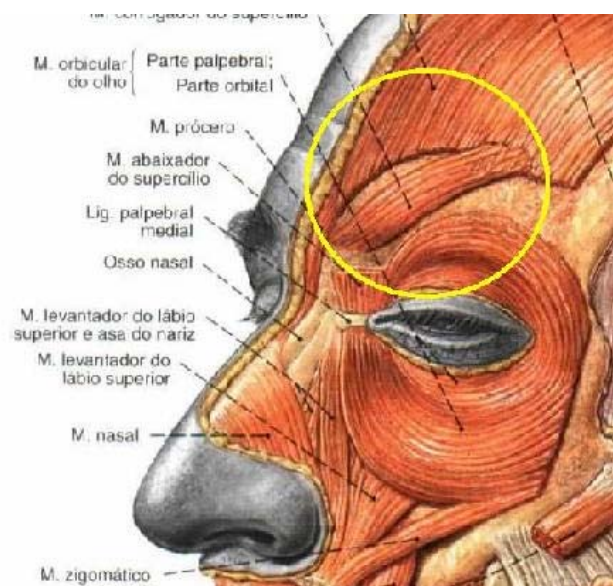


Figura 20 - Localização do músculo corrugador do supercílio.

Pode-se ver, portanto que é um músculo pequeno, e cuja localização coincide diretamente com a sobrancelha do indivíduo, dificultando a colocação dos eletrodos. Então, os eletrodos acabam por ser colocados em uma região próxima, captando o *cross-talk* gerado por esse músculo em outros músculos da vizinhança.

Procedimento:

Material necessário:

- 50 cm de barbante;
- 1 caneta com ponta porosa;
- Esparadrapo.

Procedimento:

1º – Marca-se nos eletrodos a posição que representa o centro geométrico entre as lâminas;

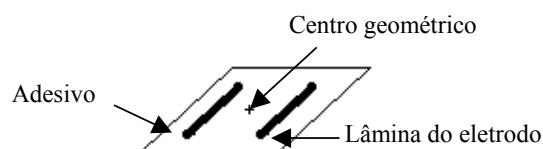


Figura 21 - Localização do centro no eletrodo

2º – Limpa-se com álcool a área sobre a sobrancelha;

3º – Coloca-se o barbante sobre o nariz, em frente ao espelho;

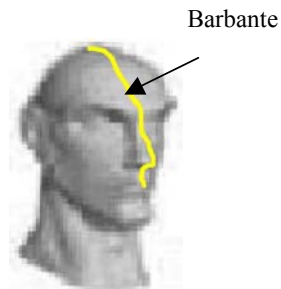


Figura 22 - Colocação do barbante

4º – Prende-se o barbante na concavidade 1, que une o nariz com a testa;

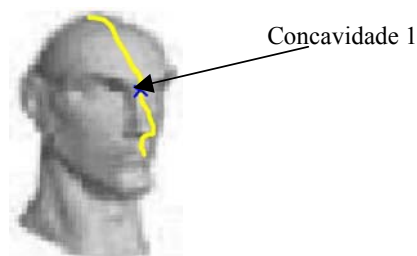


Figura 23 - Localização da concavidade nasal

5º – Estende-se o barbante até a concavidade 2, que une o nariz ao rosto no meio das narinas;

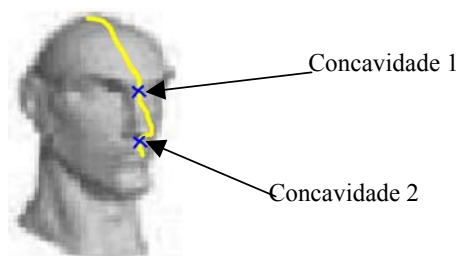
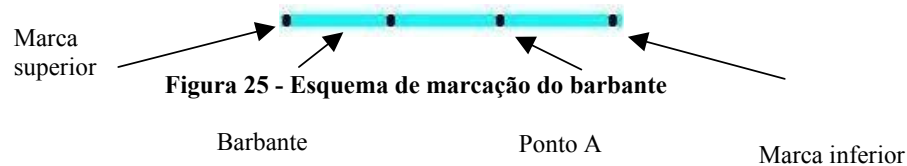


Figura 24 - Localização das duas cavidades nasais

6º – Marca-se, com a caneta os pontos em que o barbante cruza com essas duas concavidades;

7º – Divide-se o intervalo entre as marcas em três partes iguais e marca apenas a terça parte mais próxima à marca inferior, que será chamado de ponto A;



8º – Posiciona-se a marca mais inferior na concavidade 1, descrita no passo 4;

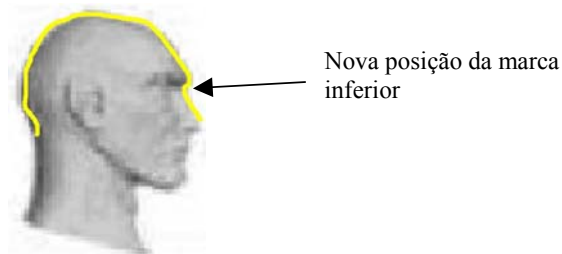


Figura 26 - Vista lateral da nova posição da marca inferior

9º – Estende-se, em linha reta o barbante até encontrar a saliência, ou lóbulo, no osso occipital, na base do crânio, na junção com a coluna vertebral;

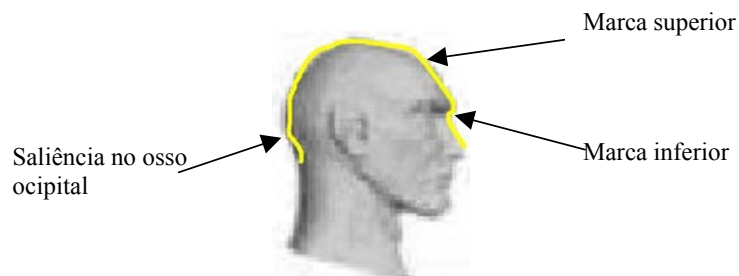


Figura 27 - Localização das marcas do barbante e da saliência do osso occipital

10º – Prende-se o barbante sobre o lóbulo;

11º – Prende o barbante pela marca superior e solta-se a marca inferior ;

12º – Solta-se o lóbulo e segurando o barbante bem abaixo da marca inferior desliza-o até encontrar a junção externa das pálpebras de um dos olhos;

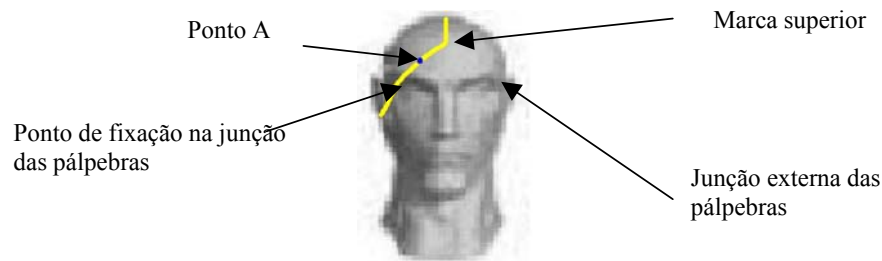


Figura 28 - Visualização do local de colocação dos eletrodos

13° – Marca-se com a caneta na testa do paciente onde o ponto A ficar posicionado;

14° – Repete o procedimento anterior para o outro olho;

15° – Solta-se o barbante;

16° – Aplica-se gel nos eletrodos;

17° – Posiciona o centro marcado no eletrodo sobre o ponto marcado na testa, com as lâminas sempre paralelas ao eixo do nariz;

18° – Fixa-se os eletrodos de modo que seus fios saiam por cima e não por baixo do eletrodo;

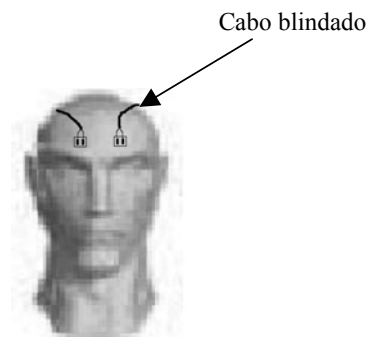


Figura 29 - Fixação dos cabos blindados

19° – Fixa-se com esparadrapo os fios na testa do paciente de modo a ficar conveniente ao movimento natural da testa;

20° – Conecta-se os eletrodos ao sistema para a calibração;

4.8.2 Procedimento de colocação dos eletrodos no músculo bíceps

Este procedimento pode ser utilizado para se colocar os eletrodos no músculo tríceps também, visto que ambos são músculos grandes e de fácil localização.

Para a colocação dos eletrodos nestes músculos, basta achar o centro de cada músculo e colocar a o eletrodo, segundo a Figura 30.

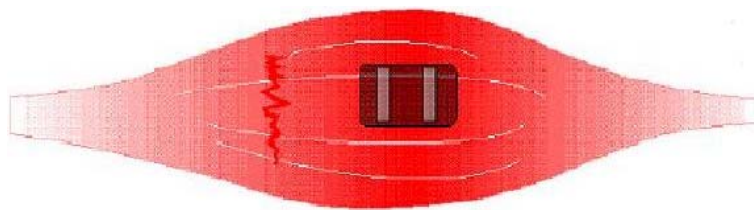


Figura 30 - Colocação dos eletrodos no bíceps.

Para estes músculos também é possível se substituir o os eletrodos ideais pelos de ECG.

4.8.3 Circuito

Este capítulo tem por finalidade demonstrar ilustrações do circuito depois de confeccionada a placa de circuito impresso e os componentes montados.



Figura 31 - Vista frontal do circuito

Na figura Figura 31 pode-se ver os conectores do tipo *Jack* estéreo em primeiro plano. À direita dos conectores estão posicionados os *led's* : *Power-on* (verde), *Atividade* (amarelo), *Led_par_ok* (verde superior), *Led_perif_ok* (verde inferior).

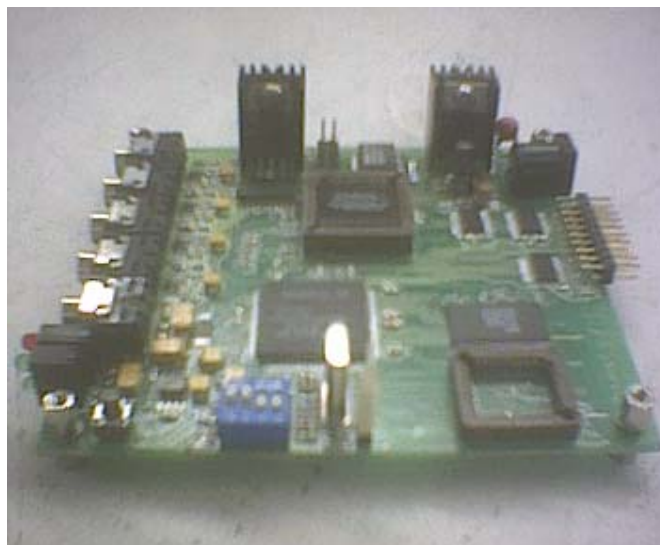


Figura 32 - Vista lateral - lado do dip-switch

Na Figura 32 pode ver o dip-switch utilizado para configurar o clock e o controle de alta-impedância do processador e o *jumper* de configuração da interface paralela.

O soquete mais a direita representa onde será colocada a *flash-eprom* quando for utilizada, apenas na fase final de testes.

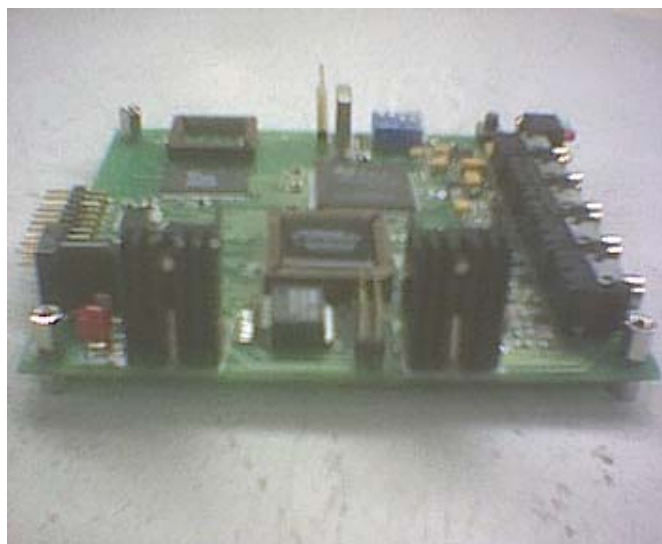


Figura 33 - Vista lateral - lado dos reguladores

Na Figura 33 tem-se a visão dos dissipadores que ajudam a irradiar a energia térmica dos reguladores de 5V dos circuitos digital (à esquerda) e analógico (à direita). O componente ao centro, em frente ao soquete é um regulador de 3.3V. Ao lado deste regulador está posicionado o conector utilizado para se fazer a transferência do código para o dispositivo de lógica programável ALTERA, MAX3000A. Esta transferência só é necessária quando tem que se modificar a funcionalidade do MAX3000A.

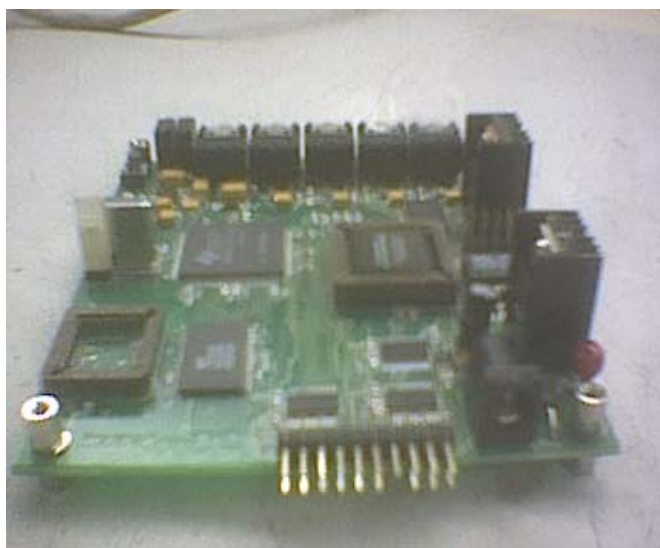


Figura 34 - Vista traseira do circuito

Na Figura 34 pode-se constatar o conector da interface paralela ao centro e o conector de alimentação à sua direita. O conector da interface paralela serve tanto para a comunicação do circuito com o PC quanto para se comunicar com o circuito de controle da cadeira de rodas.



Figura 35 - Vista superior do circuito

Na Figura 35 pode-se visualizar ao centro o microprocessador DSP, logo acima do dip-switch. Acima do DSP está colocado o dispositivo MAX3000A, em seu soquete. À direita do processador está posicionada a memória SRAM e abaixo desta o soquete que irá suportar a *flash-eprom*.

4.9. Resultados

Esta seção tem por objetivo descrever os procedimentos de teste, os objetivos destes e os resultados conseguidos. Tais testes avaliam individualmente as áreas do sistema como um todo e não necessariamente tem importância na ordem de execução. Porém a execução na ordem em esta descrita neste capítulo é recomendável no caso de análise de falhas do sistema. É importante salientar que o teste completo do sistema substitui, para fins de validação, qualquer teste parcial.

Serão executados os testes de tensões de alimentação, *reset*, funcionamento do dispositivo MAX3000A, comunicação do PC com o DSP, teste de amplificação, transferência de código executável do PC para o DSP, execução de código pelo DSP e ativação de periféricos do sistema. Por fim os testes parciais devem ser complementados pelo teste completo. Ainda nesta seção são apresentados alguns dos sinais de EMG captados para análise.

4.9.1 Testes Parciais

O primeiro teste é o de tensões de alimentação. O seu objetivo é garantir a funcionalidade da porção do circuito que é fundamental para a ativação de qualquer outra parte do circuito: o circuito dos reguladores de tensão. Tal objetivo será considerado cumprido se os níveis de tensão estiverem dentro da tolerância permitida pelos seus respectivos *datasheets* em torno do seu valor nominal de funcionamento. Tal tolerância foi escolhida convenientemente para ser mais estreita que a necessidade de alimentação dos componentes do circuito. Outro ponto necessário para o cumprimento do objetivo é a não detecção de ruídos que venham a comprometer a estabilidade das tensões de alimentação.

O procedimento dos testes consiste em medir, após o circuito ser conectado a uma fonte de 12V (esta pode variar de 8V a 30V), com um osciloscópio o sinal presente em cada uma das trilhas responsáveis pela transmissão das tensões para a verificação visual de ruídos. Para determinar o valor de cada tensão utiliza-se um multímetro. A Tabela 7 descreve os pontos de medida e os demais valores para se validar o teste. Este teste foi realizado sem haver software sendo executado pelo DSP. Ou seja o DSP estava na fase de *boot* em que ele fica procurando qual a fonte do código executável, gastando pouca energia. Após os últimos testes digitais, com o circuito totalmente funcional é importante realizar novamente estes testes de alimentação para assegurar a confiabilidade do sistema de alimentação.

Tabela 7 – Tabela de valores de tensão de alimentação

Valor nominal (V)	Ponto de medida	Tolerância (V)	Ruídos	Valor medido (V)	Situação
12V	Catodo de D3	8 a 30	Não	10.5	Aprovado
5V (digital)	C63 (pino próx. a J10)	4.8 a 5.2	Não	4.98	Aprovado
5V (analógico)	C69 (pino próx. a C2)	4.8 a 5.2	Não	5	Aprovado
3.3V	C60 (pino próx. a U17)	mínimo 3,29	Não	3.3	Aprovado
1.8V	C44 (pino próx. a U9)	1.746 a 1.854	Não	1.8	Aprovado

O resultado da aprovação do teste de 3.3V é a ativação do *led* vermelho (*power-on*).

O próximo teste visa a certificar que o circuito não está constantemente em estado de *reset*. Para o controle de tal função é utilizado um dispositivo de supervisão de tensões de alimentação (TPS3305-18) que monitora as tensões de 3.3V e 1.8V. Quando a alimentação é ligada o dispositivo aciona automaticamente o sinal de *reset*. Então espera que ambas as tensões monitoradas ultrapassem os valores de limite (2.93V e 1.68V), espera 200ms e desativa o *reset* permitindo que o circuito funcione normalmente. Caso qualquer uma destas tensões cai a um valor inferior ao limite o sinal de *reset* é automaticamente ativado. Outra função deste dispositivo é permitir o *reset* manual por meio de um botão. Neste teste não é importante o tempo de 200ms, mas sim a ativação e desativação automática do sinal de *reset* e sua atuação forçada por meio do botão. Se ambas as condições anteriores forem constatadas o teste será considerado aprovado. O sinal de *reset* está ativo em nível baixo e inativo em estado alto.

O procedimento de teste consiste em utilizar um osciloscópio para monitorar a tensão do sinal de *reset* durante o acionamento da alimentação e depois durante o acionamento do botão SW2 do circuito. A descreve os resultados.

Tabela 8 - Teste do sinal de *reset*

Teste	Ponto de medida	Situação
Ativação e desativação automática	Pino 5 de U20	Aprovado
Ativação e desativação manual	Pino 5 de U20	Aprovado

O próximo teste certifica o funcionamento do dispositivo MAX3000A, que é um EPM3064A cuja funcionalidade é crucial para o acesso a periféricos e inclusive à porta de comunicações paralela. O teste consiste em fazer a transferência do código executável gerado pelo *software* MAX PLUS II para o EPM3064A e verificar se este consegue ativar os *led*'s do circuito de acordo com programado. Este teste certifica também o funcionamento do circuito de geração de clock a cristal, o circuito de

seleção de *clock* (dip-switch) e o circuito de PLL (*phase locked loop* – loop fechado de fase) interno ao DSP. Este último é o responsável por fazer a multiplicação da frequência do cristal pelo fator definido pelo dip-switch. O sinal do cristal entra no DSP e este disponibiliza o seu clock já multiplicado para ser distribuído pelo sistema, caso necessário. A tabela de seleção de *clock* encontra-se na página 1 do Anexo 1 (diagrama esquemático). O teste será considerado aprovado se não houver erros apresentados pelo *software* MAX PLUS II durante a transferência do código e for detectada a resposta de cada *led*.

A transferência do software para o EPM3064A é feita por meio do cabo ByteBlaster MV ou ByteBlaster II que conecta a porta paralela do PC ao conector J8 do sistema. Seguindo as instruções constantes no manual do software MAX PLUS II é possível carregar o programa criado em linguagem AHDL, fazer a sua transferência e verificação diretamente no EPM3064A, sem retirá-lo do sistema. Para tanto coloca-se a chave 4 do dip-switch em *ON*, conecta-se o cabo ByteBlaster, conecta-se o cabo de alimentação e liga-se o circuito. O processo de transferência só poderá ser iniciado se o *led* amarelo D2, localizado perto do dip-switch acender imediatamente após o acionamento da alimentação. Tal *led* sinaliza que o DSP entrou em estado de alta impedância e liberou o acesso aos barramentos de dados, controle e endereços. Barramentos tais que o EPM3064A faz conexões.

Para a verificação dos *led's* o *led* Par_Ok deverá ficar aceso, o *led* Perif_Ok deverá ficar apagado e o *led* Atividade deverá ficar piscando a uma frequência 50 milhões de vezes menor que a selecionada. É importante salientar que o cristal utilizado é de 10MHz e portanto a frequência de trabalho do DSP será 10MHz multiplicado pelo valor escolhido no dip-switch. Além da verificação visual a frequência do *led* Atividade deve ser verificada no osciloscópio. A tabela mostra os resultados.

Tabela 9 - Resultados dos testes do EPM3064A

Multiplicador selecionado	<i>Led</i> Par_Ok	<i>Led</i> Perif_Ok	<i>Led</i> Atividade	<i>Situação</i>
x1 (10MHz)	aceso	apagado	0.2Hz	Aprovado
x10 (100MHz)	aceso	apagado	2Hz	Aprovado

A transferência ocorreu sem problemas pelo <i>software</i> MAX PLUS II
--

O próximo teste visa a assegurar que a comunicação entre o DSP e o PC estará ocorrendo de forma confiável. Este teste assegura também o funcionamento dos circuitos de translação de nível, utilizado para permitir que o DSP, cuja tensão de I/O é 3.3V possa se comunicar com um sistema cuja tensão de I/O é 5V, como a

interface paralela do PC. Para este teste será utilizado o cabo paralelo para conexão com o PC e a fonte de alimentação. Para ser executado no PC o *software* ProjetoAutoEMGHPI deverá ser utilizado. Este *software*, também desenvolvido como parte deste trabalho, tem a função de comunicar-se com o sistema além de poder ler e transferir o código executável gerado pelo *software* Code Composer Studio para o DSP. O teste consiste em fazer as conexões de alimentação e comunicação do sistema, executar o *software* ProjetoAutoEMGHPI, ligar o sistema e verificar as mensagens escritas pelo *software*. O teste será aprovado se o resultado da comunicação entre o PC e DSP gerar as mensagens descritas na Figura 36.

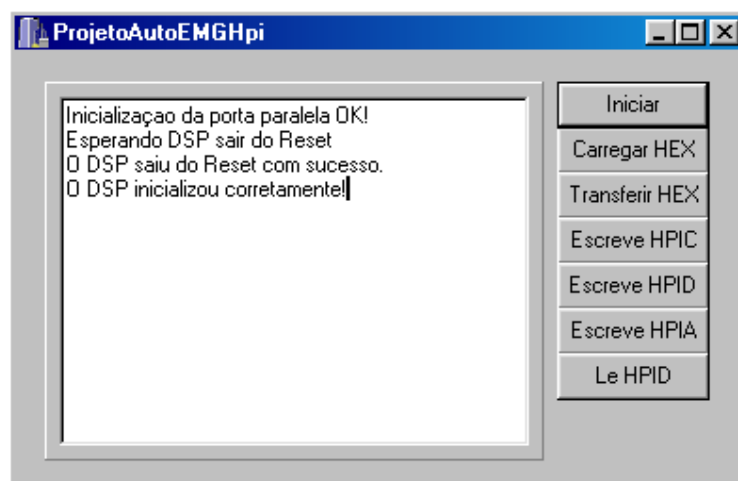


Figura 36 - Resultado da inicialização com sucesso do DSP.

Apesar deste *software* já estar funcional a sua aparência poderá ser modificada no decorrer do desenvolvimento do projeto. As mensagens mostradas pelo software refletem as capacidades de monitoramento disponibilizadas pela interface paralela HPI (*Host Parallel Interface*) presente no DSP utilizado neste projeto.

O teste de amplificação analógica tem como objetivo verificar o funcionamento do circuito de amplificação de instrumentação, fundamental para a aquisição dos sinais eletromiográficos. O teste será considerado aprovado se os resultados obtidos (anexo 3) forem semelhantes aos resultados da simulação feita do *software* PSPICE (anexo 2).

4.9.2 Teste completo

O teste completo foi realizado com sucesso após alguns problemas para se completar a transferência do código executável para o processador. Tal problema referia-se a uma pequena oscilação no sinal /STROBE, recebido pela interface

paralela, conhecida como *overshoot*. Tais oscilações são representadas pela presença de uma senóide amortecida em toda a mudança de nível.

Devido ao fato de a interface HPI do DSP trabalhar com uma máquina de estados, todas as transferências realizadas entre o DSP e um outro dispositivo, neste caso o PC necessitam ser sincronizadas de acordo com o protocolo definido em (TATER, 2002). Essas pequenas oscilações, ao passarem pelos circuitos de tradução de nível (*level-translation*), eram transformadas em uma série de pulsos que seguiam o pulso original. Esses pulsos faziam a máquina de estados do HPI perder a seqüência correta do protocolo. Essas oscilações eram presentes somente quando eram transmitidos, ao DSP, dados com pelo menos 4 bits iguais a 1.

Tais oscilações ocorreriam quando a impedância entre as duas interfaces não estivesse casada. Isso causaria reflexões na linha de transmissão, que gerariam ondas senoidais parasitas, que levariam algum tempo para serem absorvidas pelas interfaces. Como a absorção é exponencial, essas ondas senoidais apresentam um amortecimento exponencial. Essa oscilação pode ser vista na

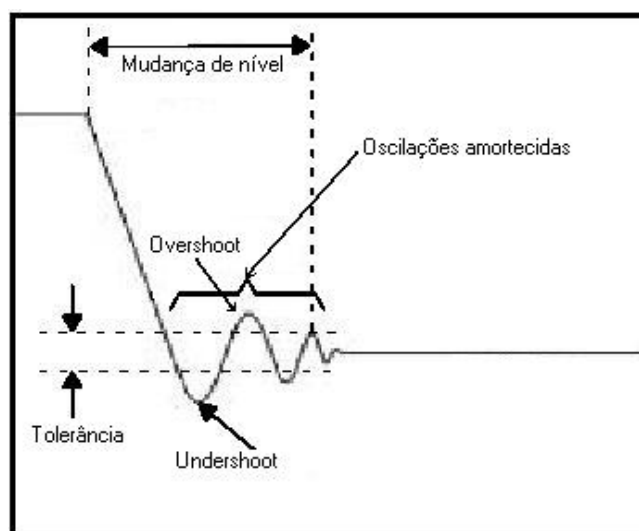


Figura 37 - Oscilação causada por descasamento de impedâncias

O problema causado por essa oscilação impossibilitava a transferência do código para o DSP. Esse problema foi resolvido com a adição de um circuito *schmith trigger* aliado a um circuito de filtro passa baixa. Porém a peça chave para a solução desse problema foi a utilização de um resistor de 33R, chamado de SDR, *series damping resistor* (resistor de amortecimento em série), cujo objetivo é amortecer ainda mais as oscilações senoidais, ou seja auxiliar no casamento de impedâncias.

Tais modificações foram implementadas com um circuito acoplado ao cabo conectado entre a interface paralela do PC e a interface HPI do DSP.

Como teste, foi utilizado um gerador de ondas senoidais de frequência e amplitude ajustável. Com a frequência de amostragem ajustada em 10kHz, fez-se a inserção da onda senoidal do circuito e coletou-se a saída no conector de saída do amplificador de saída, visto que o sinal de entrada, em ambos os softwares, foi aplicado aos dois canais de saída, simultânea e alternadamente. Portanto, quando se refere nos testes que o sinal foi obtido a partir da saída do amplificador de saída, isso significa que o sinal foi igual tanto para as saídas acionadas individualmente quanto para as saídas acionadas simultaneamente. Foram utilizados dois softwares para essa certificação, além do sistema básico de entrada e saída (SIBES).

O primeiro programa tinha o objetivo de adquirir o sinal de entrada e simplesmente aplica-lo na saída. Este teste foi executado com sucesso e sua verificação foi o acompanhamento na saída, pelo osciloscópio, da variação controlada de frequência (até 5kHz) e amplitude do sinal proveniente do gerador de funções. Sobre este teste é importante ressaltar que para frequências muito baixas, em torno de 1 a 5 Hz foi percebida uma distorção excessiva do sinal, tanto na saída do amplificador de saída quanto na entrada do conversor A/D. Tal distorção é causada pelo valor elevado do capacitor utilizado como filtro, 4,7uF. Para tais frequências a taxa de variação da tensão aplicada ao capacitor é menor que o tempo de carga ou descarga. Portanto a solução, para se atingir frequências mais baixas, seria diminuir o valor do capacitor e aumentar o valor do resistor para que a frequência de corte do filtro ainda continue em 1kHz mas sejam admitidas frequências mais próximas do zero Hertz. Vale lembrar que, por causa do esquema diferencial de aquisição, qualquer tensão igual aplicada às duas entradas será praticamente eliminada do sinal, evitando, portanto que um possível offset do sinal de entrada atrapalhe a aquisição. A única maneira de fazer a aquisição de sinais de 0Hz (DC) por este circuito é fazê-la de forma diferencial.

O segundo programa também tinha o propósito de reproduzir o sinal recebido em uma das entradas do conversor A/D e envia-lo à saída. Porém, a diferença era que o programa tinha por objetivo comparar o sinal de entrada com um valor específico neste caso usado o valor 0x3000, que equivale a um valor de entrada de 1.25mV (diferencial). Toda vez que a amostra lida pelo DSP estava abaixo de 0x3000 a saída era colocada em 0V. Porém quando a entrada estava acima desse valor o valor de saída era de 4V. Portanto esse segundo programa atuava como um

circuito cujo objetivo era transformar uma onda senoidal em uma quadrada, sincronizada ao nível de comparação escolhido. Tal programa poderia ser utilizado para a recuperação de sinais digitais afetados por ruídos ou reflexões de linha. Porém ele foi utilizado para fazer a certificação do funcionamento do circuito do projeto como um todo, e respondeu com sucesso às variações de frequência controladas do gerador de funções.

4.9.3 Reconhecimento da ativação muscular

Conseguir o reconhecimento da ativação de cada músculo foi a idéia principal para se fazer a automação. Como descrito anteriormente, o circuito deveria estar apto a conseguir reconhecer quando o músculo analisado sofreu uma ativação e, se possível e útil, qual a intensidade e a duração da ativação. O reconhecimento do sinal proveniente de cada músculo foi possível e relativamente simples se considerada a ativação localizada de cada músculo. O principal objetivo deste trabalho era conseguir fazer a aquisição e análise do sinal eletromiográfico. Primeiramente considerou-se a idéia de se analisar o sinal eletromiográfico resultante da sobrelanceira do indivíduo. Foram também realizadas a aquisição de sinais de EMG do bíceps e do tríceps de um indivíduo, para comprovar a capacidade do circuito em reconhecer sinais de EMG de outros músculos do corpo. Os comandos para a utilização dos músculos seria baseado na Tabela 10.

Tabela 10 - Código de movimentos

Combinação de movimento	Recurso ativado
Juntas – 1 acionamento rápido	Movimento para frente
Somente acionamento da direita	Movimento para a direita
Somente acionamento da esquerda	Movimento para a esquerda
Juntas – 2 acionamentos rápidos	Suspensão do movimento

Para esse código de movimentos, representados focando-se a utilização em uma cadeira de rodas, poderia-se utilizar não só os músculos da sobrelanceira, mas também os músculos bíceps ou tríceps. Porém, pela conveniência de utilização, seria mais interessante se utilizar músculos disponíveis em pares, como os músculos analisados neste trabalho.

Como poderá ser visto a seguir, o algoritmo utilizado para o reconhecimento da ativação de cada músculo foi apenas a contagem do número de amostras que

ultrapassaram o valor de 13107, que representa um valor de 4V na saída do amplificador ou de 4mV diferencial nos eletrodos. Se o número de amostras contadas acima deste valor fosse maior ou igual a 50, ocorreria considerar-se-ia ativado o músculo. Caso o músculo fosse ativado em um movimento acidental ou próprio da gesticulação natural do ser humano, tal ativação seria ignorada pois não atingiria o valor necessário, como poderá ser visto a seguir. A partir da última amostra coletada acima de 4V, inicia-se um contador até 20, que representa 500ms a uma frequência de amostragem de 10kHz. Se o contador chega a 20 significa que nenhuma outra amostra conseguiu passar o limite de 4V e portanto a ativação atual do músculo não será considerada válida. Supondo-se o caso de o músculo já estar acionado, esse algoritmo serve para determinar o fim da ativação daquele músculo. Portanto, o circuito pode ter precisão de comandos de até 200ms, ou seja, um comando pode ser acionado a cada 200ms. Portanto o sinal recebido só será considerado como uma ativação válida quando houverem no mínimo 50 amostras acima de 4V, com espaçamento mínimo de 200ms entre tais picos. Para se evitar que ruídos entrem no sistema e causem uma ativação indesejada, os amplificadores de instrumentação da entrada conseguem um bom desempenho. Porém, existem alguns ruídos que são possíveis de serem gerados por outros músculos adjacentes, em uma interferência cujo nome é *crosstalk*. Tais ruídos, apesar de não terem sido detectados neste trabalho, poderiam ser vistos pelo sistema como uma ativação e neste caso, ela seria indesejada. Para minimizar qualquer possível efeito deste tipo, foi utilizado um filtro de média móvel, cuja finalidade é eliminar do sinal qualquer ruído aleatório.

A seguir estão apresentadas as formas de onda conseguidas pelo uso de um osciloscópio digital, por meio da transferência de seus dados por disquete e posterior reconstrução no *software* MATLAB. Apesar de o circuito ter o potencial de enviar a um programa no PC as amostras resultantes da conversão A/D, isto não foi feito por fugir do escopo do trabalho e pelo tempo disponível. É importante lembrar que quando o acionamento do músculo foi reconhecido, no caso de se utilizar apenas dois canais o Led Atividade acende para indicar o sinal reconhecido no canal 0 e o Led Perif_ok acende para indicar o reconhecimento com sucesso no canal 1.

Na Figura 38 e Figura 39 pode se observar o EMG captado do músculo bíceps, de sua face superior, que é a que encosta no antebraço durante a flexão total do membro. Pode-se perceber claramente o início e fim do acionamento do músculo. Para essas duas aquisições foi colocado o braço esticado apoiado em uma mesa

erguendo-se um peso de aproximadamente 7Kg. O peso em questão não é de importância relevante, pois deseja-se perceber apenas o efeito do movimento forçado e não o efeito de diferentes pesos no EMG. O movimento executado é o de se erguer o peso do repouso até aproximadamente 45° com a mesa, com a suspensão imediata da força, sem devolver o peso ao repouso (apóia-se o peso e a mão com o auxílio de pessoa).

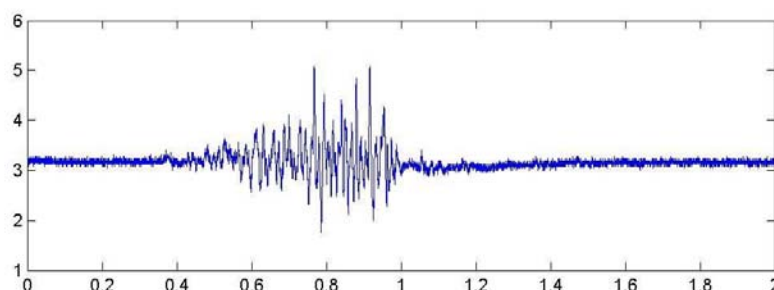


Figura 38 - Emg do bíceps 0° a 45° - 7Kg

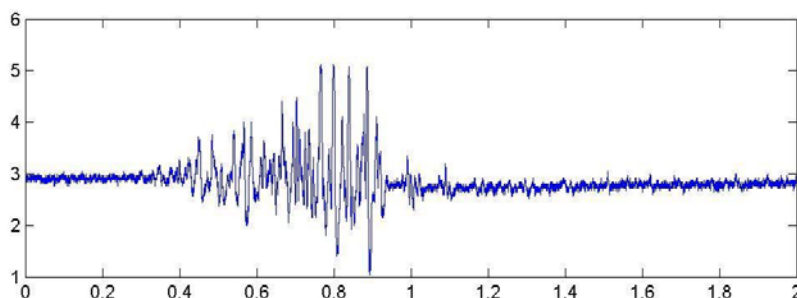


Figura 39 - EMG do bíceps 0° a 45° - 7Kg

Nota-se também, que o nível de acionamento utilizado, de 4V, somente é ultrapassado durante a aplicação de uma certa força. Esse tipo de análise é razoavelmente simples, porém eficiente. Com esse nível foi possível distinguir claramente o acionamento forçado do músculo do acionamento de movimento natural evitando-se acionamentos indesejados. Nos movimentos normais o acionamento permaneceu com a forma de onda semelhante, porém pôde ser notado que a amplitude do EMG é proporcional à força aplicada. Isto pode ser percebido na Figura 40, em que o braço é flexionado até encostar no antebraço, fazendo-se força livremente.

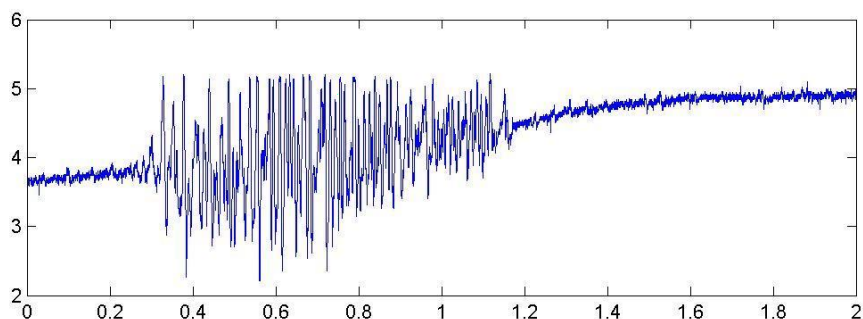


Figura 40 - EMG do bíceps - flexão total sem peso

A Figura 41 e Figura 42 mostram o acionamento do tríceps com o antebraço fazendo um ângulo de cerca de 45° com a mesa e tentando força-lo se esticar, sem provocar fadiga no músculo, porém aplicando força média.

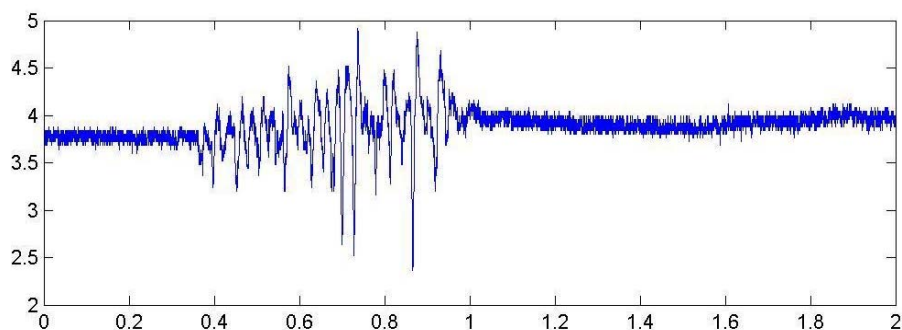


Figura 41 - EMG tríceps - média força 45° contra obstáculo

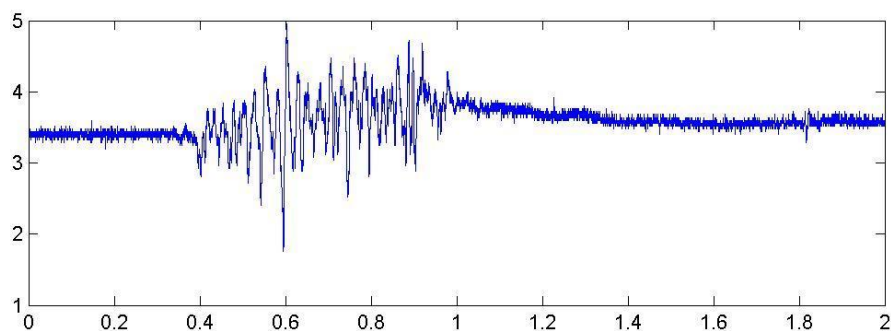


Figura 42 - EMG tríceps - média força 45° contra obstáculo

Para o tríceps foi também utilizado o limiar de ativação de 4V, com sucesso.

Novamente, o aspecto da amplitude ser diretamente proporcional à força executada torna-se claro na Figura 43, em que o o músculo é acionado simultaneamente com o bíceps. Como o bíceps é um músculo mais forte, o

movimento realizado pelo tríceps é limitado o fim do curso de seu movimento é alcançado.

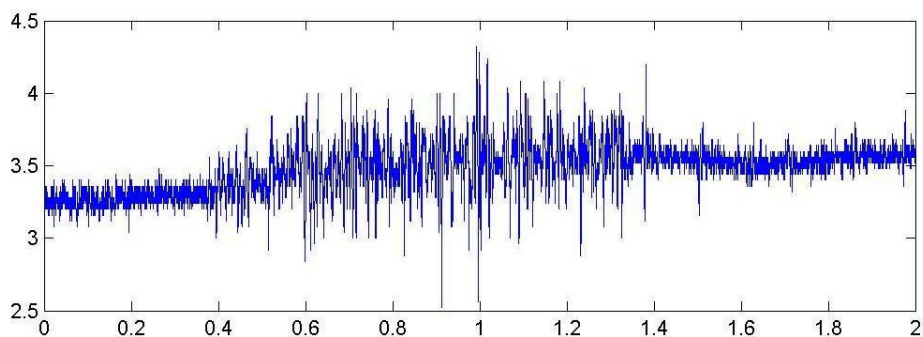


Figura 43 - EMG tríceps - fim de curso sem obstáculo.

A Figura 44 e Figura 45 mostram o acionamento do músculo corrugador do supercílio, que em seu movimento atua erguendo-se a sobrancelha do indivíduo. Na Figura 44 tem-se um acionamento forçado até o fim do curso da sobrancelha, por cerca de 0,5s. Neste caso o nível de 4V utilizado anteriormente não seria correto pois não há energia suficiente no EMG para extrapolar esse valor. Neste caso um valor de 2.5V foi utilizado para distinguir seu movimento.

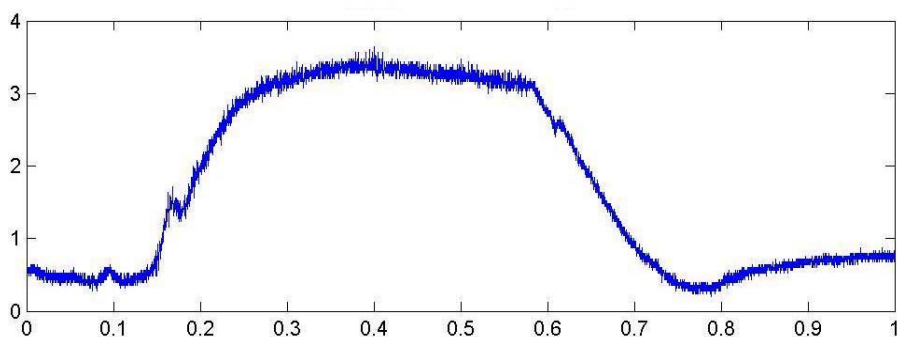


Figura 44 - EMG corrugador do supercílio - fim de curso

Na Figura 45 o músculo é acionado levemente com um pouco mais de força que o acionamento normal da expressão facial. Nota-se a diminuição da amplitude do EMG captado.

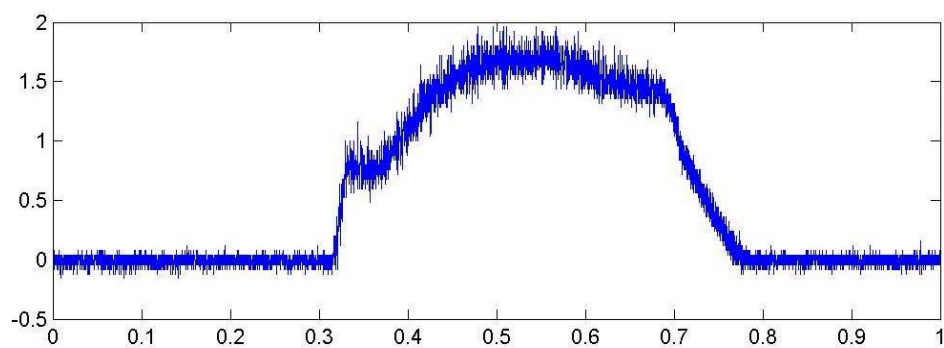


Figura 45 - EMG corrugador do supercílio - Acionamento forçado quase normal

5. CONCLUSÃO

Com base nos experimentos feitos neste projeto, pode-se chegar à conclusão que o circuito projetado mostrou-se satisfatório no que diz respeito à qualidade do sinal adquirido, eficiência de processamento e versatilidade de aplicação. Com relação à aplicação em eletromiografia, conclui-se que é possível e viável a sua utilização para automatização de várias funções. Tais funções podem ser não só motoras pois dependem também de aquisição de, por exemplo, cadeira de rodas motorizada, o que neste projeto não foi possível fazê-lo devido ao custo. Pelo uso de processador digital de sinais este projeto pode ser utilizado em várias aplicações que façam o uso concomitante ou não desse tipo de processamento com aquisição diferencial de baixo ruído de sinais.

Com relação ao grupo muscular escolhido para esse projeto, conclui-se que ele não foi adequado, devido às várias limitações que se mostraram inerentes ao próprio grupo. Apesar do grupo muscular responsável pelo levantamento da sobrancelha ser de grande área, o sinal eletromiográfico gerado por ele mostrou-se, além de fraco em amplitude, altamente sujeito a interferência por *crosstalk*, visto que vários músculos adjacentes participam de movimentos involuntários e naturais da expressão facial do ser humano. Tal interferência é fortemente sentida, pois o principal músculo responsável pelo levantamento da sobrancelha, o músculo corrugador do supercílio é, além de pequeno, localizado entre a sobrancelha e a pálpebra do olho. Esta localização não propicia, dificulta demais a colocação de eletrodos especificamente no músculo, fazendo-se necessária a captação do sinal de EMG do grupo todo, ao invés de apenas deste músculo. Por isso a localização dos eletrodos não foi exatamente sob a sobrancelha e sim acima desta, para poder se captar o sinal gerado pelo corrugador e pelos demais músculos somados ou mesmo somente a interferência de *crosstalk* do corrugador nos demais músculos.

Outro fator limitante foi a dificuldade de se obter repetitibilidade na aquisição dos sinais eletromiográficos. Por este grupo estar situado sob a pele da testa, ele acaba estando sujeito às características naturais do tecido da testa. Essas características são, principalmente: sudorese natural e tecido sujeito a dobraduras excessivas. Ambos os fatores contribuem para dificultar a fixação do eletrodo e com isso acabam por variar indesejavelmente a impedância de acoplamento do eletrodo com a pele. Aliado a esse fator, a ausência de estudos prévios sobre a localização do ponto de maior atividade motora do grupo de músculos situados na testa, dificultam o correto posicionamento dos eletrodos e mesmo a sua repetitibilidade.

Devido a esse fator de colocação e repetição de aquisição e ao custo, a implementação da cadeira não foi possível. Porém, se for conseguida uma solução para os eletrodos, a utilização dos músculos da sobancelha é plenamente possível.

O estudo realizado nos músculos bíceps e tríceps contribuiu significativamente para a análise e teste de outro grupos musculares, ressaltando o aspecto na flexibilidade do sistema em poder ser utilizado em outras áreas do corpo.

O desenvolvimento de um eletrodo bipolar de baixo custo que possa adquirir sinais de um grupo de músculos simultaneamente contribuirá significativamente para o aprimoramento da pesquisa com EMG aliado ao processamento digital de sinais.

Foi experimentada a construção de um, eletrodo baseado em uma espécie de silicone rígido condutivo, para a substituição do eletrodo ideal de prata ou do eletrodo de ECG. A vantagem era de ele ser flexível e recortável, moldando-se mais facilmente à sobancelha do indivíduo. Porém o resultado de sua utilização não foi tão bom quanto o esperado ou conseguido com os eletrodos de ECG. Mesmo com a utilização de gel de solução salina(Ag-Cl) acredita-se que a resistência natural do eletrodo (cerca de 300Ω) e baixo acoplamento com o gel contribuíram para não se ter um desempenho razoável com esse eletrodo.

Porém, baseado nos resultados obtidos a partir dos sinais adquiridos nos músculos bíceps e tríceps, conclui-se que é possível fazer não só o reconhecimento da ativação individual de cada músculo, mas também se estudar, futuramente, as características de cada movimento aliando-se os conhecimentos deste trabalho com a análise espectral de um conjunto maior de músculos. Por meio de análises realizadas com o espectro componente de cada músculo pode-se identificar frequências características diferentes para o bíceps e para o tríceps. Isto, em um trabalho futuro e aliado ao desenvolvimento de eletrodos mais eficientes para a captação de um maior grupo muscular, poderá resultar em pesquisas sobre o movimento dos membros analisando-se o grupo muscular inteiro, não somente os músculos específicos.

ANEXO 1 – DIAGRAMA ESQUEMÁTICO

Diagrama esquemático: 9 páginas.

ANEXO2 - SIMULAÇÃO ANALÓGICA

Formas de onda para o teste parcial analógico

ANEXO 3 – LISTA DE COMPONENTES

Lista de componentes:

Quantidade	Referência	Componente
39	C1,C5,C7,C11,C18,C20,C21,C22,C23,C24,C25,C26,C27,C28,C32,C33,C34,C35,C36,C37,C39,C40,C41,C42,C43,C44,C48,C49,C52,C53,C54,C55,C56,C57,C63,C64,C67,C68,C69	100nF/25V
8	C2,C4,C8,C10,C14,C15,C17,C62	4.7uF/6.3V
4	C3,C6,C9,C12	55pF/50V
3	C13,C16,C19	10u/25V/Tt
2	C47,C46	22pF/16V
2	C66,C60	0.010uF/50V
1	C61	1uF/50V
2	C70,C65	0.33uF/25V
1	D1	Barra de 4 leds
1	D2	LED vm smd
1	D3	1n4007
4	FR1,FR2,FR3,FR4	Parafuso_M3
5	J2,J3,J4,J5,J6	PHONEJACK STEREO
1	J7	Barra de pinos 1x2
1	J8	Barra de pinos 2x5
1	J9	Barra de pinos 2x10
1	J10	Jack tipo Barril
1	L1	47uH
1	L2	Ferrite-Bead 100MHz
4	R1,R2,R3,R4	270R
16	R5,R6,R7,R8,R26,R27,R28,R29,R32,R33,R34,R35,R36,R37,R38,R40	10k
1	R9	330R
4	R10,R14,R18,R22	1k
4	R11,R15,R19,R23	22R
8	R12,R13,R16,R17,R20,R21,R24,R25	1M
2	R30,R31	4.7K
1	R39	0R
1	SW1	DIP-SWITCH-4CHAVES
1	SW2	PUSHBUTTON
4	U1,U2,U3,U4	INA326
1	U5	DAC8532
1	U6	TPA302
1	U7	TLC3544
1	U8	EPM3064A/PLCC44/SOQ
1	U9	TMS320VC5402/TQFP144
1	U11	IDT71V016S/TSOP44
3	U13,U14,U15	74LVC4245/SO_2
2	U19,U16	7805
1	U17	REG104FA-3.3/DD5
1	U18	TPS76918/SOT23-5
1	U20	TPS3305-18/SOP8
1	U30	AT29LV512
1	Y1	Cristal 10MHz

6. REFERÊNCIAS BIBLIOGRÁFICAS

- DELUCA, Carlo *Surface Electromyography Detection and Recording*. Boston, Delsys Incorporated, 2002.
- DELUCA, Carlo *The use of surface electromyography in biomechanics*. Boston, Journal of Applied Biomechanics, 1993.
- JACKSON, Leland B. *Digital Filters and Signal Processing*. Kluwer Academic Publishers, 1986.
- C. S., Burrus & T. W., Parks. *DFT/FFT and Convolution Algorithms: theory and Implementation*. Rice University, 1985.
- SMITH, Steven W. *The Scientist and Engineer's - Guide to Digital Signal Processing*. California Technical Publishing, ISBN 0-9660176-3-3 (1997).
- SPIEGEL, Murray R. *Theory and Problems of Fourier Analysis*. Schaum's outline series. McGraw-Hill, 1974.
- PEREZ, Ruben D. *TMS320VC5402 and TMS320UC5402 Bootloader*. Houston, Texas Instruments, 2002
- Texas Instruments, TMS320VC5402 Fixed-point digital signal processor, Houston, 2000
- VEGTE, Joyce Van de, *Fundamentals of Digital Signal Processing*, New Jersey, 2002
- BRAGA, Antônio de P., LUDERMIR, Teresa B., CARVALHO, André Carlos P. L. F., *Redes Neurais Artificiais – Teoria e aplicações*, Rio de Janeiro, LTC, 2000.
- MANCINI, Ron, *Amp Ops for everyone*, Dallas, Texas Instruments, 2002.
- TATER, Scott, *Bootloading the TMS320VC5402 in HPI Mode*, Houston. Texas Instruments, 2002.
- SOBOTTA, Johannes, *Atlas de Anatomia Humana Vol. 1*, Rio de Janeiro, Editora Guanabara, 2000

Sites:

www.ti.com
www.dspguide.com
www.mathworks.com
www.analogdevices.com