

Date: Sat, Dec 5 2020

VLSI Design

H.W 1

Layout, DRC, LVS, RCX

Submitters:

Group 12

Yinon horenstein

204203871 ,stu-yinonhor

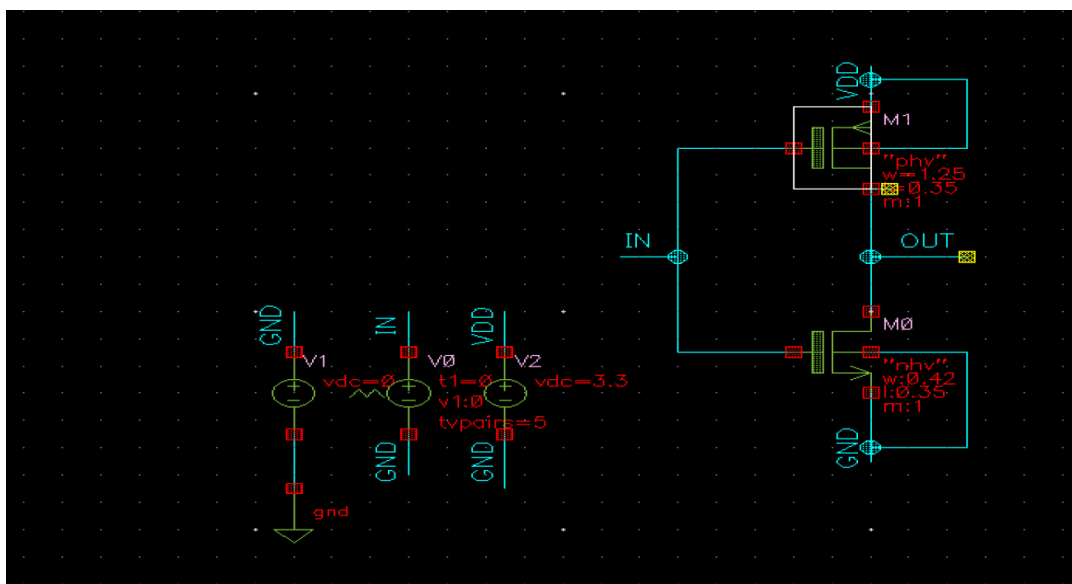
Itay Pindrus

308574656, stu- Pindrus

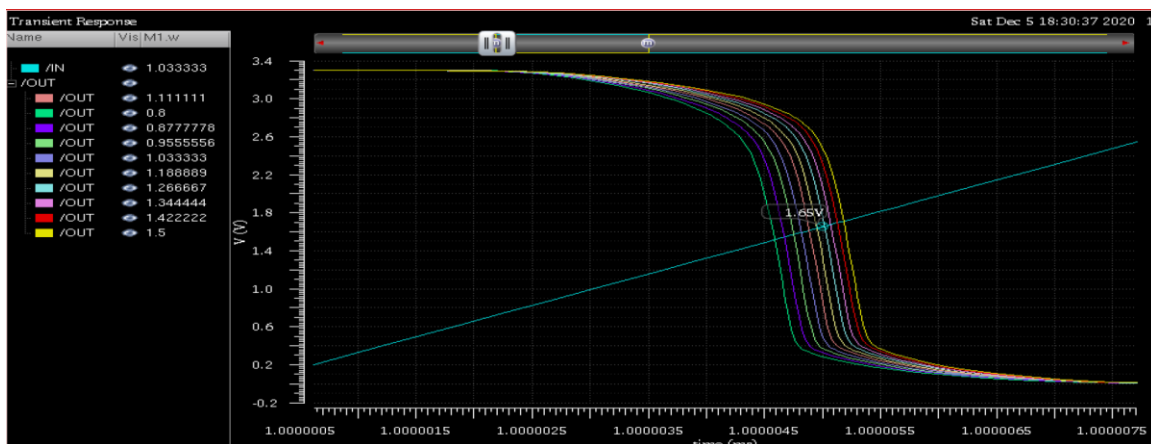
שאלה 1. תכנון סכמטי של מהפך ובדיקתו

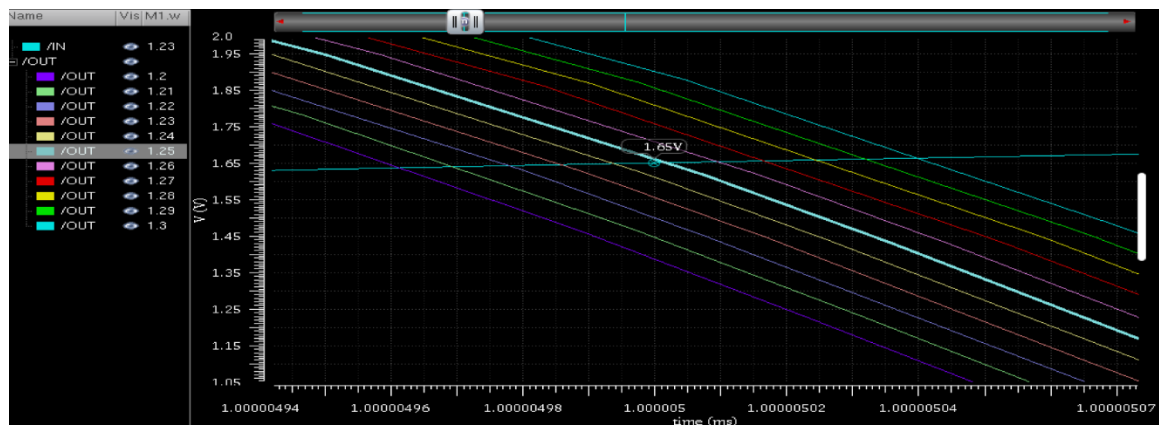
סעיף 1. בסעיף זה נדרשנו לתכנן סכימה של מהפך ולבצע סימולציות על מנת לקבל מהפך אופטימלי.

להלן הסכימה שביצענו:



ביצענו מספר סימולציות על מנת לוודא כי קיבלנו מהפך אופטימלי ($v_m = v_{dd}/2$)

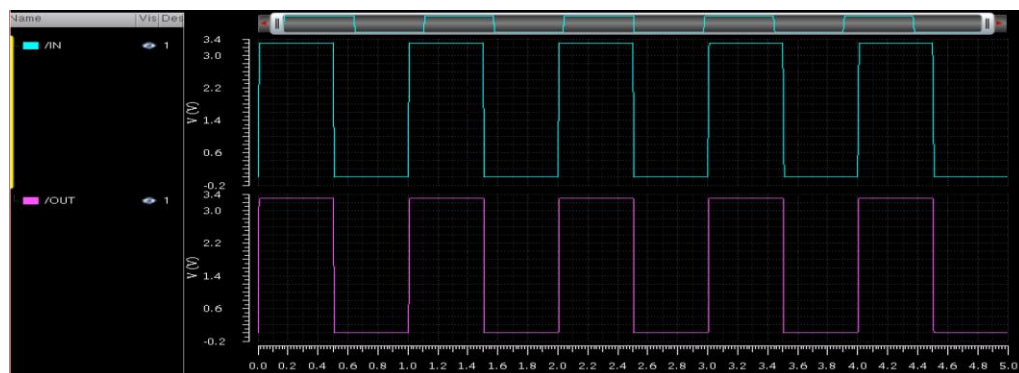
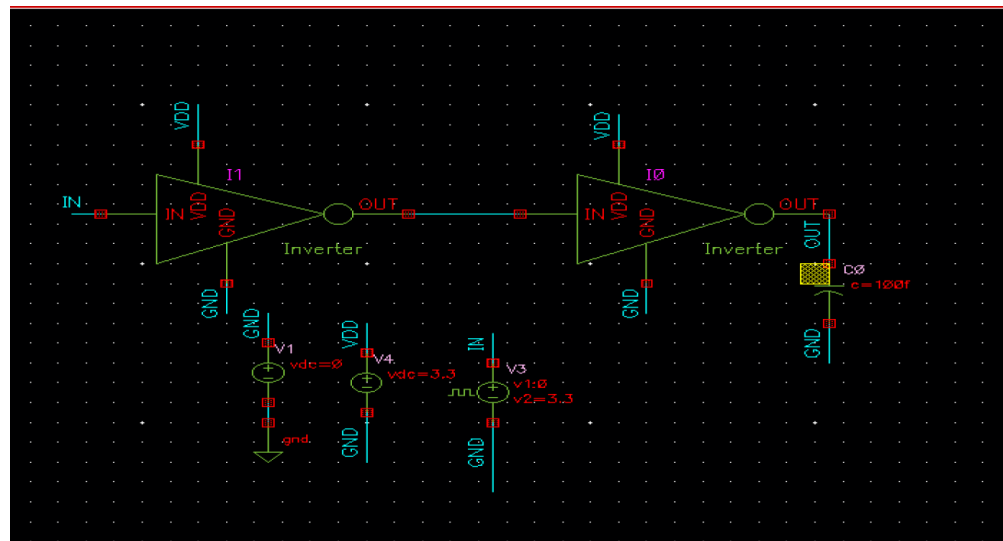




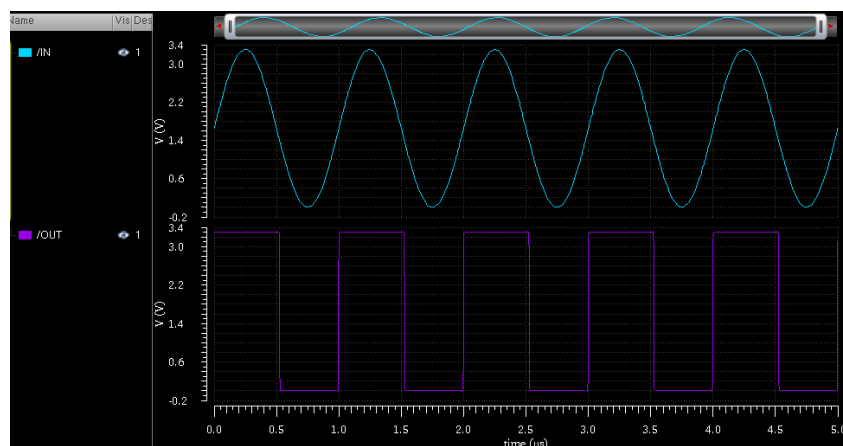
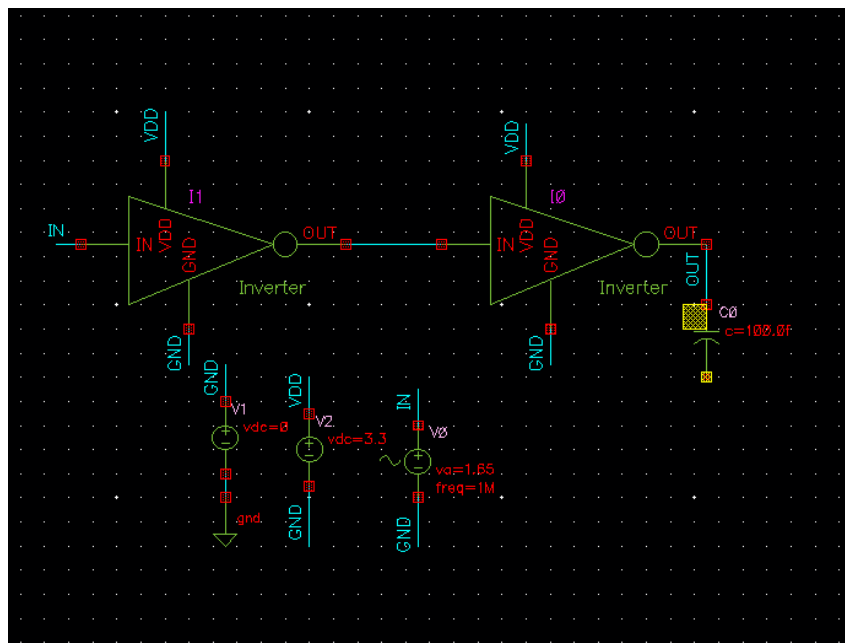
קיבלנו כי $W1 = 1.25[\mu m]$, $W2 = 0.42[\mu m]$

$$\Rightarrow \beta = 2.97$$

סעיף 2. שרשרנו שני מהפכים כך שנקבל באפר את הבאפר חיברנו הן למקור פולס בעל תדירות של 1MHz



והן למקור סינוסי בעל תדירות של 1MHz



כאשר בשני המקרים הנ"ל חיברנו קיבול מוצא בגודל $100fF$

את כל החישובים הבאים ביצענו עבור אות הכניסה הריבועי.



סעיף 3. עבור הבאפר שבנינו שחישבנו את זמני ההשעייה הרלוונטים למעגל

כאשר את זמני ההשעייה TPLH ו TPLH חישובנו ב- calculator בעזרת פונקציית delay.

עבור TPLH הגדרנו את זמן תחילת פונקציית הdelay כאשר $V_{in}=V_{dd}/2=1.65[V]$ ואת זמן סוף הדגימה הגדרנו כאשר $V_{out}=1.65[V]$, כאשר פונקציית ה-delay במצב של falling.

באותה הדרך חישובנו את TPLH רק כאשר פונקציית ה-dealy במצב של rising.

$$tpd = \frac{TPHL+TPLH}{2} \text{ כאשר } tpd \text{ מצאנו את } tpd$$









Test	Output	Nominal
homework1:buffer:1	/IN	
homework1:buffer:1	/OUT	
homework1:buffer:1	TPLH	942.1p
homework1:buffer:1	TPHL	1.285n
homework1:buffer:1	TPD	1.114n

סעיף 4. בסעיף זה שינינו את קבל המוצא, נשים לב שהדרישה כאן היא שנשים לב לשינוי בזמן ה-tpd.

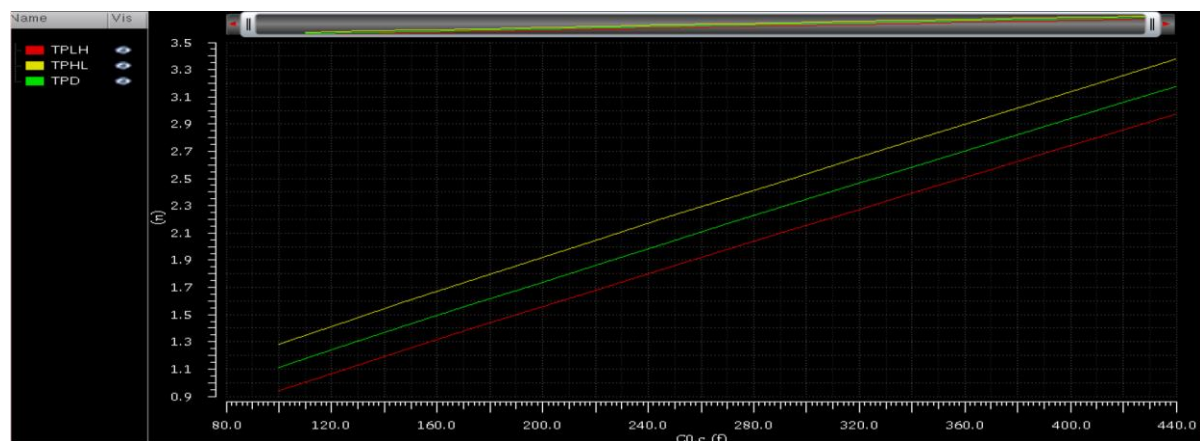
בחרנו את רזולוציית השינוי ב-tpd בתור $\Delta T = 1 [nsec]$

$$C_{new} = 270[fF] \text{ הינו קבל המוצא שהתקבל הינו } C_{new}$$

להלן הגרף והבדיקות שביצענו על מנת להגיע לערך הרצוי (בגרף נדמה שאין ערך ספציפי (אלא כל ערך) עבורו שמים לב כי יש שינוי בזמן ההשעייה)

Parameters: C0.c=100f					
1	homework1:buffer:1	/IN			
1	homework1:buffer:1	/OUT			
1	homework1:buffer:1	TPLH	942.1p		
1	homework1:buffer:1	TPHL	1.285n		
1	homework1:buffer:1	TPD	1.114n		
Parameters: C0.c=124.3f					
2	homework1:buffer:1	/IN			
2	homework1:buffer:1	/OUT			
2	homework1:buffer:1	TPLH	1.095n		
2	homework1:buffer:1	TPHL	1.442n		
2	homework1:buffer:1	TPD	1.269n		
Parameters: C0.c=148.6f					
3	homework1:buffer:1	/IN			
3	homework1:buffer:1	/OUT			
3	homework1:buffer:1	TPLH	1.245n		
3	homework1:buffer:1	TPHL	1.597n		
3	homework1:buffer:1	TPD	1.421n		
Parameters: C0.c=172.9f					
4	homework1:buffer:1	/IN			
4	homework1:buffer:1	/OUT			
4	homework1:buffer:1	TPLH	1.394n		
4	homework1:buffer:1	TPHL	1.751n		
4	homework1:buffer:1	TPD	1.573n		

Parameters: C0.c=197.1f					
5	homework1:buffer:1	/IN			
5	homework1:buffer:1	/OUT			
5	homework1:buffer:1	TPLH	1.542n		
5	homework1:buffer:1	TPHL	1.902n		
5	homework1:buffer:1	TPD	1.722n		
Parameters: C0.c=221.4f					
6	homework1:buffer:1	/IN			
6	homework1:buffer:1	/OUT			
6	homework1:buffer:1	TPLH	1.689n		
6	homework1:buffer:1	TPHL	2.053n		
6	homework1:buffer:1	TPD	1.871n		
Parameters: C0.c=245.7f					
7	homework1:buffer:1	/IN			
7	homework1:buffer:1	/OUT			
7	homework1:buffer:1	TPLH	1.834n		
7	homework1:buffer:1	TPHL	2.204n		
7	homework1:buffer:1	TPD	2.019n		
Parameters: C0.c=270f					
8	homework1:buffer:1	/IN			
8	homework1:buffer:1	/OUT			
8	homework1:buffer:1	TPLH	1.979n		
8	homework1:buffer:1	TPHL	2.352n		
8	homework1:buffer:1	TPD	2.166n		
Parameters: C0.c=294.3f					
9	homework1:buffer:1	/IN			
9	homework1:buffer:1	/OUT			
9	homework1:buffer:1	TPLH	2.123n		
9	homework1:buffer:1	TPHL	2.499n		
9	homework1:buffer:1	TPD	2.311n		
Parameters: C0.c=318.6f					
10	homework1:buffer:1	/IN			
10	homework1:buffer:1	/OUT			
10	homework1:buffer:1	TPLH	2.266n		
10	homework1:buffer:1	TPHL	2.647n		
10	homework1:buffer:1	TPD	2.457n		
Parameters: C0.c=342.9f					
11	homework1:buffer:1	/IN			
11	homework1:buffer:1	/OUT			
11	homework1:buffer:1	TPLH	2.409n		
11	homework1:buffer:1	TPHL	2.794n		
11	homework1:buffer:1	TPD	2.602n		
Parameters: C0.c=367.1f					
12	homework1:buffer:1	/IN			
12	homework1:buffer:1	/OUT			
12	homework1:buffer:1	TPLH	2.55n		
12	homework1:buffer:1	TPHL	2.94n		
12	homework1:buffer:1	TPD	2.745n		



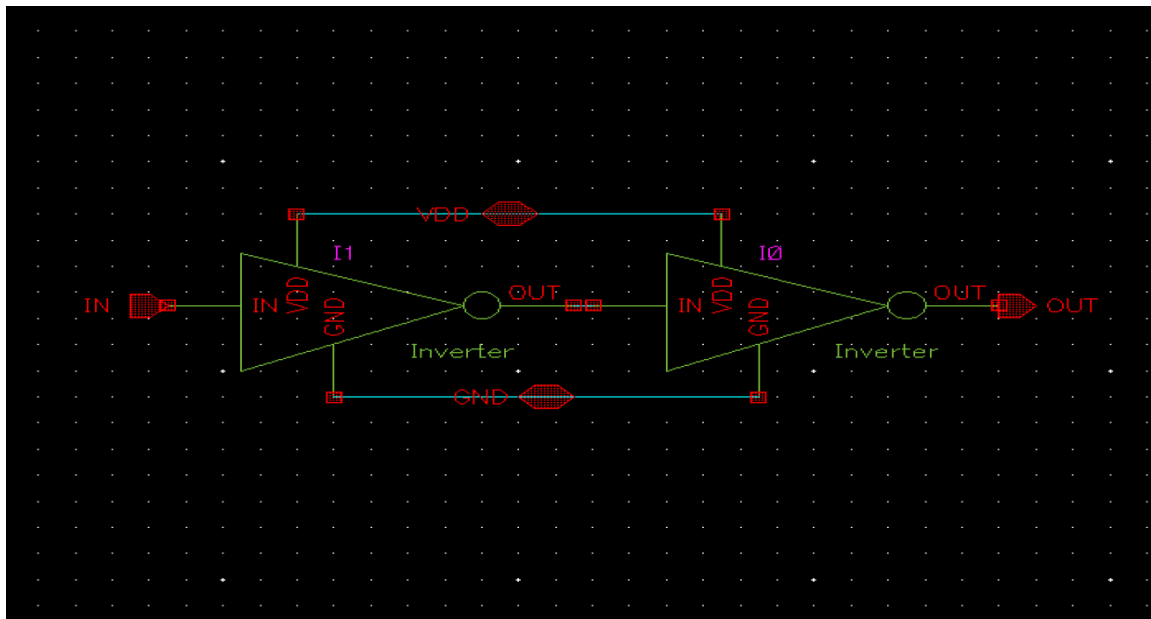
סעיף 5. כעת אנו נשנה את אורך התעלה, $G=12$ ולכן $W = 240 + 120 = 360$ על מנת לשמור על אותה ה- β נשנה גם את רוחב תעלה ה-pmos.

$$W_{nmos} = 360[nm] \rightarrow W_{pmos} = 360 \cdot \beta = 360 \cdot 2.97 = 1070[nm]$$

סעיף 6. קיבלנו כי אכן ההשעייה מסעיף קודם גדלה, סך הזרם בבאפר קטן ולכן יכולת דחיפת קבל המוצא קטנה.

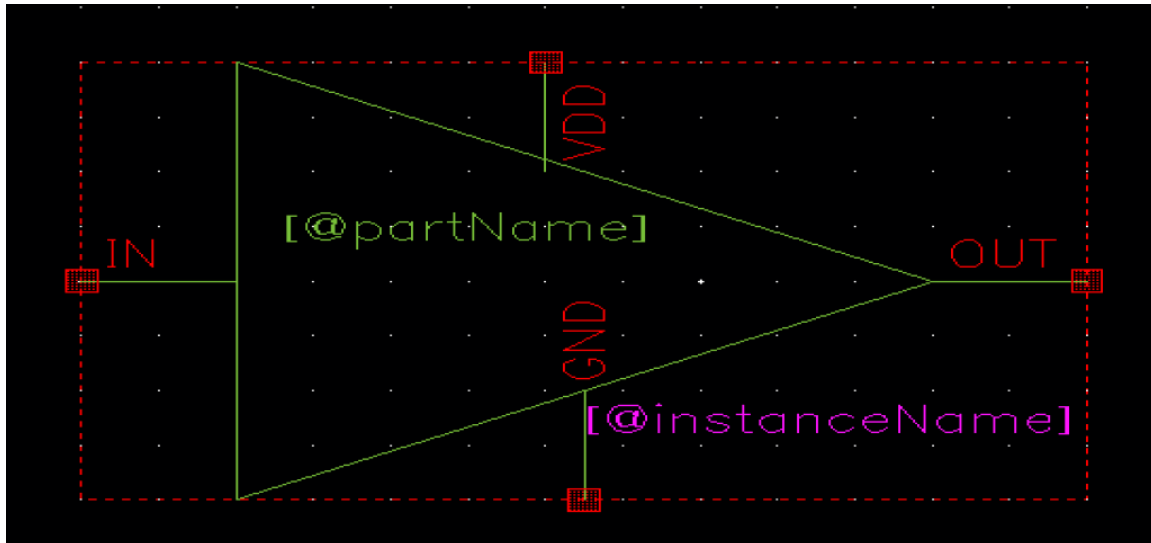
Test	Output	Nominal	Spec	Weight	Pass/Fail
homework1:buffer:1	/IN				
homework1:buffer:1	/OUT				
homework1:buffer:1	TPLH	1.027n			
homework1:buffer:1	TPHL	1.401n			
homework1:buffer:1	TPD	1.214n			

סה"כ נקבל את הסכימה הבאה עבור הבאפר שבנינו:

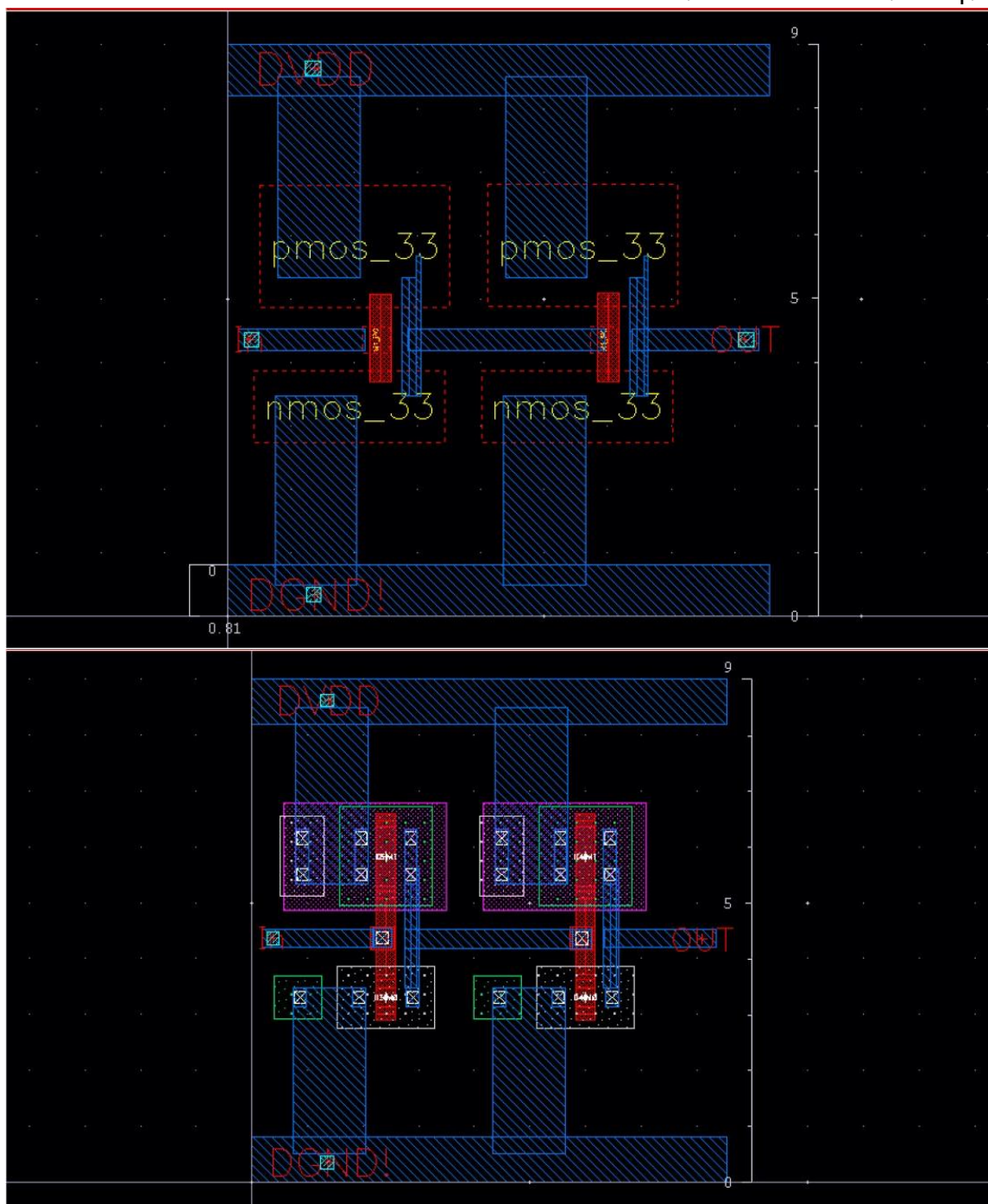


שאלה 2. תכנון LAYOUT של מהפך ובדיקתו

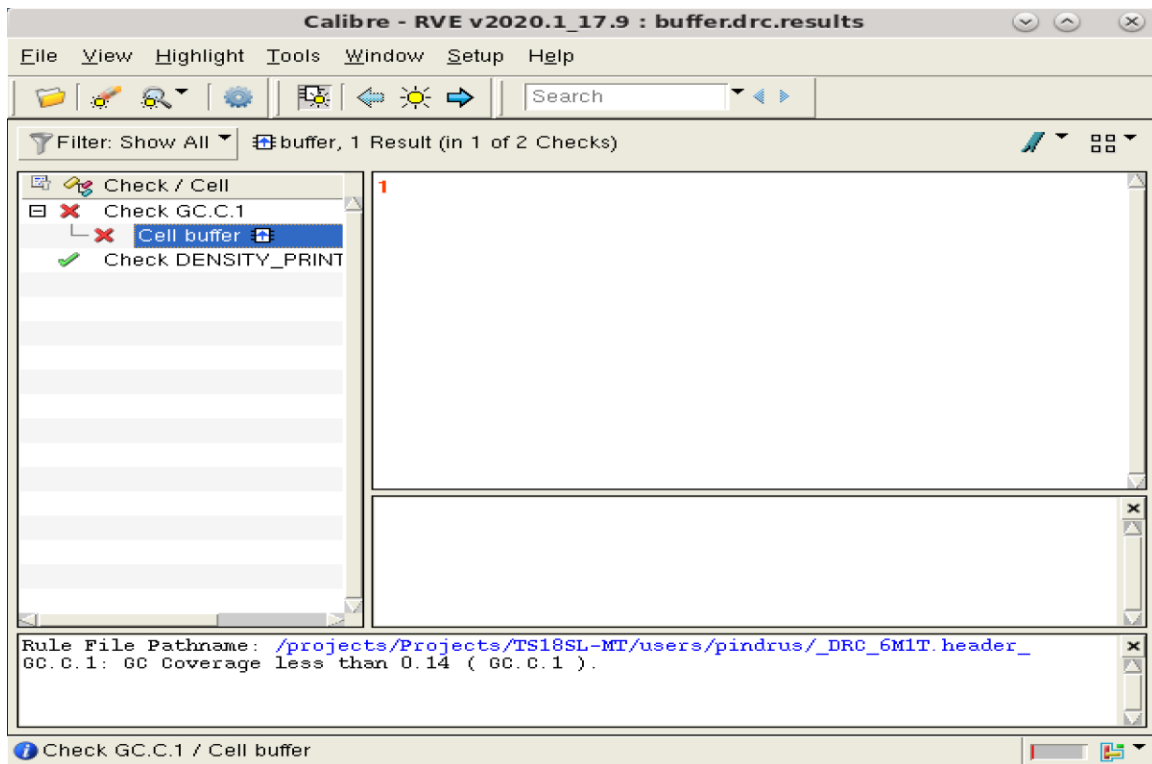
סעיף 1. יצרנו סימבול עבור הבאפר שתכננו



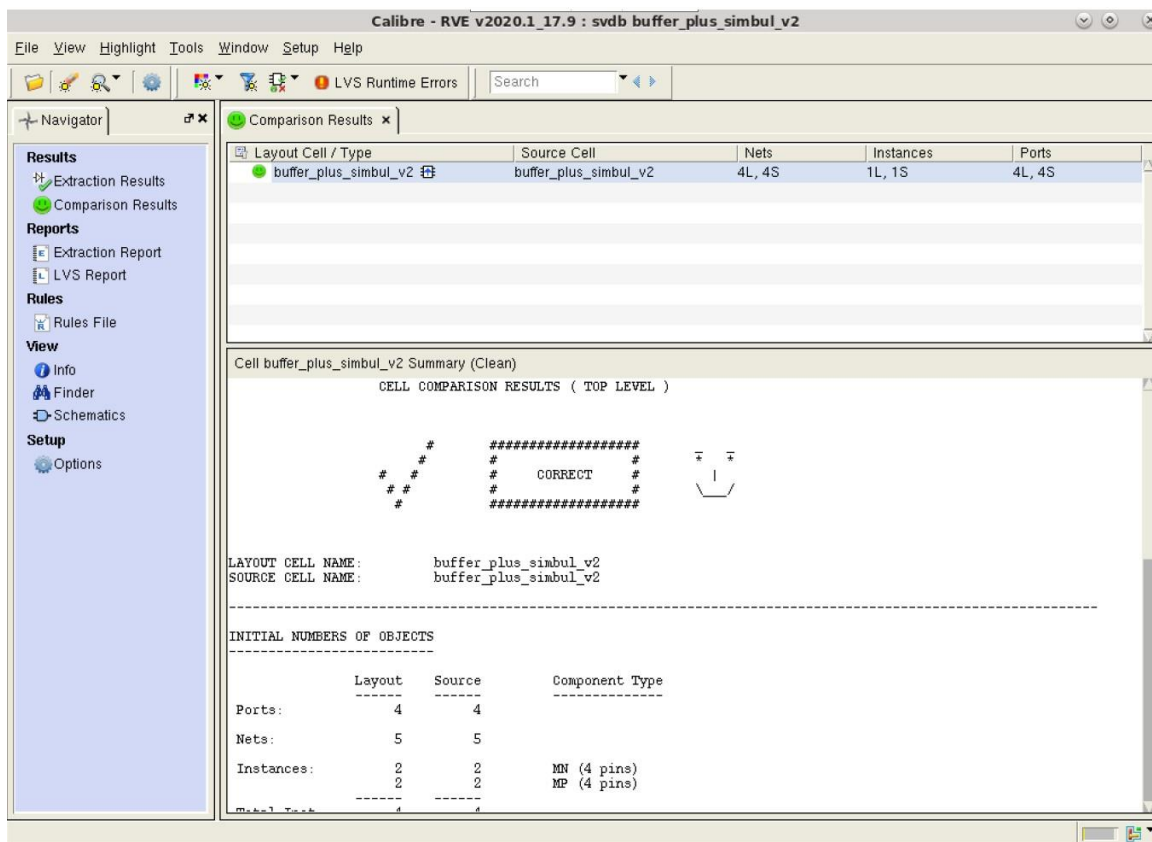
סעיף 2. כעת נשרטט LAYOUT עבור התא כנדרש.



סעיף 3. בסעיף זה אנו ביצענו בדיקת DRC ווידאנו שאין בעיות DRC פרט לבעיות coverage\density

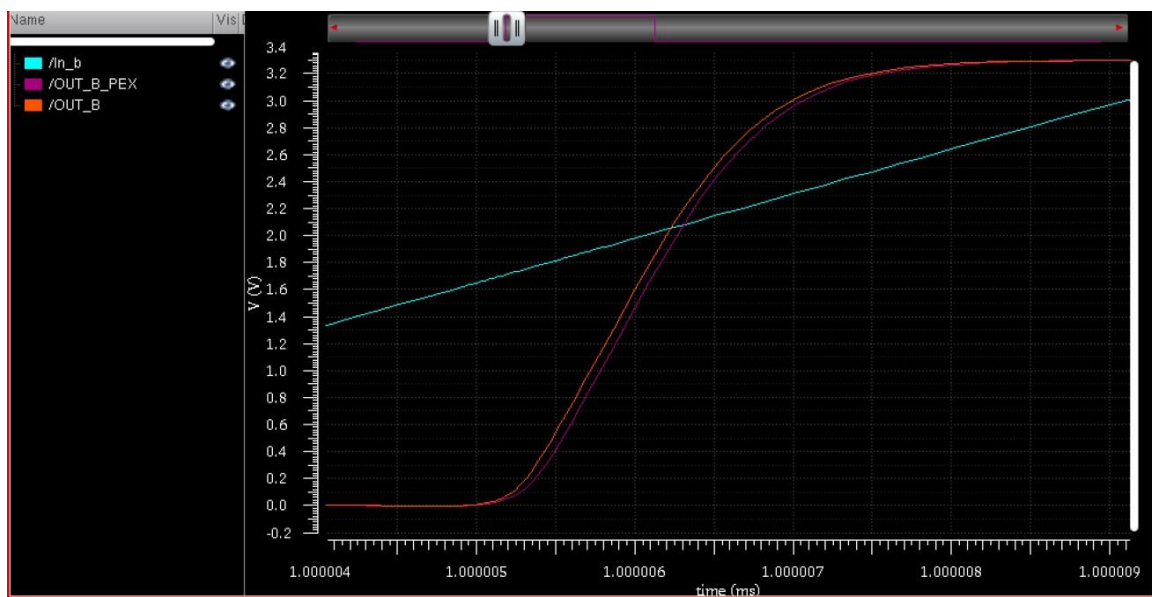


סעיף 4. ביצוע בדיקת LVS

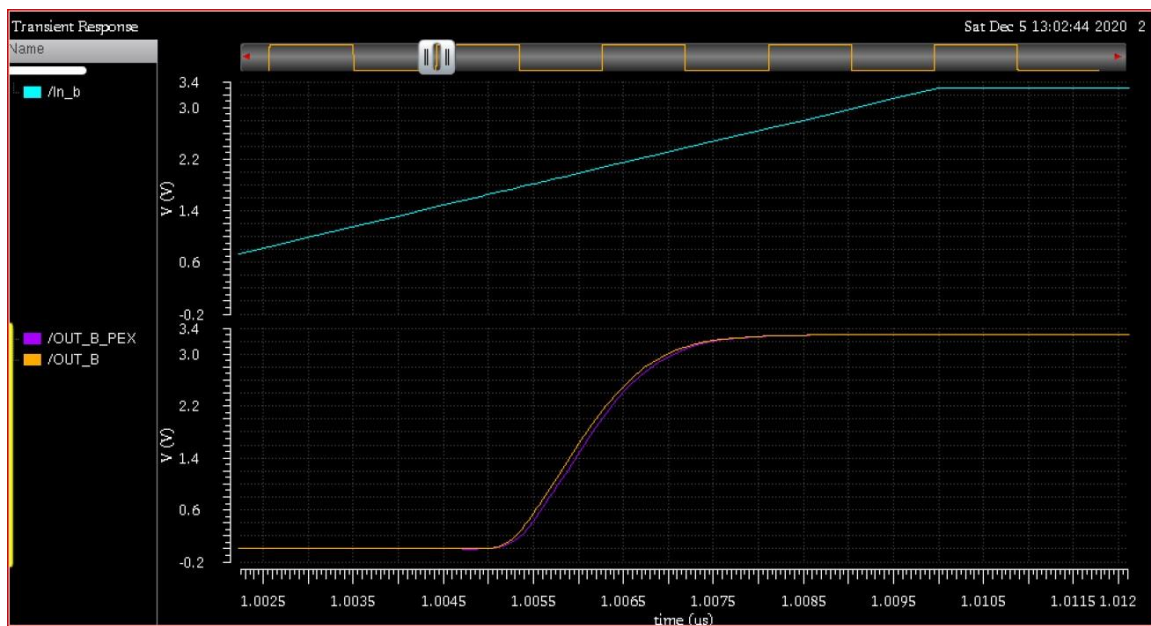


סעיף 5. ביצוע בדיקת PEX ויצירת קובץ config.

ביצענו סימולציה לדוגמא על מנת לוודא תקינות:



סעיף 6. עבור הסעיף הנ"ל נחזור על הסימולציות שביצענו בשאלה 1 עבור התא בתוספת הפרזיטיקה



בנוסף, להלן השוואה בין ערכי t_{pd} של התא עבור השוואה בין התא המקורי לבין התא עם פרזיטיקה PEX:

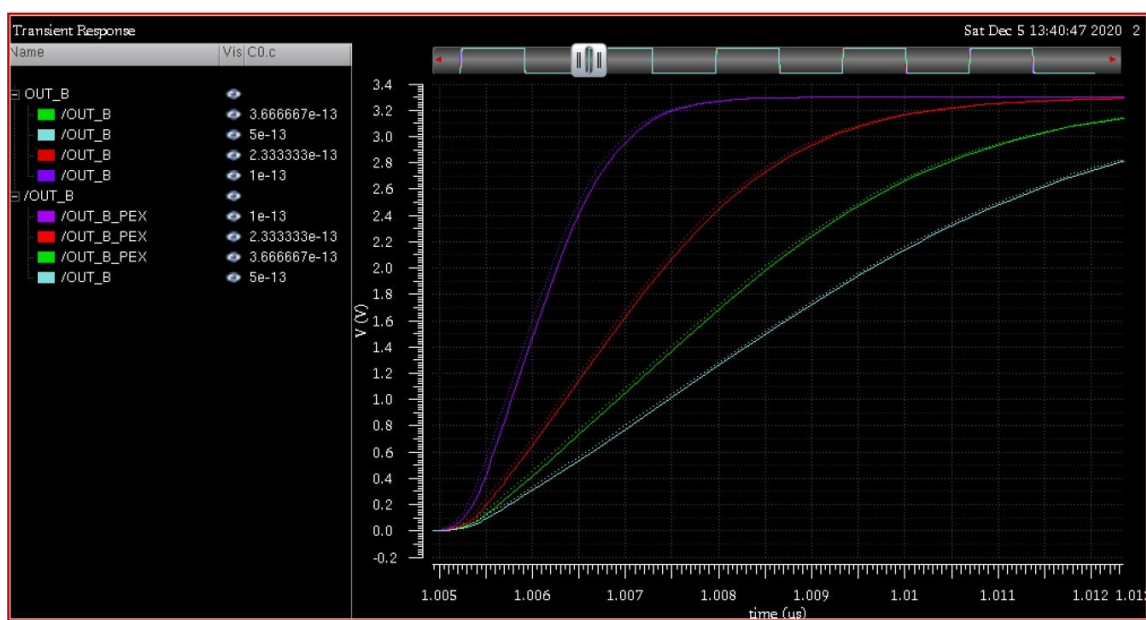
(כאשר מימין אלו הם הפרטים על התא בתוספת הפרזיטיקה ומשמאל זהו התא המקורי)

Inverter_v3:buffer_plus_simbul_v2_tb:1	/n_b		/n_b	
Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B		OUT_B_PEX	
Inverter_v3:buffer_plus_simbul_v2_tb:1	tphl	1.401n	tphl	1.462n
Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	1.027n	tplh	1.09n
Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	1.214n	tpd	1.276n

סעיף 7. בדומה לסעיף 4 בשאלה 1. אנו שינינו את קבל המוצא כך שה- T_{pd} גדל.

ניתן לראות בתמונה ובטבלאות למטה כי ככל שקבל המוצא גדל ה- t_{pd} גדל, בנוסף, ניתן לראות כי לכל ערך קיבול שונה בקבל המוצא נקבל כי עבור תא עם פרזיטיקה ה- t_{pd} גדול יותר לעומת התא ללא הפרזיטיקה.

בגרף הנתון מטה, נשים לב כי הגרפים המקווקווים הינם מאפיינים את התאים ללא הפרזיטיקה לעומת הגרפים החלקיים שמאפיינים את התאים בתוספת פרזיטיקת PEX.



Parameters: C0.c=100f					
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		/In_b	
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	OUT_B		OUT_B_PEX	
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphl	1.401n	tphl	1.462n
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	1.027n	tplh	1.09n
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	1.214n	tpd	1.276n
Parameters: C0.c=166.7f					
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		/In_b	
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	OUT_B		OUT_B_PEX	
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphl	1.886n	tphl	1.945n
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	1.507n	tplh	1.567n
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	1.696n	tpd	1.756n
Parameters: C0.c=233.3f					
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		/In_b	
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	OUT_B		OUT_B_PEX	
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphl	2.358n	tphl	2.413n
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	1.973n	tplh	2.033n
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.166n	tpd	2.223n
Parameters: C0.c=300f					
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		/In_b	
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	OUT_B		OUT_B_PEX	
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphl	2.821n	tphl	2.876n
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.432n	tplh	2.49n
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.627n	tpd	2.683n

בדומה לסעיף 6. מימין אלו הם הפרטים על התא בתוספת הפרזיטיקה ומשמאל זהו התא המקורי)

סעיף 8. כמו שניתן לראות בגרף של הסעיף הקודם, ככל שמגדילים את קבל המוצא ה-Tpd של שני התאים, הן הסכמטי והן בעל פרזיטיקת PEX, גדל. אך, לכל קיבול מוצא נתון ה-Tpd של התא בעל פרזיטיקת ה-PEX גדול יותר.

בהמשך ישיר לסעיף הקודם המשכנו לבצע את הסימולציות עבור שני התאים האחד ללא PEX והשני עם פרזיטיקת PEX.

בנוסף, הקטנו את רזולוציית הסימולציות כך שקיבלנו את הטבלאות הבאות:

Parameters: C0.c=240f				Parameters: C0.c=240f			
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B		Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B_PEX		
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphi	2.404n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphi	2.461n	
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.019n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.078n	
1	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.212n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.269n	
Parameters: C0.c=241f				Parameters: C0.c=241f			
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B		Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B_PEX		
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphi	2.411n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphi	2.468n	
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.026n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.085n	
2	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.219n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.276n	
Parameters: C0.c=242f				Parameters: C0.c=242f			
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B		Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B_PEX		
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphi	2.417n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphi	2.475n	
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.033n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.091n	
3	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.225n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.283n	
Parameters: C0.c=243f				Parameters: C0.c=243f			
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		Inverter_v3:buffer_plus_simbul_v2_tb:1	/In_b		
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B		Inverter_v3:buffer_plus_simbul_v2_tb:1	/OUT_B_PEX		
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphi	2.425n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tphi	2.482n	
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.04n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tplh	2.098n	
4	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.233n	Inverter_v3:buffer_plus_simbul_v2_tb:1	tpd	2.29n	

על מנת לבדוק האם ערך קיבול המוצא של התא הסכמטי גדול מערך קיבול המוצא של התא עם פרזיטיקת PEX, נעזר ברזולוציית השינוי tpd שהגדרנו בשאלה 1, $\Delta T = 1 [nsec]$.

נסכם בטבלה את ערכי הקיבול עבור רזולוציית השינוי שהגדרנו לעיל:

התא	Tpd (C=100fF)	Tpd (C=100fF)+ ΔT	C(new)
התא הסכמטי	1.214n	~2.214n	~240fF
התא עם פרזיטיקת PEX	1.276n	~2.276n	~241fF

סה"כ עבור חיפוש ΔT שהגדרנו נקבל כי ערך קבל המוצא עבור התא בעל פרזיטיקת PEX גדול מערך קבל המוצא עבור התא הסכמטי.

(נזכור כי ערכי הקיבול הפרזיטי הינו בסדר גודל של fF)