

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

# Trabajo Práctico N°2

## Electrónica III - 2019

Grupo 1:

Farall, Facundo David  
Gaytan, Joaquín Oscar  
Kammann, Lucas Agustín  
Maselli, Carlos Javier

Profesores:

Dewald, Kevin  
Wundes, Pablo  
Aguirre, Miguel

4 de octubre de 2019

# Índice

<b>Tecnologías TTL, RTL, NMOS y CMOS</b>	<b>3</b>
Análisis teórico . . . . .	3
Niveles de tensión . . . . .	4
Proceso de medición . . . . .	4
Análisis de resultados . . . . .	5
Tiempos de operación . . . . .	5
Proceso de medición . . . . .	5
Análisis de resultados . . . . .	7
Corrientes máximas . . . . .	7
Proceso de medición . . . . .	7
Análisis de resultados . . . . .	8
Conclusiones . . . . .	8
<b>Ejercicio 2: Comparación de compuertas discretas con tecnología TTL y CMOS</b>	<b>9</b>
<b>Ejercicio 3: Implementación de una tabla de verdad</b>	<b>10</b>
<b>Ejercicio 4: Tiempos de propagación en compuerta CMOS</b>	<b>11</b>
<b>Ejercicio 5: Comparación TTL y CMOS de compuertas con entradas desconectadas</b>	<b>12</b>
<b>Ejercicio 6: Diseño e implementación multivibradores</b>	<b>13</b>
<b>Ejercicio 7: Diseño de contadores sincrónicos y asincrónicos de 3 bits</b>	<b>14</b>
<b>Ejercicio 8: Diseño de controlador para un Joystick Analógico</b>	<b>15</b>

## Tecnologías TTL, RTL, NMOS y CMOS

La electrónica digital en sus bases diseña circuitos cuyo funcionamiento reproduce el sistema binario y el álgebra booleana que define las operaciones matemáticas entre las entidades que son los bits. Es de interés estudiar los parámetros que establecen los límites físicos al modelo conceptual de las compuertas lógicas para diferentes tecnologías y topologías. Para esto, se diseña con diferentes tecnologías una compuerta NOT y se asume que el lector tiene un conocimiento del funcionamiento de los dispositivos empleados en este estudio.

### Análisis teórico

En los análisis realizados para reproducir los circuitos ilustrados en la Fig. 1, se emplean transistores NPN *BC547* con un  $hFE_{min} = 110$ , una  $V_{CE_{SAT}} \approx 0,3V$ . Luego para los MOSFET se emplea un par complementario *IRFZ44N* y *IRF9530*. Se alimenta con  $V_{CC} = V_{DD} = 5V$ .

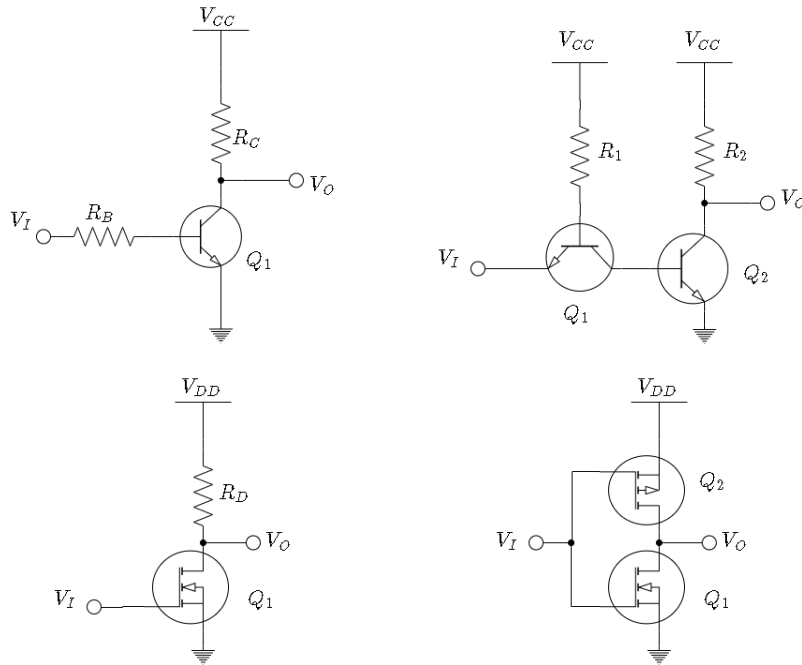


Figura 1: Implementación en diversas tecnologías y topologías de Compuerta NOT

**Tecnología RTL:** Se opera un transistor  $Q_1$  en conmutación con modos de saturación y corte, para ello se define arbitrariamente una resistencia  $R_C = 10k\Omega$ , se asume  $Q_1$  en saturación y luego la corriente de colector se establece como  $I_{C_{SAT}} = \frac{V_{CC} - V_{CE_{SAT}}}{R_C} \approx 480\mu A$ , con lo cual con una resistencia de base  $R_B = 470k\Omega$  se cumple la condición de saturación.

**Tecnología TTL:** Opera de igual forma que el caso RTL, en principio se asumen valores de resistencias iguales donde  $R_1 = 470k\Omega$  y  $R_2 = 10k\Omega$ . La diferencia principal es que la corriente de base del transistor de salida  $Q_2$  es controlada por la de colector del transistor de entrada  $Q_1$ , con lo cual los tiempos de recuperación se ven reducidos ya que se enciende y apaga con mucha más corriente que antes, debiéndose esperar menor tiempo de propagación o transición.

**Tecnología MOS:** Se opera un MOSFET de canal N en conmutación en modo de corte y lineal, para ello se garantiza que la resistencia  $R_D$  sea lo suficientemente grande para no saturar el canal. Se propone una  $R_D = 10k\Omega$ . Se tiene en cuenta que el  $V_{TH_{MAX}} = 4V < 5V$ .

**Tecnología CMOS:** Se evita usar una resistencia en el Drain usando redes de pull-up y pull-down con transistores MOS complementarios cuya  $|V_{TH}| = 4V$ .

## Niveles de tensión

La sintetización de circuitos lógicos implica la interconexión de compuertas integradas que según su tecnología y topología maneja niveles de tensión para los estados lógicos que puede diferir con el resto, para esto es de interés analizar tales magnitudes en la implementación de los cuatro circuitos ilustrados previamente.

## Proceso de medición

Empleando un generador de funciones se configura una señal triangular con una simetría del 50 % desde 0V hasta 5V, luego utilizando un osciloscopio se mide con dos canales la entrada y la salida, utilizando puntas de prueba configuradas en x10 para agregar la menor capacidad parásita posible para no introducir tiempos de transición superiores. Por esto último, la frecuencia de la triangular debe ser baja, utilizando en estos casos entre  $f = 50Hz$  y  $f = 80Hz$  según se considere conveniente. Finalmente, se descargan del osciloscopio las mediciones, preferentemente un archivo .csv para luego procesar la entrada y salida como una función y localizar los puntos donde la derivada se hace, como lo indica la figura,  $-1$ . Además, se calculan los márgenes de ruido como las diferencias correspondientes estados altos y bajos de entrada y salida.

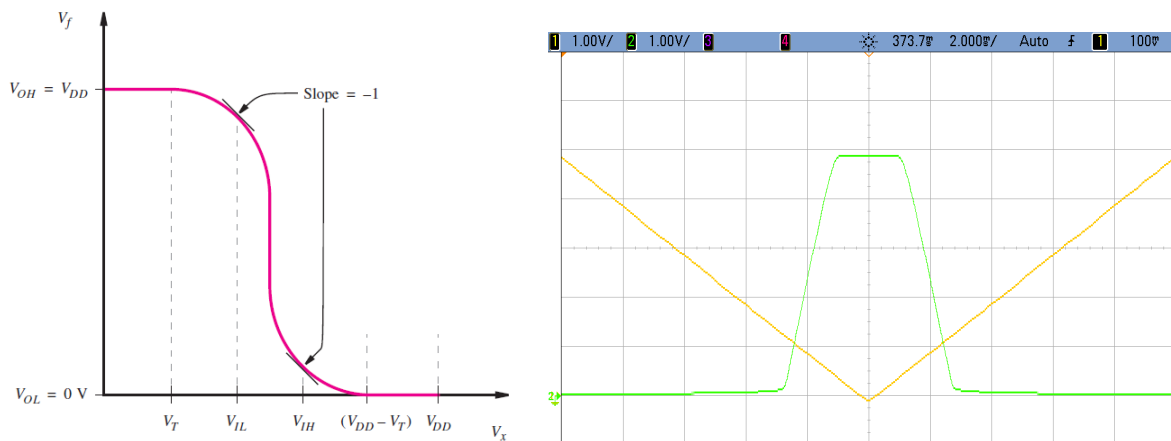


Figura 2:  $V_o(V_i)$  y medición entrada(amarilla) y salida(verde).

Circuito	VIH	VIL	VOH	VOL	NMH	NML
RTL	1,33V	0,28V	4,89V	0,11V	3,55V	0,16V
TTL	0,56V	0,3V	4,89V	0,01V	4,32V	0,29V
MOS	2,7V	1,94V	4,89V	0,04V	2,19V	1,89V
CMOS	1,7V	2,89V	4,94V	0,04V	3,23V	2,85V

Tabla 1: Resultados de los niveles de tensión

Circuito	VIH	VIL	VOH	VOL	NMH	NML
RTL	1,31V	0,25V	4,89V	0,13V	3,58V	0,12V
TTL	0,55V	0,31V	4,89V	0,01V	4,33V	0,29V
MOS	2,53V	2,1V	4,88V	0,01V	2,34V	2,09V
CMOS	1,44V	2,83V	4,94V	0,04V	3,49V	2,79V

Tabla 2: Resultados de los niveles de tensión con carga de  $C = 1nF$

### Análisis de resultados

En primer lugar, de RTL a TTL disminuye el valor de VIH de forma esperado, ya que con la etapa de entrada con el primer transistor, se necesita menos tensión con la cual polarizarlo y eventualmente saturar el transistor de salida. Por otro lado, es de esperar que los valores de VOH entre tales tecnologías no difieran, dado que al corte se comporta de igual manera en la malla de salida, no obstante se asume que la diferencia entre valores de VOL es causada por el incremento en la condición de saturación en el caso de TTL, puesto que al estar elevando la corriente de colector el punto de polarización se desplaza a una menor tensión.

En segundo lugar, es de esperar que entre las topologías usadas como MOS y CMOS, los valores de VOL no difieran, ya que está impuesto por la red pull-down realizada con un transistor NMOS, mientras que la diferencia de uno a otro es el pull-up, lo cual puede denotarse en el incremento de VOH para CMOS. En términos generales, puede observarse que los niveles de salida mas fuertes son entregados por el caso CMOS, con un margen de ruido para ambos casos mayor en cuanto a la distribución.

Desde otro punto de vista, en la Tabla. 2 se puede observar que en el resultado de las mediciones habiendo cargado las compuertas, es notable destacar que la que mayor mantiene sus valores es la compuerta CMOS.

### Tiempos de operación

De la expresión lógica ideal a la implementación en dispositivos físicos existen limitaciones que acarrearán inconvenientes y pueden provocar que el comportamiento resultante no sea el esperado, entre estas características se encuentran los tiempos de transición que describen el retardo del dispositivo en pasar una salida del estado bajo al alto y viceversa, así como también los tiempos de propagación que requiere el dispositivo para reflejar los cambios de la entrada en la salida.

### Proceso de medición

Empleando un generador de funciones se configura una señal cuadrada con duty 50% con un valor de tensión  $5V_{PP}$  y una tensión de offset 2,5V, luego utilizando un osciloscopio se mide con dos canales la señal de entrada y de salida, configurando el trigger para dos escenarios alternativos de rise y fall, de esta forma se logra capturar ambos escenarios de inversión ya sea de estado alto a bajo como de bajo a alto. La frecuencia debe ser baja al igual que antes, según convenga inferior a  $f = 100Hz$ . Finalmente, se descargan los datos de entrada y salida en archivos .csv para ser procesados por un software. Se determina el tiempo de transición de la salida entre el 10% y el 90%, mientras que el tiempo de propagación se da entre la entrada y salida al 50%.

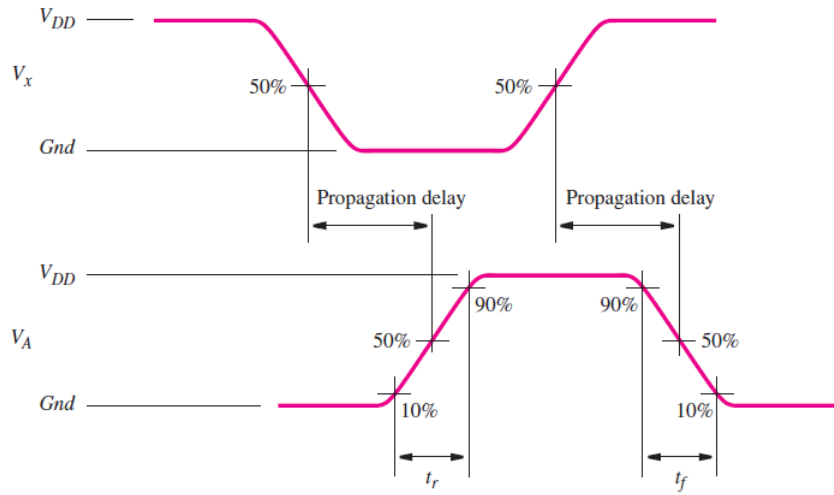


Figura 3: Definición teórica de los tiempos a medir

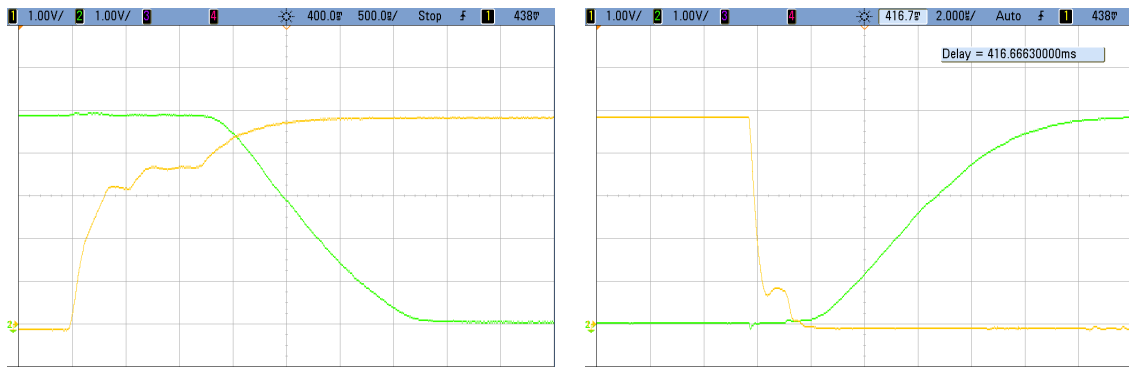


Figura 4: Casos ejemplo de medición de los tiempos

Circuito	Prop. de alto a bajo	Prop. de bajo a alto	Trans. de alto a bajo	Trans. de bajo a alto
RTL	5,49 $\mu s$	1,88 $\mu s$	1,37 $\mu s$	6,12 $\mu s$
TTL	2,81 $\mu s$	55ns	57,2ns	57ns
MOS	15,3 $\mu s$	185ns	177ns	27,4 $\mu s$
CMOS	710ns	720ns	412ns	504ns

Tabla 3: Medición de los tiempos de operación sin carga

Circuito	Prop. de alto a bajo	Prop. de bajo a alto	Trans. de alto a bajo	Trans. de bajo a alto
RTL	11,2 $\mu s$	2,75 $\mu s$	2,8 $\mu s$	29,2 $\mu s$
TTL	9,68 $\mu s$	72ns	206ns	27,8 $\mu s$
MOS	23,4 $\mu s$	210ns	182ns	51,2 $\mu s$
CMOS	750ns	745ns	434ns	532ns

Tabla 4: Medición de los tiempos de operación con  $C = 1nF$

## Análisis de resultados

Las cargas capacitivas agregadas a las salidas de las compuertas produce un incremento en los tiempos de operación medidos, pero además, resulta de interés comparar las diferencias entre las tecnologías. En primer lugar, entre las tecnologías RTL y TTL, se puede observar una amplia diferencia que es esperada, dado que el mismo transistor empleando en RTL, tiene una etapa previa implementada justamente para reducir los tiempos de operación utilizando más corrientes para controlar los procesos de apagado y encendido de las junturas.

Por otro lado, al momento de cargar con una determinada capacidad las compuertas, la que menos variación presenta es la CMOS.

## Corrientes máximas

La interconexión de un conjunto amplio de compuertas lógicas puede requerir un gran consumo de corriente para las salidas de las mismas, con lo cual es necesario determinar las máximas corrientes de estado alto y estado bajo que puede soportar los circuitos empleados, puesto que de esta forma puede estimarse el máximo número de compuertas a conectar.

## Proceso de medición

Como se puede observar en la Fig. 5 el proceso de medición consiste en, para cada estado, utilizar una carga en la salida variable con el objetivo de ir variando el valor y observando cuál es la tensión a la salida. Para cada caso, se considera que la corriente máxima es aquella para la cual en la salida se observa el nivel de tensión que define el límite del estado de la salida, sea VOH o VOL.

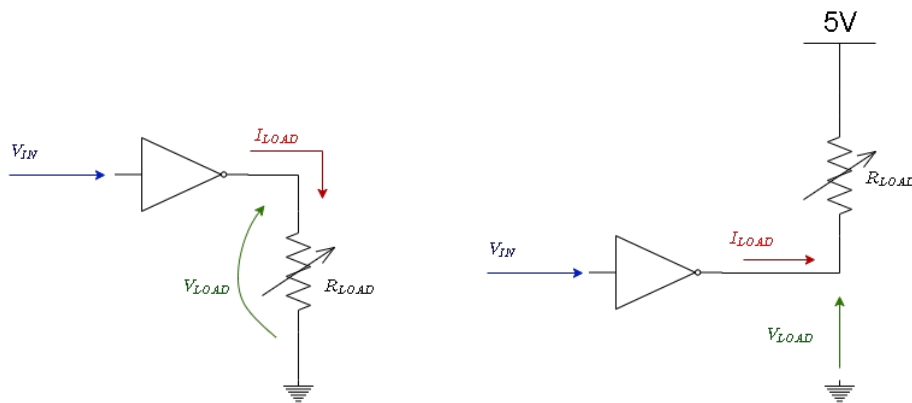


Figura 5: Proceso de medición de máxima corriente

Circuito	IOH	IOL
RTL	$14,4\mu A$	$488\mu A$
TTL	$14,6\mu A$	$13,1\mu A$
MOS	$11,5\mu A$	$249\mu A$
CMOS	$15,2mA$	$135\mu A$

Tabla 5: Mediciones de corriente máxima sin carga

Circuito	IOH	IOL
RTL	$11,1\mu A$	$1,13mA$
TTL	$10,2\mu A$	$49,5\mu A$
MOS	$12,4\mu A$	$37,7\mu A$
CMOS	$21,3mA$	$102\mu A$

Tabla 6: Mediciones de corriente máxima con carga  $C = 1nF$

### Análisis de resultados

Las implementaciones realizadas RTL, TTL, MOS tienen una corriente similar de IOH, lo cual tiene sentido ya que tal es provista por la resistencia de pull-up que cada caso es similar, aproximadamente en  $R = 10k\Omega$  con la distinción real provocada por la tolerancia y el comportamiento de la malla de salida de los dispositivos. Pero en definitiva los valores son cercanos por esta razón.

A pesar de esto último, cada una de tales tecnologías difiere de las demás en la corriente IOL justamente porque está definida por el control de la condición de saturación en los BJT, y la zona óhmica en el caso de los MOSFET. No obstante, dado que en el circuito CMOS los MOSFETS son complementarios, no se encontró razonamiento por el cual la corriente IOH sea tan diferente con respecto de IOL, se asume que es por las condiciones en las que pudieran encontrarse los modelos usados.

### Conclusiones



## **Ejercicio 2: Comparación de compuertas discretas con tecnología TTL y CMOS**

### Ejercicio 3: Implementación de una tabla de verdad

## Ejercicio 4: Tiempos de propagación en compuerta CMOS

## **Ejercicio 5: Comparación TTL y CMOS de compuertas con entradas desconectadas**

## Ejercicio 6: Diseño e implementación multivibradores

## **Ejercicio 7: Diseño de contadores síncronos y asíncronos de 3 bits**

## **Ejercicio 8: Diseño de controlador para un Joystick Analógico**