

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

Trabajo Práctico N°2

Electrónica III - 2019

Grupo 1:

Farall, Facundo David
Gaytan, Joaquín Oscar
Kammann, Lucas Agustín
Maselli, Carlos Javier

Profesores:

Dewald, Kevin
Wundes, Pablo
Aguirre, Miguel

12 de octubre de 2019

Índice

Tecnologías TTL, RTL, NMOS y CMOS	4
Análisis teórico	4
Niveles de tensión	5
Proceso de medición	5
Análisis de resultados	5
Tiempos de operación	6
Proceso de medición	6
Análisis de resultados	7
Corrientes máximas	7
Proceso de medición	7
Análisis de resultados	8
Diseño de PCB	9
Observaciones	9
Resistencia de pull-down	9
Tiempos de transición	9
Mediciones	10
Conclusiones	10
Comparación de compuertas discretas con tecnología TTL y CMOS	11
Marco teórico	11
Análisis mediante hojas de datos	12
Resultados experimentales	13
Conclusiones	14
Ejercicio 3: Implementación de una tabla de verdad	15
Ejercicio 4: Tiempos de propagación en compuerta CMOS	16
TTL y MOS, entradas abiertas y compatibilidad entre tecnologías	17
Compuertas discretas con entrada desconectada	17
Descripción general	17
Resultados	17
Análisis de resultados	19
Conexión TTL y CMOS	19
Descripción general	19
Resultados	20
Análisis de resultados	21
Soluciones propuestas	22
Diseño e implementación multivibradores	24
Ejercicio 7: Diseño de contadores sincrónicos y asincrónicos de 3 bits	25
Contador Asincrónico	25
Diseño del circuito	25
Diseño de PCB	25
Contador Sincrónico	25
Diseño del circuito	25
Diseño de PCB	26
Visualización del contador	26
Diseño del circuito	26
Diseño de PCB	27
Resultados	27
Funcionamiento	27
Mediciones	27
Análisis de datos	27

Tecnologías TTL, RTL, NMOS y CMOS

Es de interés estudiar los parámetros que establecen los límites físicos al modelo conceptual de las compuertas lógicas para diferentes tecnologías y topologías, diseñando con diferentes tecnologías una compuerta NOT y se asume que el lector tiene un conocimiento del funcionamiento de los dispositivos empleados en este estudio.

Análisis teórico

En los análisis realizados para reproducir los circuitos ilustrados en la Fig. 1, se emplean transistores NPN *BC547* con un $hFE_{min} = 110$, una $V_{CE_{SAT}} \approx 0,3V$. Luego para los MOSFET se emplea un par complementario *IRFZ44N* y *IRF9530*. Se alimenta con $V_{CC} = V_{DD} = 5V$.

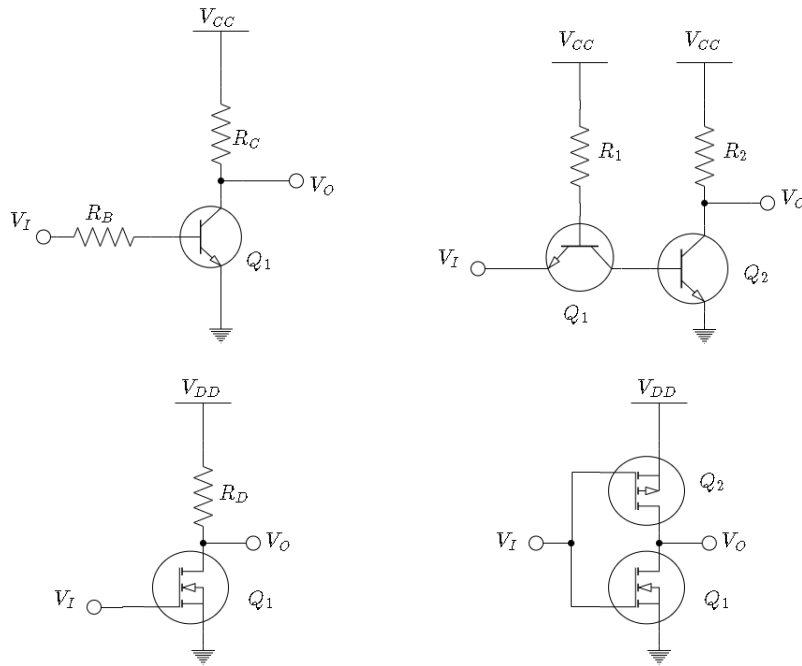


Figura 1: Implementación en diversas tecnologías y topologías de Compuerta NOT

Tecnología RTL: Se opera un transistor Q_1 en conmutación con modos de saturación y corte, para ello se define arbitrariamente una resistencia $R_C = 10k\Omega$, se asume Q_1 en saturación y luego la corriente de colector se establece como $I_{C_{SAT}} = \frac{V_{CC} - V_{CE_{SAT}}}{R_C} \approx 480\mu A$, con lo cual con una resistencia de base $R_B = 470k\Omega$ se cumple la condición de saturación.

Tecnología TTL: Opera de igual forma que el caso RTL, en principio se asumen valores de resistencias iguales donde $R_1 = 470k\Omega$ y $R_2 = 10k\Omega$. La diferencia principal es que la corriente de base del transistor de salida Q_2 es controlada por la de colector del transistor de entrada Q_1 , con lo cual los tiempos de recuperación se ven reducidos ya que se enciende y apaga con mucha más corriente que antes, debiéndose esperar menor tiempo de propagación o transición.

Tecnología MOS: Se opera un MOSFET de canal N en conmutación en modo de corte y lineal, para ello se garantiza que la resistencia R_D sea lo suficientemente grande para no saturar el canal. Se propone una $R_D = 10k\Omega$. Se tiene en cuenta que el $V_{TH_{MAX}} = 4V < 5V$.

Tecnología CMOS: Se evita usar una resistencia en el Drain usando redes de pull-up y pull-down con transistores MOS complementarios cuya $|V_{TH}| = 4V$.

Niveles de tensión

La sintetización de circuitos lógicos implica la interconexión de compuertas integradas que según su tecnología y topología maneja niveles de tensión para los estados lógicos que puede diferir con el resto, para esto es de interés analizar tales magnitudes en la implementación de los cuatro circuitos ilustrados previamente.

Proceso de medición

Se genera una señal de entrada triangular con una simetría del 50 % desde 0V hasta 5V, con frecuencia a convenir menor a $f = 100Hz$. Luego, con un osciloscopio se miden la entrada y la salida, utilizando puntas de prueba x10 con la menor capacidad parásita posible para no introducir transitorios superiores. Finalmente, se descargan y procesan las mediciones, para localizar los puntos donde la derivada con -1 . Además, se calculan los márgenes de ruido como las diferencias correspondientes estados altos y bajos de entrada y salida.

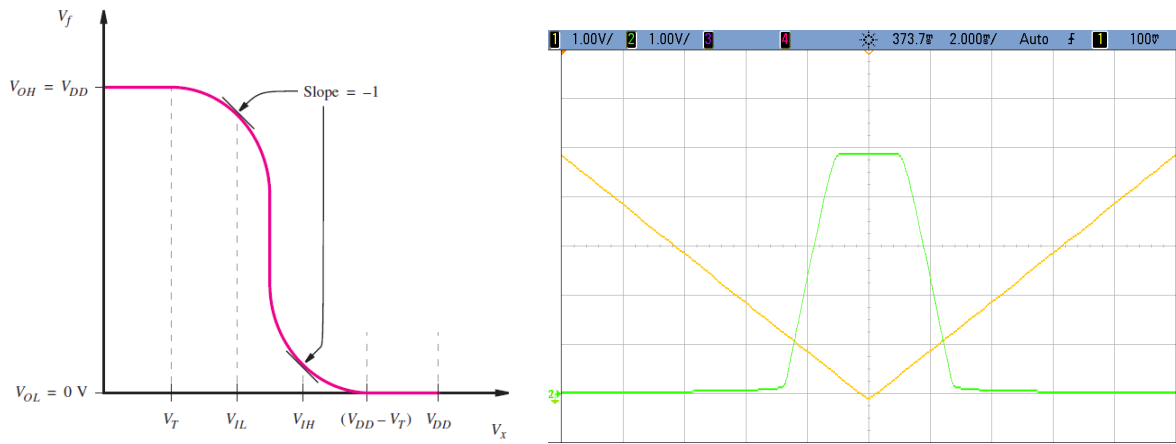


Figura 2: $V_o(V_i)$ y medición entrada(amarilla) y salida(verde).

Circuito	VIH	VIL	VOH	VOL	NMH	NML
RTL	1,33V	0,28V	4,89V	0,11V	3,55V	0,16V
TTL	0,56V	0,3V	4,89V	0,01V	4,32V	0,29V
MOS	2,7V	1,94V	4,89V	0,04V	2,19V	1,89V
CMOS	2,89V	1,7V	4,94V	0,04V	2,04V	1,66V

Tabla 1: Resultados de los niveles de tensión

Circuito	VIH	VIL	VOH	VOL	NMH	NML
RTL	1,31V	0,25V	4,89V	0,13V	3,58V	0,12V
TTL	0,55V	0,31V	4,89V	0,01V	4,33V	0,29V
MOS	2,53V	2,1V	4,88V	0,01V	2,34V	2,09V
CMOS	2,83V	1,44V	4,94V	0,04V	2,12V	1,40V

Tabla 2: Resultados de los niveles de tensión con carga de $C = 1nF$

Análisis de resultados

De RTL a TTL disminuye el valor de VIH ya que, en TTL, se apaga el transistor de salida con la corriente de colector del primero. Por otro lado, es de esperar que los valores de VOH entre tales tecnologías no

difieran, dado que en presentan la misma malla de salida, no obstante se asume que la diferencia entre valores de VOL es causada por el incremento en la condición de saturación en el caso de TTL, puesto que al estar elevando la corriente de colector el punto de polarización se desplaza a una menor tensión. En segundo lugar, entre las topologías MOS y CMOS, los valores de VOL no difieren ya que depende del transistor NMOS que ambas tienen, mientras que la diferencia de uno a otro es el pull-up, lo cual puede denotarse en el incremento de VOH para CMOS.

En términos generales, puede observarse que los niveles de salida mas fuertes son entregados por el caso CMOS, con un margen de ruido para ambos casos mayor en cuanto a la distribución.

Desde otro punto de vista, en la Tabla. 2 se puede observar que en el resultado de las mediciones habiendo cargado las compuertas, es notable destacar que la que mayor mantiene sus valores es la compuerta CMOS.

Tiempos de operación

De la expresión lógica ideal a la implementación en dispositivos físicos existen limitaciones que acarrear inconvenientes y pueden provocar que el comportamiento resultante no sea el esperado, entre estas características se encuentran los tiempos de transición que describen el retardo del dispositivo en pasar una salida del estado bajo al alto y viceversa, así como también los tiempos de propagación que requiere el dispositivo para reflejar los cambios de la entrada en la salida.

Proceso de medición

Se genera una señal de entrada cuadrada con duty 50 % con un valor de tensión $5V_{PP}$ y una tensión de offset $2,5V$, con una frecuencia según convenga inferior a $f = 100Hz$, luego se mide con dos canales la señal de entrada y de salida, configurando el trigger para dos escenarios alternativos de rise y fall. Finalmente, se descargan y procesan los datos de entrada y salida determinando el tiempo de transición de la salida entre el 10 % y el 90 % y el tiempo de propagación entre la entrada y salida al 50 %.

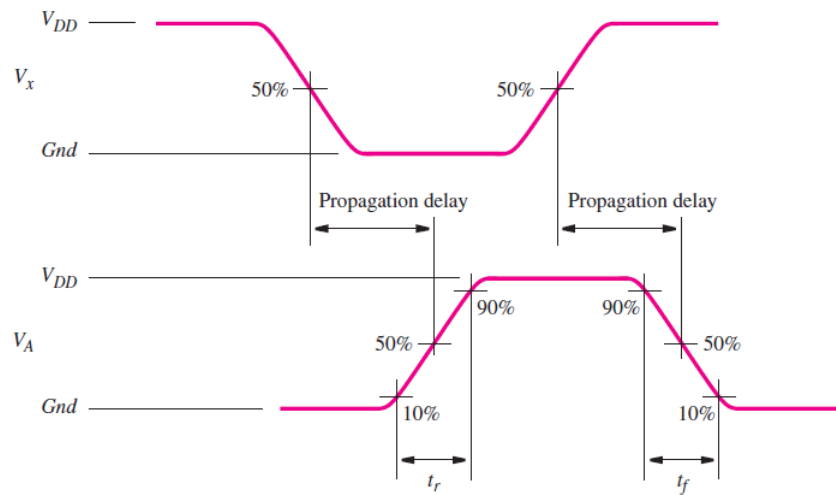


Figura 3: Definición teórica de los tiempos a medir

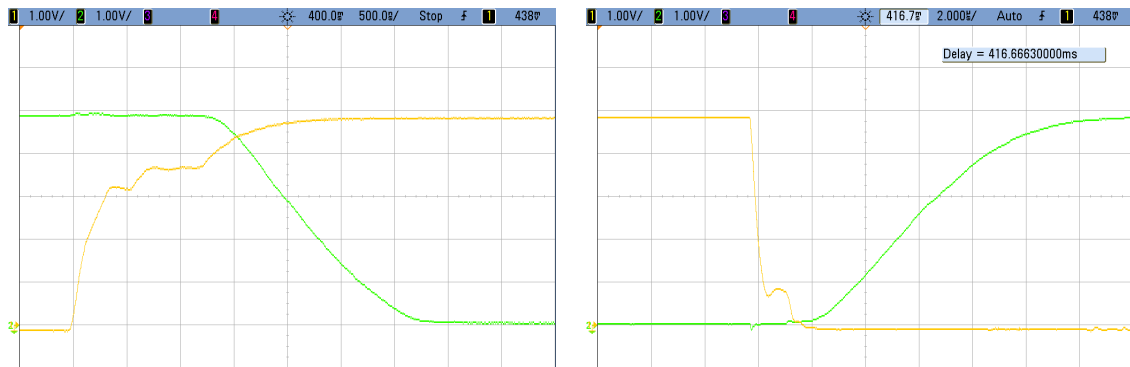


Figura 4: Casos ejemplo de medición de los tiempos. Entrada: amarilla, Salida: verde

Circuito	Prop. de alto a bajo	Prop. de bajo a alto	Trans. de alto a bajo	Trans. de bajo a alto
RTL	$5,49\mu s$	$1,88\mu s$	$1,37\mu s$	$6,12\mu s$
TTL	$2,81\mu s$	$55ns$	$57,2ns$	$57ns$
MOS	$15,3\mu s$	$185ns$	$177ns$	$27,4\mu s$
CMOS	$710ns$	$720ns$	$412ns$	$504ns$

Tabla 3: Medición de los tiempos de operación sin carga

Circuito	Prop. de alto a bajo	Prop. de bajo a alto	Trans. de alto a bajo	Trans. de bajo a alto
RTL	$11,2\mu s$	$2,75\mu s$	$2,8\mu s$	$29,2\mu s$
TTL	$9,68\mu s$	$72ns$	$206ns$	$27,8\mu s$
MOS	$23,4\mu s$	$210ns$	$182ns$	$51,2\mu s$
CMOS	$750ns$	$745ns$	$434ns$	$532ns$

Tabla 4: Medición de los tiempos de operación con $C = 1nF$

Análisis de resultados

Las cargas capacitivas agregadas a las salidas de las compuertas incrementan los tiempos medidos. En primer lugar, entre las tecnologías RTL y TTL, se puede observar una diferencia atribuida a que el mismo transistor empleado en RTL tiene una etapa previa en TTL que reduce los tiempos con corrientes mayores para los procesos de apagado y encendido de la juntura del transistor de salida.

Por otro lado, al momento de cargar con una determinada capacidad las compuertas, la que menos variación presenta es la CMOS.

Corrientes máximas

La interconexión de compuertas lógicas requiere un consumo de corriente para lo que es necesario conocer las máximas corrientes de estado alto y estado bajo que pueden soportar tales compuertas.

Proceso de medición

En la Fig. 5 se ilustra el proceso de medición en el cual se emplea una carga variable para determinar a qué corriente los niveles de tensión exceden los límites determinados por las secciones anteriores.

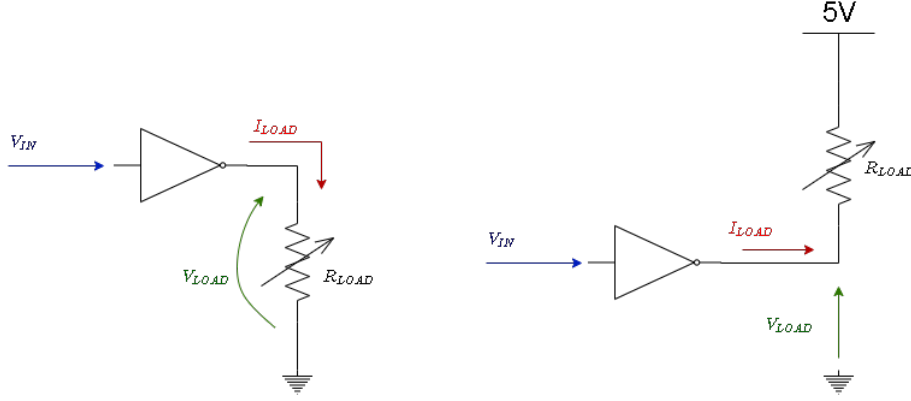


Figura 5: Proceso de medición de máxima corriente

Circuito	IOH	IOL
RTL	$14,4\mu A$	$488\mu A$
TTL	$14,6\mu A$	$13,1\mu A$
MOS	$11,5\mu A$	$249\mu A$
CMOS	$15,2mA$	$135\mu A$

Tabla 5: Mediciones de corriente máxima sin carga

Circuito	IOH	IOL
RTL	$11,1\mu A$	$1,13mA$
TTL	$10,2\mu A$	$49,5\mu A$
MOS	$12,4\mu A$	$37,7\mu A$
CMOS	$21,3mA$	$102\mu A$

Tabla 6: Mediciones de corriente máxima con carga $C = 1nF$

Análisis de resultados

Las compuertas RTL, TTL, MOS tienen una corriente similar de IOH por la resistencia de pull-up de aproximadamente $R = 10k\Omega$.

A pesar de esto último, cada una de tales tecnologías difiere de las demás en la corriente IOL justamente porque está definida por el control de la condición de saturación en los BJT, y la zona óhmica en el caso Las pequeñas diferencias se dan por los procesos de transición entre estados de los dispositivos empleados, sean BJT o MOSFET. No obstante, dado que en el circuito CMOS los MOSFETS son complementarios, no se encontró razonamiento por el cual la corriente IOH sea tan diferente con respecto de IOL, se asume que es por las condiciones en las que pudieran encontrarse los modelos usados.

Diseño de PCB

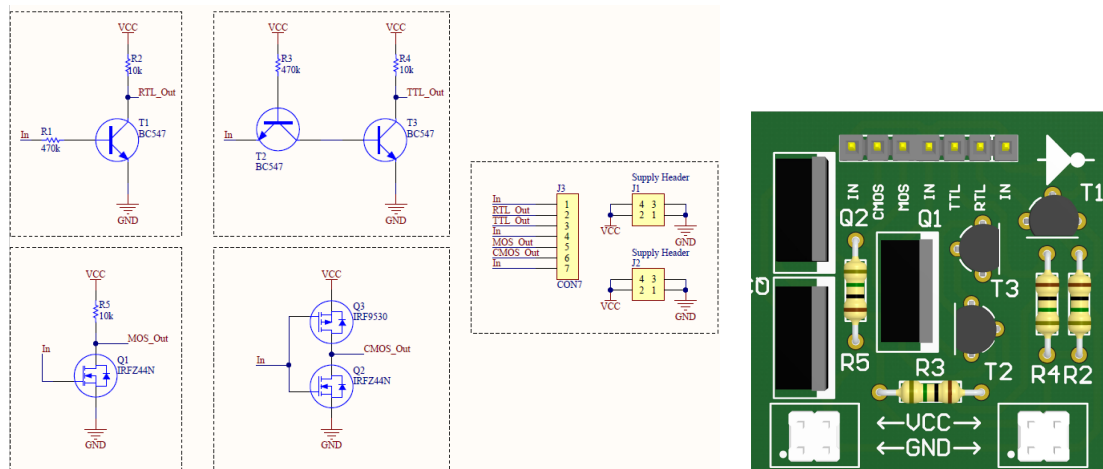


Figura 6: Diseño del PCB en Altium Designer

Observaciones

Resistencia de pull-down

En la Fig. 7 se observa la salida de la compuerta RTL con entrada al aire con y sin resistencia de pull-down en la entrada. Puede observarse que al no quedar bien definido el estado, la salida no está bien definida según las mediciones obtenidas de los niveles de tensión.

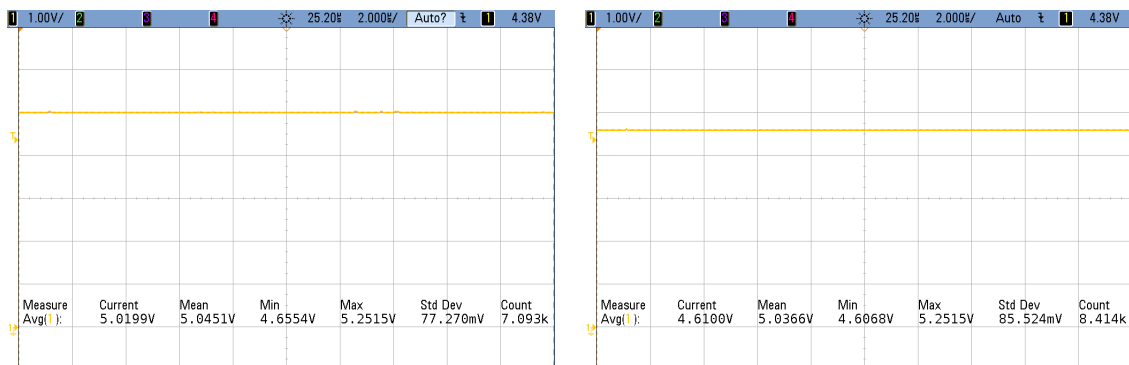


Figura 7: Medición de la salida de un RTL con entrada al aire

Tiempos de transición

En la Fig. 8 se ilustran los tiempos de transición de la salida de una compuerta RTL modificando la resistencia de base del transistor. Puede observarse que a pesar de que diversas resistencias son posibles para alcanzar las condiciones de saturación y corte, no todas producen la misma corriente de encendido y apagado, con lo cual esto puede producir que diferentes alternativas sean más rápidas que otras, a expensas de un mayor consumo de corriente. El circuito no tiene capacitor de desacople, esto permite observar que en el caso de mayor corriente y menor tiempo, se producen mayores distorsiones en la señal de entrada.

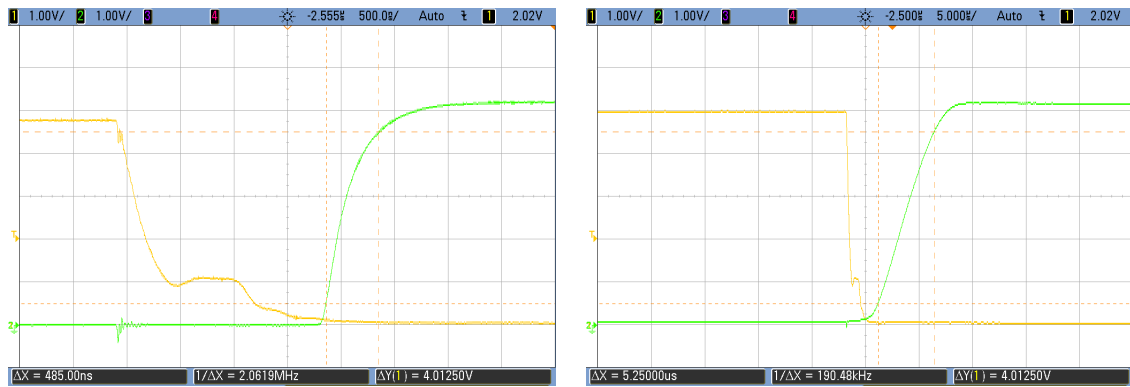


Figura 8: Medición de tiempo de transición en RTL. Entrada: amarilla, Salida: verde

Mediciones

En la Fig. 9 se puede observar que en la transición de la compuerta MOS se produjeron algunas distorsiones en las señales de entrada y de salida. Luego de analizar diferentes puntos de vista, se concluyó que el problema inicial está dado por el hecho de que las cuatro compuertas lógicas implementadas están funcionando en forma simultánea y conectadas en paralelo a la salida, lo cual provoca que en las mediciones de la MOS se introduzcan perturbaciones del transitorio de los BJT. Además, el funcionamiento conjunto en las transiciones implica un consumo de corriente que en un intervalo de tiempo pequeño produce una caída de tensión que pudo ser corregida con capacitores de desacople.

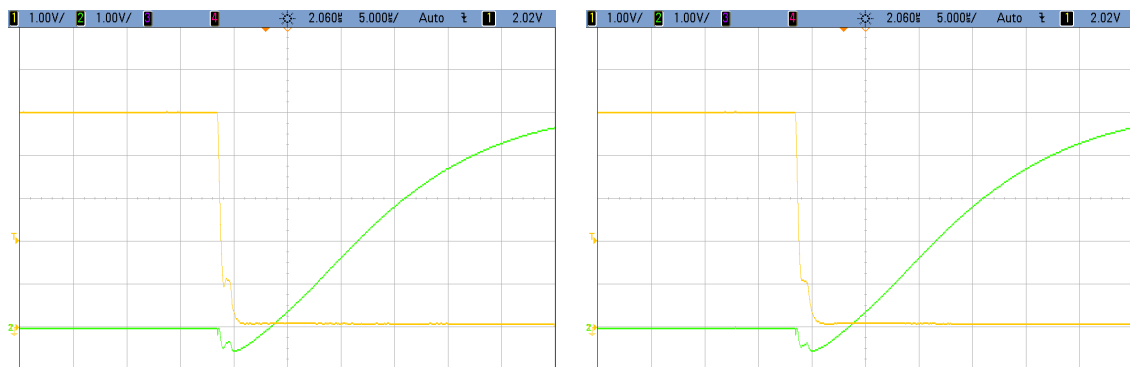


Figura 9: Transición de estados en la compuerta MOS. Entrada: amarilla, Salida: verde

Conclusiones

En términos generales todas las compuertas implementadas presentan estados lógicos de salida bien definidos, no obstante destaca por sus márgenes de ruido uniformes la compuerta MOS. Luego, comparando los tiempos de operación, sin carga la de mayor velocidad es la TTL, aunque se puede observar que la MOS y la CMOS son las que logran mantener mejor sus características frente a las cargas capacitivas, esto implica que la velocidad superior de la TTL se mantiene según la carga, no obstante las propiedades de una MOS se mantiene con pequeñas variaciones. Finalmente, en este aspecto, RTL queda claramente en desventaja frente a las demás, difiriendo en varios órdenes de magnitud. Por último, sin considerar la corriente IOH del caso CMOS, se puede concluir que las compuertas MOS y CMOS tuvieron una mayor capacidad de entregar corriente, en parte resulta razonable considerando que poseían un mayor margen de ruido.

En conclusión, en diversos aspectos las compuertas CMOS y MOS destacan por sus características. Las compuertas TTL tienen una mejor performance en términos de velocidad según la carga. Es importante mencionar que las características temporales de las compuertas pudieron haber sido mejoradas incrementando los consumos de corrientes al reducir las resistencias que las controlan.

Comparación de compuertas discretas con tecnología TTL y CMOS

Se plantea estudiar la compatibilidad de compuertas de tecnología TTL (a base de transistores BJT) con CMOS (transistores MOSFET), enfocando la problemática desde el estudio de sus características de margen de ruido, y haciendo también mención al fanout. Se abordará este análisis mediante el estudio de caso de los integrados 74HC02, 74HCT02 y 74LS02, los cuales contienen 4 compuertas NOR cada uno, implementados mediante distintas tecnologías.

Marco teórico

Las letras LS en 74LS02 refieren "Low-power Schottky", una tecnología del tipo TTL que alcanza mejores rendimientos y velocidad gracias a la implementación de transistores Schottky, los cuales difieren de los clásicos BJT únicamente en el agregado de un diodo Schottky entre sus terminales Base y Colector. Por otro lado, HC y HCT refieren a "High-speed CMOS", distinguiéndose HCT por ser compatible con las tecnologías TTL.

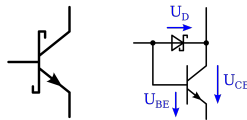


Figura 10: Símbolo y circuito de transistor Schottky.

Tal y como fue mencionado en el inicio de esta sección, en este trabajo se estudiará la compatibilidad entre las tecnologías a través de sus márgenes de ruido. Esto significa que, en términos de interconexión, una compuerta solo será compatible con otra de otra tecnología, si el rango de valores de salida de la primera está incluido en el rango de entrada de la segunda.

En las figuras 11 y 12 pueden apreciarse los casos que pueden presentarse que significarán la compatibilidad o no entre las compuertas. De ellos se extrae que las compuertas serán compatibles solo en el caso en que $V_{OH} \geq V_{IH}$ y $V_{OL} \leq V_{IL}$.

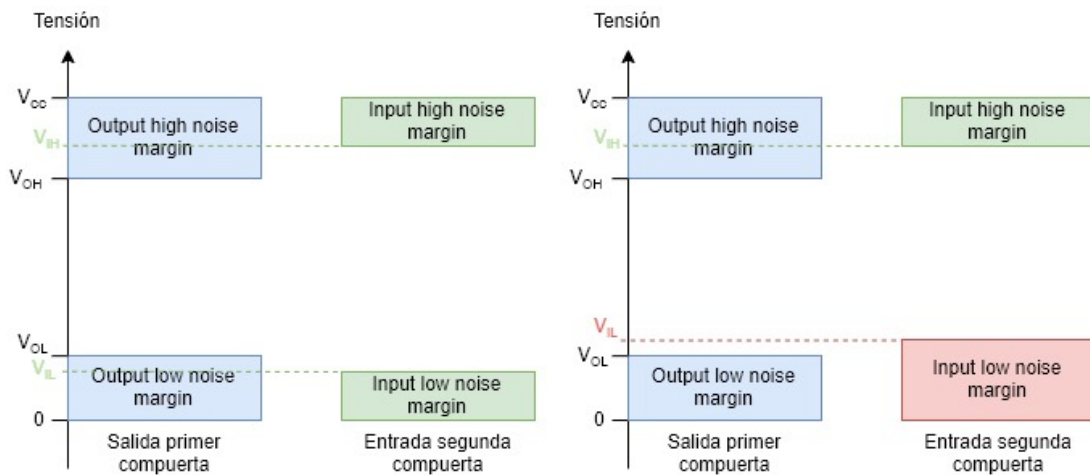


Figura 11: Compatibilidad de compuertas.

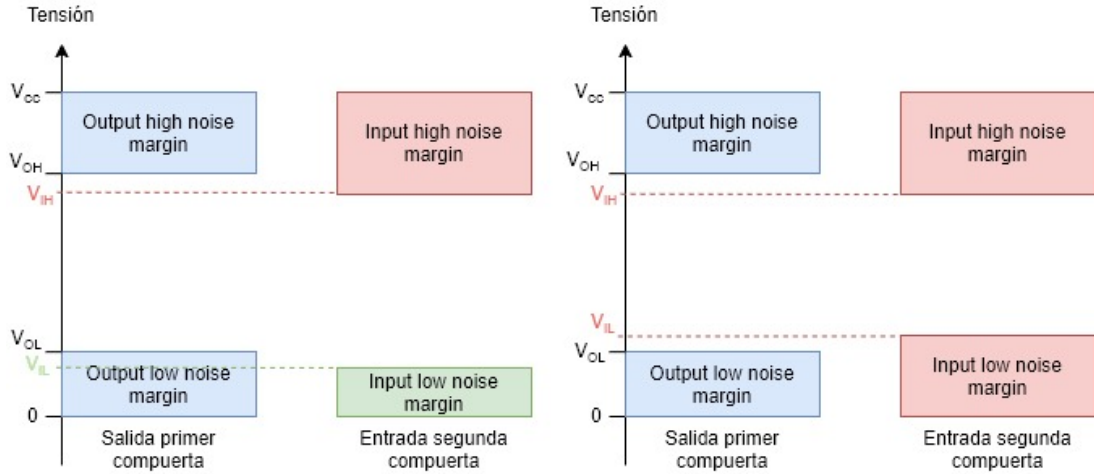


Figura 12: Compatibilidad de compuertas.

Con respecto al fanout, el mismo es una limitación para la cantidad de compuertas que se pueden colocar a la salida de otra, que viene dada por las corrientes de entrada y salida, respectivamente.

$$fanout = \min\left(\frac{I_{OH}}{I_{IH}}; \frac{I_{OL}}{I_{IL}}\right) \quad (1)$$

Análisis mediante hojas de datos

Se estudia la compatibilidad de la interconexión de las compuertas mediante la observación de las hojas de datos de los integrados 74HC02¹, 74HCT02² y 74LS02³, y se exponen los datos utilizados en la tabla 7. Cabe mencionar que las condiciones de prueba de estos parámetros no son las mismas para las compuertas de tecnología CMOS que para las de TTL, de modo que se decide tomar el caso más desfavorable para cada una de las comparaciones. En todos los casos, este terminó siendo que para las compuertas HC y HCT, la alimentación es de 4,5V, mientras que para las LS es de 5V.

Integrado	V_{OH}	V_{OL}	V_{IH}	V_{IL}	I_{OH}	I_{OL}	I_{IH}	I_{IL}
74HC02	4,4V	0,1V	3,15V	1,35V	$\pm 25mA$	$\pm 25mA$	$\pm 0,1\mu A$	$\pm 0,1\mu A$
74HCT02	4,4V	0,1V	2V	0,8V	$\pm 25mA$	$\pm 25mA$	$\pm 0,1\mu A$	$\pm 0,1\mu A$
74LS02	2,7V	0,5V	2V	0,8V	$-0,4mA$	$8mA$	$20\mu A$	$-0,4mA$

Tabla 7: Parámetros de compatibilidad obtenidos de datasheet.

Se desprende de los datos expuestos y de la teoría explicada en el marco teórico, que son compatibles las conexiones de una compuerta HC a LS, de una HCT a LS, y de una LS a una HCT, ya que en todos estos casos se cumple que $V_{OH} \geq V_{IH}$ y $V_{OL} \leq V_{IL}$. También es este el caso entre HCT y HC, y viceversa, resultado que es de esperar ya que comparten el tipo de tecnología. Sin embargo, no sucede esto al ir de una LS a una HC ya que para esta combinación $V_{OH} < V_{IH}$, quedando una zona de indeterminación entre los valores de tensión 2,7V y 3,15V. Esta incompatibilidad es lógicamente salvada al usar tecnología HCT, la cual está diseñada con el propósito de lograr la compatibilidad que carecen las compuertas HC entre tecnologías TTL y CMOS.

En lo que respecta al fanout, los resultados son los expuestos en la tabla 8

Interconexión	HC a LS	LS a HC	HCT a LS	LS a HCT	HC a HCT	HCT a HC
fanout	62	4000	62	4000	$250 \cdot 10^3$	$250 \cdot 10^3$

Tabla 8: Fanout para distintas conexiones.

¹http://pdf.datasheetcatalog.com/datasheet/NXP_Semiconductors/74HC_HCT02.pdf

²http://pdf.datasheetcatalog.com/datasheet/NXP_Semiconductors/74HC_HCT02.pdf

³<http://www.sycelectronica.com.ar/semiconductores/74LS02.pdf>

Resultados experimentales

Para el caso donde las hojas de datos no aseguran el correcto funcionamiento de la interconexión de compuertas, es decir, de una LS a una HC, se procede a estudiar su respuesta de forma experimental. Se alimenta una compuerta del 74LS02 utilizada como NOT (cortocircuitando sus dos entradas) con una función rampa de 0 a 5V, y a su salida se conecta una del 74HC02, también como NOT. Se miden las salidas de ambas y los resultados son los expuestos en las figuras 13 y 14.

Luego se realiza el mismo procedimiento pero en el lugar del 74HC02 se coloca el 74HCT02, cuyos resultados son los de las figuras 15 y 16. Se esperan observar indeterminaciones para la primer interconexión, y que tales problemas se vean resueltos al cambiar la tecnología HC por HCT.

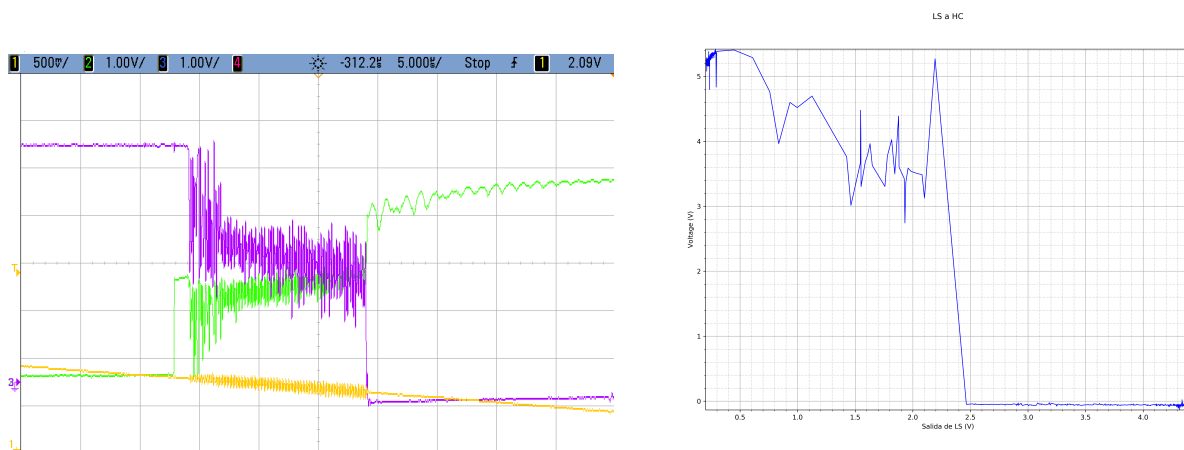


Figura 13: LS a HC, con LS pasando de 0 a 1, y HC de 1 a 0.

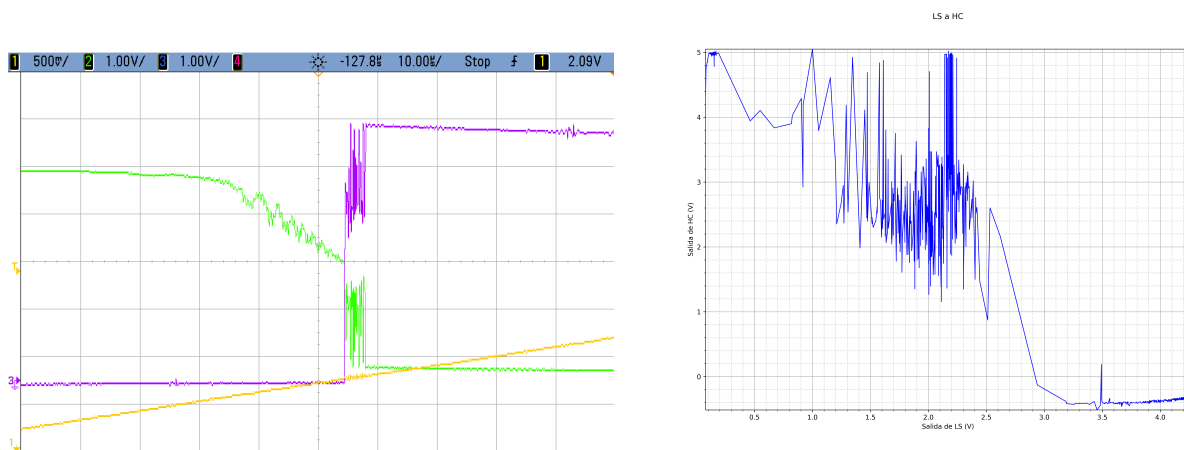


Figura 14: LS a HC, con LS pasando de 1 a 0, y HC de 0 a 1.

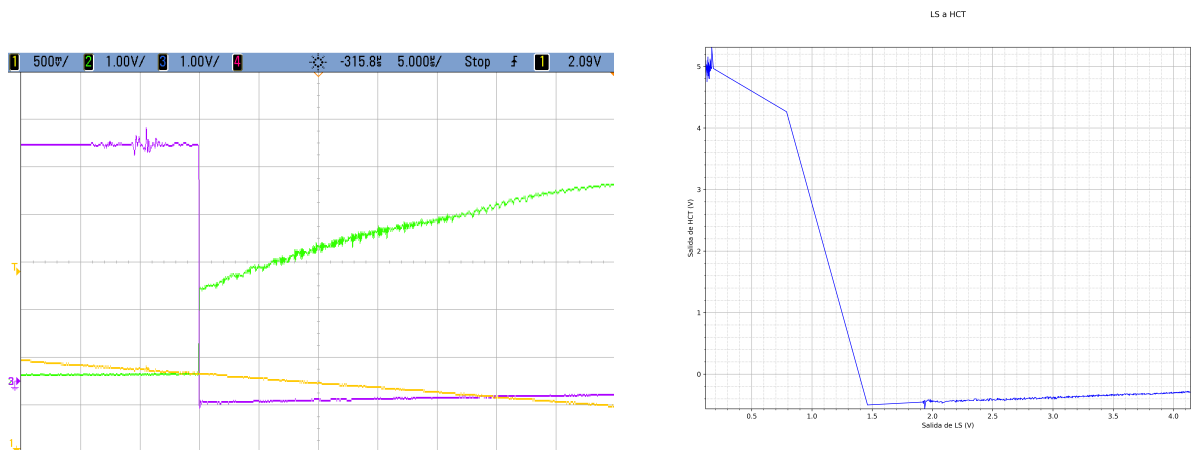


Figura 15: LS a HCT, con LS pasando de 0 a 1, y HCT de 1 a 0.

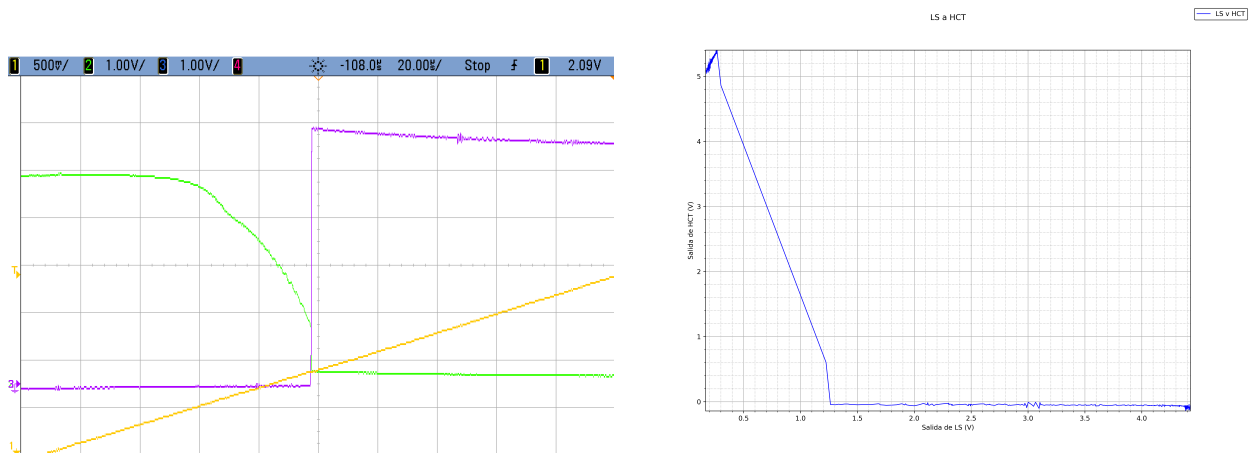


Figura 16: LS a HCT, con LS pasando de 1 a 0, y HCT de 0 a 1.

Efectivamente lo esperado es lo que se obtiene en las mediciones, donde se puede apreciar una zona de indeterminación y oscilación en las transiciones de la configuración LS a HC. Estos fenómenos no se observan luego en la configuración LS a HCT, en concordancia con lo estudiado de las hojas de datos, donde se aseguraba su compatibilidad.

Conclusiones

A modo de cierre, se llega a la conclusión que la compatibilidad de tecnologías es un factor a tener en cuenta a la hora de realizar un diseño con compuertas lógicas de más de un tipo, si se quieren evitar estados indeterminados o glitches producto de transiciones con oscilaciones, causadas por incompatibilidades. Se debe prestar especial atención al paso de tecnologías TTL a CMOS, y de ser necesario implementarlo, debe hacerse uso de compuertas CMOS especialmente diseñadas para esa aplicación, como lo son las de tipo HCT.

Ejercicio 3: Implementación de una tabla de verdad

Ejercicio 4: Tiempos de propagación en compuerta CMOS

TTL y MOS, entradas abiertas y compatibilidad entre tecnologías

Compuertas discretas con entrada desconectada

Descripción general

En la Fig. 17 se muestra el esquema general bajo análisis, se utiliza una compuerta AND de tecnología TTL, particularmente 74LS08 y una compuerta OR de tecnología CMOS particularmente 74HC32. El objetivo es estudiar y comparar el comportamiento cuando se deja una de las entradas sin un estado definido, obteniendo conclusiones sobre ello.

En el proceso de medición se buscará observar la entrada y salida de cada circuito, con la entrada al aire, o un estado bajo o alto y analizando la susceptibilidad del mismo a fuentes de ruido externas o de interferencia. Se parte de la hipótesis de que el estado sin definir hace al circuito vulnerable frente al ruido, y existen argumentos físicos para sospechar que habrá mayor influencia en uno de los casos.

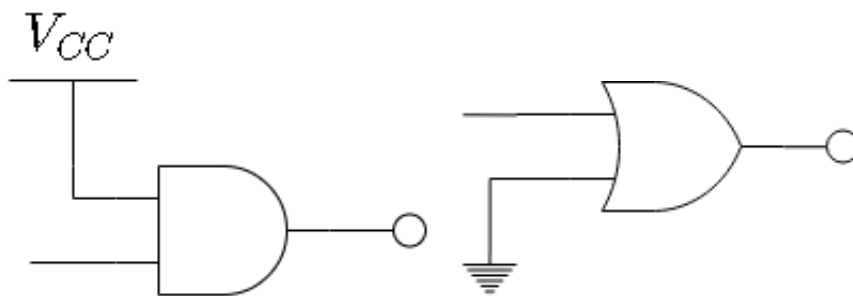


Figura 17: Compuerta AND de tecnología TTL y OR de tecnología CMOS

Resultados

En las Figs. 18 y 19 se observan los resultados de las mediciones, las cuales ordenadas de arriba hacia abajo y de izquierda a derecha, corresponden a la medición con entrada en estado bajo, en estado alto, con entrada al aire y luego con la mano apoyada. Para todos los casos la señal amarilla corresponde a la entrada de la compuerta y la verde la salida.

Vale mencionar, que en los casos de estado bajo donde el valor promedio medido por el osciloscopio da negativo, se observó con voltímetro digital que el valor era aproximadamente nulo y se atribuye a defectos de la resolución digital del osciloscopio el asignar a tal magnitud un valor de dicho signo.

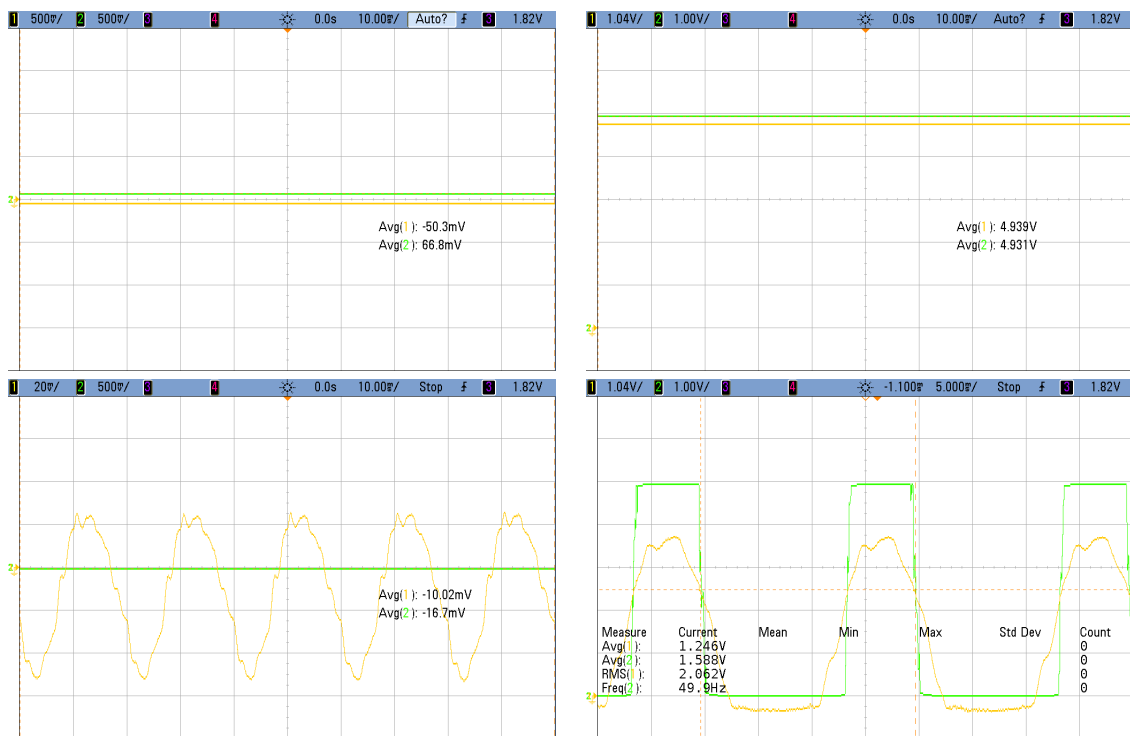


Figura 18: Mediciones para OR tecnología CMOS modelo 74HC32

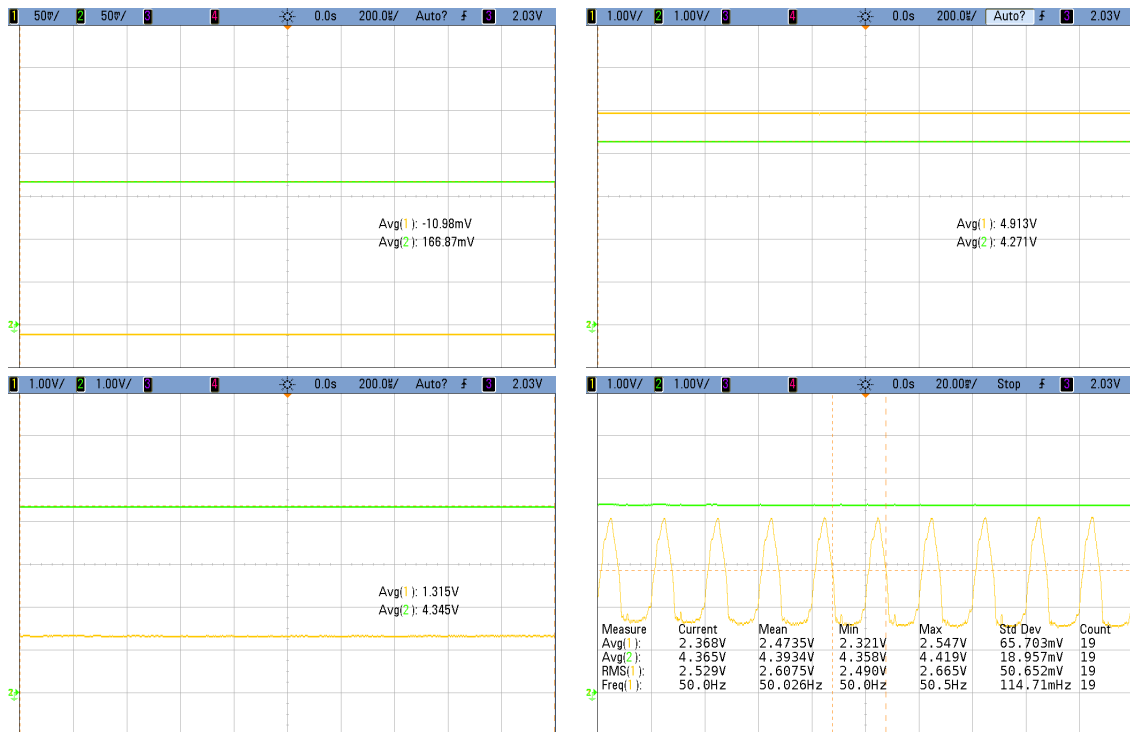


Figura 19: Mediciones para AND tecnología TTL modelo 74LS08

Análisis de resultados

En primer lugar, se puede observar que para cada tecnología los estados alto y bajo tienen diferente nivel de tensión, lo cual era esperado a partir de los datos provistos por el fabricante denominados como V_{OH} y V_{OL} .

Luego, en principio cuando la entrada se encuentra al aire se puede observar una mayor inmunidad de la tecnología TTL frente al ruido, dado que su valor si bien es indefinido, se mantiene casi constante $V_{IN} \approx 1,315V$, y dado que $V_{IL} = 0,8V < 1,315V < 2V = V_{IH}$ esto indica que tal nivel se encuentra en donde no está asegurado el comportamiento de la compuerta y por ello la salida tiene tal resultado. Por otro lado, para la entrada al aire, se puede observar que en la compuerta CMOS hay una oscilación de la entrada con valores acotados que no producen un cambio sobre la salida. Esta diferencia entre tecnologías con una entrada al aire es consecuencia directa de las características físicas de los transistores MOS, en los cuales la aislación eléctrica del Gate produce una impedancia de entrada muy elevada para la cual una fuente de ruido de corriente puede producir variaciones de tensión apreciables. Esto último puede verse de forma más notoria cuando se apoya la mano sobre los contactos, ante lo cual el ruido aumenta y la compuerta CMOS recibe una entrada significativa que produce cambios de estado que dan lugar a una oscilación de la salida, mientras que en el caso de TTL la señal de ruido no produce un cambio significativo sobre la salida.

Por último, es importante aclarar que no es arbitrario que la frecuencia de oscilación sea aproximadamente $50Hz$, dado que es el ruido de la línea eléctrica el que se ve introducido al circuito.

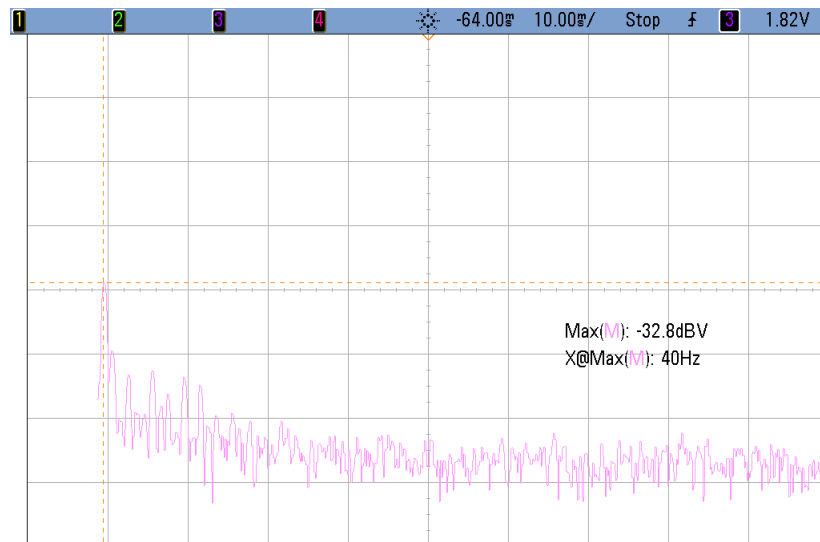


Figura 20: FFT aplicada sobre la señal de entrada con la mano apoyada

Conexión TTL y CMOS

Descripción general

En la Fig. 21 se ilustra el esquema general del circuito a analizar en esta parte, en la cual el objetivo es analizar el comportamiento del circuito resultante, partiendo de la base donde la salida será igual a la entrada aplicando axiomas del álgebra booleana.

Se parte de la hipótesis de que este circuito podría presentar un comportamiento alejado del esperado, dado que las tensiones de la tecnología TTL y CMOS no son completamente compatibles, puesto que según los datos provistos por el fabricante, la TTL entrega una tensión mínima de estado alto en $V_{OH} = 2,7V$ mientras que la entrada mínima detectada como un estado alto para CMOS es $V_{IH} = 3,15V$. Para los escenarios del rango intermedio, el circuito se comportará de manera indeterminada.

Se propone realizar mediciones con el objetivo de encontrar las condiciones límite para las cuales se alcanza el problema mencionado anteriormente, puesto que es posible que particularmente la compuerta empleada caiga dentro del margen donde el funcionamiento es el esperado. Por esto último es que se realizarán mediciones con valores de continua, con una señal cuadrada de diversas frecuencias, y cargando

con resistencias o capacitores la salida de las compuertas. Estos procesos buscan simular las exigencias de un circuito sobre la compuerta, llevándola al límite para observar que del rango garantizado por el fabricante en el cual debería funcionar, el resultante menor.

Es importante aclarar que en la interconexión de compuertas lógicas discretas, es de interés analizar si las corrientes de consumo no superan los valores máximos para cada estado de la compuerta empleada, no obstante no es un inconveniente en el caso de estudio ya que CMOS por su gran impedancia de entrada posee una corriente de pérdida muy inferior a la capacidad máxima de la TTL.

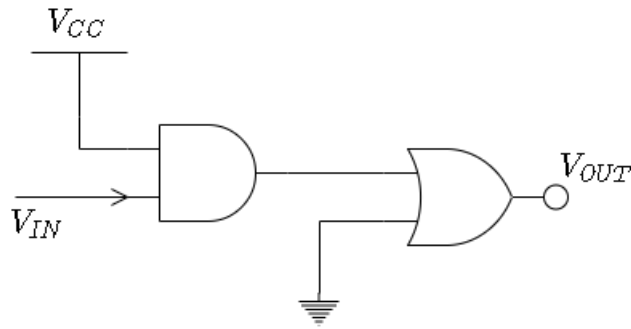


Figura 21: Circuito lógico a ensayar

Resultados

En las Figs. 22 las señales de color amarillo corresponden a las entradas, las verdes a la salida y luego las de color morado fueron empleadas para ilustrar el estado de la señal entre ambas compuertas. Las figuras están ordenadas de arriba hacia abajo, de izquierda a derecha, en el orden de la medición para el estado bajo, estado alto, entrada al aire, con una carga resistiva baja, alta y excedida en la salida TTL.

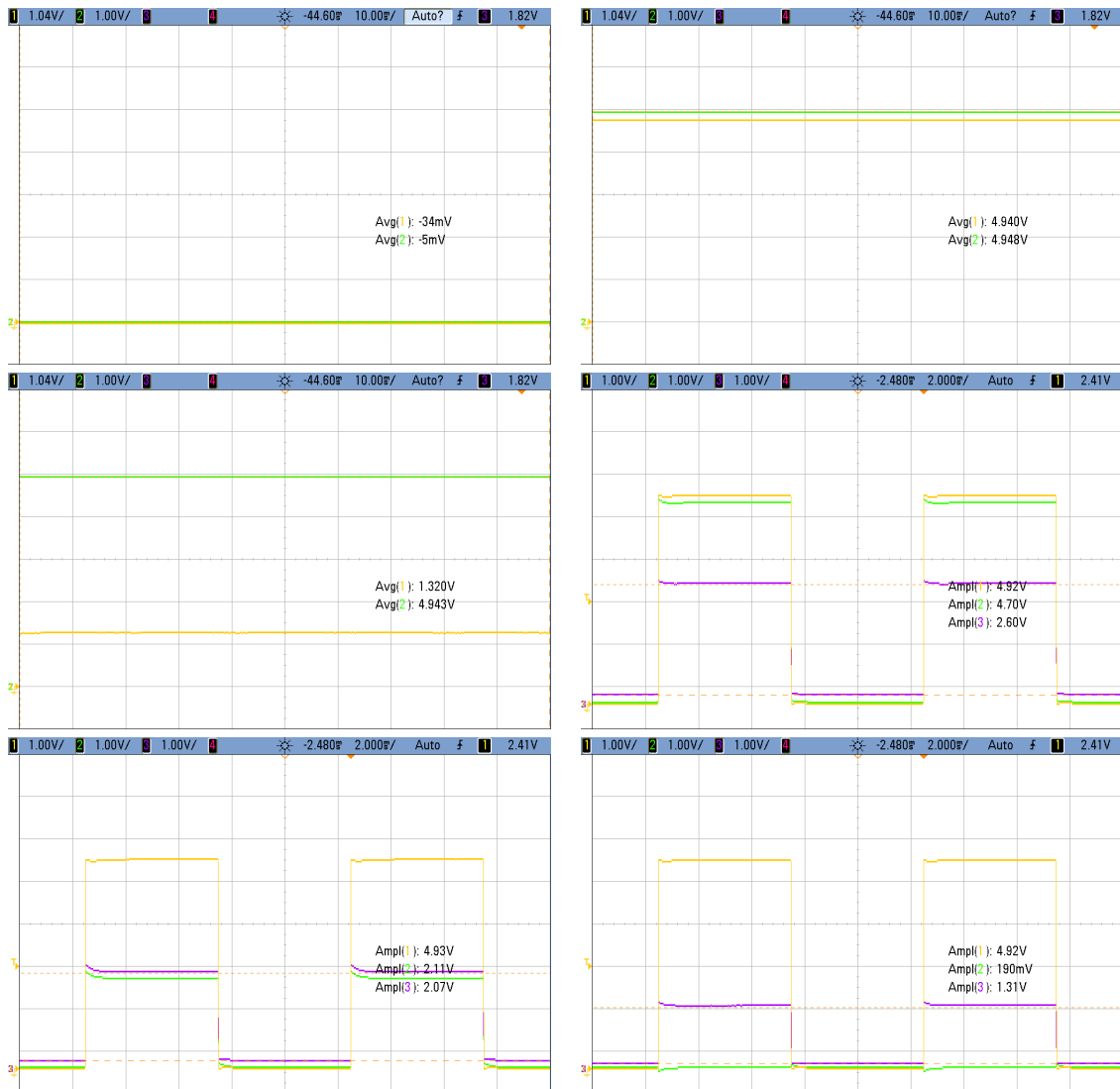


Figura 22: Mediciones del circuito completo

Análisis de resultados

De los resultados obtenidos puede concluirse que en verdad bajo condiciones donde no se requiere mucho consumo de corriente, entre otras cosas, la conexión realizada entre una compuerta TTL y una compuerta CMOS es compatible, no obstante, al momento de simular exigencias de corriente por la conexión de múltiples circuitos, luego los niveles de tensión de la TTL comienzan a bajar cercanos a lo que el fabricante garantiza que sigue siendo un estado alto, no obstante no es compatible con lo que CMOS reconoce como tal, por lo tanto deja de funcionar como se espera.

Se añaden algunas mediciones adicionales que se realizaron en la búsqueda de los límites de funcionamiento. Entre estas, se analizó qué sucedía con una señal triangular para ver cómo respondían los niveles de tensión de cada tecnología, y para altas frecuencias cómo afectaban las cargas capacitivas y los tiempos de propagación de entrada a salida.

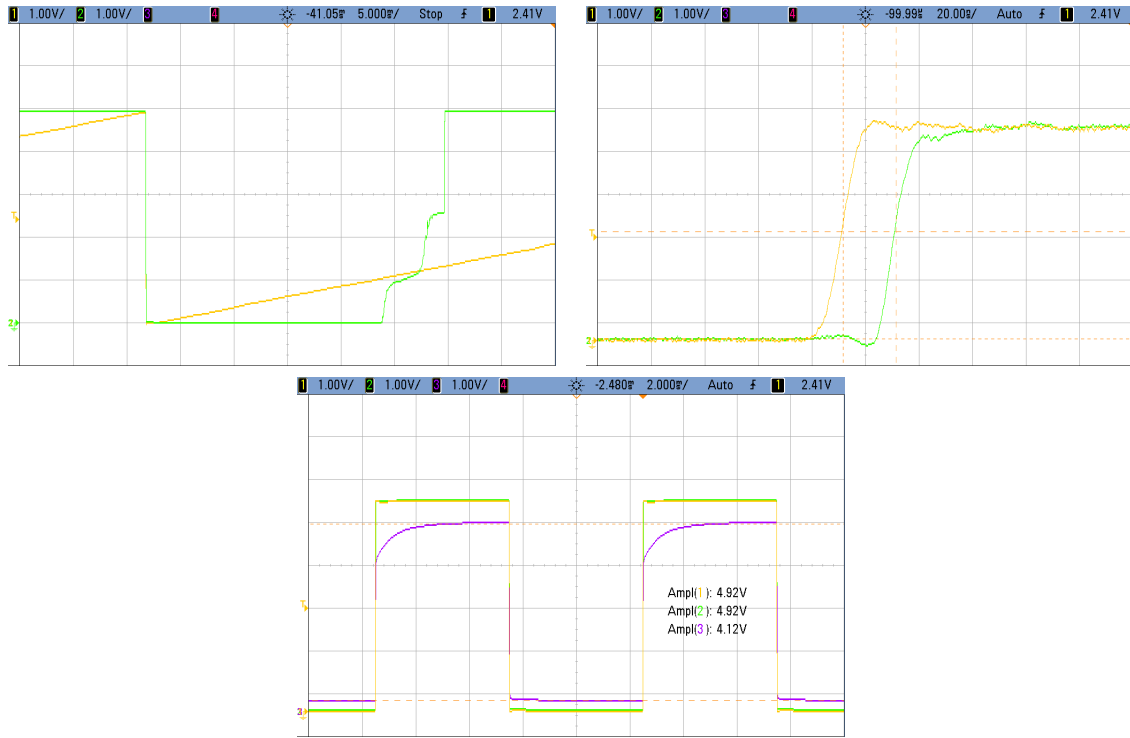


Figura 23: Mediciones adicionales

Soluciones propuestas

En las Figs. 24 se pueden observar dos circuitos diferentes propuestos como solución al problema del nivel de tensión para los estados lógicos de una TTL con una CMOS. Se comparan ambas soluciones dado que la segunda de ellas implementada con un MOSFET es bidireccional, con lo cual la interfaz permite el cambio de nivel en ambos sentidos, pero además por el hecho de que permite definir un cambio de nivel de diferentes tensiones. Por el otro lado, la implementación del circuito con un BJT tipo PNP únicamente permite hacer una adaptación para corregir el nivel de tensión sin cambiarlo, ya que de otra forma no funcionaría, por ejemplo si se buscara pasar de 3,3V a 5V.

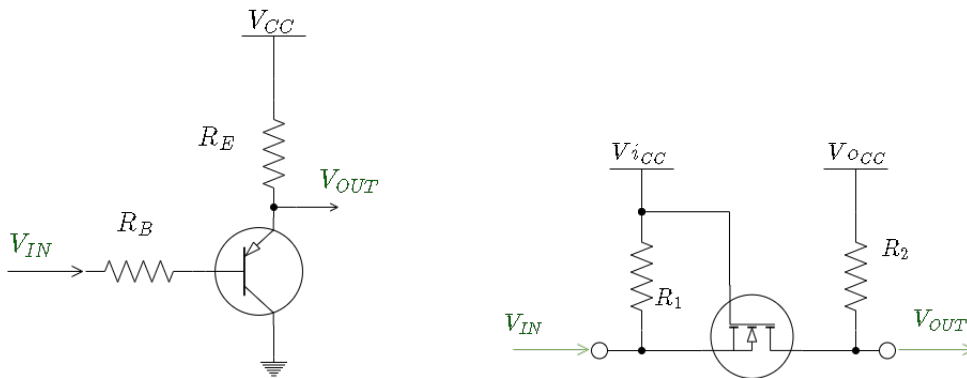


Figura 24: Circuitos propuestos

En las Figs. 25 la señal amarilla corresponde a la entrada de los circuitos de interfaz, mientras que la morada corresponde a la salida de los mismos. En la izquierda se observa el resultado de la interface PNP y en la derecha la de NMOS, se puede deducir claramente que la implementación de mejor rendimiento es la MOS ya que logra mejor niveles de tensión para cada estado.

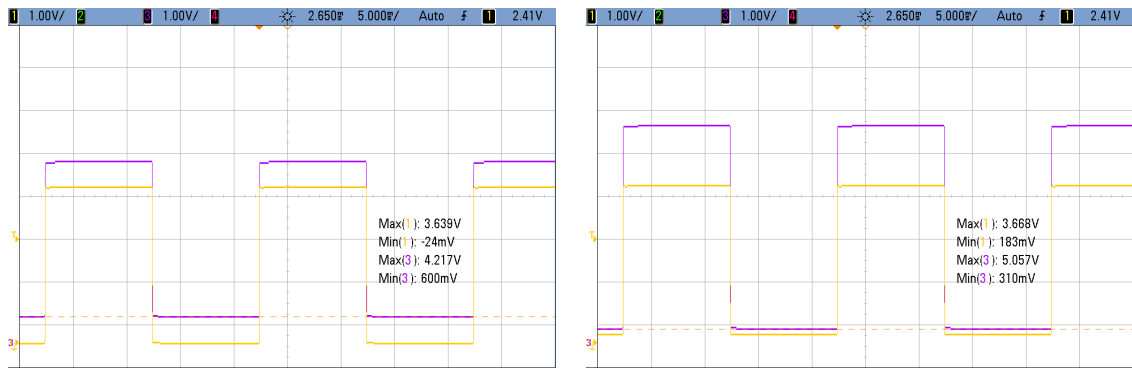


Figura 25: Resultados de los circuitos implementados ante una señal cuadrada con valores arbitrarios

Diseño e implementación multivibradores

Ejercicio 7: Diseño de contadores síncronos y asíncronos de 3 bits

Contador Asíncrono

En esta sección se propone el diseño de un contador asíncrono de 3 bits ascendente empleando únicamente Flip Flops D, puesto que es el único tipo de Flip Flop del cual se dispone.

Diseño del circuito

Cada uno de los Flip Flop's corresponderá a un bit del contador, y para ser asíncrono, cada uno tiene como señal de clock el complemento del bit inferior en peso, salvo el bit menos significativo cuyo clock corresponde a una señal cuadrada efectivamente. De esta forma, cada vez que se produce un cambio de estado alto a estado bajo en un bit del contador, el siguiente en peso invertirá su estado. Se agrega además la posibilidad de reiniciar el contador empleando la entrada asíncronica de reset. Se puede observar el circuito lógico resultante en la Fig. 26.

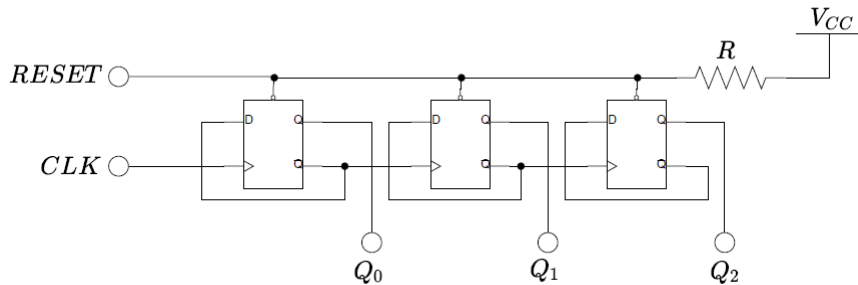


Figura 26: Circuito contador asíncrono de 3 bits

En la práctica se dispone de los circuitos integrados 74LS74, el cual contiene dos flip flops D independientes y necesita tener una tensión de alimentación de 5V. Se conectan sus entradas de preset a 5V, y luego las entradas asíncronicas de reset con un pull-up de $R = 100k\Omega$ a 5V para ofrecer al usuario la posibilidad de reiniciar el contador.

Diseño de PCB

Contador Síncrono

En esta sección se propone el diseño de un contador síncrono de 3 bits ascendente empleando únicamente Flip Flops D, por la misma razón que para el caso asíncrono.

Diseño del circuito

Para el circuito lógico del contador se propone utilizar los flip flops como dispositivos que almacenen el estado de cada bit del contador, luego utilizando lógica externa se define cómo debe cambiar el estado para cada caso según el estado actual. Para ello se ilustra en la Tabla. 9 la tabla de verdad del mismo. Entonces se pueden obtener las siguientes expresiones lógicas:

$$Q_0^* = \neg Q_0 \quad (2)$$

$$Q_1^* = Q_1 \oplus Q_0 \quad (3)$$

$$Q_2^* = Q_2 \oplus (Q_1 \cdot Q_0) \quad (4)$$

Q_2	Q_1	Q_0	Q_2^*	Q_1^*	Q_0^*
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

Tabla 9: Tabla de verdad estados actuales y futuros del contador

Finalmente, se puede observar la implementación de estas expresiones en el circuito lógico de la Fig. 27.

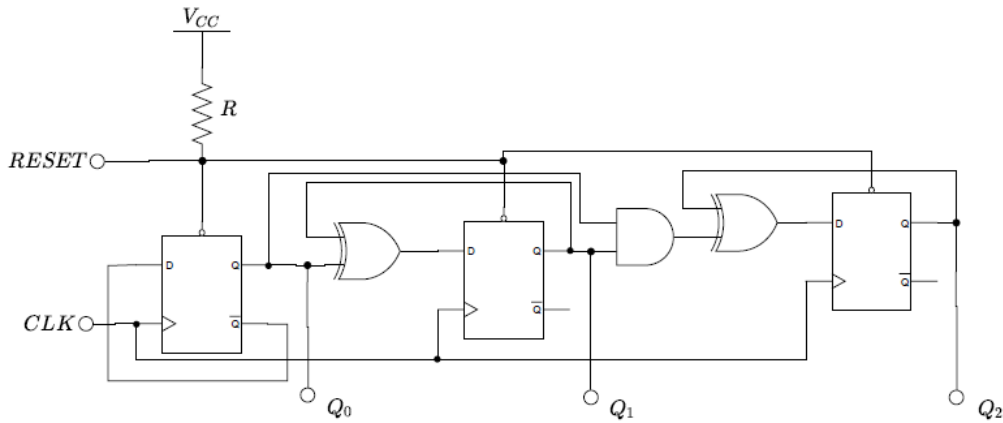


Figura 27: Circuito contador sincrónico de 3 bits

Diseño de PCB

Visualización del contador

Se propone diseñar un circuito que decodifique el código binario del contador y lo represente en un display de 7 segmentos para poder realizar una prueba rápida del funcionamiento del circuito y poder visualizar el resultado del mismo.

Diseño del circuito

Se utilizará un circuito integrado 74LS47, esto es, un decodificador BCD a 7 Segmentos, puesto que como la salida del contador se encuentra acotada entonces puede ser interpretada como BCD. En este integrado la lógica se encuentra negada, por lo cual es necesario utilizar un display de 7 segmentos de ánodo común, donde el máximo de corriente que puede entregar es $25mA$, no obstante se hará circular una corriente de $4mA$ por segmento teniendo en cuenta que el modelo utilizado tiene una tensión $V_{DON} \approx 2,7V$.

Asumiendo el peor caso donde la tensión sobre la resistencia es máxima y puede circular el máximo de corriente, se limita al valor consignado y por ello se utilizan resistencias de $R = \frac{5V-2,7V}{4mA} > 575\Omega \Rightarrow R = 680\Omega$.

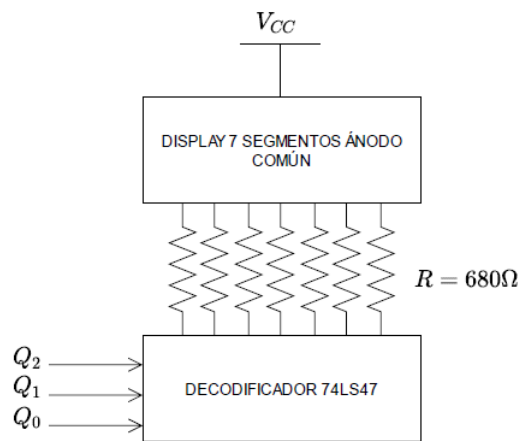


Figura 28: Simplificación del circuito de visualización

Diseño de PCB

Resultados

Funcionamiento

Mediciones

Análisis de datos

Ejercicio 8: Diseño de controlador para un Joystick Analógico