

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

Trabajo Práctico N°2

Electrónica III - 2019

Grupo 1:

Farall, Facundo David
Gaytan, Joaquín Oscar
Kammann, Lucas Agustín
Maselli, Carlos Javier

Profesores:

Dewald, Kevin
Wundes, Pablo
Aguirre, Miguel

14 de octubre de 2019

Índice

1. Ejercicio 1: Compuertas NOT implementadas con BJT y MOSFET	3
2. Ejercicio 3: Implementación de una tabla de verdad	4
3. Ejercicio 4: Tiempos de propagación en compuerta CMOS	5
3.1. Descripción del análisis	5
3.2. Resultados	5
3.2.1. Mediciones de tiempo de propagación	5
3.2.2. Mediciones de tiempo rise y fall	6
3.2.3. Overshoot	7
3.2.4. Mediciones a altas frecuencias	7
3.3. Conclusión	8
4. Ejercicio 5: Comparación TTL y CMOS de compuertas con entradas desconectadas	9
5. Ejercicio 6: Diseño e implementación multivibradores	10
6. Ejercicio 7: Diseño de contadores sincrónicos y asincrónicos de 3 bits	11
7. Ejercicio 8: Diseño de controlador para un Joystick Analógico	12

1. **Ejercicio 1: Compuertas NOT implementadas con BJT y MOSFET**

2. Ejercicio 3: Implementación de una tabla de verdad

3. Ejercicio 4: Tiempos de propagación en compuerta CMOS

3.1. Descripción del análisis

Se estudia en esta sección, el comportamiento de una compuerta CMOS, en particular la 74HC02, una compuerta NOR, con el fin de estudiar las diferencias de las respuestas temporales de las mismas con y sin carga. Para ello se analizan los tiempos de propagación(t_P), en las transiciones de alto a bajo y de bajo a alto, y el *rise time*(t_R) y *fall time*(t_F) bajo estas condiciones.

Además se estudia el comportamiento de esta compuerta a altas frecuencias, 100KHz, y los efectos que puede ocasionar en la fuente de alimentación. Por último, se agrega entre los terminales de alimentación de la compuerta, un capacitor de desacople con el fin de analizar sus efectos al trabajar en estas frecuencias. Se muestra en la Figura 1 el circuito utilizado para todo el análisis.

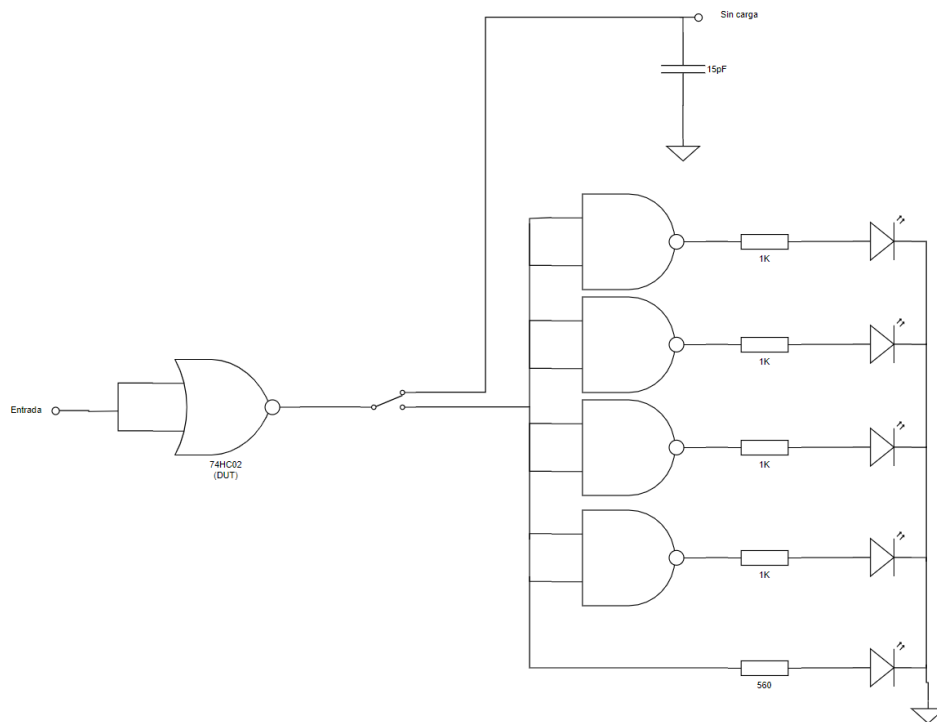


Figura 1: Circuito de medición

3.2. Resultados

3.2.1. Mediciones de tiempo de propagación

Se pueden observar en la Figura 2 las mediciones obtenidas en el osciloscopio de los tiempos de propagación en ambas transiciones de la compuerta. En la Figura 3 se muestran las mediciones equivalentes para el caso con el circuito cargado. Se puede apreciar en las figuras, el método de medición utilizado para estos parámetros, por medio de cursores.

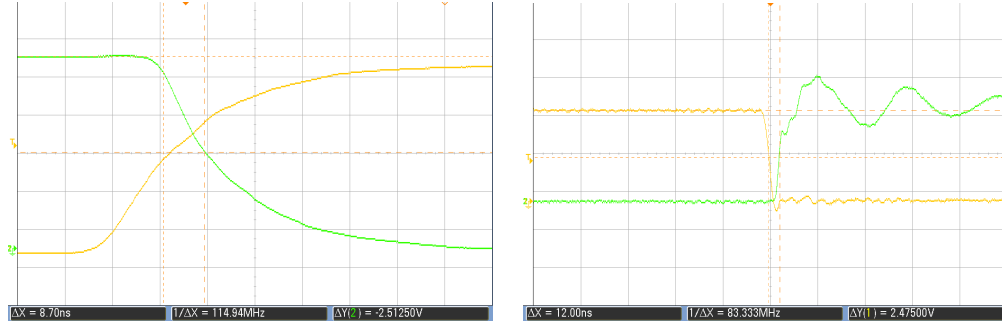


Figura 2: Mediciones de t_P sin carga. Entrada en amarillo y salida en verde

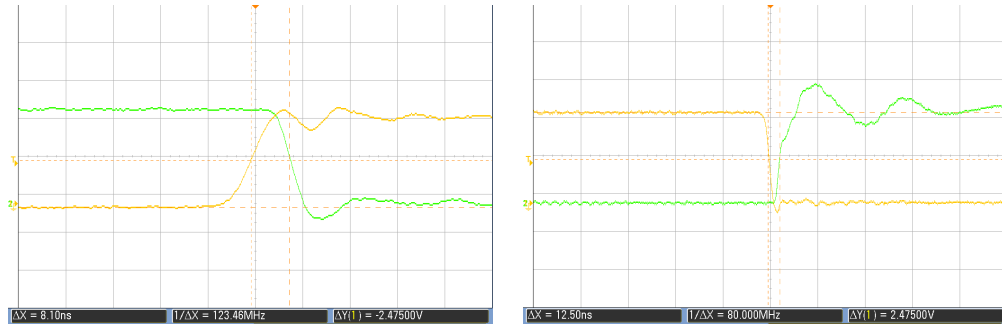


Figura 3: Mediciones de t_P con carga. Entrada en amarillo y salida en verde

Se presenta en la Tabla 1 una comparación de las mediciones realizadas.

t_P	Fall[ns]	Rise[ns]
Sin carga	8.7	12
Cargado	8.1	12.5

Tabla 1: Tabla de comparación de tiempos de propagación medidos

De las mediciones, no se puede observar una diferencia significativa. Sin embargo, si se decide hacer una mención acerca del sobrepico o *overshoot* que se observa en las capturas tomadas. Sobre este se hace una mención con mayor profundidad en las siguientes secciones.

3.2.2. Mediciones de tiempo rise y fall

Se pueden observar en la Figura 4 las mediciones obtenidas en el osciloscopio de los tiempos de rise y fall de la compuerta. En la Figura 5 se muestran las mediciones equivalentes para el caso con el circuito cargado. A diferencia del caso anterior, para realizar la medición, se decide utilizar la función provista por el osciloscopio utilizado. Las imágenes que corresponden a la transición de la salida de 1 a 0, se encuentran invertidas debido a que solo es posible medir con este método, el tiempo de rise.

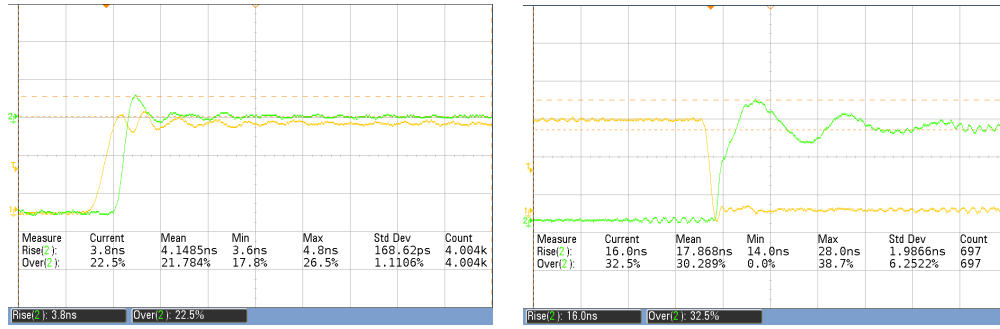


Figura 4: Mediciones de t_F (izquierda) y t_R (derecha) sin carga. Entrada en amarillo y salida en verde

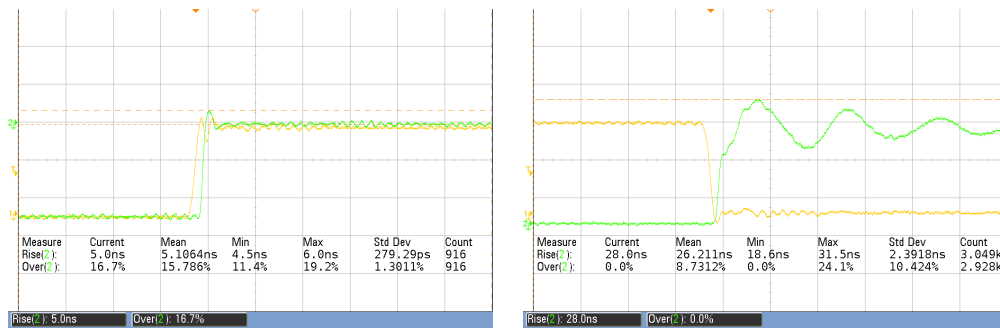


Figura 5: Mediciones de t_F (izquierda) y t_R (derecha) con carga. Entrada en amarillo y salida en verde

Se presenta en la Tabla 2 una comparación de las mediciones realizadas de los tiempos mencionados.

t	Fall[ns]	Rise[ns]
Sin carga	4.14	17.86
Cargado	5.1	26.11

Tabla 2: Tabla de comparación de tiempos de fall y rise medidos

En esta medición si se encuentra una variación significativa al comparar los tiempos con y sin carga, en especial en los tiempos de rise. Esto se debe a que, al conectar más compuertas lógicas a la salida, la capacidad equivalente a la salida de la compuerta NOR es mayor.

Un punto importante a remarcar es que, los tiempos de fall medidos, se encuentran muy cerca del rise time del osciloscopio, que se calcula como $t_R^{OSC} = \frac{0.35}{BW} = 3,5ns$ por lo que los valores tomados en esta medición no son del todo correctos.

3.2.3. Overshoot

En todas las mediciones realizadas, se puede observar en ambos flancos de transición un transitorio correspondiente a un sistema subamortiguado con su respectivo *overshoot* o sobrepico. Este fenómeno se debe principalmente a la capacidad parásita que se encuentra entre el drain y source de la salida de una compuerta CMOS¹. Además, es importante considerar las influencias de las puntas del osciloscopio en el circuito, al cambiarlas de x10 a x1 se observa que desaparece el sobrepico.

3.2.4. Mediciones a altas frecuencias

Para realizar este análisis se aumenta la frecuencia del generador de señales a 100KHz y se miden los efectos que esto produce en la alimentación. Se muestran en la Figura 6 los resultados obtenidos.

¹Fuente: <https://pdfs.semanticscholar.org/f408/39a2cefd5e5a55e25fa21453d79be764a287.pdf>. Consultado: 14/10/2019

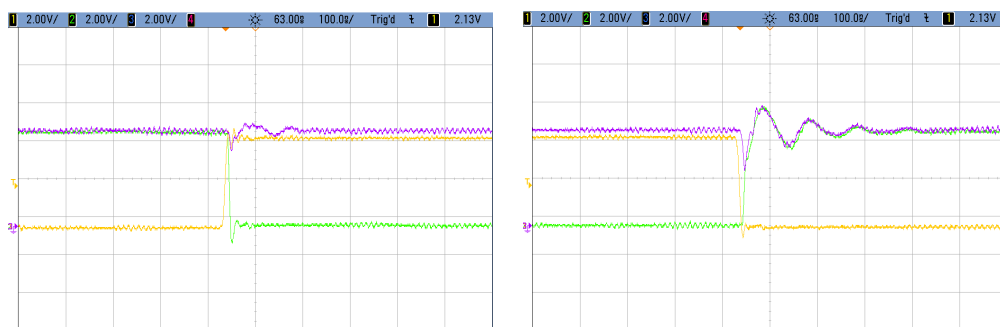


Figura 6: Mediciones de la alimentación a 100KHz. Entrada en amarillo, salida en verde y alimentacion en violeta

Se observa que la alimentación tiene un transitorio subamortiguado coincidente con los flancos de transición de la salida. Esto se debe a que, en la transición, la compuerta demanda más corriente de la fuente en un período de tiempo corto. La amplitud y período del transitorio dependen de la respuesta en frecuencia de la fuente utilizada.

Debido a este sobrepico, la tensión de alimentación cae por debajo de los 3V, cuando el mínimo señalado por el fabricante es de 2V, y sube casi llegando a los 6V, el máximo ². Esto es sumamente crítico pues el comportamiento del circuito es incierto.

Para solucionar esto, se agrega entre los terminales de alimentación de la compuerta, un capacitor de desacople de 100nF. La selección de ese valor se realiza en base a lo especificado por Texas Instruments en la "Guía de consideraciones de diseño para dispositivos lógicos" ³ Se muestran en la Figura 7 los resultados obtenidos.

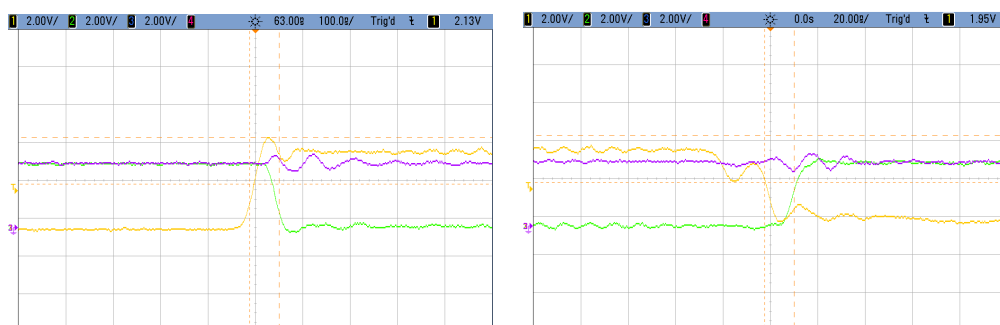


Figura 7: Mediciones de la alimentación a 100KHz con capacitor de desacople. Entrada en amarillo, salida en verde y alimentacion en violeta

Los resultados se corresponden con lo esperado. Se puede observar en las capturas que, si bien el transitorio sigue presente, el sobrepico tiene una amplitud mucho menor.

En cuanto a la temperatura, no se observaron variaciones al aumentar la frecuencia de operación.

3.3. Conclusión

Se ha podido comprobar la influencia que tiene la carga conectada a una compuerta en sus tiempos característicos. Además se pudo observar las asimetrías en los tiempos de rise y fall provocadas por los transistores a la salida de la compuerta. Por último, se destaca a partir de los resultados la importancia de utilizar capacitores de desacople en la implementación de circuitos lógicos para asegurar su correcto funcionamiento.

²Fuente:<http://www.ti.com/lit/ds/symlink/sn74hc02.pdf>. Consultado: 14/10/2019

³Fuente:<https://www.ti.com/lit/an/sdya002/sdya002.pdf>. Consultado: 14/10/2019

4. Ejercicio 5: Comparación TTL y CMOS de compuertas con entradas desconectadas

5. Ejercicio 6: Diseño e implementación multivibradores

6. Ejercicio 7: Diseño de contadores sincrónicos y asincrónicos de 3 bits

7. Ejercicio 8: Diseño de controlador para un Joystick Analógico