

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

Trabajo Práctico N°2

Electrónica III - 2019

Grupo 1:

Farall, Facundo David
Gaytan, Joaquín Oscar
Kammann, Lucas Agustín
Maselli, Carlos Javier

Profesores:

Dewald, Kevin
Wundes, Pablo
Aguirre, Miguel

5 de octubre de 2019

Índice

Tecnologías TTL, RTL, NMOS y CMOS	3
Análisis teórico	3
Niveles de tensión	4
Proceso de medición	4
Análisis de resultados	4
Tiempos de operación	5
Proceso de medición	5
Análisis de resultados	6
Corrientes máximas	6
Proceso de medición	6
Análisis de resultados	7
Diseño de PCB	8
Observaciones	8
Resistencia de pull-down	8
Tiempos de transición	8
Mediciones	9
Conclusiones	9
Ejercicio 2: Comparación de compuertas discretas con tecnología TTL y CMOS	10
Ejercicio 3: Implementación de una tabla de verdad	11
Ejercicio 4: Tiempos de propagación en compuerta CMOS	12
Ejercicio 5: Comparación TTL y CMOS de compuertas con entradas desconectadas	13
Ejercicio 6: Diseño e implementación multivibradores	14
Ejercicio 7: Diseño de contadores sincrónicos y asincrónicos de 3 bits	15
Ejercicio 8: Diseño de controlador para un Joystick Analógico	16

Tecnologías TTL, RTL, NMOS y CMOS

Es de interés estudiar los parámetros que establecen los límites físicos al modelo conceptual de las compuertas lógicas para diferentes tecnologías y topologías, diseñando con diferentes tecnologías una compuerta NOT y se asume que el lector tiene un conocimiento del funcionamiento de los dispositivos empleados en este estudio.

Análisis teórico

En los análisis realizados para reproducir los circuitos ilustrados en la Fig. 1, se emplean transistores NPN *BC547* con un $hFE_{min} = 110$, una $V_{CE_{SAT}} \approx 0,3V$. Luego para los MOSFET se emplea un par complementario *IRFZ44N* y *IRF9530*. Se alimenta con $V_{CC} = V_{DD} = 5V$.

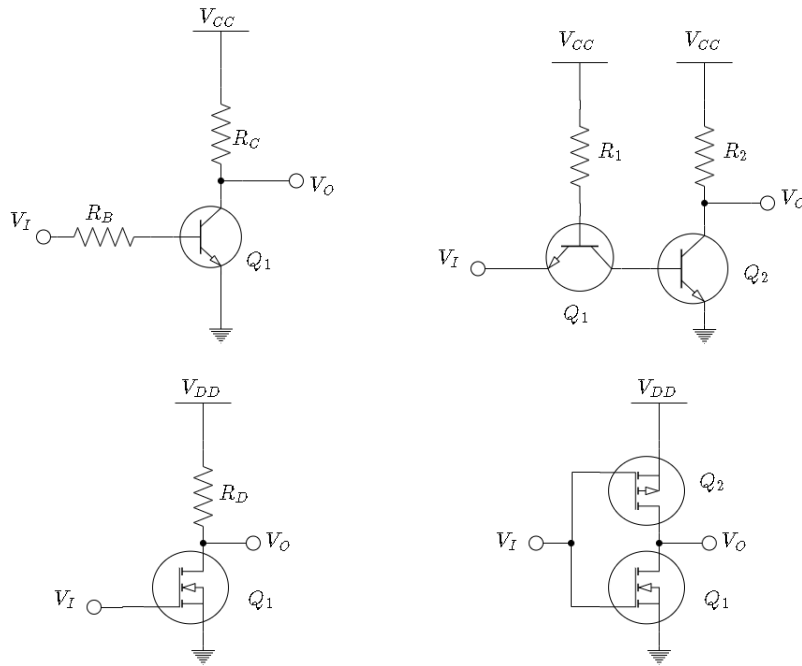


Figura 1: Implementación en diversas tecnologías y topologías de Compuerta NOT

Tecnología RTL: Se opera un transistor Q_1 en conmutación con modos de saturación y corte, para ello se define arbitrariamente una resistencia $R_C = 10k\Omega$, se asume Q_1 en saturación y luego la corriente de colector se establece como $I_{C_{SAT}} = \frac{V_{CC} - V_{CE_{SAT}}}{R_C} \approx 480\mu A$, con lo cual con una resistencia de base $R_B = 470k\Omega$ se cumple la condición de saturación.

Tecnología TTL: Opera de igual forma que el caso RTL, en principio se asumen valores de resistencias iguales donde $R_1 = 470k\Omega$ y $R_2 = 10k\Omega$. La diferencia principal es que la corriente de base del transistor de salida Q_2 es controlada por la de colector del transistor de entrada Q_1 , con lo cual los tiempos de recuperación se ven reducidos ya que se enciende y apaga con mucha más corriente que antes, debiéndose esperar menor tiempo de propagación o transición.

Tecnología MOS: Se opera un MOSFET de canal N en conmutación en modo de corte y lineal, para ello se garantiza que la resistencia R_D sea lo suficientemente grande para no saturar el canal. Se propone una $R_D = 10k\Omega$. Se tiene en cuenta que el $V_{TH_{MAX}} = 4V < 5V$.

Tecnología CMOS: Se evita usar una resistencia en el Drain usando redes de pull-up y pull-down con transistores MOS complementarios cuya $|V_{TH}| = 4V$.

Niveles de tensión

La sintetización de circuitos lógicos implica la interconexión de compuertas integradas que según su tecnología y topología maneja niveles de tensión para los estados lógicos que puede diferir con el resto, para esto es de interés analizar tales magnitudes en la implementación de los cuatro circuitos ilustrados previamente.

Proceso de medición

Se genera una señal de entrada triangular con una simetría del 50 % desde 0V hasta 5V, con frecuencia a convenir menor a $f = 100Hz$. Luego, con un osciloscopio se miden la entrada y la salida, utilizando puntas de prueba x10 con la menor capacidad parásita posible para no introducir transitorios superiores. Finalmente, se descargan y procesan las mediciones, para localizar los puntos donde la derivada con -1 . Además, se calculan los márgenes de ruido como las diferencias correspondientes estados altos y bajos de entrada y salida.

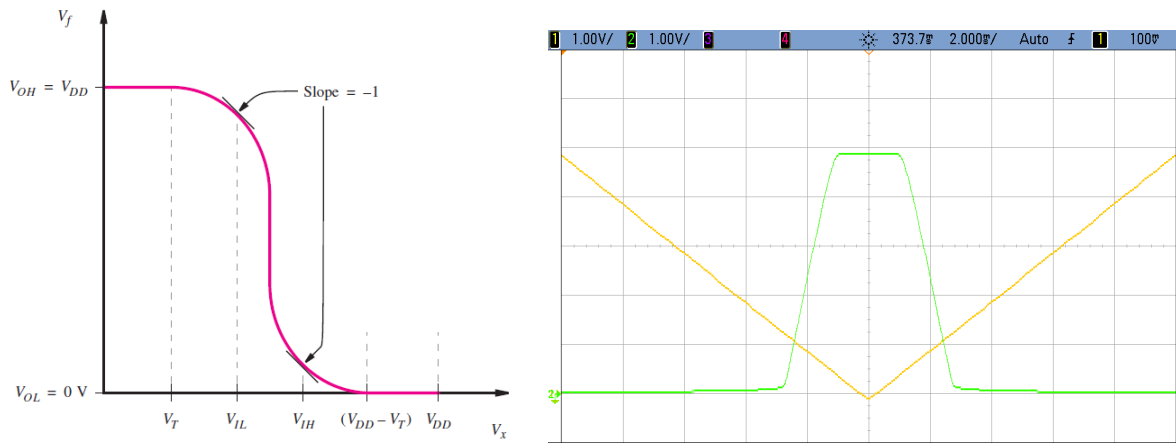


Figura 2: $V_o(V_i)$ y medición entrada(amarilla) y salida(verde).

Circuito	VIH	VIL	VOH	VOL	NMH	NML
RTL	1,33V	0,28V	4,89V	0,11V	3,55V	0,16V
TTL	0,56V	0,3V	4,89V	0,01V	4,32V	0,29V
MOS	2,7V	1,94V	4,89V	0,04V	2,19V	1,89V
CMOS	2,89V	1,7V	4,94V	0,04V	2,04V	1,66V

Tabla 1: Resultados de los niveles de tensión

Circuito	VIH	VIL	VOH	VOL	NMH	NML
RTL	1,31V	0,25V	4,89V	0,13V	3,58V	0,12V
TTL	0,55V	0,31V	4,89V	0,01V	4,33V	0,29V
MOS	2,53V	2,1V	4,88V	0,01V	2,34V	2,09V
CMOS	2,83V	1,44V	4,94V	0,04V	2,12V	1,40V

Tabla 2: Resultados de los niveles de tensión con carga de $C = 1nF$

Análisis de resultados

De RTL a TTL disminuye el valor de VIH ya que, en TTL, se apaga el transistor de salida con la corriente de colector del primero. Por otro lado, es de esperar que los valores de VOH entre tales tecnologías no

difieran, dado que en presentan la misma malla de salida, no obstante se asume que la diferencia entre valores de VOL es causada por el incremento en la condición de saturación en el caso de TTL, puesto que al estar elevando la corriente de colector el punto de polarización se desplaza a una menor tensión. En segundo lugar, entre las topologías MOS y CMOS, los valores de VOL no difieren ya que depende del transistor NMOS que ambas tienen, mientras que la diferencia de uno a otro es el pull-up, lo cual puede denotarse en el incremento de VOH para CMOS.

En términos generales, puede observarse que los niveles de salida mas fuertes son entregados por el caso CMOS, con un margen de ruido para ambos casos mayor en cuanto a la distribución.

Desde otro punto de vista, en la Tabla. 2 se puede observar que en el resultado de las mediciones habiendo cargado las compuertas, es notable destacar que la que mayor mantiene sus valores es la compuerta CMOS.

Tiempos de operación

De la expresión lógica ideal a la implementación en dispositivos físicos existen limitaciones que acarrear inconvenientes y pueden provocar que el comportamiento resultante no sea el esperado, entre estas características se encuentran los tiempos de transición que describen el retardo del dispositivo en pasar una salida del estado bajo al alto y viceversa, así como también los tiempos de propagación que requiere el dispositivo para reflejar los cambios de la entrada en la salida.

Proceso de medición

Se genera una señal de entrada cuadrada con duty 50 % con un valor de tensión $5V_{PP}$ y una tensión de offset $2,5V$, con una frecuencia según convenga inferior a $f = 100Hz$, luego se mide con dos canales la señal de entrada y de salida, configurando el trigger para dos escenarios alternativos de rise y fall. Finalmente, se descargan y procesan los datos de entrada y salida determinando el tiempo de transición de la salida entre el 10 % y el 90 % y el tiempo de propagación entre la entrada y salida al 50 %.

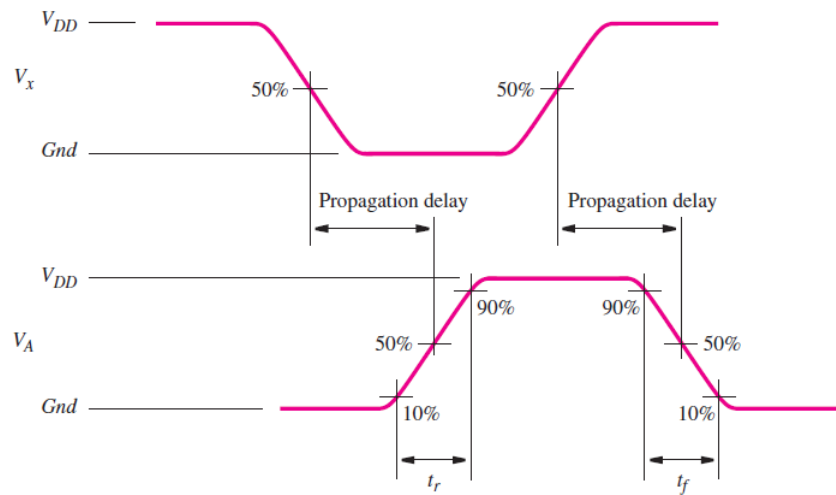


Figura 3: Definición teórica de los tiempos a medir

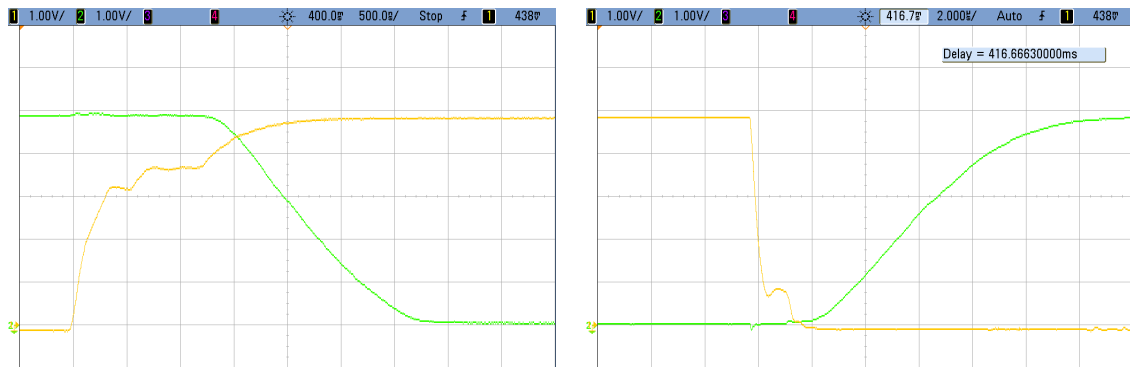


Figura 4: Casos ejemplo de medición de los tiempos. Entrada: amarilla, Salida: verde

Circuito	Prop. de alto a bajo	Prop. de bajo a alto	Trans. de alto a bajo	Trans. de bajo a alto
RTL	$5,49\mu s$	$1,88\mu s$	$1,37\mu s$	$6,12\mu s$
TTL	$2,81\mu s$	$55ns$	$57,2ns$	$57ns$
MOS	$15,3\mu s$	$185ns$	$177ns$	$27,4\mu s$
CMOS	$710ns$	$720ns$	$412ns$	$504ns$

Tabla 3: Medición de los tiempos de operación sin carga

Circuito	Prop. de alto a bajo	Prop. de bajo a alto	Trans. de alto a bajo	Trans. de bajo a alto
RTL	$11,2\mu s$	$2,75\mu s$	$2,8\mu s$	$29,2\mu s$
TTL	$9,68\mu s$	$72ns$	$206ns$	$27,8\mu s$
MOS	$23,4\mu s$	$210ns$	$182ns$	$51,2\mu s$
CMOS	$750ns$	$745ns$	$434ns$	$532ns$

Tabla 4: Medición de los tiempos de operación con $C = 1nF$

Análisis de resultados

Las cargas capacitivas agregadas a las salidas de las compuertas incrementan los tiempos medidos. En primer lugar, entre las tecnologías RTL y TTL, se puede observar una diferencia atribuida a que el mismo transistor empleado en RTL tiene una etapa previa en TTL que reduce los tiempos con corrientes mayores para los procesos de apagado y encendido de la juntura del transistor de salida.

Por otro lado, al momento de cargar con una determinada capacidad las compuertas, la que menos variación presenta es la CMOS.

Corrientes máximas

La interconexión de compuertas lógicas requiere un consumo de corriente para lo que es necesario conocer las máximas corrientes de estado alto y estado bajo que pueden soportar tales compuertas.

Proceso de medición

En la Fig. 5 se ilustra el proceso de medición en el cual se emplea una carga variable para determinar a qué corriente los niveles de tensión exceden los límites determinados por las secciones anteriores.

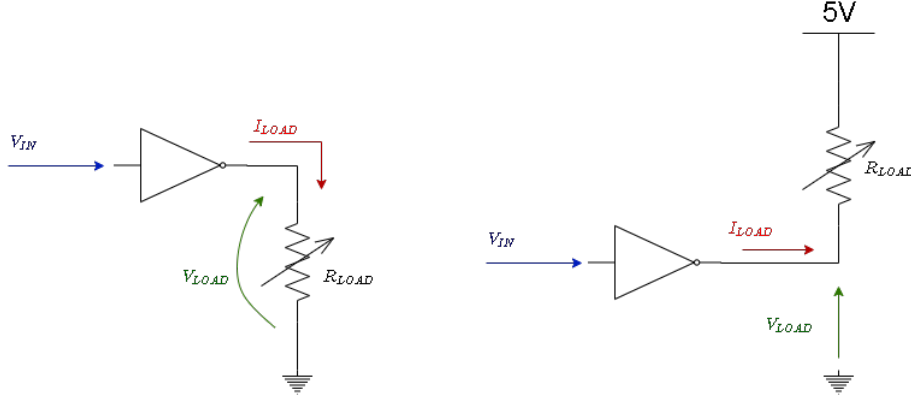


Figura 5: Proceso de medición de máxima corriente

Circuito	IOH	IOL
RTL	$14,4\mu A$	$488\mu A$
TTL	$14,6\mu A$	$13,1\mu A$
MOS	$11,5\mu A$	$249\mu A$
CMOS	$15,2mA$	$135\mu A$

Tabla 5: Mediciones de corriente máxima sin carga

Circuito	IOH	IOL
RTL	$11,1\mu A$	$1,13mA$
TTL	$10,2\mu A$	$49,5\mu A$
MOS	$12,4\mu A$	$37,7\mu A$
CMOS	$21,3mA$	$102\mu A$

Tabla 6: Mediciones de corriente máxima con carga $C = 1nF$

Análisis de resultados

Las compuertas RTL, TTL, MOS tienen una corriente similar de IOH por la resistencia de pull-up de aproximadamente $R = 10k\Omega$.

A pesar de esto último, cada una de tales tecnologías difiere de las demás en la corriente IOL justamente porque está definida por el control de la condición de saturación en los BJT, y la zona óhmica en el caso Las pequeñas diferencias se dan por los procesos de transición entre estados de los dispositivos empleados, sean BJT o MOSFET. No obstante, dado que en el circuito CMOS los MOSFETS son complementarios, no se encontró razonamiento por el cual la corriente IOH sea tan diferente con respecto de IOL, se asume que es por las condiciones en las que pudieran encontrarse los modelos usados.

Diseño de PCB

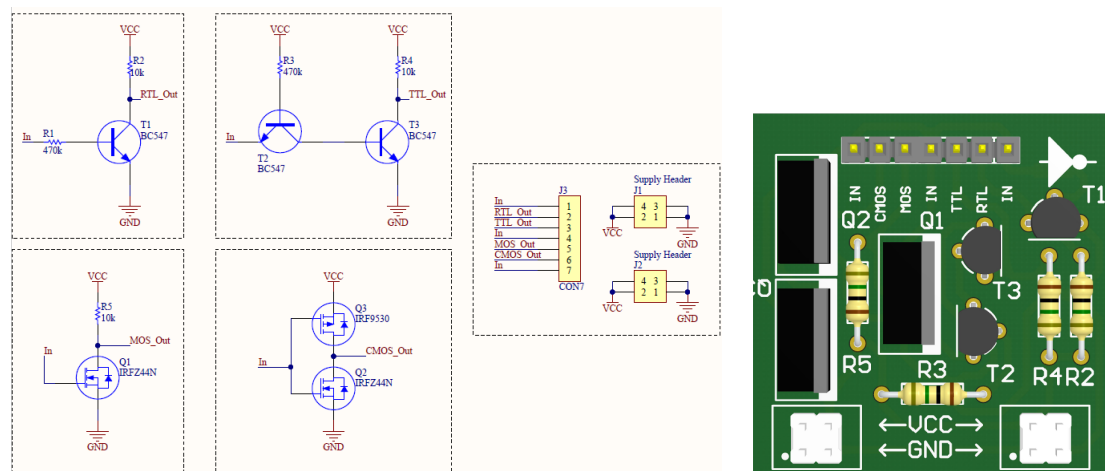


Figura 6: Diseño del PCB en Altium Designer

Observaciones

Resistencia de pull-down

En la Fig. 7 se observa la salida de la compuerta RTL con entrada al aire con y sin resistencia de pull-down en la entrada. Puede observarse que al no quedar bien definido el estado, la salida no está bien definida según las mediciones obtenidas de los niveles de tensión.

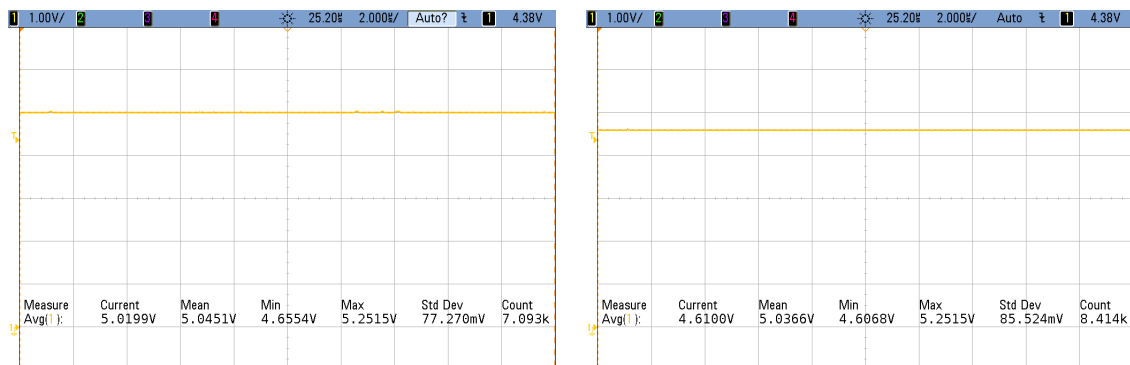


Figura 7: Medición de la salida de un RTL con entrada al aire

Tiempos de transición

En la Fig. 8 se ilustran los tiempos de transición de la salida de una compuerta RTL modificando la resistencia de base del transistor. Puede observarse que a pesar de que diversas resistencias son posibles para alcanzar las condiciones de saturación y corte, no todas producen la misma corriente de encendido y apagado, con lo cual esto puede producir que diferentes alternativas sean más rápidas que otras, a expensas de un mayor consumo de corriente. El circuito no tiene capacitor de desacople, esto permite observar que en el caso de mayor corriente y menor tiempo, se producen mayores distorsiones en la señal de entrada.

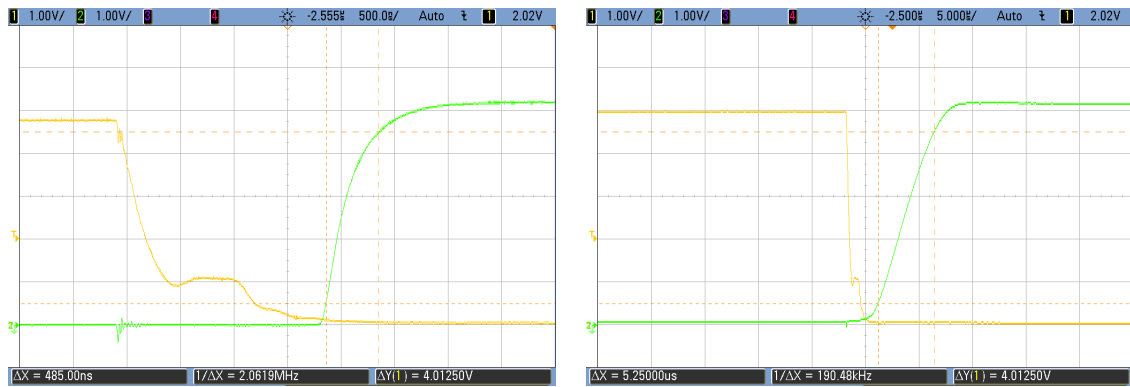


Figura 8: Medición de tiempo de transición en RTL. Entrada: amarilla, Salida: verde

Mediciones

En la Fig. 9 se puede observar que en la transición de la compuerta MOS se produjeron algunas distorsiones en las señales de entrada y de salida. Luego de analizar diferentes puntos de vista, se concluyó que el problema inicial está dado por el hecho de que las cuatro compuertas lógicas implementadas están funcionando en forma simultánea y conectadas en paralelo a la salida, lo cual provoca que en las mediciones de la MOS se introduzcan perturbaciones del transitorio de los BJT. Además, el funcionamiento conjunto en las transiciones implica un consumo de corriente que en un intervalo de tiempo pequeño produce una caída de tensión que pudo ser corregida con capacitores de desacople.

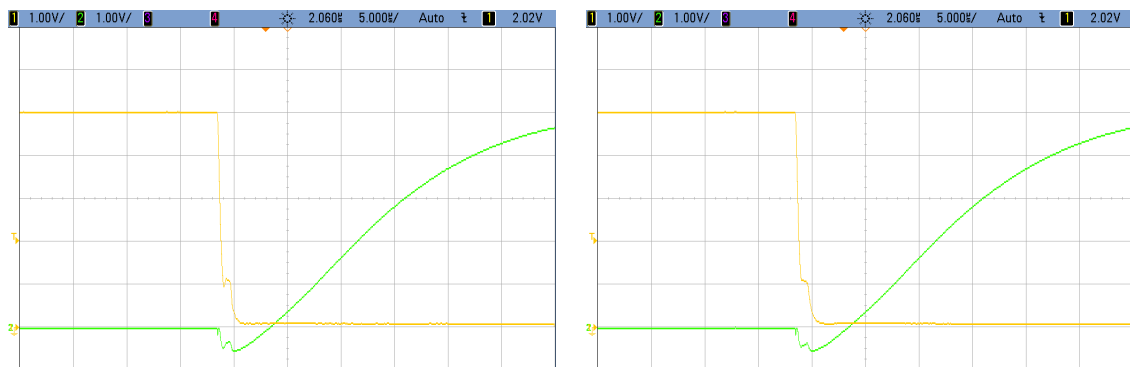


Figura 9: Transición de estados en la compuerta MOS. Entrada: amarilla, Salida: verde

Conclusiones

En términos generales todas las compuertas implementadas presentan estados lógicos de salida bien definidos, no obstante destaca por sus márgenes de ruido uniformes la compuerta MOS. Luego, comparando los tiempos de operación, sin carga la de mayor velocidad es la TTL, aunque se puede observar que la MOS y la CMOS son las que logran mantener mejor sus características frente a las cargas capacitivas, esto implica que la velocidad superior de la TTL se mantiene según la carga, no obstante las propiedades de una MOS se mantiene con pequeñas variaciones. Finalmente, en este aspecto, RTL queda claramente en desventaja frente a las demás, difiriendo en varios órdenes de magnitud. Por último, sin considerar la corriente IOH del caso CMOS, se puede concluir que las compuertas MOS y CMOS tuvieron una mayor capacidad de entregar corriente, en parte resulta razonable considerando que poseían un mayor margen de ruido.

En conclusión, en diversos aspectos las compuertas CMOS y MOS destacan por sus características. Las compuertas TTL tienen una mejor performance en términos de velocidad según la carga. Es importante mencionar que las características temporales de las compuertas pudieron haber sido mejoradas incrementando los consumos de corrientes al reducir las resistencias que las controlan.

Ejercicio 2: Comparación de compuertas discretas con tecnología TTL y CMOS

Ejercicio 3: Implementación de una tabla de verdad

Ejercicio 4: Tiempos de propagación en compuerta CMOS

Ejercicio 5: Comparación TTL y CMOS de compuertas con entradas desconectadas

Ejercicio 6: Diseño e implementación multivibradores

Ejercicio 7: Diseño de contadores sincrónicos y asincrónicos de 3 bits

Ejercicio 8: Diseño de controlador para un Joystick Analógico