Instituto Tecnológico de Buenos Aires

Trabajo Práctico N°2
Electrónica III - 2019

Grupo 1:

Farall, Facundo David
Gaytan, Joaquín Oscar
Kammann, Lucas Agustín
Maselli, Carlos Javier

Profesores:

Dewald, Kevin
Wundes, Pablo
Aguirre, Miguel

28 de octubre de 2019

Índice

Ejercicio 1: Tecnologías TTL, RTL, NMOS y CMOS **4**
Análisis teórico . . . 4
Niveles de tensión . . . 5
Proceso de medición . . . 5
Análisis de resultados . . . 5
Tiempos de operación . . . 6
Proceso de medición . . . 6
Análisis de resultados . . . 7
Corrientes máximas . . . 7
Proceso de medición . . . 7
Análisis de resultados . . . 8
Diseño de PCB . . . 9
Observaciones . . . 9
Resistencia de pull-down . . . 9
Tiempos de transición . . . 9
Mediciones . . . 10
Conclusión . . . 10

Ejercicio 2: Comparación de compuertas discretas con tecnología TTL y CMOS **11**
Marco teórico . . . 11
Análisis mediante hojas de datos . . . 12
Resultados experimentales . . . 13
Conclusión . . . 14

Ejercicio 2: Comparación de compuertas discretas con tecnología TTL y CMOS **14**
Marco teórico . . . 15
Análisis mediante hojas de datos . . . 16
Resultados experimentales . . . 17
Conclusión . . . 18

Ejercicio 3: Medición de un glitch **19**
Síntesis del circuito . . . 19
Implementación y medición del circuito . . . 20
Conclusión . . . 23

Ejercicio 4: Tiempos de propagación en compuerta CMOS **24**
Descripción del análisis . . . 24
Resultados . . . 24
Mediciones de tiempo de propagación . . . 24
Mediciones de tiempo rise y fall . . . 25
Overshoot . . . 26
Mediciones a altas frecuencias . . . 26
Conclusión . . . 27

Ejercicio 5: TTL y MOS, entradas abiertas y compatibilidad entre tecnologías **28**
Compuertas discretas con entrada desconectada . . . 28
Descripción general . . . 28
Resultados . . . 28
Análisis de resultados . . . 30
Conexión TTL y CMOS . . . 30
Descripción general . . . 30
Resultados . . . 31
Análisis de resultados . . . 32
Soluciones propuestas . . . 33

Conclusión . . . 34

Ejercicio 6: Diseño e implementación de multivibradores biestables **35**
Diseño de los circuitos . . . 35
Latch SR . . . 35
Flip-Flop D . . . 35
Implementación en PCB . . . 36
Medición de parámetros de los circuitos. . . . 37
Latch SR . . . 37
Flip-Flop D . . . 40
Conclusión . . . 42

Ejercicio 7: Diseño de contadores sincrónicos y asincrónicos de 3 bits **43**
Contador Asincrónico . . . 43
Diseño del circuito . . . 43
Contador Sincrónico . . . 44
Diseño del circuito . . . 44
Visualización del contador . . . 45
Diseño del circuito . . . 46
Resultados . . . 46
Mediciones . . . 47
Análisis de datos . . . 48
Conclusión . . . 48

Ejercicio 8: Diseño de controlador para un Joystick Analógico **49**
Introducción . . . 49
Diseño . . . 49
Generador de rampa y comparador (ADC) . . . 50
Contadores y memorias . . . 51
Drivers y displays . . . 52
Clocks . . . 52
Funcionamiento y calibración . . . 54
Problemas encontrados con la implementación . . . 54
Conclusiones . . . 55

Ejercicio 1: Tecnologías TTL, RTL, NMOS y CMOS

Es de interés estudiar los parámetros que establecen los límites físicos al modelo conceptual de las compuertas lógicas para diferentes tecnologías y topologías, diseñando con diferentes tecnologías una compuerta NOT y se asume que el lector tiene un conocimiento del funcionamiento de los dispositivos empleados en este estudio.

Análisis teórico

En los análisis realizados para reproducir los circuitos ilustrados en la Fig. 1, se emplean transistores NPN $BC547$ con un $hFE_{min} = 110$, una $V_{CE_{SAT}} \approx 0{,}3V$. Luego para los MOSFET se emplea un par complementario $IRFZ44N$ y $IRF9530$. Se alimenta con $V_{CC} = V_{DD} = 5V$.

Figura 1: Implementación en diversas tecnologías y topologías de Compuerta NOT

Tecnología RTL: Se opera un transistor Q_1 en conmutación con modos de saturación y corte, para ello se define arbitrariamente una resistencia $R_C = 10k\Omega$, se asume Q_1 en saturación y luego la corriente de colector se establece como $I_{C_{SAT}} = \frac{V_{CC} - V_{CE_{SAT}}}{R_C} \approx 480\mu A$, con lo cual con una resistencia de base $R_B = 470k\Omega$ se cumple la condición de saturación.

Tecnología TTL: Opera de igual forma que el caso RTL, en principio se asumen valores de resistencias iguales donde $R_1 = 470k\Omega$ y $R_2 = 10k\Omega$. La diferencia principal es que la corriente de base del transistor de salida Q_2 es controlada por la de colector del transistor de entrada Q_1, con lo cual los tiempos de recuperación se ven reducidos ya que se enciende y apaga con mucha más corriente que antes, debiendose esperar menor tiempo de propagación o transición.

Tecnología MOS: Se opera un MOSFET de canal N en conmutación en modo de corte y lineal, para ello se garantiza que la resistencia R_D sea lo suficientemente grande para no saturar el canal. Se propone una $R_D = 10k\Omega$. Se tiene en cuenta que el $V_{TH_{MAX}} = 4V < 5V$.

Tecnología CMOS: Se evita usar una resistencia en el Drain usando redes de pull-up y pull-down con transistores MOS complementarios cuya $|V_{TH}| = 4V$.

Niveles de tensión

La sintetización de circuitos lógicos implica la interconexión de compuertas integradas que según su tecnología y topología maneja niveles de tensión para los estados lógicos que puede diferir con el resto, para esto es de interés analizar tales magnitudes en la implementación de los cuatro circuitos ilustrados previamente.

Proceso de medición

Se genera una señal de entrada triangular con una simetría del 50 % desde $0V$ hasta $5V$, con frecuencia a convenir menor a $f = 100Hz$. Luego, con un osciloscopio se miden la entrada y la salida, utilizando puntas de prueba x10 con la menor capacidad parásita posible para no introducir transitorios superiores. Finalmente, se descargan y procesan las mediciones, para localizar los puntos donde la derivada con -1. Además, se calculan los margenes de ruido como las diferencias correspondientes estados altos y bajos de entrada y salida.

Figura 2: $V_o(V_i)$ y medición entrada(amarilla) y salida(verde).

Circuito	VIH	VIL	VOH	VOL	NMH	NML
RTL	1,33V	0,28V	4,89V	0,11V	3,55V	0,16V
TTL	0,56V	0,3V	4,89V	0,01V	4,32V	0,29V
MOS	2,7V	1,94V	4,89V	0,04V	2,19V	1,89V
CMOS	2,89V	1,7V	4,94V	0,04V	2,04V	1,66V

Tabla 1: Resultados de los niveles de tensión

Circuito	VIH	VIL	VOH	VOL	NMH	NML
RTL	1,31V	0,25V	4,89V	0,13V	3,58V	0,12V
TTL	0,55V	0,31V	4,89V	0,01V	4,33V	0,29V
MOS	2,53V	2,1V	4,88V	0,01V	2,34V	2,09V
CMOS	2,83V	1,44V	4,94V	0,04V	2,12V	1,40V

Tabla 2: Resultados de los niveles de tensión con carga de $C = 1nF$

Análisis de resultados

De RTL a TTL disminuye el valor de VIH ya que, en TTL, se apaga el transistor de salida con la corriente de colector del primero. Por otro lado, es de esperar que los valores de VOH entre tales tecnologías no

difieran, dado que en presentan la misma malla de salida, no obstante se asume que la diferencia entre valores de VOL es causada por el incremento en la condición de saturación en el caso de TTL, puesto que al estar elevando la corriente de colector el punto de polarización se desplaza a una menor tensión.
En segundo lugar, entre las topologías MOS y CMOS, los valores de VOL no difieren ya que depende del transistor NMOS que ambas tienen, mientras que la diferencia de uno a otro es el pull-up, lo cual puede denotarse en el incremento de VOH para CMOS.
En términos generales, puede observarse que los niveles de salida mas fuertes son entregados por el caso CMOS, con un márgen de ruido para ambos casos mayor en cuanto a la distribución.
Desde otro punto de vista, en la Tabla. 2 se puede observar que en el resultado de las mediciones habiendo cargado las compuertas, es notable destacar que la que mayor mantiene sus valores es la compuerta CMOS.

Tiempos de operación

De la expresión lógica ideal a la implementación en dispositivos físicos existen limitaciones que acarrean inconvenientes y pueden provocar que el comportamiento resultante no sea el esperado, entre estas características se encuentran los tiempos de transición que describen el retardo del dispositivo en pasar una salida del estado bajo al alto y viceversa, así como también los tiempos de propagación que requiere el dispositivo para reflejar los cambios de la entrada en la salida.

Proceso de medición

Se genera una señal de entrada cuadrada con duty 50 % con un valor de tensión $5V_{PP}$ y una tensión de offset $2{,}5V$, con una frecuencia según convenga inferior a $f = 100Hz$, luego se mide con dos canales la señal de entrada y de salida, configurando el trigger para dos escenarios alternativos de rise y fall. Finalmente, se descargan y procesan los datos de entrada y salida determinando el tiempo de transición de la salida entre el 10 % y el 90 % y el tiempo de propagación entre la entrada y salida al 50 %.

Figura 3: Definición teórica de los tiempos a medir

Figura 4: Casos ejemplo de medición de los tiempos. Entrada: amarilla, Salida: verde

Circuito	Prop. de alto a bajo	Prop. de bajo a alto	Trans. de alto a bajo	Trans. de bajo a alto
RTL	5,49μs	1,88μs	1,37μs	6,12μs
TTL	2,81μs	55ns	57,2ns	57ns
MOS	15,3μs	185ns	177ns	27,4μs
CMOS	710ns	720ns	412ns	504ns

Tabla 3: Medición de los tiempos de operación sin carga

Circuito	Prop. de alto a bajo	Prop. de bajo a alto	Trans. de alto a bajo	Trans. de bajo a alto
RTL	11,2μs	2,75μs	2,8μs	29,2μs
TTL	9,68μs	72ns	206ns	27,8μs
MOS	23,4μs	210ns	182ns	51,2μs
CMOS	750ns	745ns	434ns	532ns

Tabla 4: Medición de los tiempos de operación con $C = 1nF$

Análisis de resultados

Las cargas capacitivas agregadas a las salidas de las compuertas incrementan los tiempos medidos. En primer lugar, entre las tecnologías RTL y TTL, se puede observar una diferencia atribuida a que el mismo transistor empleado en RTL tiene una etapa previa en TTL que reduce los tiempos con corrientes mayores para los procesos de apagado y encendido de la juntura del transistor de salida.
Por otro lado, al momento de cargar con una determinada capacidad las compuertas, la que menos variación presenta es la CMOS.

Corrientes máximas

La interconexión de compuertas lógicas requiere un consumo de corriente para lo que es necesario conocer las máximas corrientes de estado alto y estado bajo que pueden soportar tales compuertas.

Proceso de medición

En la Fig. 5 se ilustra el proceso de medición en el cual se emplea una carga variable para determinar a qué corriente los niveles de tensión exceden los límites determinados por las secciones anteriores.

Figura 5: Proceso de medición de máxima corriente

Circuito	IOH	IOL
RTL	14,4μA	488μA
TTL	14,6μA	13,1μA
MOS	11,5μA	249μA
CMOS	15,2mA	135μA

Tabla 5: Mediciones de corriente máxima sin carga

Circuito	IOH	IOL
RTL	11,1μA	1,13mA
TTL	10,2μA	49,5μA
MOS	12,4μA	37,7μA
CMOS	21,3mA	102μA

Tabla 6: Mediciones de corriente máxima con carga $C = 1nF$

Análisis de resultados

Las compuertas RTL, TTL, MOS tienen una corriente similar de IOH por la resistencia de pull-up de aproximadamente $R = 10k\Omega$.
A pesar de esto último, cada una de tales tecnologías difiere de las demás en la corriente IOL justamente porque está definida por el control de la condición de saturación en los BJT, y la zona óhmica en el caso Las pequeñas diferencias se dan por los procesos de transición entre estados de los dispositivos empleados, sean BJT o MOSFET. No obstante, dado que en el circuito CMOS los MOSFETS son complementarios, no se encontró razonamiento por el cual la corriente IOH sea tan diferente con respecto de IOL, se asume que es por las condiciones en las que pudieran encontrarse los modelos usados.

Diseño de PCB

Figura 6: Diseño del PCB en Altium Designer

Observaciones

Resistencia de pull-down

En la Fig. 7 se observa la salida de la compuerta RTL con entrada al aire con y sin resistencia de pull-down en la entrada. Puede observarse que al no quedar bien definido el estado, la salida no está bien definida según las mediciones obtenidas de los niveles de tensión.

Figura 7: Medición de la salida de un RTL con entrada al aire

Tiempos de transición

En la Fig. 8 se ilustran los tiempos de transición de la salida de una compuerta RTL modificando la resistencia de base del transistor. Puede observarse que a pesar de que diversas resistencias son posibles para alcanzar las condiciones de saturación y corte, no todas producen la misma corriente de encendido y apagado, con lo cual esto puede producir que diferentes alternativas sean más rápidas que otras, a expensas de un mayor consumo de corriente. El circuito no tiene capacitor de desacople, esto permite observar que en el caso de mayor corriente y menor tiempo, se producen mayores distorsiones en la señal de entrada.

Figura 8: Medición de tiempo de transición en RTL. Entrada: amarilla, Salida: verde

Mediciones

En la Fig. 9 se puede observar que en la transición de la compuerta MOS se produjeron algunas distorsiones en las señales de entrada y de salida. Luego de analizar diferentes puntos de vista, se concluyó que el problema inicial está dado por el hecho de que las cuatro compuertas lógicas implementadas están funcionando en forma simultánea y conectadas en paralelo a la salida, lo cual provoca que en las mediciones de la MOS se introduzcan perturbaciones del transitorio de los BJT. Además, el funcionamiento conjunto en las transiciones implica un consumo de corriente que en un intervalo de tiempo pequeño produce una caída de tensión que pudo ser corregida con capacitores de desacople.

Figura 9: Transición de estados en la compuerta MOS. Entrada: amarilla, Salida: verde

Conclusión

En términos generales todas las compuertas implementadas presentan estados lógicas de salida bien definidos, no obstante destaca por sus márgenes de ruido uniformes la compuerta MOS. Luego, comparando los tiempos de operación, sin carga la de mayor velocidad es la TTL, aunque se puede observar que la MOS y la CMOS son las que logran mantener mejor sus características frente a las cargas capacitivas, esto implica que la velocidad superior de la TTL se mantiene según la carga, no obstante las propiedades de una MOS se mantiene con pequeñas variaciones. Finalmente, en este aspecto, RTL queda claramente en desventaja frente a las demás, difiriendo en varios órdenes de magnitud. Por último, sin considerar la corriente IOH del caso CMOS, se puede concluir que las compuertas MOS y CMOS tuvieron una mayor capacidad de entregar corriente, en parte resulta razonable considerando que poseían un mayor margen de ruido.

En conclusión, en diversos aspectos las compuertas CMOS y MOS destacan por sus características. Las compuertas TTL tienen una mejor performance en términos de velocidad según la carga. Es importante mencionar que las características temporales de las compuertas pudieron haber sido mejoradas incrementando los consumos de corrientes al reducir las resistencias que las controlan.

«“‘¡HEAD

»”’Ejercicio 2: Comparación de compuertas discretas con tecnología TTL y CMOS

»”’Se plantea estudiar la compatibilidad de compuertas de tecnología TTL (a base de transistores BJT) con CMOS (transistores MOSFET), enfocando la problemática desde el estudio de sus características de márgen de ruido, y haciendo también mención al fanout. Se abordará este análisis mediante el estudio de caso de los integrados 74HC02, 74HCT02 y 74LS02, los cuales contienen 4 compuertas NOR cada uno, implementados mediante distintas tecnologías.

»”’Marco teórico

»”’Las letras LS en 74LS02 refieren ”Low-power Schottky”, una tecnología del tipo TTL que alcanza mejores rendimientos y velocidad gracias a la implementación de transistores Schottky, los cuales difieren de los clásicos BJT únicamente en el agregado de un diodo Schottky entre sus terminales Base y Colector. Por otro lado, HC y HCT refieren a ”High-speed CMOS”, distinguiéndose HCT por ser compatible con las tecnologías TTL.

»”’

»”’ »”’Figura 10: Símbolo y circuito de transistor Schottky.

»”’Tal y como fue mencionado en el inicio de esta sección, en este trabajo se estudiará la compatibilidad entre las tecnologías a través de sus márgenes de ruido. Esto significa que, en términos de interconexión, una compuerta solo será compatible con otra de otra tecnología, si el rango de valores de salida de la primera está incluido en el rango de entrada de la segunda.
En las figuras 18 y 19 pueden apreciarse los casos que pueden presentarse que significarán la compatibilidad o no entre las compuertas. De ellos se extrae que las compuertas serán compatibles solo en el caso en que $V_{OH} \geq V_{IH}$ y $V_{OL} \leq V_{IL}$.

»”’

»”’ »”’Figura 11: Compatibilidad de compuertas.

»"'

»"'Figura 12: Compatibilidad de compuertas.

»"'Con respecto al fanout, el mismo es una limitación para la cantidad de compuertas que se pueden colocar a la salida de otra, que viene dada por las corrientes de entrada y salida, respectivamente.
»"'

$$fanout = min\left(\frac{I_{OH}}{I_{IH}}; \frac{I_{OL}}{I_{IL}}\right) \tag{1}$$

»"'Análisis mediante hojas de datos

»"'Se estudia la compatibilidad de la interconexión de las compuertas mediante la observación de las hojas de datos de los integrados 74HC02[1], 74HCT02[2] y 74LS02[3], y se exponen los datos utilizados en la tabla 9. Cabe mencionar que las condiciones de prueba de estos parámetros no son las mismas para las compuertas de tecnología CMOS que para las de TTL, de modo que se decide tomar el caso más desfavorable para cada una de las comparaciones. En todos los casos, este terminó siendo que para las compuertas HC y HCT, la alimentación es de $4,5V$, mientras que para las LS es de $5V$.

»"'

Integrado	V_{OH}	V_{OL}	V_{IH}	V_{IL}	I_{OH}	I_{OL}	I_{IH}	I_{IL}
74HC02	$4,4V$	$0,1V$	$3,15V$	$1,35V$	$\pm 25mA$	$\pm 25mA$	$\pm 0,1\mu A$	$\pm 0,1\mu A$
74HCT02	$4,4V$	$0,1V$	$2V$	$0,8V$	$\pm 25mA$	$\pm 25mA$	$\pm 0,1\mu A$	$\pm 0,1\mu A$
74LS02	$2,7V$	$0,5V$	$2V$	$0,8V$	$-0,4mA$	$8mA$	$20\mu A$	$-0,4mA$

»"'

»"'Tabla 7: Parámetros de compatibilidad obtenidos de datasheet.

»"'Se desprende de los datos expuestos y de la teoría explicada en el marco teórico, que son compatibles las conexiones de una compuerta HC a LS, de una HCT a LS, y de una LS a una HCT, ya que en todos estos casos se cumple que $V_{OH} \geq V_{IH}$ y $V_{OL} \leq V_{IL}$. También es este el caso entre HCT y HC, y viceversa, resultado que es de esperar ya que comparten el tipo de tecnología. Sin embargo, no sucede esto al ir de una LS a una HC ya que para esta combinación $V_{OH} < V_{IH}$, quedando una zona de indeterminación entre los valores de tensión $2,7V$ y $3,15V$. Esta incompatibilidad es lógicamente salvada al usar tecnología HCT, la cual está diseñada con el propósito de lograr la compatibilidad que carecen las compuertas HC entre tecnologías TTL y CMOS.
En lo que respecta al fanout, los resultados son los expuestos en la tabla 10

»"'

Interconexión	**HC a LS**	**LS a HC**	**HCT a LS**	**LS a HCT**	**HC a HCT**	**HCT a HC**
fanout	62	4000	62	4000	$250 \cdot 10^3$	$250 \cdot 10^3$

»"'

»"'Tabla 8: Fanout para distintas conexiones.

»"' [1]http://pdf.datasheetcatalog.com/datasheet/NXP_Semiconductors/74HC_HCT02.pdf
»"' [2]http://pdf.datasheetcatalog.com/datasheet/NXP_Semiconductors/74HC_HCT02.pdf
»"' [3]http://www.sycelectronica.com.ar/semiconductores/74LS02.pdf

»"'Resultados experimentales

»"'Para el caso donde las hojas de datos no aseguran el correcto funcionamiento de la interconexión de compuertas, es decir, de una LS a una HC, se procede a estudiar su respuesta de forma experimental. Se alimenta una compuerta del 74LS02 utilizada como NOT (cortocircuitando sus dos entradas) con una función rampa de 0 a 5V, y a su salida se conecta una del 74HC02, también como NOT. Se miden las salidas de ambas y los resultados son los expuestos en las figuras 20 y 21.
Luego se realiza el mismo procedimiento pero en el lugar del 74HC02 se coloca el 74HCT02, cuyos resultados son los de las figuras 22 y 23. Se esperan observar indeterminaciones para la primer interconexión, y que tales problemas se vean resueltos al cambiar la tecnología HC por HCT.

»"'

»"' »"'Figura 13: LS a HC, con LS pasando de 0 a 1, y HC de 1 a 0.

»"'

»"' »"'Figura 14: LS a HC, con LS pasando de 1 a 0, y HC de 0 a 1.

»”’

»”’ »”’Figura 15: LS a HCT, con LS pasando de 0 a 1, y HCT de 1 a 0.

»”’

»”’ »”’Figura 16: LS a HCT, con LS pasando de 1 a 0, y HCT de 0 a 1.

»”’Efectivamente lo esperado es lo que se obtiene en las mediciones, donde se puede apreciar una zona de indeterminación y oscilación en las transiciones de la configuración LS a HC. Estos fenómenos no se observan luego en la configuración LS a HCT, en concordancia con lo estudiado de las hojas de datos, donde se aseguraba su compatibilidad.

»”’Conclusión

»”’A modo de cierre, se llega a la conclusión que la compatibilidad de tecnologías es un factor a tener en cuenta a la hora de realizar un diseño con compuertas lógicas de más de un tipo, si se quieren evitar estados indeterminados o glitches producto de transiciones con oscilaciones, causadas por incompatibilidades. Se debe prestar especial atención al paso de tecnologías TTL a CMOS, y de ser necesario implementarlo, debe hacerse uso de compuertas CMOS especialmente diseñadas para esa aplicación, como lo son las de tipo HCT. =======

»”’Ejercicio 2: Comparación de compuertas discretas con tecnología TTL y CMOS

»”’Se plantea estudiar la compatibilidad de compuertas de tecnología TTL (a base de transistores BJT) con CMOS (transistores MOSFET), enfocando la problemática desde el estudio de sus características de

márgen de ruido, y haciendo también mención al fanout. Se abordará este análisis mediante el estudio de caso de los integrados 74HC02, 74HCT02 y 74LS02, los cuales contienen 4 compuertas NOR cada uno, implementados mediante distintas tecnologías.

»"'Marco teórico

»"'Las letras LS en 74LS02 refieren "Low-power Schottky", una tecnología del tipo TTL que alcanza mejores rendimientos y velocidad gracias a la implementación de transistores Schottky, los cuales difieren de los clásicos BJT únicamente en el agregado de un diodo Schottky entre sus terminales Base y Colector. Por otro lado, HC y HCT refieren a "High-speed CMOS", distinguiéndose HCT por ser compatible con las tecnologías TTL.

»"'

»"' »"'Figura 17: Símbolo y circuito de transistor Schottky.

»"'Tal y como fue mencionado en el inicio de esta sección, en este trabajo se estudiará la compatibilidad entre las tecnologías a través de sus márgenes de ruido. Esto significa que, en términos de interconexión, una compuerta solo será compatible con otra de otra tecnología, si el rango de valores de salida de la primera está incluido en el rango de entrada de la segunda.
En las figuras 18 y 19 pueden apreciarse los casos que pueden presentarse que significarán la compatibilidad o no entre las compuertas. De ellos se extrae que las compuertas serán compatibles solo en el caso en que $V_{OH} \geq V_{IH}$ y $V_{OL} \leq V_{IL}$.

»"'

»"' »"'Figura 18: Compatibilidad de compuertas.

»"'

»"'Figura 19: Compatibilidad de compuertas.

»"'Con respecto al fanout, el mismo es una limitación para la cantidad de compuertas que se pueden colocar a la salida de otra, que viene dada por las corrientes de entrada y salida, respectivamente.
»"'

$$fanout = min\left(\frac{I_{OH}}{I_{IH}}; \frac{I_{OL}}{I_{IL}}\right) \tag{2}$$

»"'Análisis mediante hojas de datos

»"'Se estudia la compatibilidad de la interconexión de las compuertas mediante la observación de las hojas de datos de los integrados 74HC02[4], 74HCT02[5] y 74LS02[6], y se exponen los datos utilizados en la tabla 9. Cabe mencionar que las condiciones de prueba de estos parámetros no son las mismas para las compuertas de tecnología CMOS que para las de TTL, de modo que se decide tomar el caso más desfavorable para cada una de las comparaciones. En todos los casos, este terminó siendo que para las compuertas HC y HCT, la alimentación es de $4,5V$, mientras que para las LS es de $5V$.

»"'

Integrado	V_{OH}	V_{OL}	V_{IH}	V_{IL}	I_{OH}	I_{OL}	I_{IH}	I_{IL}
74HC02	$4,4V$	$0,1V$	$3,15V$	$1,35V$	$\pm 25mA$	$\pm 25mA$	$\pm 0,1\mu A$	$\pm 0,1\mu A$
74HCT02	$4,4V$	$0,1V$	$2V$	$0,8V$	$\pm 25mA$	$\pm 25mA$	$\pm 0,1\mu A$	$\pm 0,1\mu A$
74LS02	$2,7V$	$0,5V$	$2V$	$0,8V$	$-0,4mA$	$8mA$	$20\mu A$	$-0,4mA$

»"'

»"'Tabla 9: Parámetros de compatibilidad obtenidos de datasheet.

»"'Se desprende de los datos expuestos y de la teoría explicada en el marco teórico, que son compatibles las conexiones de una compuerta HC a LS, de una HCT a LS, y de una LS a una HCT, ya que en todos estos casos se cumple que $V_{OH} \geq V_{IH}$ y $V_{OL} \leq V_{IL}$. También es este el caso entre HCT y HC, y viceversa, resultado que es de esperar ya que comparten el tipo de tecnología. Sin embargo, no sucede esto al ir de una LS a una HC ya que para esta combinación $V_{OH} < V_{IH}$, quedando una zona de indeterminación entre los valores de tensión $2,7V$ y $3,15V$. Esta incompatibilidad es lógicamente salvada al usar tecnología HCT, la cual está diseñada con el propósito de lograr la compatibilidad que carecen las compuertas HC entre tecnologías TTL y CMOS.
En lo que respecta al fanout, los resultados son los expuestos en la tabla 10

»"'

Interconexión	**HC a LS**	**LS a HC**	**HCT a LS**	**LS a HCT**	**HC a HCT**	**HCT a HC**
fanout	62	4000	62	4000	$250 \cdot 10^3$	$250 \cdot 10^3$

»"'

»"'Tabla 10: Fanout para distintas conexiones.

»"' [4]http://pdf.datasheetcatalog.com/datasheet/NXP_Semiconductors/74HC_HCT02.pdf
»"' [5]http://pdf.datasheetcatalog.com/datasheet/NXP_Semiconductors/74HC_HCT02.pdf
»"' [6]http://www.sycelectronica.com.ar/semiconductores/74LS02.pdf

»"'Resultados experimentales

»"'Para el caso donde las hojas de datos no aseguran el correcto funcionamiento de la interconexión de compuertas, es decir, de una LS a una HC, se procede a estudiar su respuesta de forma experimental. Se alimenta una compuerta del 74LS02 utilizada como NOT (cortocircuitando sus dos entradas) con una función rampa de 0 a 5V, y a su salida se conecta una del 74HC02, también como NOT. Se miden las salidas de ambas y los resultados son los expuestos en las figuras 20 y 21.
Luego se realiza el mismo procedimiento pero en el lugar del 74HC02 se coloca el 74HCT02, cuyos resultados son los de las figuras 22 y 23. Se esperan observar indeterminaciones para la primer interconexión, y que tales problemas se vean resueltos al cambiar la tecnología HC por HCT.

»"'

»"' »"'Figura 20: LS a HC, con LS pasando de 0 a 1, y HC de 1 a 0.

»"'

»"' »"'Figura 21: LS a HC, con LS pasando de 1 a 0, y HC de 0 a 1.

»”’

»”’ »”’Figura 22: LS a HCT, con LS pasando de 0 a 1, y HCT de 1 a 0.

»”’

»”’ »”’Figura 23: LS a HCT, con LS pasando de 1 a 0, y HCT de 0 a 1.

»”’Efectivamente lo esperado es lo que se obtiene en las mediciones, donde se puede apreciar una zona de indeterminación y oscilación en las transiciones de la configuración LS a HC. Estos fenómenos no se observan luego en la configuración LS a HCT, en concordancia con lo estudiado de las hojas de datos, donde se aseguraba su compatibilidad.

»”’Conclusión

»”’A modo de cierre, se llega a la conclusión que la compatibilidad de tecnologías es un factor a tener en cuenta a la hora de realizar un diseño con compuertas lógicas de más de un tipo, si se quieren evitar estados indeterminados o glitches producto de transiciones con oscilaciones, causadas por incompatibilidades. Se debe prestar especial atención al paso de tecnologías TTL a CMOS, y de ser necesario implementarlo, debe hacerse uso de compuertas CMOS especialmente diseñadas para esa aplicación, como lo son las de tipo HCT. ”’»¿master

Ejercicio 3: Medición de un glitch

El propósito de este apartado es analizar el comportamiento de un circuito lógico determinado, implementado con compuertas físicas. Dicho circuito corresponde a la tabla de verdad que se reproduce a continuación.

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Tabla 11: Tabla de verdad

Síntesis del circuito

Para lograr el equivalente circuital de la tabla anterior se emplea un mapa de Karnaugh, de forma tal de lograr la expresión más simplificada, y por ende la de menor costo.

A \ BC	00	01	11	10
0	0	1	3	2
1	4	5	7	6

Mapa de Karnaugh

Agrupando en mintérminos a los grupos resaltados en el mapa se llega a la siguiente expresión:

$$Y = \overline{A} \cdot B + C \cdot \overline{B} \tag{3}$$

En teoría, el circuito resultante de 3 debería responder exactamente a la tabla de verdad. Observando el mapa de Karnaugh se puede concluir que existe la posibilidad de que suceda un glitch en la transición del estado $(A = 0, B = 0, C = 1)$ al estado $(A = 0, B = 1, C = 1)$ (gráficamente esto puede ser apreciado en la adyacencia existente entre los dos grupos). Es decir, es posible que la salida del circuito se comporte de forma inesperada, presentando por un instante un cero lógico. Esta situación puede ser riesgosa si se tratara de un circuito lógico real operando en su entorno de trabajo, dado que se podrían desencadenar acciones indeseadas por parte de la etapa cuya entrada es el circuito que se analiza.
Para prevenir esto, se puede agregar un grupo extra que contenga las posiciones cuya transición pudiera ser conflictiva. Si se implementa lo anterior se obtiene el siguiente mapa de karnaugh, con su correspondiente expresión lógica asociada.

A \ BC	00	01	11	10
0	0	1	3	2
1	4	5	7	6

Mapa de Karnaugh corrección de glitch

Los grupos que componen la solución de menor costo están simbolizados en color verde, mientras que el grupo auxiliar está marcado en azul.

$$Y = \overline{A} \cdot B + C \cdot \overline{B} + \overline{A} \cdot C \tag{4}$$

De esta forma, se asegura que la transición entre las posiciones en conflicto sea la esperada, corrigiendo el problema. Como se puede observar, la ecuación 4 es la expresión 3 sumando al término $\overline{A} \cdot C$. Se obtiene el circuito lógico que se reproduce a continuación, resaltando en color verde las compuertas agregadas para implementar la corrección.

Figura 24: Circuito lógico

Implementación y medición del circuito

Se armó el circuito de la figura 24 utilizando los siguientes integrados para cada tipo de compuerta lógica.

Compuerta	Circuito integrado
AND	$74HC08$
OR	$74HC32$
NOT	$74HC04$

Tabla 12: IC empleados en implementación

Se establecieron las condiciones de las entradas de tal forma de solo variar la variable "B", emulando el cambio con una señal cuadrada que oscila entre $0V$ y $5V$ a una frecuencia de $30kHz$. En primera instancia se observó detalladamente el comportamiento de ambas salidas del circuito (con mintérmino de corrección y sin el mismo) cuando el flanco de la señal de entrada es ascendente. Se observan las siguientes respuestas (siendo la señal de entrada color violeta, la señal sin corrección amarilla y la señal con corrección verde).

Figura 25: Respuesta del circuito en flanco ascendente

En la figura anterior se puede apreciar una respuesta oscilatoria subamortiguada del circuito, destacando que ambas salidas presentan exactamente la misma oscilación. Se observa que en sus picos máximos, las señales de salida varían entre $4V$ y $5{,}5V$. Estos niveles de tensión se encuentran dentro del rango HIGH de una compuerta CMOS y de una del tipo TTL. De esta manera, no se puede considerar que exista un glitch en ninguna de las salidas.
Análogamente, se repitió la medición para un flanco descendente, reflejando los siguientes resultados (con la combinación de colores antes mencionada).

Figura 26: Respuesta del circuito en flanco descendente

Para este caso sí se aprecia una diferencia razonable entre ambas respuestas: mientras que la oscilación de la salida compensada esta comprendida en un rango que va desde $3,8V$ hasta $5,8V$ (ambas dentro de los límites aceptables de HIGH en ambas tecnologías), el límite inferior del sobrepico de la salida sin compensar se acerca a $2,5V$. Este último valor de tensión se ubica por debajo de los rangos normales de entrada en HIGH, por lo que podría ser intepretada como un cero lógico por el circuito cuya entrada es la salida de este. Asimismo, cabe destacar que el período de duración del glitch es cercano a los $100\mu s$, que es un tiempo relativamente corto. De todas formas, el impacto del glitch dependerá de las características del ciruito que reciba la señal de salida de este.
Este fenómeno se produce debido al tiempo de propagación de las entradas a través de las sucesivas etapas compuestas por compuertas lógicas. Especialmente debido a que el camino circuital que recorren las señales no les insume el mismo tiempo, dado que es probable que una señal determinada deba propagarse por más compuertas que otras, generándose una condición de asimetría en el procesamiento.
Por último, se advierte que el tiempo en el que se estabiliza la oscilación es cercano a los $2,35ns$ como se aprecia en imagen de abajo.

Figura 27: Respuesta del circuito en flanco descendente - Establecimiento

Conclusión

Como conclusión, se puede destacar que el circuito sin compensar no sería seguro de implementar en una aplicación que requiera una alta confiabilidad del circuito. Dependiendo de la aplicación y del nivel de confiabilidad deseado se debe tener en cuenta el agregado del mintérmino de compensación, como se pudo observar con anterioridad.

Ejercicio 4: Tiempos de propagación en compuerta CMOS

Descripción del análisis

Se estudia en esta sección, el comportamiento de una compuerta CMOS, en particular la 74HC02, una compuerta NOR, con el fin de estudiar las diferencias de las respuestas temporales de las mismas con y sin carga. Para ello se analizan los tiempos de propagación(t_P), en las transiciones de alto a bajo y de bajo a alto, y el *rise time*(t_R)y *fall time*(t_F) bajo estas condiciones.
Además se estudia el comportamiento de esta compuerta a altas frecuencias, 100KHz, y los efectos que puede ocasionar en la fuente de alimentación. Por último, se agrega entre los terminales de alimentación de la compuerta, un capacitor de desacople con el fin de analizar sus efectos al trabajar en estas frecuencias. Se muestra en la Figura 28 el circuito utilizado para todo el análisis.

Figura 28: Circuito de medici'on

Resultados

Mediciones de tiempo de propagación

Se pueden observar en la Figura 29 las mediciones obtenidas en el osciloscopio de los tiempos de propagación en ambas transiciones de la compuerta. En la Figura 30 se muestran las mediciones equivalentes para el caso con el circuito cargado. Se puede apreciar en las figuras, el método de medición utilizado para estos parámetros, por medio de cursores.

Figura 29: Mediciones de t_P sin carga. Entrada en amarillo y salida en verde

Figura 30: Mediciones de t_P con carga. Entrada en amarillo y salida en verde

Se presenta en la Tabla 13 una comparación de las mediciones realizadas.

t_P	Fall[ns]	Rise[ns]
Sin carga	8.7	12
Cargado	8.1	12.5

Tabla 13: Tabla de comparación de tiempos de propagación medidos

De las mediciones, no se puede observar una diferencia significativa. Sin embargo, si se decide hacer una mención acerca del sobrepico o *overshoot* que se observa en las capturas tomadas. Sobre este se hace una mención con mayor profundidad en las siguientes secciones.

Mediciones de tiempo rise y fall

Se pueden observar en la Figura 31 las mediciones obtenidas en el osciloscopio de los tiempos de rise y fall de la compuerta. En la Figura 32 se muestran las mediciones equivalentes para el caso con el circuito cargado. A diferencia del caso anterior,para realizar la medición, se decide utilizar la función provista por el osciloscopio utilizado. Las imágenes que corresponden a la transición de la salida de 1 a 0, se encuentran invertidas debido a que solo es posible medir con este método, el tiempo de rise.

Figura 31: Mediciones de t_F (izquierda) y t_R (derecha) sin carga. Entrada en amarillo y salida en verde

Figura 32: Mediciones de t_F (izquierda) y t_R (derecha) con carga. Entrada en amarillo y salida en verde

Se presenta en la Tabla 14 una comparación de las mediciones realizadas de los tiempos mencionados.

t	Fall[ns]	Rise[ns]
Sin carga	4.14	17.86
Cargado	5.1	26.11

Tabla 14: Tabla de comparación de tiempos de fall y rise medidos

En esta medición si se encuentra una variación significativa al comparar los tiempos con y sin carga, en especial en los tiempos de rise. Esto se debe a que, al conectar más compuertas lógicas a la salida, la capacidad equivalente a la salida de la compuerta NOR es mayor.
Un punto importante a remarcar es que, los tiempos de fall medidos, se encuentran muy cerca del rise time del osciloscopio, que se calcula como $t_R^{OSC} = \frac{0{,}35}{BW} = 3{,}5ns$ por lo que los valores tomados en esta medición no son del todo correctos.

Overshoot

En todas las mediciones realizadas, se puede observar en ambos flancos de transición un transitorio correspodiente a un sistema subamortiguado con su respectivo *overshoot* o sobrepico. Este fenómeno se debe principalmente a la capacidad parásita que se encuentra entre el drain y source de la salida de una compuerta CMOS[7]. Adémas, es importante considerar las influencias de las puntas del osciloscopio en el circuito, al cambiarlas de x10 a x1 se observa que desaparece el sobrepico.

Mediciones a altas frecuencias

Para realizr este análisis se aumenta la frecuencia del generador de señales a 100KHz y se miden los efectos que esto produce en la alimentación. Se muestran en la Figura 33 los resultados obtenidos.

[7]Fuente: https://pdfs.semanticscholar.org/f408/39a2cefd5e5a55e25fa21453d79be764a287.pdf. Consultado: 14/10/2019

Figura 33: Mediciones de la alimentación a 100KHz. Entrada en amarillo, salida en verde y alimentacion en violeta

Se observa que la alimentación tiene un transitorio subamortiguado coincidente con los flancos de transición de la salida. Esto se debe a que, en la transición, la compuerta demanda más corriente de la fuente en un período de tiempo corto. La amplitud y período del transitorio dependen de la respuesta en frecuencia de la fuente utilizada.
Debido a este sobrepico, la tensión de alimentación cae por debajo de los 3V, cuando el mínimo señalado por el fabricante es de 2V, y sube casi llegando a los 6V, el máximo [8]. Esto es sumamente crítico pues el comportamiento del circuito es incierto.
Para solucionar esto, se agrega entre los terminales de alimentación de la compuerta, un capacitor de desacople de 100nF. La selección de ese valor se realiza en base a lo especificado por Texas Instruments en la "Guía de consideraciones de diseño para dispositivos lógicos"[9] Se muestran en la Figura 34 los resultados obtenidos.

Figura 34: Mediciones de la alimentación a 100KHz con capacitor de desacople. Entrada en amarillo, salida en verde y alimentacion en violeta

Los resultados se corresponden con lo esperado. Se puede observar en las capturas que, si bien el transitorio sigue presente, el sobrepico tiene una amplitud mucho menor.
En cuanto a la temperatura, no se observaron variaciones al aumentar la frecuencia de operación.

Conclusión

Se ha podido comprobar la influencia que tiene la carga conectada a una compuerta en sus tiempos característicos. Además se pudo observar las asimetrías en los tiempos de rise y fall provocadas por los transistores a la salida de la compuerta. Por último, se destaca a partir de los resultados la importancia de utilizar capacitores de desacople en la implementacion de circuitos lógicos para asegurar su correcto funcionamiento.

[8] Fuente:http://www.ti.com/lit/ds/symlink/sn74hc02.pdf. Consultado: 14/10/2019
[9] Fuente:https://www.ti.com/lit/an/sdya002/sdya002.pdf. Consultado: 14/10/2019

Ejercicio 5: TTL y MOS, entradas abiertas y compatibilidad entre tecnologías

Compuertas discretas con entrada desconectada

Descripción general

En la Fig. 35 se muestra el esquema general bajo análisis, se utiliza una compuerta AND de tecnología TTL, particularmente 74LS08 y una compuerta OR de tecnología CMOS particularmente 74HC32. El objetivo es estudiar y comparar el comportamiento cuando se deja una de las entradas sin un estado definido, obteniendo conclusiones sobre ello.
En el proceso de medición se buscará observar la entrada y salida de cada circuito, con la entrada al aire, o un estado bajo o alto y analizando la susceptibilidad del mismo a fuentes de ruido externas o de interferencia. Se parte de la hipótesis de que el estado sin definir hace al circuito vulnerable frente al ruido, y existen argumentos físicos para sospechar que habrá mayor influencia en uno de los casos.

Figura 35: Compuerta AND de tecnología TTL y OR de tecnología CMOS

Resultados

En las Figs. 36 y 37 se observan los resultados de las mediciones, las cuales ordenadas de arriba hacia abajo y de izquierda a derecha, corresponden a la medición con entrada en estado bajo, en estado alto, con entrada al aire y luego con la mano apoyada. Para todos los casos la señal amarilla corresponde a la entrada de la compuerta y la verde la salida.
Vale mencionar, que en los casos de estado bajo donde el valor promedio medido por el osciloscopio da negativo, se observó con voltímetro digital que el valor era aproximadamente nulo y se atribuye a defectos de la resolución digital del osciloscopio el asignar a tal magnitud un valor de dicho signo.

Figura 36: Mediciones para OR tecnología CMOS modelo 74HC32

Figura 37: Mediciones para AND tecnología TTL modelo 74LS08

Análisis de resultados

En primer lugar, se puede observar que para cada tecnología los estados alto y bajo tienen diferente nivel de tensión, lo cual era esperado a partir de los datos provistos por el fabricante denominados como V_{OH} y V_{OL}.
Luego, en principio cuando la entrada se encuentra al aire se puede observar una mayor inmunidad de la tecnología TTL frente al ruido, dado que su valor si bien es indefinido, se mantiene casi constante $V_{IN} \approx 1{,}315V$, y dado que $V_{IL} = 0{,}8V < 1{,}315V < 2V = V_{IH}$ esto indica que tal nivel se encuentra en donde no está asegurado el comportamiento de la compuerta y por ello la salida tiene tal resultado. Por otro lado, para la entrada al aire, se puede observar que en la compuerta CMOS hay una oscilación de la entrada con valor acotados que no producen un cambio sobre la salida. Esta diferencia entre tecnologías con una entrada al aire es consecuencia directa de las características físicas de los transistores MOS, en los cuales la aislación eléctrica del Gate produce una impedancia de entrada muy elevada para la cual una fuente de ruido de corriente puede producir variaciones de tensión apreciables. Esto último puede verse de forma más notoria cuando se apoya la mano sobre los contactos, ante lo cual el ruido aumenta y la compuerta CMOS recibe una entrada significativa que produce cambios de estado que dan lugar a una oscilación de la salida, mientras que en el caso de TTL la señal de ruido no produce un cambio significativo sobre la salida.
Por último, es importante aclarar que no es arbitrario que la frecuencia de oscilación sea aproximadamente $50Hz$, dado que es el ruido de la línea eléctrica el que se ve introducido al circuito.

Figura 38: FFT aplicada sobre la señal de entrada con la mano apoyada

Conexión TTL y CMOS

Descripción general

En la Fig. 39 se ilustra el esquema general del circuito a analizar en esta parte, en la cual el objetivo es analizar el comportamiento del circuito resultante, partiendo de la base donde la salida será igual a la entrada aplicando axiomas del algebra booleana.
Se parte de la hipótesis de que este circuito podría presentar un comportamiento alejado del esperado, dado que las tensiones de la tecnología TTL y CMOS no son completamente compatibles, puesto que según los datos provistos por el fabricante, la TTL entrega una tensión mínima de estado alto en $V_{OH} = 2{,}7V$ mientras que la entrada mínima detectada como un estado alto para CMOS es $V_{IH} = 3{,}15V$. Para los escenarios del rango intermedio, el circuito se comportará de manera indeterminada.
Se propone realizar mediciones con el objetivo de encontrar las condiciones límite para las cuales se alcanza el problema mencionado anteriormente, puesto que se posible que particularmente la compuerta empleada caiga dentro del margen donde el funcionamiento es el esperado. Por esto último es que se realizarán mediciones con valores de continua, con una señal cuadrada de diversas frecuencias, y cargando

con resistencias o capacitores la salida de las compuertas. Estos procesos buscan simular las exigencias de un circuito sobre la compuerta, llevándola al límite para observar que del rango garantizado por el fabricante en el cual debería funcionar, el resultante menor.
Es importante aclarar que en la interconexión de compuertas lógicas discretas, es de interés analizar si las corrientes de consumo no superan los valores máximos para cada estado de la compuerta empleada, no obstante no es un inconveniente en el caso de estudio ya que CMOS por su gran impedancia de entrada posee una corriente de pérdida muy inferior a la capacidad máxima de la TTL.

Figura 39: Circuito lógico a ensayar

Resultados

En las Figs. 40 las señales de color amarillo corresponden a las entradas, las verdes a la salida y luego las de color morado fueron empleadas para ilustrar el estado de la señal entre ambas compuertas. Las figuras están ordenadas de arriba hacia abajo, de izquierda a derecha, en el orden de la medición para el estado bajo, estado alto, entrada al aire, con una carga resistiva baja, alta y excedida en la salida TTL.

Figura 40: Mediciones del circuito completo

Análisis de resultados

De los resultados obtenidos puede concluirse que en verdad bajo condiciones donde no se requiere mucho consumo de corriente, entre otras cosas, la conexión realizada entre una compuerta TTL y una compuerta CMOS es compatible, no obstante, al momento de simular exigencias de corriente por la conexión de múltiples circuitos, luego los niveles de tensión de la TTL comienzan a bajar cercanos a lo que el fabricante garantiza que sigue siendo un estado alto, no obstante no es compatible con lo que CMOS reconoce como tal, por lo tanto deja de funcionar como se espera.
Se añaden algunas mediciones adicionales que se realizaron en la búsqueda de los límites de funcionamiento. Entre estas, se analizó qué sucedía con una señal triangular para ver cómo respondían los niveles de tensión de cada tecnología, y para altas frecuencias cómo afectaban las cargas capacitivas y los tiempos de propagación de entrada a salida.

Figura 41: Mediciones adicionales

Soluciones propuestas

En las Figs. 42 se pueden observar dos circuitos diferentes propuestos como solución al problema del nivel de tensión para los estados lógicos de una TTL con una CMOS. Se comparan ambas soluciones dado que la segunda de ellas implementada con un MOSFET es bidireccional, con lo cual la interfaz permite el cambio de nivel en ambos sentidos, pero además por el hecho de que permite definir un cambio de nivel de diferentes tensiones. Por el otro lado, la implementación del circuito con un BJT tipo PNP únicamente permite hacer una adaptación para corregir el nivel de tensión sin cambiarlo, ya que de otra forma no funcionaría, por ejemplo si se buscara pasar de $3{,}3V$ a $5V$.

Figura 42: Circuitos propuestos

En las Figs. 43 la señal amarilla corresponde a la entrada de los circuitos de interfaz, mientras que la morada corresponde a la salida de los mismos. En la izquierda se observa el resultado de la interface PNP y en la derecha la de NMOS, se puede deducir claramente que la implementación de mejor rendimiento es la MOS ya que logra mejor niveles de tensión para cada estado.

Figura 43: Resultados de los circuitos implementados ante una señal cuadrada con valores arbitrarios

Conclusión

Las tecnologías TTL y CMOS, como se ha visto, difieren en numerosos aspectos que se utilizan para caracterizar el comportamiento de una compuerta lógica, no obstante, usualmente sólo se tienen en cuenta niveles de tensión, corrientes máximas de consumo e incluso tiempos de retardo en los procesos de transición. A pesar de esto, la inmunidad al ruido o la susceptibilidad al mismo suele ser un aspecto a tener en cuenta, sobre todo en tecnologías MOS donde por su construcción física pueden darse los fenómenos antes vistos.

Ejercicio 6: Diseño e implementación de multivibradores biestables

Basándose en compuertas lógicas discretas, se pretende diseñar, implementar y caracterizar circuitos que se comporten como multivibradores biestables de tipo Latch SR y Flip-Flop D. Con la intensión de proveer parámetros de comparación que contextualicen a los diseños logrados, serán también medidos circuitos equivalentes comerciales, los cuales vienen ya integrados en un solo componente.
Las magnitudes que se consideran de interés para la caracterización de los diseños son los tiempos de propagación, rise, y fall, así como cualquier otro fenómeno que resulte particularmente interesante al ser observadas las respuestas de los circuitos ante sus estímulos. Además, para el caso del Flip-Flop D se tienen en cuenta los tiempos de set up y hold.

Diseño de los circuitos

Se presenta a continuación el desarrollo teórico necesario para el diseño de cada uno de los circuitos a partir de compuertas lógicas discretas.

Latch SR

El componente conocido como Latch SR es aquel que cumple con la tabla de verdad expresada en 15. Esta tabla de verdad puede ser implementada mediante el circuito presentado en la figura 44.

S	**R**	**Q**	**Q**	**Validez del estado**
0	0	Q_0	Q_1	Válidos
0	1	0	1	
1	0	1	0	
1	1	0	0	Inválido

Tabla 15: Tabla de verdad del Latch SR.

Figura 44: Circuito Latch SR con compuertas lógicas discretas.

Flip-Flop D

La tabla de verdad que representa a un Flip-Flop D es, por el contrario, la de la tabla 16. Luego, el circuito de implementación es el de la figura 45. La parte del circuito indicada como Edge detector cumple la función de ser un detector de flancos que habilitará al circuito unicamente durante el tiempo que lo permite el retardo de las compuertas NOT no ideales que lo conforman.

S	R	Q	Q
↑	0	0	1
↑	1	1	0
X	X	Q	Q

Tabla 16: Tabla de verdad del Flip-Flp D.

Figura 45: Circuito Flip-Flop D con compuertas lógicas discretas.

Implementación en PCB

Para la puesta en práctica de los circuitos mencionados en la sección anterior, se hace uso de dos placas. La primera implementa el circuito de la figura 44 utilizando el circuito integrado 74HCT02, el cual consta de 4 compuertas NOR de dos entradas.
La segunda se usa para implementar la primer etapa del circuito 45 (hasta las salidas de las AND), y sus salidas se conectarán a la entrada de la primera placa para completar así el circuito de un Flip-Flop D. Se emplean los integrados 74HCT02 para las compuertas NOT (cortocircuitando las entradas de las NOR), y 74HCT11, del cual se hacen uso de sus 3 compuertas AND de tres entradas, cortocircuitando dos de ellas.
Los esquemáticos resultantes son los de las figuras 46 y 47.

Figura 46: Esquemático para la placa del Latch SR.

Figura 47: Esquemático para la placa de la entrada del Flip-Flop D.

Medición de parámetros de los circuitos.

A continuación se presentan todas las mediciones que se consideran necesarias para caracterizar a los circuitos implementados. En ambos casos, se muestran, en primer lugar, mediciones cuyo objetivo es la observación cualitativa de la respuesta del sistema ante distintos estímulos, a fin de comprobar el correcto funcionamiento y el cumplimiento de las tablas de verdad para las que fueron diseñados. Posteriormente, gráficos con un enfoque más concentrado en las transiciones son utilizados para comparar los tiempos de propagación, rise, fall, set up y hold, ofreciendo comparaciones con compuertas de uso comercial.

Latch SR

En primer lugar se verifica mediante las figuras 48 y 49 el correcto funcionamiento de las entradas set y reset, cumpliendo la función para la cual fueron diseñadas. En la primera, mientras que la entrada de reset está conectada a 0V, se conecta una señal cuadrada al terminal de set, provocando que la salida sea un 1 lógico desde el primer momento en que set es también un 1, y este valor se mantiene luego cuando tanto set como reset son un 0 lógico. El comportamiento opuesto se observa para la segunda figura, donde la señal de reset es la que está conectada a la entrada cuadrada, y set a masa, poniendo la salida en 0 y manteniéndola en este valor.

Figura 48: Latch SR con R en 0 y S alternando.

Figura 49: Latch SR con S en 0 y R alternando.

El análisis paramétrico del circuito se realiza observando las mediciones presentadas en las figuras 50 y 51, extrayéndose de las mismas que los tiempos de rise y fall son de 5ns, y el de propagación, de 20ns. Sin embargo, ha de considerarse que el tiempo de rise del osciloscopio, elemento de medición utilizado, es de $\frac{0,35}{fbw} = 3,5ns$ para $fbw = 100MHz$, con lo cual los tiempos de rise y fall medidos se encuentran cercanos al límite del aparato de medición; el valor medido puede, consecuentemente, acarrear un error producto de esto. De todas maneras, se puede afirmar que los tiempos medidos estarán en ese rango de magnitud.

Figura 50: Transición del Latch SR de 0 a 1.

Figura 51: Transición del Latch SR de 1 a 0.

La comparación con valores comerciales se hace mediante las figuras 52 y 53, para las cuales se utilizó un Latch D ante la falta de disponibilidad de Latch SR comercial, y los resultados son similares a los de los circuitos hechos con compuertas lógicas. Los tiempos de rise y fall parecen ser ligeramente menores para los componentes comerciales, aunque nuevamente debe remarcarse que se está midiendo cercano al límite del instrumento de medición. La misma comparación se aplica para el tiempo de propagación, siendo este de 10ns aproximadamente.
Todas estas mediciones, además, se muestran en acuerdo con los datos en la datasheet del componente [10], donde se da un máximo de 18ns para los tiempos de rise y fall, y 45ns para el de propagación.

Figura 52: Transición del Latch D comercial de 0 a 1.

[10] https://assets.nexperia.com/documents/data-sheet/74HC_HCT373.pdf

Figura 53: Transición del Latch D comercial 1 a 0.

Finalmente, se considera pertinente remarcar el régimen transitorio de segundo orden que se observó en todas las mediciones, al cual puede asignársele una frecuencia característica. Tanto para el componente comercial como para el circuito con compuertas, la frecuencia característica de la oscilación está en aproximadamente 33MHz, con no más de 3 períodos de oscilación apreciable hasta la estabilización de la señal.

Flip-Flop D

De la misma manera que con el Latch, se corrobora el correcto funcionamiento del circuito a través de la figura 54. En ella se ve como, conforme a lo esperado, la salida en el tercer canal copia el valor de la entrada en el segundo canal, cuando se da un flanco ascendente del clock en el canal 1.

Figura 54: Flip-Flop D, funcionamiento.

Los resultados de las mediciones de tiempo de rise y fall son análogos a los del Latch SR, mientras que el de propagación es de 40ns. Esto último sigue el razonamiento lógico de que la acumulación de etapas de compuertas lógicas significará mayor tiempo de propagación. Las mediciones pueden observarse en las figuras 55 y 56.

Figura 55: Transición del Flip-Flop D de 0 a 1.

Figura 56: Transición del Flip-Flop D de 1 a 0.

Es también análoga la comparación con componentes comerciales, donde además de repetirse que los tiempos de rise y fall están cercanos al límite de medición, se vuelve a dar que el tiempo de propagación se reduce a la mitad (20ns).
Nuevamente, todas estas mediciones se encuentran por debajo de los valores máximos especificados en datasheet[11], con tiempos de rise y fall menores a 15ns, y 41ns para el de propagación. Para estos casos, las mediciones son las de las figuras 57 y 58.

[11] https://www.ti.com/lit/ds/schs183c/schs183c.pdf

Figura 57: Transición del Flip-Flop D comercial de 0 a 1.

Figura 58: Transición del Flip-Flop D comercial de 1 a 0.

Utilizando mediciones como las de la figura 54, y teniendo en cuenta las definiciones de tiempo de set up y hold explicadas en secciones anteriores, se llega a medir estos parámetros para este Flip-Flop D. Se dió, al igual que con los tiempos de rise y fall, que estos se encontraban cercanos a los 5ns, en el orden del límite impuesto por el osciloscopio, tanto para el armado con compuertas como el comercial. Esto último también coincide con los mínimos de la hoja de datos, que los ubican en 5 y 15ns para hold y set up, respectivamente.
Finalmente, en el Flip-Flop también se aprecian transitorios de segundo orden, con frecuencias de aproximadamente 50MHz, tanto para el comercial como el de compuertas. Nuevamente, la señal se puede considerar estable una vez transcurridos 3 períodos.

Conclusión

Se concluye resaltando el hecho de haber podido diseñar e implementar circuitos con compuertas lógicas cuyo comportamiento es el esperado, y sus parámetros característicos son comparables a aquellos de componentes comerciales. En todos los casos, la respuesta del componente integrado se considera mejor, pero no se debe dejar de destacar que los valores del circuito armado se encuentran incluso dentro de los márgenes impuestos por las hojas de datos de los comerciales.

Ejercicio 7: Diseño de contadores sincrónicos y asincrónicos de 3 bits

Contador Asincrónico

En esta sección se propone el diseño de un contador asincrónico de 3 bits ascendente empleando únicamente Flip Flops D, puesto que es el único tipo de Flip Flop del cual se dispone. Para el análisis posterior se considera un contador asincrónico, esto último hace referencia a que los procesos de cambios dentro del mismo no están sincronizados por algún evento común, sino que hay una propagación del mismo.

Diseño del circuito

Cada uno de los Flip Flop's corresponderá a un bit del contador, y para ser asincrónico, cada uno tiene como señal de clock el complemento del bit inferior en peso, salvo el bit menos significativo cuyo clock corresponde a una señal cuadrada efectivamente. De esta forma, cada vez que se produce un cambio de estado alto a estado bajo en un bit del contador, el siguiente en peso invertirá su estado. Se agrega además la posibilidad de reiniciar el contador empleando la entrada asincrónica de reset. Se puede observar el circuito lógico resultante en la Fig. 59.
En la práctica se dispone de los circuitos integrados 74LS74, el cual contiene dos flip flops D independientes y necesita tener una tensión de alimentación de $5V$. Se conectan sus entradas de preset a $5V$, y luego las entradas asincrónicas de reset con un pull-up de $R = 100k\Omega$ a $5V$ para ofrecer al usuario la posibilidad de reiniciar el contador.

Figura 59: Esquemático del PCB en Altium Designer

Figura 60: Diseño 3D del PCB

Contador Sincrónico

En esta sección se propone el diseño de un contador sincrónico de 3 bits ascendente empleando únicamente Flip Flops D, por la misma razón que para el caso asincrónico. En un contador sincrónico, a diferencia del asincrónico, los proceso de cambio que ocurren en el mismo se dan sincronizados con respecto a un evento común para lo cual es utilizada una señal de clock, cuyos flancos ascendentes producirán los cambios del contador de forma lo más simultánea posible, ya que el evento llega de igual forma a todos y no hay una propagación como en el caso asincrónico.

Diseño del circuito

Para el circuito lógico del contador se propone utilizar los flip flops como dispositivos que almacenen el estado de cada bit del contador, luego utilizando lógica externa se define cómo debe cambiar el estado ante un evento de sincronismo. Para ello se ilustra en la Tabla. 17 la tabla de verdad del mismo. Entonces se pueden obtener las siguientes expresiones lógicas:

$$Q_0^* = \neg Q_0 \tag{5}$$

$$Q_1^* = Q_1 \oplus Q_0 \tag{6}$$

$$Q_2^* = Q_2 \oplus (Q_1 \cdot Q_0) \tag{7}$$

Q_2	Q_1	Q_0	Q_2^*	Q_1^*	Q_0^*
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

Tabla 17: Tabla de verdad estados actuales y futuros del contador

Finalmente, se puede observar la implementación de estas expresiones en el circuito lógico de la Fig. 61.

Figura 61: Esquemático del PCB en Altium Designer

Figura 62: Diseño 3D del PCB

Figura 63: Diseño 3D del PCB

Visualización del contador

Se propone diseñar un circuito que decodifique el código binario del contador y lo represente en un display de 7 segmentos para poder realizar una prueba rápida del funcionamiento del circuito y poder visualizar el resultado del mismo.

Diseño del circuito

Se utilizará un circuito integrado 74LS47, esto es, un decodificador BCD a 7 Segmentos, puesto que como la salida del contador se encuentra acotada entonces puede ser interpretada como BCD. En este integrado la lógica se encuentra negada, por lo cual es necesario utilizar un display de 7 segmentos de ánodo común, donde el máximo de corriente que puede soportar la salida del conversor es $25mA$, no obstante se hará circular una corriente de $4mA$ por segmento teniendo en cuenta que el modelo utilizado tiene una tensión $V_{DON} \approx 2{,}7V$.
Asumiendo el peor caso donde la tensión sobre la resistencia es máxima y puede circular el máximo de corriente, se limita al valor consignado y por ello se utilizan resistencias de $R = \frac{5V-2{,}7V}{4mA} > 575\Omega \Rightarrow R = 680\Omega$.

Figura 64: Esquemático del PCB en Altium Designer

Figura 65: Diseño 3D del PCB

Resultados

Figura 66: Implementación de ambos contadores, sincrónico y asincrónico

Mediciones

Para ambos contadores, sincrónico y asincrónico, se mide por un lado la secuencia del mismo, utilizando los cuatro canales del osciloscopio para poder observar en color amarillo la señal de clock, la rosa corresponde al Q_0, la azul/violeta al Q_1 y luego la verde al Q_2. Por otro lado, se mide el tiempo de propagación de los cambios de cada uno de los flip flops respecto del flanco del clock, para esta última medición la referencia de colores se mantiene.
Es importante aclarar, de igual forma que se hizó en ejercicios anteriores, que en algunos casos los tiempos dieron menor que $t_{rise} = \frac{0{,}35}{f_{BW}}$. Esto es, el mínimo tiempo de rise que puede tener el osciloscopio dado por su ancho de banda para medir, con lo cual algunas de las mediciones no reflejan completamente la realidad, no obstante se puede establecer que los tiempos están en orden o menores que el correspondiente al límite del osciloscopio.

Figura 67: Mediciones para Asincrónico entre punto medio y V_{OH}

Figura 68: Mediciones para Sincrónico entre punto medio y V_{OH}

Análisis de datos

Resulta de interés observar como anomalía el hecho de que la salida de todos los flip flops no era de $5V$ sino de $4V$, no obstante se encontraba dentro del margen de V_{OH} según lo provisto por el fabricante.
En la Fig. 67 se puede observar como la forma en que el clock de cada bit depende del anterior en peso produce una propagación de los tiempos, con lo cual ello explica la razón de que en esa medida los tiempos hayan ido incrementando bit a bit en el contador. Es por esto que el tiempo de propagación total del contador es de $t_p = 55{,}5nS$, con lo cual cualquier frecuencia de clock que quiera producir un cambio en menos tiempo de esto va a ser ignorada, por ende, limita la frecuencia de operación a $f_{MAX} = 18{,}01MHz$.
En el caso de las mediciones de la Fig. 68, para determinar la frecuencia máxima de operación es necesario tener en cuenta la respuesta más lenta, es decir, $t_p = 25{,}6nS \Rightarrow f_{MAX} = 39{,}03MHz$.

Contador Asincrónico	$f_{MAX} = 18{,}01MHz$
Contador Sincrónico	$f_{MAX} = 39{,}03MHz$

Conclusión

En conclusión, los procesos sincrónicos serán siempre o en la mayoría de los casos más rpaidos que los proceso asincrónicos, desde el punto de vista en el cual, con un enfoque sincrónico se garatiza que los mecanisco involucrados en el funcionamiento de dicho proceso sean ejecutados o puestos en marcha de forma casi simultánea. No sucede así en los procesos asincrónicos, como en este contador, donde haya una dependencia de tales mecanismos que produzca una propagación de tiempos que se incrementen.

Ejercicio 8: Diseño de controlador para un Joystick Analógico

Introducción

En esta sección se realiza el diseño e implementación de un circuito que permite sensar la posición de un joystick en un determinado eje, y mostrarla de forma numérica, entre 0 y 99, en un display con refresco variable desde 1Hz a 20Hz. Para llevar a cabo esta tarea se divide al sistema en varios módulos, acorde a las funciones que estos cumplen.
Ademas, se presentan las simulaciones y razonamientos teóricos correspondientes a cada módulo, que respaldan el diseño realizado.

Diseño

Para realizar el diseño se parte del diagrama en bloques que se presenta en la Figura 76.

Figura 69: Diagrama en bloques del sistema

A partir de este diagrama es posible ver el funcionamiento general del sistema, así como también el conexionado entre los módulos que lo componen.
En cuanto al diseño físico de los PCB, se decide separar el sistema en sus módulos del diagrama en bloques por dos razones principales. la primera es la fácil localización de problemas de funcionamiento, debido a que es posible probar las etapas por separado antes de conectarlas en su totalidad. La segunda es la clara distinción y separación de circuitos analógicos y digitales, lo que minimiza la interferencia entre ellos
En las siguientes secciones se describe com mayor profundidad el diseño de cada uno de los módulos por separado.

Generador de rampa y comparador (ADC)

En el diseño de esta etapa se parte de la base de que se requiere convertir la tensión continua que se obtiene del joystick, se comporta como un divisor resistivo variable, en una señal digital que sea posible dimensionar y mostrar en los displays. Para implementar este circuito se decide utilizar un conversor que se basa en el concepto de conversor A/D de rampa simple. La principal característica de este tipo de conversores es que, la señal a convertir, necesariamente una una tensión continua, es comparada con una señal de tipo rampa. luego se cuentan pulsos hasta que la rampa cruza ene nivel de tensión y en base a la cantidad de pulsos contados puede saberse el valor de la tensión a la entrada.
Se muestra en la Figura 70 el esquemático completo utilizado, que consta de un generador de rampa y un comparador.

Figura 70: Circuito esquemático del comparador de rampa simple

El circuito es,por su naturaleza, un VCO (*Voltage Controlled Oscillator*). La forma en que funciona es, se fija la tensión sobre la resistencia R1 de $100k\Omega$, en un nodo utilizando al buffer y en el otro debido a la *masa virtual* del amplificador operacional U2. Esto forma una fuente de corriente regulable por la tensión a la entrada. Es imporante la utilizacion de el buffer para que la corriente que circula en el circuito, no afecte al divisor resistivo y pueda seguirse considerando que se cumple la ecuación que lo describe $\frac{V_o}{V_i} = \frac{R_2}{R_1+R_2}$
Esta corriente constante es integrada con el amplificador operacional U4, para lograr una tensión que aumenta linealmente.
Para lograr el flanco descendente de la rampa se compara la tensión con un nivel de continua que controla la amplitud de la señal de salida, y también modifica significativamente su frecuencia. Cuando coinciden el operacional U3, que esta funcionando como comparador, provoca que que los transistores pasen de corte a saturación lo que hace que el capacitor se descargue y además fuerza 0V en la entrada no inversora de U3 lo que permite que su salida vuelva a 0V y el proceso vuelva a comenzar.
Finalmente se utiliza, para comparar la tensión del joystick con la rampa un circuito integarado comparador, el LM311, que al tener una salida *Open Collector* permite obtener una salida digital para el DAC.

Esta es posteriormente utilizada para detener la cuenta y obtener la posicón del joystick.
Se agrega, además, la salida RESET, que se utiliza para reiniciar la cuenta una vez que la rampa se reinicia.
Se puede observar en la Figura 71 las diferentes señales que se observan en el DAC, que permiten comprender el funcionamiento del mismo.

Figura 71: Señales de interés a la salida del DAC. Generador de rampa en amarillo, joystick en verde, salida del comparador en rosa y RESET en azul

Por ultimo se muestra en la Figura 72 el PCB utilizado para las pruebas.

Figura 72: PCB del DAC utilizado para las pruebas.

Contadores y memorias

Como se menciona en la sección anterior, para conocer la posición del joystick es necesario contar la cantidad de pulsos que entran en el espacio temporal entre el comienzo de la rampa y cuando esta alcanza el nivel de tensión en el joystick. Por esto es necesario tener un contador, en particular un contador que cuente hasta 100 en la duración de un período de la señal rampa. Además como es necesario mostrar la posición en un display es importante que lo que se muestre en el display sea un valor válido y no un valor intermedio de la cuenta, por esta razón se presenta la necesidad de utilizar algún tipo de memoria.
Como contador se decide utilizar un CD4518, un contador BCD de dos dígitos, ya que esto permite convertir el número de la cuenta a codificación 7 segmentos, el tipo de display utilizado. Este contador reinicia su cuenta cuando recibe el pulso de RESET, mencionado en la sección anterior.

Para la memoria, se utiliza un 74HC123, Flip-Flop D óctuple, con su clock conectado a la salida del comparador, de manera que solo se actualice la salida de este cuando la cuenta esta finalizada.
Se puede observar en la Figura 73 el respectivo PCB utilizado para las pruebas.

Figura 73: PCB lógico utilizado para las pruebas.

Drivers y displays

La interfaz del circuito son dos displays de siete segmentos, pudiendo representar su conjunto números de cero a cien. La información llega al módulo de displays en forma de número binario en formato BCD, de forma separada para cada dígito. Esta información es enviada a un decodificador de BCD a siete segmentos, cuya salida se conecta a cada uno de los displays.
Para controlar la tasa de refresco se emplea un clock proveniente de su respectivo módulo, que opera sobre el *Latch Enable (LE)* enable de un Flip-Flop que se ubica a la entrada del decodificador. De esta forma, variando la frecuencia de dicho clock se afecta directamente la tasa de refresco.
Se muestra en la Figura 74 el PCB utilizado para las pruebas.

Figura 74: Señales de interés y salida del DAC

Clocks

El circuito posee en total dos señales de clock. En primer lugar, uno de los clocks es el que comanda a la tasa de refresco de los display de siete segmentos. Esto se logra conectando el mismo al enable del latch que se encuentra previo a los display. La frecuencia de este clock oscila entre $1Hz$ y $20Hz$, aproximadamente.

Por otro lado, el segundo clock que integra el circuito es aquel que es utlizado para realizar el conteo que permite determinar la posición del joystick. Idealmente, la frecuencia de dicho reloj debe ser tal que en un ciclo de rampa existan cien pulsos, de forma tal de limitar el valor máximo del contador, y por ende discretizando la lectura de la posición del joystick en ese valor.
Repecto a la implentación en circuito de ambos clocks, se emplea un integrado LM555 operando en modo astable para lograr la oscilación deseada. El circuito que se propone para tal fin se aprovecha de la carga y descarga de un capacitor para generar tal señal, y se muestra a continuación.

Figura 75: Oscilador astable - LM555

Asimismo los componentes determinan la frecuencia de oscilación del clock, respondiendo a la siguiente ecuación.

$$f_{clock} = \frac{1,44}{(R_A + 2R_B) \cdot C} \tag{8}$$

Se realizaron los cálculos pertinentes y se seleccionaron los componentes, como se observa en la tabla de abajo.

Clock	Rango de frecuencias	R_A	R_B	C
Refresh rate	$1Hz - 23Hz$	$1K\Omega(preset)$	100Ω	$180nF$
Contador	$5KHz - 12KHz$	$500K\Omega$ (potenciómetro)	180Ω	$4,7\mu F$

Tabla 18: Componentes seleccionados

El resultado de la implementación en PCB se observa en la siguiente imagen.

Figura 76: PCB de módulo de clocks

Funcionamiento y calibración

Una vez implementado el circuito es necesario realizar una calibración del mismo, de modo tal que su funcionamiento sea el adecuado. En primer lugar, se deben calibrar tanto la frecuemncia de la rampa como la del clock asociado al contador. Habiendo fijado la frecuencia de la rampa en un determinado valor (en general, $5kHz$) mediante el ajuste del preset dedicado a tal fin, se procede a calibrar la frecuencia del clock del contador en un valor cien veces inferior a la frecuencia fijada. De esta forma se obtienen cien pulsos por cada ciclo de rampa. Por otro lado, es también necesario calibrar la amplitud de la rampa, estableciendo que el límite superior de esta corresponda al máximo valor de tensión entregado a la salida del joystick.
Por último, se varía el potenciómetro que controla la tasa de refresco de los displays hasta que se llega al valor deseado.

Problemas encontrados con la implementación

Al momento de implemntar el sistema se pueden observar 3 problemas de relevancia.
El primero es que, al utilizar para la generación del clock un solo circuito integrado, la interferencia entre ellos era muy notoria, y perjudicaba al funcionamiento de la lógica. Se colocan, con el fin de reducir esa interferencia al mínimo sin retardar los flancos del clock, lo que perjudicaría aún más el funcionamiento del sistema, capacitores de filtro entre los terminales de salida del generador de clocks.
El segundo, es que debido al alto valor de resistencia de los presets utilizados para la calibración de la sincronía, el ajuste fino de este parámetro resulta difícil y no se logra el funcionamiento perfecto del sistema. Por lo tanto se sugiere que, como un criterio de diseño, se utilicen para lograr un ajuste más preciso, presets de valor por lo menos un orden de magnitud menor que el preset utilizado, de forma de lograr un mejor ajuste y un mejor funcionamiento en general.
El tercero y último, es la presencia de oscilaciones no deseadas, de menor amplitud que la señal utilizada, en el flanco descendente de la señal que se observa a la salida del comparador del DAC. Esta oscilaciones generan estados inválidos o glitches en el Flip-Flop D, lo que provoca que se muestren cuentas intermedias en los displays. Para solucionar esto, se agregan compuertas NOT de tipo *Schmitt trigger*, es decir que tienen un rango de tensiones más amplio antes de pasar de estado bajo a alto y viceversa. Esto las hace más insensibles al ruido y a estas oscilaciones, lo que mejora el funcionamiento.

Conclusiones

Una conclusión apreciable observada a lo largo del ejercicio es la diferencia entre los modelos teóricos y simulaciones respecto a los circuitos reales. En varios casos se apreciaron comportamientos no esperados en la respuesta del circuito, principalmente debido al ruido presente en el entorno de medición. Para ello se debieron implementar soluciones tales como filtros para evitar esta situación.