

TRABAJO PRÁCTICO N°2

Grupo II

AUTORES:

Pablo Martín SCHEINFELD (59065),
Santiago Agustín ARRIBERE (59169),
Matías Santiago FRANCOIS (59828),
Rafael Nicolás TROZZO (59434),
Gonzalo Joaquín DAVIDOV (59117)

PROFESORES:

Kevin DEWALD,
Pablo Enrique WUNDES,
Miguel AGUIRRE

Contenido

1. Ejercicio 1	2
1.1. Mediciones	4
1.2. Circuito utilizado	6
2. Ejercicio 2	7
2.1. Introducción	7
2.2. Análisis de datasheet	7
2.3. Medición	7
2.4. Fanout	8
3. Ejercicio 3	9
3.1. Introducción	9
3.2. Análisis Teórico	9
3.3. Implementación	11
3.4. Mediciones y Conclusiones	12
4. Ejercicio 4	15
4.1. Desarrollo empírico	15
4.2. Medición a altas frecuencias	16
4.3. Conclusiones	17
5. Ejercicio 5	18
5.1. Introducción	18
5.2. Análisis previo	18
5.3. Implementación práctica	20
5.4. Conclusiones	22
6. Ejercicio 6	23
6.1. Introducción	23
6.2. Latch SR	23
6.3. Flip Flop D	25
7. Ejercicio 7	28
7.1. Introducción	28
7.2. Diseño	28
7.3. Análisis de resultados	31
7.4. Contador asincrónico	31
7.5. Contador síncronico	33
7.6. Resumen y conclusión	34

1. Ejercicio 1

El objetivo de este ejercicio es diseñar la compuerta lógica NOT mediante las distintas tecnologías estudiadas a lo largo del curso, es decir, **RTL** (Resistor transistor logic), **TTL** (transistor transistor logic) y **MOS**. Se busca analizar cada tecnología para luego contrastarlas y hallar las ventajas y desventajas que presentan.

Tecnología RTL

A continuación se presenta el circuito utilizado para la realización de la compuerta NOT mediante esta tecnología.

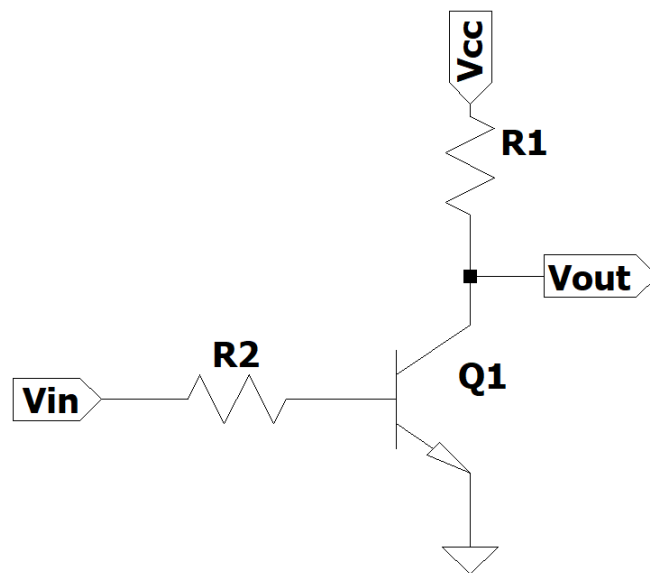


FIGURA 1: Compuerta NOT con tecnología RTL.

El funcionamiento de esta tecnología se basa en que V_{cc} , la alimentación, se mantiene con una tensión constante, por ejemplo 5V, mientras que en la entrada la tensión puede variar. Si la tensión en la base del transistor representa un '0' lógico, el transistor no conduce y por lo tanto, a la salida habrá un '1' lógico. Por el otro lado, si se aplica un '1' lógico en la base del transistor, comienza a conducir y la tensión entre el colector y el emisor será de aproximadamente 0.3V representando un '0' lógico.

Tecnología TTL

La compuerta NOT mediante tecnología ttl funciona de la siguiente manera:

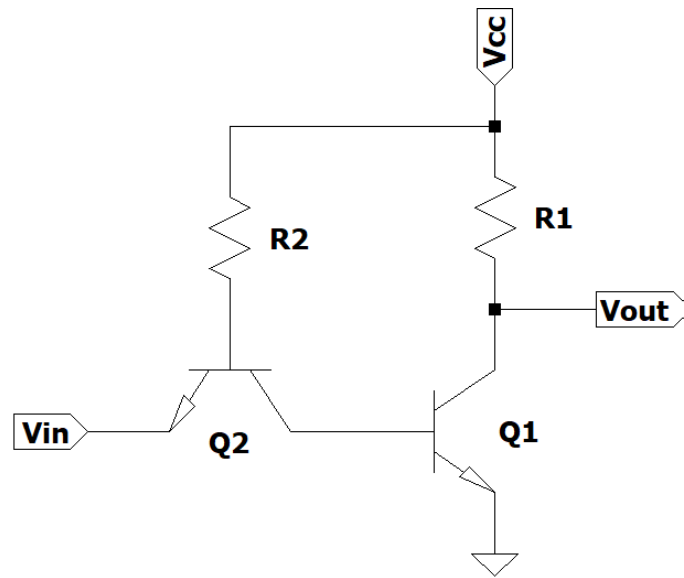


FIGURA 2: Compuerta NOT con tecnología TTL.

El transistor Q2 trabaja tanto en directa como en inversa para dirigir la corriente hacia la base o desde la base del transistor Q1. Por lo tanto, si hay un '0' lógico a la entrada V_{in} , con la alimentación en 5V, el transistor Q2 funciona en directa y la corriente es saliente de la base de Q1, por lo tanto, el transistor Q1 no conduce y hay un '1' a la salida. Por el contrario, si a la entrada hay un '1', el transistor Q2 está polarizado en inversa y la corriente entra a la base de Q1 por lo que comienza a conducir y se ve un '0' a la salida.

Tecnología MOS

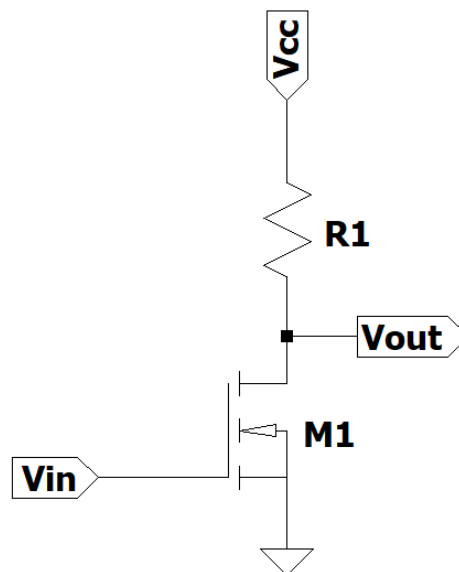


FIGURA 3: Compuerta NOT con tecnología MOS.

Se puede notar que el circuito es muy similar al rtl analizado previamente pero con un NMOS en lugar de BJT y sin la resistencia de base ya que en un MOS no circula corriente por ahí. Nuevamente con la tensión de alimentación en 5V se analiza que pasa al aplicar a la entrada un '1' o un '0'. Si se inserta un '1', el transistor comienza a conducir y la tensión entre base y emisor es de 5V por lo tanto a la salida se ve un '0'. Al insertar a la entrada un '0', el transistor no conduce y a la salida se ve un '1'.

1.1. Mediciones

Las mediciones se realizaron sobre un PCB que contiene las 3 compuertas juntas, como puede verse en la sección 1.2.

Se alimentó el circuito con una tensión de 5V y luego, para realizar las distintas mediciones se le aplicó a la entrada de circuito una señal cuadrada de 5V con nivel bajo en 0V para medir todo lo que está relacionado con tiempos y una señal triangular para medir las tensiones mínimas y máximas como se detalla a continuación:

- **VIH** (*High-level input voltage*): Es la máxima tensión de entrada que el circuito interpreta como '0', produciendo un '1' a la salida. Se mide como el punto en donde la pendiente de $V_{in}(V_{out}) = -1$.
- **VIL** (*Low-level input voltage*): Es la mínima tensión de entrada que el circuito interpreta como '1', produciendo un '0' a la salida. Es el otro punto en el cual la pendiente es -1.
- **VOH** (*High-level output voltage*): Es la mínima tensión de salida con la cual hay un '1' a la salida.
- **VOL** (*Low-level output voltage*): Es la mínima tensión de salida con la cual hay un '0' a la salida.
- **Noise margin**: Es la capacidad del circuito de tolerar ruido sin afectar el funcionamiento del mismo. Se clasifica en dos tipos:
 - **NM_L** (*Low noise margin*): La diferencia entre VIL y VOL.
 - **NM_H** (*High noise margin*): La diferencia entre VOH y VIH.
- **Propagation delay**: Tiempo desde que la señal de entrada llega al 50 % hasta que la salida llega al mismo nivel.
- **Transition time**: Tiempo que tarda la señal de salida en llegar del 10 % hasta el 90 % de la tensión al ir de '0' a '1' y viceversa para '1' a '0'.
- **Maximum output current**: Debido a que la carga es un capacitor, se calcula como $I_c = C * \frac{dV_c}{dt}$ en donde la derivada se obtiene mediante la función *math* del osciloscopio.

<i>Sin carga</i>			
Tecnología	RTL	TTL	N-MOS
High-level input voltage.	0.984V	0.7V	2.1V
Low-level input voltage.	0.521V	0.338V	1.65V
High-level output voltage.	4.92V	4.998V	4.91V
Low-level output voltage.	0.179V	0.096V	0.11V
Noise margin high.	3.936V	4.298V	2.81V
Noise margin low.	0.342V	0.242V	1.54V
Propagation delay high to low.	880ns	349ns	501ns
Propagation delay low to high.	29ns	###	23.95ns
Transition time high to low.	30.1ns	###	623ns
Transition time low to high.	680ns	382ns	714ns

TABLA 1: Tabla de valores medidos sin carga.

<i>Con carga</i>			
Tecnología	RTL	TTL	N-MOS
High-level input voltage.	1.02V	0.822V	2.15V
Low-level input voltage.	0.543V	0.315V	1.59V
High-level output voltage.	4.87V	4.99V	4.9V
Low-level output voltage.	0.247V	0.067V	0.18V
Noise margin high.	3.85V	4.168V	2.75V
Noise margin low.	0.296V	0.248V	1.41V
Propagation delay high to low.	8.25 μ s	7.7 μ s	6.2 μ s
Propagation delay low to high.	205ns	46.8ns	135ns
Transition time high to low.	146ns	71ns	1.12 μ s
Transition Time low to high.	25.7 μ s	21.1 μ s	23 μ s
Maximum output current.	11mA	3mA	28.2mA

TABLA 2: Tabla de valores medidos con carga.

'###' significa que ese valor no pudo ser medido debido a las limitaciones del osciloscopio (*Time rise* mínimo de 13ns).

En primer lugar, se puede observar de las mediciones hechas que el hecho de que el circuito tenga la carga de 1nF o que no lo tenga casi no afecta las tensiones de entrada ni las de salida. Mientras que por otro lado, produce que todos los tiempos, tanto de propagación como de transición, aumenten, es decir, los circuitos son mas lentos con carga.

Luego, se puede notar que la tecnología TTL es la más rápida en todos los tiempos, entre RTL y MOS, RTL es mas rápida en los tiempos de transición pero es mas lenta en los de propagación. La gran ventaja de la tecnología RTL es el hecho de que utiliza menos transistores que TTL.

Finalmente, se puede observar que la compuerta NOT con MOS es la que presenta una mayor corriente de salida, por lo tanto es la que tiene mayor *fanout*.

1.2. Circuito utilizado

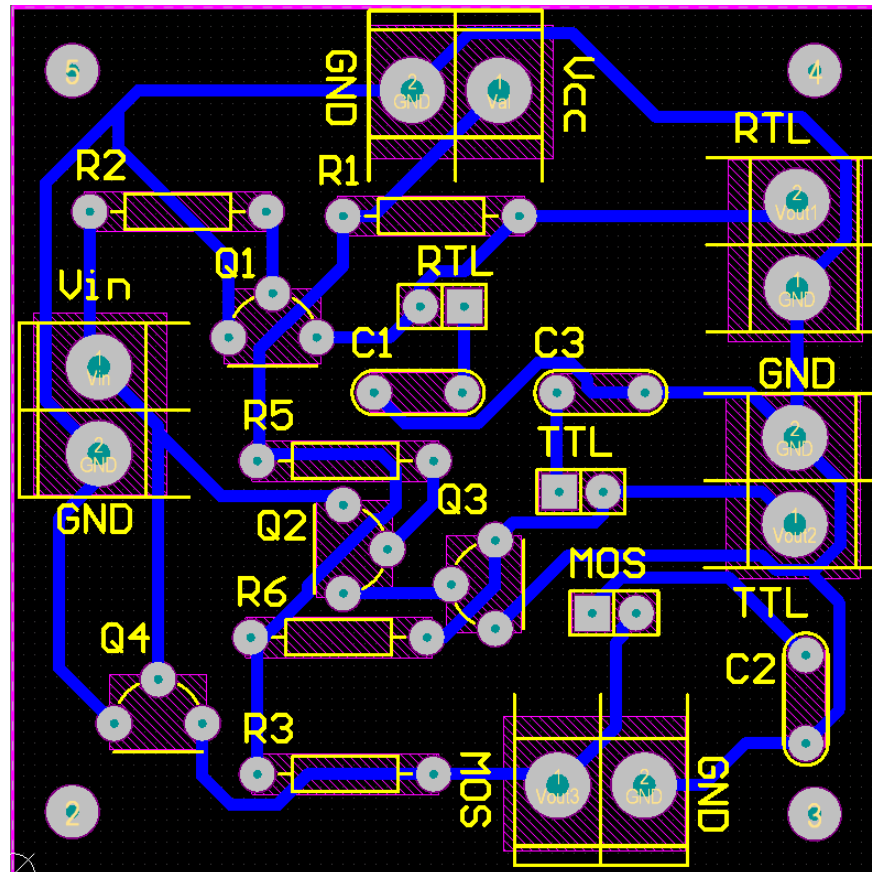


FIGURA 4: Implementación del circuito en PCB.

2. Ejercicio 2

2.1. Introducción

En el siguiente apartado se busca analizar la compatibilidad entre compuertas NOR de tecnología TTL y CMOS. Para su comparación se utilizarán los integrados 74HC02, 74HCT02 y 74LS02.

2.2. Análisis de datasheet

Para realizar la comparación se tomaron los valores de tensiones de entrada y salida para los estados 1 y 0 de las diferentes compuestas, especificados en las hojas de datos (74HC02 ¹, 74HCT02² y 74LS02³).

	74HC02	74HCT02	74LS02
$V_{ih}[V]$	3,15	2	2
$V_{oh}[V]$	4,4	4,4	2,4
$V_{il}[V]$	1,35	0,8	0,8
$V_{ol}[V]$	0,26	0,26	0,4

TABLA 3: Margenes de ruido, compuertas NOR

Para garantizar la compatibilidad entre dos compuertas se debe cumplir, inicialmente, que $V_{ih} > V_{oh}$ y $V_{il} < V_{ol}$, observando la tabla 3 se puede apreciar que en la única combinación de compuertas que no se cumple esta condición es al cargar una compuerta 74LS02 con una compuerta 74HC02, es decir cargando una compuerta de tecnología TTL con una de tecnología CMOS que no se encuentre adaptada para tal utilidad, ya que para la compuerta 74HC02 la tensión mínima de entrada (V_{ih}) para un 1 lógico es de 3.15V lo cual es superior a la tensión de salida mínima (V_{oh}) para un 1 lógico del integrado 74LS02.

2.3. Medición

Conectando ambas compuertas en cascada y con las entradas cortocircuitadas, para obtener dos compuertas NOT en casacada, se mide la salida de la primer compuerta y la salida de la segundo excitando al circuito con una rampa a fin de poder observar la respuesta en la transición de estados del circuito.

¹<http://www.ti.com/lit/ds/symlink/sn74hc02.pdf>

²<http://www.ti.com/lit/ds/symlink/sn74hct02.pdf>

³<http://www.ti.com/lit/ds/sdls027/sdls027.pdf>

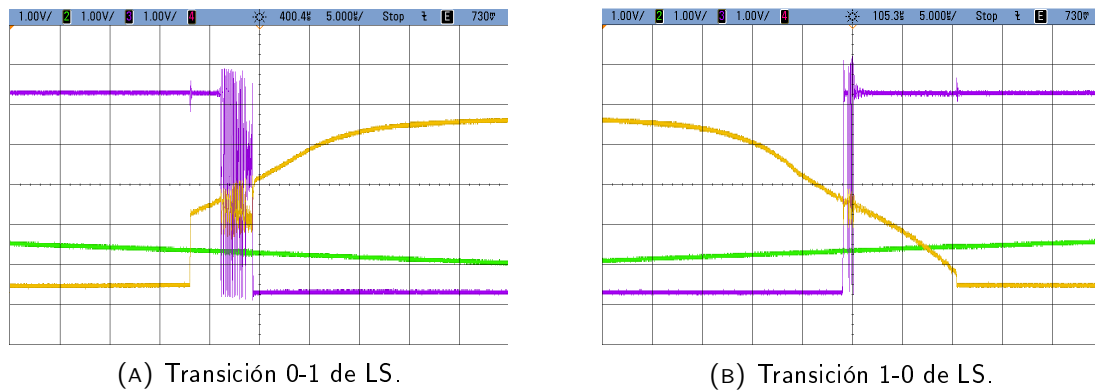


FIGURA 5: Respuesta HC cargando LS.

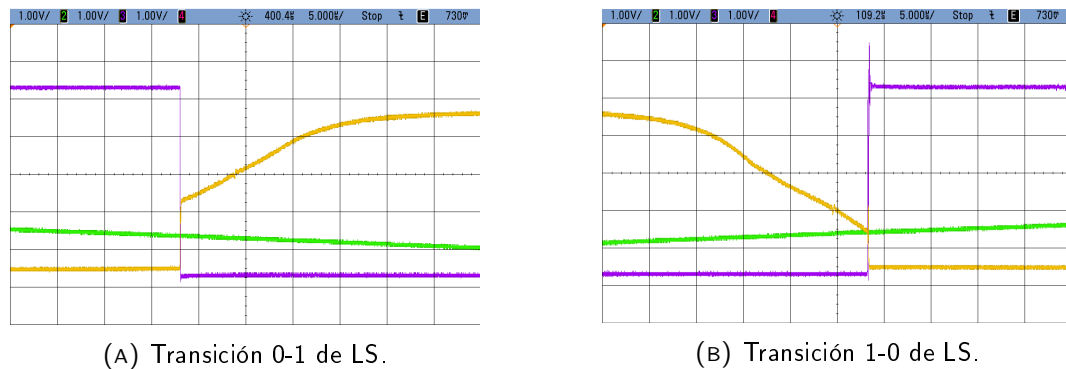


FIGURA 6: Respuesta HCT cargando LS.

De esta forma se puede ver que al cargar la compuerta LS con la compuerta HC, se presentan oscilaciones debido a la indeterminación del estado en la compuerta HC, este inconveniente es solucionado en las compuertas de la familia HCT las cuales están diseñadas para garantizar la compatibilidad con las compuertas de tecnología TTL que presentan diferentes niveles de ruido.

2.4. Fanout

Otro aspecto para analizar en la compatibilidad de compuertas es la capacidad de una compuerta de suministrar la corriente que le demanda la carga, ya que de no poder suministrarla adecuadamente, a la salida puede ser malinterpretado el estado lógico.

Las compuertas HC02 y HCT02 al pertenecer a la familia de compuertas CMOS demandan corrientes de entrada muy pequeñas, según las hojas de datos 100nA, lo cual favorece la conexión de estas compuertas como carga de otras compuertas.

3. Ejercicio 3

3.1. Introducción

En este ejercicio se plantea la implementación de la tabla de verdad propuesta por la consigna, la misma se puede ver en la tabla 4. Para ello se hará uso de compuertas lógicas de tecnología CMOS dispuestas en una placa PCB, con la intención de realizar mediciones relevantes de la configuración de menor costo, con la finalidad de proponer cambios de ser necesarios para evitar posibles problemas con dicha implementación.

3.2. Análisis Teórico

De esta manera se hallará el circuito que se realizará mediante las simplificaciones del diagrama de Karnaugh haciendo uso de la tabla propuesta. De esta manera en la imagen siguiente se procede a mostrar dicho diagrama seleccionando los grupos de interés que generan la configuración de menor costo.

TABLA 4: Tabla propuesta

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

		AB			
		00	01	11	10
C	0	0	1	0	0
	1	1	1	0	1

Así la configuración lógica que cumple este circuito es la de la ecuación 2.

$$\overline{A} \cdot B + \overline{B} \cdot C \quad (1)$$

Dicha ecuación representa la configuración lógica de menor costo que cumple con la tabla propuesta (tabla 4).

De esta forma el circuito que cumple con dicha ecuación se muestra en la figura 7.

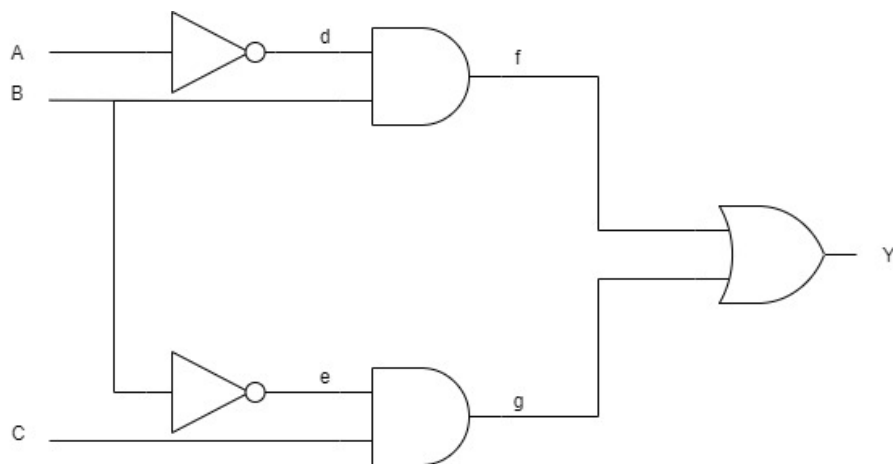


FIGURA 7: Figura del circuito con la configuración de menor costo

El problema con este circuito es que puede presentar glitches, los mismos pueden ser percibidos en el diagrama de Karnaugh debido a la existencia de 2 unos adyacentes que no tienen un grupo que los conecte entre sí, de esta manera el sistema puede pasar por un cero momentáneamente aun cuando la salida se mantenga en 1, esto es lo que en inglés se denominan static Hazards. Esto también se puede apreciar mejor al realizar el diagrama temporal del circuito, que se muestra a continuación en la figura 8, en donde por simplicidad se presupone que las compuertas utilizadas presentan el mismo retraso temporal.

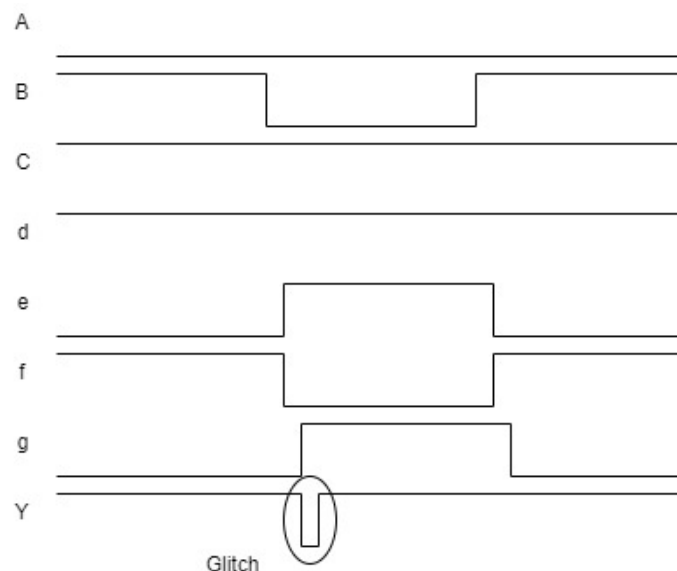


FIGURA 8: Diagramas temporales del circuito en donde se aprecia el glitch en la salida.

Este glitch (indeseado) es provocado debido a los diferentes tiempos de propagación de las compuertas utilizadas, es decir existe un camino que presenta más compuertas lógicas que el otro por lo que se genera un momento en donde en la entrada de la compuerta o a la salida se tienen 2 ceros que no se deberían encontrar, esto hace que a la salida se observe un cero por un breve instante de tiempo (el tiempo de propagación de la compuerta tomado).

Para evitar este tipo de glitch, lo que se hace es realizar una configuración de mayor costo, es decir, considerar un grupo extra (y por consiguiente mayor cantidad de compuertas lógicas en el diseño total) que abarque los 2 unos que se hallaban adyacentes sin estar conectados mediante un grupo. Esto se puede ver en el diagrama de Karnaugh siguiente.

		AB			
		00	01	11	10
C	0	0	1	0	0
	1	1	1	0	1

De esta forma la configuración lógica que cumple este circuito es la de la ecuación 2.

$$\bar{A} \cdot B + \bar{B} \cdot C + \bar{A} \cdot C \quad (2)$$

Por ello el circuito que cumple con dicha ecuación se muestra en la figura 9.

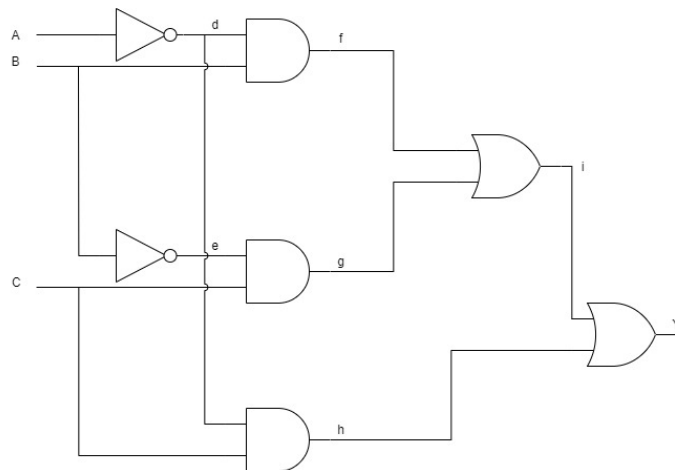


FIGURA 9: Circuito con la corrección para evitar glitches

3.3. Implementación

Para comprobar esto, se realizó en PCB un diseño en donde se puede trabajar tanto con un circuito como con otro a la vez, esto permite observar las diferentes salidas de cada uno para con ello poder contrastarlas y hallar diferencias entre los métodos trabajados.

De esta forma, la placa PCB utilizada se puede observar en la imagen 10. Para la misma se utilizaron los integrados 74HC08 para las compuertas and, 74HC04 para las compuertas not y 74HC32 para las compuertas or. Los tiempos de propagación de dichas compuertas se muestran a continuación en la tabla 5.

TABLA 5: Tabla con los tiempos de propagación de las compuertas utilizadas.

integrado	normal (ns)	maximo (ns)
74HC04	9	22
74HC08	10	20
74HC32	12	18

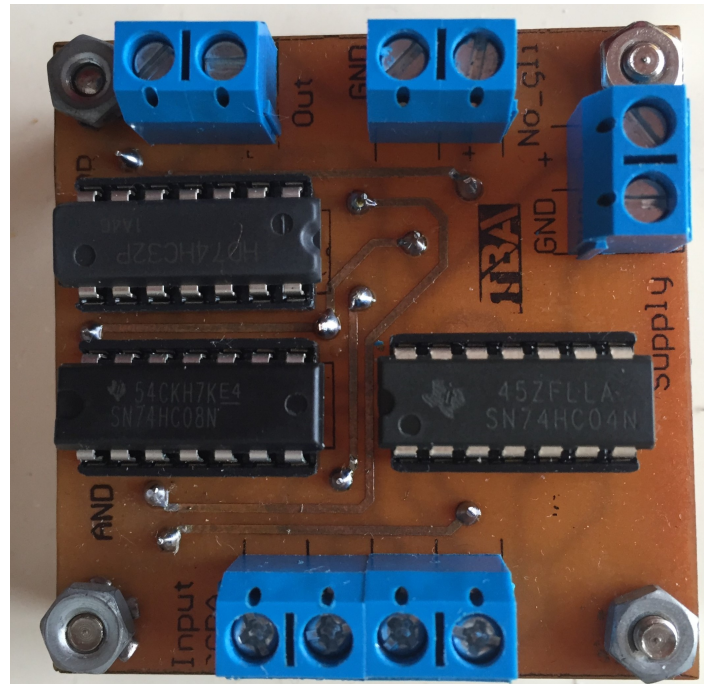


FIGURA 10: placa PCB utilizada

3.4. Mediciones y Conclusiones

A continuación en la figura 11 se muestra la medición del circuito a la salida del mismo, donde se superponen la salida del circuito con la configuración de menor costo y la salida del circuito con la configuración de mayor costo que soluciona el problema de los glitches, las mismas se realizaron en simultaneo en las 2 salidas del circuito destinadas a este fin, al pasar de la configuración $abc=001$ a $abc=011$, para el cambio de B se utilizó un generador de onda cuadrada con tensiones de 0V mínima y 5V máxima.

Cabe destacar que para poder observar el glitch es muy importante utilizar puntas x10 ya que la capacidad de las puntas x1 impide la correcta visualización de la caída en tensión.



FIGURA 11: Medición realizada donde se aprecia el glitch a la salida.

En la imagen 11 podemos ver las 2 salidas deseadas, la salida sin la corrección es la de color violeta, y la salida corregida corresponde a la línea de color amarillo.

En el osciloscopio se observa como el valor de la salida violeta cae por debajo del límite inferior tomado como High por las compuertas con tecnología CMOS (imagen 12), pasa por la zona de transición y llega a ser inferior que el límite superior de lo que se considera como LOW, es decir un cero lógico durante un tiempo comparable con el de las compuertas utilizadas, llegando a valer 1,2 V. Esto tiene sentido si se observa el diagrama temporal analizado anteriormente donde el tiempo del glitch se correspondía con el tiempo de propagación tomado para las compuertas. Mientras que la salida amarilla correspondiente a la salida del sistema con el glitch corregido presenta una desviación mucho menor que le permite nunca bajar lo suficiente para ser considerado por la compuerta como un 0 lógico, vemos por tanto que en la salida corregida no existe glitch mientras que en la salida violeta es decir la de menor costo si lo hay.

*Acceptable CMOS gate
input signal levels*

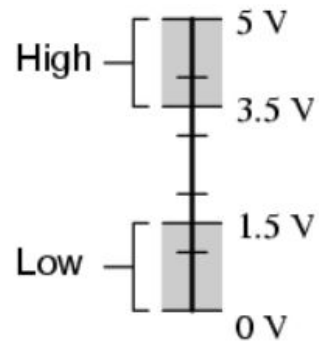


FIGURA 12: Tensiones de entrada consideradas como HIGH y LOW en una compuerta con tecnología CMOS

4. Ejercicio 4

En la siguiente sección se busca analizar los tiempos característicos de la compuerta 74HC02, medidas con carga y sin carga. Además se analizará la respuesta de la fuente de alimentación de las compuertas, trabajando en altas frecuencias.

4.1. Desarrollo empírico

Inicialmente se midió la salida de la compuerta NOR, de tecnología CMOS, con las entradas cortocircuitadas y sin carga, y luego con el circuito propuesto en la figura 13, buscando medir el *time rise*, el *fall time* y el tiempo de propagación en la transición del estado alto a bajo, y del estado bajo al alto.

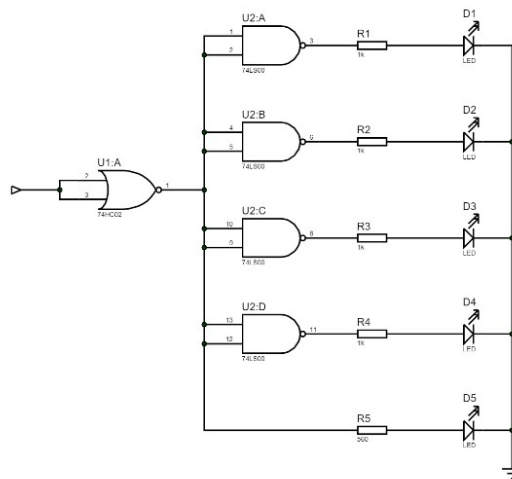
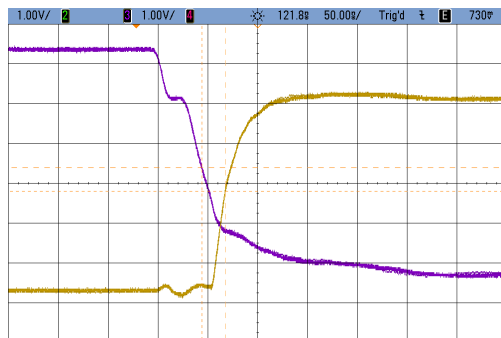
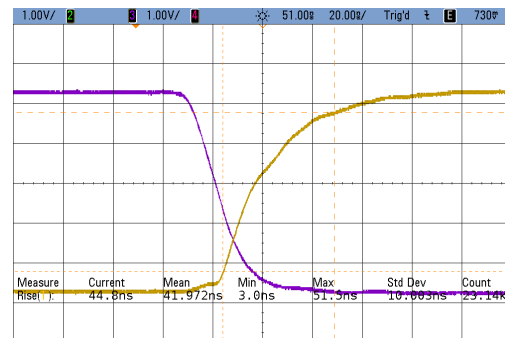


FIGURA 13: Circuito de medición

Para los cuatro tiempos a medir se utilizaron los cursores del osciloscopio utilizando la función de *tracking* como se ejemplifica en la figura 14.



(A) Medición del tiempo de propagación.



(B) Medición del *time rise*.

FIGURA 14: Mediciones sobre la compuerta, violeta-entrada, amarilla-salida

De estas mediciones se obtuvieron los resultados de la tabla 6, en todos los casos se puede

apreciar que los tiempos con carga son mayores que sin carga, sin embargo dichas asimetrías son despreciables y las mismas pueden ser explicadas debido a la demanda de corriente de la rama de R_5 y D_5 .

	Sin carga	Con carga
t_r	43	45
t_f	44,5	48
$t_{propH-L}$	10,5	12
$t_{propL-H}$	13,5	15,5

TABLA 6: Mediciones de tiempos característicos, en ns.

4.2. Medición a altas frecuencias

Una vez medidos los tiempos característicos, para continuar el análisis se aumento la frecuencia del generador a 100KHz, y se midió la alimentación de la compuerta 74HC02.

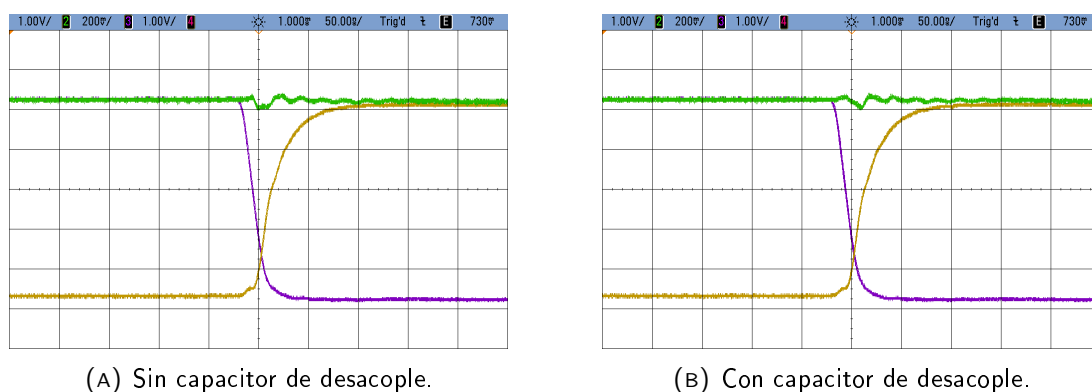


FIGURA 15: Medición de la alimentación (verde), salida (amarilla), entrada (violeta)

En la figura 15a, se puede apreciar que en la transición de estados, en la alimentación se produce una respuesta subamortiguada, esto es debido a una mayor exigencia de corriente en dicho momento por parte del integrado.

Se intentó cambiar dicha respuesta con la inclusión de un capacitor de desacople en los terminales de alimentación del integrado, el mismo según lo especificado en el libro de aplicación del fabricante⁴ debe ser de 100nF. Agregando dicho capacitor al circuito se buscó reducir dicha respuesta subamortiguada, lo obtenido se muestra en la figura 15b, en la que es posible observar que no se logró corregir completamente el comportamiento indeseado de la fuente, sin embargo se redujo su duración levemente.

Al trabajarse con una sola de las compuertas las demandas de corriente al circuito de alimentación no fueron excesivas, pero si se hubiese trabajado con la totalidad de las compuertas integradas, el capacitor de desacople hubiese cumplido una función de mayor relevancia.

⁴<http://www.ti.com/lit/an/sdya002/sdya002.pdf>

4.3. Conclusiones

Midiendo los tiempos característicos de la compuerta 74HC02 de tecnología CMOS se pudo observar la influencia de la carga en los mismos, viendo que al aumentar los niveles de carga, aumentaban tanto el tiempo de propagación como el *rise time* y el *fall time*.

Adicionalmente fue posible observar que dependiendo las condiciones de trabajo puede ser necesaria la inclusión de capacitores de desacople al utilizar integrados lógicos, ya que la respuesta transitoria de la fuente de alimentación puede generar niveles de tensión que se encuentren fuera del rango permitido por el fabricante.

5. Ejercicio 5

5.1. Introducción

En el presente apartado se estudiará el comportamiento y compatibilidad de dos compuertas lógicas. Se utilizará para ello una compuerta AND de tecnología TTL y una compuerta OR de tecnología CMOS. Inicialmente se analizarán sus respuestas individualmente y luego, de la forma en que se aprecia en la figura 16, se unirán la entrada de la OR-CMOS con la salida de la AND-TTL. A partir de esto, se observarán los nuevos resultados y se investigarán los distintos problemas que se pudieran presentar junto a sus posibles soluciones.

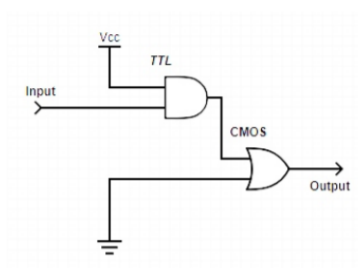


FIGURA 16: Conexión de las compuertas utilizadas.

5.2. Análisis previo

Existen distintas consideraciones que deben realizarse cuando se interactúa entre las tecnologías a utilizar. En primer lugar, si se requiriera alimentar a integrados de ambas con una única fuente, el rango posible de valores a utilizar se encuentra limitado por la tensión aceptable de la tecnología TTL, el cual se encuentra típicamente entre 4,75V y 5,25V.

Luego, a modo de analizar la forma de realizar las correspondientes conexiones entre la salida de una tecnología y la entrada de la otra, es necesario estudiar con qué tensiones trabaja cada una en estos puntos. Así, en la figura 17 se detallan los valores alrededor de los cuales se encuentran los parámetros necesarios. Analizando lo que sucede al contar con una salida TTL y una entrada CMOS, se observa que $VOL_{TTL} < VIL_{CMOS}$ y que $VOH_{TTL} < VIH_{CMOS}$. Dado el primer caso (estado 0), no existen problemas por compatibilidad. No obstante, con respecto al segundo caso (estado 1), dado que la tensión de salida en alto de una compuerta TTL puede ser menor que la tensión en entrada en alto de una compuerta CMOS, **pueden presentarse problemas por incompatibilidad de tensión.**

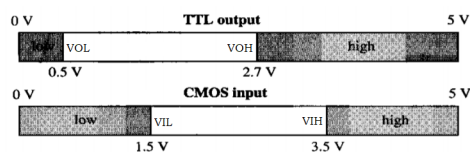


FIGURA 17: Rangos de entrada y salida típicos de las tecnologías a utilizar.

En adición a la compatibilidad entre las tensiones, para la interconexión de distintas tecnologías

también es necesario estudiar los requerimientos de corriente de cada una de ellas. Un factor de problemática se da en el caso en que una compuerta de salida no pueda suministrar la corriente necesaria por la compuerta de entrada para interpretar un estado como tal. A partir de esto se detallan en la tabla 7 los valores de corriente con los que trabajan típicamente los integrados de tecnología TTL y CMOS.

Parámetro	CMOS (74HC/HCT)	TTL (74LS)
I_{IH} (min)	$1\mu A$	$20\mu A$
I_{IL} (min)	$1\mu A$	$0.6mA$
I_{OH} (máx)	$4mA$	$0.4mA$
I_{OL} (máx)	$4mA$	$8mA$

TABLA 7: Corrientes de entrada y salida de las tecnologías a utilizar.

A partir de estas consideraciones, si se analiza la tabla 7 se concluye que **no existen problemas por incompatibilidad de corriente** al conectar la salida de una compuerta TTL con la entrada de una compuerta CMOS ya que las máximas corrientes de salida son considerablemente mayores que las mínimas corrientes de entrada. A causa de esto, para el correcto funcionamiento del circuito no es necesario ajustar las corrientes pero si lo es introducir una etapa intermedia cuya función sea ajustar las tensiones para compatibilizar la salida y la entrada de los integrados a utilizar. A dichas etapas se las conoce como *level shifters*. Esta debe asegurar que la tensión de salida de la compuerta TTL sea mayor que la tensión de entrada V_{IH} de la compuerta CMOS. Para ello, existen distintas soluciones posibles.

La primera de ellas es la incorporación de una resistencia entre ambas etapas de la forma mostrada en la figura 18. La presencia de esta resistencia ocasiona que la salida de la compuerta TTL aumente en estado alto su valor lo suficiente para conectarse correctamente con la compuerta subsiguiente.

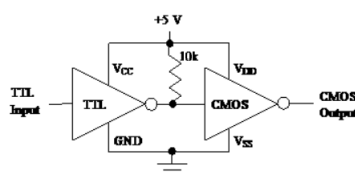


FIGURA 18: Resistencia pull-up. Valor de referencia establecido en base a una alimentación común de 5V (típica).

Otra posible solución es la utilización de un integrado CD4504B⁵, el cual se utiliza precisamente para estos casos, o el uso de un transistor BJT (permitiendo distintas alimentaciones) como se diagrama en la figura 19.

⁵<https://www.ti.com/lit/ds/symlink/cd4504b-ep.pdf>

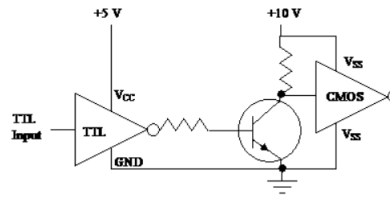


FIGURA 19: Level Shifter mediante transistor NPN.

Existe otra solución interesante y es el caso del uso de un transistor BJT PNP entre ambas etapas, como se muestra en la figura 20. A su vez, otras posibles implementaciones incluyen transistores MOSFET o buffers TTL en la interconexión.

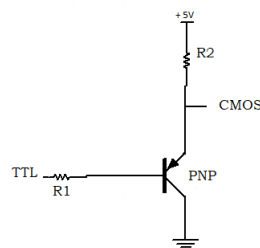


FIGURA 20: Level Shifter mediante transistor PNP.

5.3. Implementación práctica

Con el fin de llevar a cabo la presente experiencia, se decidió utilizar un integrado digital 74LS08⁶ para la compuerta AND. Por su parte, para la compuerta OR se seleccionó un integrado digital 74HC32⁷. En las respectivas hojas de datos se indica que la tensión V_{OH} mínima de la compuerta AND es de 2,4V y la V_{IH} mínima de la compuerta OR es de 3,15V (con alimentación de 4,5V), pudiendo presentarse el problema ya descrito (ver 5.2).

Como primera medida en la práctica, se analizaron las salidas individuales de las compuertas encontrándose estas desconectadas entre sí. Para ello se aplicaron señales cuadradas de 6Vpp a ambos bornes de entrada, generando valores de entrada altos y bajos alternadamente. Ante estas condiciones la salida debería tomar valores altos (tensión mayor a V_{OH}) y bajos (tensión menor a V_{OL}) respectivamente de acuerdo a la tensión de entrada. En la figura 21 se muestran las mediciones realizadas, ocurriendo efectivamente lo previsto.

⁶<http://www.ti.com/lit/ds/symlink/sn74ls08.pdf>

⁷<https://assets.nexperia.com/documents/data-sheet/74HCCT32.pdf>

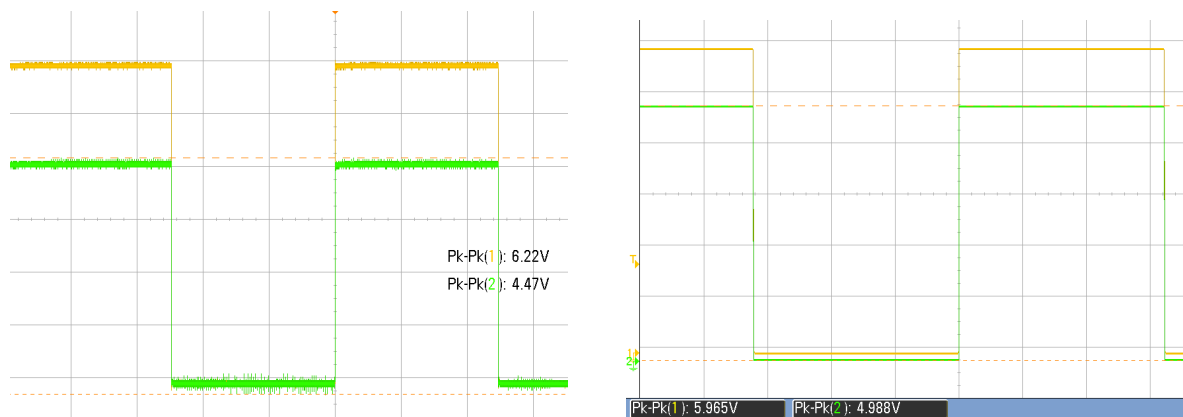


FIGURA 21: Mediciones con las compuertas desconectadas.

(A) *Izquierda: compuerta AND. Derecha: compuerta OR.

(B) *Señal amarilla: entrada. Señal verde: salida.

Posteriormente, se realizó el mismo procedimiento con las compuertas conectadas como en la figura 16. Al realizarlo, el circuito se comportó adecuadamente y no se registraron problemas por incompatibilidad. Sin embargo, bajo el propósito de forzar su aparición se cargó al circuito con una resistencia pull down entre ambas compuertas. Esto se realizó ajustando el valor de un preset hasta que surgiera el error. Las mediciones se encuentran reflejadas en la figura 23.

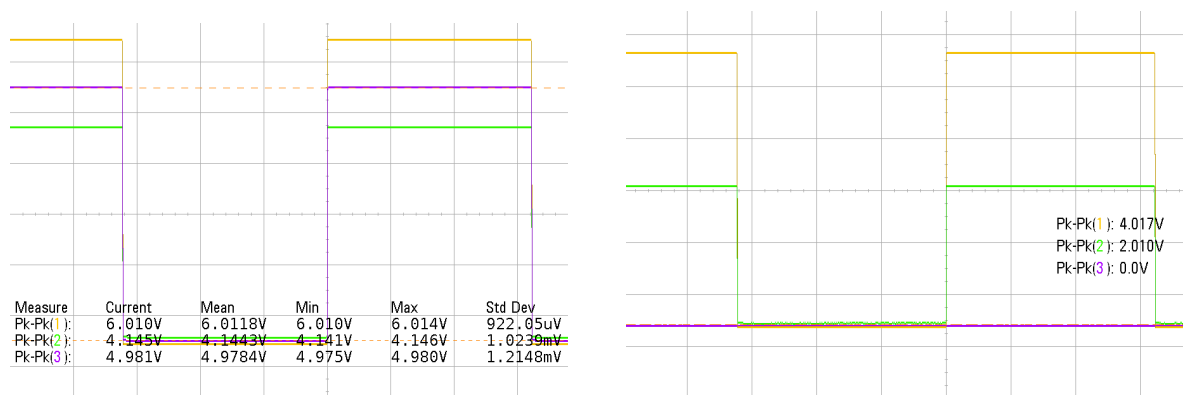


FIGURA 23: Mediciones con las compuertas conectadas.

(A) *Izquierda: respuesta del circuito. Derecha: incorporación de una carga.

(B) *Señal amarilla: entrada. Señal violeta: etapa intermedia entre ambas compuertas. Señal verde: salida.

Como solución ante dicho problema se incorporó un level shifter mediante un transistor BJT PNP BC557 y dos resistores, de la forma diagramada en la figura 20, siendo R1 de 1kΩ y R2 de 10kΩ. Esta etapa generó un aumento en la tensión de salida de la compuerta AND, resolviendo el problema de incompatibilidad. La salida en este caso se puede apreciar en la figura 25.

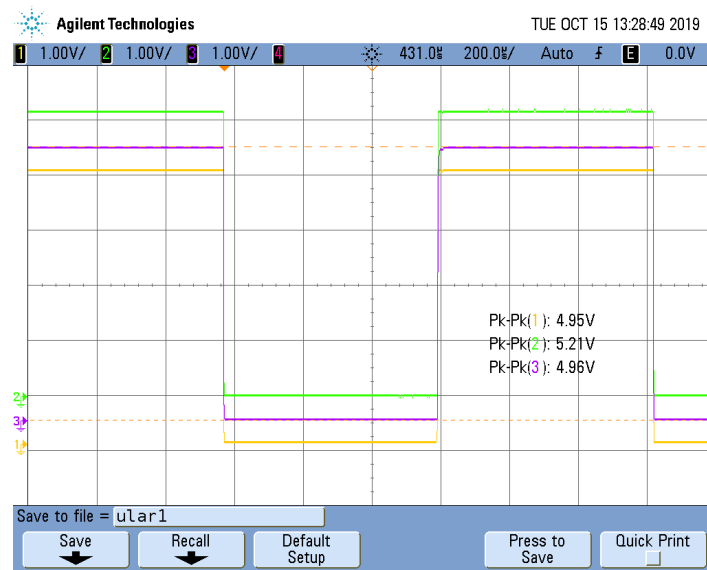


FIGURA 25: Resolución de la incompatibilidad mediante un level shifter.

5.4. Conclusiones

Mediante la presente experiencia, se analizó la compatibilidad entre la conexión de una salida TTL con una entrada CMOS. Se evidenció que aunque en primera medida el circuito se comporte normalmente, pueden surgir problemas que son necesarios tener en cuenta. El problema mencionado se da por el hecho de que la tensión de salida de una compuerta TTL puede ser menor que la tensión V_{IH} de una CMOS en estado alto. Con el fin de solucionar la problemática, existen distintas opciones. En este caso, se incorporó una etapa de level shifting entre ambas compuertas, la cual dio lugar a un aumento de la tensión de salida de la TTL, solventando el problema desarrollado.

6. Ejercicio 6

6.1. Introducción

En esta sección se implementará un Latch SR y un Flip Flop D mediante compuertas lógicas en una placa PCB, para luego encontrar conclusiones relevantes sobre las mismas y compararlas con los valores de las compuertas comerciales.

6.2. Latch SR

6.2.1. Funcionamiento

Un Latch SR es un circuito encargado de almacenar un valor permitiendo borrar al mismo, es decir actúa como una memoria de 1 bit que permite almacenar o borrar su valor según el valor de sus entradas, para esto presenta una entrada denominada usualmente como Set que se encarga de fijar el valor que se querrá almacenar (cero o uno) y una entrada Reset que se encarga de borrar el valor almacenado haciendo que el mismo valga cero para cualquier valor de set.

6.2.2. Circuito implementado

De esta manera el circuito típico correspondiente al Latch SR se muestra en la figura 26 y la tabla de verdad del mismo se puede apreciar en la tabla 8.

La entrada S corresponde a la entrada Set y la entrada R refiere a la entrada Reset.

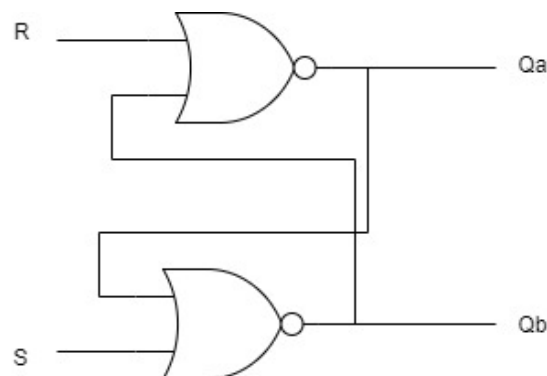


FIGURA 26: Circuito correspondiente a un Latch SR

TABLA 8: Tabla de verdad correspondiente al Latch SR (donde Q_{a-1} refiere al valor que se almacena en el latch).

S	R	Qa	Qb
0	0	Q_{a-1}	Q_{b-1}
0	1	0	1
1	0	1	0
1	1	0	0

De esta forma se trabajó con compuertas NOR para la creación del Latch, para eso se consideró interesante trabajar con compuertas lógicas CD4001B, ya que las mismas son más lentas que las compuertas 74HC02 y hay mayor disponibilidad de ellas en el pañol de la facultad.

6.2.3. Mediciones y Conclusiones.

Así se midió el cambio en la salida cuando Reset esta en cero y Set cambia de 0 a 1, de esta forma, en las figuras 27 y 28 presentadas a continuación se pueden ver el tiempo de rise y el tiempo de propagación para estas compuertas en estas condiciones. Cabe destacar que la medición de estos valores se realizó con puntas x10 debido a que la medición con puntas x1 se veía muy alterada por el instrumento de medición.

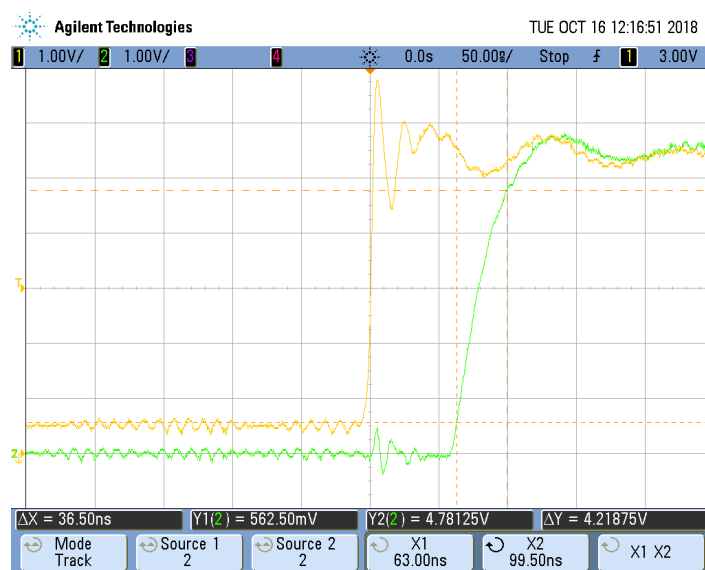


FIGURA 27: Medición correspondiente al tiempo de rise de la compuerta.

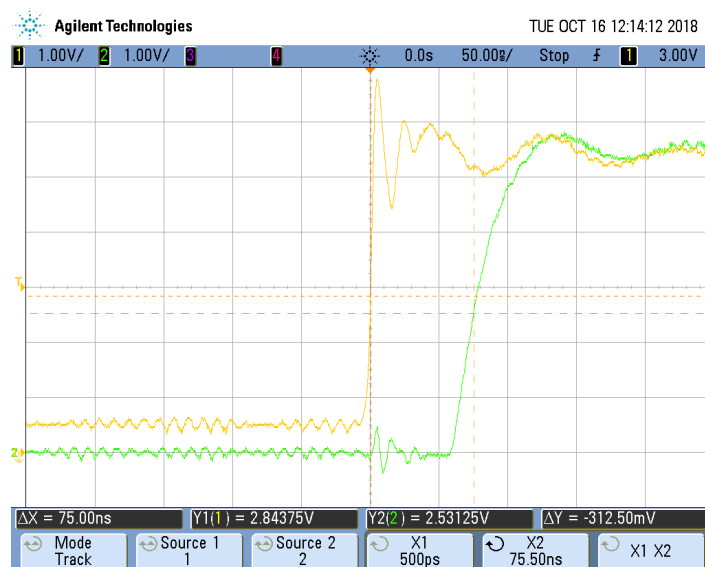


FIGURA 28: Medición correspondiente al tiempo de propagación de la compuerta.

De forma análoga se midieron los tiempos de fall y de propagación al pasar de 1 a cero en la salida es decir con set en 0 y reset en 1.

Así, los tiempos que se obtuvieron se muestran en la tabla 9 junto con los tiempos de una compuerta representativa de un latch SR comercial, de esta forma, para la comparación se utilizó la compuerta M74HC279C1R de la marca ST.

TABLA 9: Tabla con los valores de las mediciones tomadas (valores en nano segundos)

	T_{PLH}	T_{PHL}	T_{rise}	T_{fall}
Circuito	75	70	36.5	30
M74HC279C1R	20	20	15	15

En la tabla T_{PLH} y T_{PHL} refieren a los tiempos de propagación al cambiar S a uno o R a uno respectivamente.

Podemos ver que los valores obtenidos presentan diferencias con los valores encontrados comúnmente en la práctica, esto tiene sentido debido a que sabíamos que las compuertas utilizadas para la medición eran lentas comparadas con otras compuertas disponibles. De todas formas vemos que las mediciones se encuentran en el orden de magnitud de los valores de los componentes encontrados comercialmente.

6.3. Flip Flop D

6.3.1. Funcionamiento

Un flip flop D se encarga de almacenar un bit, al igual que en el caso anterior, sólo que tiene una única entrada (D) y un controlador que le indica en que momento tomar el dato de dicha entrada, es decir el sistema se conecta a un clock (Clk) que le indica cuándo almacenar el valor de la entrada D.

6.3.2. Circuito implementado

Por la naturaleza del sistema, el mismo presenta un latch SR en su interior, esto se puede ver en el esquemático del correspondiente circuito en la figura 29. Además posee un Edge Detector, que se encarga de detectar los flancos positivos o negativos, según sea la naturaleza del flip flop, el esquemático del mismo se encuentra en la figura 30, el mismo corresponde a un detector de flancos negativos, se decidió por esta alternativa debido a la simpleza de implementación utilizando para realizarla un único integrado.

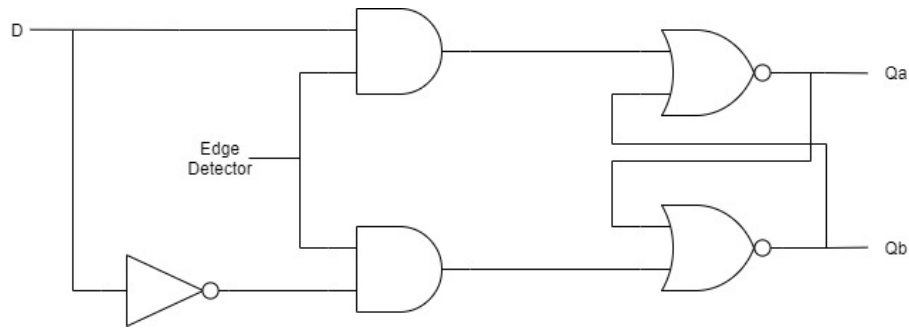


FIGURA 29: Circuito característico del Flip flop

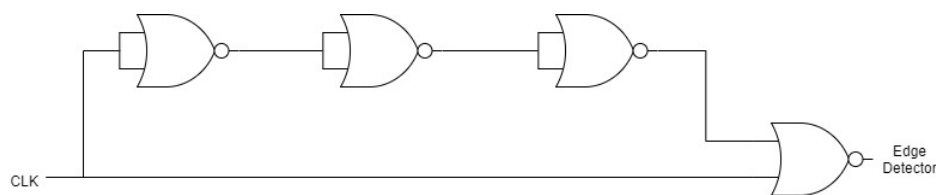


FIGURA 30: Circuito implementado para la detección de flancos con pendiente negativa.

De esta manera la tabla de verdad de dicho circuito se puede ver en la tabla 11

TABLA 10: Tabla de verdad correspondiente al Flip Flop D

D	CLK	Qa	Qb
0	↓	0	1
1	↓	1	0
X	X	Qa_{-1}	Qb_{-1}

De esta manera para implementar al circuito en placa PCB se decidió utilizar los integrados 74HC08 para las compuertas And, 74HC00 para las compuertas Nand y 74HC02 para las compuertas Nor, utilizando una compuerta nor para la compuerta not que requiere el flip flop, como se puede ver en la figura 29.

6.3.3. Mediciones y Conclusiones

De esta manera se procedió análogamente al caso del latch SR, es decir, se midieron los tiempos de subida y bajada a la salida de la compuerta, considerando (al igual que en el caso anterior) que el tiempo de rise o subida comienza cuando la salida vale 10 % del valor tomado como High y termina cuando vale 90 % del valor tomado como High. El caso del tiempo de bajada es análogo pero a la inversa, es decir comienza cuando la salida es 90 % del valor High y finaliza cuando el mismo es del 10 % del valor de High.

También es análogo el tratamiento de los tiempos de propagación del circuito, sólo que aquí la entrada que cambia es D es decir cuando D cambia de cero a uno se obtiene el tiempo de propagación T_{PLH} y cuando la entrada D cambia de uno a cero se obtiene T_{PHL} , ambos tiempos medidos como en la figura 28, es decir desde que la señal de input alcanza el 50 % de su valor

considerado como high hasta que la señal de salida del sistema llega al 50 % de su valor considerado como high.

Para los valores correspondientes a un flip flop D comercial, se decidió contrastar las mediciones tomadas con el flip flop D 74HC74, se optó por el mismo ya que se encuentra en el pañol de la facultad y es el equivalente al utilizado en el ejercicio 7 (74LS74) pero que trabaja con la misma tecnología que las compuertas utilizadas en nuestro caso, a saber, tecnología CMOS. Si bien cabe destacar que el SN74HC74 es de flanco positivo mientras que nuestro flip flop D es de flanco negativo.

De esta manera los resultados obtenidos de las mediciones del circuito y los que se pueden encontrar en la hoja de datos del SN74HC74 se muestran en la tabla ??.

TABLA 11: Valores medidos para el circuito junto a los encontrados para el Flip Flop D SN74HC74.

	T_{PLH}	T_{PHL}	T_{rise}	T_{fall}
Circuito	20	20	6	6
SN74HC74	29	31	44	41

Se puede apreciar que existe una notoria diferencia entre el tiempo de rise y fall del circuito medido respecto de lo que se esperaba obtener en el integrado comercial, esto puede deberse a múltiples factores que pueden estar mejor resueltos en el integrado, debido a la cercanía de sus componentes y la facilidad del fabricante de controlar los parámetros de cada etapa a su necesidad. Además las puntas del osciloscopio hacen que la medición de dichos tiempos tan cortos se vean drásticamente modificadas, esto ya se vió en la sección destinada al Latch SR, en donde el tiempo de propagación medido con puntas x10 fue de 75ns pero medido con puntas x1 fue de 147ns. Con respecto a los tiempos de propagación la diferencia se encuentra dentro de lo esperado debido a las ventajas ya mencionadas que presenta el fabricante a la hora de diseñar el integrado.

7. Ejercicio 7

7.1. Introducción

En la presente sección se desarrolla la implementación de dos contadores de 3 bits, uno síncrono y otro asíncrono. Se analizan diferencias de funcionamiento entre ambos y se cuantifica la máxima velocidad de operación de cada uno.

7.2. Diseño

A continuación se explican los circuitos utilizados para cada implementación.

7.2.1. Contador asíncrono

Para la implementación del contador asíncrono se parte del circuito de la Figura 31. Tomando $N = Q_2Q_1Q_0$, este contador cuenta de 0 a 7 y luego vuelve a comenzar. Se trata de un contador asíncrono porque, como se puede observar, sólo el primer Flip-Flop tiene su entrada de CLK conectada a la señal de clock, mientras que los demás se activan con un flanco ascendente de $\overline{Q_{n-1}}$, es decir, un flanco descendente de Q_{n-1} . Por lo tanto, tomando como ejemplo el caso de que tenga que activarse el último Flip-Flop, a éste le llega el flanco ascendente luego del retardo de los dos primeros, con lo que no hay sincronismo.

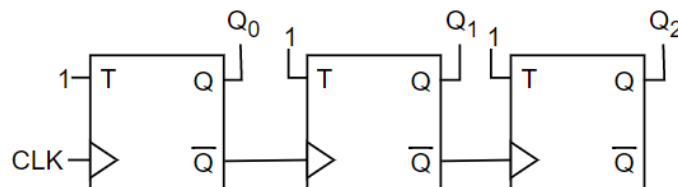


FIGURA 31: Circuito de un contador asíncrono de 3 bits.

Como solamente se dispone de circuitos integrados Flip-Flop D, se utilizan éstos para obtener los Flip-Flop T que utiliza el circuito. Para ello, se busca una función lógica que relacione la entrada T y la salida Q con la entrada D que debe tener el integrado para que el circuito se comporte como un Flip-Flop T. La tabla de verdad de dicha función se muestra en la Tabla 12.

T	Q	D
0	0	0
0	1	1
1	0	1
1	1	0

TABLA 12: Tabla de verdad para hacer un FFT a partir de un FFD.

De la tabla de verdad se obtiene que:

$$D = T \oplus Q \quad (3)$$

Por lo tanto, se obtiene un Flip-Flop T a partir de un Flip-Flop D mediante el circuito de la Figura 32.

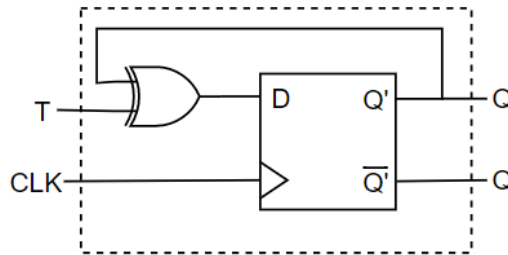


FIGURA 32: Circuito para hacer un FFT a partir de un FFD.

Por lo tanto, el circuito definitivo a implementar para el contador síncronico es el de la Figura 33

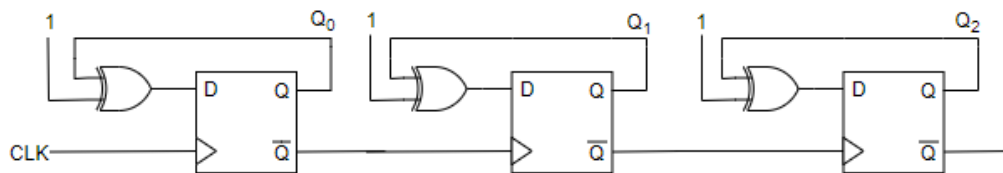


FIGURA 33: Contador asincrónico con FFD.

7.2.2. Contador síncronico

Para el contador asincrónico, se parte del contador de la Figura 34, donde como todos los Flip-Flops están conectados a la señal de clock, se evidencia el sincronismo que le da el nombre a este tipo de contadores. Se trata al igual que en el caso anterior de un contador de 3 bits que cuenta de 0 a 7 y se reinicia. Se incluye en el circuito el bit Z, que vale 1 en el tick anterior a que se reinicie el contador, podría ser de utilidad dependiendo de la aplicación.

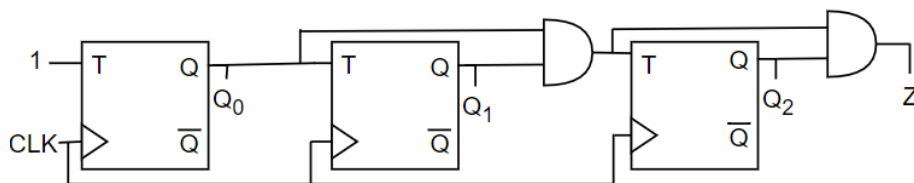


FIGURA 34: Circuito contador síncronico de 3 bits.

Al igual que en la Subsección 7.2.1, se utilizan Flip-Flops D para realizar las Flip-Flops T, de modo que el circuito definitivo es el de la Figura 35.

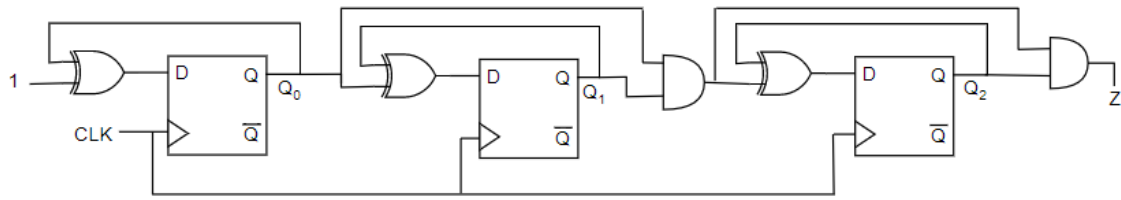


FIGURA 35: Circuito del contador sincrónico con FFD.

7.2.3. Implementación

Antes de la realización se simuló el circuito en Proteus para verificar su correcto funcionamiento, en la Figura 36 se muestra la simulación.

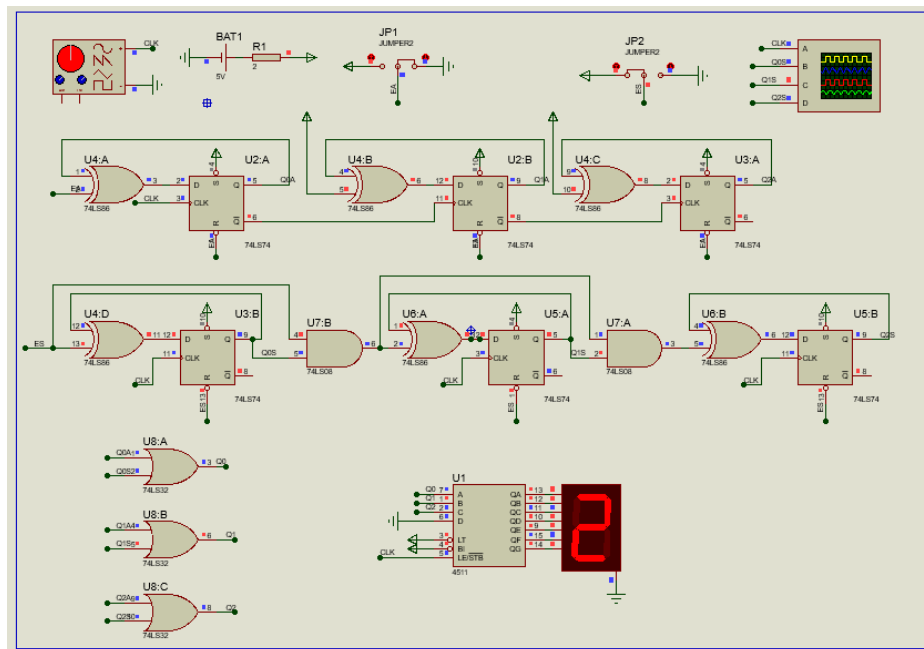


FIGURA 36: Simulación en Proteus.

Para la implementación de los contadores se utilizan compuertas AND, XOR y Flip-Flops D de tecnología Low Shottky TTL y se muestra la cuenta en un display LED 7 segmentos. En la Figura 37 se muestra una captura de las placas andando.



FIGURA 37: Implementación.

7.3. Análisis de resultados

A continuación se muestran las mediciones del funcionamiento de cada contador y sus correspondientes tiempos de propagación, a partir de los cuales se puede obtener la máxima velocidad de operación.

7.4. Contador asincrónico

En el caso del contador asincrónico, se mide el tiempo entre los flancos ascendentes del clock y la respuesta de la señal Q_2 , que por acarrear los retardos de los otros dos Flip-Flops, es el que mayor retardo presenta. Ésto se puede comprobar en la Figura 38, donde se observan la señal de clock, los bits Q_0 y Q_2 , y se puede apreciar cómo éste último presenta un tiempo de propagación mayor desde el flanco ascendente de la señal de clock.

FIGURA 38: Clock (amarillo), Q_0 (verde) y Q_2 (violeta).

Para la medición del tiempo de retardo, se mide el tiempo desde que la señal de clock vale el promedio entre su valor bajo y alto, hasta que la salida toma el valor V_{OH} . Para fijar los valores de

tensión necesarios para medir, se miden los parámetros mencionados del clock, y se busca el valor mínimo de V_{OH} en la [hoja de datos del fabricante](#). Dichos valores se muestran en la Tabla 13.

Parámetro	Valor [V]
V_{CLK0}	25m
V_{CLK1}	5,1
$V_{CLK50\%}$	2,5625
V_{OH}	2,7

TABLA 13

Por lo tanto, se mide el tiempo entre que la entrada vale 2,5625V hasta que la salida vale 2,7V. En la Figura 39 se muestra la medición del tiempo de retardo del bit Q_2 , de donde se tiene que:

$$t_P = 63,3ns \quad (4)$$



FIGURA 39: Medición del tiempo de retardo del contador asincrónico.

El valor medido está dentro de lo esperado ya los tiempos de propagación típicos de los Flip-Flop, t_{PLH} y t_{PHL} , son de 14ns y 20ns, respectivamente. Teniendo en cuenta que cuando Q_2 se activa, Q_0 y Q_1 pasan al nivel bajo, el tiempo de propagación del circuito para Flip-Flops típicos sería de:

$$t_{TIP} = t_{PLH} \cdot 2t_{PHL} = 74ns \quad (5)$$

Teniendo el tiempo de propagación, para determinar la velocidad máxima de operación se pueden tomar distintos criterios. En éste caso se busca asegurar una velocidad máxima para la cual la salida del contador tenga un valor estable en los flancos descendentes de clock, para que al utilizar éste

contador se pueda detectar leer la salida de forma sincrónica. Tomando éste criterio, la máxima frecuencia de operación viene dada por:

$$f_{max} = \frac{1}{2 \cdot t_p} = 7,9MHz \quad (6)$$

7.5. Contador sincrónico

En la Figura 40 se encuentra la señal de clock y los 3 bits del contador para la cuenta de 0 a 7, se muestra qué valor toma la cuenta en cada período de la señal de clock.

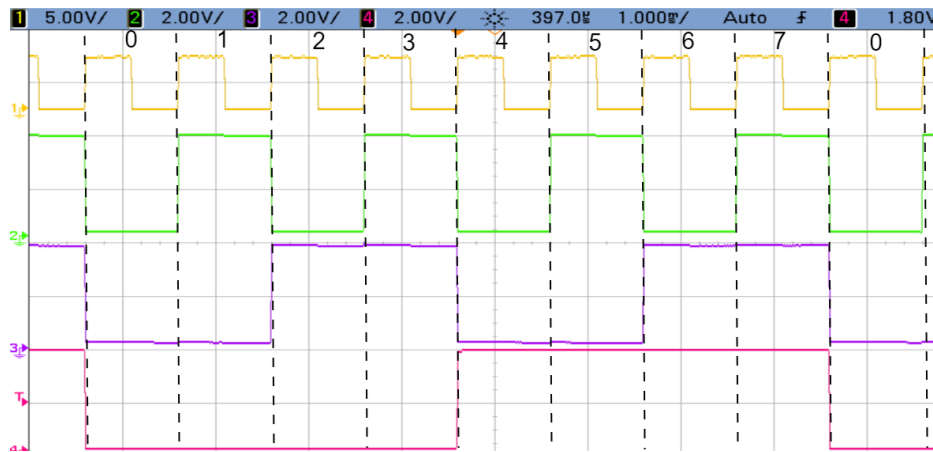


FIGURA 40: Señal de clock (amarillo) y los 3 bits del contador.

Para la medición se toman los mismos parámetros que en la Subsección 7.4. En la Figura 41 se muestra la medición del tiempo de propagación del bit Q_0 , que es de $32,8ns$.

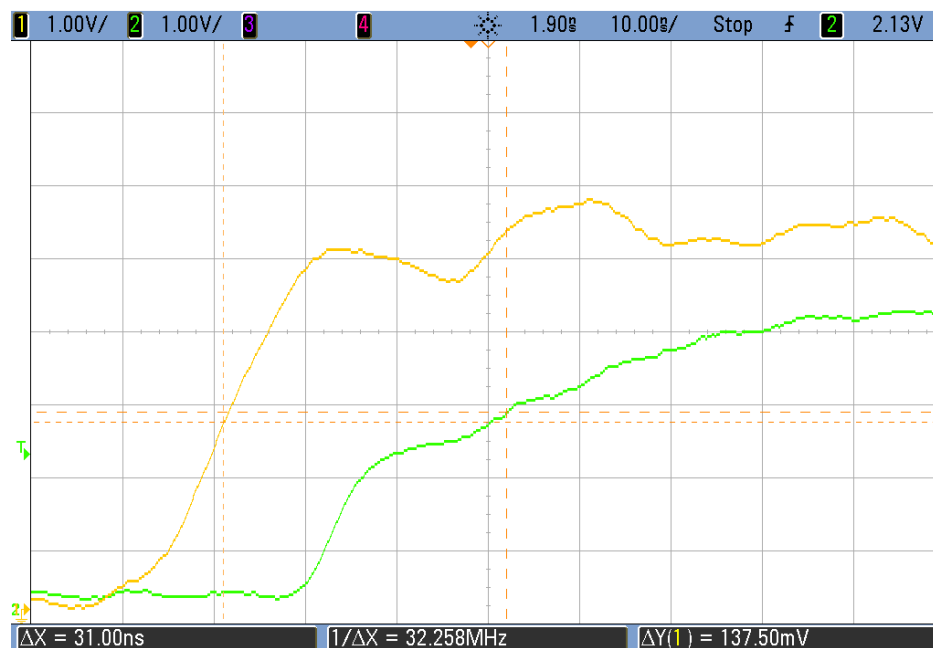


FIGURA 41: Medición del tiempo de propagación del bit Q_0 del contador sincrónico.

Si bien por ser sincrónico éste tiempo debería ser igual para los 3 bits, se midieron los otros dos bits de la misma forma y se obtuvieron los valores de la Tabla 14.

Bit	$t_p(\text{ns})$
Q_0	32,8
Q_1	31
Q_2	38,1

TABLA 14: Tiempo de propagación de cada bit del contador sincrónico.

De los valores medidos, el retardo de Q_2 determina la máxima velocidad de operación por ser el mayor. Adoptando el mismo criterio que en el contador asincrónico, para la máxima velocidad de operación del contador se obtiene mediante la Ecuación 6 que:

$$f_{\max} = 13,12\text{MHz}$$

7.6. Resumen y conclusión

En la siguiente tabla se muestran los valores obtenidos en las mediciones de cada contador.

Contador	t_p	f_{\max}
Asincrónico	63,3ns	7,9MHz
Sincrónico	38,1ns	13,12MHz

Como se esperaba a priori, se observó que el contador sincrónico presenta un menor tiempo de propagación, por lo que en caso de querer trabajar en frecuencias muy altas es importante tener ésto en cuenta.