

0.1. Introducción

0.1.1. Contadores

Los contadores son dispositivos digitales capaces de almacenar la cantidad de pulsos que este recibe. Como todo almacenamiento digital que requiere de memoria, los contadores están generalmente constituidos por varias celdas de almacenamiento de 1 bit, comúnmente fabricadas con JK flip-flops. Se puede contemplar la implementación de un JK flip-flop en la Figura (1) utilizando solamente compuertas lógicas discretas.

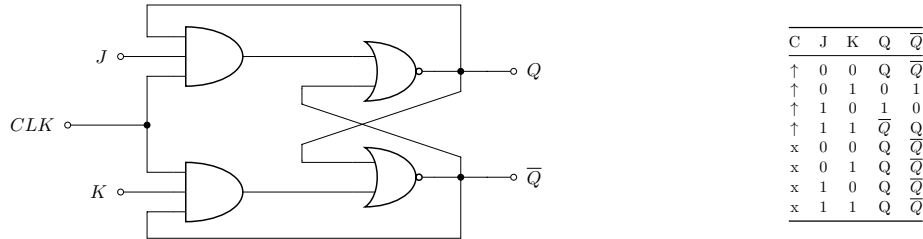


Figura 1: Implementación de un JK flip-flop con una totalidad de 8 compuertas lógicas discretas (teniendo en cuenta la implementación de las compuertas AND de tres entradas junto a la corrección de delay).

La cantidad de flip-flops necesaria para construir un contador está ligada al mayor número que el dispositivo puede almacenar. Si se quiere contar hasta el número N , el contador tendrá que disponer como mínimo de $\lceil \log_2(N) \rceil$ flip-flops. Cabe destacar que existen dos tipos de contadores: asíncronos y síncronos. Estos son presentados a continuación.

0.1.2. Contadores Asíncronos

Los contadores asíncronos poseen un único flip-flop cuya entrada está conectada al generador de pulsos, propagándose la información provista por este a través del resto para aumentar el contador. Es por esta razón que a los contadores asíncronos se los suele denominar también como contadores por propagación o *ripple counters* en inglés.

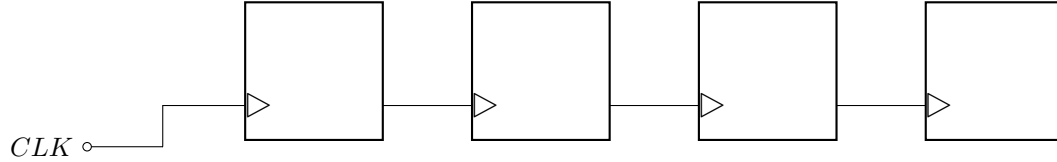


Figura 2: Conexión entre flip-flops para un contador asíncrono.

Como los pulsos deben de propagarse a lo largo de varias compuertas lógicas, sucede que para cada incremento en el contador, no todos los bits del dato almacenado cambian al mismo instante. En la Figura (3) se esquematiza este efecto para un contador que transita de almacenar un 0111_2 a almacenar un 1000_2 .

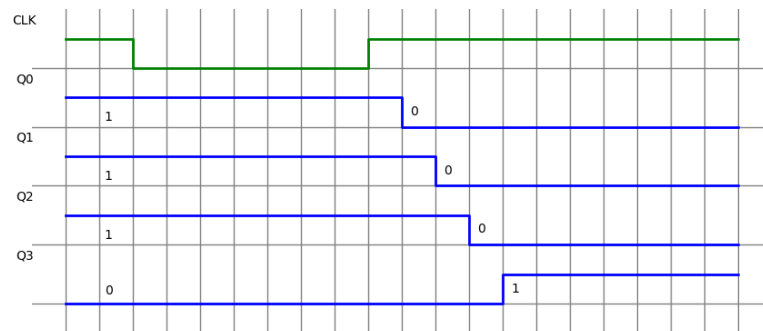


Figura 3: Propagación de un pulso recibido a través de un contador asíncrono para la palabra almacenada transitando del estado $(7)_{10}$ al estado $(8)_{10}$.

Debido a este fenómeno, las implementaciones asíncronas de contadores no son del todo fidedignas. Sin embargo, abundan como divisores de frecuencia, ya que la salida de cada flip-flop resulta ser la frecuencia de los pulsos de entrada dividida por una potencia de dos. Otra desventaja de los contadores asíncronos está directamente relacionada con la anterior y es que, debido al fenómeno de propagación, estos dispositivos se vuelven mucho más lentos en comparación a otros tipos de contadores. No obstante, la ventaja de esta implementación es que estos dispositivos son muy simples y fáciles de construir.

0.1.3. Contadores Síncronos

Los contadores síncronos poseen todos sus flip-flops conectados al generador de pulsos. Por esta razón, se elimina la propagación presente en los contadores asíncronos y los problemas que este fenómeno deriva.

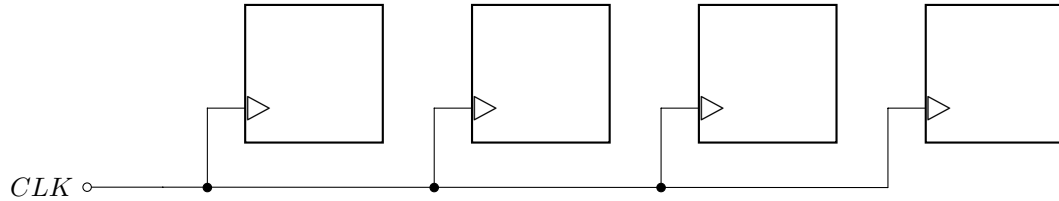


Figura 4: Conexión entre flip-flops para un contador síncrono.

Es por esta razón que no solo los contadores síncronos son una implementación segura para contar, sino que también son más rápidos que su contraparte asíncrona. No obstante, la complejidad de estos dispositivos aumenta.

0.2. Implementaciones y Mediciones

En las Figuras (5) y (6) se pueden observar las implementaciones realizadas. Caben aclarar dos cosas. La primera y la más importante es que la implementación de estos contadores fue realizada en una primera instancia **con compuertas lógicas discretas tal cual era solicitado**. Para esto, se utilizaron los integrados [CD4073BM](#) (Triple 3-Input AND gate) y [SN74HC02N](#) (Quadruple 2-Input NOR gate). La segunda aclaración es que, por un problema de espacio y simplicidad en las Figuras (5) y (6), no se observan las compuertas lógicas discretas, no obstante la implementación realizada consta de que cada flip-flop fue realizado acorde a la Figura (1).

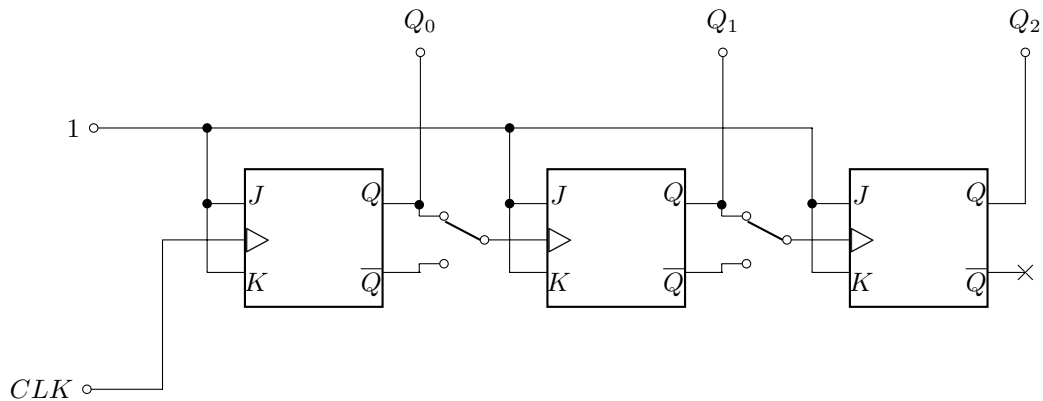


Figura 5: Implementación de contador asíncrono UP/DOWN.

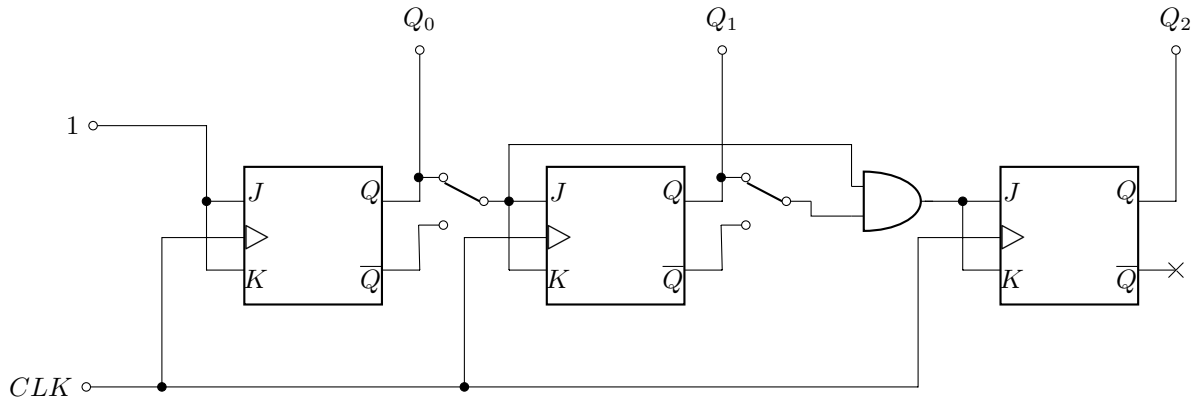


Figura 6: Implementación de contador síncrono UP/DOWN.

Sin embargo, tanto para la simulación realizada con el software *Proteus 8*, como con el software *LTSpiceXVII*, no se logró el correcto funcionamiento del circuito por más que en el papel, tanto la implementación de la Figura (1) como las vistas anteriormente, funcionaran. Se intentó utilizar tanto resistencias de pull-up/pull-down de distintos valores, como capacitores de desacople sin caso. No obstante, se decidió realizar la placa. No se logró un correcto funcionamiento en esta, por lo que se decidió realizar un solo contador en un protoboard, con el cual tampoco se obtuvieron resultados coherentes.

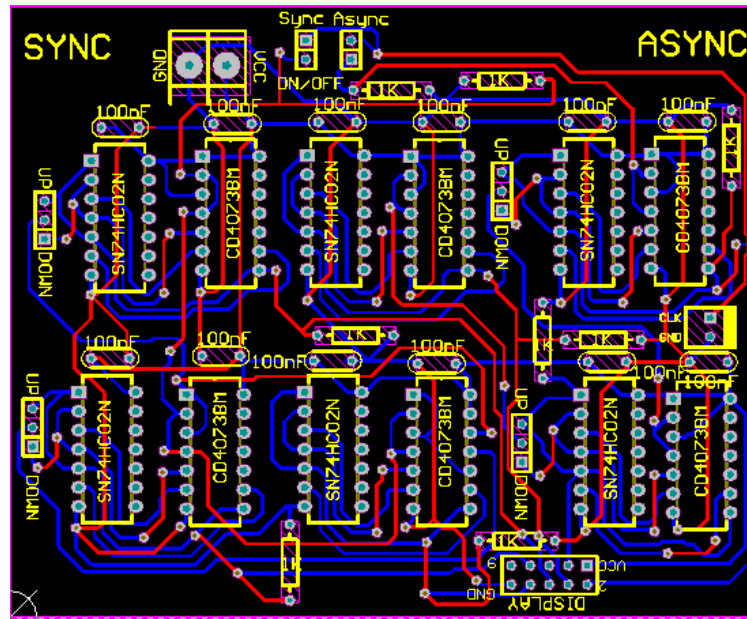


Figura 7: PCB realizado con compuertas lógicas discretas.

Es por esta razón que se decidió calcular la máxima velocidad de operación de manera teórica dada la implementación propuesta, para luego, en una segunda instancia, realizar los circuitos de las Figuras (5) y (6) utilizando JK flip-flops integrados y medir tanto la velocidad de propagación en el contador por propagación como la máxima velocidad de operación de ambos contadores.

0.2.1. Máxima Velocidad de Operación Teórica

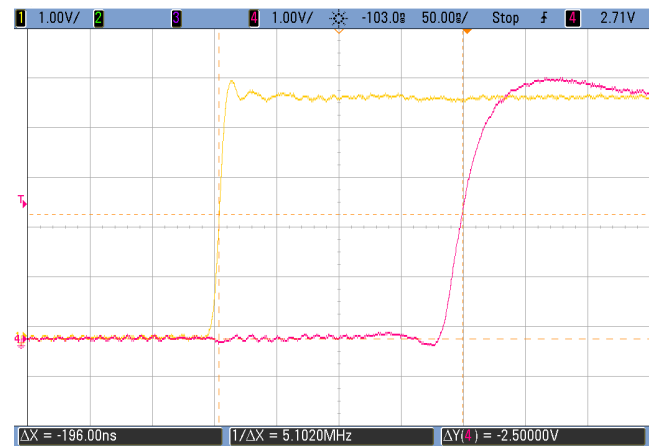
Los tiempos de propagación teóricos fueron extraídos de las hojas de datos de los integrados utilizados y tomado siempre el peor caso, siendo estos de 27 ns para una compuerta NOR y de 250 ns para una compuerta AND de tres entradas. Se calculó en una primera instancia el tiempo de propagación al realizar la acción de *toggle* de un solo JK flip-flop, obteniéndose un valor de 277 ns para el establecimiento de Q al valor previo de \bar{Q} . Luego, se calculó la cantidad de tiempo entre un flanco ascendente de la señal de clock proporcionada al contador asíncrono y síncronico, y el teórico cambio del bit Q_2 de ambos contadores para el caso presentado en la Figura (3). Los tiempos obtenidos fueron de 304 ns para el contador síncronico y 831 ns para el contador asíncrono, poniendo en evidencia no sólo lo

mucho más lento que es el contador asíncrono sino cuánto más rápido es un JK flip-flop integrado a uno implementado con compuertas lógicas discretas, ya que los integrados poseen un tiempo de propagación típico menor a 100 ns .

0.2.2. Segunda Implementación y Mediciones



(a) Implementación de contador medida.



(b) Tiempo de propagación para el contador asíncrono.

Para la implementación con flip-flops integrados se utilizó el integrado [CD4027](#). Esta implementación funcionó correctamente y se lograron medir los siguientes tiempos de propagación

$$tp_{jk} = 81\text{ ns}$$

$$tp_{async} = 196\text{ ns}$$

$$tp_{sync} = 94\text{ ns}$$

En consecuencia, se concluye que la máxima velocidad de operación será de 5 MHz .