

# Instituto Tecnológico de Buenos Aires

22.13 ELECTRÓNICA III

---

## Trabajo práctico N°1

---

*Grupo 3*

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
MARTORELL, Ariel	56209
LONDERO BONAPARTE, Tomás Guillermo	58150

*Profesores*

DEWALD, Kevin  
WUNDES, Pablo Enrique  
AGUIRRE, Miguel Pablo

Presentado: /19

# Índice

<b>1. Ejercicio 1</b>	<b>2</b>
1.1. Introducción . . . . .	2
1.2. Comparación tecnologías. . . . .	2
1.3. Circuitos Propuestos. . . . .	2
1.4. Diseño PCB. . . . .	2
1.5. Observables de interés. . . . .	3
1.6. Análisis de resultados. . . . .	5
<b>2. Ejercicio 2</b>	<b>6</b>
<b>3. Ejercicio 3</b>	<b>7</b>
<b>4. Ejercicio 4</b>	<b>8</b>
<b>5. Ejercicio 5</b>	<b>9</b>
<b>6. Ejercicio 6</b>	<b>10</b>
6.1. SR-Latch . . . . .	10
6.2. Flip Flop D . . . . .	10
<b>7. Ejercicio 7</b>	<b>12</b>
<b>8. Ejercicio 8</b>	<b>13</b>

## 1. Ejercicio 1

### 1.1. Introducción

En esta sección se implementó una compuerta **NOT** utilizando diversas tecnologías, siendo estas TTL (Transistor-Transistor-Logic), RTL (Resistor-Transistor-Logic) mediante transistores BJT (Bipolar Junction Transistor) y finalmente una variación de RTL utilizando un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

### 1.2. Comparación tecnologías.

Usaremos dos tipos de transistores, siendo estos BJT y MOSFET.

- Los BJT son controlados por corriente, mientras que los MOS son controlados por tensión.
- Los BJT tienen una respuesta mas veloz ante un cambio en su modo de funcionamiento<sup>1</sup> que los MOS dado a que poseen una menor capacidad.
- Los transistores MOS tienen una mayor estabilidad frente a la temperatura que los BJT.
- Los transistores BJT cuentan con una corriente de polarización de base que los MOS no tienen ( $I_g = 0$ ).
- La impedancia de entrada de los MOS es mucho mayor que la de los BJT.

### 1.3. Circuitos Propuestos.

Los circuitos propuestos son los siguientes:

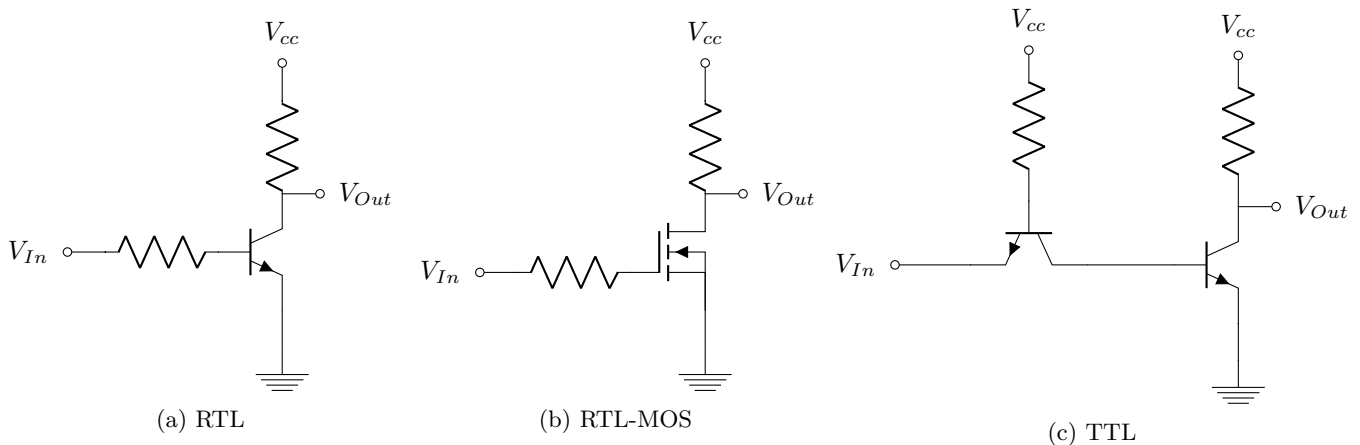


Figura 1: Circuitos propuestos

### 1.4. Diseño PCB.

Se implementó en un único PCB los 3 circuitos, que corresponden al siguiente esquemático:

<sup>1</sup>Saturación y corte



Figura 2: Esquemático y PCB.

### 1.5. Observables de interés.

Se seleccionaron como observables de interés los siguientes parámetros:

1. High-level input voltage
2. Low-level input voltage
3. High-level output voltage
4. Low-level output voltage
5. Noise Margin
6. Propagation delay High to Low
7. Propagation delay Low to High
8. Transition delay High to Low
9. Transition delay Low to High
10. Maximum output current

Las mediciones de estos observables se realizaron de la siguiente manera. Para las mediciones de (1), (2), (3), (4) y (5) se utilizó una rampa la cual iba de un valor ligeramente inferior a 0V hasta 5 V, la razón de esto, es que dado a que se utilizó una rampa, contiene un salto en el cambio de periodos el cual contiene altas frecuencias y puede causar problemas, agregando ese pequeño tiempo en el cual la tensión es menor a 0V se alcanza a estabilizar la señal. La figura (3) es un ejemplo de una de las mediciones.



Figura 3: Medición niveles de tensión.

A partir de esta medición, se tomó el módulo de las señales y se graficó la señal de entrada en función de la salida, como se ve a continuación.

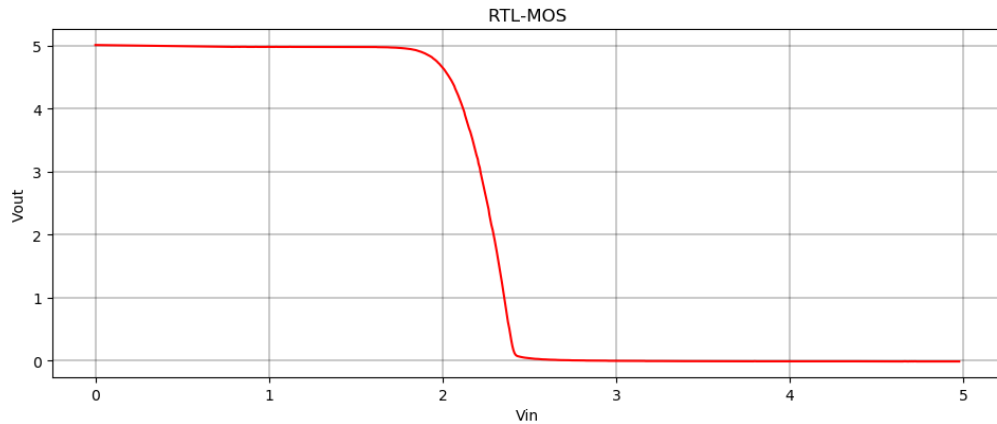


Figura 4: Medición entrada-salida.

finalmente a partir de esta imagen se buscó donde la pendiente es  $45^\circ$ , de allí se obtuvo (1), (3), (2) y (4), realizando la resta de (1) con (3), y de (2) con (4) se obtienen los márgenes de ruido (5).

Luego para (6),(7),(8) y (9) se midió la salida, con una cuadrada a la entrada como se ve en la siguiente figura:

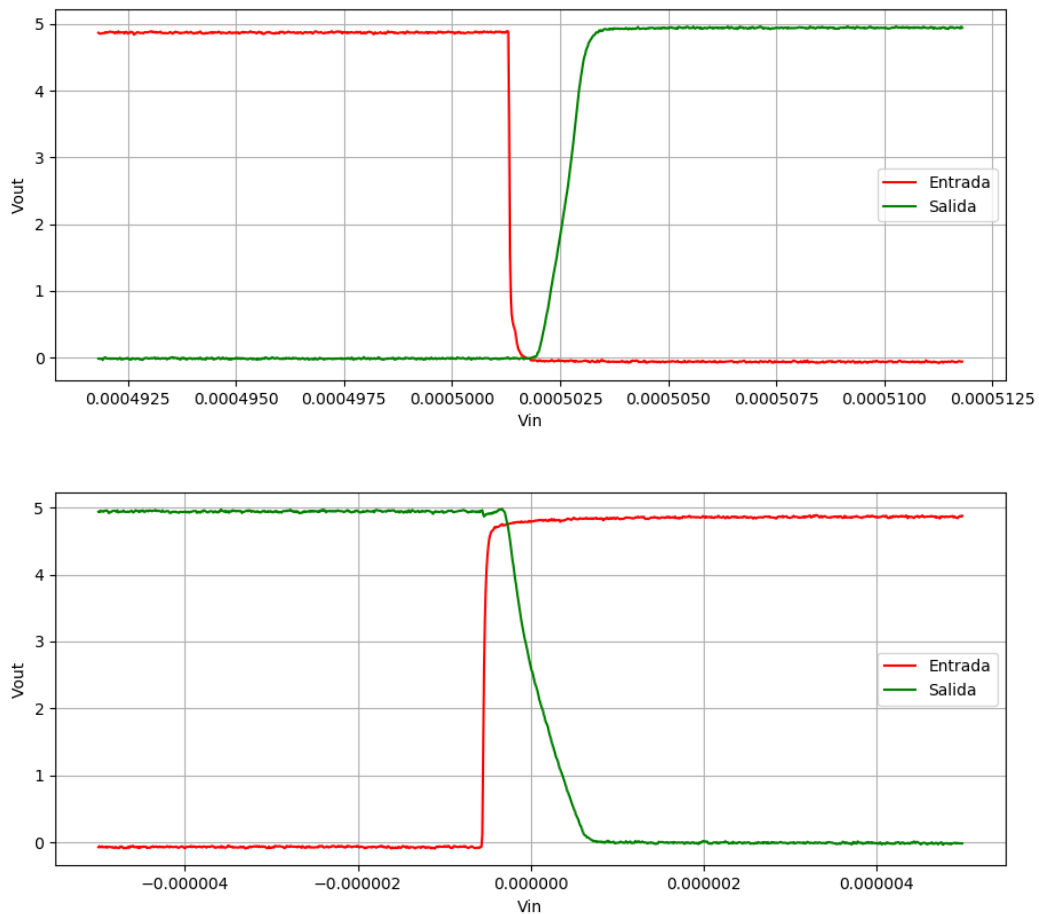


Figura 5: Medición tiempo de propagación y transición.

Tomando el tiempo de propagación medido al 50 % de la señal y el tiempo de transición medido entre el 10 ~ 90 %. Para la medición del tiempo de propagación existe una medición la cual dio un valor menor al tiempo de rise del

osciloscopio, este resultado debe ser interpretado una cota del tiempo y no el valor exacto.

Finalmente se colocó un trimmer de 50k $\Omega$  utilizandolo como carga, se varió su impedancia hasta que el valor de tensión de la salida se encuentre por debajo del High Level output Voltage. A partir de este valor de tensión y la resistencia del trimmer, se obtiene la corriente máxima de salida.

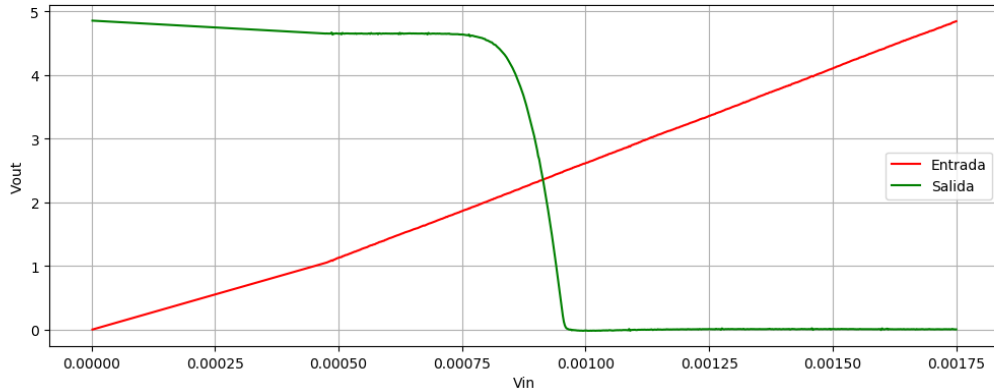


Figura 6: Medición corriente máxima de salida.

## 1.6. Análisis de resultados.

Para realizar una comparación entre los modelos propuestos, se utilizarán los observables de interés definidos en la sección (1.5) utilizando la siguiente tabla:

<i>Sin carga</i>			
Tecnología	RTL	RTL-MOS	TTL
High-level input voltage	864 mV	2.49 V	595 mV
Low-level input voltage	454 mV	1.95 V	413 mV
High-level Output voltage	4.96 V	4.89 V	4.96 V
Low-level Output voltage	191 mV	72.1 mV	34.5mV
Noise Margin High	4.01 V	2.34 V	4.37 V
Noise Margin Low	263 mV	1.88 V	378 mV
Propagation delay High to Low	76.93 nS	569.51 nS	1.82 nS
Propagation delay Low to High	2.0489 $\mu$ S	1.33 $\mu$ S	535 nS
Transition delay High to Low	87.28 nS	734.4 nS	38.36 nS
Transition delay Low to High	605 nS	909 nS	307 nS
Maximum output current	184.4 $\mu$ A	217 $\mu$ A	135.5 $\mu$ A

<i>Con carga</i>			
Tecnología	RTL	RTL-MOS	TTL
High-level input voltage	840 mV	2.48 V	627.5 mV
Low-level input voltage	478.7 mV	2.01 V	490 mV
High-level Output voltage	4.98 V	4.86 V	4.95 V
Low-level Output voltage	278 mV	151 mV	72 mV
Noise Margin High	4.14 V	2.52 V	4.32 V
Noise Margin Low	200.7 mV	514.9 mV	417.3 mV
Propagation delay High to Low	260.7 nS	625.7 nS	33.6 nS
Propagation delay Low to High	2.615 $\mu$ S	1.652 $\mu$ S	1.216 $\mu$ S
Transition delay High to Low	183.817 nS	417.19 nS	73.12 nS
Transition delay Low to High	2.691 $\mu$ S	2.831 $\mu$ S	2.687 $\mu$ S
Maximum output current	187.2 $\mu$ A	216 $\mu$ A	135.2 $\mu$ A

Las diferencias entre los parámetros para las tres tecnologías son notables,

**TOMI AUXILIO**

## 2. Ejercicio 2

### 3. Ejercicio 3



## 4. Ejercicio 4

## 5. Ejercicio 5

## 6. Ejercicio 6

Es esta sección se implementará un SR-Latch y un Flip Flop D utilizando compuertas.

### 6.1. SR-Latch

Un Latch-SR es un elemento de memoria asincrónico, con dos inputs (S-R) también conocido con Set-Reset Latch. Le corresponde la siguiente tabla de verdad:

S	R	$Q_n$
0	0	$Q_{n-1}$
0	1	0
1	0	1
1	1	0

Se propusieron dos circuitos de implementación siendo uno implementado con NOR y uno con NAND con la intención de no solo comparar los observables de interés con un modelo comercial sino también entre distintos tipos de compuertas. Siendo los siguientes circuitos:<sup>2</sup>:

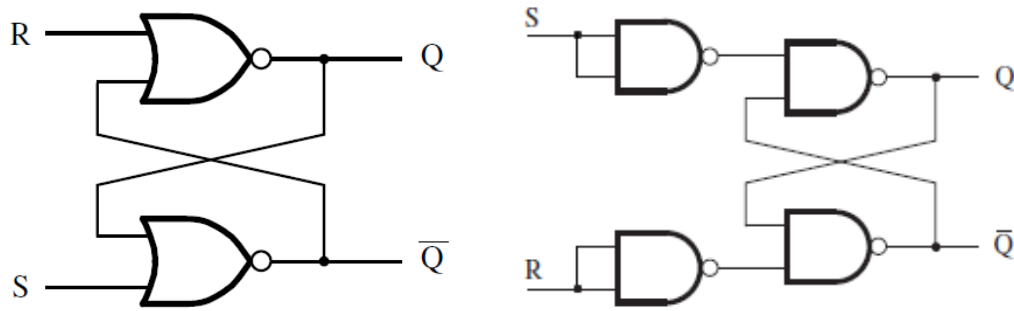


Figura 7: Circuito Propuesto SR-Latch.

Se llevará a cabo utilizando compuertas NOR y NAND, se eligió el integrado 74HC02 debido a que es High-Speed y no es necesario compatibilidad con TTL, como se analizó en el punto (2).

Se tomarán como observables de interés el tiempo de propagación:

$$t_{p-SQ} : S \Rightarrow Q \quad \wedge \quad t_{p-RQ} : R \Rightarrow Q \quad (1)$$

Estos tiempos serán comparados con un integrado 74HC279 el cual contiene 4 SR-Latch.

Las mediciones hechas se ven en la siguiente tabla:

	Circuito NOR	Circuito NAND	74HC279
$t_{p-RQ}$	8.3nS	43.2ns	8nS
$t_{t-RQ}$	4.83nS	4nS	14nS
$t_{p-SQ}$	24.24nS	18ns	15nS
$t_{t-SQ}$	11nS	4ns	8nS

Es notable que los tiempos son bastante similares, el espacio que ocupan no lo es, dado que toma el doble de integrados para la misma cantidad de Latches.

### 6.2. Flip Flop D

Un Flip Flop D es un elemento de memoria sincrónico, cuenta con 2 entradas siendo una de clock y la otra de la información (Data). Le corresponde la siguiente tabla de verdad:

<sup>2</sup>Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.250-251.

Clock	D	$Q_n$
↓	X	$Q_{n-1}$
↑	0	0
↑	1	1

El circuito propuesto de implementación es el siguiente:<sup>3</sup>:

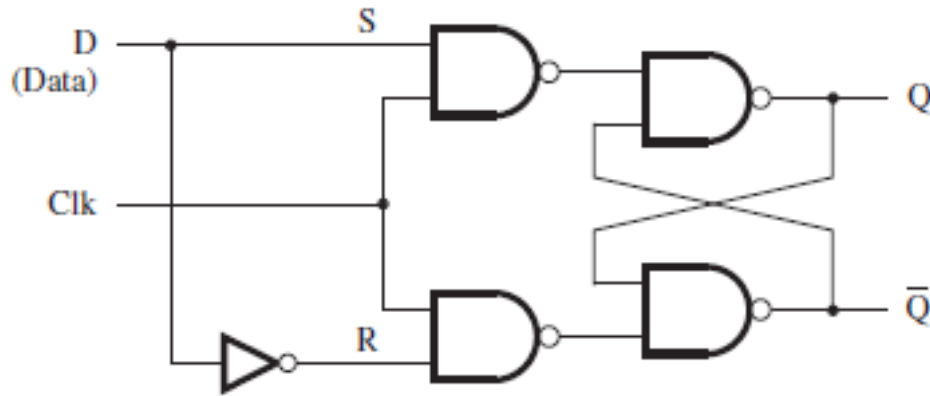


Figura 8: Circuito Propuesto Flip Flop D.

Se llevará a cabo utilizando compuertas NAND, se eligió el integrado **74HC132** debido a que es High-Speed y no es necesario compatibilidad con TTL, como se analizó en el punto (2). También para el clock se realizó un edge-Detector implementado con el siguiente circuito:

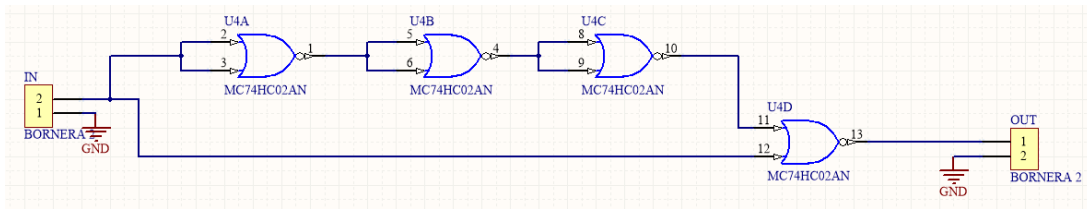


Figura 9: Edge detector.

El cual es anexo al circuito implementado con NANDS del latch SR.

Se tomarán como observables de interés el tiempo de propagación y de transición:

$$t_{p-DQ} : D \Rightarrow Q \quad t_{t-DQ} : Q = 0 \Rightarrow Q = 1 \quad (2)$$

En cuanto a la medición de estos tiempos, se tuvo la problemática de que el rise time de las compuertas eran menores que el rise time del osciloscopio, en algunas de ellas se logró conseguir un osciloscopio con mayor ancho de banda lo cual mejoró las mediciones.

Estos tiempos medidos serán comparados con un integrado **74HC374** el cual contiene 8 Flip Flop D. Las mediciones hechas se ven en la siguiente tabla:

	Circuito	74HC374
$t_{p-DQ}$	23.6nS	16nS
$t_{t-DQ}$	4.43nS	5nS

<sup>3</sup>Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.254-256.

## 7. Ejercicio 7

## 8. Ejercicio 8