

Instituto Tecnológico de Buenos Aires

22.13 ELECTRÓNICA III

Joystick HW-504

Grupo 3

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
MARTORELL, Ariel	56209
LONDERO BONAPARTE, Tomás Guillermo	58150

Profesores

DEWALD, Kevin
WUNDES, Pablo Enrique
AGUIRRE, Miguel Pablo

Presentado: 26/10/19

Índice

1. Diseño e Implementación de un Conversor Analógico-Digital	2
1.1. Introducción	2
1.2. Joystick HW-504	2
1.3. Diseño Propuesto	2
1.3.1. Breve Descripción	2
1.3.2. Input Driver	3
1.3.3. Generador de Clock	3
1.3.4. Divisor de Frecuencia	4
1.3.5. Integrador	4
1.3.6. Comparador	4
1.3.7. Counter	4
1.3.8. Edge Detector	5
1.3.9. Display	5
1.4. Simulaciones	5
1.5. Implementación y Mediciones	7
1.6. Conclusiones	8

1. Diseño e Implementación de un Conversor Analógico-Digital

1.1. Introducción

Los mandos de control o actualmente llamados “Joysticks” son parte fundamental de varios dispositivos electrónicos utilizados hoy en día. Consolas de videojuegos, sillas de ruedas eléctricas, aeronaves radio-controladas e incluso hasta cohetes de la NASA. En su forma más básica, un potenciómetro, los mandos de control revolucionaron, al rededor de finales de la segunda guerra mundial, la manera de controlar dispositivos digitales de manera analógica.

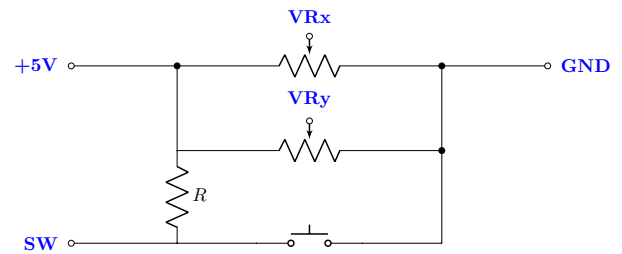
Esta sección del informe se centra en la implementación de un convertidor analógico a digital mediante el uso del Joystick HW-504.

1.2. Joystick HW-504

El mando de control utilizado está compuesto por dos potenciómetros, uno para el eje X y otro para el eje Y junto a un switch accionado al apretar el mando hacia dentro. El periférico requiere de una alimentación de 5V y puede esquematizarse como el siguiente modelo electrónico:



(a) Mando de control HW-504 utilizado.



(b) Circuito equivalente del mando HW-504 con mismos nombres que el pin-out del periférico. ^a

^aLa resistencia R es de pull-up

Como se puede observar en la Figura (1b), la tensión en los pines VR_x y VR_y será proporcional a la posición del joystick, mientras que el pin SW permanecerá en estado alto a menos que se presione el mando. Los potenciómetros del joystick son ambos de $10k\Omega$.

1.3. Diseño Propuesto

1.3.1. Breve Descripción

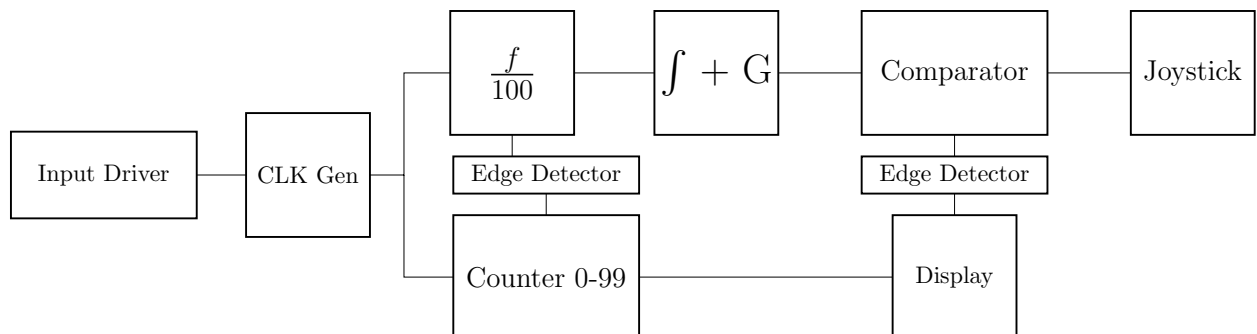


Figura 2: Diagrama en bloques del diseño propuesto.

Se propuso el diseño presentado en la Figura (2). Este consta de un generador de clock que varía entre $100Hz$ y $2KHz$ el cual es provisto a un contador BCD de dos dígitos. Este contador posee sus salidas conectadas permanentemente a un módulo de display el cual tiene una entrada de acquire, la cual al pasar a estar a un estado bajo el display muestra y guarda el último número ingresado aun así este pin pase a un estado bajo.

Por otro lado, el generador de clock está también conectado a otro módulo, el cual divide la frecuencia del clock por cien, resultando en un segundo clock sincronizado con el primero de una frecuencia variable entre $1Hz$ y $20Hz$. Esta señal cuadrada de frecuencia cien veces menor a la original, es ingresada a un integrador. Este último, genera a partir de dicha señal, una rampa la cual atraviesa posteriormente una etapa de amplificación. El valor de tensión de la rampa es permanentemente comparado con el valor de tensión del pin de posición del joystick, de tal manera que, apenas sea la tensión de la rampa mayor a la tensión provista por el joystick, el comparador pondrá su salida en un estado alto. Esta salida está conectada a un detector de flancos, y es este flanco el que ingresa al pin de acquire del display, obteniendo en este siempre la posición del joystick mapeada de 0 a 99.

Por último, la señal del contador de frecuencia dividida por cien, la cual se utiliza para la generación de la rampa, es ingresada también a otro detector de flancos el cual ingresa al pin de reset del contador BCD. Esto genera que siempre que comience la rampa el contador sea reseteado a 00.

1.3.2. Input Driver

Se buscó realizar un diseño autónomo que funcione con dos baterías de 9V. Para esto, se utilizó una etapa de entrada compuesta por el regulador de tensión [LM7805](#). Esta etapa de entrada proporcionará los 5V que alimentarán todos los integrados digitales del diseño.

1.3.3. Gerador de Clock

Para el generador de clock se utilizó el famoso integrado [NE555](#). Este integrado está compuesto por dos comparadores (cuyo funcionamiento se encuentra detallado más adelante), un SR-Latch, un transistor de descarga y finalmente un driver de salida, como se observa en la Figura (3).

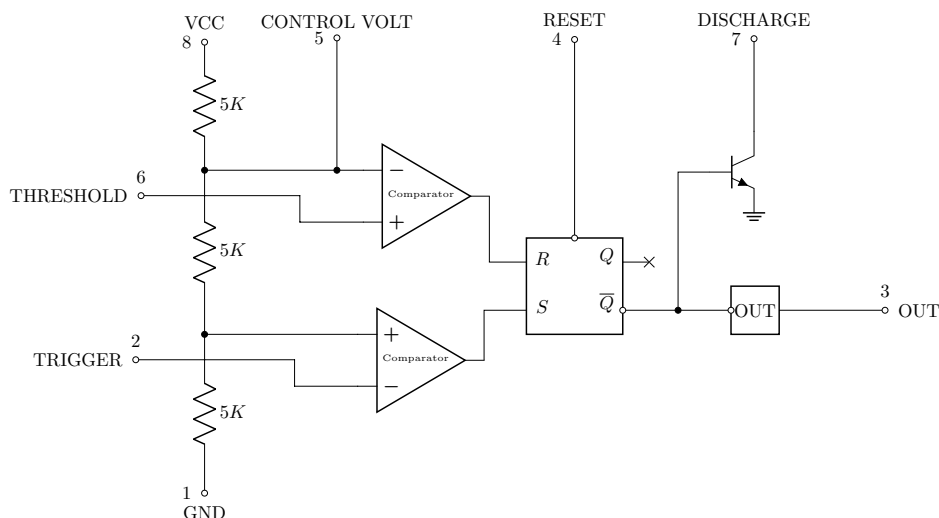


Figura 3: Diagrama en bloques del integrado 555.

Colocando un capacitor a tierra conectado al pin de trigger y threshold, se puede utilizar la carga y descarga de este para ser comparado con un nivel de tensión de referencia, en este caso $\frac{2}{3}V_{CC}$. Cuando la tensión del capacitor excede este valor, se activa el transistor de descarga del integrado, descargando rápidamente al capacitor y generando que el comparador ponga en un estado bajo a la salida del integrado. Esto provoca una señal cuadrada cuyo duty-cycle y frecuencia puede ser modificada mediante resistencias o potenciómetros que causan una carga y descarga más lenta del capacitor.

Las ecuaciones que controlan la frecuencia y duty-cycle del generador son detalladas a continuación. Cabe notar que el capacitor C y las resistencias R_1 y R_2 no se encuentran dibujadas en la Figura (3).

$$t_{on} = 0.639 \cdot C \cdot R_1 \quad (1)$$

$$t_{off} = 0.639 \cdot C \cdot (R_1 + R_2) \quad (2)$$

$$f = \frac{1}{t_{off} + t_{on}} \quad (3)$$

Se colocó un potenciómetro en la resistencia R_2 de tal manera que cuando este se encuentre en 0 % la frecuencia de la señal de salida sea de $2KHz$ mientras que si el potenciómetro se encuentra en su máxima resistencia la frecuencia

de la señal de salida sea de 100Hz . Cabe notar que cuando la frecuencia del generador de clock decrece, lo que sucede es que solamente aumenta el periodo de tiempo en el que la salida se encuentra en un estado bajo.

1.3.4. Divisor de Frecuencia

Para el divisor de frecuencia se utilizaron los dos contadores en década del integrado [CD4017BE](#). Conectando el pin de carry out, el cual se enciende una vez cada diez señales de clock, a la entrada de clock del segundo contador se logra obtener a la salida del segundo contador una señal de clock cuya frecuencia es cien veces menor a la original. Una buena característica de este diseño es que no solo el clock original esta completamente sincronizado con esta nueva señal de clock cien veces más lenta, sino que por la naturaleza del funcionamiento interno de estos contadores, el duty-cycle de este nuevo clock es siempre del 50 %. Esto prueba ser muy beneficioso a la hora de integrar esta señal para conseguir una rampa.

1.3.5. Integrador

Para la etapa de generación de rampa se decidió construir un integrador compensado con un amplificador operacional seguido de una etapa de amplificación compuesta por otro operacional en configuración inversora, ya que el integrador invierte la señal que este integra. Como la señal integrada es el segundo clock generado, y este está en sincronía con el primero, se puede efectivamente utilizar el clock original para contar cien pulsos dentro de la duración de la rampa. Los dos operacionales utilizados son los del integrado [TL-082](#).

1.3.6. Comparador

Se utilizó el integrado [LM311](#) para comparar la tensión proveniente del joystick con la tensión de la rampa. El comparador más genérico puede ser construido con un solo amplificador operacional a lazo abierto como se observa en la Figura (4).

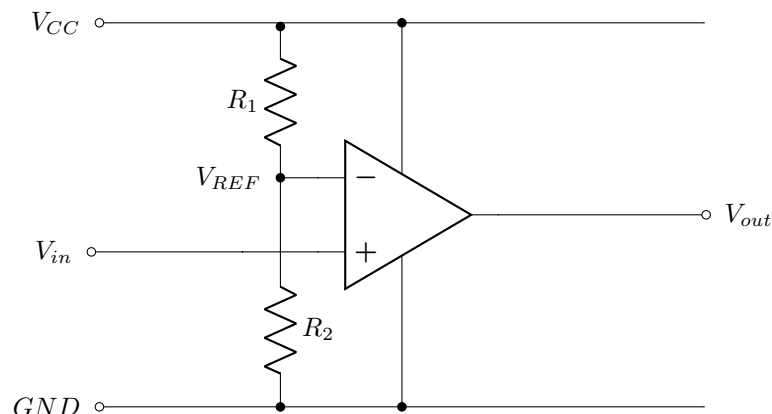


Figura 4: Amplificador operacional en configuración comparador.

Las ecuaciones que gobiernan la salida de este son:

$$V_{out} = A_0(V_{in} - V_{REF}) \approx \begin{cases} V_{CC} & \text{si } V_{in} > V_{REF} \\ 0 & \text{si } V_{in} < V_{REF} \end{cases}$$

1.3.7. Counter

Se utilizaron por comodidad contadores BCD en cascada, conectando al enable del segundo contador los pines “1” y “8” del primero, lo que efectivamente genera que el segundo contador solamente se incremente cuando el primero tenga un valor igual a 9. Se utilizaron los integrados [CD4518BE](#).

Para sincronizar estos contadores se utilizó el flanco ascendente del clock lento el cual marca el comienzo de la rampa. Este flanco es ingresado al pin de reset de ambos contadores primero siendo invertido ya que estos contadores poseen pin de reset activo bajo.

1.3.8. Edge Detector

Para los detectores de flancos se decidió utilizar particularmente un diseño entre varios propuestos. Este se detalla en la Figura (5).

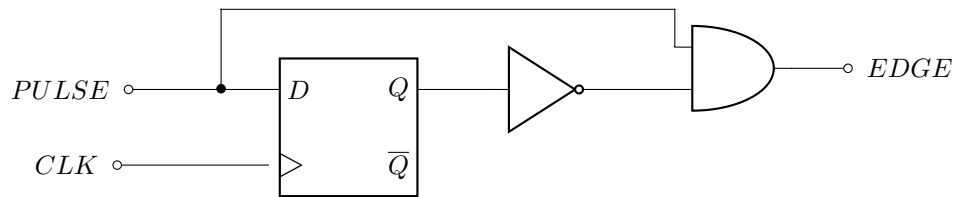


Figura 5: Detector de flancos utilizado.

El funcionamiento de este se basa en que el flanco a la salida tendrá siempre una duración menor a la del clock utilizado. Esencialmente, cuando la entrada se mantiene en bajo, el flip-flop tendrá guardado un estado bajo, por lo que al terminal de la compuerta AND le llegará un uno, mientras que a la otra terminal de la AND le llegará un cero. Cuando la señal de entrada pase a alto, la salida será alta hasta el próximo clock el cual pondrá la salida del flip-flop en bajo, poniendo un cero a la salida EDGE. El integrado utilizado fue el [CD4013BE](#).

1.3.9. Display

Se utilizaron decoders de BCD a 7 segmentos para realizar el módulo del display. La salida de los contadores es permanentemente ingresada a estos decodificadores. Sin embargo, los decoders poseen un pin que debe estar en bajo para refrescar su salida. Si este pin se encuentra en un estado alto, el decodificador no actualiza su salida, sino que mantiene a esta en el último estado en el que estuvo. Es a este pin al cual le ingresa la señal de acquire, que es la salida del comparador la cual es ingresada a un detector de flancos. Esto genera que el valor que es mostrado en los displays sea el de los contadores solamente cuando la tensión de la rampa sea igual a la del joystick. Cuando esto no se cumple, el display muestra el ultimo valor mostrado. El decoder utilizado fue el [CD74HC4511E](#). Mientras que los displays utilizados fueron los de configuración cátodo común, ya que la corriente proporcionada por los 4511 era la suficiente para encender todos los segmentos.

1.4. Simulaciones

Se simuló a cada módulo por separado. Para esto, se utilizó el software *LTSpice XVII* para lo analógico y *Proteus 8* para lo digital. El generador de rampa si bien no es totalmente lineal, asumimos la imprecisión que esto generaría como despreciable para nuestra aplicación.

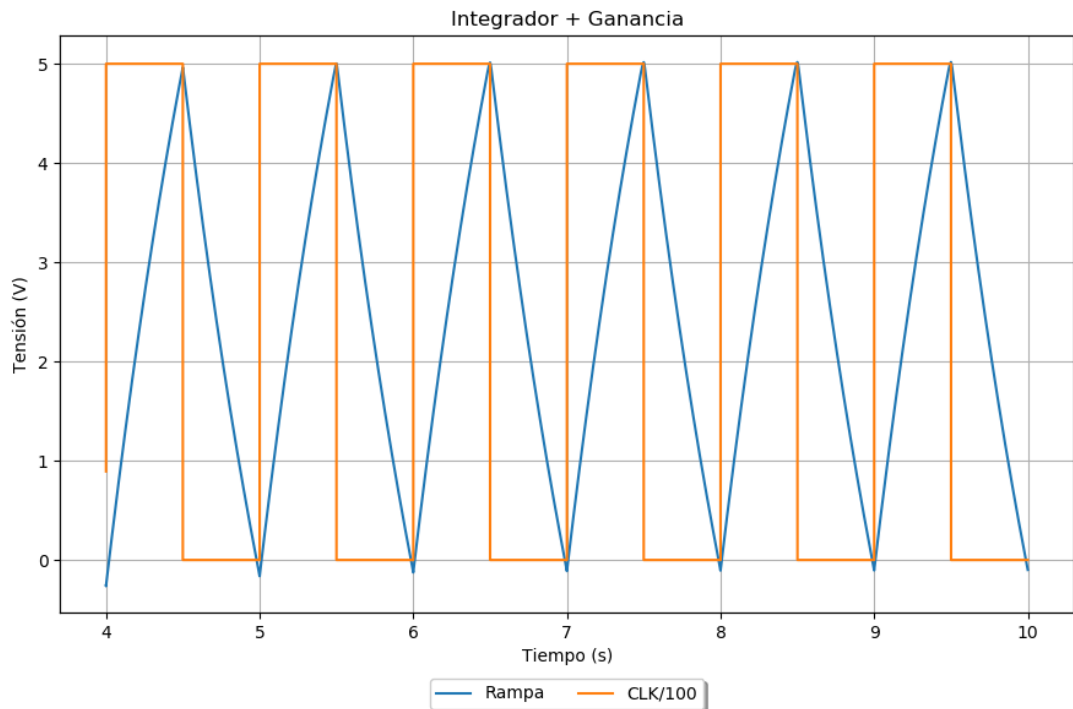


Figura 6: Simulación del generador de rampa.

Luego, el divisor de frecuencia simulado en Proteus demuestra un correcto funcionamiento. Dado un clock de 100Hz , se logra obtener otro de 1Hz .

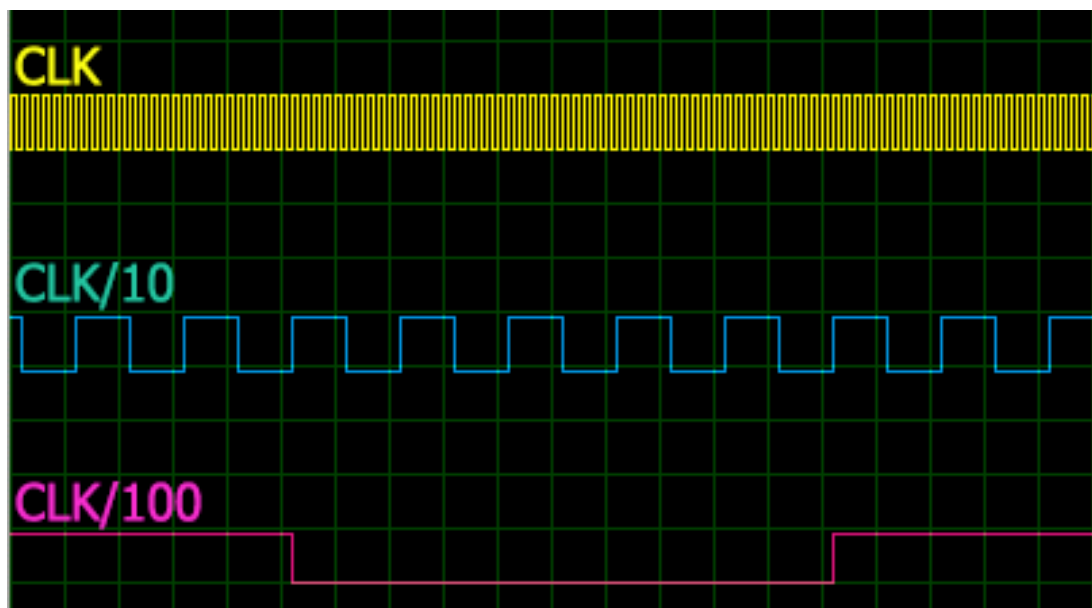


Figura 7: Simulación del divisor de frecuencia.

Para el generador de clocks se simuló con el preset tanto en su mínima resistencia como en su máxima resistencia. Se logró obtener en estas dos configuraciones una frecuencia ajustable entre 91.44Hz y 1993Hz .

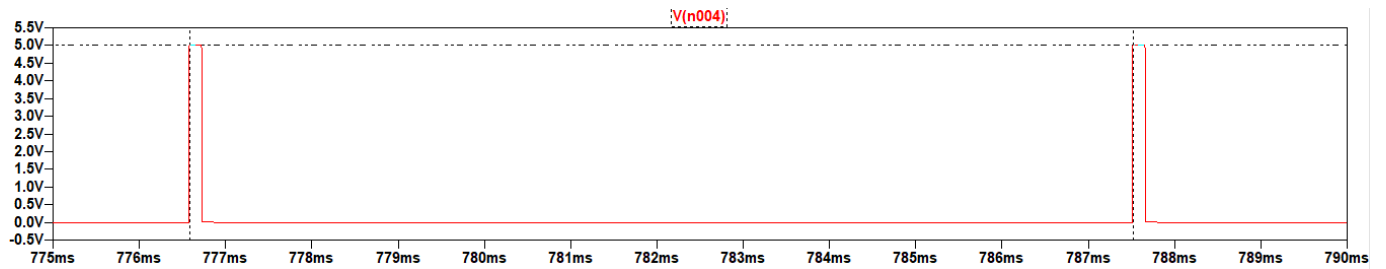


Figura 8: Simulación del generador de clock con una frecuencia de $91.44Hz$.

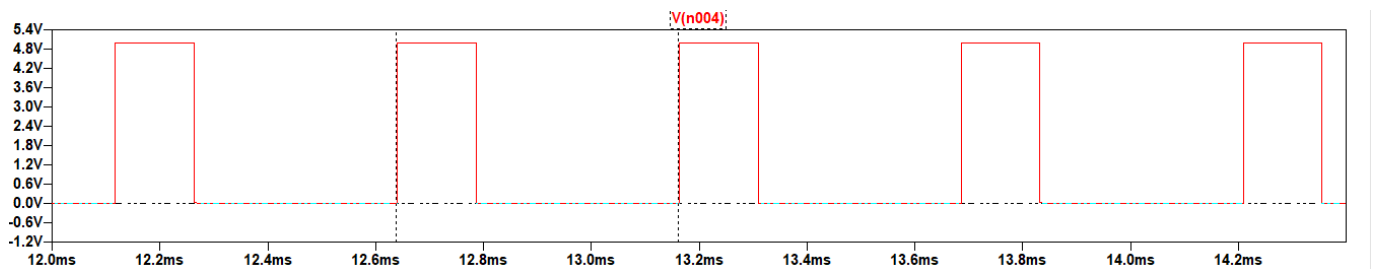


Figura 9: Simulación del generador de clock con una frecuencia de $1993.4Hz$.

No se realizaron simulaciones para el comparador, el contador o el regulador de tensión ya que están constituidos por solamente el integrado que realiza su función.

1.5. Implementación y Mediciones

Se implementó el circuito en un PCB de 10x20. A la placa se le añadieron jumpers para desconectar el generador de rampa del resto para así poder calibrarlo y obtener 0V al comienzo de esta y 5V al final. Se midió este ingresando un clock generado por un generador de funciones obteniendo la siguiente respuesta.

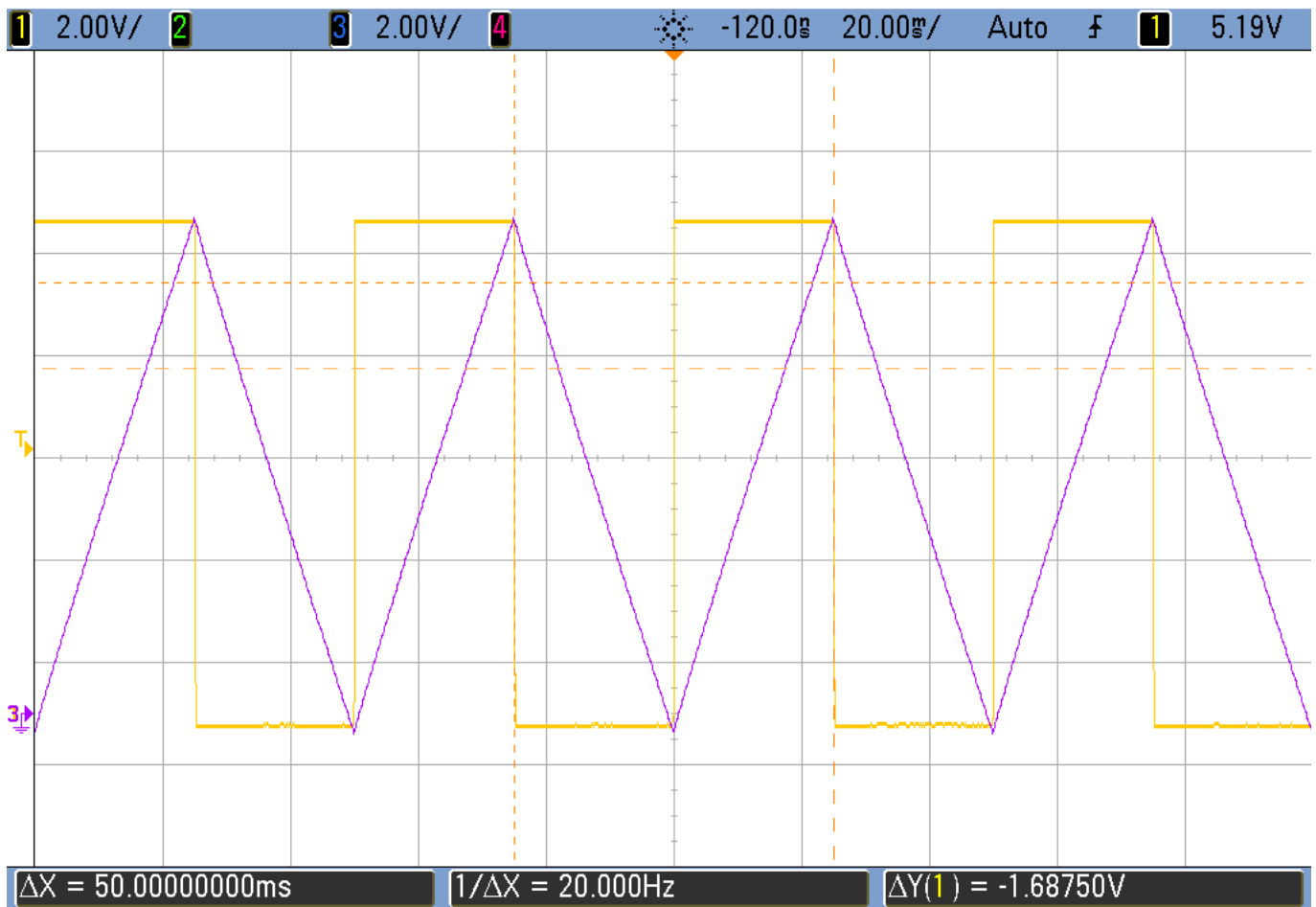


Figura 10: Medición y calibración del generador de rampa con un clock provisto por un generador de funciones.

Luego, se comprobó el funcionamiento de la implementación, con varios resultados a destacar.

1.6. Conclusiones

Se logró un correcto funcionamiento a la hora de sincronizar todas las etapas y efectivamente convertir la señal analógica en una digital. A pesar de ello, no se logró mapear el joystick entre los valores de 0 a 99, sino que fue entre 0 y 35. Este funcionamiento se logró luego de realizar varios ajustes y agregar capacitores para disminuir el ruido.

A modo de ejemplo, la señal de posición del joystick posee un *droop* cuando llega la señal de reset del contador. Cabe destacar que ambas señales no poseen conexión física. Esto ocasiona que la de acquire (o refresh) del display se dispare varias veces en una misma rampa. Es así que se logró solucionar dicho inconveniente utilizando un capacitor de $100\mu F$ entre tierra y la salida del joystick, añadiendo también $1\mu F$ de capacitancia a tierra conectada a la salida del comparador.

Luego, se observó que ambas señales mencionadas, no solo se manifestaban en la tensión del joystick, sino en toda la alimentación de $5V$ del circuito, provista por el regulador de tensión, por lo que colocando, antes y después de este, dos capacitores de $10\mu F$ a tierra, se logra obtener una tensión mucho más amena. Además, se decidió duplicar la capacitancia de desacople de cada integrado en el circuito.

Todo esto logró que el circuito se comporte mucho mejor, pero por alguna razón, como se mencionó previamente, solo se logra mapear el joystick entre 0 y 35 en el mejor de los casos.

Finalmente la razón del mapeo erróneo se debe a un fallo en los cálculos al momento de hacer la rampa. Se observó en el osciloscopio que efectivamente solo entraban 35 pulsos en la duración de la rampa en vez de los 99 deseados. Como analizado en la sección (1.3.3), cuando la señal de clock original egresa del divisor de frecuencia, esta posee un duty-cycle del 50 % y una frecuencia cien veces menor a la original. Al ser ingresada al integrador compensado con ganancia, no solo no se consigue una rampa totalmente lineal sino también solo se consigue una rampa ascendente cuya duración es la mitad de la deseada, es decir, el 50 % de la señal de entrada en estado alto. Estas dos cosas, una calibración quizás no perfecta, y varias fuentes de error más incluídas en la sincronización de cada etapa explica la pérdida de 9 unidades en la implementación. A modo de retrospectiva, en vez de haber utilizado un divisor de

frecuencia por cien, se debería haber utilizado un divisor de frecuencia por cincuenta. Es en este entonces que la rampa poseería la duración adecuada para albergar 99 pulsos del clock original.

Tras la implementación del diseño, su eventual puesta en funcionamiento, debuggeo y varios diálogos sobre las distintas implementaciones que fueron surgiendo entre los diversos grupos, se concluye que se pueden realizar varias modificaciones al diseño presentado aquí para mejorar el funcionamiento de este.

La primera modificación, considerándose la más importante y la que surgió por el diseño propio, es la de utilizar un plano de masa a lazo cerrado para todo lo digital y otro a lazo abierto para todo lo analógico, ambos conectados por una sola vía, ya que esto reduce considerablemente la inmensa cantidad de ruido presente. Se cometió la equivocación de no haber investigado más sobre la interacción entre analógico y digital, por lo que se utilizó un solo plano de masa para ambos.

Una buena forma de implementar el conversor es la de utilizar la salida del comparador conectada al enable del contador. Esto hace que cuando la rampa sea mayor a la tensión del joystick, este deje de contar, poniendo así el pin de acquire del display, de manera tal que, durante todo este tiempo se esté refrescando el contador, el cual no cambia.

Otra interesante propuesta es la de no realizar la variación de la tasa de refresco por medio “del hardware”, como está realizado en este informe, sino mantener siempre una tasa de refresco constante, pero variar cuántas veces por segundo efectivamente se muestra un cambio en el display. Esto facilita mucho el trabajo de diseño de cómo sincronizar cada etapa, ya que estas no deben de trabajar con distintas frecuencias.

Continuando con eventuales mejoras al diseño, un grupo utilizó una memoria con latches aparte. De esta forma se minimizan fallas a la hora de mostrar números en el display, debido a eventuales tiempos de propagación, lo cual probó ser de utilidad.

A modo de finalizar, se logró con este informe de investigación, análisis y diseño un gran aprendizaje sobre cómo se sincronizan varias etapas digitales, como interactúan etapas analógicas con digitales y poner en práctica todo lo aprendido sobre distintos dispositivos digitales.