

Instituto Tecnológico de Buenos Aires

22.13 ELECTRÓNICA III

Trabajo práctico N°1

Grupo 3

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
MARTORELL, Ariel	56209
LONDERO BONAPARTE, Tomás Guillermo	58150

Profesores

DEWALD, Kevin
WUNDES, Pablo Enrique
AGUIRRE, Miguel Pablo

Presentado: /19

Índice

1. Ejercicio 1	2
1.1. Introducción	2
1.2. Comparación tecnologías	2
1.3. Circuitos Propuestos	2
1.4. Diseño PCB	2
1.5. Observables de interés.	3
1.6. Análisis de resultados.	5
2. Ejercicio 2	6
3. Ejercicio 3	7
3.1. Introducción a riesgos estáticos	7
3.2. Desarrollo del circuito	9
3.3. Mediciones	9
4. Ejercicio 4	10
5. Ejercicio 5	11
6. Ejercicio 6	12
7. Ejercicio 7	13
8. Ejercicio 8	14

1. Ejercicio 1

1.1. Introducción

En esta sección se implementó una compuerta NOT utilizando diversas tecnologías, siendo estas TTL (Transistor-Transistor-Logic), RTL (Resistor-Transistor-Logic) mediante transistores BJT (Bipolar Junction Transistor) y finalmente una variación de RTL utilizando un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

1.2. Comparación tecnologías

A continuación, se comparan dos tipos de transistores, siendo estos BJT y MOSFET. De esta forma se destacan los siguientes aspectos:

- Los BJT son controlados por corriente, mientras que los MOS son controlados por tensión.
- Los BJT tienen una respuesta más veloz ante un cambio en su modo de funcionamiento (siendo estas las zonas de saturación y corte) que los MOS, dado a que poseen menor capacitancia.
- Los transistores MOS tienen una mayor estabilidad frente a la temperatura que los BJT.
- Los de tecnología BJT cuentan con una corriente de polarización de base que los MOS no tienen ($I_g = 0 A$).
- La impedancia de entrada de los MOS es mucho mayor que la de los BJT.

1.3. Circuitos Propuestos

Los circuitos propuestos son los siguientes:

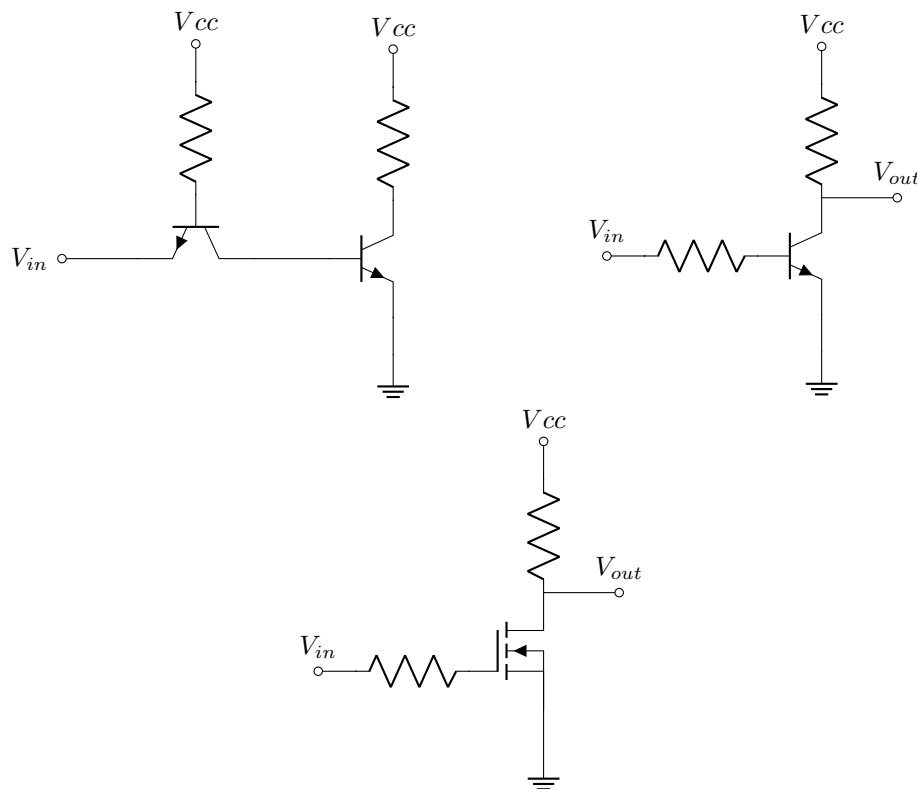


Figura 1: Circuitos propuestos, siendo de izquierda a derecha y de arriba a abajo TTL, RTL (BJT) y RTL (MOS).

1.4. Diseño PCB

Se implementó en un único PCB los 3 circuitos, que corresponden al siguiente esquemático:



Figura 2: Esquemático y PCB realizados en Altium.

1.5. Observables de interés.

Se seleccionaron como observables de interés los siguientes parámetros:

1. High-level input voltage.
2. Low-level input voltage.
3. High-level output voltage.
4. Low-level output voltage.
5. Noise Margin.
6. Propagation delay High to Low.
7. Propagation delay Low to High.
8. Transition delay High to Low.
9. Transition delay Low to High.
10. Maximum output current.

Las mediciones de estos observables se realizaron de la siguiente manera. Para las mediciones de (1), (2), (3), (4) y (5) se utilizó una rampa, la cual varía desde un valor ligeramente inferior a 0 V hasta 5 V. Esto se debe a que, dado que se utilizó una rampa periódica, existe un salto al finalizar cada período, el cual representa altas frecuencias que causan problemas. Es decir, considerando el pequeño intervalo de tiempo en el cual la tensión es menor a 0 V, se observó una serie de oscilaciones hasta alcanza a estabilizar la señal. La figura (3) es un ejemplo de una de las mediciones.



Figura 3: Medición niveles de tensión.

A partir de esta medición, se tomó el módulo de las señales y se graficó la señal de entrada en función de la salida, como se ve a continuación.

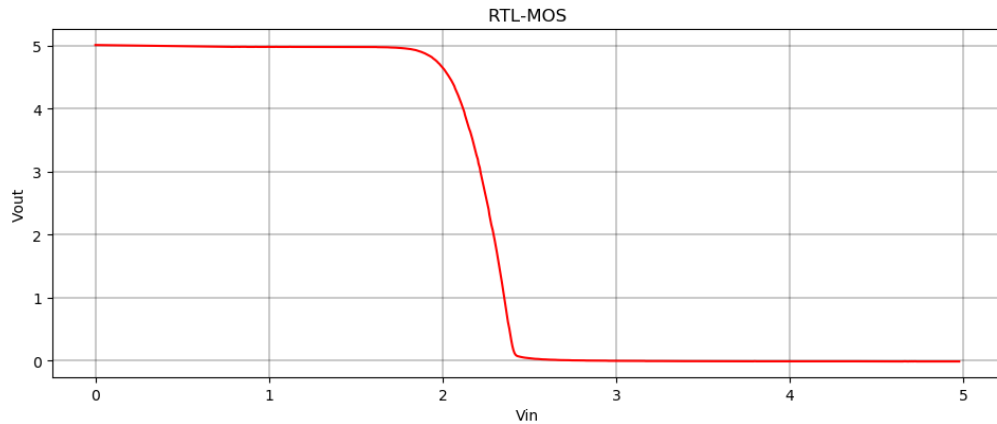


Figura 4: Medición entrada-salida.

Luego, a partir de esta imagen, se buscó el punto donde la pendiente es 45° . Es así se obtuvo (1), (3), (2) y (4). Realizando la resta de (1) con (3), y de (2) con (4) se obtienen los márgenes de ruido (5).

Luego para (6), (7), (8) y (9) se midió la salida, con una cuadrada a la entrada como se ve en la siguiente figura:

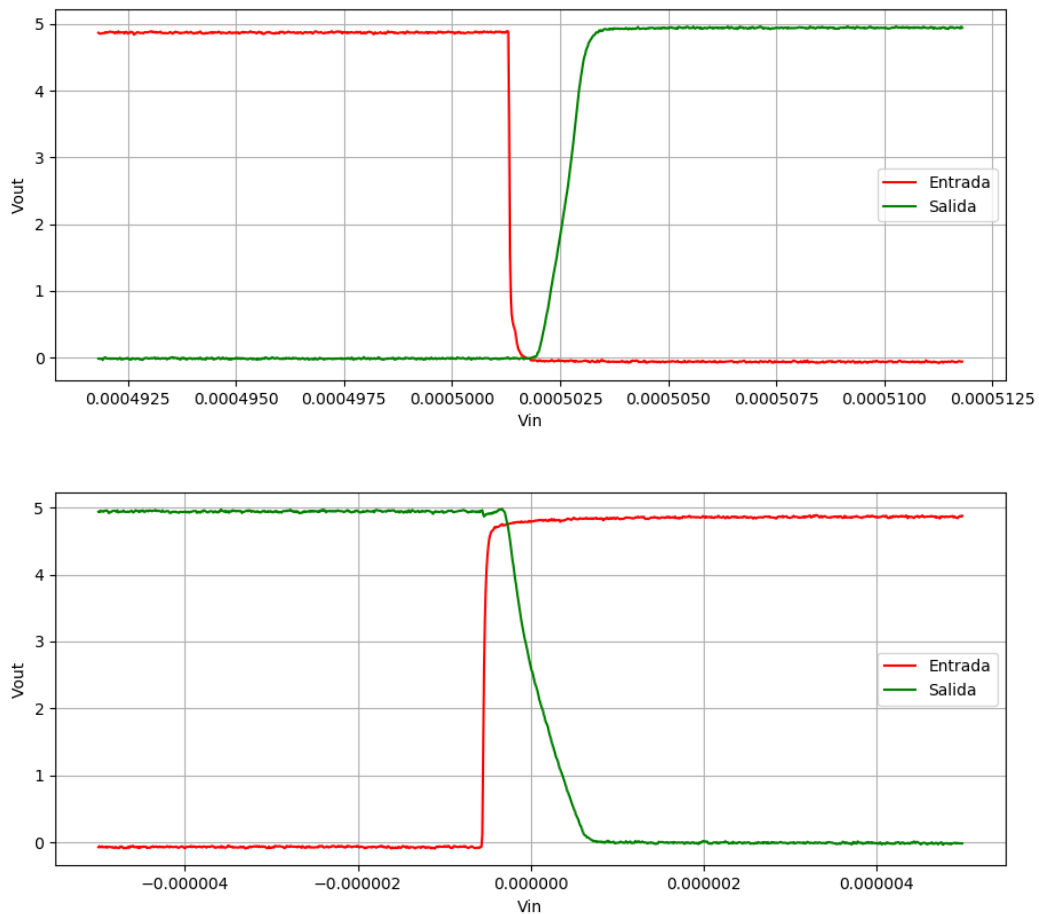


Figura 5: Medición tiempo de propagación y transición.

Tomando el tiempo de propagación medido al 50% de la señal y el tiempo de transición medido entre el 10 ~ 90%, se buscó obtener el tiempo de propagación existente en una medición. Este resultado dio un valor menor al tiempo de

rise del osciloscopio. Dicho valor debe ser interpretado como una cota del tiempo y no el valor exacto.

Finalmente se colocó un trimmer de $50\text{ k}\Omega$ utilizándolo como carga, variando su impedancia hasta que el valor de tensión de la salida se encuentre por debajo del High Level Output Voltage. A partir de este valor de tensión y la resistencia del trimmer, se obtiene la corriente máxima de salida.

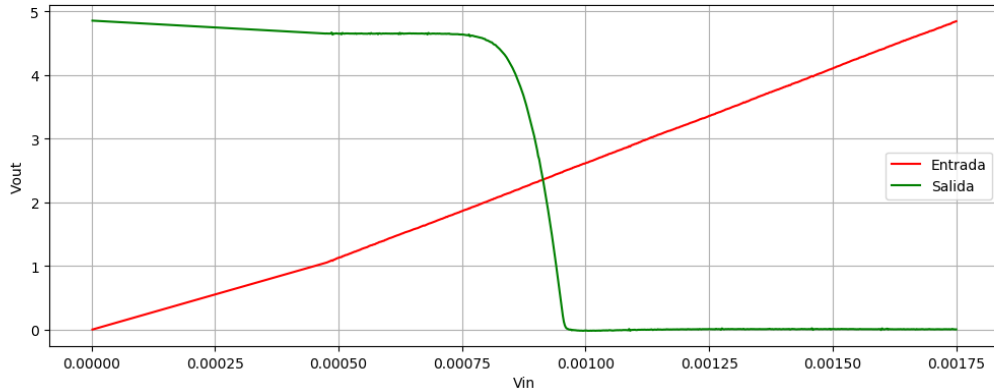


Figura 6: Medición corriente máxima de salida.

1.6. Análisis de resultados.

Para realizar una comparación entre los modelos propuestos, se utilizarán los observables de interés definidos en la sección (1.5), confeccionando la siguiente tabla:

<i>Sin carga</i>			
Tecnología	RTL	RTL-MOS	TTL
High-level input voltage	864 mV	2.49 V	595 mV
Low-level input voltage	454 mV	1.95 V	413 mV
High-level Output voltage	4.96 V	4.89 V	4.96 V
Low-level Output voltage	191 mV	72.1 mV	34.5mV
Noise Margin High	4.01 V	2.34 V	4.37 V
Noise Margin Low	263 mV	1.88 V	378 mV
Propagation delay High to Low	76.93 nS	569.51 nS	1.82 nS
Propagation delay Low to High	2.0489 μS	1.33 μS	535 nS
Transition delay High to Low	87.28 nS	734.4 nS	38.36 nS
Transition delay Low to High	605 nS	909 nS	307 nS
Maximum output current	184.4 μA	217 μA	135.5 μA

<i>Con carga</i>			
Tecnología	RTL	RTL-MOS	TTL
High-level input voltage	840 mV	2.48 V	627.5 mV
Low-level input voltage	478.7 mV	2.01 V	490 mV
High-level Output voltage	4.98 V	4.86 V	4.95 V
Low-level Output voltage	278 mV	151 mV	72 mV
Noise Margin High	4.14 V	2.52 V	4.32 V
Noise Margin Low	200.7 mV	514.9 mV	417.3 mV
Propagation delay High to Low	260.7 nS	625.7 nS	33.6 nS
Propagation delay Low to High	2.615 μS	1.652 μS	1.216 μS
Transition delay High to Low	183.817 nS	417.19 nS	73.12 nS
Transition delay Low to High	2.691 μS	2.831 μS	2.687 μS
Maximum output current	187.2 μA	216 μA	135.2 μA

Las diferencias entre los parámetros para las tres tecnologías son notables,

PONER CONCLUSIONES

2. Ejercicio 2

3. Ejercicio 3

3.1. Introducción a riesgos estáticos

En este punto se analiza la siguiente tabla de verdad:

a	b	c	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Tabla 1: Tabla de verdad analizada.

Para ello, se vale del uso de un mapa de Karnaugh. De esta forma se encuentra su mínima expresión, la cuál se decidió expresar en minterminos.

bc a	00	01	11	10
0	0	1	1	1
1	0	1	0	0

Figura 7: Mapa de Karnaugh de la Tabla (1).

Es así, que observando la Figura (7), se llega a la expresión:

$$Y(a, b, c) = \bar{b}c + \bar{a}b \quad (1)$$

Una forma de representar (1) se muestra en la Figura (8).

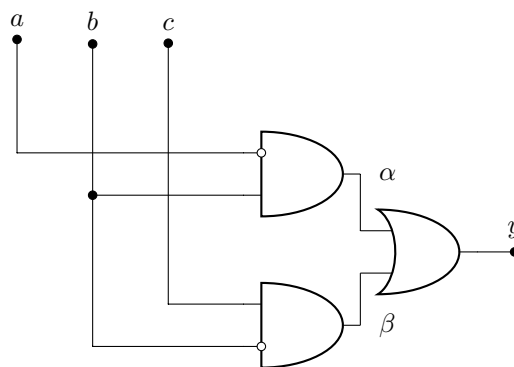


Figura 8: Circuito posible que representa a (1).

Desde una perspectiva sincrónica, este circuito no presenta ningún problema, ya que las señales existentes se propagan al mismo tiempo, si ningún tipo de demora en cada compuerta. Pero desde una perspectiva asincrónica no ocurre lo mismo.

Se analiza el caso en el cual $a = 0$ y $b = c = 1$, siendo entonces $Y = 1$. Si se permite que b cambie de 1 a 0, Y debe seguir siendo 1. Si se considera la demora existente en la propagación de una señal a través de una compuerta, el cambio de b puede llegar a ser visto en el nodo α antes que en el β , ya que para llegar a este último, la señal debe atravesar una compuerta más que para llegar al primero (la compuerta NOT previa a la AND). Por lo tanto, en este

caso existe la posibilidad de obtener $\alpha = 0$ y $\beta = 0$, haciendo que $Y = 0$. Esto es lo que se conoce como un riesgo estático, los cuales son visibles cuando la salida debe mantenerse constante frente a un cambio de una de las variables de entrada, pero en vez de ser así, la salida varía momentáneamente para luego volver al valor debido.



Figura 9: Salida de un circuito frente a un error de riesgo estático.

Es posible detectar un error potencial observando el mapa de Karnaugh, ya que en cualquier lugar que se encuentre un par de 1s adyacentes que no sean cubiertos por un grupo de minterminos, puede existir un error como el mencionado (de la misma forma ocurre con los 0s y los maxterminos). Por lo tanto, agregando algún nuevo conjunto que incluya dicho par adyacente, se evita que exista un error de transición ya que dicho conjunto se encuentra incluido en un grupo.¹

Por lo tanto, considerando todo lo dicho se vuelve a considerar el mapa de Karnaugh de la Tabla (1), pero esta vez tomando un grupo adicional, representado en rojo:

		bc			
		00	01	11	10
a	0	0	1	1	1
	1	0	1	0	0

Figura 10: Mapa de Karnaugh en un modelo asincrónico.

La consideración presentada en la Figura (10) conduce a una nueva expresión, siendo esta:

$$Y(a, b, c) = \bar{b}c + \bar{a}b + \bar{a}c \quad (2)$$

De la misma forma que antes, se busca representar la ecuación hallada a partir del mapa de Karnaugh mediante un circuito lógico. Esto conduce al representado en la Figura (11).

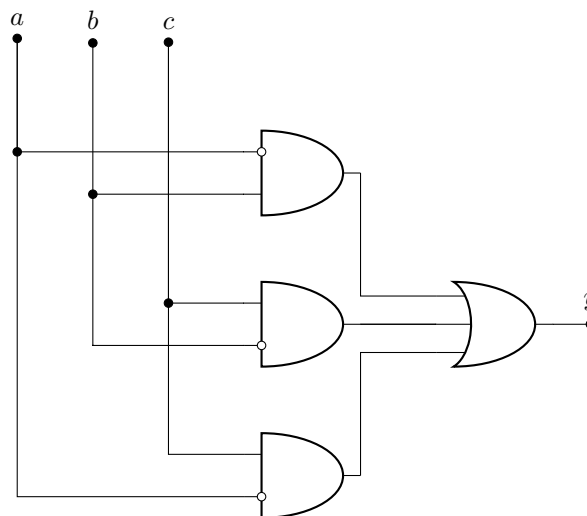


Figura 11: Circuito posible que representa a (2).

¹S. Brown and Z. Vranesic, Fundamentals of digital logic with verilog design, 3er ed. New York: McGraw-Hill, 2002.

3.2. Desarrollo del circuito

Se implementó el circuito de la Figura (11) en un PCB. Para ello se valió del uso de las compuertas [SN74HC04](#), [SN74HC08](#) y [SN74HC32](#). Para poder realizar las mediciones adecuadas, y debido a que no se contaba con una compuerta OR de tres entradas, se decidió implementar en una primera instancia lo observado en la Figura (8) (es decir, el circuito que representa a $\bar{b}c + \bar{a}b$), la cual se encuentra conectada a una bornera para poder medirla y también a otra compuerta OR, cuya segunda entrada es la resultante del termino faltante ($\bar{a}c$), la cual se encuentra conectada a otra bornera. De esta forma se puede medir tanto el circuito sin la implementación de la solución del glitch y como con dicha implementación.

3.3. Mediciones

Se procede a simular la situación ejemplificada previamente, es decir con $a = 0$ y $c = 1$, alternando el valor de b entre 0 y 1. Dicha variación se simula utilizando un generador de ondas cuadradas, el cuál oscila entre 0 V y 5 V. Observando tanto la entrada como las dos salidas previamente mencionadas, se obtiene lo siguiente:

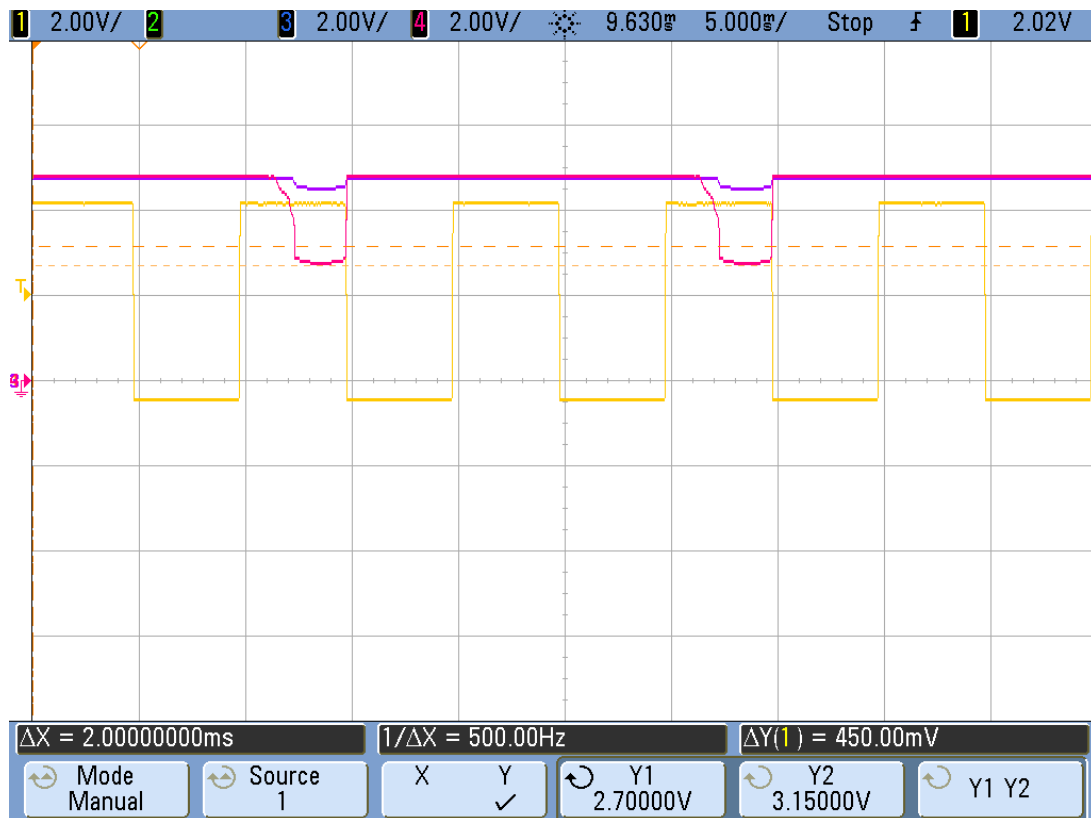


Figura 12: Salida con glitch (rosa) y sin glitch (violeta) variando b (amarillo).

Por un lado se observa de la figura anterior como la salida varía en función de la entrada. Si bien la señal que no posee la solución al glitch (señal rosada) no decae por completo a un cero lógico, esta posee una variación importante, la cual vale destacar. Dicha variación coloca la tensión a la salida de la primer compuerta OR por debajo de los 3,15 V, valor que, según la tecnología adoptada, es menor a la tensión V_{OH} , por ende, este valor deja de ser considerado como un uno lógico. Por otro lado, se denota que la señal que sí posee dicha solución (señal violeta) también posee una variación, la cual no es de importancia ya que se sigue manteniendo por encima de V_{IH} , de forma el valor lógico de esta salida no varía.

4. Ejercicio 4

5. Ejercicio 5

6. Ejercicio 6

Es esta sección se implementará un SR-Latch y un Flip Flop D utilizando compuertas.

6.1. SR-Latch

Un Latch-SR es un elemento de memoria asincrónico con dos inputs (S y R), también conocido con Set-Reset Latch. A este circuito le corresponde la siguiente tabla de verdad:

S	R	Q_n
0	0	Q_{n-1}
0	1	0
1	0	1
1	1	0

Se propusieron dos circuitos de implementación, utilizando para el primero compuertas del tipo NOR, mientras que para el segundo de tipo NAND, con la intención de no solo comparar los observables de interés con un modelo comercial, sino también entre distintos tipos de compuertas. Siendo los siguientes circuitos²:

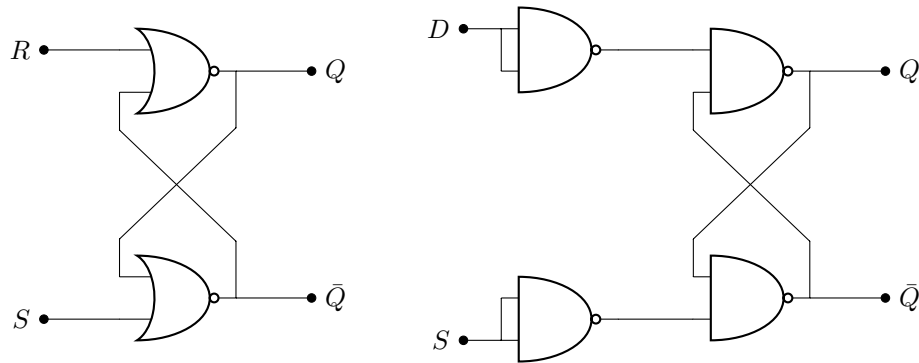


Figura 13: Circuito Propuesto SR-Latch.

Se lleva a cabo utilizando compuertas NOR y NAND, se eligió el integrado [74HC02](#) debido a que es High-Speed y ya que no es necesario compatibilidad con TTL, como se analizó en el punto (2).

Se toman como observables de interés el tiempo de propagación:

$$t_{p-SQ} : S \Rightarrow Q$$

$$t_{p-RQ} : R \Rightarrow Q$$

Estos tiempos son comparados con un integrado [74HC279](#), el cual contiene 4 SR-Latch. Las mediciones hechas se ven en la siguiente tabla:

	Circuito NOR	Circuito NAND	74HC279
t_{p-RQ}	8.3nS	43.2ns	8nS
t_{t-RQ}	4.83nS	4nS	14nS
t_{p-SQ}	24.24nS	18ns	15nS
t_{t-SQ}	11nS	4ns	8nS

Es notable que los tiempos son similares. Por otro lado, el espacio que ocupan no lo es, dado que toma el doble de integrados para la misma cantidad de Latches.

6.2. Flip Flop D

Un Flip Flop D es un elemento de memoria sincrónico, el cual cuenta con 2 entradas, siendo una de clock y la otra de la información (Data). Le corresponde la siguiente tabla de verdad:

²Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.250-251.

Clock	D	Q_n
↓	X	Q_{n-1}
↑	0	0
↑	1	1

El circuito de implementación propuesto es el siguiente³:

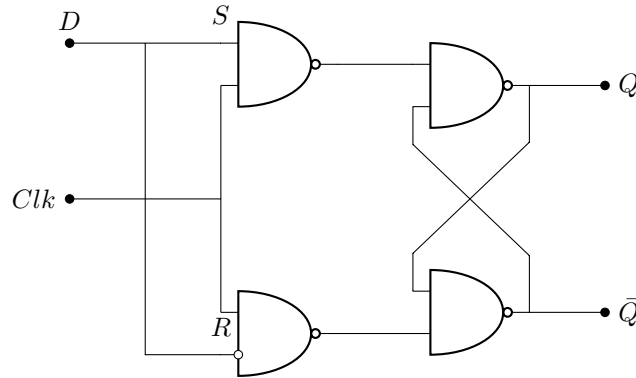


Figura 14: Circuito Propuesto Flip Flop D.

Este circuito se lleva a cabo utilizando compuertas NAND. Se eligió el integrado **74HC132** debido a que es High-Speed y no es necesaria la compatibilidad con TTL, como se analizó en el punto (2). También para el clock se realizó un Edge-Detector implementado con el circuito presentado a continuación. Este dispositivo es anexo al circuito implementado con NANDS del latch SR.

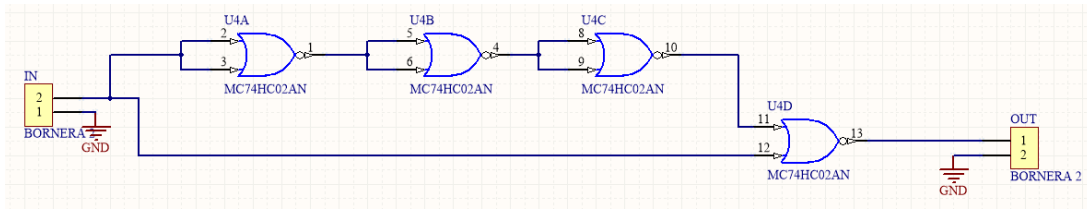


Figura 15: Edge-Detector realizado.

Se toman como observables de interés el tiempo de propagación y de transición:

$$t_{p-DQ} : D \Rightarrow Q$$

$$t_{t-DQ} : Q = 0 \Rightarrow Q = 1$$

En cuanto a la medición de estos tiempos, se tuvo la problemática de que el rise time de las compuertas eran menores que el rise time del osciloscopio. Para algunas de ellas se logró conseguir uno con mayor ancho de banda, lo cual mejoró las mediciones.

Estos tiempos medidos son comparados con un integrado **74HC374**, el cual contiene 8 Flip Flop D. Las mediciones hechas se ven en la siguiente tabla:

	Circuito	74HC374
t_{p-DQ}	23.6nS	16nS
t_{t-DQ}	4.43nS	5nS

³Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.254-256.

7. Ejercicio 7

8. Ejercicio 8