

## 0.1. Introducción

En esta sección se procedió a realizar el análisis de dos compuertas lógicas de distintas tecnologías, las cuales que consisten en una compuerta AND de tecnología TTL y una compuerta OR CMOS, conectadas de la siguiente forma

# De qué forma?

## 0.2. Análisis compuerta AND Open Gate

Para realizar este análisis se utilizó una de las 4 compuertas que brinda el integrado [SN74S08](#). Como es una compuerta AND, y una de sus entradas ya esta conectada a  $V_{CC}$ , la señal de salida dependerá solo del valor que tenga la señal en esa sola entrada. Ahora, dejando al vacío esa entrada, se puede observar que el valor que se obtiene a la salida corresponde a un 1 lógico. Esto ocurre debido a que se esta dejando al vacío el emisor del transistor al que le corresponde esa entrada, por lo tanto dicho transistor se encuentra al corte, lo que hace que a la salida siempre se vea dicho valor.

## 0.3. Análisis compuerta OR Open Gate

De forma análoga al caso anterior, se utilizó una de las compuertas lógicas que brinda el integrado [CD4071](#), pero en este caso se conecto uno de sus pines de entrada a  $GND$ , dejando el otro abierto. Es así que el valor que se ve a la salida depende únicamente del valor de la entrada que se dejó abierta. Como la alta impedancia de

# Alta impedancia...

## 0.4. Análisis ambas compuertas conectadas entre si

Luego, se conecto los circuitos de la siguiente manera:



Figura 1: Conexión de la AND con la OR.

La salida de este, por lo analizado en los anteriormente, solo depende de la señal de entrada que se utiliza. Analizando las hojas de datos de ambos integrados y utilizando una alimentación  $V_{DD} = 4,5 V$ , se obtiene que la tensión mínima de la salida en estado alto es  $V_{OH} = 2,5 V$ , la cual cae en el rango de valores indeterminados para la OR, siendo esta  $V_{IL} = 3,15 V$  en el peor de los casos. Es así que se puede ocasionar que, a pesar de que la salida de la AND sea HIGH, en la salida total del circuito se vea un 0 lógico.

## 0.5. Solución al problema

Una solución al problema mencionado anteriormente se basa en utilizar un circuito llamado Level Shifter, el cual se puede fabricar utilizando un transistor PNP y un par de resistencias. Este circuito toma la salida de la primer

compuerta y, en el caso de que está sea HIGH, lleva dicho valor a un nivel de tensión más alto para que así la compuerta siguiente pueda tomar correctamente el valor que debe recibir.



Figura 2: Implementación del level shifter