

0.1. Introducción

En esta sección se procedió a realizar el análisis de dos compuertas lógicas de distintas tecnologías, las cuales que consisten en una compuerta AND de tecnología TTL y una compuerta OR CMOS, conectadas de la siguiente forma

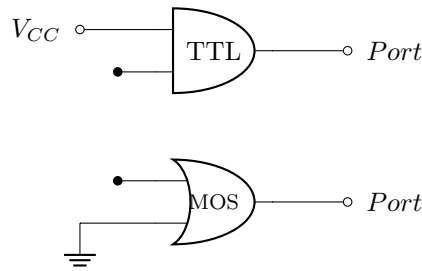


Figura 1: Circuitos en vacío.

0.2. Análisis compuerta AND Open Gate

Para realizar este análisis se utilizó una de las 4 compuertas que brinda el integrado [SN74S08](#). Como es una compuerta AND, y una de sus entradas ya esta conectada a V_{CC} , la señal de salida dependerá solo del valor que tenga la señal en esa sola entrada. Ahora, dejando al vacío esa entrada, se puede observar una tensión continua de valor aproximado 1,45 V, que corresponde al rango de valores que la compuerta considera como indeterminados, obteniéndose así a la salida un 1 lógico. Esto ocurre debido a que se esta dejando al vacío el emisor del transistor al que le corresponde esa entrada, por lo tanto dicho transistor se encuentra al corte, lo que hace que a la salida siempre se vea dicho valor. A su vez se procedio a tocar con la mano un cable que hacia contacto con la entrada de la compuerta que se encuentra al vacio y se obtuvo lo siguiente:



Figura 2: Señal a la salida de la AND con una entrada en vacio otra a V_{CC}

Analizando la figura anterior se puede notar la mayor resistencia al ruido que presenta la compuerta ya que a pesar de que a la entrada se presenta una oscilación de frecuencia $f = 50Hz$ la salida se mantiene e un valor constante.

0.3. Análisis compuerta OR Open Gate

De forma análoga al caso anterior, se utilizó una de las compuertas lógicas que brinda el integrado [CD4071](#), pero en este caso, se conecto uno de sus pines de entrada a GND , dejando el otro abierto. Es así que el valor que se ve a la salida depende únicamente del valor de la entrada que se dejó abierta. Como esta compuerta es de tecnología MOS,

conectándose a su entrada el GATE de un transistor de este mismo tipo, y debido a la gran impedancia de entrada que poseen, actúan como antena, lo que las hace mas susceptibles a cualquier señal de ruido que se encuentre presente. Teóricamente, si dicha señal de ruido llega a poseer una tensión lo suficientemente alta como para superar la V_{TH} del transistor, este se activa y produce una oscilación a la salida de la compuerta. Se realizaron distintas pruebas para poder ver este fenómeno, cuando se dejaba la entrada en vacio se llegaba a apreciar una cierta cantidad de ruido pero no la suficiente para obtener alguna señal a la salida por lo tanto se tocó con la mano un cable que estaba en contacto con dicha entrada y con esto se pudo apreciar una oscilación a la salida que se puede observar en la siguiente figura:

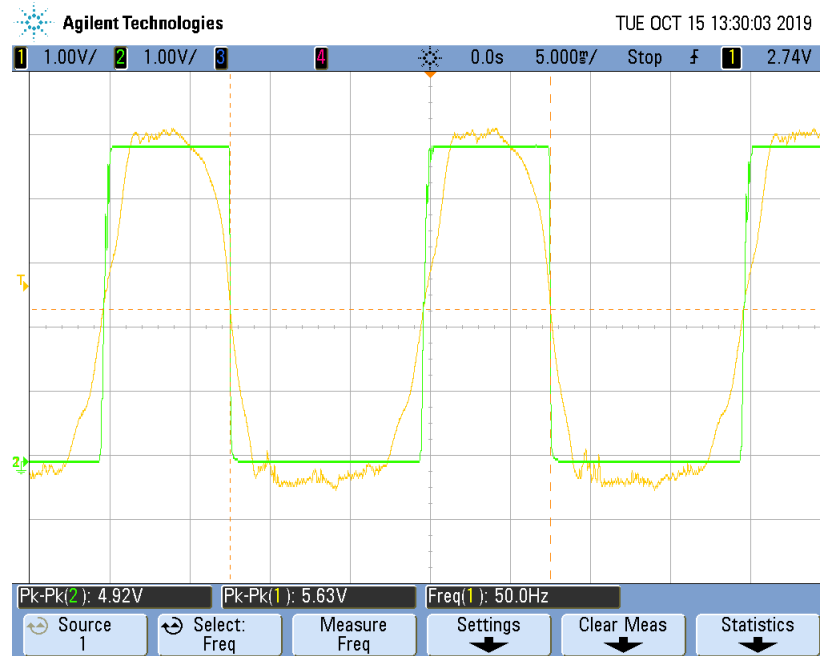


Figura 3: Señal a la salida de la OR con una entrada en vacio otra a ground

Como se puede observar de la figura anterior la salida oscila a una frecuencia de 50Hz que corresponden a la frecuencia del ruido de linea.

Luego, se conecto los circuitos de la siguiente manera:

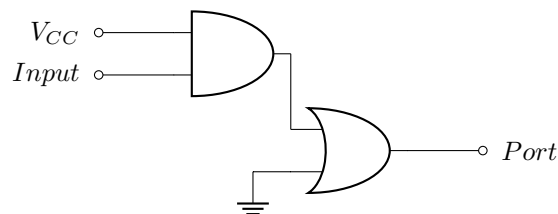


Figura 4: Conexión AND a la entrada de la OR.

La salida de este, por lo analizado en los anteriormente, solo depende de la señal de entrada que se utiliza. Analizando las hojas de datos de ambos integrados y utilizando una alimentación $V_{DD} = 4,5 V$, se obtiene que la tensión mínima de la salida en estado alto es $V_{OH} = 2,5 V$, la cual cae en el rango de valores indeterminados para la OR, siendo esta $V_{IL} = 3,15 V$ en el peor de los casos. Es así que se puede ocasionar que, a pesar de que la salida de la AND sea HIGH, en la salida total del circuito se vea un 0 lógico.

0.4. Solución al problema

Una solución al problema mencionado anteriormente se basa en utilizar un circuito llamado Level Shifter, el cual se puede fabricar utilizando un transistor PNP y un par de resistencias. Este circuito toma la salida de la primer compuerta y, en el caso de que está sea HIGH, lleva dicho valor a un nivel de tensión más alto para que así la compuerta siguiente pueda tomar correctamente el valor que debe recibir. Dicha solución se implemento al circuito anterior y se pudo solucionar el problema.

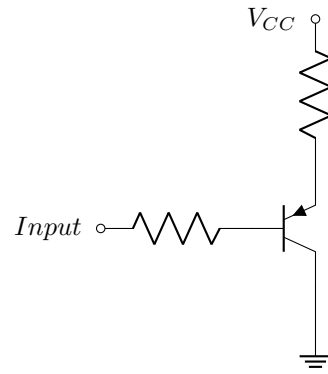


Figura 5: Implementación del level shifter.