

Instituto Tecnológico de Buenos Aires

22.13 ELECTRÓNICA III

Trabajo práctico N°2

Grupo 3

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
MARTORELL, Ariel	56209
LONDERO BONAPARTE, Tomás Guillermo	58150

Profesores

DEWALD, Kevin
WUNDES, Pablo Enrique
AGUIRRE, Miguel Pablo

Presentado: 17/10/19

Índice

1. Ejercicio 1	2
1.1. Introducción	2
1.2. Comparación tecnologías	2
1.3. Circuitos Propuestos	2
1.4. Diseño PCB	2
1.5. Observables de interés.	3
1.6. Análisis de resultados.	5
2. Ejercicio 2	6
2.1. Análisis de tecnologías	6
3. Ejercicio 3	11
3.1. Introducción a riesgos estáticos	11
3.2. Desarrollo del circuito	13
3.3. Mediciones	13
4. Ejercicio 4	15
5. Ejercicio 5	16
5.1. Introducción	16
5.2. Análisis compuerta AND Open Gate	16
5.3. Análisis compuerta OR Open Gate	16
5.4. Solución al problema	17
6. Ejercicio 6	19
6.1. SR-Latch	19
6.2. Flip Flop D	20
7. Ejercicio 7	23

1. Ejercicio 1

1.1. Introducción

En esta sección se implementó una compuerta NOT utilizando diversas tecnologías, siendo estas TTL (Transistor-Transistor-Logic), RTL (Resistor-Transistor-Logic) mediante transistores BJT (Bipolar Junction Transistor) y finalmente una variación de RTL utilizando un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

1.2. Comparación tecnologías

A continuación, se comparan dos tipos de transistores, siendo estos BJT y MOSFET. De esta forma se destacan los siguientes aspectos:

- Los BJT son controlados por corriente, mientras que los MOS son controlados por tensión.
- Los BJT tienen una respuesta más veloz ante un cambio en su modo de funcionamiento (siendo estas las zonas de saturación y corte) que los MOS, dado a que poseen menor capacitancia.
- Los transistores MOS tienen una mayor estabilidad frente a la temperatura que los BJT.
- Los de tecnología BJT cuentan con una corriente de polarización de base que los MOS no tienen ($I_g = 0 A$).
- La impedancia de entrada de los MOS es mucho mayor que la de los BJT.

1.3. Circuitos Propuestos

Los circuitos propuestos son los siguientes:

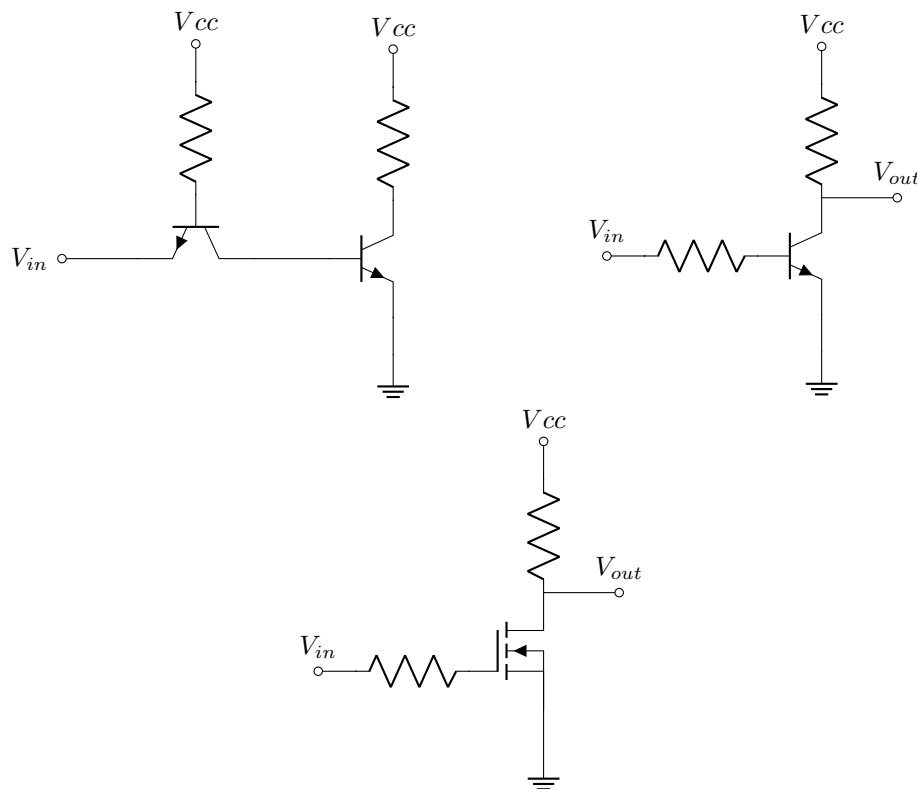


Figura 1: Circuitos propuestos, siendo de izquierda a derecha y de arriba a abajo TTL, RTL (BJT) y RTL (MOS).

1.4. Diseño PCB

Se implementó en un único PCB los 3 circuitos, que corresponden al siguiente esquemático:



Figura 2: Esquemático y PCB realizados en Altium.

1.5. Observables de interés.

Se seleccionaron como observables de interés los siguientes parámetros:

1. High-level input voltage.
2. Low-level input voltage.
3. High-level output voltage.
4. Low-level output voltage.
5. Noise Margin.
6. Propagation delay High to Low.
7. Propagation delay Low to High.
8. Transition delay High to Low.
9. Transition delay Low to High.
10. Maximum output current.

Las mediciones de estos observables se realizaron de la siguiente manera. Para las mediciones de (1), (2), (3), (4) y (5) se utilizó una rampa, la cual varía desde un valor ligeramente inferior a 0 V hasta 5 V. Esto se debe a que, dado que se utilizó una rampa periódica, existe un salto al finalizar cada período, el cual representa altas frecuencias que causan problemas. Es decir, considerando el pequeño intervalo de tiempo en el cual la tensión es menor a 0 V, se observó una serie de oscilaciones hasta alcanza a estabilizar la señal. La figura (3) es un ejemplo de una de las mediciones.



Figura 3: Medición niveles de tensión.

A partir de esta medición, se tomó el módulo de las señales y se graficó la señal de entrada en función de la salida, como se ve a continuación.

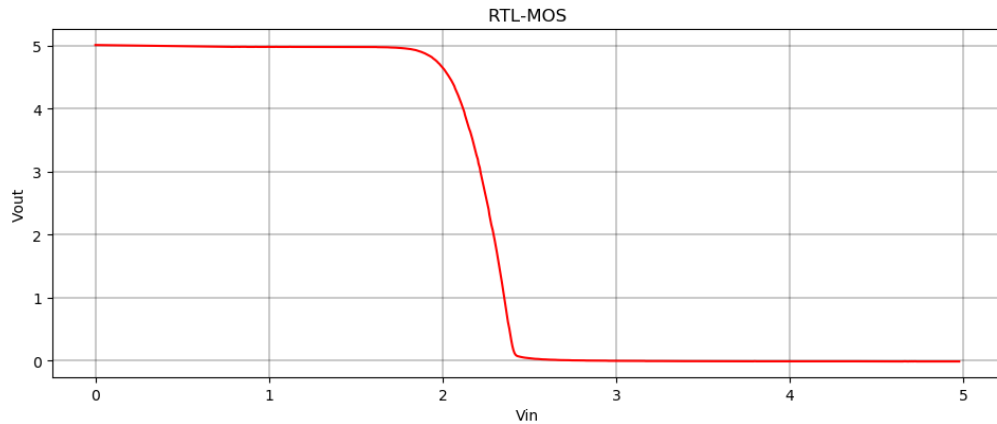


Figura 4: Medición entrada-salida.

Luego, a partir de esta imagen, se buscó el punto donde la pendiente es 45° . Es así se obtuvo (1), (3), (2) y (4). Realizando la resta de (1) con (3), y de (2) con (4) se obtienen los márgenes de ruido (5).

Luego para (6), (7), (8) y (9) se midió la salida, con una cuadrada a la entrada como se ve en la siguiente figura:

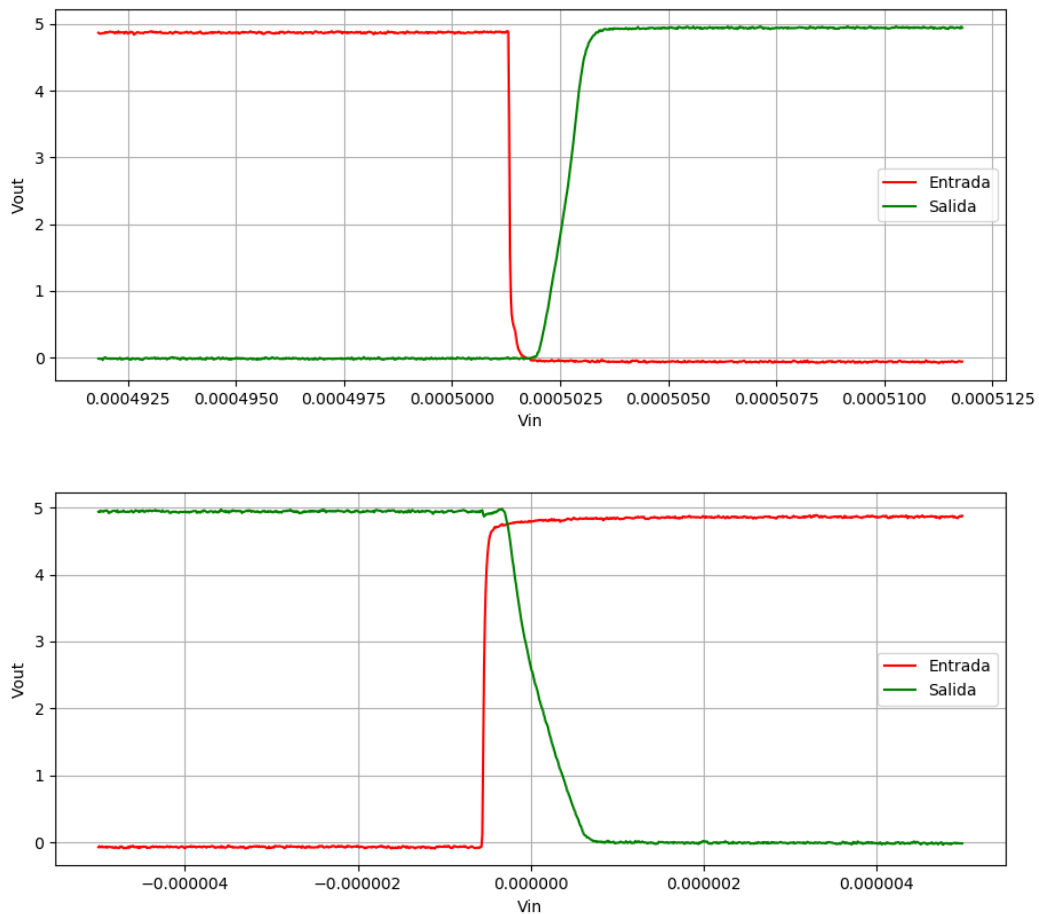


Figura 5: Medición tiempo de propagación y transición.

Tomando el tiempo de propagación medido al 50 % de la señal y el tiempo de transición medido entre el 10 ~ 90 %, se buscó obtener el tiempo de propagación existente en una medición. Este resultado dio un valor menor al tiempo de

rise del osciloscopio. Dicho valor debe ser interpretado como una cota del tiempo y no el valor exacto.

Finalmente se colocó un trimmer de $50\text{ k}\Omega$ utilizándolo como carga, variando su impedancia hasta que el valor de tensión de la salida se encuentre por debajo del High Level Output Voltage. A partir de este valor de tensión y la resistencia del trimmer, se obtiene la corriente máxima de salida.

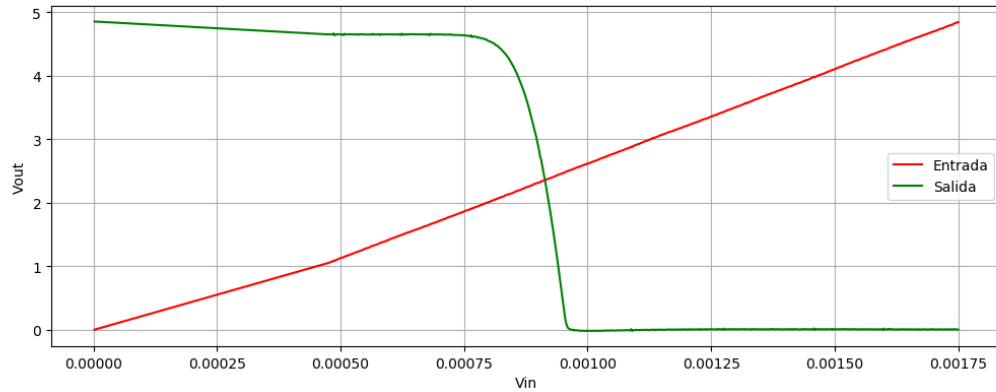


Figura 6: Medición corriente máxima de salida.

1.6. Análisis de resultados.

Para realizar una comparación entre los modelos propuestos, se utilizarán los observables de interés definidos en la sección (1.5), confeccionando la siguiente tabla:

<i>Sin carga</i>			
Tecnología	RTL	RTL-MOS	TTL
High-level input voltage	864 mV	2.49 V	595 mV
Low-level input voltage	454 mV	1.95 V	413 mV
High-level Output voltage	4.96 V	4.89 V	4.96 V
Low-level Output voltage	191 mV	72.1 mV	34.5 mV
Noise Margin High	4.01 V	2.34 V	4.37 V
Noise Margin Low	263 mV	1.88 V	378 mV
Propagation delay High to Low	76.93 ns	569.51 ns	1.82 ns
Propagation delay Low to High	2.0489 μ s	1.33 μ s	535 ns
Transition delay High to Low	87.28 ns	734.4 ns	38.36 ns
Transition delay Low to High	605 ns	909 ns	307 ns
Maximum output current	184.4 μ A	217 μ A	135.5 μ A

<i>Con carga</i>			
Tecnología	RTL	RTL-MOS	TTL
High-level input voltage	840 mV	2.48 V	627.5 mV
Low-level input voltage	478.7 mV	2.01 V	490 mV
High-level Output voltage	4.98 V	4.86 V	4.95 V
Low-level Output voltage	278 mV	151 mV	72 mV
Noise Margin High	4.14 V	2.52 V	4.32 V
Noise Margin Low	200.7 mV	514.9 mV	417.3 mV
Propagation delay High to Low	260.7 ns	625.7 ns	33.6 ns
Propagation delay Low to High	2.615 μ s	1.652 μ s	1.216 μ s
Transition delay High to Low	183.817 ns	417.19 ns	73.12 ns
Transition delay Low to High	2.691 μ s	2.831 μ s	2.687 μ s
Maximum output current	187.2 μ A	216 μ A	135.2 μ A

De dichas tablas se observa que, además de ser compatible cada tecnología con sí misma, cualquier combinación de tecnologías es compatible entre sí, ya que se puede notar que tanto el Noise Margin High como el Noise Margin Low son positivos. Este fenómeno se detalla con mayor profundidad en el Ejercicio (2). Otro detalle de compatibilidad a

destacar son los distintos Propagation y Transition delays, tanto High to Low como Low to High, ya que estos, al ser tan diversos para cada tecnología, pueden llegar a generar problemas, como el que se detalla en el Ejercicio (3).

2. Ejercicio 2

2.1. Análisis de tecnologías

En esta instancia del informe, se procede a comparar compuertas lógicas del tipo NOR de diversas tecnologías. Para ello se vale de las hojas de datos de las compuertas **74HC02**, **74HCT02** y **74LS02**. Previo a dicho análisis, cabe detallar cada una de las tecnologías. Primero, se encuentra el 74HC02, siendo este, como su nombre lo indica, del tipo HC, cuyas siglas significan “High-speed CMOS”, tecnología caracterizada por ser de baja potencia y alta velocidad. Luego se encuentra el 74HCT02, siendo HCT una variación de las HC. Esta denominación proviene de las mismas siglas previamente mencionadas, solo que además posee compatibilidad con la tecnología conocida como “logica transistor–transistor” (TTL). En otras palabras, este tipo de compuertas puede operar bajo dicho estándar de tensiones, tanto de alimentación como de input.¹ Finalmente se encuentra el 74LS02, cuyas siglas provienen de “Low-power Schottky”. Los integrados de esta familia se caracterizan por estar hechos con tecnología TTL.² Se destaca que este último, a diferencia de los dos primeros, se caracteriza por ser fabricado mediante el uso de tecnología BJT.

Analizando las respectivas hojas de datos, se recopila información sobre los valores aceptables de señal, tanto de entrada como de salida. Es así que se realiza la siguiente tabla:

	V_{CC} [V]	74HC02		74HCT02		74LS02	
		Min. [V]	Max. [V]	Min. [V]	Max. [V]	Min. [V]	Max. [V]
V_{OH}	2	1.9	-	-	-	-	-
	4.5	4.4	-	3.84	-	2.7	-
	6	5.9	-	-	-	-	-
V_{OL}	2	-	0.1	-	-	-	-
	4.5	-	0.1	-	0.33	-	0.5
	6	-	0.1	-	-	-	-
V_{IH}	2	1.5	-	-	-	-	-
	4.5	3.15	-	2	-	2	-
	6	4.2	-	-	-	-	-
V_{IL}	2	-	0.5	-	-	-	-
	4.5	-	1.35	-	0.8	-	0.8
	6	-	1.8	-	-	-	-

Tabla 1: Tabla de valores de entrada y salida.

Con la información que se ha detallado, se procede a analizar el margen de ruido, tanto para los niveles altos (high), como para los bajos (low), al combinar tecnologías HC y LS, siendo este calculado de la forma

$$NM_{High} = V_{OH} - V_{IH}$$

$$NM_{Low} = V_{IL} - V_{OL}$$

Nuevamente se decide plasmar los resultados en una tabla:

In	Out	V_{CC} [V]	NM_{High} [V]	NM_{Low} [V]
74LS02	74HC02	4.5	2.4	0.7
74HC02	74LS02	4.5	-0.45	0.85

Tabla 2: Margen de ruido para combinaciones de tecnologías HC y LS.

Luego, se procede a representar de una forma más clara los datos obtenidos en la Tabla (1) y (2).

¹“Logic family”, En.wikipedia.org, 2019. [Online]. Available: https://en.wikipedia.org/wiki/Logic_family#HC_logic. [Accessed: 21-Sep- 2019].

²“Serie 7400”, Es.wikipedia.org, 2019. [Online]. Available: https://es.wikipedia.org/wiki/Serie_7400. [Accessed: 21-Sep- 2019].

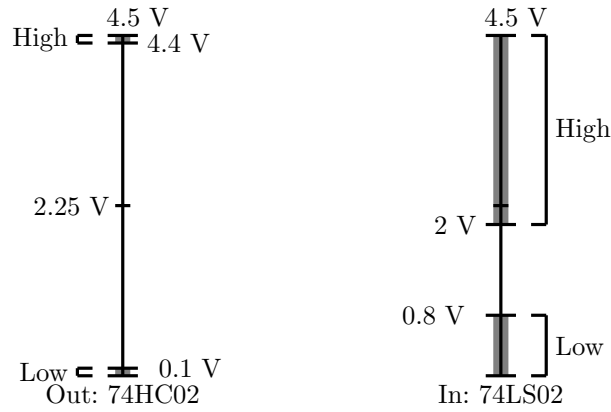


Figura 7: Comparación de tecnologías con HC a la salida y LS a la entrada.

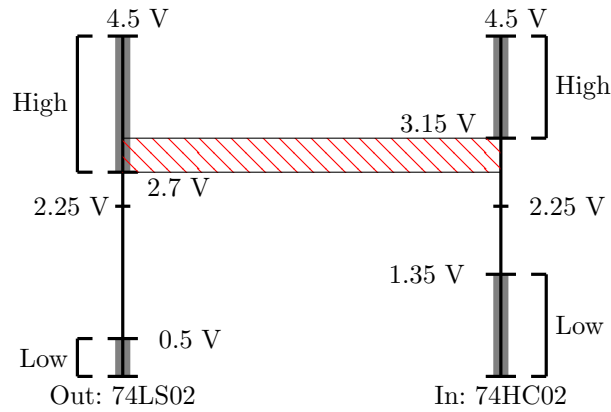


Figura 8: Comparación de tecnologías con LS a la salida y HC a la entrada.

A la hora de conectar una compuerta con otra, es deseable que los rangos de valores validos de salida sean menores que los de entrada, ya que de esta forma se garantiza que cualquier salida sea interpretada adecuadamente por la siguiente etapa. Por consiguiente, de la Tabla (2) se destaca el valor negativo de NM_{High} al colocar las compuertas de tecnología HC a la salida de una LS, detalle que se vuelve a observar en la Figura (8). Al conectar los dispositivos como se mencionó anteriormente, se pone en evidencia que existe la posibilidad de que tensiones de salida, que se consideran altas, caigan en un margen en el cual la siguiente compuerta las considera como valores imprecisos, es decir, que no actúa frente a estos. Particularmente, tensiones de salida desde $2,7\text{ V}$ hasta $3,15\text{ V}$ sin incluir, que son considerados como activos altos para la tecnología LS, no lo son para la HC. Por lo tanto, no es conveniente realizar dicha conexión, ya que se podría generar pérdida de datos, o incluso que ambas compuertas se afecten y se carguen entre sí.

Es así que se decide observar dicho factor. Se diseñó un circuito que represente lo mostrado en la Figura (8), con las compuertas mencionadas, variando la entrada del circuito con una rampa periódica que varía desde los 0 V hasta los 5 V . De esta forma se obtuvieron las siguientes mediciones:

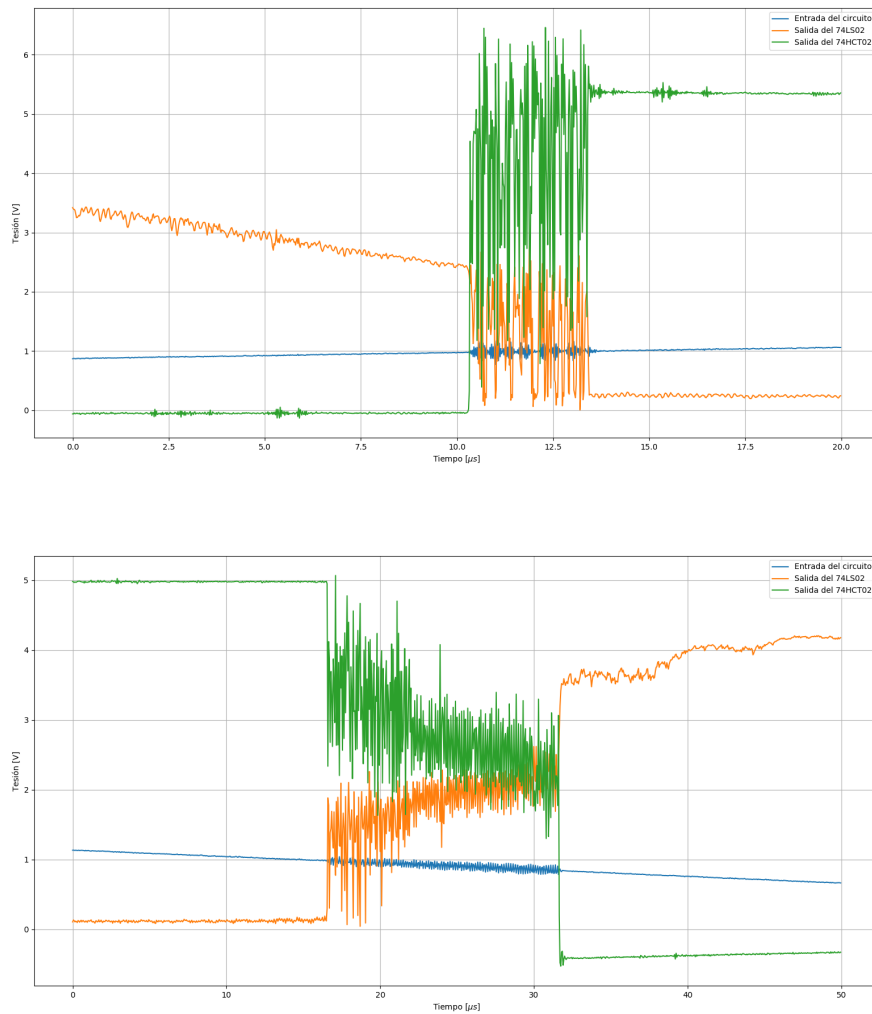


Figura 9: Entrada del circuito, salida del 74LS02 y salida del 74HC02.

Luego se analiza el fanout de la conexión presentada en la Figura (7), ya que no es conveniente llevar adelante la otra conexión presentada, debido a los motivos ya expuestos. Para ello se debe saber cuatro factores: I_{OH} , I_{OL} , I_{IH} y I_{IL} , los cuales son obtenidos de la hoja de datos. De esta forma, se calcula el fanout de la forma

$$FO = \min \left(\frac{I_{OH}}{I_{IH}}, \frac{I_{OL}}{I_{IL}} \right) = \min \left(\left| \frac{-400 \mu A}{20 \mu A} \right|, \left| \frac{16 mA}{-0,4 mA} \right| \right) = \min (20, 40) = 20$$

A continuación, se procede a reemplazar la compuerta 74HC02 por la de tecnología HTC. De esta forma, y nuevamente mediante lo expresado en la Tabla (1), se obtiene lo siguiente:

In	Out	V _{CC} [V]	NM _{High} [V]	NM _{Low} [V]
74LS02	74HCT02	4.5	1.84	0.47
74HCT02	74LS02	4.5	0.7	0.3

Tabla 3: Margen de ruido para combinaciones de tecnologías HC y LS.

De manera análoga al caso anterior, se confecciona el siguiente gráfico:

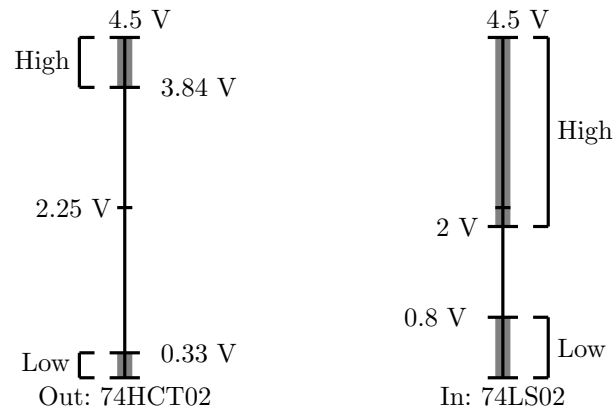


Figura 10: Comparación de tecnologías con HCT a la salida y LS a la entrada.

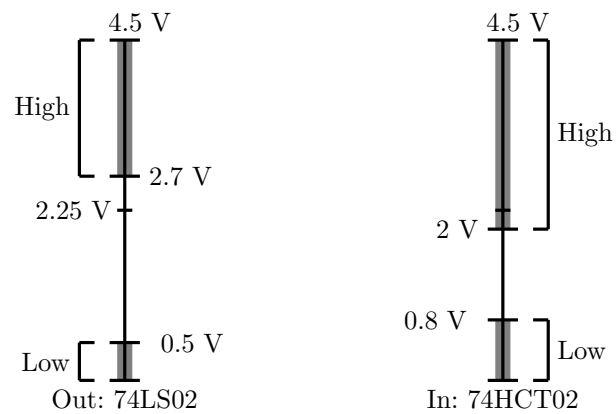
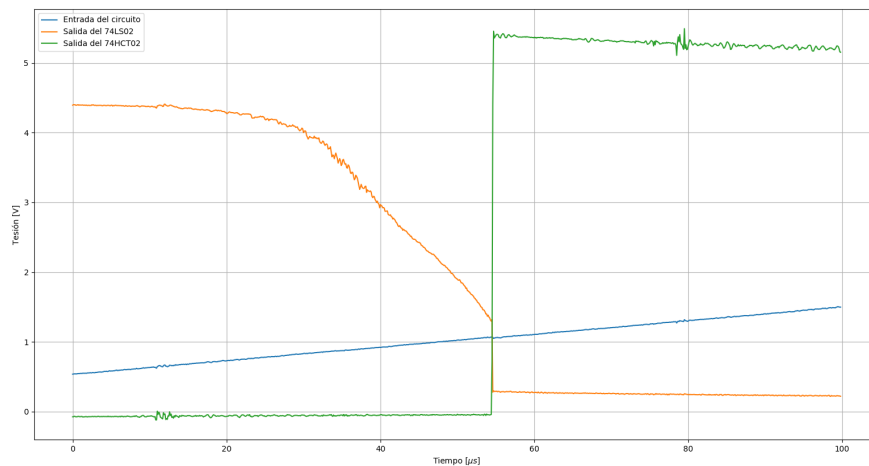


Figura 11: Comparación de tecnologías con LS a la salida y HCT a la entrada.

Como era de esperarse, y debido a que la compuerta 74HCT02 es compatible con la tecnología TTL, al reemplazar la HC por la HTC se soluciona el problema presentado previamente, ya que al comparar las Figuras (8) y (11), se observa que ya no existe una zona en la cual las tensiones de salida no son consideradas como válidas por la entrada siguiente.

De la misma forma que se realizó para la conexión 74HC02 - 74LS02, se mide la conexión 74HCT02 - 74LS02.



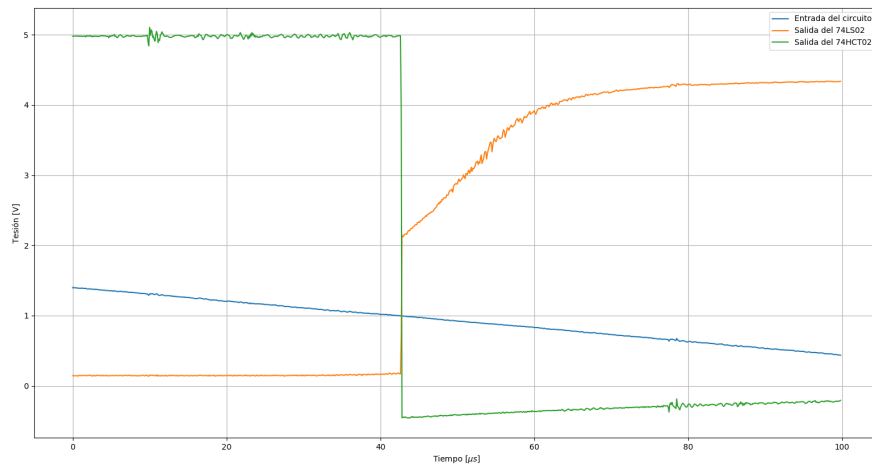


Figura 12: Entrada del circuito, salida del 74LS02 y salida del 74HC02.

Es así que comparando las Figuras (9) y (12), se denota como se solventa el problema existente de compatibilidad. En el segundo caso, al ser las compuertas compatibles, estas no se sobrecargan entre sí y no existen problemas de tensiones, logrando que la imagen se vea mucho mejor.

Por otro lado, se destaca que en el caso de colocar la compuerta de tecnología HCT a la salida y la LS a la entrada, no genera cambios en el fanout, ya que solo se debe corregir los valores de I_{OH} y I_{OL} , los cuales son los mismos que para la tecnología HC.

Finalmente, se presentan las relaciones de tensiones de entrada y salida medidas, variando las combinaciones de tecnologías posibles, para las cuales se empleó el mismo suavizado exponencial para poder obtener mediciones apreciables.

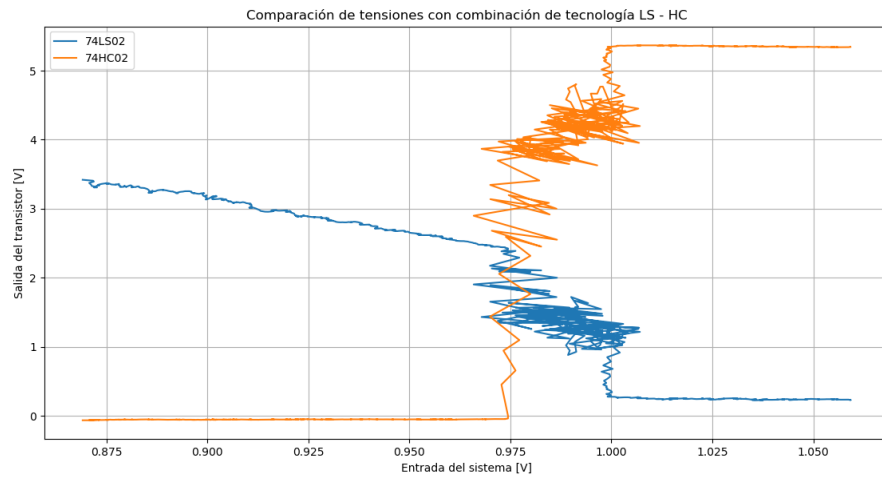


Figura 13: Entradas y salidas de las compuertas con tecnologías HC y LS.

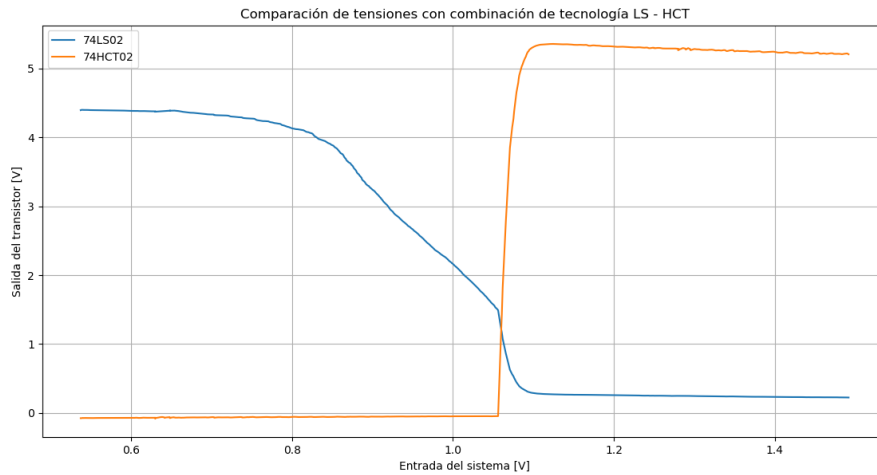


Figura 14: Entradas y salidas de las compuertas con tecnologías HCT y LS.

Se detalla de estas últimas figuras que el funcionamiento de la combinación LS - HCT, siendo el primero la salida y el segundo la entrada, es mucho más acorde y se empeña bajo un correcto funcionamiento, comparándolo con la disposición LS - HC, salida y entrada respectivamente.

3. Ejercicio 3

3.1. Introducción a riesgos estáticos

En este punto se analiza la siguiente tabla de verdad:

a	b	c	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Tabla 4: Tabla de verdad analizada.

Para ello, se vale del uso de un mapa de Karnaugh. De esta forma se encuentra su mínima expresión, la cuál se decidió expresar en minterminos.

		bc			
		00	01	11	10
a	0	0	1	1	1
	1	0	1	0	0

Figura 15: Mapa de Karnaugh de la Tabla (4).

Es así, que observando la Figura (15), se llega a la expresión:

$$Y(a, b, c) = \bar{b}c + \bar{a}b \quad (1)$$

Una forma de representar (1) se muestra en la Figura (16).

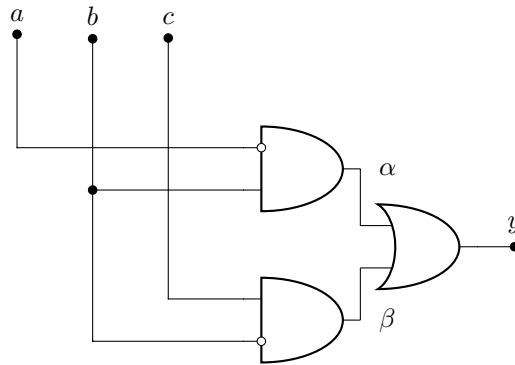


Figura 16: Circuito posible que representa a (1).

Desde una perspectiva sincrónica, este circuito no presenta ningún problema, ya que las señales existentes se propagan al mismo tiempo, si ningún tipo de demora en cada compuerta. Pero desde una perspectiva asincrónica no ocurre lo mismo.

Se analiza el caso en el cual $a = 0$ y $b = c = 1$, siendo entonces $Y = 1$. Si se permite que b cambie de 1 a 0, Y debe seguir siendo 1. Si se considera la demora existente en la propagación de una señal a través de una compuerta, el cambio de b puede llegar a ser visto en el nodo α antes que en el β , ya que para llegar a este último, la señal debe atravesar una compuerta más que para llegar al primero (la compuerta NOT previa a la AND). Por lo tanto, en este caso existe la posibilidad de obtener $\alpha = 0$ y $\beta = 0$, haciendo que $Y = 0$. Esto es lo que se conoce como un riesgo estático, los cuales son visibles cuando la salida debe mantenerse constante frente a un cambio de una de las variables de entrada, pero en vez de ser así, la salida varía momentáneamente para luego volver al valor debido.



Figura 17: Salida de un circuito frente a un error de riesgo estático.

Es posible detectar un error potencial observando el mapa de Karnaugh, ya que en cualquier lugar que se encuentre un par de 1s adyacentes que no sean cubiertos por un grupo de minterminos, puede existir un error como el mencionado (de la misma forma ocurre con los 0s y los maxterminos). Por lo tanto, agregando algún nuevo conjunto que incluya dicho par adyacente, se evita que exista un error de transición ya que dicho conjunto se encuentra incluido en un grupo³.

Por lo tanto, considerando todo lo dicho se evalúa nuevamente el mapa de Karnaugh de la Tabla (4), pero esta vez tomando un grupo adicional, representado en rojo:

		bc			
a		00	01	11	10
	0	0	1	1	1
	1	0	1	0	0

Figura 18: Mapa de Karnaugh en un modelo asincrónico.

La consideración presentada en la Figura (18) conduce a una nueva expresión, siendo esta:

$$Y(a, b, c) = \bar{b}c + \bar{a}b + \bar{a}c \quad (2)$$

³S. Brown and Z. Vranesic, Fundamentals of digital logic with verilog design, 3er ed. New York: McGraw-Hill, 2002.

De la misma forma que antes, se busca representar la ecuación hallada a partir del mapa de Karnaugh mediante un circuito lógico. Esto conduce al representado en la Figura (19).

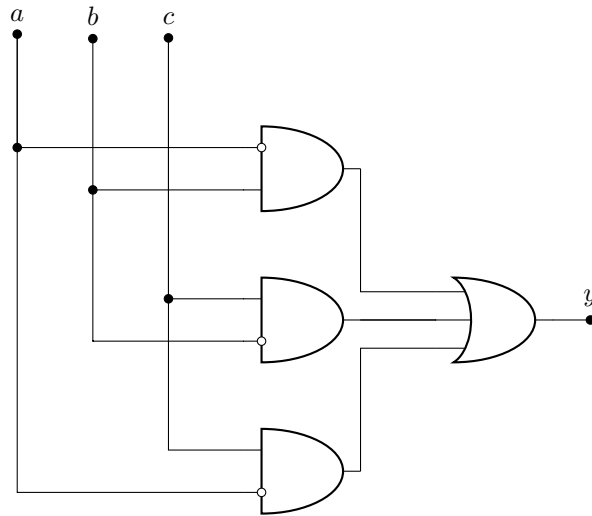


Figura 19: Circuito posible que representa a (2).

3.2. Desarrollo del circuito

Se implementó el circuito de la Figura (19) en un PCB. Para ello se valió del uso de las compuertas [SN74HC04](#), [SN74HC08](#) y [SN74HC32](#). Para poder realizar las mediciones adecuadas, y debido a que no se contaba con una compuerta OR de tres entradas, se decidió implementar en una primera instancia lo observado en la Figura (16) (es decir, el circuito que representa a $\bar{b}c + \bar{a}b$), la cual se encuentra conectada a una bornera para poder medirla y también a otra compuerta OR, cuya segunda entrada es la resultante del termino faltante ($\bar{a}c$), la cual se encuentra conectada a otra bornera. De esta forma se puede medir tanto el circuito sin la implementación de la solución del glitch y como con dicha implementación.

3.3. Mediciones

Se procede a simular la situación ejemplificada previamente, es decir con $a = 0$ y $c = 1$, alternando el valor de b entre 0 y 1. Dicha variación se logra utilizando un generador de ondas cuadradas, el cuál oscila entre 0 V y 5 V. Observando tanto la entrada como las dos salidas previamente mencionadas, se obtiene lo siguiente:

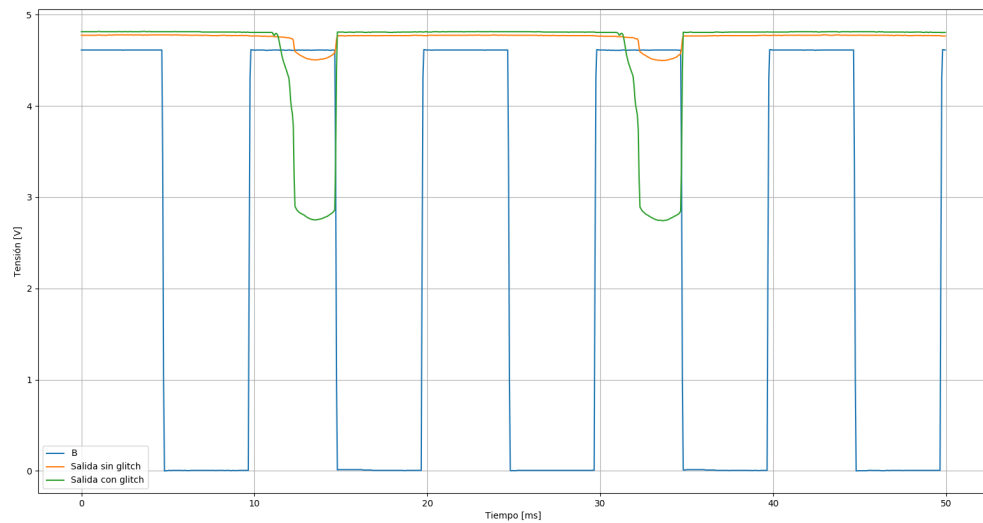


Figura 20: Salida con glitch y sin glitch variando b .

Por un lado se observa de la figura anterior como la salida varía en función de la entrada. Si bien la señal que no posee la solución al glitch (señal verde) no decae por completo a un cero lógico, esta posee una variación importante, la cual vale destacar. Dicha variación coloca la tensión a la salida de la primer compuerta OR por debajo de los 3,15 V, valor que, según la tecnología adoptada, es menor a la tensión V_{OH} , por ende, este valor deja de ser considerado como un uno lógico. Por otro lado, se denota que la señal que sí posee dicha solución (señal naranja) también posee una variación, la cual no es de importancia ya que se sigue manteniendo por encima de V_{OH} , de forma el valor lógico de esta salida no varía.

4. Ejercicio 4

5. Ejercicio 5

5.1. Introducción

En esta sección se procedió a realizar el análisis de dos compuertas lógicas de distintas tecnologías, las cuales que consisten en una compuerta AND de tecnología TTL y una compuerta OR CMOS, conectadas de la siguiente forma

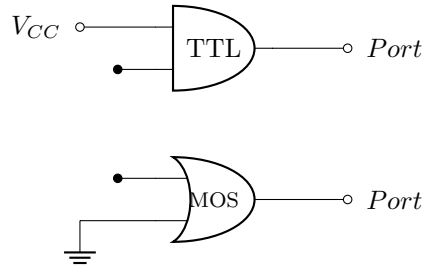


Figura 21: Circuitos en vacío.

5.2. Análisis compuerta AND Open Gate

Para realizar este análisis se utilizó una de las 4 compuertas que brinda el integrado [SN74S08](#). Como es una compuerta AND, y una de sus entradas ya esta conectada a V_{CC} , la señal de salida dependerá solo del valor que tenga la señal en esa sola entrada. Ahora, dejando al vacío esa entrada, se puede observar una tensión continua de valor aproximado 1,45 V, que corresponde al rango de valores que la compuerta considera como indeterminados, obteniéndose así a la salida un 1 lógico. Esto ocurre debido a que se esta dejando al vacío el emisor del transistor al que le corresponde esa entrada, por lo tanto dicho transistor se encuentra al corte, lo que hace que a la salida siempre se vea dicho valor. A su vez se procedió a tocar con la mano un cable que hacia contacto con la entrada de la compuerta que se encuentra al vacío, generando así variaciones de ruido. De esta forma se obtuvo lo siguiente:



Figura 22: Señal a la salida de la AND con una entrada en vacío otra a V_{CC}

Analizando la figura anterior se puede notar mayor resistencia al ruido que presenta la compuerta, ya que, a pesar de que a la entrada existe una oscilación de una frecuencia de 50 Hz, la salida se mantiene en un valor constante.

5.3. Análisis compuerta OR Open Gate

De forma análoga al caso anterior, se utilizó una de las compuertas lógicas que brinda el integrado [CD4071](#), pero en esta ocasión, se conectó uno de sus pines de entrada a GND , dejando el otro abierto. Es así que el valor que se ve a la salida depende únicamente del valor de la entrada que se dejó abierta. Como esta compuerta es de tecnología MOS, conectándose a su entrada el GATE de un transistor de este mismo tipo, y debido a la gran impedancia de entrada

que poseen, actúan como antena, lo que las hace mas susceptibles a cualquier señal de ruido que se encuentre presente. Teóricamente, si dicha señal de ruido llega a poseer una tensión lo suficientemente alta como para superar la V_{TH} del transistor, este se activa y produce una oscilación a la salida de la compuerta. Se realizaron distintas pruebas para poder ver este fenómeno, como por ejemplo, cuando se dejaba la entrada en vacío, se llegaba a apreciar una cierta cantidad de ruido pero no la suficiente para obtener alguna señal a la salida, por lo tanto se movió el circuito, de la misma forma que en el caso anterior, llegando así a obtener la siguiente medición:



Figura 23: Señal a la salida de la OR con una entrada en vacío otra a ground

Como se puede observar de la figura anterior, nuevamente la salida oscila a una frecuencia de 50Hz , correspondiendo a la frecuencia del ruido de línea.

Por otro lado, se conecto los circuitos de la siguiente manera:

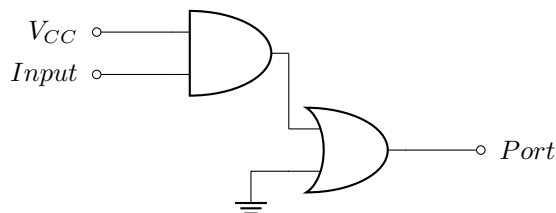


Figura 24: Conexión AND a la entrada de la OR.

La salida de este, por lo analizado en los anteriormente, solo depende de la señal de entrada que se utiliza. Analizando las hojas de datos de ambos integrados y utilizando una alimentación $V_{DD} = 4,5\text{ V}$, se obtiene que la tensión mínima de la salida en estado alto es $V_{OH} = 2,5\text{ V}$, la cual cae en el rango de valores indeterminados para la OR, siendo esta $V_{IL} = 3,15\text{ V}$ en el peor de los casos. Es así que se puede ocasionar que, a pesar de que la salida de la AND sea HIGH, en la salida total del circuito se vea un 0 lógico.

5.4. Solución al problema

Una solución al problema mencionado anteriormente se basa en utilizar un circuito llamado Level Shifter, el cual se puede fabricar utilizando un transistor PNP y un par de resistencias. Este circuito toma la salida de la primer compuerta y, en el caso de que está sea HIGH, lleva dicho valor a un nivel de tensión más alto para que así la compuerta siguiente pueda tomar correctamente el valor que debe recibir. Dicha solución se implemento al circuito anterior y se pudo solucionar el problema.

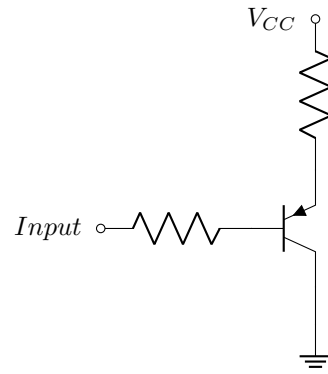


Figura 25: Implementación del level shifter.

6. Ejercicio 6

Es esta sección se implementa un SR-Latch y un Flip Flop D utilizando compuertas.

6.1. SR-Latch

Un Latch-SR es un elemento de memoria asincrónico con dos inputs (S y R), también conocido con Set-Reset Latch. A este circuito le corresponde la siguiente tabla de verdad:

S	R	Q_n
0	0	Q_{n-1}
0	1	0
1	0	1
1	1	0

Tabla 5: Tabla de verdad de un Latch-SR.

Se propusieron dos circuitos de implementación, utilizando para el primero compuertas del tipo NOR, mientras que para el segundo de tipo NAND, con la intención de no solo comparar los observables de interés con un modelo comercial, sino también entre distintos tipos de compuertas. Siendo los siguientes circuitos⁴:

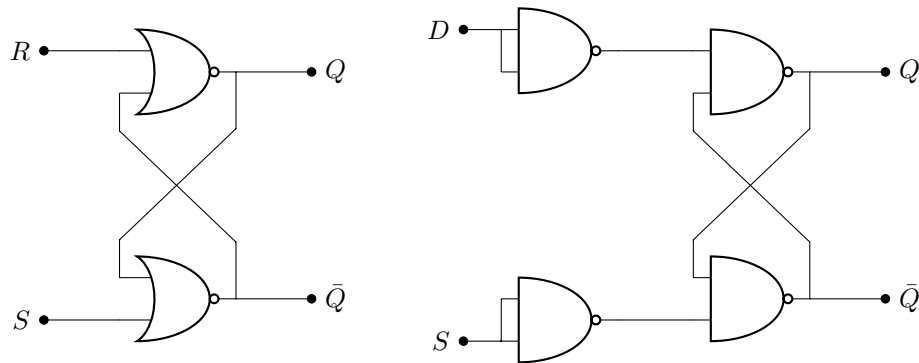


Figura 26: Circuito Propuesto SR-Latch.

Utilizando compuertas NOR y NAND, se eligió el integrado [74HC02](#) debido a que es High-Speed y que no se requiere compatibilidad con TTL, como se analizó en el Punto (2).

Se toman como observables de interés los tiempos de propagación y transición:

$$t_{p-SQ} : S \Rightarrow Q$$

$$t_{p-RQ} : R \Rightarrow Q$$

$$t_{r-SQ} : S \Rightarrow Q$$

$$t_{r-RQ} : R \Rightarrow Q$$

Estos parámetros son comparados con un integrado [74HC279](#), el cual contiene 4 SR-Latch. Las mediciones hechas se ven en la siguiente tabla:

	Circuito NOR	Circuito NAND	74HC279
t_{p-RQ}	8.3 ns	43.2 ns	8 ns
t_{t-RQ}	4.83 ns	4 ns	14 ns
t_{p-SQ}	24.24 ns	18 ns	15 ns
t_{t-SQ}	11 ns	4 ns	8 ns

Tabla 6: Mediciones obtenidas para el SR-Latch.

⁴Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.250-251.

A modo ilustrativo, para no mostrar la totalidad de las mediciones y llenar el informe con estas, se presentan las curvas medidas para el circuito previamente mencionado, en el caso de la propagación de S a Q:

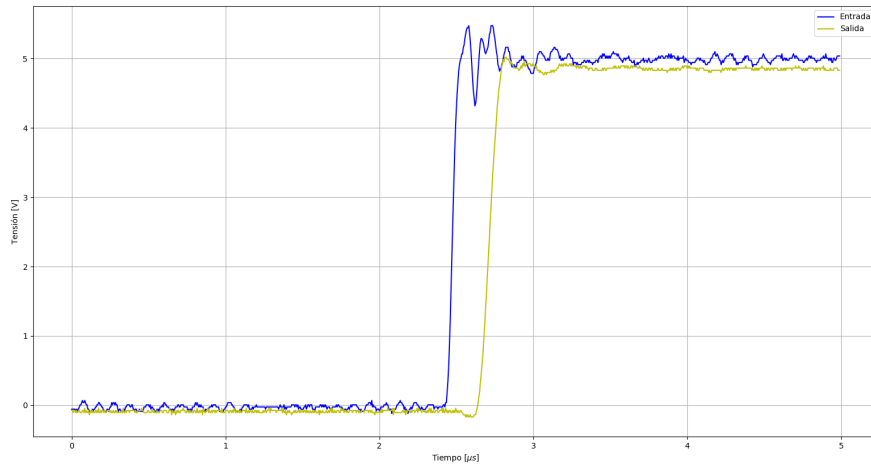


Figura 27: Tensiones medidas para el SR.

6.2. Flip Flop D

Un Flip Flop D es un elemento de memoria síncrono, el cual cuenta con 2 entradas, siendo una de clock y la otra de la información (Data). Le corresponde la siguiente tabla de verdad:

Clock	D	Q_n
↓	X	Q_{n-1}
↑	0	0
↑	1	1

Tabla 7: Tabla de verdad de un Flip Flop D.

El circuito de implementación propuesto es el siguiente⁵:

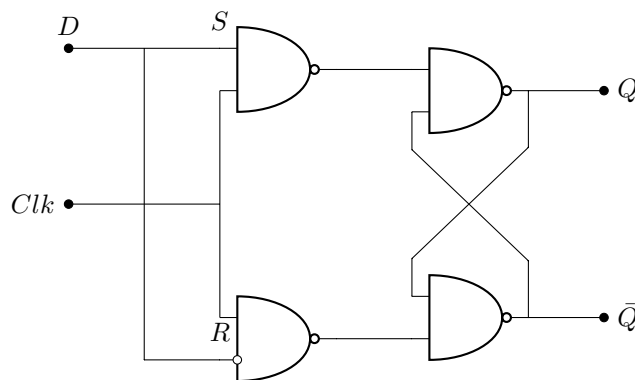


Figura 28: Circuito Propuesto Flip Flop D.

Este circuito se lleva a cabo utilizando compuertas NAND. Se eligió el integrado [74HC132](#) por las mismas razones que en el circuito anterior. Además, para el clock se realizó un Edge-Detector, implementado con el circuito presentado a continuación. Este dispositivo es anexo al circuito implementado con NANDS del latch SR.

⁵Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.254-256.

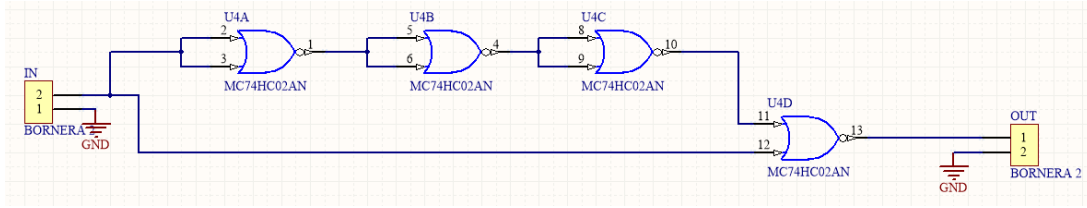


Figura 29: Edge-Detector realizado.

Se toman como observables de interés los tiempos de propagación y de transición:

$$t_{p-DQ} : D \Rightarrow Q$$

$$t_{t-DQ} : Q = 0 \Rightarrow Q = 1$$

En cuanto a la medición de estos tiempos, se tuvo la problemática de que el rise time de las compuertas eran menores al del osciloscopio. Para algunas de las mediciones se logró conseguir uno con mayor ancho de banda, lo cual permitió mejorarlas.

Estos tiempos medidos son comparados con un integrado **74HC374**, el cual contiene 8 Flip Flop D. Las mediciones hechas se ven en la siguiente tabla:

	Circuito	74HC374
t_{p-DQ}	23.6 ns	16 ns
t_{t-DQ}	4.43 ns	5 ns

Tabla 8: Mediciones obtenidas para el Flip Flop D.

Bajo el mismo criterio que se tomó para el caso del SR, se presenta una de las mediciones realizadas del último circuito analizado, mostrándose así la variación al colocar un uno lógico en D:

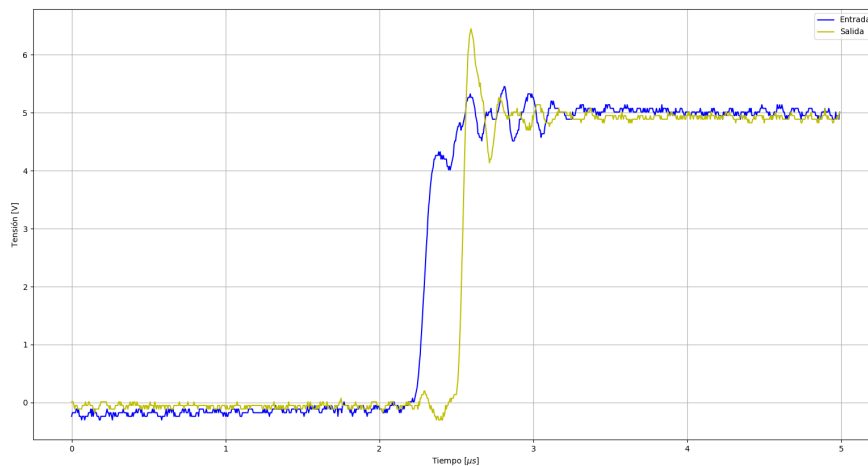


Figura 30: Tensiones medidas para el D Flip Flop.

A continuación se destaca que, observando las Tablas (6) y (8), los circuitos armados poseen valores próximos a los de los integrados, evidenciando un buen funcionamiento de estos. En algunos casos, los tiempos de propagación y transición son mayores a los de obtenidos de los comerciales. En otros casos, resalta que dichas variables son menores en los circuitos que en los integrados, factor que se atribuye a la fabricación propia de estos últimos. En otras palabras, el 74HC279 y el 74HC374, debido a su carácter comercial, poseen distintos tipos de consideraciones (estabilidad frente a ruido, temperatura, entre otras) que los desarrollados para este informe no, siendo estas las causantes de las diferencias previamente mencionadas.

Cabe destacar una ventaja que proporcionan los integrados, la cual no ha sido evidenciada hasta ahora. Esta es el tamaño que empeña cada uno en una placa. Los circuitos desarrollados para este informe ocupan mucho espacio, ya

que fueron concebidos mediante el uso de diversos integrados, de los cuales no se utilizaron todas las que brinda cada uno. Si bien, dichas placas pueden ser optimizadas empleando la totalidad de las compuertas, este no es el objetivo del informe.

Finalmente, se menciona una ventaja importante que posee la placa frente al integrado. Este punto a favor consiste en que se puede conocer como está compuesta, es decir, que tipo de compuertas se emplean, y permite comparaciones como la presentada en la Tabla (6), entre un circuito SR-Latch con compuertas NOR y con compuertas NAND, análisis que un Latch comercial no permite. De este último se destaca que, debido a las variaciones que presentan ambos circuitos, no se logra llegar a una unanimidad en cuanto a un circuito óptimo por sobre el otro. En otras palabras, se debe priorizar un carácter de interés en particular a la hora de seleccionar entre uno u otro.

7. Ejercicio 7