
Es esta sección se implementará un SR-Latch y un Flip Flop D utilizando compuertas.

0.1. SR-Latch

Un Latch-SR es un elemento de memoria asincrónico, con dos inputs (S-R) también conocido con Set-Reset Latch. Le corresponde la siguiente tabla de verdad:

S	R	Q_n
0	0	Q_{n-1}
0	1	0
1	0	1
1	1	0

El circuito propuesto de implementación es el siguiente:¹:

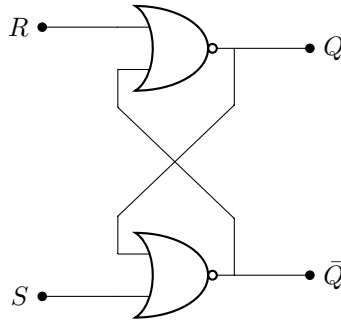


Figura 1: Circuito Propuesto SR-Latch.

Se llevará a cabo utilizando compuertas NOR, se eligió el integrado 74HC02 debido a que es High-Speed y no es necesario compatibilidad con TTL, como se analizó en el punto (2).

Se tomarán como observables de interés el tiempo de propagación:

$$t_{p-SQ} : S \Rightarrow Q \quad \wedge \quad t_{p-RQ} : R \Rightarrow Q \quad (1)$$

Estos tiempos serán comparados con un integrado 74HC279 el cual contiene 4 SR-Latch.

0.2. Flip Flop D

Un Flip Flop D es un elemento de memoria sincrónico, cuenta con 2 entradas siendo una de clock y la otra de la información (Data). Le corresponde la siguiente tabla de verdad:

¹Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.250-251.

Clock	D	Q_n
↓	X	Q_{n-1}
↑	0	0
↑	1	1

El circuito propuesto de implementación es el siguiente:²:

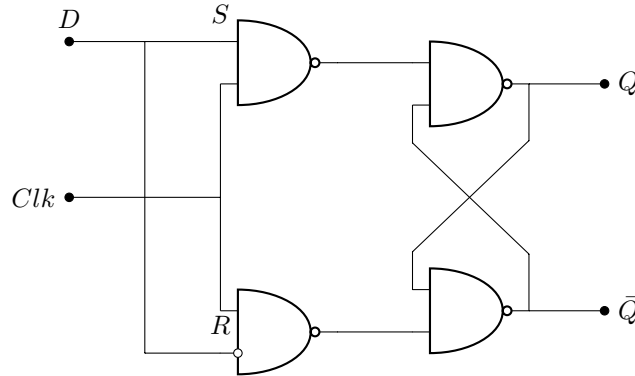


Figura 2: Circuito Propuesto Flip Flop D.

Se llevará a cabo utilizando compuertas NAND, se eligió el integrado 74HC132 debido a que es High-Speed y no es necesario compatibilidad con TTL, como se analizó en el punto (2).

Se tomarán como observables de interés el tiempo de propagación:

$$t_{p-SQ} : D \Rightarrow Q \quad (2)$$

Estos tiempos serán comparados con un integrado 74HC374 el cual contiene 8 Flip Flop D.

²Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.254-256.