

Es esta sección se implementará un SR-Latch y un Flip Flop D utilizando compuertas.

### 0.1. SR-Latch

Un Latch-SR es un elemento de memoria asincrónico con dos inputs (S y R), también conocido con Set-Reset Latch. A este circuito le corresponde la siguiente tabla de verdad:

S	R	$Q_n$
0	0	$Q_{n-1}$
0	1	0
1	0	1
1	1	0

Se propusieron dos circuitos de implementación, utilizando para el primero compuertas del tipo NOR, mientras que para el segundo de tipo NAND, con la intención de no solo comparar los observables de interés con un modelo comercial, sino también entre distintos tipos de compuertas. Siendo los siguientes circuitos<sup>1</sup>:

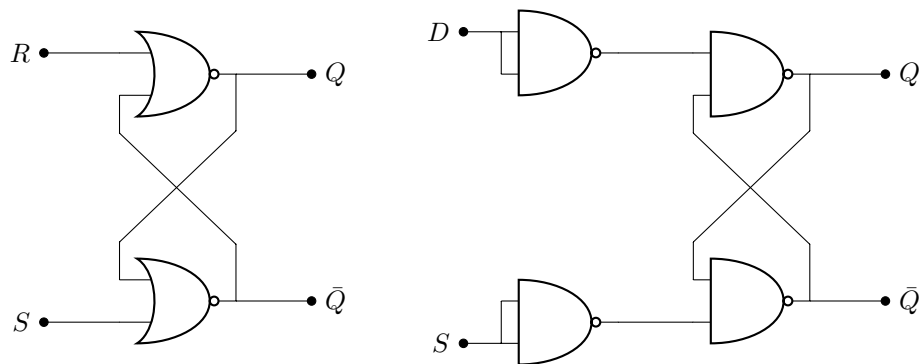


Figura 1: Circuito Propuesto SR-Latch.

Se lleva a cabo utilizando compuertas NOR y NAND, se eligió el integrado [74HC02](#) debido a que es High-Speed y ya que no es necesario compatibilidad con TTL, como se analizó en el punto (2).

Se toman como observables de interés el tiempo de propagación:

$$t_{p-SQ} : S \Rightarrow Q$$

$$t_{p-RQ} : R \Rightarrow Q$$

Estos tiempos son comparados con un integrado [74HC279](#), el cual contiene 4 SR-Latch. Las mediciones hechas se ven en la siguiente tabla:

	Circuito NOR	Circuito NAND	74HC279
$t_{p-RQ}$	8.3nS	43.2ns	8nS
$t_{t-RQ}$	4.83nS	4nS	14nS
$t_{p-SQ}$	24.24nS	18ns	15nS
$t_{t-SQ}$	11nS	4ns	8nS

Es notable que los tiempos son similares. Por otro lado, el espacio que ocupan no lo es, dado que toma el doble de integrados para la misma cantidad de Latches.

### 0.2. Flip Flop D

Un Flip Flop D es un elemento de memoria sincrónico, el cual cuenta con 2 entradas, siendo una de clock y la otra de la información (Data). Le corresponde la siguiente tabla de verdad:

<sup>1</sup>Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.250-251.

Clock	D	$Q_n$
↓	X	$Q_{n-1}$
↑	0	0
↑	1	1

El circuito de implementación propuesto es el siguiente<sup>2</sup>:

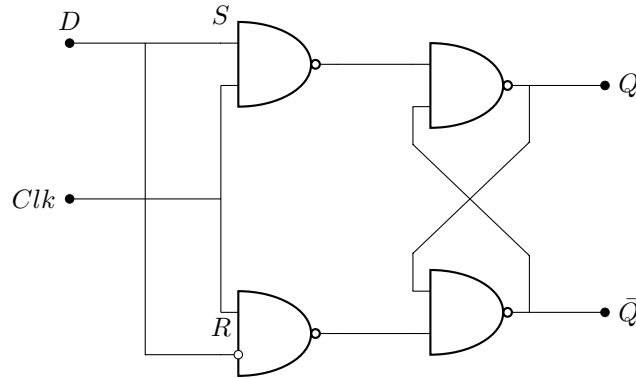


Figura 2: Circuito Propuesto Flip Flop D.

Este circuito se lleva a cabo utilizando compuertas NAND. Se eligió el integrado 74HC132 debido a que es High-Speed y no es necesaria la compatibilidad con TTL, como se analizó en el punto (2). También para el clock se realizó un Edge-Detector implementado con el circuito presentado a continuación. Este dispositivo es anexo al circuito implementado con NANDS del latch SR.

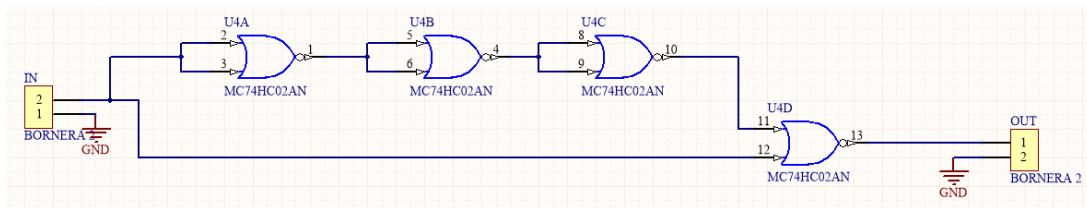


Figura 3: Edge-Detector realizado.

Se toman como observables de interés el tiempo de propagación y de transición:

$$t_{p-DQ} : D \Rightarrow Q$$

$$t_{t-DQ} : Q = 0 \Rightarrow Q = 1$$

En cuanto a la medición de estos tiempos, se tuvo la problemática de que el rise time de las compuertas eran menores que el rise time del osciloscopio. Para algunas de ellas se logró conseguir uno con mayor ancho de banda, lo cual mejoró las mediciones.

Estos tiempos medidos son comparados con un integrado 74HC374, el cual contiene 8 Flip Flop D. Las mediciones hechas se ven en la siguiente tabla:

	Circuito	74HC374
$t_{p-DQ}$	23.6nS	16nS
$t_{t-DQ}$	4.43nS	5nS

<sup>2</sup>Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.254-256.