

# Instituto Tecnológico de Buenos Aires

22.13 ELECTRÓNICA III

---

## Trabajo práctico N°1

---

*Grupo 3*

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
MARTORELL, Ariel	56209
LONDERO BONAPARTE, Tomás Guillermo	58150

*Profesores*

DEWALD, Kevin  
WUNDES, Pablo Enrique  
AGUIRRE, Miguel Pablo

Presentado: /19

# Índice

<b>1. Ejercicio 3</b>	<b>2</b>
1.1. Introducción a riesgos estáticos . . . . .	2
1.2. Desarrollo del circuito . . . . .	4
1.3. Mediciones . . . . .	4

## 1. Ejercicio 3

### 1.1. Introducción a riesgos estáticos

En este punto se analiza la siguiente tabla de verdad:

a	b	c	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Tabla 1: Tabla de verdad analizada.

Para ello, se vale del uso de un mapa de Karnaugh. De esta forma se encuentra su mínima expresión, la cuál se decidió expresar en minterminos.

bc a	00	01	11	10
0	0	1	1	1
1	0	1	0	0

Figura 1: Mapa de Karnaugh de la Tabla (1).

Es así, que observando la Figura (1), se llega a la expresión:

$$Y(a, b, c) = \bar{b}c + \bar{a}b \quad (1)$$

Una forma de representar (1) se muestra en la Figura (2).

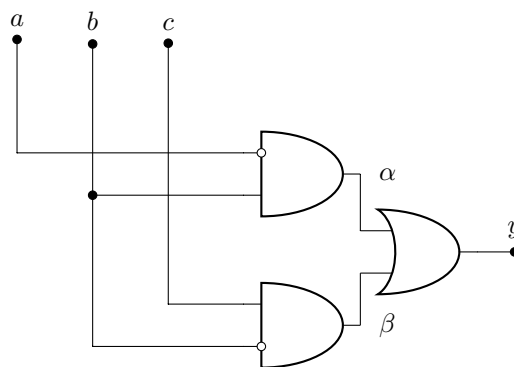


Figura 2: Circuito posible que representa a (1).

Desde una perspectiva sincrónica, este circuito no presenta ningún problema, ya que las señales existentes se propagan al mismo tiempo, si ningún tipo de demora en cada compuerta. Pero desde una perspectiva asincrónica no ocurre lo mismo.

Se analiza el caso en el cual  $a = 0$  y  $b = c = 1$ , siendo entonces  $Y = 1$ . Si se permite que  $b$  cambie de 1 a 0,  $Y$  debe seguir siendo 1. Si se considera la demora existente en la propagación de una señal a través de una compuerta, el cambio de  $b$  puede llegar a ser visto en el nodo  $\alpha$  antes que en el  $\beta$ , ya que para llegar a este último, la señal debe atravesar una compuerta más que para llegar al primero (la compuerta NOT previa a la AND). Por lo tanto, en este

caso existe la posibilidad de obtener  $\alpha = 0$  y  $\beta = 0$ , haciendo que  $Y = 0$ . Esto es lo que se conoce como un riesgo estático, los cuales son visibles cuando la salida debe mantenerse constante frente a un cambio de una de las variables de entrada, pero en vez de ser así, la salida varía momentáneamente para luego volver al valor debido.



Figura 3: Salida de un circuito frente a un error de riesgo estático.

Es posible detectar un error potencial observando el mapa de Karnaugh, ya que en cualquier lugar que se encuentre un par de 1s adyacentes que no sean cubiertos por un grupo de minterminos, puede existir un error como el mencionado (de la misma forma ocurre con los 0s y los maxterminos). Por lo tanto, agregando algún nuevo conjunto que incluya dicho par adyacente, se evita que exista un error de transición ya que dicho conjunto se encuentra incluido en un grupo.<sup>1</sup>

Por lo tanto, considerando todo lo dicho se vuelve a considerar el mapa de Karnaugh de la Tabla (1), pero esta vez tomando un grupo adicional, representado en rojo:

a \ bc	00	01	11	10
0	0	1	1	1
1	0	1	0	0

Figura 4: Mapa de Karnaugh en un modelo asincrónico.

La consideración presentada en la Figura (4) conduce a una nueva expresión, siendo esta:

$$Y(a, b, c) = \bar{b}c + \bar{a}b + \bar{a}c \quad (2)$$

De la misma forma que antes, se busca representar la ecuación hallada a partir del mapa de Karnaugh mediante un circuito lógico. Esto conduce al representado en la Figura (5).

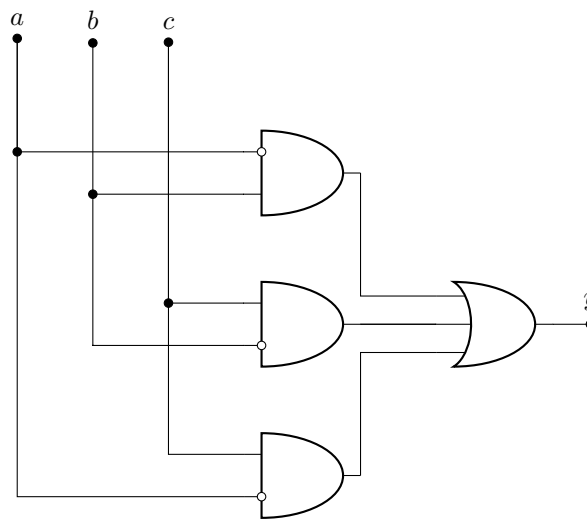


Figura 5: Circuito posible que representa a (2).

<sup>1</sup>S. Brown and Z. Vranesic, Fundamentals of digital logic with verilog design, 3er ed. New York: McGraw-Hill, 2002.

## 1.2. Desarrollo del circuito

Se implementó el circuito de la Figura (5) en un PCB. Para ello se valió del uso de las compuertas [SN74HC04](#), [SN74HC08](#) y [SN74HC32](#). Para poder realizar las mediciones adecuadas, y debido a que no se contaba con una compuerta OR de tres entradas, se decidió implementar en una primera instancia lo observado en la Figura (2) (es decir, el circuito que representa a  $\bar{b}c + \bar{a}b$ ), la cual se encuentra conectada a una bornera para poder medirla y también a otra compuerta OR, cuya segunda entrada es la resultante del termino faltante ( $\bar{a}c$ ), la cual se encuentra conectada a otra bornera. De esta forma se puede medir tanto el circuito sin la implementación de la solución del glitch y como con dicha implementación.

## 1.3. Mediciones

Se procede a simular la situación ejemplificada previamente, es decir con  $a = 0$  y  $c = 1$ , alternando el valor de  $b$  entre 0 y 1. Dicha variación se simula utilizando un generador de ondas cuadradas, el cuál oscila entre 0 V y 5 V. Observando tanto la entrada como las dos salidas previamente mencionadas, se obtiene lo siguiente:

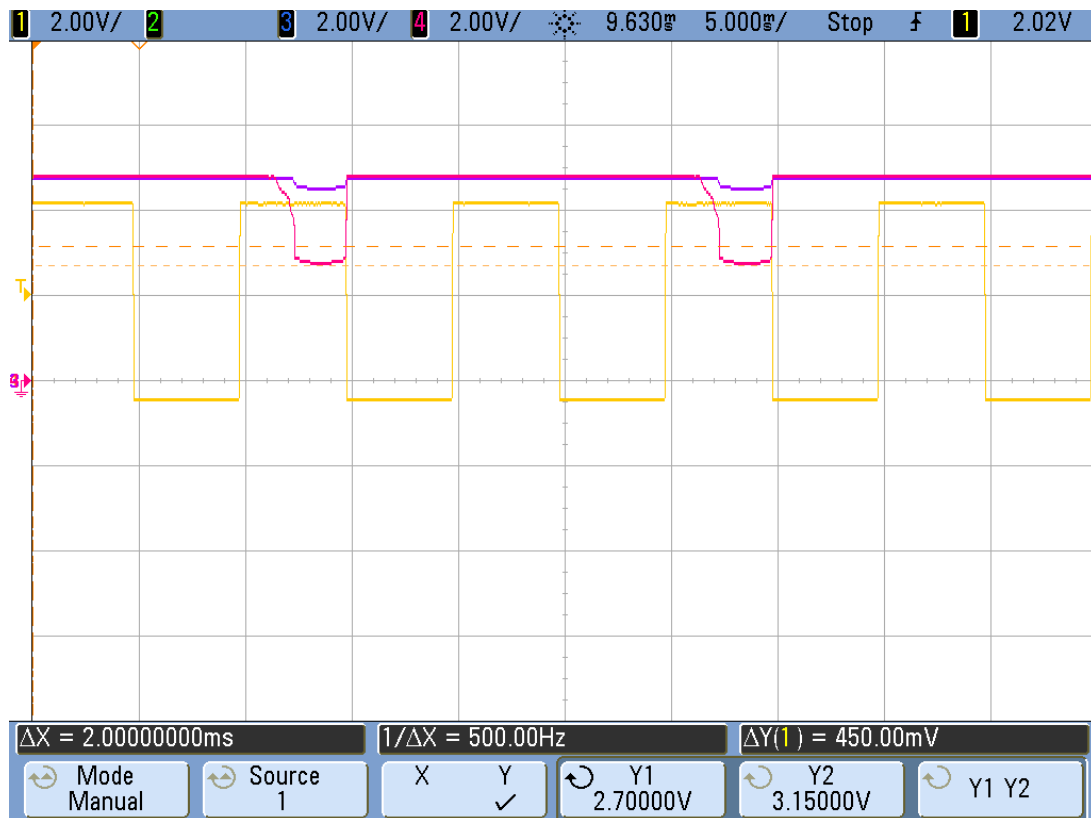


Figura 6: Salida con glitch (rosa) y sin glitch (violeta) variando  $b$  (amarillo).

Por un lado se observa de la figura anterior como la salida varía en función de la entrada. Si bien la señal que no posee la solución al glitch (señal rosada) no decae por completo a un cero lógico, esta posee una variación importante, la cual vale destacar. Dicha variación coloca la tensión a la salida de la primer compuerta OR por debajo de los 3,15 V, valor que, según la tecnología adoptada, es menor a la tensión  $V_{OH}$ , por ende, este valor deja de ser considerado como un uno lógico. Por otro lado, se denota que la señal que sí posee dicha solución (señal violeta) también posee una variación, la cual no es de importancia ya que se sigue manteniendo por encima de  $V_{IH}$ , de forma el valor lógico de esta salida no varía.