

## 0.1. Ejercicio 6

Es esta sección se implementará un SR-Latch y un Flip Flop D utilizando compuertas.

### 0.1.1. SR-Latch

Un Latch-SR es un elemento de memoria asincrónico, con dos inputs (S-R) también conocido con Set-Reset Latch. Le corresponde la siguiente tabla de verdad:

$S$	$R$	$Q_n$
0	0	$Q_{n-1}$
0	1	0
1	0	1
1	1	0

Se propusieron dos circuitos de implementación siendo uno implementado con NOR y uno con NAND con la intención de no solo comparar los observables de interés con un modelo comercial sino también entre distintos tipos de compuertas. Siendo los siguientes circuitos:<sup>1</sup>:

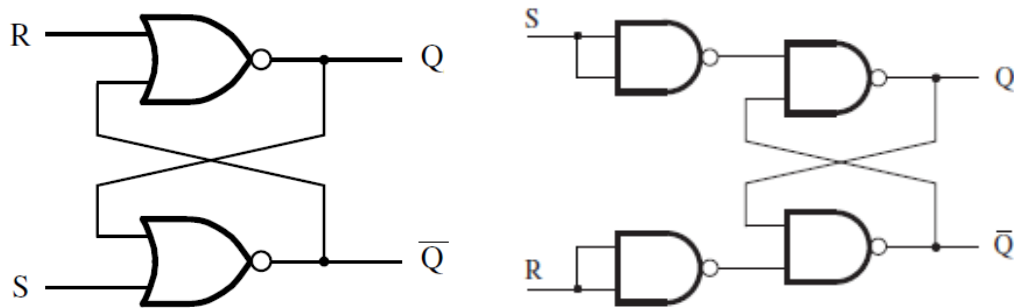


Figura 1: Circuito Propuesto SR-Latch.

Se llevará a cabo utilizando compuertas NOR y NAND, se eligió el integrado 74HC02 debido a que es High-Speed y no es necesario compatibilidad con TTL, como se analizó en el punto (2).

Se tomarán como observables de interés el tiempo de propagación:

$$t_{p-SQ} : S \Rightarrow Q \quad \wedge \quad t_{p-RQ} : R \Rightarrow Q \quad (1)$$

Estos tiempos serán comparados con un integrado 74HC279 el cual contiene 4 SR-Latch.

Las mediciones hechas se ven en la siguiente tabla:

	Circuito NOR	Circuito NAND	74HC279
$t_{p-RQ}$	8.3nS	43.2ns	8nS
$t_{t-RQ}$	4.83nS	4nS	14nS
$t_{p-SQ}$	24.24nS	18ns	15nS
$t_{t-SQ}$	11nS	4ns	8nS

Es notable que los tiempos son bastante similares, el espacio que ocupan no lo es, dado que toma el doble de integrados para la misma cantidad de Latches.

### 0.1.2. Flip Flop D

Un Flip Flop D es un elemento de memoria sincrónico, cuenta con 2 entradas siendo una de clock y la otra de la información (Data). Le corresponde la siguiente tabla de verdad:

<sup>1</sup>Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.250-251.

Clock	D	$Q_n$
↓	X	$Q_{n-1}$
↑	0	0
↑	1	1

El circuito propuesto de implementación es el siguiente:<sup>2</sup>:

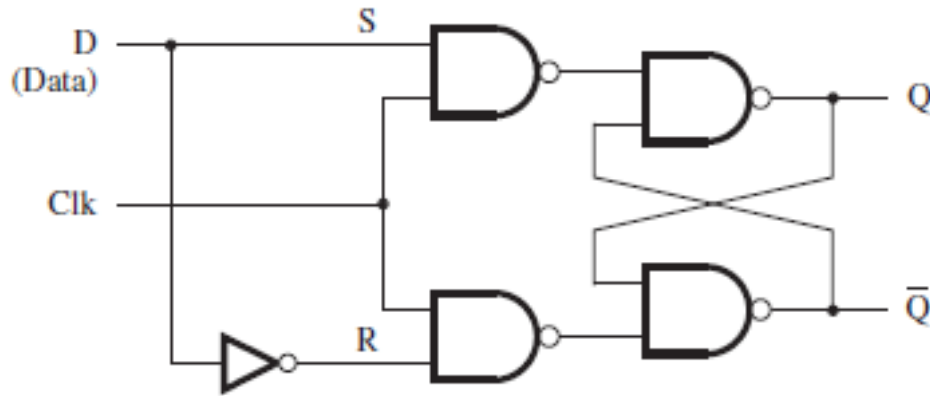


Figura 2: Circuito Propuesto Flip Flop D.

Se llevará a cabo utilizando compuertas NAND, se eligió el integrado **74HC132** debido a que es High-Speed y no es necesario compatibilidad con TTL, como se analizó en el punto (2). También para el clock se realizó un edge-Detector implementado con el siguiente circuito:

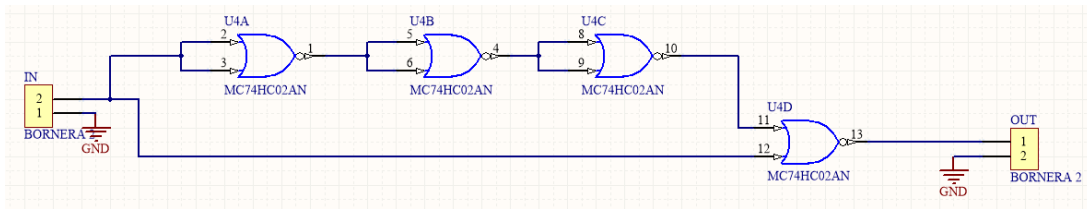


Figura 3: Edge detector.

El cual es anexo al circuito implementado con NANDS del latch SR.

Se tomarán como observables de interés el tiempo de propagación y de transición:

$$t_{p-DQ} : D \Rightarrow Q \quad t_{t-DQ} : Q = 0 \Rightarrow Q = 1 \quad (2)$$

En cuanto a la medición de estos tiempos, se tuvo la problemática de que el rise time de las compuertas eran menores que el rise time del osciloscopio, en algunas de ellas se logró conseguir un osciloscopio con mayor ancho de banda lo cual mejoró las mediciones.

Estos tiempos medidos serán comparados con un integrado **74HC374** el cual contiene 8 Flip Flop D. Las mediciones hechas se ven en la siguiente tabla:

	Circuito	74HC374
$t_{p-DQ}$	23.6nS	16nS
$t_{t-DQ}$	4.43nS	5nS

<sup>2</sup>Brown, S. and Vranesic, Z. (2002). Fundamentals of digital logic with VHDL design. 3rd ed. pp.254-256.