

0.1. Introducción a riesgos estáticos

En este punto se analiza la siguiente tabla de verdad:

a	b	c	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Tabla 1: Tabla de verdad analizada.

Para ello, se vale del uso de un mapa de Karnaugh. De esta forma se hallar su mínima expresión, la cuál se decidió expresar en minterminos.

bc a	00	01	11	10
0	0	1	1	1
1	0	1	0	0

Figura 1: Mapa de Karnaugh de la Tabla (1).

Es así, que observando la Figura (1), se llega a la expresión:

$$Y(a, b, c) = \bar{b}c + \bar{a}b \quad (1)$$

Una forma de representar (1) se muestra en la Figura (2).

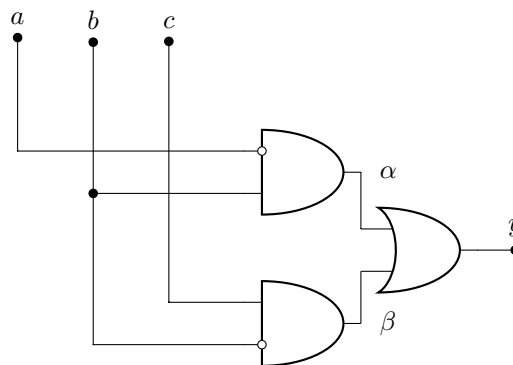


Figura 2: Circuito posible que representa a (1).

Desde una perspectiva sincrónica, este circuito no presenta ningún problema, ya que las señales existentes se propagan al mismo tiempo, si ningún tipo de demora en cada compuerta. Pero desde una perspectiva asincrónica no ocurre lo mismo.

Se analiza el caso en el cual $a = 0$ y $b = c = 1$, siendo entonces $Y = 1$. Si se permite que b cambie de 1 a 0, Y debe seguir siendo 1. Si se considera la demora existente en la propagación de una señal a través de una compuerta, el cambio de b puede llegar a ser visto en el nodo α antes que en el β , ya que para llegar a este último, la señal debe atravesar una compuerta más que para llegar al primero (la compuerta NOT previa a la AND). Esto es lo que se conoce como un riesgo estático, los cuales son visibles cuando la salida debe mantenerse constante frente a un cambio de una de las variables de entrada, pero en vez de ser así, la salida varía momentáneamente para luego volver al valor debido.



Figura 3: Salida de un circuito frente a cualquier riesgo estático.

Es posible detectar un error potencial observando el mapa de Karnaugh, ya que en cualquier lugar que se encuentre un par de 1s adyacentes que no sean cubiertos por un grupo de minterminos, puede existir un error como el mencionado (de la misma forma ocurre con los 0s y los maxterminos). Por lo tanto, agregando algún nuevo conjunto que incluya dicho par adyacente, se evita que exista un error de transición ya que dicho conjunto se encuentra incluido en un grupo¹.

Por lo tanto, considerando todo lo dicho se vuelve a considerar el mapa de Karnaugh de la Tabla (1), pero esta vez tomando un grupo adicional, representado en rojo:

a \ bc	00	01	11	10
0	0	1	1	1
1	0	1	0	0

Figura 4: Mapa de Karnaugh considerando un modelo asincrónico.

La consideración presentada en la Figura (4) conduce a una nueva expresión, siendo esta:

$$Y(a, b, c) = \bar{b}c + \bar{a}b + \bar{a}c \quad (2)$$

¹S. Brown and Z. Vranesic, Fundamentals of digital logic with verilog design, 3rd ed. New York: McGraw-Hill, 2002.

De la misma forma que antes, se busca representar la ecuación hallada a partir del mapa de Karnaugh mediante un circuito lógico. Esto conduce al representado en la Figura(5).

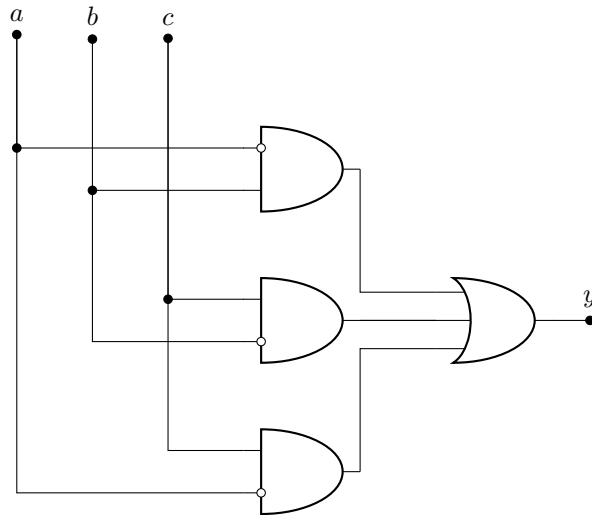


Figura 5: Circuito posible que representa a (2).

0.2. Desarrollo del circuito

0.3. Mediciones