

# Instituto Tecnológico de Buenos Aires

22.13 ELECTRÓNICA III

---

## Trabajo práctico N°2

---

*Grupo 3*

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
MARTORELL, Ariel	56209
LONDERO BONAPARTE, Tomás Guillermo	58150

*Profesores*

DEWALD, Kevin  
WUNDES, Pablo Enrique  
AGUIRRE, Miguel Pablo

Presentado: 17/10/19

# Índice

<b>1. Ejercicio 1</b>	<b>2</b>
<b>2. Ejercicio 2</b>	<b>2</b>
2.1. Análisis de compatibilidad . . . . .	2
2.2. Margen de ruido . . . . .	2
2.3. Análisis de Fanout . . . . .	4
2.4. Mediciones . . . . .	4
<b>3. Ejercicio 3</b>	<b>7</b>
<b>4. Ejercicio 4</b>	<b>7</b>
4.1. Introducción . . . . .	7
4.2. Mediciones a baja frecuencia . . . . .	8
4.3. Mediciones a alta frecuencia . . . . .	8
4.4. Mediciones a la tensión de alimentación . . . . .	8
<b>5. Ejercicio 5</b>	<b>9</b>
5.1. Introducción . . . . .	9
5.2. Análisis compuerta AND Open Gate . . . . .	9
5.3. Análisis compuerta OR Open Gate . . . . .	9
5.4. Solución al problema . . . . .	10
<b>6. Ejercicio 6</b>	<b>11</b>
6.1. SR-Latch . . . . .	11
6.2. Flip Flop D . . . . .	12
<b>7. Ejercicio 7</b>	<b>14</b>

## 1. Ejercicio 1

## 2. Ejercicio 2

### 2.1. Análisis de compatibilidad

En esta instancia del informe, se procede a comparar compuertas lógicas del tipo NOR de diversas tecnologías. Para ello se vale de las hojas de datos de las compuertas [74HC02](#), [74HCT02](#) y [74LS02](#). Previo a dicho análisis, cabe detallar cada una de las tecnologías. Primero, se encuentra el 74HC02, siendo este, como su nombre lo indica, del tipo HC, cuyas siglas significan “High-speed CMOS”, tecnología caracterizada por ser de baja potencia y alta velocidad. Luego se encuentra el 74HCT02, siendo HCT una variación de las HC. Esta denominación proviene de las mismas siglas previamente mencionadas, solo que además posee compatibilidad con la tecnología conocida como “logica transistor–transistor” (TTL). En otras palabras, este tipo de compuertas puede operar bajo dicho estándar de tensiones, tanto de alimentación como de input.<sup>1</sup> Finalmente se encuentra el 74LS02, cuyas siglas provienen de “Low - power Schottky”. Los integrados de esta familia se caracterizan por estar hechos con tecnología TTL.<sup>2</sup> Se recuerda del Ejercicio (1) que estos últimos dispositivos, a diferencia de los dos primeros, se encuentra fabricado mediante el uso de tecnología BJT.

### 2.2. Margen de ruido

Analizando las respectivas hojas de datos, se recopila información sobre los valores aceptables de señal, tanto de entrada como de salida. Es así que se realiza la siguiente tabla:

	$V_{CC}$ [V]	74HC02		74HCT02		74LS02	
		Min. [V]	Max. [V]	Min. [V]	Max. [V]	Min. [V]	Max. [V]
$V_{OH}$	2	1.9	-	-	-	-	-
	4.5	4.4	-	3.84	-	2.7	-
	6	5.9	-	-	-	-	-
$V_{OL}$	2	-	0.1	-	-	-	-
	4.5	-	0.1	-	0.33	-	0.5
	6	-	0.1	-	-	-	-
$V_{IH}$	2	1.5	-	-	-	-	-
	4.5	3.15	-	2	-	2	-
	6	4.2	-	-	-	-	-
$V_{IL}$	2	-	0.5	-	-	-	-
	4.5	-	1.35	-	0.8	-	0.8
	6	-	1.8	-	-	-	-

Tabla 1: Tabla de valores de entrada y salida de los tres integrados.

Con la información que se ha detallado, se procede a analizar el margen de ruido, tanto para los niveles altos (high), como para los bajos (low), al combinar tecnologías HC y LS, siendo este calculado de la forma

$$NM_{High} = V_{OH} - V_{IH}$$

$$NM_{Low} = V_{IL} - V_{OL}$$

Nuevamente se decide plasmar los resultados en una tabla:

In	Out	$V_{CC}$ [V]	$NM_{High}$ [V]	$NM_{Low}$ [V]
74LS02	74HC02	4.5	2.4	0.7
74HC02	74LS02	4.5	-0.45	0.85

Tabla 2: Margen de ruido para combinaciones de tecnologías HC y LS.

Luego, se procede a representar de una forma más clara los datos obtenidos en la Tabla (1) y (2).

<sup>1</sup>“Logic family”, En.wikipedia.org, 2019. [Online]. Available: [https://en.wikipedia.org/wiki/Logic\\_family#HC\\_logic](https://en.wikipedia.org/wiki/Logic_family#HC_logic). [Accessed: 21-Sep- 2019].

<sup>2</sup>“Serie 7400”, Es.wikipedia.org, 2019. [Online]. Available: [https://es.wikipedia.org/wiki/Serie\\_7400](https://es.wikipedia.org/wiki/Serie_7400). [Accessed: 21-Sep- 2019].

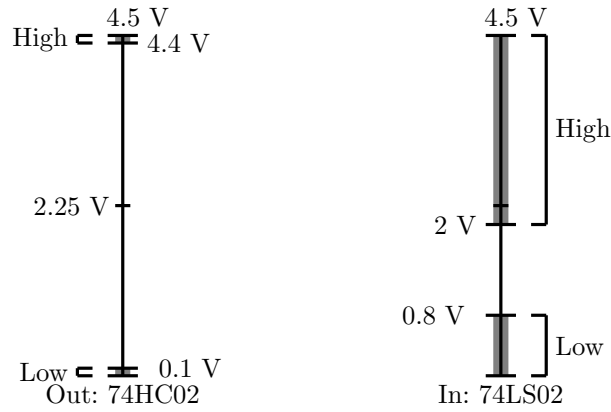


Figura 1: Comparación de tecnologías con HC a la salida y LS a la entrada.

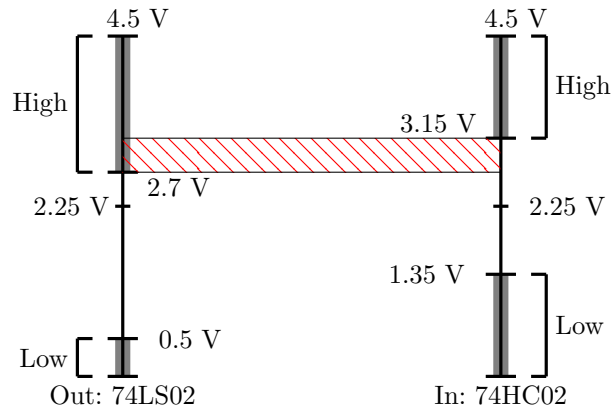


Figura 2: Comparación de tecnologías con LS a la salida y HC a la entrada.

A la hora de conectar una compuerta con otra, es deseable que los rangos de valores válidos de salida sean menores que los de entrada, ya que de esta forma se garantiza que cualquier salida sea interpretada adecuadamente por la siguiente etapa. Por consiguiente, de la Tabla (2) se destaca el valor negativo de  $NM_{High}$  al colocar las compuertas de tecnología HC a la salida de una LS, detalle que se vuelve a observar en la Figura (2). Al conectar los dispositivos como se mencionó anteriormente, se pone en evidencia que existe la posibilidad de que tensiones de salida, que se consideran altas, caigan en un margen en el cual la siguiente compuerta las considera como valores imprecisos, es decir, que no actúa frente a estos. Particularmente, tensiones de salida desde 2.7 V hasta 3.15 V sin incluir, que son considerados como activos altos para la tecnología LS, no lo son para la HC. Por lo tanto, no es conveniente realizar dicha conexión, ya que se podría generar pérdida de datos, o incluso que ambas compuertas se afecten y se carguen entre sí.

A continuación, se procede a reemplazar la compuerta 74HC02 por la de tecnología HTC. De esta forma, y nuevamente mediante lo expresado en la Tabla (1), se obtiene lo siguiente:

In	Out	$V_{CC}$ [V]	$NM_{High}$ [V]	$NM_{Low}$ [V]
74LS02	74HCT02	4.5	1.84	0.47
74HCT02	74LS02	4.5	0.7	0.3

Tabla 3: Margen de ruido para combinaciones de tecnologías HCT y LS.

De manera análoga al caso anterior, se confeccionan los siguientes gráficos:

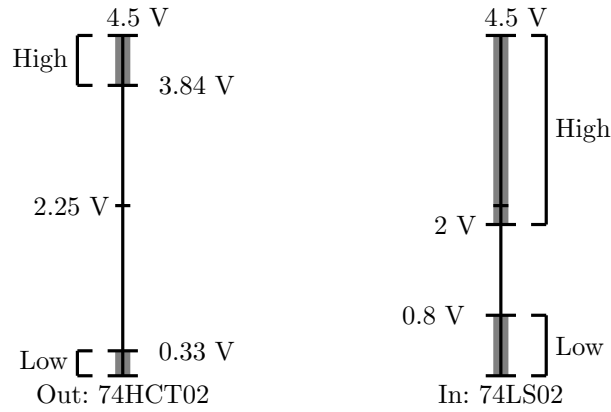


Figura 3: Comparación de tecnologías con HCT a la salida y LS a la entrada.

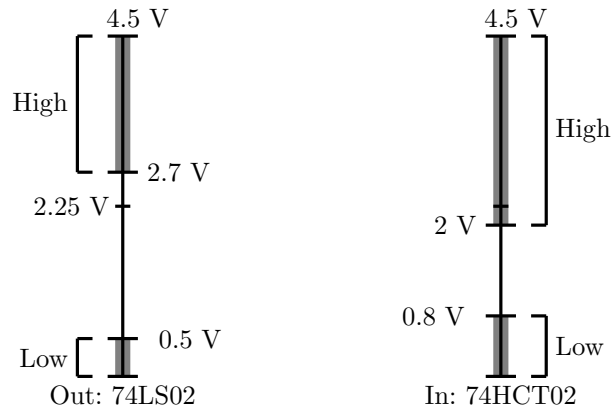


Figura 4: Comparación de tecnologías con LS a la salida y HCT a la entrada.

Como era de esperarse, y debido a a que la compuerta 74HCT02 es compatible con la tecnología TTL, al reemplazar la HC por la HTC se soluciona el problema presentado previamente, ya que al comparar las Figuras (2) y (4), se observa que ya no existe una zona en la cual las tensiones de salida no son consideradas como validas por la entrada siguiente.

### 2.3. Análisis de Fanout

Se procede a analizar el fanout de la conexión presentada en la Figura (1), ya que no es conveniente llevar adelante la otra conexión presentada, debido a los motivos ya expuestos. Para ello de debe saber cuatro factores:  $I_{OH}$ ,  $I_{OL}$ ,  $I_{IH}$  y  $I_{IL}$ , los cuales son obtenidos de la hoja de datos. De esta forma, se calcula esta variable de la forma

$$FO = \min \left( \frac{I_{OH}}{I_{IH}}, \frac{I_{OL}}{I_{IL}} \right) = \min \left( \left| \frac{-400 \mu A}{20 \mu A} \right|, \left| \frac{16 mA}{-0.4 mA} \right| \right) = \min (20, 40) = 20$$

Por otro lado, se destaca que en el caso de colocar la compuerta de tecnología HCT a la salida y la LS a la entrada, no genera cambios en el fanout, ya que solo se debe corregir los valores de  $I_{OH}$  y  $I_{OL}$ , los cuales son los mismos que para la tecnología HC.

### 2.4. Mediciones

A continuación, se presentan las mediciones que permiten comparar el margen de ruido representado previamente, para las combinaciones mencionadas. Se diseñó un circuito que respete lo mostrado en la Figura (2), con las compuertas mencionadas, variando la entrada del circuito con una rampa periódica que varía desde los 0 V hasta los 5 V. De esta forma se obtuvieron las siguientes mediciones:

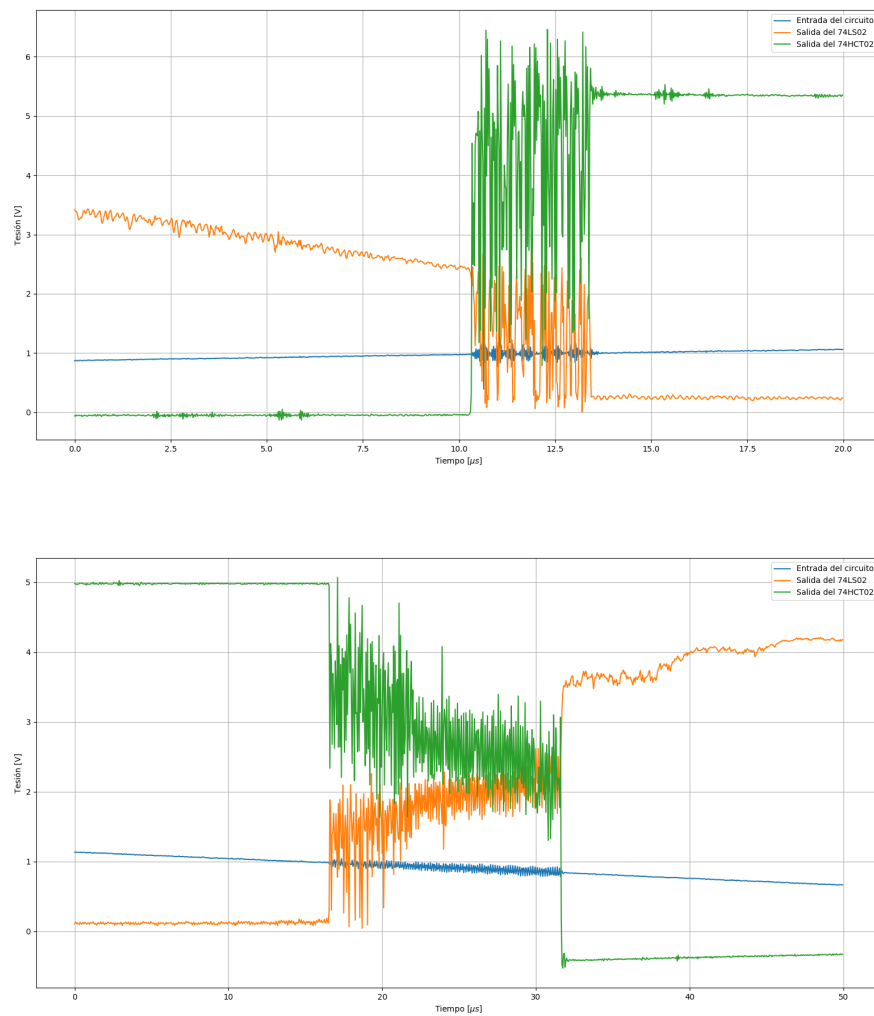
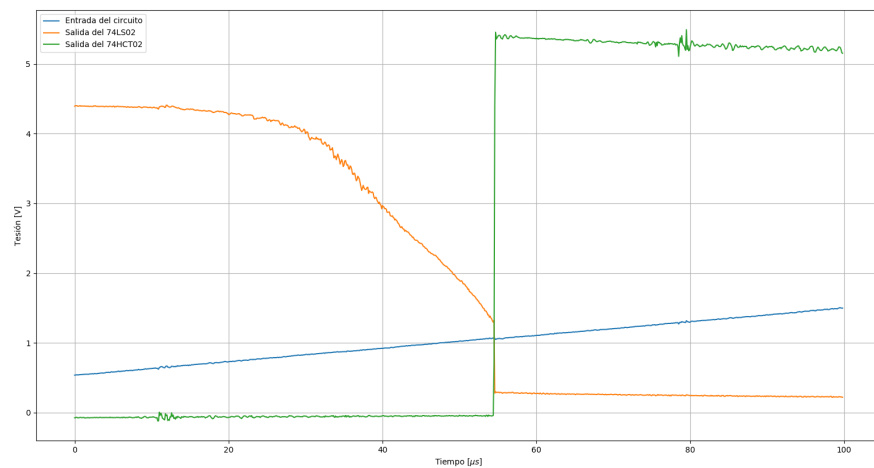


Figura 5: Entrada del circuito (de 0 a 1 y de 1 a 0), salida del 74LS02 y salida del 74HCT02.

De la misma forma que se realizó para la conexión 74HC02 - 74LS02, se mide la conexión 74HCT02 - 74LS02.



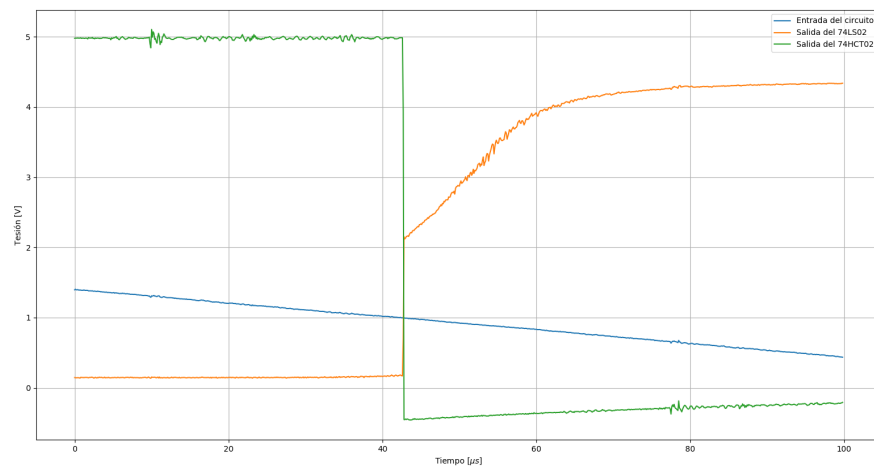


Figura 6: Entrada del circuito (de 0 a 1 y de 1 a 0), salida del 74LS02 y salida del 74HCT02.

Es así que comparando las Figuras (5) y (6), se denota como se solventa el problema existente de compatibilidad. En el segundo caso, al ser las compuertas compatibles, estas no se sobrecargan entre sí y no existen problemas de tensiones, logrando que la imagen se vea mucho mejor.

Finalmente, se presentan las relaciones de tensiones de entrada y salida medidas, variando las combinaciones de tecnologías posibles, para las cuales se empleó el mismo suavizado exponencial para poder obtener mediciones apreciables.

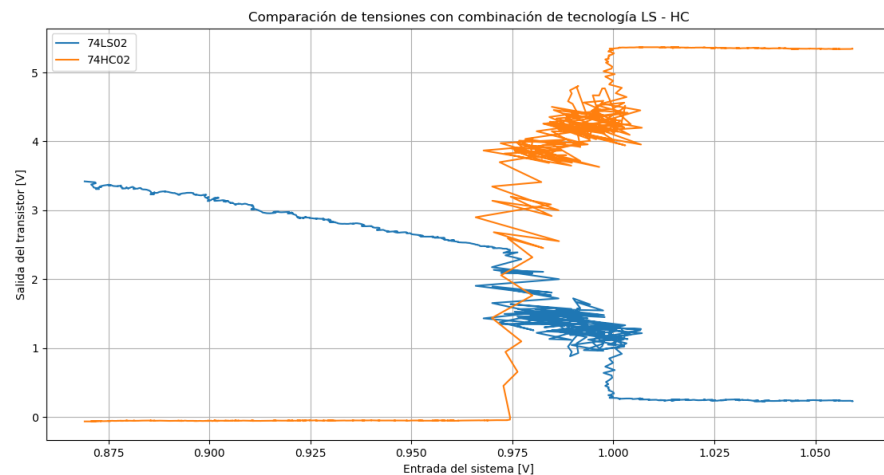


Figura 7: Entradas y salidas de las compuertas con tecnologías HC y LS.

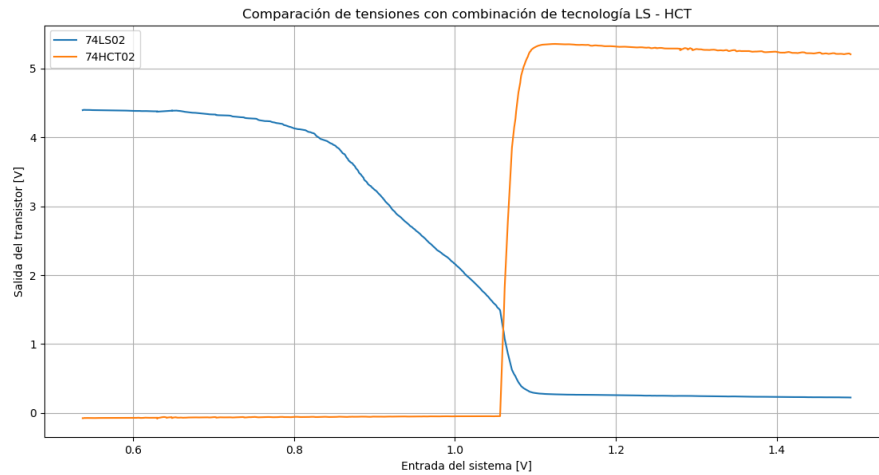


Figura 8: Entradas y salidas de las compuertas con tecnologías HCT y LS.

Se detalla de estas últimas figuras que el funcionamiento de la combinación LS - HCT, siendo el primero la salida y el segundo la entrada, es mucho más acorde y se empeña bajo un correcto funcionamiento, comparándolo con la disposición LS - HC, salida y entrada respectivamente.

### 3. Ejercicio 3

### 4. Ejercicio 4

#### 4.1. Introducción

En el presente ejercicio, se procedió a medir los tiempos de propagación, rise y fall de una compuerta NOR **74HC02**, primero en vacío, luego implementando el siguiente circuito y distintas modificaciones a este:

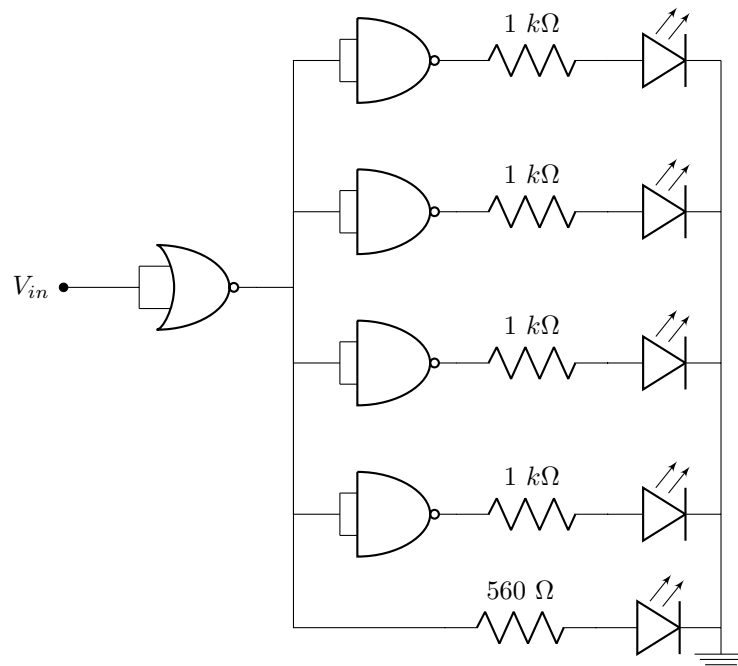


Figura 9: Circuito a implementar.



## 4.2. Mediciones a baja frecuencia

Primero se realizaron las mediciones utilizando un escalón de amplitud  $V_{pp} = 5\text{ V}$  con una frecuencia  $f = 5\text{ Hz}$ , obteniéndose así los siguientes resultados:

Caso	$tpd_{L-H}\text{ [ns]}$	$tpd_{H-L}\text{ [ns]}$	$trise\text{ [ns]}$	$tfall\text{ [ns]}$
Sin carga	11.10	8.75	21.0	19.0
Con carga	12.30	9.45	22	19.8

Tabla 4: Mediciones obtenidas a bajas frecuencias.

Tomando en cuenta las limitaciones presentadas por el osciloscopio disponible en el laboratorio, se puede apreciar que los tiempos medidos se asemejan bastante a los de sus análogos establecidos en la hoja de datos provista por el fabricante. En frecuencias bajas, al conectar la carga ya establecida, se puede apreciar que sus tiempos de operación se incrementan levemente alrededor de  $1\text{ ns}$ .

## 4.3. Mediciones a alta frecuencia

A continuación, se procedió a aumentar la frecuencia de la señal de entrada a  $f = 100\text{ kHz}$ , repitiendo las mediciones previas, obteniendo los siguientes resultados:

Caso	$tpd_{L-H}\text{ [ns]}$	$tpd_{H-L}\text{ [ns]}$	$t_{rise}\text{ [ns]}$	$t_{fall}\text{ [ns]}$
Sin carga (100 kHz)	8.35	9.85	19.6	19.1
Con carga (100 kHz)	12.15	9.25	20	19.4

Tabla 5: Mediciones obtenidas a altas frecuencias.

En esta última tabla se puede observar que la compuerta tarda más en actuar si se encuentra conectada a una carga. Además, a mayor frecuencia, se puede notar que el integrado tiene un leve aumento en su temperatura, esto se debe a que como debe transicionar con mayor velocidad entre estado alto y bajo, los transistores permanecen mas tiempo en la zona activa, por lo que consumen mayor potencia, manifestándose como el aumento de temperatura previamente mencionado.

## 4.4. Mediciones a la tensión de alimentación

Con el circuito trabajando con una señal de entrada de frecuencia  $f = 100\text{ kHz}$ , se ve se puede notar que, al realizarse una transición de estados, la alimentación experimenta un sobrepico, seguido de un régimen subamortiguado hasta que vuelve a establecerse después de cierto tiempo. También se puede notar que, antes de dicho sobrepico, la tensión decae por debajo de los  $4\text{ V}$  y aumenta hasta llegar al rededor de los  $5.5\text{ V}$ . Este fenómeno ocurre ya que la compuerta le pide más corriente a la alimentación en dichas transiciones. Para solucionar este problema, el fabricante recomienda poner capacitores de desacople de  $100\text{ nF}$  entre las terminales de alimentación del integrado y la del circuito, tratando de que estén lo mas cercanos posibles a dichas terminales. Una vez colocado estos componentes, se puede observar en la Figura (10), una considerable reducción tanto del sobrepico como del tiempo de establecimiento, comparados con los presentados anteriormente.

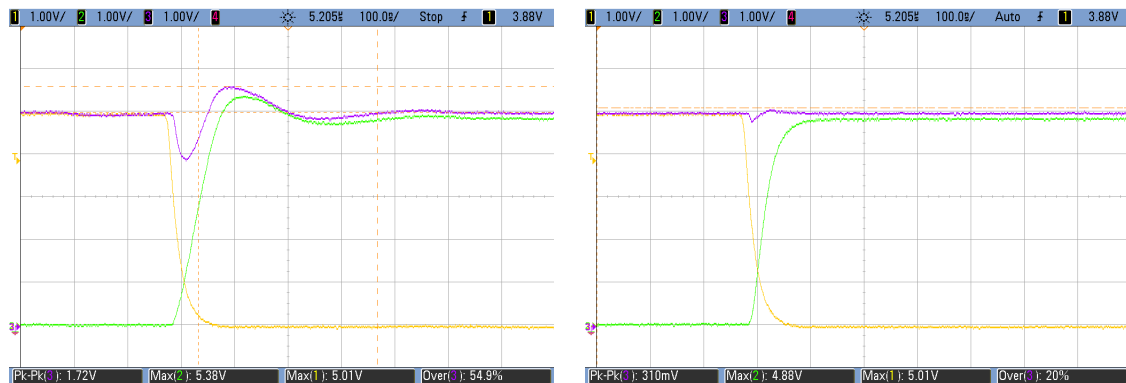


Figura 10: Medición de alimentación primero sin y después con compensación, en amarillo la señal de entrada, en verde la señal de salida y en azul la alimentación

## 5. Ejercicio 5

### 5.1. Introducción

En esta sección se procedió a realizar el análisis de dos compuertas lógicas de distintas tecnologías, las cuales que consisten en una compuerta AND de tecnología TTL y una compuerta OR CMOS, conectadas de la siguiente forma

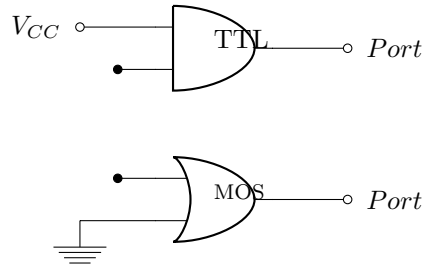


Figura 11: Circuitos en vacío.

### 5.2. Análisis compuerta AND Open Gate

Para realizar este análisis se utilizó una de las 4 compuertas que brinda el integrado [SN74S08](#). Como es una compuerta AND, y una de sus entradas ya esta conectada a  $V_{CC}$ , la señal de salida depende solo del valor que tenga la señal en esa entrada. Ahora, dejando al vacío esa entrada, se puede observar una tensión continua de valor aproximado 1.45 V, que corresponde al rango de valores que la compuerta considera como indeterminados, obteniéndose así a la salida un 1 lógico. Esto ocurre debido a que se esta dejando al vacío el emisor del transistor al que le corresponde esa entrada, por lo tanto dicho transistor se encuentra al corte, lo que hace que a la salida siempre se vea dicho valor. A su vez se procedió a tocar con la mano un cable que hacia contacto con la entrada de la compuerta que se encuentra al vacío, generando así variaciones de ruido. De esta forma se obtuvo lo siguiente:



Figura 12: Señal a la salida de la AND con una entrada en vacío otra a  $V_{CC}$

Analizando la figura anterior se puede notar mayor resistencia al ruido que presenta la compuerta, ya que, a pesar de que a la entrada existe una oscilación de una frecuencia de 50 Hz, la salida se mantiene en un valor constante.

### 5.3. Análisis compuerta OR Open Gate

De forma análoga al caso anterior, se utilizó una de las compuertas lógicas que brinda el integrado [CD4071](#), pero en esta ocasión, se conectó uno de sus pines de entrada a  $GND$ , dejando el otro abierto. Es así que el valor que se ve a la salida depende únicamente del valor de la entrada que se dejó abierta. Como esta compuerta es de tecnología MOS, conectándose a su entrada el GATE de un transistor de este mismo tipo, y debido a la gran impedancia de entrada

que poseen, actúan como antena, lo que las hace mas susceptibles a cualquier señal de ruido que se encuentre presente. Teóricamente, si dicha señal de ruido llega a poseer una tensión lo suficientemente alta como para superar la  $V_{TH}$  del transistor, este se activa y produce una oscilación a la salida de la compuerta. Se realizaron distintas pruebas para poder ver este fenómeno, como por ejemplo, cuando se dejaba la entrada en vacío, se llegaba a apreciar una cierta cantidad de ruido pero no la suficiente para obtener alguna señal a la salida, por lo tanto se movió el circuito, de la misma forma que en el caso anterior, llegando así a obtener la siguiente medición:



Figura 13: Señal a la salida de la OR con una entrada en vacío otra a ground

Como se puede observar de la figura anterior, nuevamente la salida oscila a una frecuencia de  $50\text{Hz}$ , correspondiendo a la frecuencia del ruido de línea.

Por otro lado, se conecto los circuitos de la siguiente manera:

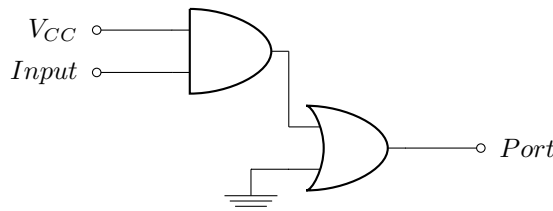


Figura 14: Conexión AND a la entrada de la OR.

La salida de este, por lo analizado en los anteriormente, solo depende de la señal de entrada que se utiliza. Analizando las hojas de datos de ambos integrados y utilizando una alimentación  $V_{DD} = 4.5\text{V}$ , se obtiene que la tensión mínima de la salida en estado alto es  $V_{OH} = 2.5\text{V}$ , la cual cae en el rango de valores indeterminados para la OR, siendo esta  $V_{IL} = 3.15\text{V}$  en el peor de los casos. Es así que se puede ocasionar que, a pesar de que la salida de la AND sea HIGH, en la salida total del circuito se vea un 0 lógico.

#### 5.4. Solución al problema

Una solución al problema mencionado anteriormente se basa en utilizar un circuito llamado Level Shifter, el cual se puede fabricar utilizando un transistor PNP y un par de resistencias. Este circuito toma la salida de la primer compuerta y, en el caso de que está sea HIGH, lleva dicho valor a un nivel de tensión más alto para que así la compuerta siguiente pueda tomar correctamente el valor que debe recibir. Dicha solución se implemento al circuito anterior y se pudo solucionar el problema.

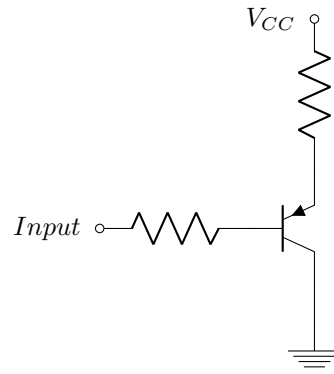


Figura 15: Implementación del level shifter.

6. Ejercicio 6

7. Ejercicio 7