

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.12 - ELECTRÓNICA III

---

## Trabajo Práctico N°2

---

*Grupo 4*

|                        |       |
|------------------------|-------|
| BERTACHINI, Germán     | 58750 |
| DIEGUEZ, Manuel        | 56273 |
| GALDEMAN, Agustín      | 59827 |
| LAGUINGUE, Juan Martín | 57430 |

Profesores:

DEWALD, Kevin

WUNDES, Pablo



PRESENTADO EL 5 DE SEPTIEMBRE DE 2019

# Índice

|   |           |
|---|-----------|
| <b>Ejercicio 1</b>                              | <b>2</b>  |
| Parámetros de las compuertas lógicas . . . . .  | 2         |
| Tensión de salida y entrada . . . . .           | 2         |
| Noise Margin . . . . .                          | 3         |
| Tiempo de propagación . . . . .                 | 3         |
| Tiempo de transición . . . . .                  | 3         |
| Corriente de salida . . . . .                   | 3         |
| Tecnologías de las compuertas lógicas . . . . . | 3         |
| RTL . . . . .                                   | 4         |
| TTL . . . . .                                   | 4         |
| MOS . . . . .                                   | 5         |
| Comparación entre tecnologías . . . . .         | 6         |
| <b>Ejercicio 2</b>                              | <b>6</b>  |
| Introducción a las tecnologías . . . . .        | 7         |
| Compatibilidad entre LS y HC . . . . .          | 7         |
| Compatibilidad entre LS y HCT . . . . .         | 7         |
| Fanout . . . . .                                | 8         |
| <b>Ejercicio 5</b>                              | <b>8</b>  |
| Entrada flotante . . . . .                      | 8         |
| Compatibilidad entre TTL y CMOS . . . . .       | 9         |
| <b>Ejercicio 6</b>                              | <b>10</b> |
| Latch SR . . . . .                              | 10        |
| Flip-flop D . . . . .                           | 10        |
| Mediciones . . . . .                            | 11        |
| <b>Ejercicio 7</b>                              | <b>13</b> |
| Contador asincrónico . . . . .                  | 14        |
| Contador síncronico . . . . .                   | 15        |
| Mediciones . . . . .                            | 15        |
| Conclusiones . . . . .                          | 15        |
| <b>Ejercicio 8</b>                              | <b>15</b> |

# Ejercicio 1

## Parámetros de las compuertas lógicas

En esta sección desarrollaremos sobre los parámetros esenciales de las compuertas lógicas y estos son los siguientes:

### Tensión de salida y entrada

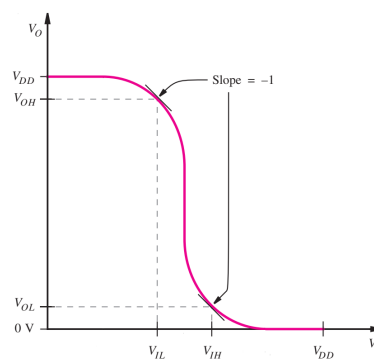
Cuando se realizan compuertas lógicas vamos a poder establecer un rango de tensión de entrada donde la compuerta va a reconocer como un 1 lógico y otra para el cual va a tomar como un 0. Para esos mismos rangos vamos a poder definir un rango de salida dada cuando se encuentra en estado alto y otro para cuando está en estado bajo. Los parámetros van a llamarse:

- $V_{IL}$ : Tensión de entrada considerada un 1 lógico
- $V_{IH}$ : Tensión de entrada considerada un 0 lógico
- $V_{OL}$ : Tensión de salida considerando que envía un 0 lógico
- $V_{OH}$ : Tensión de salida considerando que envía un 1 lógico

La parte más importante de estos son:

- $V_{IL_{max}}$
- $V_{IH_{min}}$
- $V_{OL_{max}}$
- $V_{OH_{min}}$

Estos son obtenidos al realizar el siguiente esquema:



**Figura 1:** High level y low level input y output

## Noise Margin

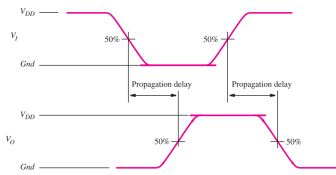
Para determinar los márgenes de ruido se realizan las siguientes cuentas:

$$NM_L = |V_{OL} - V_{IL}|$$

$$NM_H = |V_{OH} - V_{IH}|$$

## Tiempo de propagación

Son los tiempos en que tarda en cambiar la salida acorde a lo recibido en la entrada en otras palabras, es lo que tarda en cambiar la salida desde el momento en que recibió la entrada. Estos se miden como se va a visualizar a continuación:

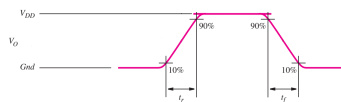


**Figura 2:** Tiempos de propagación

Como se puede observar, hay dos tiempos de propagación, una de alto a bajo y el otro de bajo a alto.

## Tiempo de transición

Es el Tiempo que le toma cambiar la salida de alta a bajo y viceversa, estas se definen como fall time y rise time. Se definen de la manera ilustrada en el gráfico:



**Figura 3:** Tiempos de transición

## Corriente de salida

Este parámetro es importante de definir dado que define el valor del fanout de la misma, dado que posea una carga solo capacitiva podemos definir la corriente como:

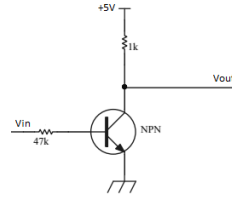
$$I = C \frac{dV_c}{dt}$$

## Tecnologías de las compuertas lógicas

A continuación, hablaremos sobre los distintos tipos de tecnología así e ilustraremos los valores obtenidos de los parámetros de las arquitecturas aplicadas de cada tecnología. Estas son las siguientes:

## RTL

La tecnología RTL consiste en conectar resistencias y transistores BJT para forma una compuerta lógica, donde la resistencia va a ser usado para polarizar el BJT. En la figura 4, se encuentra la implementación de una compuerta NOT.



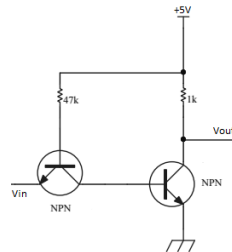
**Figura 4:** NOT RTL

De la misma se obtuvieron los siguientes parámetros:

| Parámetros                    | Valor sin carga | Valor con carga |
|-------------------------------|-----------------|-----------------|
| $V_{IL_{max}}$                | 259 mV          | 508 mV          |
| $V_{IH_{min}}$                | 1.76 V          | 1.72 V          |
| $V_{OL_{max}}$                | 93 mV           | 151 mV          |
| $V_{OH_{min}}$                | 4.98 V          | 4.98 V          |
| $NM_L$                        | 166 mV          | 357 mV          |
| $NM_H$                        | 3.22 V          | 3.26 V          |
| Propagation delay High-to-Low | 371 nSeg        | 548 nSeg        |
| Propagation delay Low-to-High | 2.52 $\mu$ Seg  | 3 $\mu$ Seg     |
| Fall time                     | 330 nSeg        | 482 nSeg        |
| Rise time                     | 1.07 $\mu$ Seg  | 2.41 $\mu$ Seg  |
| Output current                | 4.96 mA         | 139 $\mu$ A     |

## TTL

La tecnología TTL consiste en conectar resistencias y transistores BJT para forma una compuerta lógica, donde vamos a polarizar el BJT que define la salida con otro BJT. En la figura 5, se encuentra la implementación de una compuerta NOT.



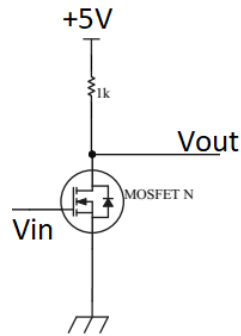
**Figura 5:** NOT TTL

De la misma se obtuvieron los siguientes parámetros:

| Parámetros                    | Valor sin carga | Valor con carga |
|-------------------------------|-----------------|-----------------|
| $V_{IL_{max}}$                | 402 mV          | 387 mV          |
| $V_{IH_{min}}$                | 1.62 V          | 1.62 V          |
| $V_{OL_{max}}$                | 45 mV           | 45 mV           |
| $V_{OH_{min}}$                | 4.97 V          | 4.97 V          |
| $NM_L$                        | 357 mV          | 342 mV          |
| $NM_H$                        | 3.35 V          | 3.35 V          |
| Propagation delay High-to-Low | < 13 nSeg       | < 13 nSeg       |
| Propagation delay Low-to-High | 212 nSeg        | 896 nSeg        |
| Fall time                     | 52 nSeg         | 184 nSeg        |
| Rise time                     | 192 nSeg        | 2.35 $\mu Seg$  |
| Output current                | 5 mA            | 1.7 mA          |

## MOS

La tecnología MOS consiste en conectar resistencias y transistores MOS para forma una compuerta lógica. En la figura 6, se encuentra la implementación de una compuerta NOT.



**Figura 6:** NOT MOS

De la misma se obtuvieron los siguientes parámetros:

| Parámetros                    | Valor sin carga | Valor con carga |
|-------------------------------|-----------------|-----------------|
| $V_{IL_{max}}$                | 1.91 V          | 1.98 V          |
| $V_{IH_{min}}$                | 2.62 V          | 2.64 V          |
| $V_{OL_{max}}$                | 12 mV           | 23 mV           |
| $V_{OH_{min}}$                | 4.96 V          | 4.94 V          |
| $NM_L$                        | 1.89 V          | 1.78 V          |
| $NM_H$                        | 2.34 V          | 2.3 V           |
| Propagation delay High-to-Low | < 13 nSeg       | 19 nSeg         |
| Propagation delay Low-to-High | 80 nSeg         | 707 nSeg        |
| Fall time                     | 12 nSeg         | 21 nSeg         |
| Rise time                     | 158 nSeg        | 2.18 $\mu Seg$  |
| Output current                | 5mA             | 523 $\mu A$     |

### Comparación entre tecnologías

| Tecnologías<br>Parámetros | RTL                        | TTL                   | MOS                                   |
|---------------------------|----------------------------|-----------------------|---------------------------------------|
| $V_{IL_{max}}$            | Aprox. 1.7 V               | Aprox. 1.7 V          | Aprox 2 V                             |
| $V_{IH_{min}}$            | Orden 100 mV               | Aporx. 2 veces el RTL | Aprox. 2.7 V                          |
| $V_{OH_{min}}$            | Casi Vcc                   | Casi Vcc              | Casi Vcc                              |
| $V_{OL_{max}}$            | Orden 100mV                | Orden 10mV            | Orden mV                              |
| Noise Margin              | Alto $NM_H$<br>bajo $NM_L$ | Igual al RTL          | Menor $NM_H$ al resto<br>Medio $NM_L$ |
| Propagation time          | Orden $\mu Seg$            | Orden 100 nSeg        | Orden 10 nSeg                         |
| Transition time           | Orden $\mu Seg$            | Orden 100 nSeg        | Orden de los nSeg                     |
| Output current            | Orden 100 $\mu A$          | Orden mA              | Alrededor 0.5 mA                      |

Podemos concluir que dado que se quiera realizar un bajo consumo cuando uno se encuentre en estado bajo, es mejor utilizar compuertas MOS mientras que si se le da importancia a la cantidad de compuertas a conectarle atrás de está, es conveniente elegir TTL. Siempre que el problema de ruido no se encuentre considerablemente presente en bajo, las compuertas RTL y TTL son la mejor opción, pero si tenemos un presencia más uniforme de ruido tanto en estado bajo como en alta conviene la MOS. Por último, en cuanto a velocidad se destaca las MOS y en cuanto a niveles lógicos de entrada, la que requiere de menor tensión es la compuerta RTL.

## Ejercicio 2

Vamos a desarrollar la compatibilidad entre compuertas NOR de las tecnologías LS, HC y HCT.

## Introducción a las tecnologías

La tecnología LS es una aplicación de la anteriormente mencionada TTL pero utiliza transistores Schottky, en otras palabras usamos transistores con diodos Schottky. Mientras que la tecnología HC es una aplicación de lógica MOS, en la cual se utilizan MOS de alta velocidad, HC="High-speed CMOS". Cabe mencionar que esta es incompatible con la TTL. Por último, HCT es igual a la HC pero con una mejora en compatibilidad para la interconexión con tecnología TTL. Se tiene que las distintos tipos de compuertas tiene utilizadas las siguientes características:

| Tecnologías<br>Parámetros | LS     | HC        | HCT       |
|---------------------------|--------|-----------|-----------|
| $V_{IL_{max}}$            | 0.8 V  | 1.35 V    | 0.8 V     |
| $V_{IH_{min}}$            | 2 V    | 3.2 V     | 2 V       |
| $V_{OL_{max}}$            | 0.5 V  | 0.26 V    | 0.26 V    |
| $V_{OH_{min}}$            | 2.7 V  | 3.98 V    | 3.98 V    |
| Output current            | 8 mA   | 4 mA      | 4 mA      |
| Input current             | 0.1 mA | 1 $\mu A$ | 1 $\mu A$ |

## Compatibilidad entre LS y HC

Se conecto la salida del LS al HC y luego la salida del HC al LS. Los resultados obtenidos del rango de entrada invalida fueron:

| Conexión<br>Parámetro | LS-HC     | HC-LS       |
|-----------------------|-----------|-------------|
| Entrada invalida[V]   | 0.7 a 0.8 | 2.03 a 2.15 |

Podemos concluir que para el caso del LS-HC el problema presentado es que el rango de entrada invalida se encuentra dentro del rango de entrada interpretada como 0 por el LS, lo cual implica que hay un problema de incompatibilidad. Mientras que en el caso HC-LS, esté se encuentra dentro de la zona prohibida de la compuerta HC y por lo tanto es valido.

## Compatibilidad entre LS y HCT

Se conecto la salida del LS al HCT y luego la salida del HCT al LS. Los resultados obtenidos del rango de entrada invalida fueron:

| Conexión<br>Parámetro | LS-HC       | HC-LS       |
|-----------------------|-------------|-------------|
| Entrada invalida[V]   | 0.84 a 0.92 | 0.83 a 0.93 |

No se encuentran problemas dado que tanto para la conexión LS-HCT y HCT-LS están dentro del rango de zona prohibida de la primera compuerta enchufada.



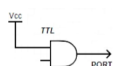
## Fanout

El fanout es un parámetro que indica la cantidad de compuertas lógicas de una misma tecnología que pueden conectarse en paralelo a la salida de otra compuerta, determinar este número es esencial debido a que si uno se pasa de está, la tensión de salida, así como el comportamiento de las compuertas a la salida de esta puede dejar de ser el deseado. De la información obtenida podemos concluir que gracias a su bajo valor del input current obtendremos un alto fanout siempre que se utilicen las familias HC y HCT, al mismo tiempo debido a que la familia LS posee el mayor output current está nos va a permitir un fanout de 8000 si se realiza LS-HC o LS-HCT mientras que un HC-LS o HCT-LS nos da un fanout de 40. Se terminan recomendando siempre conectar compuertas de la misma familia en caso contrario interconectar LS con HCT y de utilizar muchas compuertas en paralelo preferentemente utilizar una conexión LS-HCT.

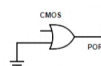
## Ejercicio 5

### Entrada flotante

En esta subsección vamos a desarrollar el comportamiento que tiene las compuertas TTL y CMOS, por medio de los siguientes circuitos:

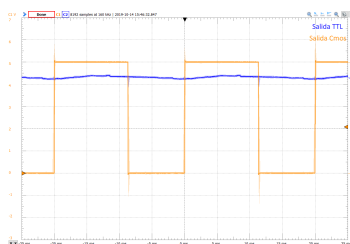


**Figura 7:** Circuito para TTL AND



**Figura 8:** Circuito para CMOS OR

El resultado obtenido fue:



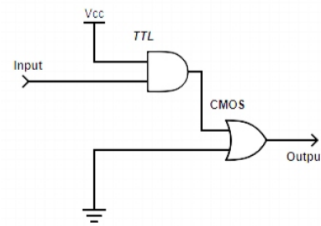
**Figura 9:** Resultados de los circuitos

En conclusión, la entrada flotante del circuito TTL produjo una salida alta. Esto significa que por default tenemos una entrada alta en el mismo y esto se debe a que, los circuitos de la familia LS utilizan la tecnología TTL donde poseen un pull up interno de forma tal que, al no enviar entrada, el transistor se encuentra igualmente polarizado y como consecuencia es como si recibiera una entrada high. Esto se debe a que es necesario que el ruido tenga una amplitud considerablemente grande para poder activar la compuerta. Mientras que en el caso del circuito CMOS, obtenemos que la salida oscila a una

frecuencia de 50 Hz. Esto se debe a que el transistor CMOS presenta una alta impedancia de entrada, lo que vuelve cualquier entrada flotante susceptible al ruido y este es lo suficientemente fuerte como para entrar en la zona lineal de operación de esta.

## Compatibilidad entre TTL y CMOS

A continuación vamos a ver los problemas presentados en el circuito de la figura 10, así como los problemas que está presenta.

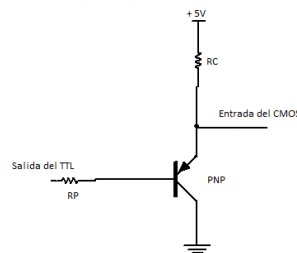


**Figura 10:** TTL cargando CMOS

Teniendo en cuenta los datos siguientes:

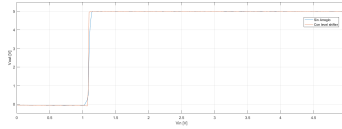
| Tecnología | $V_{IL_{max}}$ | $V_{IH_{min}}$ | $V_{OL_{max}}$ | $V_{OH_{min}}$ |
|------------|----------------|----------------|----------------|----------------|
| 74LS08     | 0.8 V          | 2 V            | 0.5 V          | 2.7 V          |
| 74HC32     | 1.35 V         | 3.15 V         | 0.26 V         | 3.98 V         |

Tenemos que el  $V_{OH_{min}}$  del TTL es inferior al  $V_{IH_{min}}$  del CMOS. Esto causa que, aunque el AND se encuentre en estado alto mientras esté sea menor a 3.15 V, la compuerta OR no va a considerarla como tal dando nos una respuesta diferente a la esperada. Este tipo de problemas pueden ser solucionados por un level shifter o por un pull up, debido a que el pull up solo va a generar una reducción en el rise time del mismo gracias a que inyecta más corriente, utilizaremos un level shifter para solucionarlo. Una manera sencilla de aplicar un level shifter puede verse en la figura 11.



**Figura 11:** TTL cargando CMOS

El problema se encuentra solucionado dado que ahora al OR CMOS le va a llegar un  $V_{OL_{max}} = 2.7 + 0.7 = 3.4$  aproximadamente, esto es mayor a 3.15 V solucionando completamente el problema encontrado.



**Figura 12:** Comparación entre sin solución y con solución

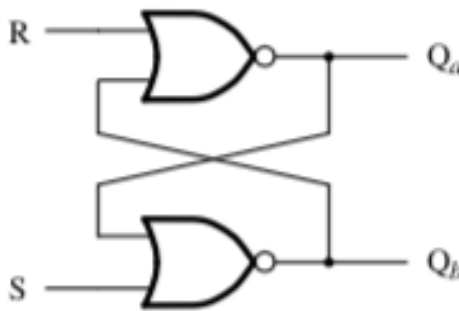
Podemos concluir, que a pesar de haber aumentado el  $V_{IL_{max}}$  y  $V_{OL_{max}}$  logramos disminuir los  $V_{IH_{min}}$  y  $V_{OH_{min}}$ . Además, una mayor pendiente lo que significa que el cambio producido por la entrada actúa más rápido que sin haber aplicado la solución, en el sentido de que menores cambios de tensión en la entrada producen mayores cambios en la salida.

## Ejercicio 6

Los Latches y los flip-flops son elementos utilizados en el almacenamiento de información. Cada uno puede guardar un bit de información. La diferencia principal entre ellos es que el latch chequea continuamente la entrada, cambiando la salida en caso de alguna variación en la entrada. Por otro lado, el flip-flop puede pensarse como la integración de un latch y un circuito que responde a un clock, cambiando la salida no solo cuando la entrada varía, sino cuando incide un flanco del clock. En otras palabras, los latches son circuitos asincrónicos mientras que los flip-flops son circuitos síncronos. En general un flip-flop está compuesto por muchas más compuertas lógicas que un latch, por ende se esperaría que los tiempos de respuesta sean distintos.

### Latch SR

Un tipo común de latches es el latch  $SR$ , por set-reset. Su circuito es el siguiente:



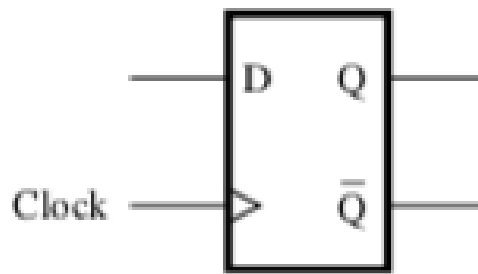
**Figura 13:** Latch SR

Su tabla de verdad es como sigue:

### Flip-flop D

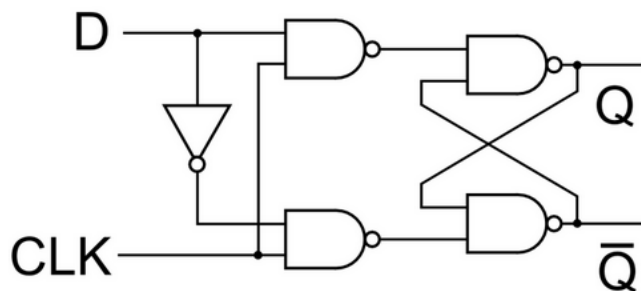
Un tipo de flip-flop es el flip-flop tipo D, cuya salida copia la entrada  $D$  cuando llegue un flanco de clock (puede configurarse el circuito para que sea ascendente o

descendente).



**Figura 14:** Flip-flop D

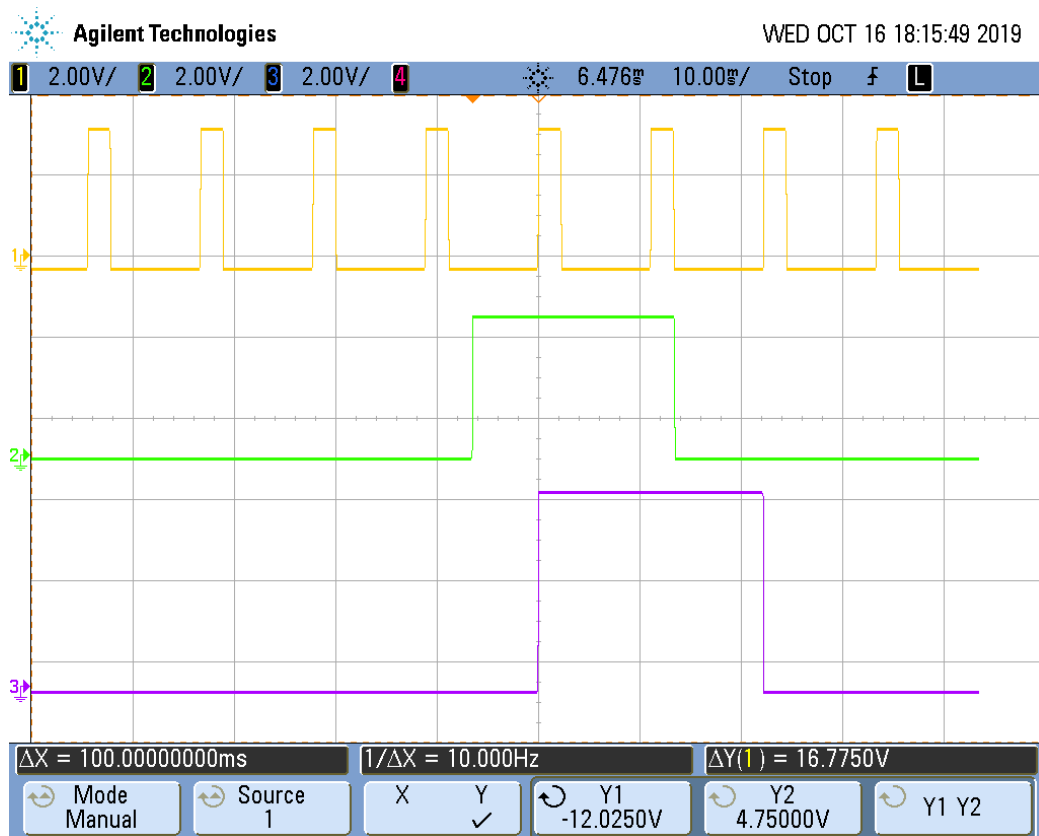
Un dispositivo de este estilo puede dividirse en dos partes, una que responde a cambios en el clock, y otra que almacena la información, en otras palabras un latch. El circuito siguiente es una configuración posible para la realización de un flip-flop tipo D:



**Figura 15:** Gráfico flip-flop D

## Mediciones

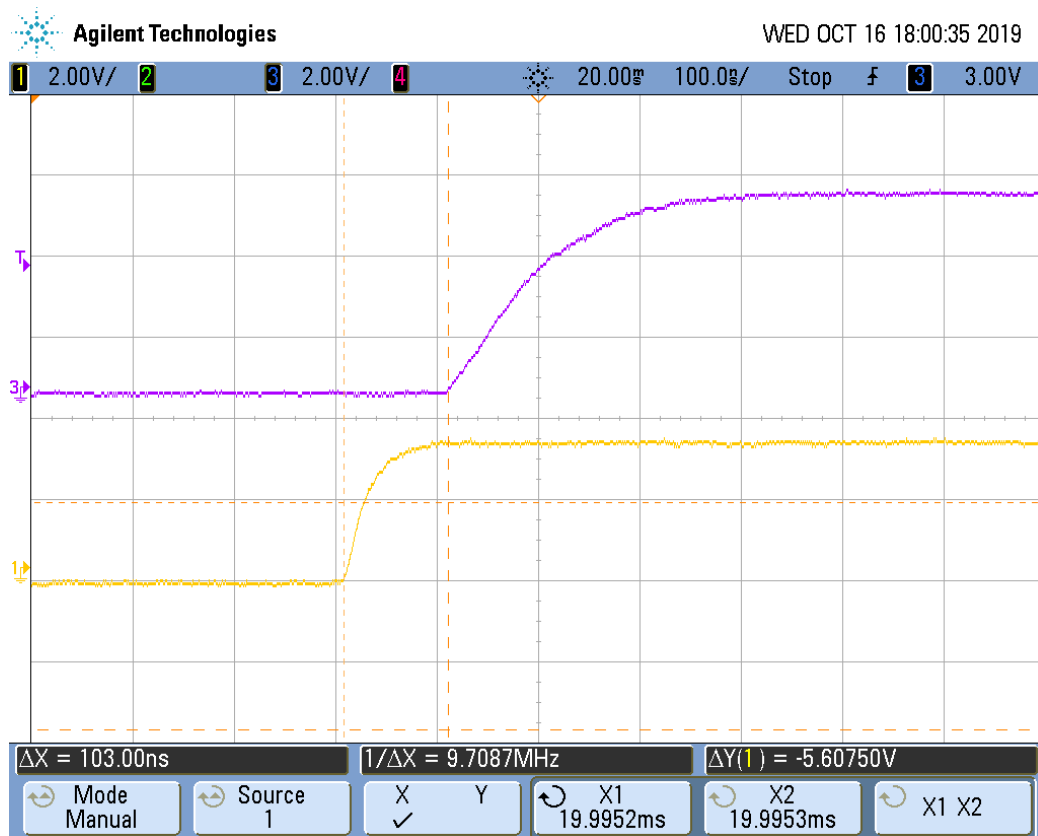
Para la medición del Latch SR se alimentó el circuito con  $5V_{DC}$  mientras que para el flip-flop se optó por una alimentación igual a  $10V_{DC}$ . Todas las compuertas utilizadas son de tecnología CMOS. En la imagen que sigue pueden verse representadas la señal de clock (canal 1), la entrada (canal 2) y la salida del circuito (canal 3):



**Figura 16:** Circuito flip-flop D

En el anterior diagrama, puede verse claramente el comportamiento del flip-flop tipo D. Recien cuando aparece un flanco positivo del reloj y la entrada al circuito es positiva también se observa un salida al circuito. Luego cuando la entrada baja a 0, y nuevamente aparec un flanco de clock lo hace a su vez la salida.

Uno de los parámetros que se midió es el tiempo de propagación desde el clock hasta la salida del circuito, en otras palabras cuanto tarda el circuito en reaccionar a una entrada. En la captura de osciloscopio se ve representado dicho tiempo:



**Figura 17:** Propagacion flip-flop D

En la siguiente tabla se resumen la totalidad de los resultados obtenidos, así como los valores comerciales de comparación:

|                                | Hold time (ns) | Set-up time (ns) | Propagation Delay (ns) |
|--------------------------------|----------------|------------------|------------------------|
| Latch SR comercial (HC 373)    | 10             | 10               | 15-30                  |
| Latch SR implemenado           | 19             | 17               | 44                     |
| Flip-Flop D comercial (CD4013) | 2-5            | 10-20            | 65-130                 |
| Flip-Flop D implementado       | 8              | 17               | 103                    |

En primer lugar, puede verse que para el caso del latch todos los tiempos medidos son superiores a los comerciales. No obstante, se está comparando respecto a un latch armado con compuertas NOR. UN mejor resultado puede lograrse armando el mismo circuito pero con compuertas NAND. Las compuertas NAND son prefreidas en general frente a las NOR debido a que consumen menos espacio, poseen menores corrientes de pérdida y fundamentalmente son más rápidas a las NOR. Lo anterior se debe a que para hacer una compuerta NOR de dos entrada se precisan 2 transistores PMOS en serie y dos transistores NMOS en paralelo. Ahora bien, un requerimiento básico de la tecnología CMOS es que el rise-time y el fall-time sean iguales. Para lograr lo anterior, en el caso de las NOR se agranda el tamaño del gate de los transistores PMOS hasta cuatro veces más que el de los NMOS. En el caso de las compuertas NAND los PMOS están en paralelo y los NMOS en serie, por ende el gate de los PMOS

tiene que ser solamente dos veces más grande. En consecuencia las compuertas NAND son preferibles frente a las NOR.

Realizando nuevamente el circuito con compuertas NAND, se lograron mejores resultados: hold time igual a  $15ns$ , set-up time igual a  $14ns$  y propagation delay igual a  $32ns$ . Las diferencias en este caso puede ser atribuidas a la integración de las compuertas en el circuito comercial.

Por otro lado, los resultados para el flip-flop D son muy similares a los valores comerciales, el tiempo de propagación está incluso dentro del rango brindado por el fabricante. Además si se suma la propagación individual de cada compuerta NAND utilizada ( $50ns$ ), se ve que el valor obtenido concuerda con el mismo. Para este caso debido a la utilización de compuertas NAND todos los tiempos son más cercanos a las soluciones de mercado.

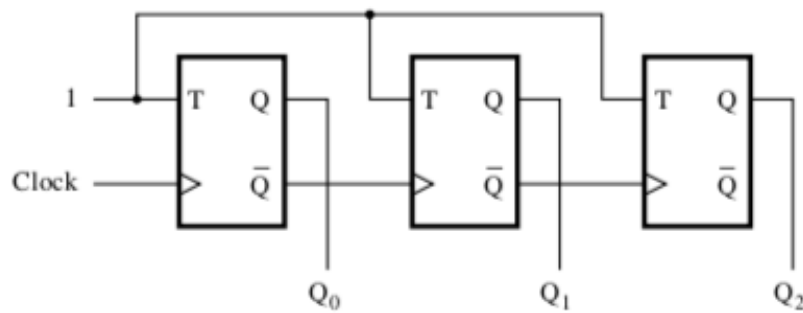
## Ejercicio 7

Los circuitos capaces de realizar operaciones aritméticas son pilares esenciales para la construcción de distintos circuitos lógicos de aplicación. Mediante el uso de distintas compuertas es posible diseñar circuitos capaces de realizar la operación aritmética más básica: la suma. Los contadores lógicos, son circuitos capaces de incrementar o decrementar de a un número. Existen basicamente dos tipos de contadores: los sincrónicos y los asincrónicos. La diferencia esencial entre ambos es que en los sincrónicos todos los elementos de memoria responden a un solo clock en simultáneo, mientras que los asincrónicos funcionan en cascada, lo que genera retrasos medibles en el cambio de estado del contador.

Debido a que los flip flops que forman parte de los contadores se logran mediante la implementación correcta de transistores, los cambios de estado no son instantáneos. Se pueden definir distintos tiempos físicos que reflejan el comportamiento real de un flip-flop y de un contador o un circuito lógico en general. En primer lugar el tiempo de propagación o propagation delay time, en inglés, es el tiempo que le toma a la salida del circuito reflejar un cambio en la entrada, por ejemplo, un flanco positivo del clock. En segundo lugar, existen el tiempo de set-up y el tiempo de hold. El primero se refiere a cuanto tiempo antes de que ingrese un cambio en clock debe permanecer estable la señal entrante, mientras que el segundo es cuanto tiempo debo mantener dicho valor luego de aparecido el flanco de clock. Por último el rise y fall time, son los tiempos que le toma a la señal crecer desde un mínimo a un máximo y viceversa. En general estos tiempos se toman desde el 10 al 90 porciento. Todas estas características son importantes para el funcionamiento de un contador ya que, de no controlarse pueden generarse glitches en el circuito.

### Contador asincrónico

Una manera de implementar un contador que cuente hacia arriba es mediante el uso de flip flops tipo T. El siguiente circuito es un contador asincrónico de 3 bits, capaz de contar hasta 7.



**Figura 18:** Contador asincrónico

En el circuito se conectan los tres flip-flops en cascada, de ahí que sea asincrónico. La entrada de cada uno está conectada a una señal constante igual a 1, y por ende la salida de cada uno se invierte con cada flanco ascendente del Clock. Los últimos dos flip-flops están conectados a la salida  $\bar{Q}$  correspondiente, por lo que cambian su estado siempre que la salida del anterior pase de  $Q = 1$  a  $Q = 0$ , es decir un flanco positivo en  $\bar{Q}$ . Una desventaja clara de este tipo de circuitos es el delay de propagación. Debido a que los flip-flops están configurados en cadena, para observar un cambio a la salida del último de ellos, la señal debe pasar por todos los anteriores, por ende habrá un retraso medible que hace poco práctica la implementación de este tipo de circuitos cuando se quiere contar grandes cifras.

La máxima velocidad de operación del circuito, será entonces directamente dependiente del tiempo de propagación del mismo.

## Contador síncrono

### Mediciones

|                                       | Hold time (ns) | Set-up time (ns) | Propagation Delay |
|---------------------------------------|----------------|------------------|-------------------|
| Contador asincrónico comercial ( )    |                |                  | 80 – 160          |
| Contador asincrónico implementado     |                |                  |                   |
| Contador síncrono comercial (MC14040) |                |                  |                   |
| Contador síncrono implementado        |                |                  |                   |

Es importante denotar que para el contador asincrónico el tiempo de propagación que brinda el fabricante es de la salida  $Q_n$  a  $Q_{n+1}$ .

## Conclusiones

## Ejercicio 8