

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.12 - ELECTRÓNICA III

Trabajo Práctico N°2

Grupo 4

BERTACHINI, Germán	58750
DIEGUEZ, Manuel	56273
GALDEMAN, Agustín	59827
LAGUINGUE, Juan Martín	57430

Profesores:

DEWALD, Kevin

WUNDES, Pablo



PRESENTADO EL 5 DE SEPTIEMBRE DE 2019

Índice

Ejercicio 1	2
Ejercicio 2	2
Ejercicio 3	2
Ejercicio 4	2
Ejercicio 5	2
Entrada flotante	2
Compatibilidad entre TTL y CMOS	2
Ejercicio 6	3
Ejercicio 7	3
Ejercicio 8	3

Ejercicio 1

Ejercicio 2

Ejercicio 3

Ejercicio 4

Ejercicio 5

Entrada flotante

En esta subsección vamos a desarrollar el comportamiento que tiene las compuertas TTL y CMOS, por medio de los siguientes circuitos:

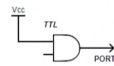


Figura 1: Circuito para TTL AND

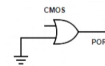


Figura 2: Circuito para CMOS OR

Compatibilidad entre TTL y CMOS

A continuación vamos a ver los problemas presentados en el circuito de la figura 3, así como los problemas que está presenta.

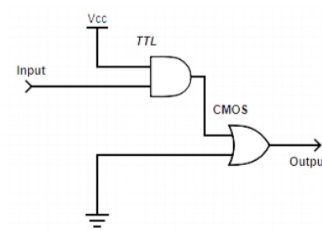


Figura 3: TTL cargando CMOS

Teniendo en cuenta los datos siguientes:

Tecnología	V_{ILmax}	V_{IHmin}	V_{OLmax}	V_{OHmin}
74LS08	0.8 V	2 V	0.5 V	2.7 V
74HC32	1.35 V	3.15 V	0.26 V	3.98 V

Tenemos que el V_{OHmin} del TTL es inferior al V_{IHmin} del CMOS. Esto causa que, aunque el AND se encuentre en estado alto mientras esté sea menor a 3.15 V, la compuerta OR no va a considerarla como tal dando nos una respuesta diferente a la esperada. Este tipo de problemas pueden ser solucionados por un level shifter o por un pull up, debido a que el pull up solo va a generar una reducción en el rise

time del mismo gracias a que inyecta más corriente, utilizaremos un level shifter para solucionarlo. Una manera sencilla de aplicar un level shifter puede verse en la figura 4.

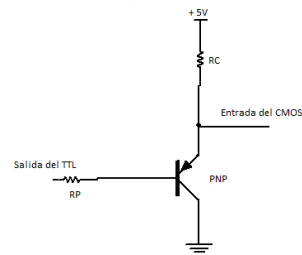


Figura 4: TTL cargando CMOS

El problema se encuentra solucionado dado que ahora al OR CMOS le va a llegar un $V_{OL_{max}} = 2.7 + 0.7 = 3.4$ aproximadamente, esto es mayor a 3.15 V solucionando completamente el problema encontrado.

Ejercicio 6

Ejercicio 7

Ejercicio 8