

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.12 - ELECTRÓNICA III

Trabajo Práctico N°2

Grupo 4

BERTACHINI, Germán	58750
GALDEMAN, Agustín	59827
LAGUINGUE, Juan Martín	57430

Profesores:
DEWALD, Kevin
WUNDES, Pablo



PRESENTADO EL 28 DE OCTUBRE DE 2019

Índice

Ejercicio 1	3
Parámetros de las compuertas lógicas	3
Tensión de salida y entrada	3
Noise Margin	4
Tiempo de propagación	4
Tiempo de transición	4
Corriente de salida	4
Tecnologías de las compuertas lógicas	4
RTL	5
TTL	5
MOS	6
Comparación entre tecnologías	7
Ejercicio 2	7
Introducción a las tecnologías	8
Compatibilidad entre LS y HC	8
Compatibilidad entre LS y HCT	8
Fanout	9
Ejercicio 5	9
Entrada flotante	9
Compatibilidad entre TTL y CMOS	10
Ejercicio 6	11
Latch SR	11
Flip-flop D	12
Mediciones	13
Ejercicio 7	15
Contador asincrónico	15
Contador síncronico	16
Mediciones	17
Conclusiones	20
Ejercicio 8	21
Diseño	21
Generador de Rampa	21
Comparador	23
Clock	24

Contador	25
Conclusiones	25

Ejercicio 1

Parámetros de las compuertas lógicas

En esta sección desarrollaremos sobre los parámetros esenciales de las compuertas lógicas y estos son los siguientes:

Tensión de salida y entrada

Cuando se realizan compuertas lógicas vamos a poder establecer un rango de tensión de entrada donde la compuerta va a reconocer como un 1 lógico y otra para el cual va a tomar como un 0. Para esos mismos rangos vamos a poder definir un rango de salida dada cuando se encuentra en estado alto y otro para cuando está en estado bajo. Los parámetros van a llamarse:

- V_{IL} : Tensión de entrada considerada un 1 lógico
- V_{IH} : Tensión de entrada considerada un 0 lógico
- V_{OL} : Tensión de salida considerando que envía un 0 lógico
- V_{OH} : Tensión de entrada considerando que envía un 1 lógico

La parte más importante de estos son:

- $V_{IL_{max}}$
- $V_{IH_{min}}$
- $V_{OL_{max}}$
- $V_{OH_{min}}$

Estos son obtenidos al realizar el siguiente esquema:

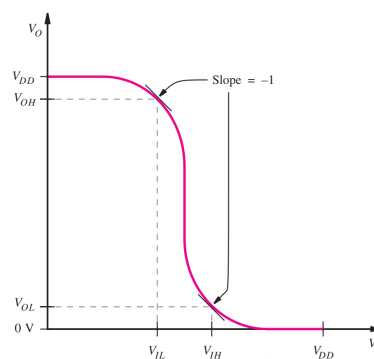


Figura 1: High level y low level input y output

Noise Margin

Para determinar los márgenes de ruido se realizan las siguientes cuentas:

$$NM_L = |V_{OL} - V_{IL}|$$

$$NM_H = |V_{OH} - V_{IH}|$$

Tiempo de propagación

Son los tiempos en que tarda en cambiar la salida acorde a lo recibido en la entrada en otras palabras, es lo que tarda en cambiar la salida desde el momento en que recibió la entrada. Estos se miden como se va a visualizar a continuación:

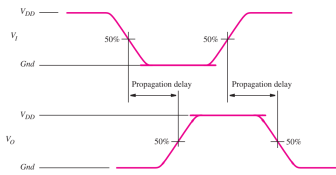


Figura 2: Tiempos de propagación

Como se puede observar, hay dos tiempos de propagación, una de alto a bajo y el otro de bajo a alto.

Tiempo de transición

Es el Tiempo que le toma cambiar la salida de alta a bajo y viceversa, estas se definen como fall time y rise time. Se definen de la manera ilustrada en el gráfico:

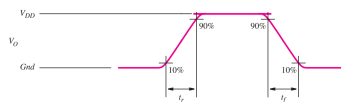


Figura 3: Tiempos de transición

Corriente de salida

Este parámetro es importante de definir dado que define el valor del fanout de la misma, dado que posea una carga solo capacitiva podemos definir la corriente como:

$$I = C \frac{dV_c}{dt}$$

Tecnologías de las compuertas lógicas

A continuación, hablaremos sobre los distintos tipos de tecnología así e ilustraremos los valores obtenidos de los parámetros de las arquitecturas aplicadas de cada tecnología. Estas son las siguientes:

RTL

La tecnología RTL consiste en conectar resistencias y transistores BJT para forma una compuerta lógica, donde la resistencia va a ser usado para polarizar el BJT. En la figura 4, se encuentra la implementación de una compuerta NOT.

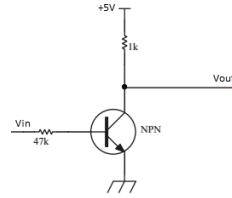


Figura 4: NOT RTL

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IL_{max}}$	259 mV	508 mV
$V_{IH_{min}}$	1.76 V	1.72 V
$V_{OL_{max}}$	93 mV	151 mV
$V_{OH_{min}}$	4.98 V	4.98 V
NM_L	166 mV	357 mV
NM_H	3.22 V	3.26 V
Propagation delay High-to-Low	371 nSeg	548 nSeg
Propagation delay Low-to-High	2.52 μ Seg	3 μ Seg
Fall time	330 nSeg	482 nSeg
Rise time	1.07 μ Seg	2.41 μ Seg
Output current	4.96 mA	139 μ A

TTL

La tecnología TTL consiste en conectar resistencias y transistores BJT para forma una compuerta lógica, donde vamos a polarizar el BJT que define la salida con otro BJT. En la figura 5, se encuentra la implementación de una compuerta NOT.

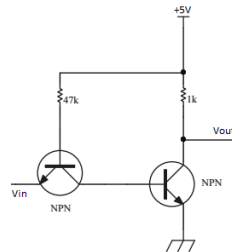


Figura 5: NOT TTL

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IL_{max}}$	402 mV	387 mV
$V_{IH_{min}}$	1.62 V	1.62 V
$V_{OL_{max}}$	45 mV	45 mV
$V_{OH_{min}}$	4.97 V	4.97 V
NM_L	357 mV	342 mV
NM_H	3.35 V	3.35 V
Propagation delay High-to-Low	< 13 nSeg	< 13 nSeg
Propagation delay Low-to-High	212 nSeg	896 nSeg
Fall time	52 nSeg	184 nSeg
Rise time	192 nSeg	2.35 μSeg
Output current	5 mA	1.7 mA

MOS

La tecnología MOS consiste en conectar resistencias y transistores MOS para forma una compuerta lógica. En la figura 6, se encuentra la implementación de una compuerta NOT.

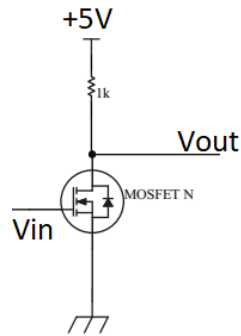


Figura 6: NOT MOS

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IL_{max}}$	1.91 V	1.98 V
$V_{IH_{min}}$	2.62 V	2.64 V
$V_{OL_{max}}$	12 mV	23 mV
$V_{OH_{min}}$	4.96 V	4.94 V
NM_L	1.89 V	1.78 V
NM_H	2.34 V	2.3 V
Propagation delay High-to-Low	< 13 nSeg	19 nSeg
Propagation delay Low-to-High	80 nSeg	707 nSeg
Fall time	12 nSeg	21 nSeg
Rise time	158 nSeg	2.18 μSeg
Output current	5mA	523 μA

Comparación entre tecnologías

Tecnologías Parámetros	RTL	TTL	MOS
$V_{IL_{max}}$	Aprox. 1.7 V	Aprox. 1.7 V	Aprox 2 V
$V_{IH_{min}}$	Orden 100 mV	Aporx. 2 veces el RTL	Apox. 2.7 V
$V_{OH_{min}}$	Casi Vcc	Casi Vcc	Casi Vcc
$V_{OL_{max}}$	Orden 100mV	Orden 10mV	Orden mV
Noise Margin	Alto NM_H bajo NM_L	Igual al RTL	Menor NM_H al resto Medio NM_L
Propagation time	Orden μSeg	Orden 100 nSeg	Orden 10 nSeg
Transition time	Orden μSeg	Orden 100 nSeg	Orden de los nSeg
Output current	Orden 100 μA	Orden mA	Alrededor 0.5 mA

Podemos concluir que dado que se quiera realizar un bajo consumo cuando uno se encuentre en estado bajo, es mejor utilizar compuertas MOS mientras que si se le da importancia a la cantidad de compuertas a conectarle atrás de está, es conveniente elegir TTL. Siempre que el problema de ruido no se encuentre considerablemente presente en bajo, las compuertas RTL y TTL son la mejor opción, pero si tenemos un presencia más uniforme de ruido tanto en estado bajo como en alta conviene la MOS. Por último, en cuanto a velocidad se destaca las MOS y en cuanto a niveles lógicos de entrada, la que requiere de menor tensión es la compuerta RTL.

Ejercicio 2

Vamos a desarrollar la compatibilidad entre compuertas NOR de las tecnologías LS, HC y HCT.

Introducción a las tecnologías

La tecnología LS es una aplicación de la anteriormente mencionada TTL pero utiliza transistores Schottky, en otras palabras usamos transistores con diodos Schottky. Mientras que la tecnología HC es una aplicación de lógica MOS, en la cual se utilizan MOS de alta velocidad, HC="High-speed CMOS". Cabe mencionar que esta es incompatible con la TTL. Por último, HCT es igual a la HC pero con una mejora en compatibilidad para la interconexión con tecnología TTL. Se tiene que las distintos tipos de compuertas tiene utilizadas las siguientes características:

Tecnologías Parámetros	LS	HC	HCT
$V_{IL_{max}}$	0.8 V	1.35 V	0.8 V
$V_{IH_{min}}$	2 V	3.2 V	2 V
$V_{OL_{max}}$	0.5 V	0.26 V	0.26 V
$V_{OH_{min}}$	2.7 V	3.98 V	3.98 V
Output current	8 mA	4 mA	4 mA
Input current	0.1 mA	1 μA	1 μA

Compatibilidad entre LS y HC

Se conecto la salida del LS al HC y luego la salida del HC al LS. Los resultados obtenidos del rango de entrada invalida fueron:

Conexión Parámetro	LS-HC	HC-LS
Entrada invalida[V]	0.7 a 0.8	2.03 a 2.15

Podemos concluir que para el caso del LS-HC el problema presentado es que el rango de entrada invalida se encuentra dentro del rango de entrada interpretada como 0 por el LS, lo cual implica que hay un problema de incompatibilidad. Mientras que en el caso HC-LS, esté se encuentra dentro de la zona prohibida de la compuerta HC y por lo tanto es valido.

Compatibilidad entre LS y HCT

Se conecto la salida del LS al HCT y luego la salida del HCT al LS. Los resultados obtenidos del rango de entrada invalida fueron:

Conexión Parámetro	LS-HC	HC-LS
Entrada invalida[V]	0.84 a 0.92	0.83 a 0.93

No se encuentran problemas dado que tanto para la conexión LS-HCT y HCT-LS están dentro del rango de zona prohibida de la primera compuerta enchufada.

Fanout

El fanout es un parámetro que indica la cantidad de compuertas lógicas de una misma tecnología que pueden conectarse en paralelo a la salida de otra compuerta, determinar este número es esencial debido a que si uno se pasa de está, la tensión de salida, así como el comportamiento de las compuertas a la salida de esta puede dejar de ser el deseado. De la información obtenida podemos concluir que gracias a su bajo valor del input current obtendremos un alto fanout siempre que se utilicen las familias HC y HCT, al mismo tiempo debido a que la familia LS posee el mayor output current está nos va a permitir un fanout de 8000 si se realiza LS-HC o LS-HCT mientras que un HC-LS o HCT-LS nos da un fanout de 40. Se terminan recomendando siempre conectar compuertas de la misma familia en caso contrario interconectar LS con HCT y de utilizar muchas compuertas en paralelo preferentemente utilizar una conexión LS-HCT.

Ejercicio 5

Entrada flotante

En esta subsección vamos a desarrollar el comportamiento que tiene las compuertas TTL y CMOS, por medio de los siguientes circuitos:

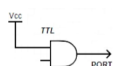


Figura 7: Circuito para TTL AND

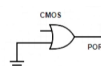


Figura 8: Circuito para CMOS OR

El resultado obtenido fue:

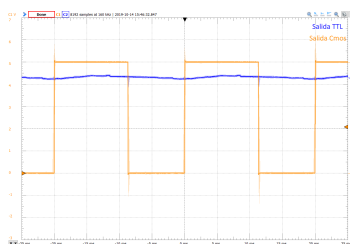


Figura 9: Resultados de los circuitos

En conclusión, la entrada flotante del circuito TTL produjo una salida alta. Esto significa que por default tenemos una entrada alta en el mismo y esto se debe a que, los circuitos de la familia LS utilizan la tecnología TTL donde poseen un pull up interno de forma tal que, al no enviar entrada, el transistor se encuentra igualmente polarizado y como consecuencia es como si recibiera una entrada high. Esto se debe a que es necesario que el ruido tenga una amplitud considerablemente grande para poder activar la compuerta. Mientras que en el caso del circuito CMOS, obtenemos que la salida oscila a una

frecuencia de 50 Hz. Esto se debe a que el transistor CMOS presenta una alta impedancia de entrada, lo que vuelve cualquier entrada flotante susceptible al ruido y este es lo suficientemente fuerte como para entrar en la zona lineal de operación de esta.

Compatibilidad entre TTL y CMOS

A continuación vamos a ver los problemas presentados en el circuito de la figura 10, así como los problemas que está presenta.

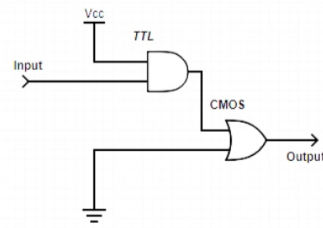


Figura 10: TTL cargando CMOS

Teniendo en cuenta los datos siguientes:

Tecnología	$V_{IL_{max}}$	$V_{IH_{min}}$	$V_{OL_{max}}$	$V_{OH_{min}}$
74LS08	0.8 V	2 V	0.5 V	2.7 V
74HC32	1.35 V	3.15 V	0.26 V	3.98 V

Tenemos que el $V_{OH_{min}}$ del TTL es inferior al $V_{IH_{min}}$ del CMOS. Esto causa que, aunque el AND se encuentre en estado alto mientras esté sea menor a 3.15 V, la compuerta OR no va a considerarla como tal dando nos una respuesta diferente a la esperada. Este tipo de problemas pueden ser solucionados por un level shifter o por un pull up, debido a que el pull up solo va a generar una reducción en el rise time del mismo gracias a que inyecta más corriente, utilizaremos un level shifter para solucionarlo. Una manera sencilla de aplicar un level shifter puede verse en la figura 11.

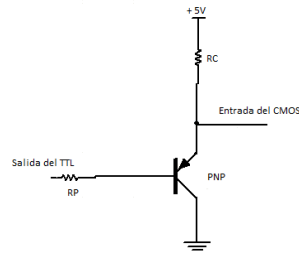


Figura 11: TTL cargando CMOS

El problema se encuentra solucionado dado que ahora al OR CMOS le va a llegar un $V_{OL_{max}} = 2.7 + 0.7 = 3.4$ aproximadamente, esto es mayor a 3.15 V solucionando completamente el problema encontrado.

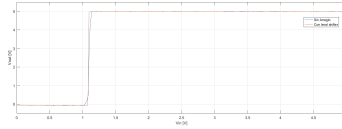


Figura 12: Comparación entre sin solución y con solución

Podemos concluir, que a pesar de haber aumentado el $V_{IL_{max}}$ y $V_{OL_{max}}$ logramos disminuir los $V_{IH_{min}}$ y $V_{OH_{min}}$. Además, una mayor pendiente lo que significa que el cambio producido por la entrada actúa más rápido que sin haber aplicado la solución, en el sentido de que menores cambios de tensión en la entrada producen mayores cambios en la salida.

Ejercicio 6

Los Latches y los flip-flops son elementos utilizados en el almacenamiento de información. Cada uno puede guardar un bit de información. La diferencia principal entre ellos es que el latch chequea continuamente la entrada, cambiando la salida en caso de alguna variación en la entrada. Por otro lado, el flip-flop puede pensarse como la integración de un latch y un circuito que responde a un clock, cambiando la salida no solo cuando la entrada varía, sino cuando incide un flanco del clock. En otras palabras, los latches son circuitos asincrónicos mientras que los flip-flops son circuitos sincrónicos. En general un flip-flop está compuesto por muchas más compuertas lógicas que un latch, por ende se esperaría que los tiempos de respuesta sean distintos.

Latch SR

Un tipo común de latches es el latch SR , por set-reset. Su circuito es el siguiente:

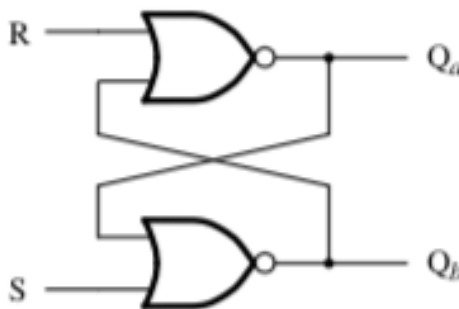


Figura 13: Latch SR

Su tabla de verdad es como sigue:

\bar{S}	\bar{R}	Q	State
1	1	Previous State	No change
1	0	0	Reset
0	1	1	Set
0	0	?	Forbidden

Figura 14: Tabla de verdad Latch SR

Flip-flop D

Un tipo de flip-flop es el flip-flop tipo D, cuya salida copia la entrada D cuando llegue un flanco de clock (puede configurarse el circuito para que sea ascendente o descendente).

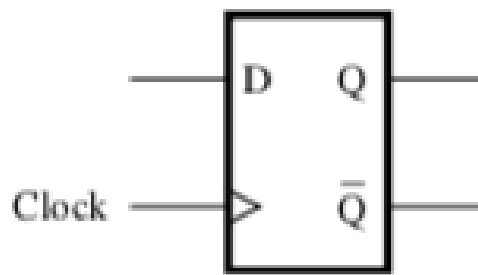


Figura 15: Flip-flop D

Un dispositivo de este estilo puede dividirse en dos partes, una que responde a cambios en el clock, y otra que almacena la información, en otras palabras un latch. El circuito siguiente es una configuración posible para la realización de un flip-flop tipo D:

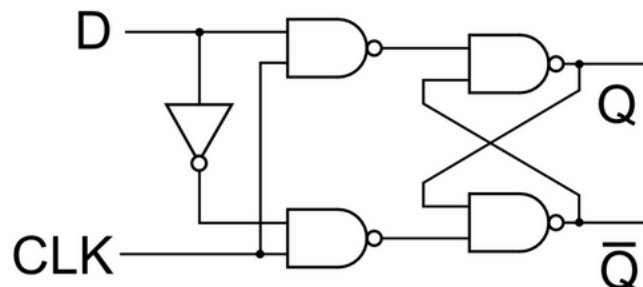


Figura 16: Circuito lógico flip-flop D

Mediciones

Para la medición del Latch SR se alimentó el circuito con $5V_{DC}$ mientras que para el flip-flop se optó por una alimentación igual a $10V_{DC}$. Todas las compuertas utilizadas son de tecnología CMOS. En la imagen que sigue pueden verse representadas la señal de clock (canal 1), la entrada (canal 2) y la salida del circuito (canal 3):

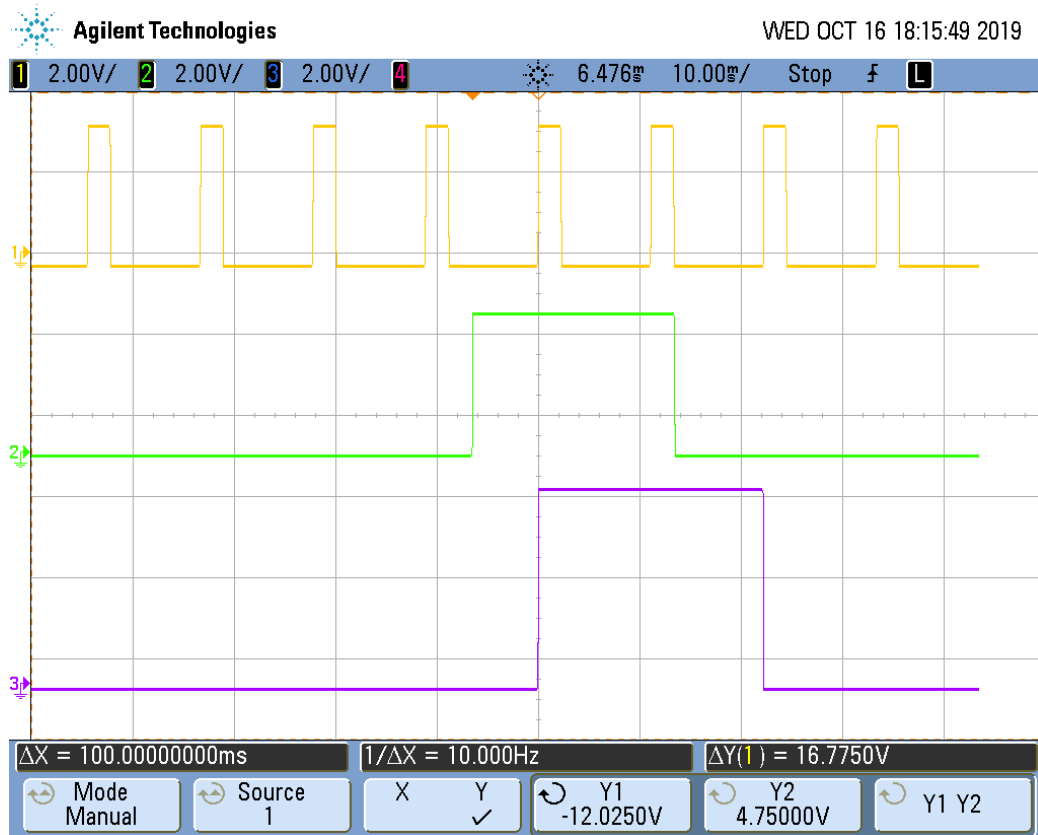


Figura 17: Diagram de tiempo flip-flop D

En el anterior diagrama, puede verse claramente el comportamiento del flip-flop tipo D. Recien cuando aparece un flanco positivo del reloj y la entrada al circuito es positiva también se observa un salida al circuito. Luego cuando la entrada baja a 0, y nuevamente aparec un flanco de clock lo hace a su vez la salida.

Uno de los parámetros que se midió es el tiempo de propagación desde el clock hasta la salida del circuito, en otras palabras cuanto tarda el circuito en reaccionar a una entrada. En la captura de osciloscopio se ve representado dicho tiempo:

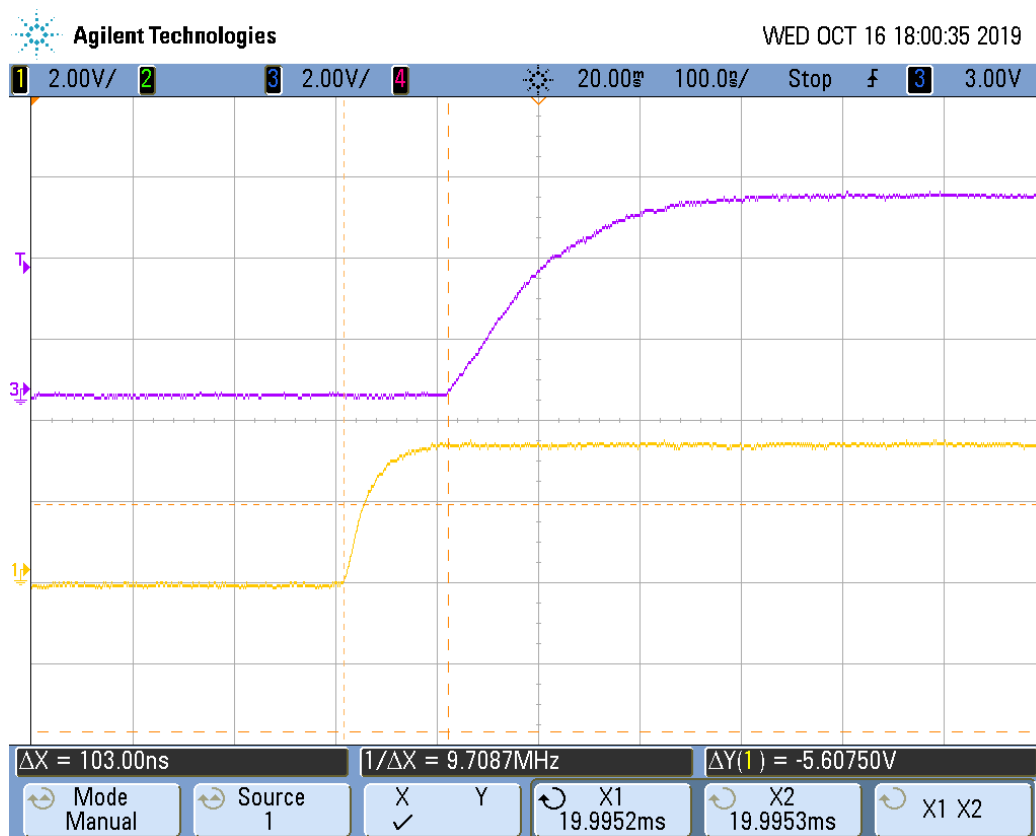


Figura 18: Propagación flip-flop D

En la siguiente tabla se resumen la totalidad de los resultados obtenidos, así como los valores comerciales de comparación:

	Hold time (ns)	Set-up time (ns)	Propagation Delay (ns)
Latch SR comercial (HC 373)	10	10	15-30
Latch SR implementado	19	17	44
Flip-Flop D comercial (CD4013)	2-5	10-20	65-130
Flip-Flop D implementado	8	17	103

En primer lugar, puede verse que para el caso del latch todos los tiempos medidos son superiores a los comerciales. No obstante, se está comparando respecto a un latch armado con compuertas NOR. UN mejor resultado puede lograrse armando el mismo circuito pero con compuertas NAND. Las compuertas NAND son preferidas en general frente a las NOR debido a que consumen menos espacio, poseen menores corrientes de pérdida y fundamentalmente son más rápidas a las NOR. Lo anterior se debe a que para hacer una compuerta NOR de dos entrada se precisan 2 transistores PMOS en serie y dos transistores NMOS en paralelo. Ahora bien, un requerimiento básico de la tecnología CMOS es que el rise-time y el fall-time sean iguales. Para lograr lo anterior, en el caso de las NOR se agranda el tamaño del gate de los transistores PMOS hasta cuatro veces más que el de los NMOS. En el caso de las compuertas NAND los PMOS están en paralelo y los NMOS en serie, por ende el gate de los PMOS

tiene que ser solamente dos veces más grande. En consecuencia las compuertas NAND son preferibles frente a las NOR.

Realizando nuevamente el circuito con compuertas NAND, se lograron mejores resultados: hold time igual a $15ns$, set-up time igual a $14ns$ y propagation delay igual a $32ns$. Las diferencias en este caso puede ser atribuidas a la integración de las compuertas en el circuito comercial.

Por otro lado, los resultados para el flip-flop D son muy similares a los valores comerciales, el tiempo de propagación está incluso dentro del rango brindado por el fabricante. Además si se suma la propagación individual de cada compuerta NAND utilizada ($50ns$), se ve que el valor obtenido concuerda con el mismo. Para este caso debido a la utilización de compuertas NAND todos los tiempos son más cercanos a las soluciones de mercado.

Ejercicio 7

Los circuitos capaces de realizar operaciones aritméticas son pilares esenciales para la construcción de distintos circuitos lógicos de aplicación. Mediante el uso de distintas compuertas es posible diseñar circuitos capaces de realizar la operación aritmética más básica: la suma. Los contadores lógicos, son circuitos capaces de incrementar o decrementar de a una unidad. Existen basicamente dos tipos de contadores: los sincrónicos y los asincrónicos. La diferencia esencial entre ambos es que en los sincrónicos todos los elementos de memoria responden a un solo clock en simultáneo, mientras que los asincrónicos funcionan en cascada, lo que genera retrasos medibles en el cambio de estado del contador.

Debido a que los flip-flops que forman parte de los contadores se logran mediante la implementación correcta de transistores, los cambios de estado no son instantáneos. Se pueden definir distintos tiempos físicos que reflejan el comportamiento real de un flip-flop y de un contador o un circuito lógico en general. El tiempo de propagación o propagation delay time en inglés, es el tiempo que le toma a la salida del circuito reflejar un cambio en la entrada, por ejemplo, un flanco positivo del clock. Este parámetro dictará entonces la máxima velocidad de operación de un contador.

Contador asincrónico

Una manera de implementar un contador que cuente hacia arriba es mediante el uso de flip flops tipo T. El siguiente circuito es un contador asincrónico de 3 bits, capaz de contar hasta 7:

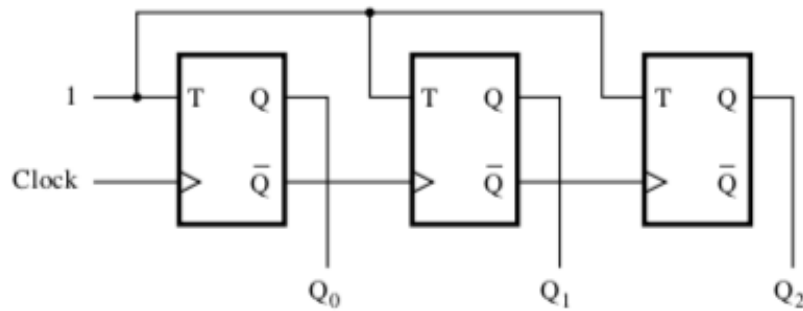


Figura 19: Contador asincrónico

En el circuito se conectan los tres flip-flops en cascada, de ahí que sea asincrónico. La entrada de cada uno está conectada a una señal constante igual a 1, y por ende la salida de cada uno se invierte con cada flanco ascendente del Clock. Los últimos dos flip-flops están conectados a la salida \bar{Q} correspondiente, por lo que cambian su estado siempre que la salida del anterior pase de $Q = 1$ a $Q = 0$, es decir un flanco positivo en \bar{Q} . Una desventaja clara de este tipo de circuitos es el delay de propagación. Debido a que los flip-flops están configurados en cadena, para observar un cambio a la salida del último de ellos, la señal debe pasar por todos los anteriores, por ende habrá un retraso medible que hace poco práctica la implementación de este tipo de circuitos cuando se quiere contar grandes cifras.

Se espera para este circuito que el tiempo de propagación total sea la suma de la propagación individual de cada flip-flop, para el integrado realizado *ns*.

Contador síncrono

Un contador síncrono posible es el siguiente:

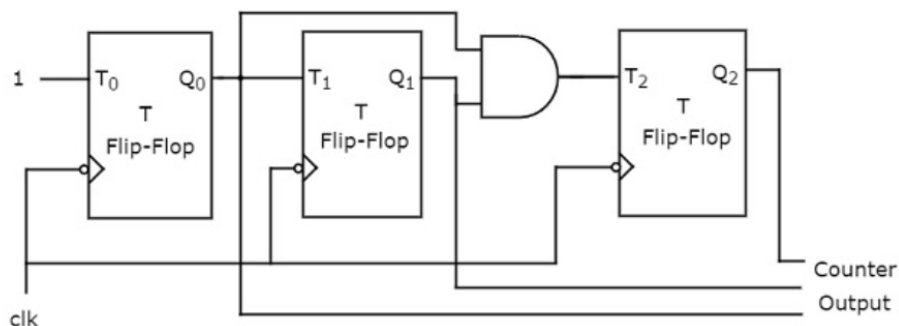


Figura 20: Contador síncrono

el circuito contiene 3 flip-flops T, una compuerta And de dos entradas y es activado por un flanco descendente del clock. Siempre que incida un flanco descendente se prende la salida del primer flip-flop, mientras que la salida del segundo es igual a 1 siempre que Q_0 sea igual a 1 e incida el flanco correspondiente. Luego Q_2 será igual a

1 cuando se reciba un clock correspondiente y tanto Q_0 como Q_1 sean positivas y así se logra contar hacia arriba. Para este circuito, se esperan tiempos de propagación menores que en el contador asincrónico y por ende una velocidad de operación mayor.

Mediciones

Para el contador asincrónico se midió la propagación desde el clock a cada flip-flop y por último la propagación total(hasta Q_3):

Propagación $CLK-Q_1(ns)$	Propagación $Q_1-Q_2(ns)$	Propagación $Q_2-Q_3(ns)$
90	177	250

En la siguiente figura puede verse el tiempo de propagación entre el clock y el primer flip-flop

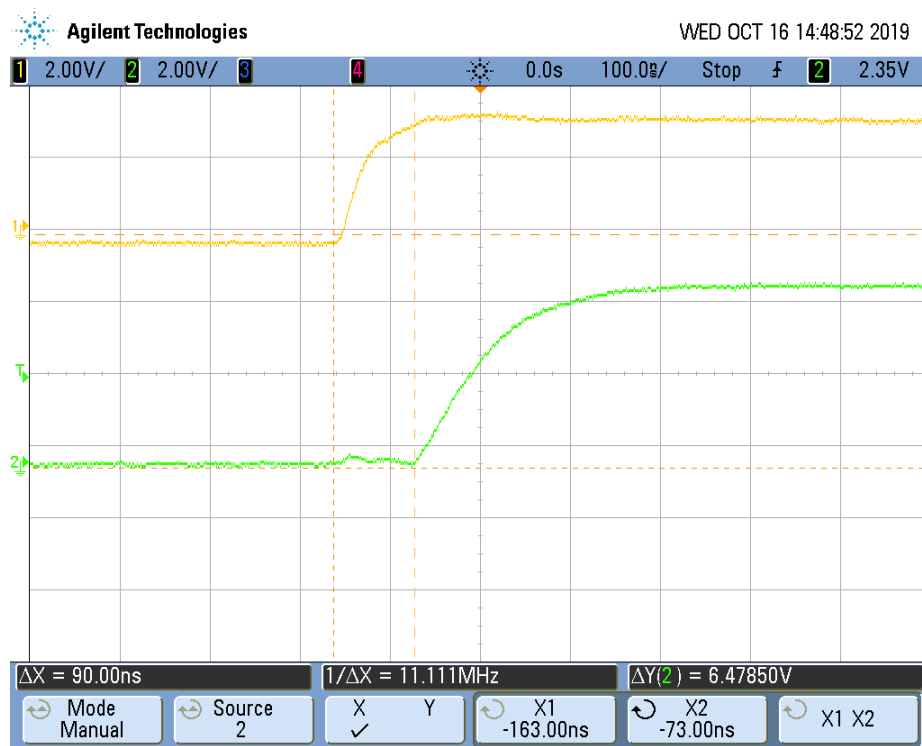


Figura 21: Propagacion asincronico

A continuación se adjunta una captura de osciloscopio que contiene tanto la señal de clock (canal 1) y las salidas del primero, segundo y tercer flip-flop (canal 2, 4, y 3 respectivamente).

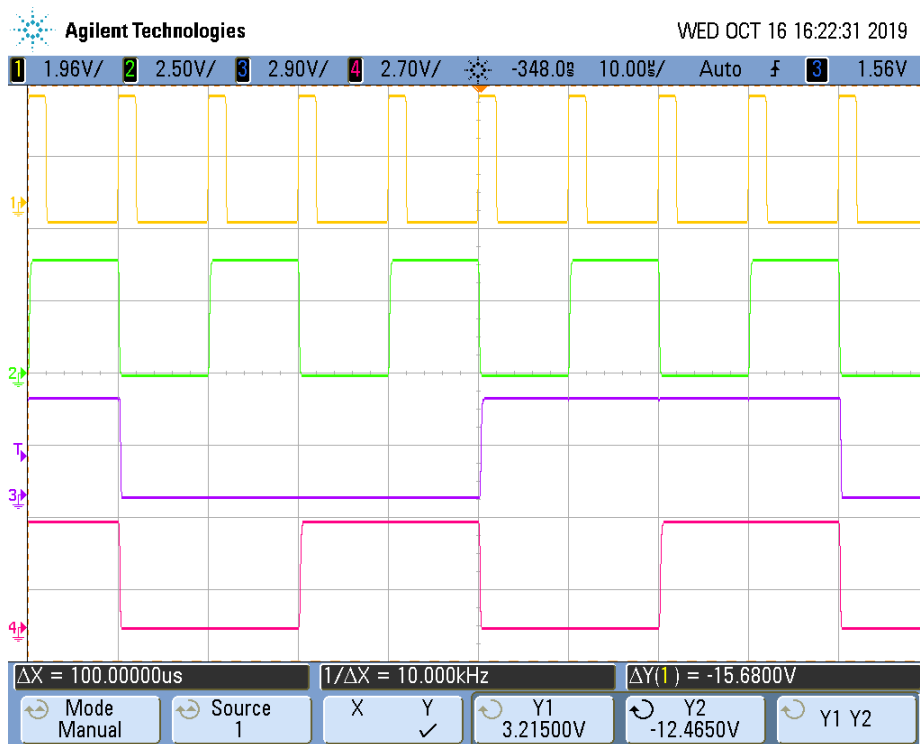


Figura 22: Propagacion asincronico

Puede verse como cada salida ocurre con el retraso de clock correspondiente a cada flip-flop, representando un 1 binario en el orden adecuado del contador. Este diagrama de tiempo es una muy buena manera de ver cuando se prende cada flip-flop y comprender como se realiza el proceso de conteo. Cuando un flanco ascendente de reloj incide se prende el primer flip-flop, luego al siguiente lo hace el segundo, y dos después el tercero, confirmando el funcionamiento antes explicado. En este caso se sacrifica velocidad de funcionamiento ya que se debe esperar a cada flanco de clock y que el mismo se propague para realizar el conteo. Por ende la máxima velocidad de operación está dada por ese tiempo de propagación, para el circuito realizado $250ns$.

Por otro lado, en el caso del contador síncronico se midió la propagación total:

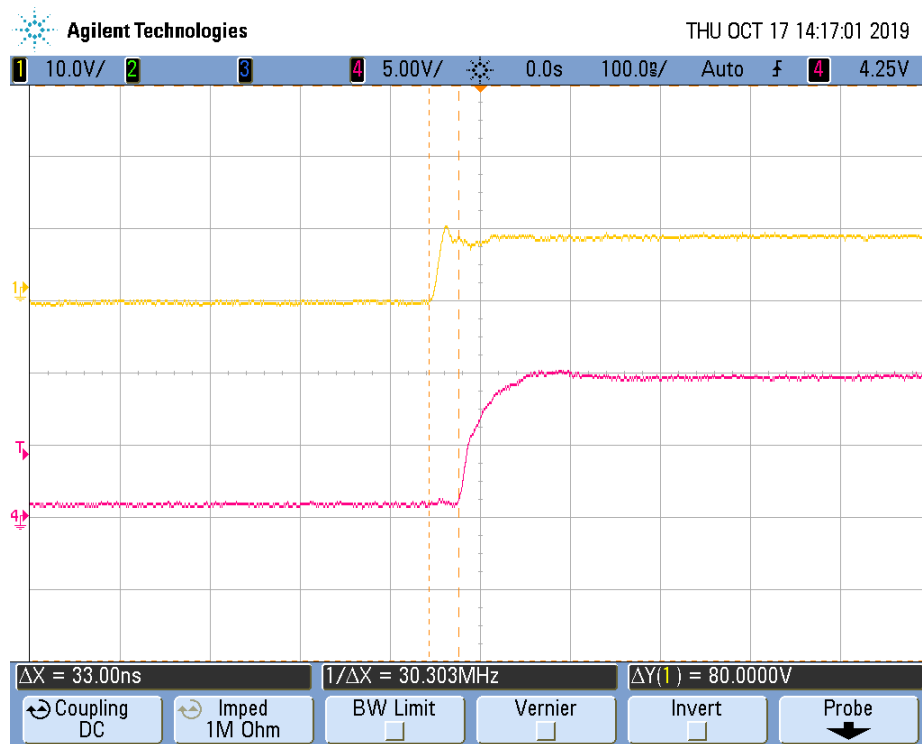


Figura 23: Propagacion contador sincrónico

En la siguiente captura se pueden ver las salidas de los distintos flip-flops, el canal 1 corresponde al clock, y los canales 2, 3 y 4 corresponden a las salidas Q_0 , Q_1 y Q_2 respectivamente:

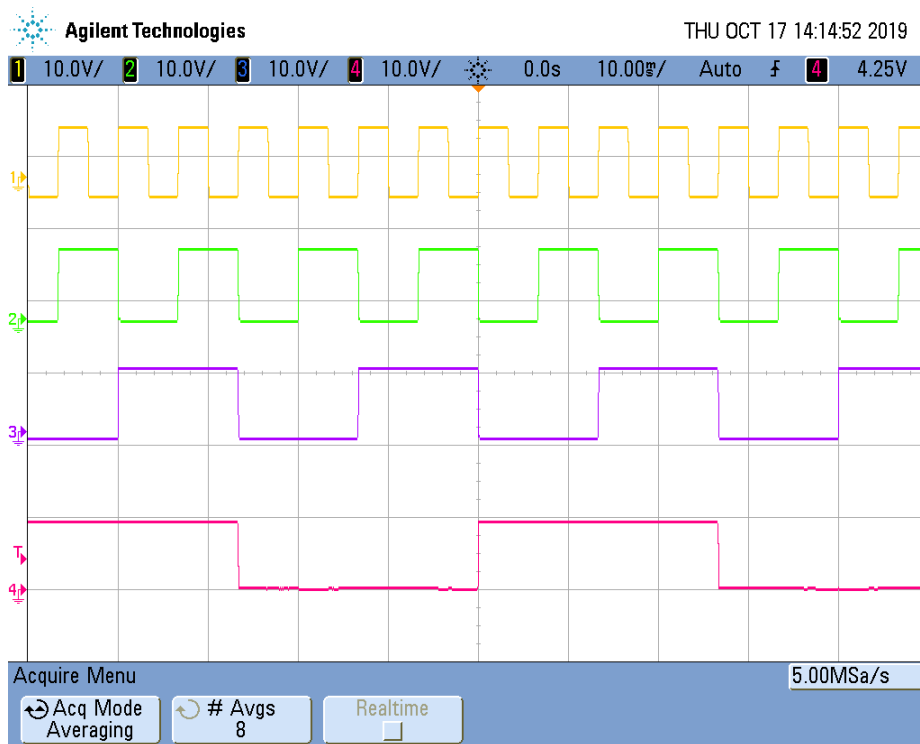


Figura 24: Diagrama de tiempo contador sincrónico

En el mismo se ve perfectamente como los flip-flops se prenden y apagan según la lógica binaria del contador, del bit más significativo al menos significativo.

En la siguiente tabla se resumen los resultados obtenidos para ambos contadores, importante denotar que para el contador asincrónico el tiempo de propagación que brinda el fabricante es de la salida Q_n a Q_{n+1} :

	Propagation Delay (ns)
Contador asincrónico comercial	80 – 160
Contador asincrónico implementado	220
Contador sincrónico comercial (MC14040)	25 – 75
Contador sincrónico implementado	33

Salta a la vista que la hipótesis inicial de que el contador asincrónico sería más lento que el sincrónico se cumple, de hecho es 7 veces más rápido. Además el valor para el tiempo de propagación del contador sincrónico queda dentro del rango brindado por el fabricante.

Conclusiones

En el inicio del ejercicio se plantearon dos tipos de contadores ambos con ventajas y desventajas. Se planteó la hipótesis de que los sincrónicos serían mucho más rápidos que los asincrónicos, debido a que en los últimos no pueden ocurrir cambios en simultáneo ya que el clock debe propagarse por las distintas etapas. Se midieron

ambos circuitos, y a pesar de que los resultados empíricos son distintos a los valores nominales de un circuito integrado en concreto, lo anterior puede deberse a eso mismo, los circuitos armados no están integrados en el mismo chip de silicio y poseen propagaciones individuales mayores. Finalmente se confirmó la hipótesis inicial satisfactoriamente, por lo que, la velocidad de operación de un contador esta dada por su tiempo de propagación y las misma es efectivamente menor para los contadores sincrónicos.

Ejercicio 8

Se decidió separar el diseño en varios bloques que cumplieran tareas específicas, facilitando la implementación. Para comenzar, para evitar problemas de ruido se dividió la implementación en parte digital y analógica.

Los bloques utilizados fueron un generador de rampa con un comparador, un contador de pulsos como elemento de medición y otro contador para la tasa de refresco. Su propuesta de diseño e implementación se presentan a continuación.

Diseño

Generador de Rampa

Primeramente, se necesitó medir de cierta manera la variación en la tensión provista por el joystick, la cual será proporcional a su posición respecto del eje. Esto se debe a que internamente el joystick cuenta con un potenciómetro que provee entre 0 V y 5 V de voltaje de salida. Por ende, se diseñó una rampa utilizando un circuito integrado NE555, la misma se utilizará para comparar tensiones.

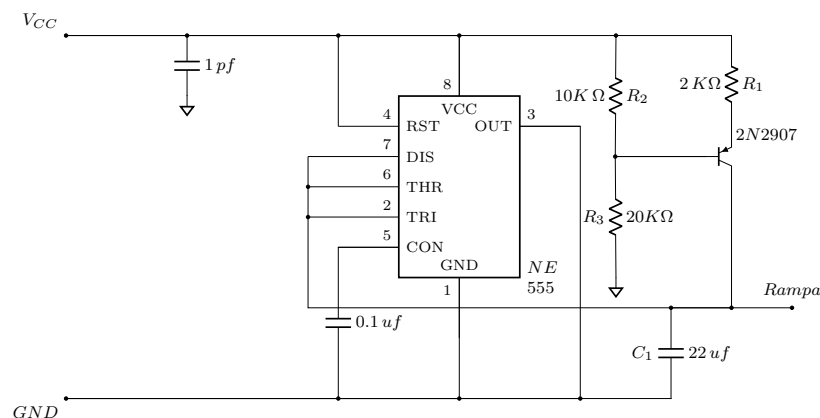


Figura 25: Generador de Rampa con desfasaje

La rampa representará la carga del capacitor C_1 presente en el circuito (25), dicha carga será constante debido a que el componente anteriormente mencionado está conectado con el colector del transistor PNP que está actuando como fuente de corriente. La tasa de refresco estará dada por la frecuencia de la rampa, siendo la misma constante y de 20 Hz.

La pendiente S de la rampa estará dada por $S = \frac{I_C}{C_1} = \frac{V}{t}$. Para comenzar, se decidió fijar el valor de C_1 en $22\mu f$ tal que sólo sea variable I_C . Por otro lado, la corriente en el colector está dada por:

$$I_C = \frac{V_{CC} - V_E}{R_E} \quad (1)$$

La tensión en el emisor está determinada por un divisor resistivo dado por:

$$V_E = \frac{R_4}{R_4 + R_3} V_{CC} + V_{BE} \quad (2)$$

Se fijaron los valores de R_4 y R_3 en $20K\Omega$ y $10K\Omega$ respectivamente, tal que la única incógnita sea R_E .

Se obtuvo un valor nominal para R_E de $2K\Omega$. Consecuentemente, se pondrán dos resistencias en serie, siendo la primer resistencia (R_1), fija con valor nominal 150Ω mientras que la segunda (R_2) será un potenciómetro de $5K\Omega$.

Como primer problema a solucionar para el diseño, surgió que la pendiente de la rampa se encontraba entre $5V$ y $10V$ como se puede ver en la imagen (30). Esto se debía a la construcción propia del N555 que utiliza comparadores para obtener una señal de salida entre un tercio y dos tercios de la tensión de alimentación (V_{CC}), en nuestro caso, $15V$.

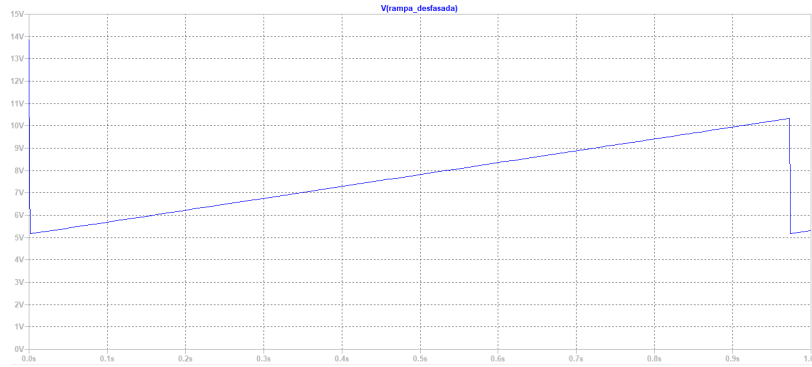


Figura 26: Tensión de la rampa con desfase

Por ende, se implementó un amplificador operacional que funcionará como restador para reducir la tensión de salida de la rampa en $5V$, utilizando el siguiente circuito:

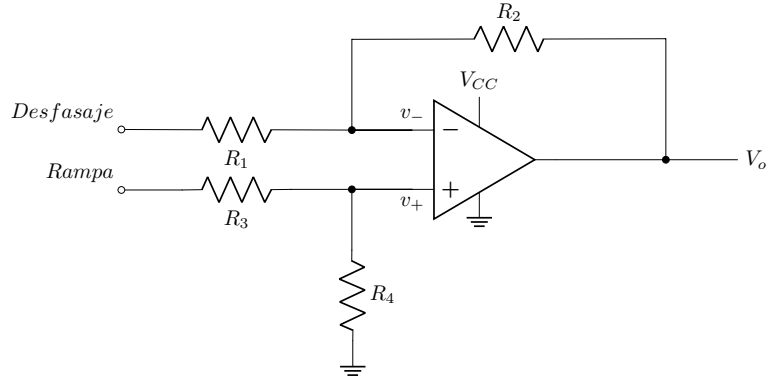


Figura 27: Restador

La salida del amplificador operacional va a estar dada por:

$$V_o = \frac{-R_2}{R_1} V_2 + \left(1 + \frac{R_4}{R_3}\right) V_1 \quad (3)$$

Tomando valores de resistencias equivalentes, obtendremos:

$$V_o = -V_2 + V_1 \quad (4)$$

Siendo V_1 la tensión de la rampa y V_2 la tensión de desfasaje.

Se obtuvo la siguiente rampa acorde a las necesidades para el trabajo:

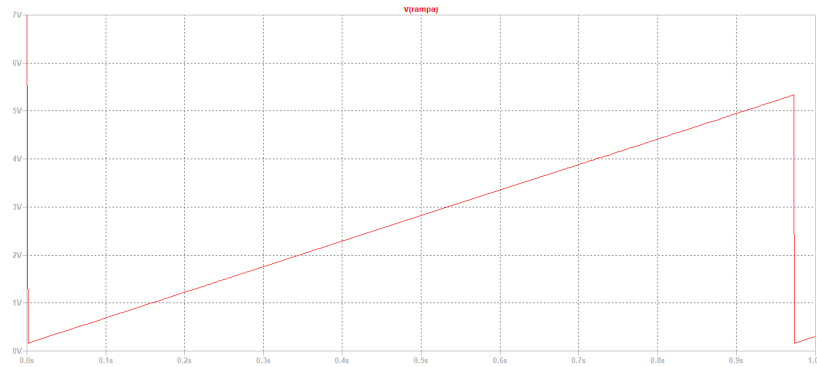


Figura 28: Tensión de la rampa

Se considera necesario aclarar la utilización de un buffer entre la salida de la rampa desfasada y el restador para que no se modifiquen los comportamientos entre ambos circuitos.

Comparador

Como segunda decisión de diseño, se implementó un comparador entre la tensión del joystick y la tensión de la rampa. La tensión del joystick variará respecto del tiempo, motivo por el cual se agrega un filtro pasabajo como se puede observar en la figura (29) para estabilizar la señal y disminuir el ruido. Como el joystick cuenta con

un potenciómetro sólo es necesario agregar un capacitor a la entrada no inversora del amplificador operacional y tierra.

La señal de la rampa estará conectada a la entrada inversora del opamp, mientras que la tensión del joystick estará conectada a la entrada no inversora.

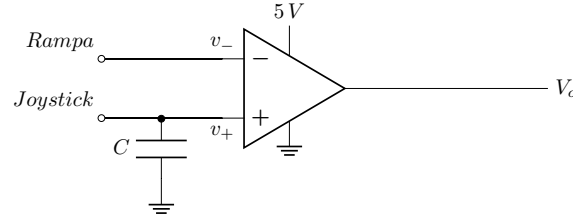


Figura 29: Comparador de tensiones

Cuando la tensión de la rampa sea menor a la tensión del joystick la salida del comparador será de $5V$, para el caso contrario, la tensión de salida será de $0V$.

Clock

La frecuencia de clock del contador tendrá que estar relacionada con el período de la rampa. Será indispensable que el contador pueda contar hasta 99 durante un período de la rampa, por lo tanto, deberán entrar 100 pulsos de clock en un período de rampa. Cuando la rampa tenga una frecuencia de $1Hz$ la frecuencia del clock deberá ser de $100Hz$. Por otro lado, para una frecuencia de rampa de $20Hz$ la frecuencia del clock deberá ser de $2KHz$.

Para obtener dicho clock se utilizará otro integrado N555 con potenciómetros que nos permitan variar la resistencia entre V_{CC} y la salida de Discharge y la resistencia entre esta última salida y la salida de Threshold del circuito integrado.

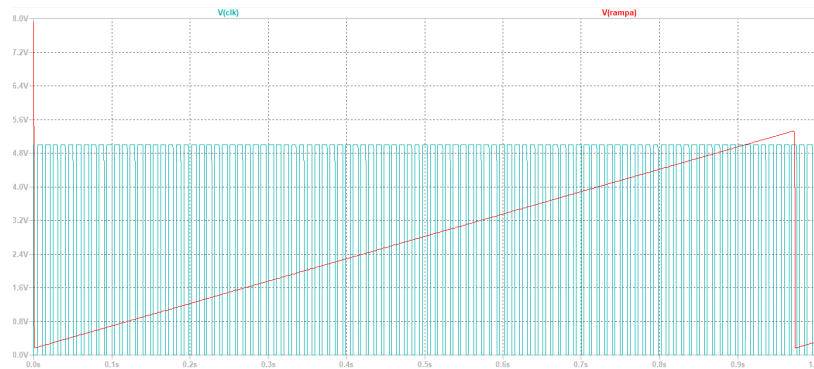


Figura 30: Tensión de la rampa

Las resistencias deberán variar entre 50Ω y $1K\Omega$ por lo que se colocará en serie una resistencia de la primera magnitud con un potenciómetro de la segunda como se puede ver en (31).

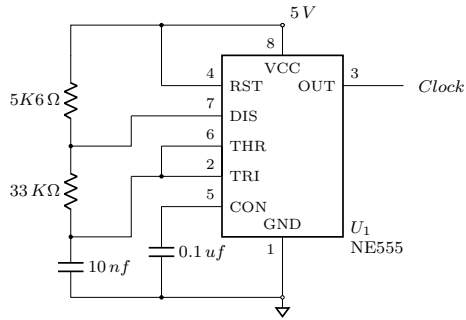


Figura 31: Generador de clock

Contador

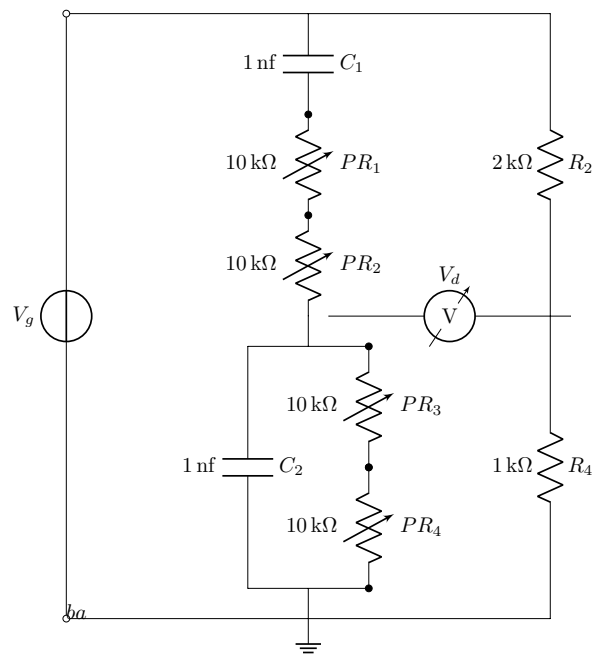


Figura 32: Contador

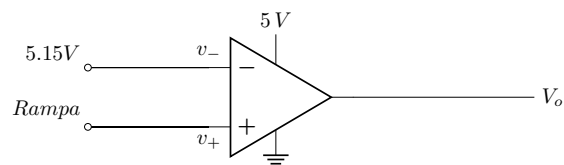


Figura 33: Reset

Conclusiones