

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.12 - ELECTRÓNICA III

Trabajo Práctico N°2

Grupo 4

BERTACHINI, Germán	58750
DIEGUEZ, Manuel	56273
GALDEMAN, Agustín	59827
LAGUINGUE, Juan Martín	57430

Profesores:

DEWALD, Kevin

WUNDES, Pablo



PRESENTADO EL 5 DE SEPTIEMBRE DE 2019

Índice

Ejercicio 1	2
Parámetros de las compuertas lógicas	2
Tensión de salida y entrada	2
Noise Margin	3
Tiempo de propagación	3
Tiempo de transición	3
Corriente de salida	3
Tecnologías de las compuertas lógicas	4
RTL	4
TTL	4
MOS	5
Comparación entre tecnologías	6
Ejercicio 2	6
Ejercicio 3	6
Ejercicio 4	6
Ejercicio 5	6
Entrada flotante	6
Compatibilidad entre TTL y CMOS	7
Ejercicio 6	8
Ejercicio 7	8
Ejercicio 8	8

Ejercicio 1

Parámetros de las compuertas lógicas

En esta sección desarrollaremos sobre los parámetros esenciales de las compuertas lógicas y estos son los siguientes:

Tensión de salida y entrada

Cuando se realizan compuertas lógicas vamos a poder establecer un rango de tensión de entrada donde la compuerta va a reconocer como un 1 lógico y otra para el cual va a tomar como un 0. Para esos mismos rangos vamos a poder definir un rango de salida dada cuando se encuentra en estado alto y otro para cuando está en estado bajo. Los parámetros van a llamarse:

- V_{IL} : Tensión de entrada considerada un 1 lógico
- V_{IH} : Tensión de entrada considerada un 0 lógico
- V_{OL} : Tensión de salida considerando que envía un 0 lógico
- V_{OH} : Tensión de salida considerando que envía un 1 lógico

La parte más importante de estos son:

- $V_{IL_{max}}$
- $V_{IH_{min}}$
- $V_{OL_{max}}$
- $V_{OH_{min}}$

Estos son obtenidos al realizar el siguiente esquema:

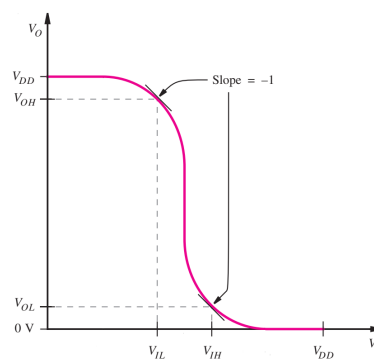


Figura 1: High level y low level input y output

Noise Margin

Para determinar los márgenes de ruido se realizan las siguientes cuentas:

$$NM_L = |V_{OL} - V_{IL}|$$

$$NM_H = |V_{OH} - V_{IH}|$$

Tiempo de propagación

Son los tiempos en que tarda en cambiar la salida acorde a lo recibido en la entrada en otras palabras, es lo que tarda en cambiar la salida desde el momento en que recibió la entrada. Estos se miden como se va a visualizar a continuación:

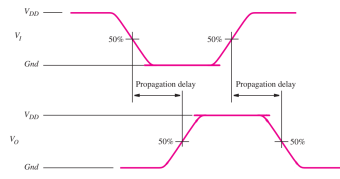


Figura 2: Tiempos de propagación

Como se puede observar, hay dos tiempos de propagación, una de alto a bajo y el otro de bajo a alto.

Tiempo de transición

Es el Tiempo que le toma cambiar la salida de alta a bajo y viceversa, estas se definen como fall time y rise time. Se definen de la manera ilustrada en el gráfico:

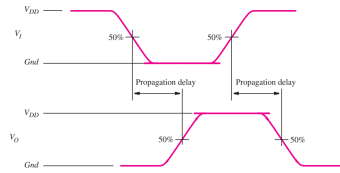


Figura 3: Tiempos de propagación

Corriente de salida

Este parámetro es importante de definir dado que define el valor del fanout de la misma, dado que posea una carga solo capacitiva podemos definir la corriente como:

$$I = C \frac{dV_c}{dt}$$

Tecnologías de las compuertas lógicas

A continuación, hablaremos sobre los distintos tipos de tecnología así e ilustraremos los valores obtenidos de los parámetros de las arquitecturas aplicadas de cada tecnología. Estas son las siguientes:

RTL

La tecnología RTL consiste en conectar resistencias y transistores BJT para forma una compuerta lógica, donde la resistencia va a ser usado para polarizar el BJT. En la figura 4, se encuentra la implementación de una compuerta NOT.

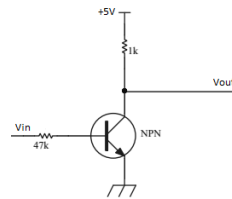


Figura 4: NOT RTL

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IH_{max}}$		
$V_{IL_{min}}$		
$V_{OH_{max}}$		
$V_{OL_{min}}$		
Noise Margin		
Propagation delay High-to-Low		
Propagation delay Low-to-High		
Fall time		
Rise time		
Output current		

TTL

La tecnología TTL consiste en conectar resistencias y transistores BJT para forma una compuerta lógica, donde vamos a polarizar el BJT que define la salida con otro BJT. En la figura 5, se encuentra la implementación de una compuerta NOT.

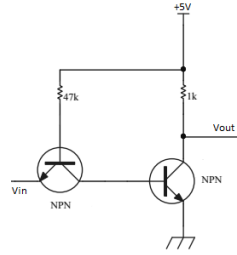


Figura 5: NOT TTL

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IH_{max}}$		
$V_{IL_{min}}$		
$V_{OH_{max}}$		
$V_{OL_{min}}$		
Noise Margin		
Propagation delay High-to-Low		
Propagation delay Low-to-High		
Fall time		
Rise time		
Output current		

MOS

La tecnología MOS consiste en conectar resistencias y transistores MOS para forma una compuerta lógica. En la figura 6, se encuentra la implementación de una compuerta NOT.

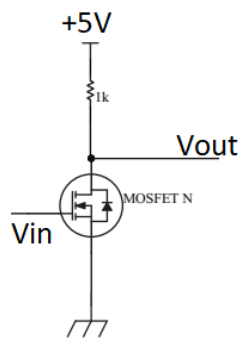


Figura 6: NOT MOS

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IH_{max}}$		
$V_{IL_{min}}$		
$V_{OH_{max}}$		
$V_{OL_{min}}$		
Noise Margin		
Propagation delay High-to-Low		
Propagation delay Low-to-High		
Fall time		
Rise time		
Output current		

Comparación entre tecnologías

Parámetros \ Tecnologías	RTL	TTL	MOS
V_I			
V_O			
Noise Margin			
Propagation time			
Transition time			
Output current			

Ejercicio 2

Ejercicio 3

Ejercicio 4

Ejercicio 5

Entrada flotante

En esta subsección vamos a desarrollar el comportamiento que tiene las compuertas TTL y CMOS, por medio de los siguientes circuitos:



Figura 7: Circuito para TTL AND

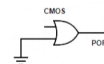


Figura 8: Circuito para CMOS OR

Compatibilidad entre TTL y CMOS

A continuación vamos a ver los problemas presentados en el circuito de la figura 9, así como los problemas que está presenta.

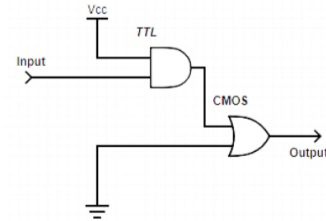


Figura 9: TTL cargando CMOS

Teniendo en cuenta los datos siguientes:

Tecnología	$V_{IL_{max}}$	$V_{IH_{min}}$	$V_{OL_{max}}$	$V_{OH_{min}}$
74LS08	0.8 V	2 V	0.5 V	2.7 V
74HC32	1.35 V	3.15 V	0.26 V	3.98 V

Tenemos que el $V_{OH_{min}}$ del TTL es inferior al $V_{IH_{min}}$ del CMOS. Esto causa que, aunque el AND se encuentre en estado alto mientras esté sea menor a 3.15 V, la compuerta OR no va a considerarla como tal dando nos una respuesta diferente a la esperada. Este tipo de problemas pueden ser solucionados por un level shifter o por un pull up, debido a que el pull up solo va a generar una reducción en el rise time del mismo gracias a que inyecta más corriente, utilizaremos un level shifter para solucionarlo. Una manera sencilla de aplicar un level shifter puede verse en la figura 10.

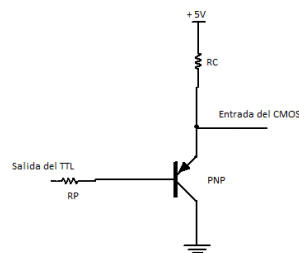


Figura 10: TTL cargando CMOS

El problema se encuentra solucionado dado que ahora al OR CMOS le va a llegar un $V_{OL_{max}} = 2.7 + 0.7 = 3.4$ aproximadamente, esto es mayor a 3.15 V solucionando completamente el problema encontrado.

Ejercicio 6

Ejercicio 7

Ejercicio 8