

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.12 - ELECTRÓNICA III

---

## Trabajo Práctico N°2

---

*Grupo 4*

BERTACHINI, Germán	58750
DIEGUEZ, Manuel	56273
GALDEMAN, Agustín	59827
LAGUINGUE, Juan Martín	57430

Profesores:

DEWALD, Kevin

WUNDES, Pablo



PRESENTADO EL 5 DE SEPTIEMBRE DE 2019

# Índice

<b>Ejercicio 1</b>	<b>2</b>
Parámetros de las compuertas lógicas . . . . .	2
Tensión de salida y entrada . . . . .	2
Noise Margin . . . . .	3
Tiempo de propagación . . . . .	3
Tiempo de transición . . . . .	3
Corriente de salida . . . . .	3
Tecnologías de las compuertas lógicas . . . . .	3
RTL . . . . .	4
TTL . . . . .	4
MOS . . . . .	5
Comparación entre tecnologías . . . . .	6
<b>Ejercicio 2</b>	<b>6</b>
Introducción a las tecnologías . . . . .	6
Compatibilidad entre LS y HC . . . . .	7
Compatibilidad entre LS y HCT . . . . .	7
Fanout . . . . .	7
<b>Ejercicio 3</b>	<b>8</b>
<b>Ejercicio 4</b>	<b>8</b>
<b>Ejercicio 5</b>	<b>8</b>
Entrada flotante . . . . .	8
Compatibilidad entre TTL y CMOS . . . . .	8
<b>Ejercicio 6</b>	<b>9</b>
<b>Ejercicio 7</b>	<b>9</b>
<b>Ejercicio 8</b>	<b>9</b>

# Ejercicio 1

## Parámetros de las compuertas lógicas

En esta sección desarrollaremos sobre los parámetros esenciales de las compuertas lógicas y estos son los siguientes:

### Tensión de salida y entrada

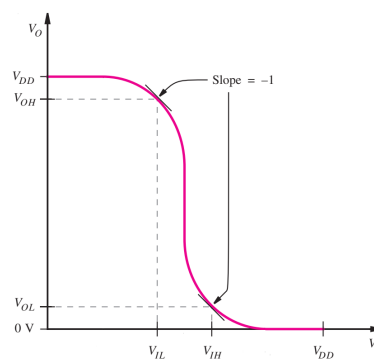
Cuando se realizan compuertas lógicas vamos a poder establecer un rango de tensión de entrada donde la compuerta va a reconocer como un 1 lógico y otra para el cual va a tomar como un 0. Para esos mismos rangos vamos a poder definir un rango de salida dada cuando se encuentra en estado alto y otro para cuando está en estado bajo. Los parámetros van a llamarse:

- $V_{IL}$ : Tensión de entrada considerada un 1 lógico
- $V_{IH}$ : Tensión de entrada considerada un 0 lógico
- $V_{OL}$ : Tensión de salida considerando que envía un 0 lógico
- $V_{OH}$ : Tensión de salida considerando que envía un 1 lógico

La parte más importante de estos son:

- $V_{IL_{max}}$
- $V_{IH_{min}}$
- $V_{OL_{max}}$
- $V_{OH_{min}}$

Estos son obtenidos al realizar el siguiente esquema:



**Figura 1:** High level y low level input y output

## Noise Margin

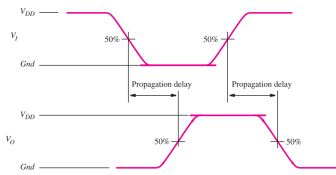
Para determinar los márgenes de ruido se realizan las siguientes cuentas:

$$NM_L = |V_{OL} - V_{IL}|$$

$$NM_H = |V_{OH} - V_{IH}|$$

## Tiempo de propagación

Son los tiempos en que tarda en cambiar la salida acorde a lo recibido en la entrada en otras palabras, es lo que tarda en cambiar la salida desde el momento en que recibió la entrada. Estos se miden como se va a visualizar a continuación:

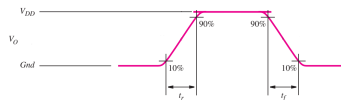


**Figura 2:** Tiempos de propagación

Como se puede observar, hay dos tiempos de propagación, una de alto a bajo y el otro de bajo a alto.

## Tiempo de transición

Es el Tiempo que le toma cambiar la salida de alta a bajo y viceversa, estas se definen como fall time y rise time. Se definen de la manera ilustrada en el gráfico:



**Figura 3:** Tiempos de transición

## Corriente de salida

Este parámetro es importante de definir dado que define el valor del fanout de la misma, dado que posea una carga solo capacitiva podemos definir la corriente como:

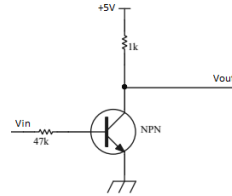
$$I = C \frac{dV_c}{dt}$$

## Tecnologías de las compuertas lógicas

A continuación, hablaremos sobre los distintos tipos de tecnología así e ilustraremos los valores obtenidos de los parámetros de las arquitecturas aplicadas de cada tecnología. Estas son las siguientes:

## RTL

La tecnología RTL consiste en conectar resistencias y transistores BJT para forma una compuerta lógica, donde la resistencia va a ser usado para polarizar el BJT. En la figura 4, se encuentra la implementación de una compuerta NOT.



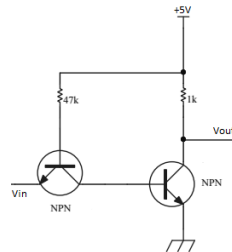
**Figura 4:** NOT RTL

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IL_{max}}$		
$V_{IH_{min}}$		
$V_{OL_{max}}$		
$V_{OH_{min}}$		
$NM_L$		
$NM_H$		
Propagation delay High-to-Low	371 nSeg	548 nSeg
Propagation delay Low-to-High	2.52 $\mu$ Seg	3 $\mu$ Seg
Fall time	330 nSeg	482 nSeg
Rise time	1.07 $\mu$ Seg	2.41 $\mu$ Seg
Output current	4.96 mA	

## TTL

La tecnología TTL consiste en conectar resistencias y transistores BJT para forma una compuerta lógica, donde vamos a polarizar el BJT que define la salida con otro BJT. En la figura 5, se encuentra la implementación de una compuerta NOT.



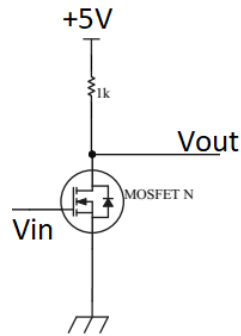
**Figura 5:** NOT TTL

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IL_{max}}$		
$V_{IH_{min}}$		
$V_{OL_{max}}$		
$V_{OH_{min}}$		
$NM_L$		
$NM_H$		
Propagation delay High-to-Low	13 nSeg	13 nSeg
Propagation delay Low-to-High	212 nSeg	896 nSeg
Fall time	52 nSeg	184 nSeg
Rise time	192 nSeg	2.35 $\mu Seg$
Output current	5 mA	

## MOS

La tecnología MOS consiste en conectar resistencias y transistores MOS para forma una compuerta lógica. En la figura 6, se encuentra la implementación de una compuerta NOT.



**Figura 6:** NOT MOS

De la misma se obtuvieron los siguientes parámetros:

Parámetros	Valor sin carga	Valor con carga
$V_{IL_{max}}$		
$V_{IH_{min}}$		
$V_{OL_{max}}$		
$V_{OH_{min}}$		
$NM_L$		
$NM_H$		
Propagation delay High-to-Low	13 nSeg	19 nSeg
Propagation delay Low-to-High	80 nSeg	707 nSeg
Fall time	12 nSeg	21 nSeg
Rise time	158 nSeg	2.18 $\mu Seg$
Output current	5mA	

### Comparación entre tecnologías

Parámetros \ Tecnologías	RTL	TTL	MOS
$V_I$			
$V_O$			
$NM_L$			
$NM_H$			
Propagation time			
Transition time			
Output current			

## Ejercicio 2

Vamos a desarrollar la compatibilidad entre compuertas NOR de las tecnologías LS, HC y HCT.

### Introducción a las tecnologías

La tecnología LS es una aplicación de la anteriormente mencionada TTL pero utiliza transistores Schottky, en otras palabras usamos transistores con diodos Schottky. Mientras que la tecnología HC es una aplicación de lógica MOS, en la cual se utilizan MOS de alta velocidad, HC="High-speed CMOS". Cabe mencionar que esta es incompatible con la TTL. Por último, HCT es igual a la HC pero con una mejora en compatibilidad para la interconexión con tecnología TTL. Se tiene que las distintos tipos de compuertas tiene utilizadas las siguientes características:

Tecnologías Parámetros	LS	HC	HCT
$V_{IL_{max}}$	0.8 V	1.35 V	0.8 V
$V_{IH_{min}}$	2 V	3.2 V	2 V
$V_{OL_{max}}$	0.5 V	0.26 V	0.26 V
$V_{OH_{min}}$	2.7 V	3.98 V	3.98 V
Output current	8 mA	4 mA	4 mA
Input current	0.1 mA	$1 \mu A$	$1 \mu A$

## Compatibilidad entre LS y HC

Se conecto la salida del LS al HC y luego la salida del HC al LS. Los resultados obtenidos fueron:

Conexión Parámetros	LS-HC	HC-LS
$V_{IL_{max}}$		
$V_{IH_{min}}$		
$V_{OL_{max}}$		
$V_{OH_{min}}$		
$NM_L$		
$NM_H$		

## Compatibilidad entre LS y HCT

Se conecto la salida del LS al HCT y luego la salida del HCT al LS. Los resultados obtenidos fueron:

Conexión Parámetros	LS-HC	HC-LS
$V_{IL_{max}}$		
$V_{IH_{min}}$		
$V_{OL_{max}}$		
$V_{OH_{min}}$		
$NM_L$		
$NM_H$		

## Fanout

El fanout es un parámetro que indica la cantidad de compuertas lógicas de una misma tecnología que pueden conectarse en paralelo a la salida de otra compuerta, determinar este número es esencial debido a que si uno se pasa de está, la tensión de salida, así como el comportamiento de las compuertas a la salida de esta puede dejar de ser el deseado. De la información obtenida podemos concluir que



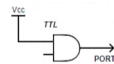
## Ejercicio 3

## Ejercicio 4

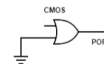
## Ejercicio 5

### Entrada flotante

En esta subsección vamos a desarrollar el comportamiento que tiene las compuertas TTL y CMOS, por medio de los siguientes circuitos:



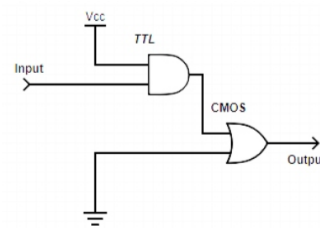
**Figura 7:** Circuito para TTL AND



**Figura 8:** Circuito para CMOS OR

## Compatibilidad entre TTL y CMOS

A continuación vamos a ver los problemas presentados en el circuito de la figura 9, así como los problemas que está presenta.

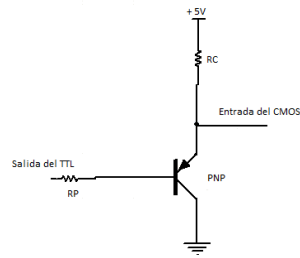


**Figura 9:** TTL cargando CMOS

Teniendo en cuenta los datos siguientes:

Tecnología	$V_{IL_{max}}$	$V_{IH_{min}}$	$V_{OL_{max}}$	$V_{OH_{min}}$
74LS08	0.8 V	2 V	0.5 V	2.7 V
74HC32	1.35 V	3.15 V	0.26 V	3.98 V

Tenemos que el  $V_{OH_{min}}$  del TTL es inferior al  $V_{IH_{min}}$  del CMOS. Esto causa que, aunque el AND se encuentre en estado alto mientras esté sea menor a 3.15 V, la compuerta OR no va a considerarla como tal dando nos una respuesta diferente a la esperada. Este tipo de problemas pueden ser solucionados por un level shifter o por un pull up, debido a que el pull up solo va a generar una reducción en el rise time del mismo gracias a que inyecta más corriente, utilizaremos un level shifter para solucionarlo. Una manera sencilla de aplicar un level shifter puede verse en la figura 10.



**Figura 10:** TTL cargando CMOS

El problema se encuentra solucionado dado que ahora al OR CMOS le va a llegar un  $V_{OL_{max}} = 2.7 + 0.7 = 3.4$  aproximadamente, esto es mayor a 3.15 V solucionando completamente el problema encontrado.

**Ejercicio 6**

**Ejercicio 7**

**Ejercicio 8**