

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

Trabajo Práctico N°3

Electrónica III - 2019

Grupo 1:

Farall, Facundo David
Gaytan, Joaquín Oscar
Kammann, Lucas Agustín
Maselli, Carlos Javier

Profesores:

Dewald, Kevin
Wundes, Pablo
Aguirre, Miguel

25 de octubre de 2019

Índice

Ejercicio 1: Control de bombas de agua	3
Ejercicio 2: Reconocimiento de secuencia de bits	4
Diseño de Máquina de Estados	4
Simulaciones en Verilog	6
Diseño en PCB	6
Resultados	6
Conclusiones	6
Ejercicio 3: Máquina de Moore	7

Ejercicio 1: Control de bombas de agua

Ejercicio 2: Reconocimiento de secuencia de bits

Se desea diseñar una máquina de estados implementada con máquina de Mealy, la cual sea capaz de analizar una secuencia de bits y detectar si se produjo un patrón seguido por 1-1-0-1, ante lo cual deberá notificar tal suceso activando su salida para ello. En la Fig. 1 se ilustra un esquema general de ello.

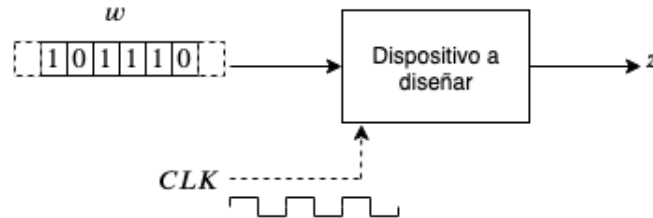


Figura 1: Esquema general del dispositivo a diseñar

Diseño de Máquina de Estados

En primer lugar, dadas las especificaciones de la máquina de estado, se desea diseñar tal dispositivo el cual consta de una única entrada y una única salida. Para lo cual se emplea un esquema genérico de máquina de estados, en donde la salida será asincrónica pues se busca utilizar el diseño de Mealy para tal lógica. Este esquema general descrito puede visualizarse en la Fig. 2.

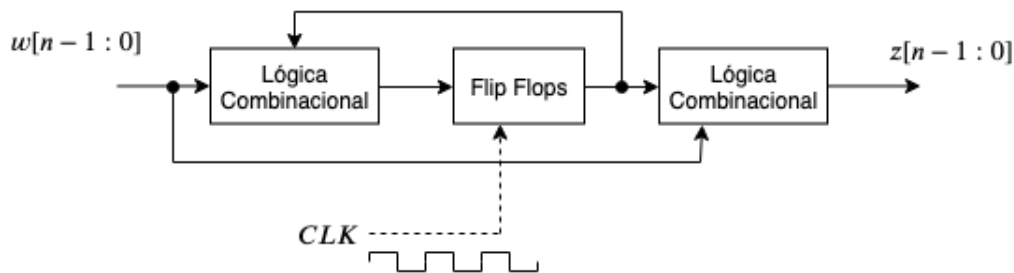


Figura 2: Esquema general de la máquina de Mealy

En la Fig. 3 se puede observar el diagrama de estados propuesto. Es importante mencionar que el estado de Reset es definido como tal para reconocer cuál es el estado inicial de la máquina, y deberá ser tenido en cuenta durante la asignación de estados en caso de proveer la posibilidad de reiniciar la máquina, pues los flip flops deberán ser llevados a dicho estado, según sea asignado.

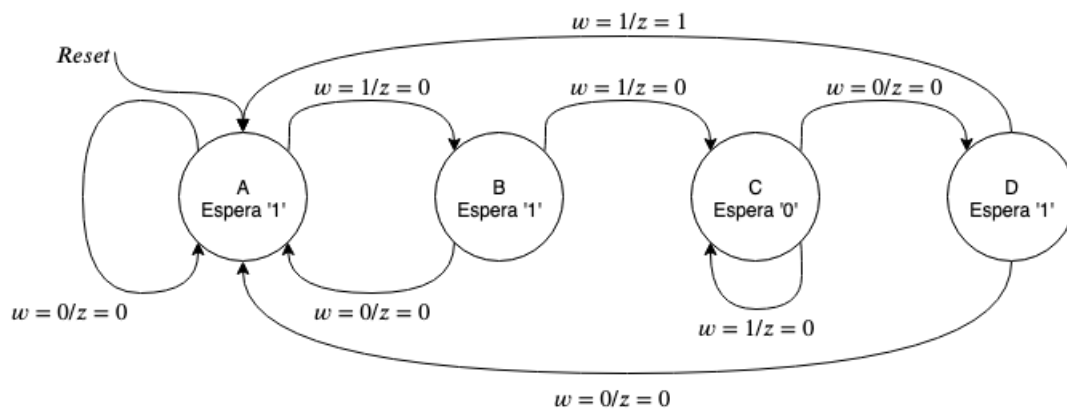


Figura 3: Diagrama de estados

En la Tabla 1 se puede observar la tabla de estados o transiciones de la máquina de estados, habiendo ya asignado correspondientemente a cada estado una configuración de bits. Es de interés mencionar que tal asignación es el resultado de comparar las diferentes alternativas y encontrar que, dada la distribución propuesta, la lógica externa es la mínima necesaria.

Estado y_2y_1	Próximo		Salida	
	$w = 0$	$w = 1$	$w = 0$	$w = 1$
$A = 11$	$A = 11$	$B = 00$	$z = 0$	$z = 0$
$B = 00$	$A = 11$	$C = 01$	$z = 0$	$z = 0$
$C = 01$	$D = 10$	$C = 01$	$z = 0$	$z = 0$
$D = 10$	$A = 11$	$A = 11$	$z = 0$	$z = 1$

Tabla 1: Tabla de estados o transiciones

w	y_2y_1			
	00	01	11	10
0	0	0	0	0
1	0	0	0	1

Figura 4: Karnaugh para la variable de salida

$$z = w \cdot y_2 \cdot \overline{y_1} \quad (1)$$

w	y_2y_1			
	00	01	11	10
0	1	1	1	1
1	0	0	0	1

Figura 5: Karnaugh para la variable de estado y_2

$$y_2 = \overline{w} + y_2 \cdot \overline{y_1} \quad (2)$$

w	y_2y_1			
	00	01	11	10
0	1	0	1	1
1	1	1	0	1

Figura 6: Karnaugh para la variable de estado y_1

$$y_1 = \overline{y_1} + \overline{w} \cdot y_2 + w \cdot \overline{y_2} \quad (3)$$

Simulaciones en Verilog

Diseño en PCB

Resultados

Conclusiones

Ejercicio 3: Máquina de Moore