

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.12 - ELECTRÓNICA III

Trabajo Práctico N°3

Grupo 4

BERTACHINI, Germán	58750
DIEGUEZ, Manuel	56273
GALDEMAN, Agustín	59827
LAGUINGUE, Juan Martín	57430

Profesores:

DEWALD, Kevin

WUNDES, Pablo



PRESENTADO EL 14 DE NOVIEMBRE DE 2019

Índice

Ejercicio 1	2
Ejercicio 2	2
Introducción	2
Implementación	2
Asignación de estados	3
Mapas de Karnaugh	3
Circuito resultante	3
Simulación	4
Ejercicio 3	4

Ejercicio 1

Ejercicio 2

Introducción

En esta sección desarrollaremos el diseño de una máquina de estados de Mealy capaz de reconocer la secuencia 1-1-0-1, enviada de forma serial y una vez reconocida la secuencia, obtendremos una salida de encendido. Mientras que, en el caso contrario tendremos una salida apagada.

La misma consiste en 4 estados, un default que va a ser el estado donde siempre va a volver en caso de error y 3 estados de transición. El estado default va a ser el estado inicial de la misma.

A continuación podemos observar el diagrama de la misma:

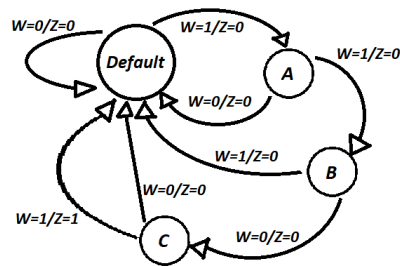


Figura 1: Diagrama de estados

En donde Z es la salida, W es la entrada y las flechas indican hacia donde se realiza la transición así como bajo qué valor de la entrada sucede la misma.

De la figura 1 podemos obtener la siguiente tabla de estados:

Tabla 1: Tabla de estados

Estado Actual	Estado siguiente		Salida	
	$W = 0$	$W = 1$	$W = 0$	$W = 1$
Default	Default	A	0	0
A	Default	B	0	0
B	C	Default	0	0
C	Default	Default	0	0

Implementación

Para implementar una máquina de Mealy utilizamos el siguiente circuito secuencial genérico:

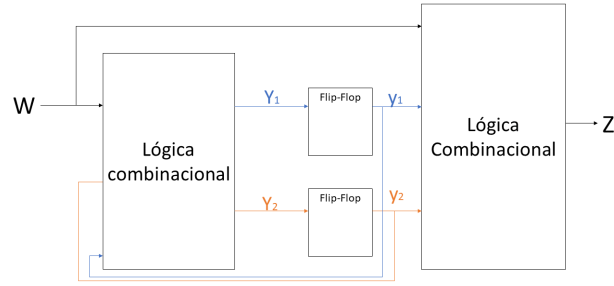


Figura 2: Circuito genérico

Asignación de estados

Por último, se realiza la asignación de los estados dando lugar a la siguiente tabla:

Tabla 2: Tabla de estados asignados

Estado Actual	Asignado del estado actual y_2y_1	Estado siguiente		Salida	
		$W = 0$ Y_2Y_1	$W = 1$ Y_2Y_1	$W = 0$	$W = 1$
Default	00	00	01	0	0
A	01	00	10	0	0
B	10	11	00	0	0
C	11	00	00	0	1

Mapas de Karnaugh

A partir de la tabla 2 se obtienen los siguientes mapas de Karnaugh:

$$Y_1$$

$$Y_1 = \underline{\overline{y_1} \overline{y_2} W + \overline{y_1} y_2 \overline{W}}$$

$$Y_2$$

$$Y_2 = \underline{\overline{y_1} y_2 \overline{W} + y_1 \overline{y_2} W}$$

$$Z$$

$$Z = \underline{y_1 y_2 W}$$

Circuito resultante

Para la realización del circuito utilizamos los Flip-Flop D debido a que poseen una relación directa con las variables de estado y_i y Y_i . Donde las variables $y_i = Q_i$, pero cabe mencionar que esto es equivalente para todos los distintos tipos de Flip-Flop y

$Y_i = D_i$ que es exclusivo del mismo. Finalmente, a partir de los mapas de Karnaugh anteriormente mostrados, surge el siguiente circuito:

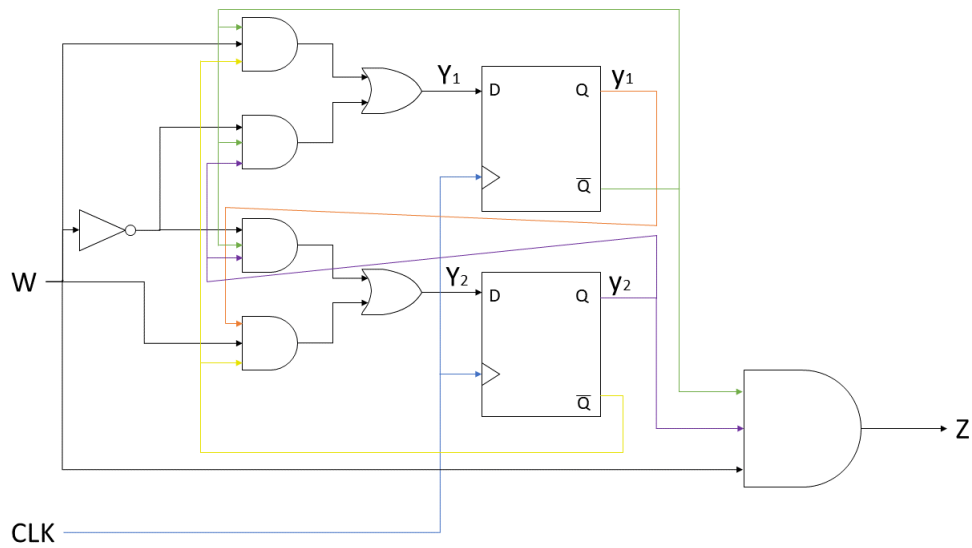


Figura 3: Circuito genérico

Simulación

Luego, se generó la correspondiente simulación en Verilog, el cual nos brinda el comportamiento ideal del mismo. Esto dio lugar al siguiente resultado:

Ejercicio 3