INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.12 - Electrónica III

Trabajo Práctico $N°3$

Grupo 4

Bertachini, Germán	58750
Galdeman, Agustín	59827
Laguingue, Juan Martín	57430

Profesores:
Dewald, Kevin
Wundes, Pablo

Presentado el 14 de Noviembre de 2019

Índice

Ejercicio 1 **2**
Introducción 2
Tabla de transiciones y diagrama de estados 3
Implementación - Caso I 4
Implementación - Caso II 5
Conexión Caso I y II 5

Ejercicio 2 **6**
Introducción 6
Implementación 7
Asignación de estados 7
Mapas de Karnaugh 8
Circuito resultante 8
Simulación 8
Experimental 9

Ejercicio 3 **9**
Introducción 9
Implementación 10
Placa 11

Ejercicio 1

Introducción

En este ejercicio se plantea una máquina de estados para controlar la carga de un tanque de agua mediante la utilización de dos bombas independientes.

La cátedra solicita una implementación mediante una máquina de Moore, la cual se caracteriza porque las salidas no dependan de las entradas. Estas últimas servirán para realizar cambios de estado y controlar el flujo general de la máquina. Por otro lado, cada estado tendrá asociado una salida. La implementación característica de una máquina de Moore se presenta a continuación:

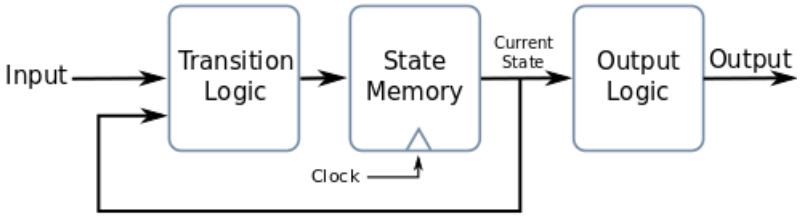


Figura 1: Máquina de Moore

Los sensores S e I ubicados en la parte superior e inferior del tanque respectivamente, actuarán como las entradas de la máquina de estado, su valor será 1 al detectar agua y 0 en caso contrario. Para la implementación se utilizarán cuatro estados los cuales indicarán el estado de funcionamiento de las bombas como se muestra en la tabla (1).

Para representar dichos estados son necesarios dos bits, como dichos bits representarán el estado de las bombas, los estados coincidirán con las salidas de la máquina de Moore.

Estado	Q_1	Q_0
A	0	0
B	0	1
C	1	0
D	1	1

Tabla 1: Estados utilizados

Donde dichos estados representan:
A: Ninguna bomba está encendida
B: La bomba 0 está encendida
C: La bomba 1 está encendida
D: Ambas bombas están encendidas

Tabla de transiciones y diagrama de estados

Todas las transiciones posibles se pueden observar en el tabla (2). Se plantean las siguientes consideraciones:

- Si llega la entrada I=0 y S=1, lo que implicaría que se detecta agua en la parte superior pero no en la inferior, se considera un absurdo y la máquina se mantendrá en su estado actual.
- Para la transición entre los estados A y D a los estados B o C, con esta tabla resulta imposible determinar cuál fue la última bomba encendida por lo que se pondrá "Don't care". Para realizar dichas transiciones se realizará una lógica aparte.

E	Q_1	Q_0	I	S	E^*	${Q_1}^*$	${Q_0}^*$
A	0	0	0	0	D	1	1
A	0	0	0	1	A	0	0
A	0	0	1	0	X	X	X
A	0	0	1	1	A	0	0
B	0	1	0	0	D	1	1
B	0	1	0	1	B	0	1
B	0	1	1	0	B	0	1
B	0	1	1	1	A	0	0
C	1	0	0	0	D	1	1
C	1	0	0	1	C	1	0
C	1	0	1	0	C	1	0
C	1	0	1	1	A	0	0
D	1	1	0	0	D	1	1
D	1	1	0	1	D	1	1
D	1	1	1	0	X	X	X
D	1	1	1	1	A	0	0

Tabla 2: Transiciones entre estados

La tabla anterior nos indicará la lógica de entrada para un Caso I mientras que para transiciones entre los estados A y D a los estados B o C se considerará la lógica para un Caso II.

A continuación, se representa el diagrama de estados y la tabla de transiciones resumida de nuestra máquina para el Caso I.

Estado	S=0		S=1	
Actual	I=0	I=1	I=0	I=1
A	D	A	X	A
B	D	B	B	A
C	D	C	C	A
D	D	D	X	A

Tabla 3: Tabla de transiciones

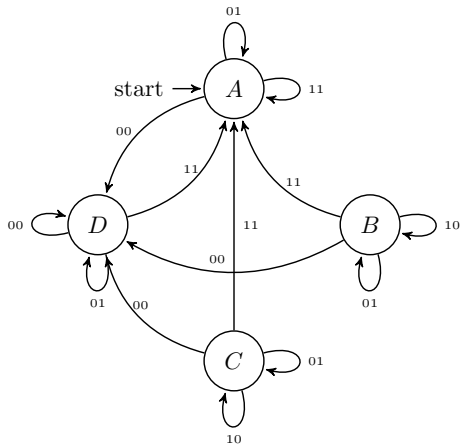
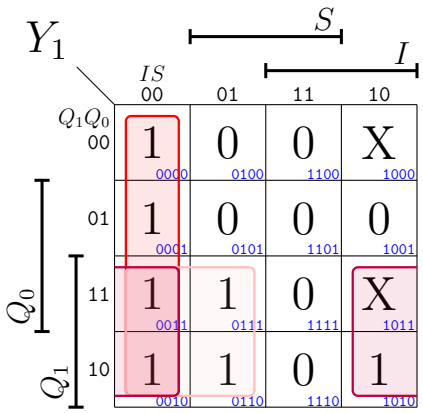


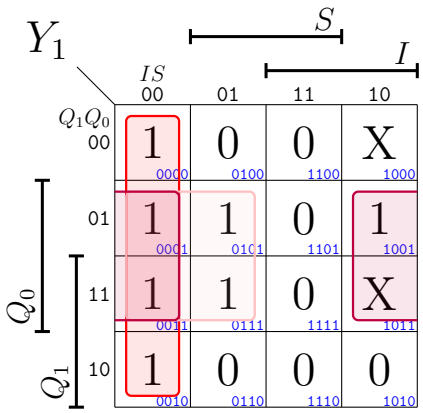
Figura 2: Diagrama de estados

Implementación - Caso I

Se necesitan dos bits para almacenar los cuatro estados utilizados, por lo que se necesitarán dos Flip-Flop D para guardarlos en memoria. Desarrollando las tablas obtenemos los siguientes mapas de Karnaugh que nos indicarán los circuitos lógicos necesarios para el Caso I.



$D_1 = \overline{I}\,\overline{S} + Q_1\,\overline{I} + Q_1\,\overline{S}$



$D_1 = \overline{I}\,\overline{S} + Q_1\,\overline{I} + Q_1\,\overline{S}$

Dando como resultado el siguiente circuito:

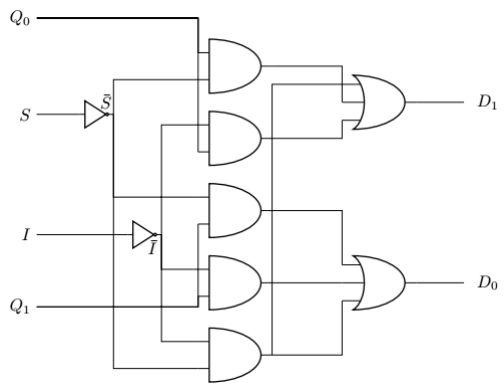


Figura 3: Lógica de la entrada - Caso I

Implementación - Caso II

Por otro lado, para el Caso II era necesario almacenar cual había sido la última bomba en no activarse por lo que decidió guardar dicha información en un Flip-Flop T. Dicho bit sólo debería ser cambiado bajo dos condiciones, cuando la máquina tenga entradas $I = 1$ y $S = 0$ estando en el estado A o D.

Para el primer caso implica que ambas bombas están apagadas y se detecta que el tanque se encuentra por la mitad, por lo que hay que proceder a activar la última bomba en no activarse. Para el otro, se está trabajando con ambas bombas y se detecta que el reservorio está por la mitad, por lo que se procederá a apagar la última en entrar en servicio. Las salidas del Flip-Flop T representarán el próximo estado ya que representan el estado de las bombas.

El siguiente circuito(**??**) representa dicha lógica.

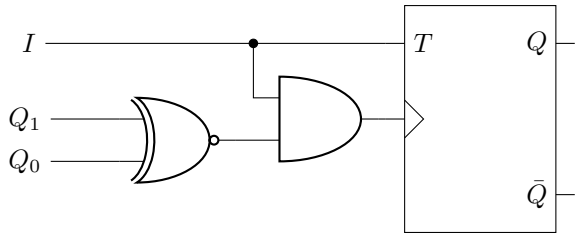


Figura 4: Lógica de la entrada - Caso II

La entrada I funcionará como el clock del FFT asociado a una compuerta AND que sólo se activará al estar en los estados previamente mencionados. Consecuentemente, el flanco de clock para dicho Flip-Flop sólo llegará al transicionar entre dichos estados.

Conexión Caso I y II

Para finalizar era necesario un circuito que indicará cuando el siguiente estado iba a provenir del cirucito de entrada lógico del Caso I o del Caso II. Por ende, se

implementa un multiplexor cuya entrada de activación va a estar dada por el Caso II.

Por lo tanto, cuando la variable de control del multiplexor sea 1, el próximo estado va a estar determinado por las salidas del Flip-Flop T mientras que, para el caso contrario, será provisto por el circuito lógico de entrada del Caso I.

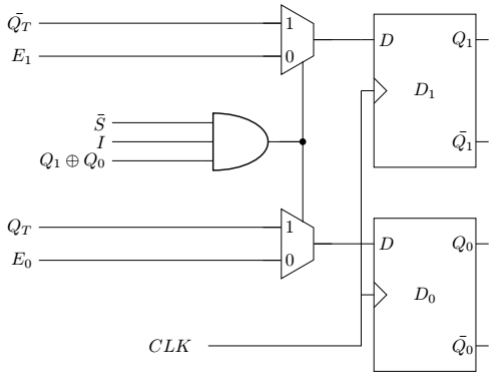


Figura 5: Conexión lógica de las lógicas de entrada

Se adjunta simulación en Proteus y Verilog para respaldar el diseño.

Ejercicio 2

Introducción

En esta sección desarrollaremos el diseño de una máquina de estados de Mealy capaz de reconocer la secuencia 1-1-0-1, enviada de forma serial y una vez reconocida la secuencia, obtendremos una salida de encendido. Mientras que, en el caso contrario tendremos una salida apagada.
La misma consiste en 4 estados, un default que va a ser el estado donde siempre va a volver en caso de error y 3 estados de transición. El estado default va a ser el estado inicial de la misma.
A continuación podemos observar el diagrama de la misma:

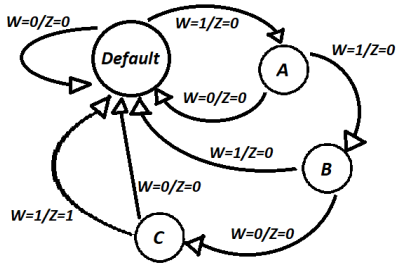


Figura 6: Diagrama de estados

En donde Z es la salida, W es la entrada y las flechas indican hacia donde se realiza la transición así como bajo qué valor de la entrada sucede la misma.
De la figura 6 podemos obtener la siguiente tabla de estados:

Tabla 4: Tabla de estados

Estado Actual	Estado siguiente		Salida	
	$W = 0$	$W = 1$	$W = 0$	$W = 1$
Default	Default	A	0	0
A	Default	B	0	0
B	C	Default	0	0
C	Default	Default	0	0

Implementación

Para implementar una máquina de Mealy utilizamos el siguiente circuito secuencial genérico:

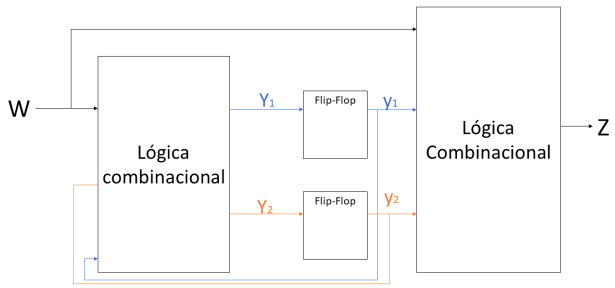


Figura 7: Circuito genérico

Asignación de estados

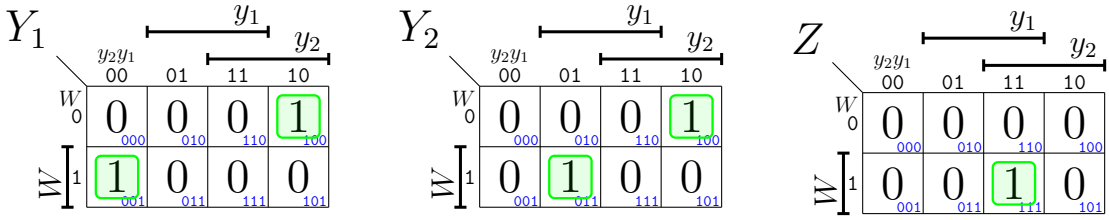
Por último, se realiza la asignación de los estados dando lugar a la siguiente tabla:

Tabla 5: Tabla de estados asignados

Estado Actual	Asignado del estado actual	Estado siguiente		Salida	
	y_2y_1	$W = 0$	$W = 1$		
		Y_2Y_1	Y_2Y_1	$W = 0$	$W = 1$
Default	00	00	01	0	0
A	01	00	10	0	0
B	10	11	00	0	0
C	11	00	00	0	1

Mapas de Karnaugh

A partir de la tabla 5 se obtienen los siguientes mapas de Karnaugh:



$Y_1 = \overline{y_1}\,\overline{y_2}\,W + \overline{y_1}\,y_2\,\overline{W}$ $\quad$ $Y_2 = \overline{y_1}\,y_2\,\overline{W} + y_1\,\overline{y_2}\,W$ $\quad$ $Z = y_1\,y_2\,W$

Circuito resultante

Para la realización del circuito utilizamos los Flip-Flop D debido a que poseen una relación directa con las variables de estado y_i y Y_i. Donde las variables $y_i = Q_i$, pero cabe mencionar que esto es equivalente para todos los distintos tipos de Flip-Flop y $Y_i = D_i$ que es exclusivo del mismo. Finalmente, a partir de los mapas de Karnaugh anteriormente mostrados, surge el siguiente circuito:

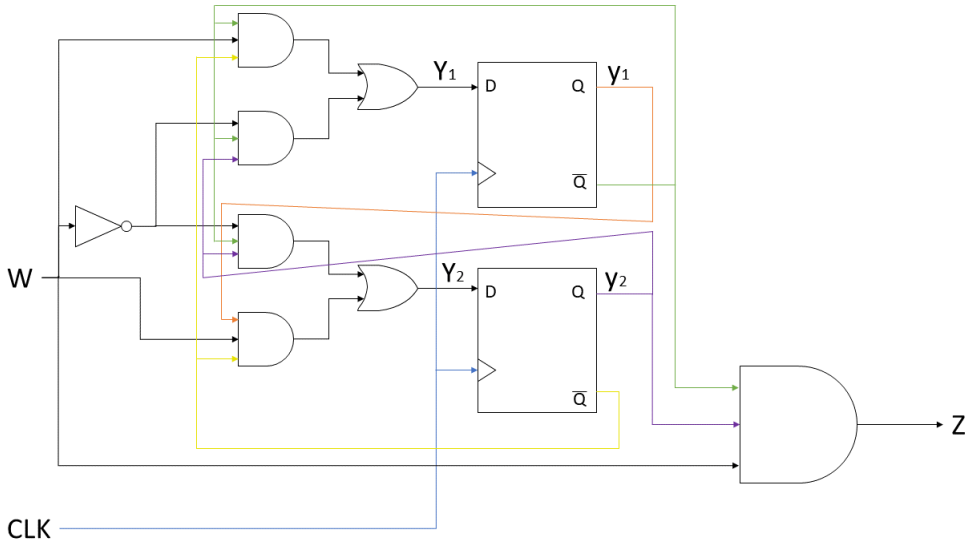


Figura 8: Circuito genérico

Simulación

Luego, se generó la correspondiente simulación en Verilog, el cual nos brinda el comportamiento ideal del mismo. Esto dio lugar al siguiente resultado:

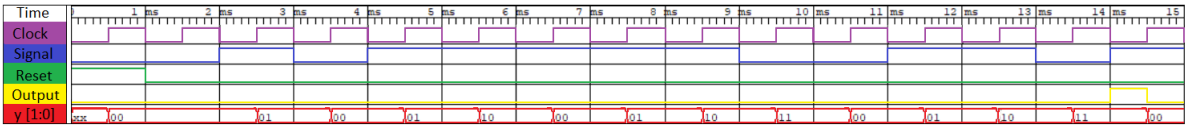


Figura 9: Circuito genérico

Experimental

Finalmente, se realizó la implementación en PBC de lo obtenido en las anteriores subsecciones dando a lugar los siguientes resultandos:

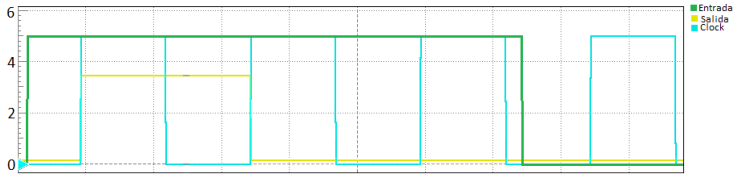


Figura 10: Lo visualizado en el osciloscopio

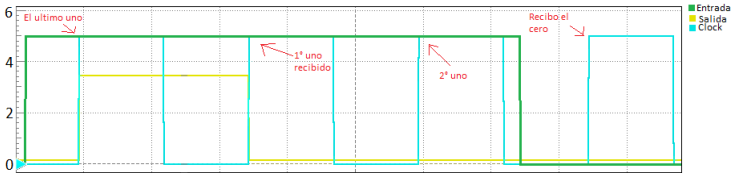


Figura 11: Lo obtenido explicado

Cabe mencionar que las imágenes fueron editadas para tener un mejor entendimiento y realizar una mejor exposición sobre las mismas. Ademas, todas las mediciones fueron obtenidas por medio del analog discovery.

Ejercicio 3

Introducción

En este ejercicio se implementará la siguiente máquina de Moore provista por la cátedra mediante su diagrama de estados(**??**):

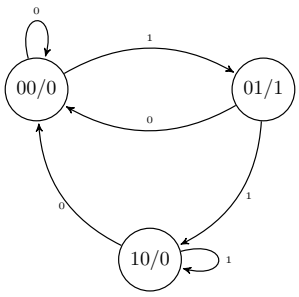


Figura 12: Diagrama de estados

Esta máquina cuenta con tres estados que son los siguientes:

Estado	Q_1	Q_0
A	0	0
B	0	1
C	1	0

Tabla 6: Estados utilizados

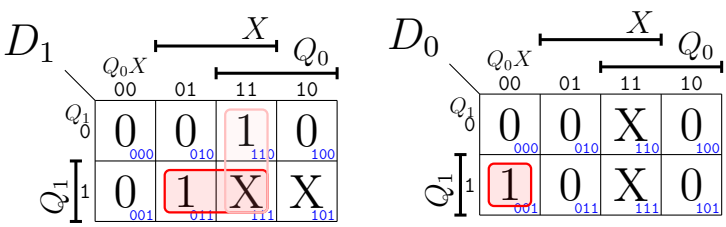
La tabla de transición para esta máquina es la que se muestra a continuación:

Estado Actual	Entrada		Salida
	X=0	X=1	S
A	A	B	0
B	A	C	1
C	A	C	0

Tabla 7: Tabla de transiciones

Implementación

Se necesitan dos bits para almacenar los tres estados utilizados, por lo que se necesitarán dos Flip-Flop D para guardarlos en memoria. Desarrollando las tablas obtenemos los siguientes mapas de Karnaugh que nos indicarán los circuitos lógicos necesarios.



$$D_1 = Q_0X + Q_1X \qquad D_0 = \overline{Q_1Q_0}\,X$$

Dando como resultado el siguiente circuito:

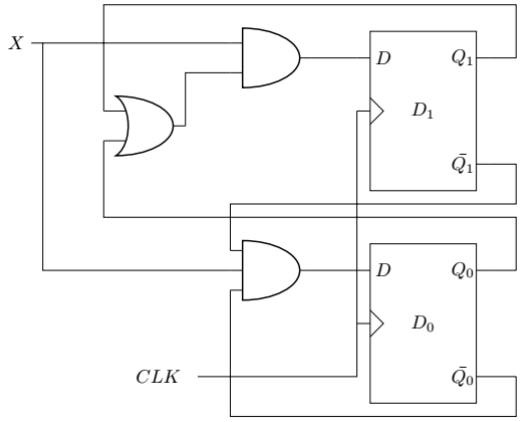


Figura 13: Lógica de entrada

Por otro lado, se puede observar claramente en la tabla de transiciones (**??**) que el valor de la salida sólo se encuentra alto para el caso del estado B. Dando como resultado que el valor de la salida va a estar dado por:

$$S = \bar{Q}_1 Q_0 \tag{1}$$

Por ende, la lógica de salida para nuestra máquina de estados estará representada por:

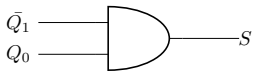


Figura 14: Lógica de salida

Se adjunta simulación en Proteus para respaldar el diseño.

Placa