## ram

Addr(7:0)	data_out(7:0)
	mem0(7:0)
data_in(7:0)_	m a m 4 (7:0)
	<u>me</u> m1(7:0)
clk	mem2(7:0)
	mem3(7:0)
clr	
	mem4(7:0)
en <u>ab</u>	mem5(7:0)
rw	mem6(7:0)
	mem7(7:0)

ram