

به نام خدا



گزارش کار پروژه نهایی درس مدارهای منطقی

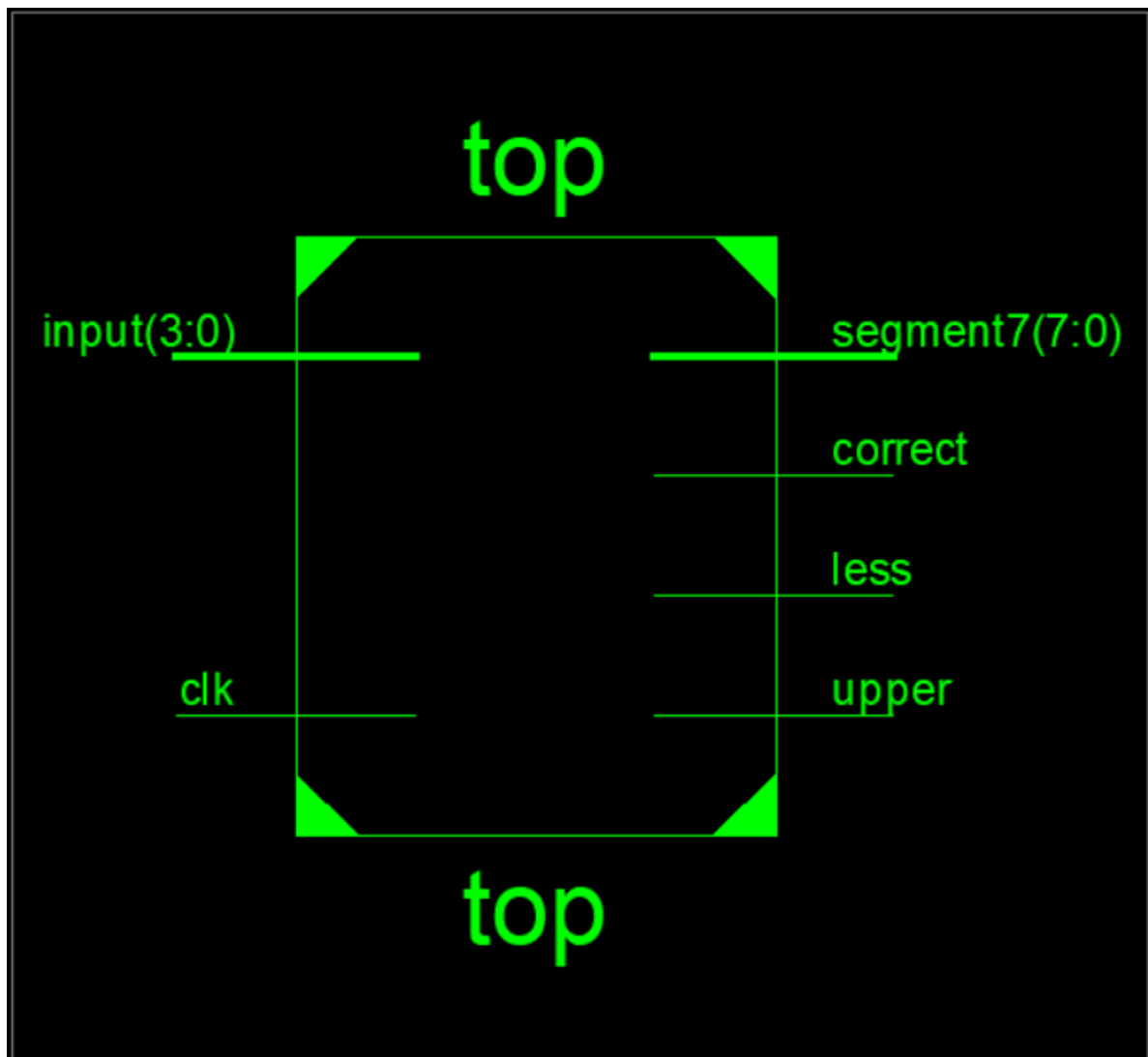
استاد: دکتر حاتم عبدلی

دانشجویان: امیر مهدی رضایی توانا 9812358021

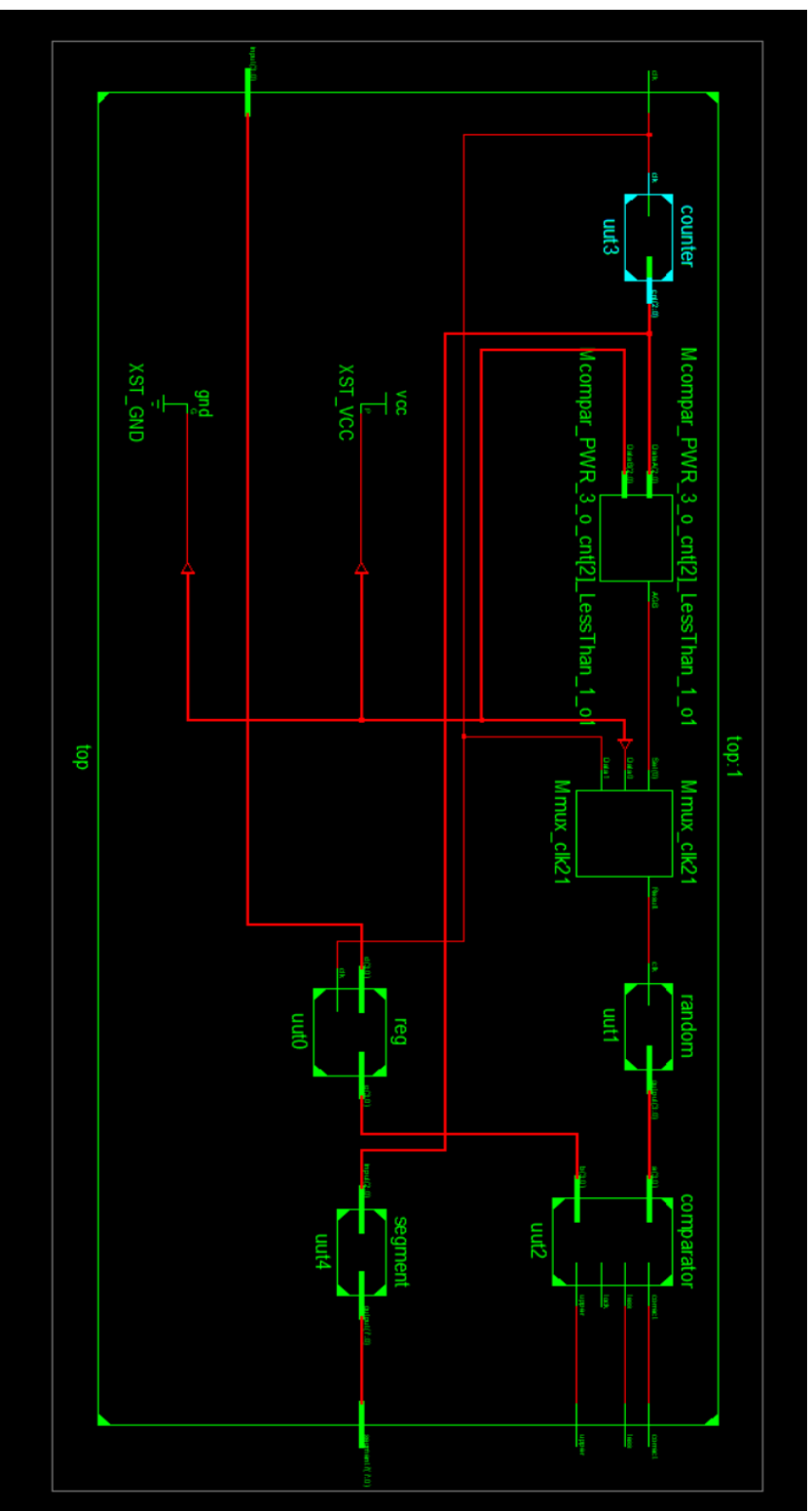
محمد مرادی 9812358034

بازی حدس عدد تولید شده تصادفی

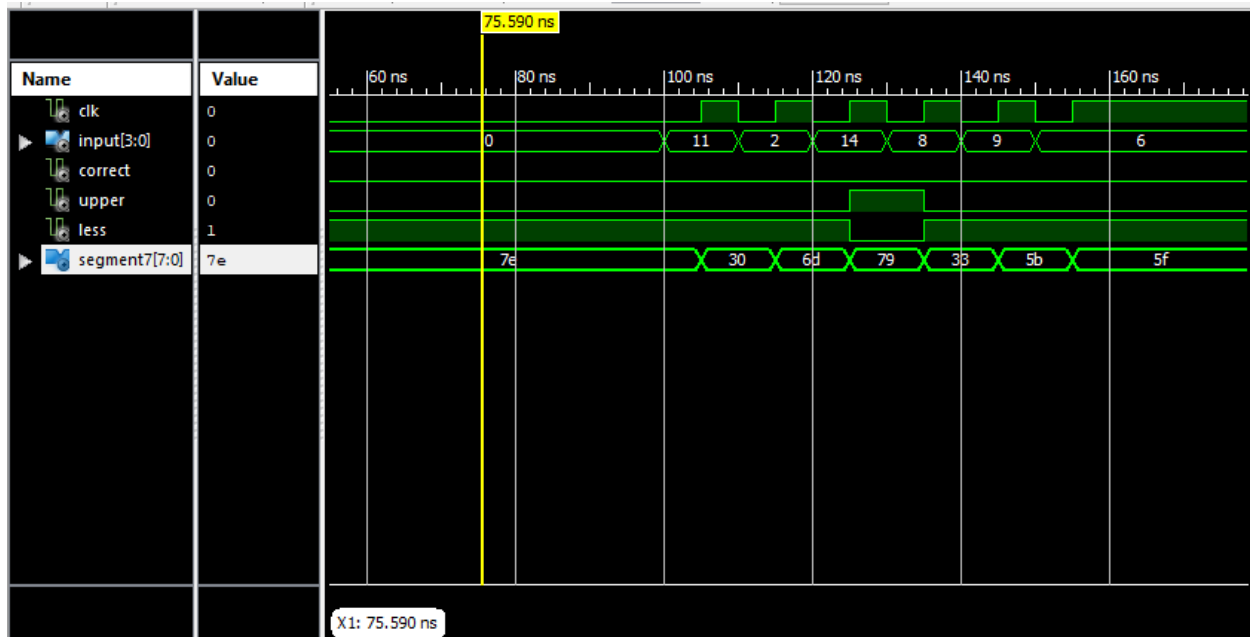
توسعه و شبیه سازی این پروژه توسط نرم افزار xilinx ise انجام شده است
فایل top ماژول اصلی پروژه است که سایر ماژول ها و اتصالات را در بر میگیرد.



ورودی در نظر گرفته شده چهار بیت است.
ساختار داخلی و ساب مدل ها و اتصالات ماژول ها به صورت زیر است .



نتیجه تست بنچ اصلی :



کد بخش اصلی (top)

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
entity top is
```

```
;Port ( clk : in STD_LOGIC
```

```
input : in STD_LOGIC_VECTOR (3 downto 0);
```

```
correct : out STD_LOGIC;
```

```
upper : out STD_LOGIC;
```

```
less : out STD_LOGIC;
```

```
--lock : out STD_LOGIC;
```

```
segment7 : out STD_LOGIC_VECTOR (7 downto 0);
```

معرفی ورودی ها و خروجی ها

```
end top;
```

```
architecture Behavioral of top is
```

تعریف سیگنال و اتصالات مدار

```
signal clk2:std_logic;
```

```
signal cnt:std_logic_vector(2 downto 0); -- 5 "000" "101"
```

```
signal a:std_logic_vector(3 downto 0);
```

```
signal b:std_logic_vector(3 downto 0);
```

معرفی ماژول های مورد استفاده:

بخش register

در این بخش که یک رجیستر آسنکرون هست در هر کلاک مقدار ورودی کاربر ذخیره میشود تا به مقایسه گر فرستاده شود.

بخش تولید اعداد تصادفی

در این بخش اعداد تصادفی با الگوریتمی به صورت شیفت حلقوی تولید میشوند.

بخش مقایسه کننده nبیتی

در این بخش عدد ورودی کاربر با عدد تولیدی مدار بیت به بیت مقایسه میشود.

بخش شمارنده

اینجا clk2 زمانی فعال میشه و برابر clk میشه که counter مام بیشتر از 5 شمرده باشه.

ماژول 7-segment

عدد سون سگمنت اگر از 5 بیشتر شود بازی خاتمه میابد و کاربر توانایی حدس عدد دیگری را ندارد.

ارسال

تمرین به همراه گزارش کار به استاد و دستیار آموزشی تحویل داده شد.

baharehamidimoheb@gmail.com